



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위논문

약한 교류 배전 계통에 연계되는  
대용량 PCS의 제어기 설계에 따른  
안정도 해석 및 안정적 운용을 위한  
설계 방안

Stability Oriented Design of PCS Controllers under Weak Grid

2016 년 8 월

서울대학교 대학원

전기·컴퓨터공학부

김 병 현

# 초 록

신·재생 에너지와 에너지 저장 장치를 기반으로 한 분산형 전원의 설치 용량이 증가함에 따라, “제로 에너지(Zero energy) 빌딩” 혹은 “제로 에너지 단지”라는 개념이 새롭게 등장하였다. 신·재생 에너지와 에너지 저장 장치를 기반으로 한 분산형 전원은 계통 연계를 위한 PCS(Power Conditioning System) 설비가 필수적이며, 통상 전력 반도체를 사용하여 계통 주파수에 비해 높은 주파수로 스위칭하여 계통 주파수의 전압을 합성하는 전압형 컨버터가 일반적으로 사용된다. 제로 에너지 개념을 충족시키는 분산형 전원과 부하가 증가함에 따라, 연계된 전체 PCS의 용량 역시 증가하게 된다. 이 때, 통상 접속 설비 용량은 유지되기 때문에 전체 PCS 용량의 증가로 인해 상대적인 전원 임피던스 역시 증가하게 된다.

PCS가 전원 임피던스가 상대적으로 큰, 일명 약한 계통에 연결됨에 따라, PCS 제어기 설계에 따라 접속점의 전압이 불안정해지는 현상이 발생할 수 있다. PCS가 전원 계통에 동기된 전력 공급 및 소비를 위해 사용하는 위상 동기화 제어기, 일정 전력 부하의 직류단 전압 제어를 위한 직류단 전압 제어기, 단독 운전 발생 시 이를 감지하기 위한 단독 운전 검출 기법은 설계 계수에 따라 약한 계통에서 불안정 현상을 발생시킬 수 있다.

본 논문에서는 PCS가 약한 계통에 연계될 때, 안정된 운전이 가능한 PCS 제어기 설계 범위에 대한 분석을 수행하였다. 다수의 PCS가 연결되는 향후 전력 시스템의 접속점 전압의 안정도를 판별하기 위하여 ‘임피던스 기반 분석 방식’을 사용하였다. SMPS(Switched Modulated Power Supply)의 설계나 복잡한 직류 분산 전원 시스템을 해석하는데 널리 사용된 임피던스 기반 분석 방식은, 최근 3상 교류 시스템의 안정도 해석을 위해 도입되고 있다. 계통 연계 PCS의 기본적인 제어기인 위상 동기

화 제어기와 직류 제어기, 직류단 전압 제어기, 단독 운전 검출 기법을 고려한  $dq$ -임피던스 모델을 유도하여 계통 측 임피던스와의 관계를 통해 안정도를 해석하였다. 직류 시스템과 달리, 다중 입출력(MIMO, Multi-Input Multi-Output) 시스템의 불안정 현상을 다뤄야 하므로, 일반화된 나이퀴스트(Generalized Nyquist) 선도를 통해 시스템의 안정도를 판별하였다.

기존에 보고된 위상 동기화 제어기와 직류단 전압 제어기의 설계에 따른 전압 불안정 현상에 대해 제어기 설계 계수의 한계를 분석하였다. 비례 적분 제어기의 이득을 그대로 사용하여 분석 시, 시스템 용량 변화와 시스템 정수 변화에 따른 설계 기준을 명확히 제공하기 어렵다. 위상 동기화 제어기와 직류단 전압 제어기의 입출력 전달 함수는 2차 저역 통과 필터로 설계할 수 있으며, 분석을 통해 주로 각 제어기의 댐핑 계수로 인해 계통 전압 불안정 현상이 발생함을 분석하였다. 따라서 약한 계통 조건에서 댐핑 계수의 제한을 분석하고, 시스템이 안정된 운전을 할 수 있는 적절한 댐핑 계수를 제안하였다. 추가로, 일정 전력 부하의 직류단 전압 제어기 설계를 변경할 수 없는 경우를 고려하여, 병렬로 설치된 분산형 전원을 사용하여 계통 전압 불안정 현상을 해소할 수 있는 능동 댐핑 알고리즘을 소개하였다.

또한, 주파수 이동 단독 운전 검출 방식 적용에 따른 계통 불안정 현상이 위상 동기화 제어기 설계와 관련되어 있음을 분석하였다. 그리고, 기존 추정 구조의 양성 피드백 이득의 한계를 극복할 수 있는 수정된 계통 전원 주파수 추정 방식을 제안하였다.

본 논문의 분석 결과와 제안된 설계 방법을 검증하기 위하여 모의 실험 및 실험을 수행하였다.

**주요어 :** 임피던스 기반 분석 방법, 위상 동기화 제어기, 직류단 전압 제어기, 능동 댐핑 알고리즘, 주파수 이동 단독 운전 검출 기법

**학 번 :** 2012-30196

# 목 차

제 1 장 서 론 .....	1
1.1 연구의 배경 .....	1
1.2 연구의 대상과 목적 .....	7
1.3 논문의 구성 .....	14
제 2 장 대용량 PCS 연계에 따른 계통 전압의 불안정 현상 .....	15
2.1 임피던스 기반 분석 방법 및 임피던스 모델링 .....	15
2.2 위상 동기화 제어기에 의한 불안정 현상 .....	55
2.3 일정 전력 부하에 의한 불안정 현상 .....	81
2.4 단독 운전 검출 기법 적용에 따른 불안정 현상 .....	91
제 3 장 안정된 PCS 연계 운전을 위한 제어기 설계 .....	107
3.1 위상 동기화 제어기 설계 .....	107
3.2 일정 전력 소비 부하의 전압 제어기 설계 .....	127
3.3 능동 댐핑 알고리즘을 이용한 시스템 안정화 .....	143
3.4 단독 운전 검출 기법의 설계 .....	162
3.5 안정도 보장을 위한 설계 가이드(Guide) .....	179
제 4 장 실험 결과 .....	183
4.1 위상 동기화 제어기에 의한 불안정 현상 .....	185
4.2 직류단 전압 제어기 설계를 통한 일정 전력 부하의 안정화 .....	193
4.3 능동 댐핑 알고리즘 .....	198
4.4 단독 운전 검출 기법 설계를 통한 안정화 .....	203
제 5 장 결 론 .....	213
참고 문헌 .....	218
Abstract .....	234
부 록 .....	236

## 표 목차

표 2-1. 참고 문헌 [80]의 모의 실험 시스템 정수 .....	64
표 2-2. 참고 문헌 [80]의 위상 동기화 제어기 설계 계수.....	65
표 2-3. 시스템 정수 [81].....	68
표 2-4. 참고 문헌 [81] 위상 동기화 제어기 설계 계수 .....	68
표 2-5. 시스템 정수 [64].....	87
표 2-6. 단독 운전 검출 요구 시간.....	92
표 2-7. 대표적인 주파수 이동 검출 기법의 $\theta_{FDM}$ [110].....	94
표 2-8. 대표적인 주파수 이동 검출 기법의 무효 전력 선형 함수 계수 [140].....	96
표 3-1. PCS의 시스템 정수.....	108
표 3-2. 일정 전력 소비 부하 시스템 분석을 위한 시스템 정수.....	127
표 4-1. PCS 시스템 사양.....	183
표 4-2. 실험 세트 시스템 정수 .....	185
표 4-3. 일정 전력 부하 실험 조건.....	193
표 4-4. 단독 운전 검출 기법 관련 실험 조건 .....	203

## 그림 목차

그림 1-1. 제로 에너지 단지의 구성도 예시 .....	3
그림 1-2. 전압형 컨버터 (a) 2레벨 3레그 (b) T-type 3레벨 3레그.....	4
그림 1-3. 수동 소자를 사용한 출력 필터 (a) L 필터 (b) LCL 필터 .....	4
그림 1-4. PCS (Power Conditioning System) 구조.....	9
그림 2-1. 안정도 해석을 위한 시스템 모델링의 분류 .....	16
그림 2-2 상태 공간 모델의 예시 [149].....	17
그림 2-3. 임피던스 모델 예시 .....	19
그림 2-4. 등가 피드백(Feedback) 시스템 .....	20
그림 2-5. 수동 소자의 $dq$ -임피던스 모델.....	23
그림 2-6. 직류단 전압 제어 구성도 - 일정 전력 부하 혹은 태양광 발전 .....	25
그림 2-7. 전력 제어 구성도 - 배터리 에너지 저장 장치 .....	26
그림 2-8. Synchronous Reference Frame PLL (SRF-PLL)의 제어 블록도.....	29
그림 2-9. 전류 제어기 구성도 .....	31
그림 2-10. 전류 제어기 이득 변화에 따른 주파수 응답 변화.....	36
그림 2-11. PCS 시스템의 출력 필터 및 직류단 소신호 모델.....	47
그림 2-12. 전류 제어 시스템의 소신호 모델 .....	48
그림 2-13. 직류단 전압 제어 시스템의 소신호 모델 .....	48
그림 2-14. 전력 제어 시스템의 소신호 모델 .....	49
그림 2-15. PCS 병렬 연결에 따른 부하 어드미턴스의 증가 .....	54
그림 2-16. $g_{pll}$ 과 $1-g_{pll}$ 의 보드 선도 (a) 전력 공급 시 (b) 전력 소비 시.....	57
그림 2-17. PLL 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{cc,dd}$ (전력 공급 시).....	59
그림 2-18. PLL 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{cc,dd}$ (전력 소비 시).....	61
그림 2-19. 시스템 구성도 [80].....	63

그림 2-20. VSI 위상 동기화 제어기 설계에 따른 일반화된 나이퀴스트 선 도.....	66
그림 2-21. VSI 위상 동기화 제어기 설계 변화에 따른 보드 선도.....	67
그림 2-22. VSI 위상 동기화 제어기 설계에 따른 일반화된 나이퀴스트 선 도.....	69
그림 2-23. VSI 위상 동기화 제어기 설계에 따른 $dd$ -임피던스 보드 선도 변화.....	70
그림 2-24. PLL의 댐핑 계수 변화에 따른 $Z_{cc,dd}$ 변화 ( $\omega_{np} = 2\pi \times 5$ rad/s) .....	71
그림 2-25. 계통 연계 PCS와 부하가 계통연계모선에 연결된 시스템 구성 도.....	72
그림 2-26. 계통 선 임피던스 변화에 따른 $Z_{s,dd}$ (X/R 비 = 5, $Q_f = 2$ , $P_{load} = 1$ MW).....	74
그림 2-27. X/R 변화에 따른 $Z_{s,dd}$ (계통 선 임피던스 50%, $Q_f = 2$ , $P_{load}$ $= 1$ MW).....	74
그림 2-28. 부하 Quality factor 변화에 따른 $Z_{s,dd}$ (계통 선 임피던스 50%, X/R 비 = 5, $P_{load} = 1$ MW).....	75
그림 2-29. 부하 용량 변화에 따른 $Z_{s,dd}$ (계통 선 임피던스 50%, X/R 비 $= 5$ , $Q_f = 2$ ).....	75
그림 2-30. 부족 감쇠로 설계된 PLL에 의한 불안정 현상 계통 선 임피 던스 변화 시 (a) $Z_{dd}$ 보드 선도 (b) 일반화된 나이퀴스트 선도.....	77
그림 2-31. 부족 감쇠로 설계된 설계된 PLL에 의한 불안정 현상 X/R 비 변화 시 (a) $Z_{dd}$ 보드 선도 (b) 일반화된 나이퀴스트 선도 (c) 원점 근처에서 확대된 나이퀴스트 선도.....	79
그림 2-32. 과감쇠로 설계된 설계된 PLL에 의한 불안정 현상 부하 용량 변화 시 (a) $Z_{dd}$ 보드 선도 (b) 일반화된 나이퀴스트 선도.....	80
그림 2-33. 직류단 전압 제어기 설계 변화에 따른 주파수 응답 변화 -	



$Y_{o,qq}$ (전력 소비 시) (a) 적분 이득 변화, (b) 비례 이득 (댐핑 계수) 변화, (c) 고유 주파수 변화.....	83
그림 2-34. 직류단 전압 제어기 설계 변화에 따른 주파수 응답 변화 – $Y_{o,qq}$ (전력 공급 시) (a) 적분 이득 변화, (b) 비례 이득 (댐핑 계수) 변화, (c) 고유 주파수 변화.....	85
그림 2-35. 시스템 구성도 [64].....	86
그림 2-36. 일정 전력 부하의 단독/병렬 운전 시 일반화된 나이퀴스트 선도.....	88
그림 2-37. 일정 전력 부하의 단독 운전, 병렬 운전 시 $qq$ -임피던스.....	88
그림 2-38. 임계 감쇠 설계된 일정 전력 부하의 단독/병렬 운전 시 $qq$ -임피던스.....	89
그림 2-39. 임계 감쇠 설계 시 일반화된 나이퀴스트 선도.....	90
그림 2-40. 단독 운전의 예시.....	91
그림 2-41. 단독 운전 검출 기법의 분류.....	92
그림 2-42. 3상 PCS의 주파수 이동 검출 기법 구현 – 전류 벡터 회전 ..	95
그림 2-43. 3상 PCS의 주파수 이동 검출 기법 구현 – 무효 전력 주입 ..	95
그림 2-44. 주파수 검출 기법을 고려한 시스템 제어도.....	98
그림 2-45. $dd$ -임피던스의 보드 선도 (a) 강한 계통 (Strong grid), (b) 약한 계통 (Weak grid).....	99
그림 2-46. 일반화된 나이퀴스트 선도 (a) 강한 계통 (b) 약한 계통.....	100
그림 2-47. PLL 댐핑 계수 설계에 따른 PCS $dd$ -임피던스의 보드 선도 변화.....	102
그림 2-48. PLL 댐핑 계수 설계에 따른 일반화된 나이퀴스트 선도 (a) 부족 감쇠 (b) 임계 감쇠 (c) 과감쇠.....	103
그림 2-49. PLL 댐핑 계수 설계에 따른 최대 허용 가능한 양성 피드백 이득.....	104
그림 2-50. PLL 댐핑 계수 설계에 따른 최대 허용 가능한 양성 피드백 이득 – 과감쇠.....	105

그림 3-1. 계통 연계 PCS와 부하가 계통연계모선에 연결된 시스템 구성 도.....	108
그림 3-2. 계통 선 임피던스 변화에 따른 모의 실험 결과 (a) $Z_g = 5 \%$ , (b) $Z_g = 50 \%$ .....	109
그림 3-3. 계통 선 임피던스 및 $\omega_{np}$ 변화에 따른 최소 $\zeta_p$ .....	110
그림 3-4. 계통 선 임피던스 변화에 따른 $Z_{s,dd}$ (X/R 비 = 5, $Q_f = 2$ , $P_{load}$ = 1 MW).....	111
그림 3-5. X/R 변화에 따른 모의 실험 결과 (a) X/R 비 = 5, (b) X/R 비 = 0.2.....	113
그림 3-6. 계통 선 X/R 비 및 $\omega_{np}$ 변화에 따른 최소 $\zeta_p$ (선 임피던스 50 %).....	114
그림 3-7. X/R 변화에 따른 $Z_{s,dd}$ (계통 선 임피던스 50%, $Q_f = 2$ , $P_{load} =$ 1 MW).....	115
그림 3-8. 부하 용량 변화에 따른 모의 실험 결과 (a) $P_{load} = 1$ MW, (b) $P_{load} = 100$ kW.....	116
그림 3-9. 부하 용량 및 $\omega_{np}$ 변화에 따른 최대 $\zeta_p$ (선 임피던스 50 %) .....	117
그림 3-10. CPL 고려 시 계통 선 임피던스 변화에 따른 $Z_{s,dd}$ (X/R 비 = 5, $Q_f = 2$ , $P_{load} = 100$ kW, $P_{CPL} = 1$ MW).....	118
그림 3-11. 계통 선 임피던스 및 $\omega_{np}$ 변화에 따른 최소 $\zeta_p$ (CPL 고려 시).....	119
그림 3-12. CPL 고려 시 계통 선 임피던스 변화에 따른 일반화된 나이퀴 스트 선도.....	120
그림 3-13. CPL을 고려한 모의 실험 결과 - 선 임피던스 10 %.....	121
그림 3-14. CPL을 고려한 모의 실험 결과 - 선 임피던스 50 %.....	122
그림 3-15. 제안된 위상 동기화 제어기 이득을 사용한 모의 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s, $\zeta_p = 0.591$ , 계통 선 임피던스 = 50%, $P_{load} = 1$ MW,	

$Q_f = 2$ ).....	125
그림 3-16. 제안된 위상 동기화 제어기 이득을 사용할 때 CPL을 고려한 모의 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s, $\zeta_p = 0.591$ , 계통 선 임피던스 = 50%).....	126
그림 3-17. 병렬 운전되는 일정 전력 소비 부하의 시스템 구성도.....	128
그림 3-18. 직류단 전압 제어기의 고유 주파수 설계 변화에 따른 주파수 응답 ( $\zeta_v = 1$ ) (a) 보드 선도 (b) 일반화된 나이퀴스트 선도.....	130
그림 3-19. 직류단 전압 제어기 $\zeta_v$ 변화에 따른 주파수 응답 ( $\omega_{mv} = 2\pi \times 20$ rad/s).....	131
그림 3-20. 직류단 전압 제어기 $\zeta_v$ 변화에 따른 안정도 분석 결과 (계통 임피던스 변화).....	132
그림 3-21. 계통 임피던스 및 $\omega_{mv}$ 변화에 따른 최대 가능 $\zeta_v$ .....	133
그림 3-22. 병렬 운전 시 일정 전력 소비 부하의 주파수 응답 (a) 보드 선도, (b) 일반화된 나이퀴스트 선도 ( $\omega_{mv} = 2\pi \times 20$ , $\zeta_v = 5$ , $Z_g = 10\%$ ) .....	135
그림 3-23. 일정 전력 소비 부하의 단독 운전 시 모의 실험 결과 ( $\omega_{mv} = 2\pi \times 20$ , $\zeta_v = 5$ , $Z_g = 10\%$ ).....	136
그림 3-24. 일정 전력 소비 부하의 병렬 운전 시 모의 실험 결과 ( $\omega_{mv} = 2\pi \times 20$ , $\zeta_v = 5$ , $Z_g = 10\%$ ).....	137
그림 3-25. 일정 전력 소비 부하와 계통 임피던스의 상대적인 값 변화에 따른 주파수 응답 (a) $qq$ -임피던스 보드 선도 (b) 일반화된 나이퀴스 트 선도.....	138
그림 3-26. 병렬 운전 시 일정 전력 소비 부하의 주파수 응답 (a) 보드 선도, (b) 일반화된 나이퀴스트 선도 ( $\omega_{mv} = 2\pi \times 20$ , $\zeta_v = 3$ , $Z_g = 10\%$ ) .....	140
그림 3-27. 일정 전력 소비 부하의 병렬 운전 시 모의 실험 결과 ( $\omega_{mv} = 2\pi \times 20$ , $\zeta_v = 3$ , $Z_g = 10\%$ ).....	141

그림 3-28. 계통 임피던스 및 $\omega_m$ 변화에 따른 최대 가능 $\zeta_v$ (병렬 운전 시).....	142
그림 3-29. 시스템 안정화를 위한 능동 댐퍼 .....	143
그림 3-30. 분산 전원이 연계된 일정 전력 부하 병렬 시스템의 구성 ..	144
그림 3-31. 계통 선 임피던스의 상대적인 값 변화에 따른 안정도 변화 .....	146
그림 3-32. 태양광 발전 연계 운전 시 안정도 변화.....	148
그림 3-33. BESS (폐루프 전력 제어) 연계 운전 시 안정도 변화.....	150
그림 3-34. 태양광 발전 연계 운전 시 안정도 변화 (공급 전력 감소 시, 10%).....	152
그림 3-35. BESS (폐루프 전력 제어) 연계 운전 시 안정도 변화 (ESS 출력 전력이 10%로 줄었을 때).....	154
그림 3-36. 태양광 발전 PCS의 능동 댐핑 알고리즘 구성도 .....	155
그림 3-37. 대역 통과 필터 구현을 위한 SOGI (Second-Order Generalized Integrator) 구조.....	156
그림 3-38. 태양광 발전 연계 운전 - 능동 댐핑 알고리즘 적용 시 (공급 전력 감소 시, 10%).....	158
그림 3-39. BESS (폐루프 전력 제어) 연계 운전 시 - 능동 댐핑 알고리즘 적용 시 (공급 전력 감소 시, 10%).....	160
그림 3-40. 수정된 위상 동기화 제어기.....	162
그림 3-41. 계통 각 주파수 추정 방법에 따른 보드 선도 (임계 감쇠, $Q_{f,set} = 5$ ).....	165
그림 3-42. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도 (임계 감쇠, $Q_{f,set} = 5$ ).....	165
그림 3-43. 모의 실험 결과 (임계 감쇠, $Q_{f,set} = 5$ ) (a) 기존 추정 방법 (b) 제안된 추정 방법.....	166
그림 3-44. 계통 각 주파수 추정 방법에 따른 보드 선도 (과감쇠, $Q_{f,set} = 4$ ).....	167

그림 3-45. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도 (과감쇠, $Q_{f,set} = 4$ ).....	167
그림 3-46. 모의 실험 결과 (과감쇠, $Q_{f,set} = 4$ ) (a) 기존 추정 방법 (b) 제 안된 추정 방법.....	168
그림 3-47. 계통 각 주파수 추정 방법에 따른 보드 선도 (부족 감쇠, $Q_{f,set} = 4$ ).....	169
그림 3-48. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도 (부족 감쇠, $Q_{f,set} = 4$ ).....	169
그림 3-49. 모의 실험 결과 (부족 감쇠, $Q_{f,set} = 4$ ) (a) 기존 추정 방법 (b) 제안된 추정 방법.....	170
그림 3-50. PLL 댐핑 계수 설계에 따른 최대 허용 가능한 양성 피드백 이득.....	171
그림 3-51. 부하 <i>Quality factor</i> 에 따른 모의 실험 결과 ( $Q_f = 1$ , $\zeta_p = 0.354$ , $Q_{f,set} = 2.7$ ) .....	172
그림 3-52. 부하 <i>Quality factor</i> 에 따른 모의 실험 결과 ( $Q_f = 2$ , $\zeta_p = 0.354$ , $Q_{f,set} = 2.7$ ) .....	172
그림 3-53. 부하 <i>Quality factor</i> 에 따른 모의 실험 결과 ( $Q_f = 1$ , $\zeta_p = 2.83$ , $Q_{f,set} = 2.3$ ) .....	173
그림 3-54. 부하 <i>Quality factor</i> 에 따른 모의 실험 결과 ( $Q_f = 2$ , $\zeta_p = 2.83$ , $Q_{f,set} = 2.3$ ) .....	173
그림 3-55. 부하 <i>Quality factor</i> 에 따른 모의 실험 결과 - 제안된 PLL 구조 적용 ( $\zeta_p = \sqrt{2}$ , $Q_{f,set} = 10$ ) (a) $Q_f = 1$ , (b) $Q_f = 3$ .....	174
그림 3-56. 계통 각 주파수 추정 방법에 따른 보드 선도 .....	175
그림 3-57. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도 .....	176
그림 3-58. 높은 공진 주파수를 갖는 부하가 연결되었을 때 모의 실험	

결과 (과감쇠, $Q_{f,set} = 5$ ) (a) 기존 추정 방법 (b) 제안된 추정 방법	177
그림 3-59. 단독 운전 시험 결과	178
그림 3-60. 설계 가이드 제시를 위한 임피던스 구성도	179
그림 4-1. 실험에 사용한 5대의 PCS	183
그림 4-2. (a) 직류 전원 (Li-ion 배터리, 400V – 25 kW) (b) 교류 전원 공급기 (MX 30, 정격 용량 30 kVA) (c) 부하 – R, L, C 병렬 회로	184
그림 4-3. 위상 동기화 제어기 관련 실험 세트 구성도	185
그림 4-4. 제안된 PLL 설계 사용 시 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s, $\zeta_p = 0.591$ )	186
그림 4-5. 시스템 불안정을 일으키는 PLL 설계 사용 시 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s, $\zeta_p = 0.06$ )	186
그림 4-6. PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s)	187
그림 4-7. PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 20$ rad/s)	187
그림 4-8. $\omega_{np}$ 변화에 따른 최소 $\zeta_p$ (3상 RLC 부하 연결 시)	188
그림 4-9. PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s)	189
그림 4-10. PCS 배터리 충전 시 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s, $\zeta_p = 0.1$ )	189
그림 4-11. 일정 전력 부하가 추가된 경우, PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s)	190
그림 4-12. $\omega_{np}$ 변화에 따른 최소 $\zeta_p$ (일정 전력 부하 고려 시)	191
그림 4-13. 발산하지 않지만 진동을 일으키는 PLL 설계 사용 시 실험 결과 ( $\omega_{np} = 2\pi \times 10$ rad/s, $\zeta_p = 0.1$ )	192
그림 4-14. 일정 전력 부하의 병렬 운전 실험 회로 구성도	193
그림 4-15. $\zeta_v$ 변화에 따른 CPL 단독 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 5$ rad/s)	

.....	194
그림 4-16. $\zeta_v$ 변화에 따른 CPL 단독 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 10$ rad/s)	
.....	195
그림 4-17. $\zeta_v$ 변화에 따른 CPL 병렬 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 5$ rad/s)	
.....	196
그림 4-18. $\zeta_v$ 변화에 따른 CPL 병렬 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 10$ rad/s)	
.....	197
그림 4-19. 능동 댐핑 알고리즘의 실험 회로 구성도.....	198
그림 4-20. 능동 댐핑 알고리즘 실험 결과 (1 CPL, $\omega_{nv} = 2\pi \times 5$ , $\zeta_v = 10$ ) (a)	
180 Hz 보상, (b) 180 Hz, 1kHz 보상.....	199
그림 4-21. 능동 댐핑 알고리즘 실험 결과 (1 CPL, $\omega_{nv} = 2\pi \times 10$ , $\zeta_v = 5$ ) (a)	
180 Hz 보상, (b) 180 Hz, 1kHz 보상.....	200
그림 4-22. 능동 댐핑 알고리즘 실험 결과 (1 CPL, $\omega_{nv} = 2\pi \times 10$ , $\zeta_v = 10$ )	
180 Hz, 1kHz 보상.....	200
그림 4-23. 능동 댐핑 알고리즘 실험 결과 (2 CPL, $\omega_{nv} = 2\pi \times 5$ , $\zeta_v = 10$ ) (a)	
180 Hz 보상, (b) 180 Hz, 1kHz 보상.....	201
그림 4-24. 능동 댐핑 알고리즘 실험 결과 (2 CPL, $\omega_{nv} = 2\pi \times 10$ , $\zeta_v = 10$ )	
(a) 180 Hz 보상, (b) 180 Hz, 1kHz 보상.....	202
그림 4-25. 단독 운전 검출 기법 적용 PCS 연계 시스템 회로 구성도.	203
그림 4-26. 실험 결과 - $Q_f = 2$ , 임계 감쇠 설계 PLL, $Q_{f,set} = 0$ .....	204
그림 4-27. 실험 결과 - $Q_f = 2$ , 임계 감쇠 설계 PLL, $Q_{f,set} = 5$ .....	204
그림 4-28. 실험 결과 - $Q_f = 2$ , 부족 감쇠 설계 PLL, $Q_{f,set} = 4$ .....	205
그림 4-29. 실험 결과 - $Q_f = 2$ , 과감쇠 설계 PLL, $Q_{f,set} = 4.5$ .....	205
그림 4-30. 제안된 추정 방법의 실험 결과 - $Q_f = 2$ , 부족 감쇠 설계	
PLL, $Q_{f,set} = 4$ .....	206
그림 4-31. 제안된 추정 방법의 실험 결과 - $Q_f = 2$ , 임계 감쇠 설계	
PLL, $Q_{f,set} = 5$ .....	207

그림 4-32. 제안된 추정 방법의 실험 결과 - $Q_f = 2$ , 임계 감쇠 설계 PLL, $Q_{f,set} = 7$ .....	207
그림 4-33. 제안된 추정 방법의 실험 결과 - $Q_f = 2$ , 임계 감쇠 설계 PLL, $Q_{f,set} = 8$ .....	207
그림 4-34. 제안된 추정 방법의 실험 결과 - $Q_f = 2$ , 과감쇠 설계 PLL, $Q_{f,set} = 8$ .....	208
그림 4-35. 제안된 추정 방법의 실험 결과 - $Q_f = 2$ , 과감쇠 설계 PLL, $Q_{f,set} = 12$ .....	208
그림 4-36. 제안된 추정 방법의 실험 결과 - $Q_f = 2$ , 과감쇠 설계 PLL, $Q_{f,set} = 17$ .....	209
그림 4-37. 실험 결과 - $Q_f = 0$ , 부족 감쇠 설계 PLL, $Q_{f,set} = 5$ .....	209
그림 4-38. 실험 결과 - $Q_f = 0$ , 부족 감쇠 설계 PLL, $Q_{f,set} = 7$ .....	210
그림 4-39. 실험 결과 - $Q_f = 0$ , 과감쇠 설계 PLL, $Q_{f,set} = 2$ .....	210
그림 4-40. 제안된 추정 방법의 실험 결과 - $Q_f = 0$ , 과감쇠 설계 PLL, $Q_{f,set} = 20$ .....	211
그림 4-41. 단독 운전 시험 결과 - 추정된 계통 주파수 (a) 기존 추정 방 법, $Q_{f,set} = 2$ , (b) 제안된 추정 방법, $Q_{f,set} = 2$ , (c) 제안된 추정 방법, $Q_{f,set} = 10$ .....	212
그림 A-1. Synchronous Reference Frame PLL (SRF-PLL)의 제어 블록도....	237
그림 A-2. 수정된 위상 동기화 제어기 블록도.....	238
그림 A-3. 동기 좌표계 전류 제어기 구성도 .....	240
그림 A-4. 페루프 전력 제어기 구성도.....	243
그림 A-5. 페루프 전력 제어기 설계를 위한 모델링 .....	244
그림 A-6. 전력 추종 전달 함수의 보드 선도 .....	246
그림 A-7. 페루프 전력 제어기 모의 실험 결과.....	246



그림 B-1. 전력 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,dd}$ (전력 생산 시).....	250
그림 B-2. 전력 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,dd}$ (전력 소비 시).....	251
그림 B-3. 전력 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,qq}$ , (전력 생산 시).....	252
그림 B-4. 전력 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,qq}$ , (전력 소비 시).....	253
그림 B-5. 전력 제어기 설계 변화에 따른 주파수 응답 변화 (양의 무효 전력 공급 시).....	255
그림 B-6. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,dd}$ (전력 생산 시).....	257
그림 B-7. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,dd}$ (전력 소비 시).....	258
그림 B-8. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,dd}$ (양의 무효 전력 공급 시).....	259
그림 B-9. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 - $\mathbf{Y}_{o,qd}$ (양의 무효 전력 공급 시).....	260
그림 B-10. 전류 벡터 회전으로 구현된 주파수 이동 검출 기법 적용 시 .....	261
그림 B-11. 무효 전류 주입으로 구현된 주파수 이동 검출 기법 적용 시 .....	261
그림 B-12. 무효 전력 주입으로 구현된 주파수 이동 검출 기법 적용 시 .....	262
그림 B-13. 주파수 이동 검출 기법 루프 구성에 따른 $\mathbf{Z}_{o,dd}$ 변화 .....	263
그림 B-14. 폐루프 전력 제어기 동작에 의한 무효 전력 피드백 상쇄 효	

과.....	263
그림 B-15. 단독 운전 발생 시 주파수 피드백 루프에 따른 일반화된 나이퀴스트 선도 (부하 $Q_f = 2$ ).....	264

# 제 1 장 서론

## 1.1 연구의 배경

2011년 3월 후쿠시마 강진(強震)으로 발생한 원전(原電) 사고는 방사능 유출로 인한 환경 문제를 화두에 올려 놓았다. 후쿠시마 사태 이후, 원자력 에너지에 대한 불안감으로 인해 세계 각국에서는 이를 대체하기 위한 노력을 본격적으로 시작하였다. 독일은 2022년까지 원전을 완전히 폐쇄하고 대체 에너지로 발전량을 감당하기로 결정하였으며, 유로 에너지 2020 전략 역시, 2020년까지 신·재생 에너지의 발전량이 전체 발전량의 20% 수준이 되는 것을 목표로 삼고 있다[1].

대표적인 온실 가스인, 이산화탄소 배출의 주요한 원인으로 꼽히는 석유라든지 천연 가스를 포함하는 화석 연료는 기후 변화 등의 요인이 된다. 따라서 기후 변화 조약을 이행하려는 노력에 의해 점차 그 사용을 지양하고 있는 추세다. 1997년에 만들어진 대표적인 기후 변화 조약인 교토 의정서는 2012년 시한이 만료되어 2017년까지 2차 공약 기간이 설정되어 체제가 유지되고 있으며, 최근 파리 협정이 채택되어 2020년에 발효될 예정이다. 국내에서도 이를 이행하기 위하여 “2030 온실가스 감축 로드맵”을 준비하고 있다[2].

기존 발전량의 많은 부분을 차지하던 원자력 에너지와 화석 연료 등을 대체할 에너지원의 개발은 새로운 산업으로 부상하고 있다. 기후 변화 조약에 따른 온실 가스 배출량 감소 및 공급 에너지 원의 다양화를 위해 신·재생 에너지를 기반으로 한 발전 시설의 설치 용량 역시 증가하고 있다. 우리 나라 역시, 공공 기관을 비롯한 다양한 건축물에 신·재생 에너지를 설치하도록 하여 신·재생 에너지 발전 의존도를 높여 가고 있다 [3].

신·재생 에너지 중 재생 에너지로 분류되는 태양광과 풍력 발전의 경우, 간헐적인 발전 특성으로 인하여 일정한 전력을 공급하기 어렵다는 특성이 있다. 이러한 간헐적 출력을 안정시키기 위한 목적으로 에너지

저장 장치(ESS, Energy Storage System) 설비를 설치하기도 한다. 또, 에너지 저장 장치는 부하 평준화 및 전력 품질 보상을 위해 독립적으로 설치되기도 한다. 일시적인 전력 수요와 공급의 불일치를 해소하여 전력 공급 신뢰성을 높이고, 피크(Peak) 부하를 대응하기 위한 운용 전략에 효과적이므로 ESS의 설치 용량은 점차 증가하고 있다[4].

신·재생 에너지와 에너지 저장 장치를 기반으로 한 분산형 전원의 설치 용량이 증가함에 따라, “제로 에너지(Zero energy) 빌딩” 혹은 “제로 에너지 단지”라는 개념이 새롭게 등장하였다. “제로 에너지 빌딩”은 단열 성능을 극대화하여 건물의 에너지 부하를 최소화하고, 신·재생 에너지를 활용하여 건물 기능에 필요한 에너지를 공급하는 빌딩을 지칭한다. 즉, 외부와 교환하는 에너지의 평균적인 양이 영(零, Zero) 혹은 영에 가깝게 유지되는 건물을 지칭한다. 제로 에너지 단지는 이를 단지 개념으로 확장한 것이다. 국토교통부는 7대 신산업 중 하나로 “제로 에너지 빌딩” 사업을 2014년부터 추진하고 있다. 이러한 계획의 일환으로, 2014년부터 저층형 5곳과 고층형 2곳을 시범사업지로 선정하였으며, 상용화 단계를 거친 후 2025년부터는 단계적으로 의무화 해 나갈 예정이다. 이러한 제로 에너지 빌딩은 개별 건축물 중심에서 마을 규모로 단계적으로 확대될 예정이다[5].

제로 에너지 개념을 확대 적용하게 되면, 향후에는 「그림 1-1」과 같이 접속점에 설치된 설비의 용량을 넘어서는 신·재생 에너지와 에너지 저장 장치 기반 분산형 전원이 설치될 수 있다. 분산형 전원의 공급 전력량은 연결된 부하의 소비량에 맞춰 설계되고 운용되기 때문에 계통 전원과 교환하는 에너지는 영에 가깝게 유지된다. 그러나 이러한 조건을 유지하면서 부하와 분산형 전원이 지속적으로 증가하는 경우, 전원 계통에 연결되는 전원 측 접속 설비의 용량은 유지되기 때문에 단지 내 전체 PCS 혹은 전체 부하 측면에서는 상대적인 전원 임피던스의 크기가 매우 커지게 된다. 즉, 더 이상 PCS가 연계된 전원 계통이 이상적인 전압원처럼 동작하지 않게 되는 것이다. 통상 신·재생 에너지와 에너지 저장 장

치를 기반으로 한 분산형 전원의 PCS는 이상적인 전압원에 대한 접속을 가정하여 설계되기 때문에, 향후 높은 전원 임피던스를 갖는 전원 계통으로 연결되는 상황에서 PCS의 적절한 설계 사양이 검토되어야 한다.

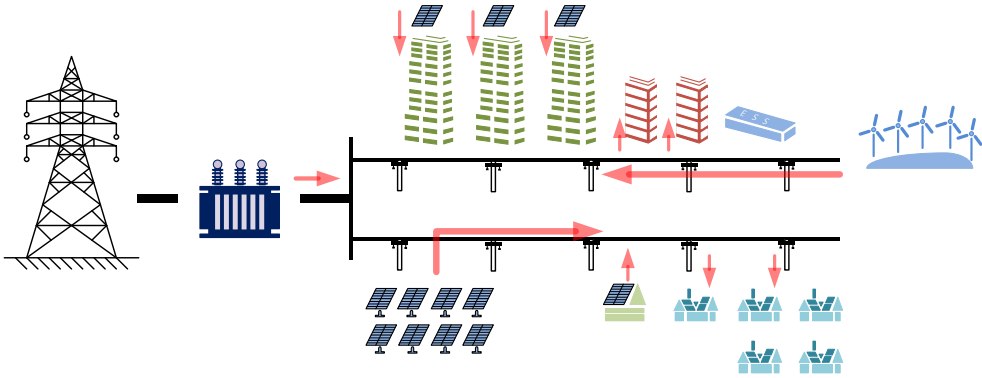


그림 1-1. 제로 에너지 단지의 구성도 예시

신·재생 에너지와 에너지 저장 장치를 기반으로 한 다수의 분산형 전원(Distributed Resources, DR)은 출력이 직류 형태로 공급된다. 따라서 이를 접속점에 연결된 교류 전원에 동기된 교류로 변환하기 위한 연계 인터페이스가 필요하다. 전력 반도체에 기반한 전력 변환 장치는 분산형 전원의 출력과 전원 계통을 적절히 연계할 수 있는 인터페이스를 의미하며, PCS(Power Conditioning System)이라 칭하기도 한다[6]. PCS는 통상 전력 반도체를 사용하여 계통 주파수에 비해 높은 주파수로 스위칭하여 계통 주파수의 전압을 합성하는 전압형 컨버터(VSC, Voltage Source Converter)가 일반적으로 사용되며, 「그림 1-2」는 대표적으로 사용되는 2레벨 3레그 컨버터와 T-type 3레벨 3레그 컨버터의 회로 구조를 나타낸다. 또한, 공급 전력의 품질 향상을 위하여, 컨버터 교류 출력단에 「그림 1-3」과 같은 수동 소자를 이용한 L 필터 혹은 LCL 필터 등이 추가로 설치된다. 종래의 연구들의 목표는 주로 PCS의 발전 전력의 품질 향상 및 동특성 개선에 관한 것들이었다. 또한, 국내·외 고조파 규정에 대응하기 위해, 출력 전류 고조파 특성을 개선하기 위한 출력 필터에 대한 연구와 고조파 전류 제어 방법 등도 연구 되었다[7]-[14].

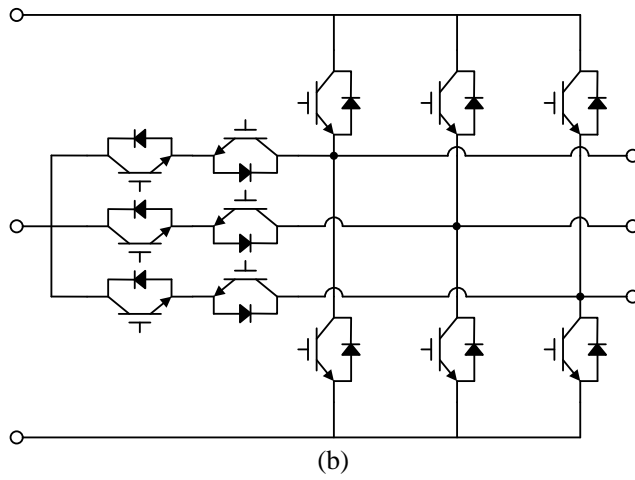
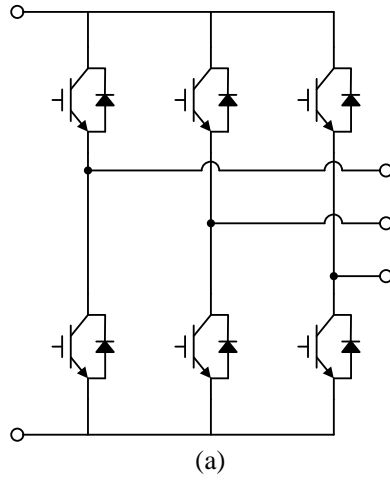


그림 1-2. 전압형 컨버터 (a) 2레벨 3레그 (b) T-type 3레벨 3레그

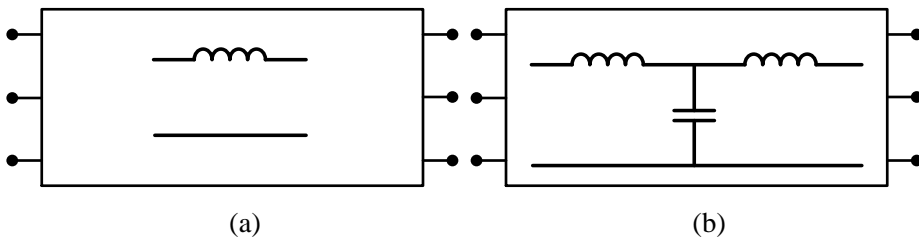


그림 1-3. 수동 소자를 사용한 출력 필터 (a) L 필터 (b) LCL 필터

PCS를 기반으로 한 분산형 전원의 설치 용량 및 그 수가 증대됨에 따라, 계통 전원에 미치는 영향에 대한 관심 역시 올라가고 있다. 스위스에서 발생한 철도 사고는 이러한 PCS 기반 분산형 전원 설치를 통해 발생할 수 있는 대표적 사고 사례로 꼽히고 있다[25]. PCS를 사용한 열차들이 기존의 열차들을 대체해 감에 따라, PCS간 상호 간섭으로 인한 불안정 문제가 발생하게 되었다. 기존 철도 시스템에 적용되는 분석 방법은 고주파 컨버터를 사용하는 열차의 시변(時變)하는 정수나 상호 간섭에 의한 영향을 고려하지 못하였다. 마찬가지로, 현재 기존 계통 전원을 분석하기 위한 방법 역시 PCS 기반 분산형 전원이 설치됨에 따라 발생할 수 있는 불안정 문제를 해석하는 데에는 한계가 드러난다. 최근 다수의 연구들에서 PCS 동작 특성을 고려하여, PCS 연결에 따른 안정도 문제를 해석하기 위해 노력하고 있다[15]-[85].

PCS 기반 분산형 전원 설치에 관련된 문제를 다룬 선행 연구는 다음과 같다.

### 1. PCS 임피던스 모델링

전원 계통에 연결되는 PCS에 대한 안정도 해석은 주로 주파수 응답을 바탕으로 한다. 특히 본 논문의 대상인 3상 교류 시스템의 경우, 주파수 응답이 다변수 시스템으로 해석되어야 한다. 주파수 응답을 얻기 위해서는 시스템에 대한 모델링 작업이 먼저 수행되어야 하므로, 상태 공간 모델, 고조파 상태 공간 모델, 전달 함수 등에 기반하여 시스템을 모델링한다. 안정도 분석에 필요한 시스템 모델을 얻기 위해 소신호 모델을 유도할 수도 있다.

특히, 직류 시스템의 분석에서 주로 사용하던 ‘임피던스 기반 분석’을 3상 교류 시스템의 안정도 해석을 위해서 도입하고 있다[63], [69], [80]-[82], [85]. 스위치 통류를 혹은 출력 합성 전압의 평균 모델을 바탕으로 동작점에서의 임피던스 모델을 유도한다. 이를 통하여 일정 전력 부하나 태양광 발전, 배터리 에너지 저장 장치에 사용되는 PCS의 위상 동기화

제어기, 입력(혹은 출력) 전류 제어기, 직류단 전압 제어기, 일정 전력 제어기 등을 고려한 임피던스 모델을 유도할 수 있다.

계통 측과 부하 측의 각 서브시스템은 유도된 임피던스를 통해 Thevenin 혹은 Norton 등가 회로로 표시할 수 있으며, 전체 등가 회로는 페루프 피드백 시스템으로 표현할 수 있다. 등가 회로의 안정성은 치환된 피드백 시스템의 안정도 분석을 통해 판단할 수 있다.

## 2. 약한 계통 연계 시 위상 동기화 제어기에 의한 불안정 문제

계통 전원의 전압 위상에 동기된 전력 공급을 위해 분산형 전원의 PCS는 위상 동기화 제어기를 사용하게 된다. 그 제어 특성으로 인해 소신호 측면에서 오차가 지속적으로 발생하게 되며, 발생한 오차는 PCS의 추정 좌표계와 실제 좌표계 상의 변수 간에 차이를 만들게 된다. 이러한 영향은 PCS 출력 임피던스에 음저항 특성을 만들게 된다[80]-[81]. 음저항 특성은 전원 임피던스가 PCS 용량 기준으로 기저값(Base value)에 가까운 큰 값을 가질 때, 위상 동기화 제어기 설계에 따라 접속점에서의 전압 불안정 현상을 발생시킬 수 있다.

## 3. 일정 전력 부하 병렬 운전에 의한 불안정 문제

일정 전력 부하는 그 운전 특성으로 인해 음저항 특성을 나타낸다. 참고 문헌 [67]에서는 일정 전력 부하의 소비 전력이 변화함에 따라 시스템이 불안정해질 수 있음을 밝혔다. 참고 문헌 [64]에서는 일정 전력 부하에 사용하는 직류단 전압 제어기를 고려한 소신호 모델을 유도하고, 병렬로 운전되는 경우 직류단 전압 제어기 설계에 따라 간섭이 발생하여 접속점 전압이 불안정해지는 현상에 대해서 분석하였다.

## 4. 주파수 이동 검출 방식의 양성 피드백 작용으로 인한 불안정 문제

분산형 전원의 의도치 않은 단독 운전을 방지하기 위해서, PCS는 단독 운전 상황을 검출할 수 있는 단독 운전 검출 기법을 반드시 갖추어야 한다. 여러 단독 운전 검출 기법 중에서도 접속점 전압의 주파수를 양성



궤환(Positive feedback)하는 주파수 이동 검출 방식이 대표적으로 사용되고 있다. 이상적인 전압원에 연결된 경우 양성 궤환이 작용하지 않아 안정된 운전이 가능하지만, 전원 임피던스가 커지는 경우 양성 궤환이 불안정의 요인이 될 수 있음이 알려져 있다[132]. 앞서 언급한 바와 같이, 제로 에너지 개념을 충족시키는 분산형 전원과 부하가 늘어남에 따라, 전원 임피던스가 큰 전원 계통에 분산형 전원과 부하가 집합적으로 연결될 수 있다. 접속 설비는 그대로 유지되기 때문에 선 인덕턴스, 변압기 인덕턴스 등은 유지되지만, 연계된 전체 PCS의 용량이 커짐에 따라 전원 임피던스의 상대적인 값은 커지게 된다. 따라서 전원 임피던스가 큰 전원 계통에 연결될 때 주파수 이동 검출 방식의 양성 피드백 이득이 제한됨은 자명하나, 이러한 조건에서의 양성 피드백 이득의 제한 분석이나 이를 해결하기 위한 방법에 대한 연구는 아직 이루어지고 있지 않다.

언급된 사례들은 기존 전력 시스템에서는 발생하지 않을 수 있는 문제들로, 다수의 PCS가 연결되어 전원 임피던스가 커질 수 있는 향후 전력 시스템에서 충분히 발생할 수 있는 문제들이다. 더구나, 동일한 사양의 PCS를 연결하더라도, 제어기 설계에 따라서 불안정 문제가 좌우될 수 있다. 현재까지의 연구 결과들은 전원 임피던스가 상대적으로 큰 계통에서 적절한 제어기 설계 기준을 제공하지 못하고 있다.

본 논문은 향후 제로 에너지 전력 시스템 구성 시, 다수의 PCS가 연결될 때 발생할 수 있는 문제를 분석하고, 동일한 사양의 PCS로 접속점의 전압이 불안정해지지 않고 동작할 수 있는 제어기 설계 방안에 대해서 다루고자 한다.

## 1.2 연구의 대상과 목적

본 논문은 향후 제로 에너지 전력 시스템이 구성됨에 따른 약한 계통 형성 시, PCS 제어기 설계에 따른 안정적인 운전 가능 범위를 분석한다. 기존 연구의 경우, 제어기 설계에 따라 불안정 문제가 발생할 수 있음은

밝혔으나, 안정된 운전 가능 범위를 제시하지 못하였기 때문에 설계를 위한 정보를 얻기 힘들었다.

분석된 결과를 바탕으로 접속점 전압을 안정되게 유지하면서 운전할 수 있는 위상 동기화 제어기, 직류단 전압 제어기의 설계 값을 제안한다. 또한, 주파수 이동 검출 기법 적용 시, 큰 양성 피드백 이득을 사용하여 도 안정된 운전이 가능한 방법을 제안한다.

## 1. 약한 계통

2016년 현재, 분산형 전원을 배전 계통에 연계하기 위해서 “분산형 배전계통 연계 기술 Guideline”을 참고할 수 있다[6]. 해당 Guideline에서는 분산형 전원의 연계 용량이 500 kW 미만이며 저압 배전용 변압기 용량의 50% 이하인 경우, 저압 일반 선로 혹은 전용 선로를 구성하여 연계할 수 있는 것으로 서술하고 있다. 특고압 한전 계통에 연계되는 경우에도 주변압기 용량의 15% 이하를 만족하는 경우 연계가 가능하다. 즉, 현재로서는 분산형 전원의 연계 용량을 제한함으로써 PCS 혹은 부하에서 관측되는 전원 임피던스가 지나치게 커지지 않게 한다. 그러나 제로 에너지 전력 시스템의 구성에 따라, 점차 접속 설비에 비해 PCS 및 부하의 용량이 커지게 되는 상황이 발생할 수 있다. 변압기 용량 대비 5 ~ 10 배 용량의 PCS와 부하가 연결되는 경우, 수 %의 전원 임피던스는 20 ~ 50 %로 상대적인 값이 증가하게 된다. 본 논문에서는 수 %의 전원 임피던스를 갖는 전원 계통을 강한 계통(Strong grid), 그에 비해 5배 이상 높은 전원 임피던스를 갖는 전원 계통을 약한 계통(Weak grid)로 지칭하여 구별하도록 한다. 통상 단락비(Short Circuit Ratio, SCR)가 3 이하인 경우를 약한 계통으로 지칭하는데[163], 5%의 임피던스를 갖는 단락비 20인 전원 계통에 전원 용량의 10배인 PCS가 연결되는 경우 단락비가 2가 되어 약한 계통으로 분류할 수 있다. 본 논문의 주요한 결과는 약한 계통 상황에서 분석한 결과로, 약한 계통에 연계된 PCS가 안정된 운전을 하기 위한 제어기 설계 기준에 대해서 논의 한다. “분산형 배전계통 연계 기술 Guideline”에서는 공통 연결점(Point of Common Coupling, PCC)과 분산형

전원 연결점(Point of DR Connection)을 구분하여 정의하고 있으나[6], 본 논문에서 다루게 되는 시스템의 연결 구조 상 두 개념은 동일한 위치를 지칭한다. 따라서 이를 접속점으로 통일하여 지칭한다.

## 2. PCS(Power Conditioning System) 구조와 제어기

「그림 1-4」는 본 논문에서 고려되는 기본적인 PCS의 구조를 나타낸다. 태양광, 배터리 등은 직류 형태의 전원을 공급하며, 이를 전원 계통에 연계하기 위해서 사용된 컨버터는 DC/AC 변환 장치를 의미한다. 본 논문에서는 가장 일반적으로 사용되는 2레벨 전압형 컨버터(VSC, Voltage Source Converter)를 고려하였다. 출력 전압의 고조파 특성을 향상시키고, 필터 크기를 줄이기 위해서 3레벨 혹은 멀티 레벨 전압형 컨버터도 사용되지만, 본 논문에서 다루게 될 제어기의 동작 특성에 미치는 영향이 적기 때문에 따로 고려하지 않았다. 출력 필터는 가장 단순한 형태인 L 필터를 고려하였다. 필터 크기를 줄이기 위해 사용될 수 있는 LCL 필터의 경우, 공진 문제를 발생시킬 수 있으나 본 논문에서 다루게 되는 제어기의 불안정성과는 연관이 없다. 또, LCL 필터는 본 논문에서 관심을 갖는 저차(13차 이하) 고조파 영역에서는 통상 L 필터로 근사화할 수 있으므로 L 필터만을 고려하여 분석을 수행하였다. LCL 필터 공진에 의한 불안정 현상 역시 다루야 하지만, 필터의 수동 댐핑 혹은 능동 댐핑 알고리즘 등을 적용하여 해결될 수 있기 때문에 본 논문에서 다루지 않는다.

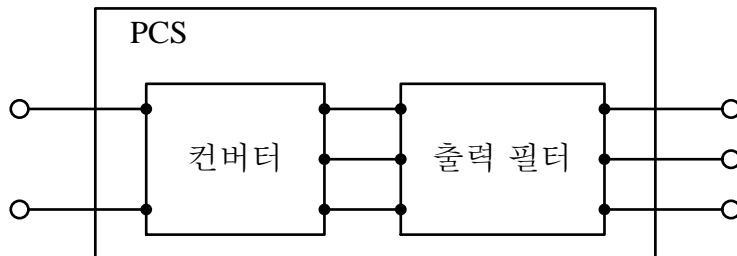


그림 1-4. PCS (Power Conditioning System) 구조

본 논문에서는 PCS에 사용될 수 있는 기본적인 제어기들을 고려하여, 동작 특성에 따른 안정도 분석을 수행하였다. 먼저, 계통 전원에 동기된 전력을 공급하기 위한 위상 동기화 제어기와 PCS 입·출력 전류 제어기를 고려하였다. 두 제어기는 PCS가 전력을 공급하기 위한 기본적인 형태의 제어기로, 전원 특성 및 전력 공급 전략에 따라 직렬(Cascade) 접속된 외부 제어기를 구성할 수 있다. 일정 전력 부하나 태양광 발전 분산형 전원의 경우, 전류 제어기 외부에 구성된 직류단 전압 제어를 통해 간접적으로 전력을 소비하거나 공급하게 되므로 직류단 전압 제어기를 고려하여야 한다. 배터리가 연결된 분산형 전원의 경우, 직류단 전압이 배터리 전압에 의해서 결정되기 때문에 직류단 전압 제어기는 고려되지 않는다. 대신, 배터리의 충전 혹은 방전 제어를 위해 기본적인 전류 제어기를 구비한 PCS를 대상으로 분석을 진행하며, 외부의 전력 지령에 따라 적절한 유·무효 전력을 공급 또는 소비해야 하므로 외부 제어기로 전력 제어기를 고려하였다. 또한, 분산형 전원의 필수 기능 중의 하나인 단독 운전 검출 기법 역시 안정도 분석을 위하여 고려하였다. 최대 전력을 생산하기 위해 태양광 발전에 사용되는 MPPT(Maximum Power Point Tracking)나 배터리 에너지 관리를 위한 SOC(State Of Charge) 제어는 그 주기가 길며, PCS 연결에 의한 불안정 현상에 기여하지 않기 때문에 고려하지 않았다. 유·무효 전력 공급 시 사용될 수 있는 드롭(Droop) 제어기는 전력 제어기의 상위 제어기로 사용될 수 있다. 병렬 운전 시 드롭 제어기에 의한 안정도 문제 역시 발생할 수 있으나[21], 본 논문에서는 PCS 연결에 의한 불안정 문제를 다루기 때문에 드롭 제어기 간섭에 의한 안정도 문제는 고려되지 않았다.

### 3. PCS 연결에 의한 안정도 분석

접속점의 계통 전압 요동 등의 불안정 현상은 안정도 분석을 통해서 해석되었다. 접속점에서 전원 계통과 연결되는 PCS의 수를 추정하기 힘들기 때문에, 다수의 PCS가 연결되는 상황에서 분석이 용이한 임피던스 기반 분석 방법을 사용하였다. 기존 DC 시스템의 분석을 위해 주로 사

용되었던 임피던스 모델을 3상으로 확대한  $dq$ -임피던스 모델을 적용하였다[63], [67], [85]. PCS의 제어를 고려한 임피던스 모델을 통해, 전원과 부하의 임피던스를 유도하여 각 서브시스템을 등가 회로로 나타낼 수 있다. 이를 피드백 시스템으로 치환하며, 피드백 시스템 루프의 불안정을 판별하여 등가 회로의 안정도를 판별할 수 있다. DC 시스템과는 달리, 다중 입출력(MIMO, Multi-Input Multi-Output) 시스템의 불안정 현상을 다루야 하므로, 일반화된 나이퀴스트(Generalized Nyquist) 선도를 통해 시스템의 안정도를 판별하였다[86]. 결과적으로, 분산형 전원 혹은 일정 전력 부하의 동작 특성에 의해  $dd$ -임피던스 혹은  $qq$ -임피던스에 음저항(Negative resistance) 특성이 나타날 수 있다. 이러한 음저항 특성은 전원 측 임피던스와의 간섭을 일으켜 불안정 현상을 야기하게 된다. 특히 본 논문에서 고려한 약한 계통에 연결되는 경우, 제어에 의한 음저항 특성으로 인해 불안정 현상이 쉽게 발생하게 된다. 따라서, 제어기에 의해 음저항 특성이 나타나게 되는 영역에 대해서 분석하고, 불안정 현상을 해결하기 위한 방법에 대해서 연구하였다.

#### 4. 안정된 운전을 위한 위상 동기화 제어기 설계

먼저, 위상 동기화 제어기 설계에 따라 발생할 수 있는 문제에 대해서 분석하였다. 기존 위상 동기화 제어기는 이상적인 전원을 가정하여 설계된다. 이상적인 전원에 연결되는 경우, 위상 동기화 제어기에 의한 불안정 현상은 발생하기 어렵다. 하지만, 전원 임피던스가 커짐에 따라 위상 동기화 제어기의 설계에 따라 접속점 전압을 불안정하게 만들 수 있다[80], [81]. 이러한 불안정 현상을 일으킬 수 있는 요인이 무엇인지 파악하고, 제어기 설계 계수에 따른 분석을 진행하였다. 기존 연구에서는 위상 동기화의 상태 필터로 사용되는 비례 적분(PI, Proportional and Integral) 제어기의 비례 이득과 적분 이득의 변화에 따라 안정도가 달라질 수 있음을 밝혔다[80]. 그러나 단순한 비례 이득과 적분 이득의 변화는 PCS의 용량이 변하거나 시스템의 각종 정수가 변함에 따른 적절한 설계 기준을 제공하기 어렵다. 따라서 본 논문에서는 위상 동기화 제어기 응답 특성

설계에 사용되는 2차 필터의 고유 주파수와 댐핑 계수에 기반하여 분석을 진행하고, 설계 기준을 제시한다. 이러한 설계 기준은 PCS의 용량 변화와 시스템 정수의 변화에 무관하게 적용할 수 있다.

#### 5. 안정된 운전을 위한 직류단 전압 제어기 설계

그 다음으로는, 일정 전력 부하에 사용될 수 있는 직류단 전압 제어기의 설계에 따라 발생할 수 있는 문제에 대해 분석하였다. 직류단 전압 제어기 역시 전원 임피던스에 따라 불안정 현상을 야기할 수도 있으며, 병렬로 운전되는 일정 전력 부하가 늘어남에 따라 불안정 현상이 가중된다. 직류단 전압 제어기 역시, 비례 적분 제어기의 이득을 기반으로 한 분석은 설계 기준을 제공하기 어려운 점이 있다. 이 역시 직류단 전압 제어 응답 특성을 2차 필터 전달 함수 형태로 설계하면, 안정된 운전을 하기 위한 제어기 설계 기준을 용량 및 시스템 정수 변화와 관계 없이 제시할 수 있다.

#### 6. 안정된 운전을 위한 주파수 이동 검출 기법의 설계

분산형 전원의 경우, 단독 운전(Islanding) 발생 시 이를 감지하여 제한된 시간 이내에 전력 공급을 중단하여야만 한다. 따라서 PCS는 단독 운전을 검출하기 위하여 단독 운전 검출 기법(Anti-islanding)을 반드시 갖추고 있어야 한다. 다양한 단독 운전 검출 기법 중, 양성 피드백을 사용하는 방식은 계통 연계 동작에서도 접속점 계통 전압을 불안정하게 만들 수 있다는 것이 널리 알려져 있다[132]. 계통 선 임피던스가 증가함에 따라, 안정된 운전을 위한 양성 피드백 이득이 제한된다는 사실 역시 연구되었다[132]. 하지만 기존 연구에서는 위상 동기화 제어기와의 관계에 대해서는 면밀히 분석하지 않았다. 본 논문에서는 양성 피드백 이득의 제한이 위상 동기화 제어기와 밀접한 관계를 가질 수 있음을 분석을 통해 확인한다. 또한 위상 동기화 제어기의 구조를 수정하여 안정된 운전이 가능한 영역을 늘릴 수 있는 방안에 대해서도 논의한다.

본 논문에서는 일정 전력 부하가 병렬 운전되는 경우에 대해서도 분석하였으나, 대부분 대용량 PCS 하나가 연계되는 경우에 대해서 분석하였다. 여러 대의 분산형 전원이 병렬로 운전될 수 있기 때문에 이에 대해서도 분석이 수행되어야 하지만, 동일한 제어기 설계 기준을 적용한 분산형 전원이 병렬로 연결된 경우, 병렬 연결된 PCS의 출력 임피던스는 전체 PCS 용량과 같은 용량을 갖는 등가적인 단일 PCS의 출력 임피던스로 간주할 수 있다. 따라서, 단일 분산형 전원에 대해서 분석한 결과는 동일한 설계 기준을 적용한 병렬 연결된 PCS들에 대한 분석 결과와 동일한 결과를 보여주게 된다. 즉, 단일 PCS로 분석한 본 논문의 결과는 다수의 PCS 병렬 연결 시 발생할 수 있는 불안정 현상에 대한 분석 역시 내포하게 된다.

본 논문에서 사용한 임피던스 모델의 주파수 응답 도출 및 안정성 판별은 복잡한 행렬식 계산을 내포하고 있기 때문에, Matlab을 이용하여 수행되었다. 또한 안정도 분석 결과는 Matlab/Simulink 및 PLECS를 이용한 회로 모의 실험을 통해 확인하였다. 그리고, 축소된 실험 회로를 구성하여 분석된 결과와 제안된 설계에 대한 검증을 수행하였다.

## 1.3 논문의 구성

본 논문은 다음과 같이 구성된다

1장에서는 본 논문의 연구 배경과 필요성에 대해서 서술하고, 연구 대상과 목적에 대해서 논의하며,

2장에서는 계통 연계 시 사용되는 PCS에 의해서 발생할 수 있는 접속점 계통 전압의 불안정 현상에 대해서 논의한다. 먼저, PCS 연계에 따른 불안정 현상을 분석하기 위해 임피던스 기반 분석 방법과 PCS 모델링을 서술한다. 임피던스 기반 분석 방법을 바탕으로 PCS의 위상 동기화 제어기와 일정 전력 부하의 직류단 전압 제어기, 주파수 이동 단독 운전 검출 기법에 의한 불안정 현상의 요인을 분석한다.

3장에서는 접속점 계통 전압의 불안정 현상을 발생시키는 PCS 제어기의 설계 조건을 분석하고, 약한 계통에 연결된 PCS가 안정되게 운전될 수 있는 제어기 설계 조건을 제안한다.

4장에서는 분석된 내용과 제안된 설계 조건 및 제어 기법을 검증하기 위하여, 축소 실험 세트를 구성하여 유효성을 검증한다.

5장에서는 본 논문의 연구 결과와 향후 과제에 대해 언급한다.



## 제 2 장 대용량 PCS 연계에 따른 계통 전압의 불안정 현상

본 장에서는 대용량 PCS를 연계함에 따라 발생할 수 있는 불안정 현상에 대해 분석한다. 기존에 보고된 사례를 통해 불안정 현상을 살펴보고, 시스템이 불안정해지는 요인에 대한 분석을 수행하였다.

시스템의 불안정 현상은 임피던스 기반 분석 방법을 사용하여 해석되었다. 임피던스 기반 분석을 적용하기 위하여, 제어기를 고려한 PCS의 임피던스 모델을 유도하였다.

기존에 보고된 사례에서는 위상 동기화 제어기와 직류단 전압 제어기의 설계에 따라 PCS를 계통에 연계하였을 때 불안정 현상이 일어날 수 있음을 밝히고 있다. 본 장에서는 PCS 임피던스와 계통 측 임피던스의 관계를 통해 이러한 불안정 현상의 요인을 분석한다. 또한, 양성 피드백 작용으로 인해 계통 연계 시 불안정 현상을 야기할 수 있는 것으로 알려진, 주파수 이동에 기반한 단독 운전 검출 기법에 대한 분석도 수행되었다.

### 2.1 임피던스 기반 분석 방법 및 임피던스 모델링

본 절에서는 계통 연계 PCS의 동작에 의한 접속점(Point of Common Coupling, PCC)의 전압 안정성을 분석하기 위한 분석 방법을 소개한다. 본 논문에서 채택한 임피던스 기반 분석 방법을 적용하기 위해서 전원 계통과 부하, 제어기가 포함된 PCS의 임피던스 모델을 도출한다.

전원 계통에 연결되는 PCS에 대한 안정도 해석은 주파수 응답을 바탕으로 한다. 특히, 3상 교류 시스템에서는 주파수 응답이 다변수(Multi-variable) 시스템으로 해석되어야 한다. 주파수 응답을 얻기 위해서는 PCS를 포함한 시스템에 대한 모델링 작업이 먼저 수행되어야 한다. 여러 문헌에 나타난 기존 연구를 바탕으로 PCS를 이용한 계통에 연계되는 시스템의 안정도 해석을 위한 모델링을 분류하면 「그림 2-1」과 같이

표현할 수 있다.

‘상태 공간 모델(State space model)’에 기반한 분석 방식은 시스템 내에 연결된 PCS들과 다양한 부하들의 상태 공간 모델을 모두 얻은 후, 전체 시스템의 시스템 행렬을 유도한다. 상태 공간 모델을 얻기 위해서 필요에 따라 소신호 분석(Small signal analysis)을 통해 소신호 모델(Small signal model)을 유도하기도 한다. 유도된 시스템 행렬의 고유값(Eigenvalue)을 분석하여 시스템의 안정도를 판단할 수 있다.

「그림 2-2」는 상태 공간 모델의 한 예시를 보여준다. 이 방법은 다수의 PCS 혹은 부하들이 연결되는 경우, 상태 변수(State variable)가 시스템 구성 요소 수에 비례하여 증가하게 된다는 단점이 있다. 상태 변수의 증가량은 추가되는 PCS나 부하의 수에 비례하지만, 시스템 행렬의 차원은 제곱에 비례해서 증가하게 된다. 이로 인하여, 시스템 행렬의 고유값을 분석하기 위해 계산되는 행렬식의 복잡성 및 계산량 역시 PCS나 부하 개수의 증가에 따라 기하급수적으로 증가하게 된다.

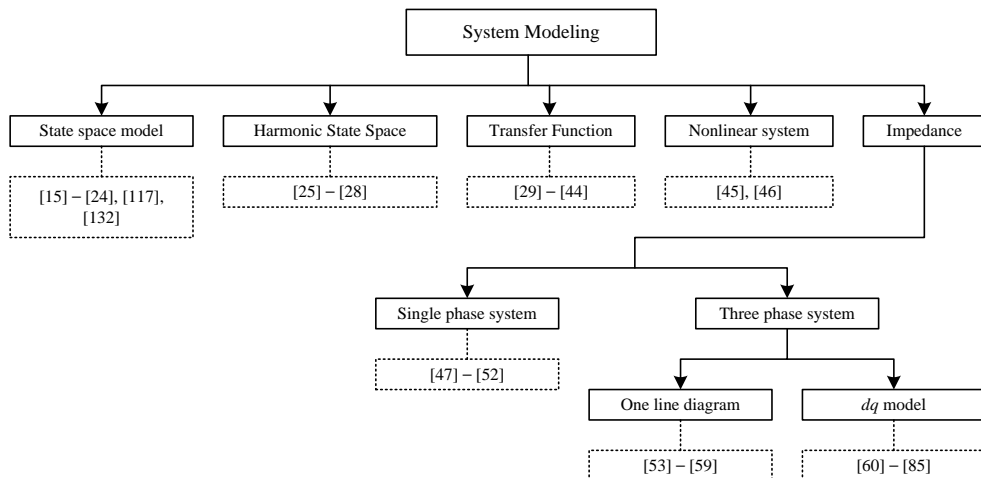


그림 2-1. 안정도 해석을 위한 시스템 모델링의 분류

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_2}{dt} \\ \vdots \\ \frac{di_n}{dt} \\ \frac{du_1}{dt} \\ \frac{du_2}{dt} \\ \vdots \\ \frac{du_n}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R_{eq}+R_{L1}}{L_1} & -\frac{R_{eq}}{L_1} & \cdots & -\frac{R_{eq}}{L_1} & -\frac{1}{L_1} & 0 & \cdots & 0 \\ -\frac{R_{eq}}{L_2} & -\frac{R_{eq}+R_{L2}}{L_2} & \cdots & -\frac{R_{eq}}{L_2} & 0 & -\frac{1}{L_2} & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ -\frac{R_{eq}}{L_n} & -\frac{R_{eq}}{L_n} & \cdots & -\frac{R_{eq}+R_{L_n}}{L_n} & 0 & 0 & \cdots & -\frac{1}{L_n} \\ \frac{1}{C_1} & 0 & \cdots & 0 & \frac{1}{C_1 R_1} & 0 & \cdots & 0 \\ 0 & \frac{1}{C_2} & \cdots & 0 & 0 & \frac{1}{C_2 R_2} & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & \frac{1}{C_n} & 0 & 0 & \cdots & \frac{1}{C_n R_n} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ \vdots \\ i_n \\ u_1 \\ u_2 \\ \vdots \\ u_n \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ \frac{1}{L_2} \\ \vdots \\ \frac{1}{L_n} \\ 0 \\ 0 \\ \vdots \\ 0 \end{bmatrix} V_s$$

그림 2-2 상태 공간 모델의 예시 [149]

‘고조파 상태 공간(Harmonic State Space, HSS) 모델’에 기반한 분석 방식은 여러 주파수에 의한 간섭 현상을 분석하기 위해 도입되었다. 고조파 전달 함수(Harmonic transfer function)를 이용하여, 변압기와 컨버터, 인버터, 부하 전동기의 동특성 등을 고려한 분석이 가능하다. 이 방법은 스위스에서 발생한 철도 시스템의 사고 상황을 분석하기 위해 도입되었다 [25]. 새롭게 도입된 열차가 고주파 컨버터(Converter)를 사용함에 따라, 예측하지 못했던 컨버터 간의 상호 간섭으로 시스템의 불안정 현상을 야기하였다. 기존 시스템의 경우 전류원과 임피던스 등을 이용하여 분석하는 것이 가능하였으나, 고주파 컨버터를 구비한 열차에 의해 시변(時變, Time varying)하는 변수나 상호 간섭에 의한 영향을 분석하는 데에 기존 방법들은 한계를 보였다. 최근 계통 시스템의 상황에 PCS를 기반으로 한 분산 전원이나 부하가 증가함에 따라, 상기 철도 시스템이 직면한 상황과 유사한 부분이 있다. 따라서 이러한 분석 방법을 계통 연계 시스템에서도 활용하는 방안이 연구되었다[26]-[28]. 하지만 이 방법 역시 시스템 행렬에 대한 분석이 필요하며, 수 많은 고조파(40차 정도까지)에 대한 모델링으로 인하여 40차 이상의 시스템 행렬을 수치 해석으로 분석해야만 한다.

‘전달 함수(Transfer function)’에 기반한 분석 방식은 3상 시스템을 단상 모델로 단순화 하고, 제어기 등을 고려한 전달 함수를 유도한다. 유도된 전달함수의 특성 방정식(Characteristic equation)을 토대로 안정도를 분석한다. 이러한 방식은 상호 간섭(Cross-coupled) 항에 대한 고려가 부족하다

는 단점이 있다. 상호 간섭 항을 고려하기 위해서, [63]에서는 복소수 (Complex number) 전달 함수를 도입하였다. 이는 시스템을 다변수 시스템으로 다루는 것을 의미하며, 시스템 행렬 고유값의 나이퀴스트 선도 (Nyquist plot)를 통해 안정도를 판단한다. 이 때 시스템 행렬 고유값은 주파수에 대한 함수로 나타나지만, 식 (2.1.1)과 같이 비선형 함수를 포함한다. 따라서 나이퀴스트 선도를 얻기 위해 별도의 분석 프로그램을 작성해야 하는 번거로움이 있다.

$$\lambda_{1,2} = \frac{G_{dd}(s) + G_{qq}(s)}{2} \pm \sqrt{\left[ \frac{G_{dd}(s) - G_{qq}(s)}{2} \right]^2 - G_{dq}(s)G_{qd}(s)}. \quad (2.1.1)$$

‘비선형(Nonlinear) 모델’에 기반한 분석 방법은 컨버터의 공진이나 과변조 운전 해석을 해석하기 위해 도입되었다[45], [46]. 푸앵카레 맵(Poincare map)을 분석하여 주기적인 진동에 대한 해석이 제공되거나, 비선형 시스템 분석을 통해 과변조에 대한 분석 결과가 제공되었다. 하지만, 정상 상태 분석에 특별한 해석 결과를 제공해주지 못하며, 다수의 시스템이 연결되는 상황에서의 분석이 용이하지 못하다.

상기 언급한 방식들의 경우, 공통적으로 다수의 시스템에 대한 분석을 위해 계산과 복잡성이 증가하는 문제를 가지고 있다. 따라서 본 논문에서는 다수의 시스템이 연결되는 경우 분석이 용이한 ‘임피던스 기반 분석 방법’을 사용한다.

### 2.1.1 임피던스 기반 분석

‘임피던스 기반 분석(Impedance based analysis)’은 SMPS(Switching-Mode Power Supply)의 설계나 복잡한 직류 분산 전력 시스템을 해석하는데 널리 사용되었다. 주로 직류 시스템의 분석에서 사용되었으나, 최근 3상 교류 시스템의 안정도 해석을 위해서도 도입되고 있다.

분석을 위하여 각 서브시스템(Subsystem)은 특성에 따라 Thevenin 등가 회로 혹은 Norton 등가 회로로 치환된다[59]. 각 등가 회로는 임피던스 혹은 어드미턴스(Admittance) 모델을 계산하거나 입·출력 단에서 측정하여 표현될 수 있다.

계통 전원은 무부하에서 안정된 특성을 보이므로, 전압원 특성을 나타낼 수 있는 Thevenin 등가 회로, 즉, 이상적인 전압원과 직렬로 연결된 출력 임피던스로 표현된다. 반면, 계통 연계 PCS의 경우 통상 전류 공급 모드로 동작한다. 따라서 전압원으로 표현될 수 없으며, Norton 등가 회로로 표현된다. 부하의 경우 수동 소자로 모델링 된 경우 단순히 임피던스로 표현되며, 컨버터(Converter)를 이용해 구동되는 일정 전력 부하는 Norton 등가 회로로 모델링될 수 있다. 전력 전자 회로로 구성된 시스템은 비선형 특성을 가지고 있으므로, 소신호 모델로 표현되기도 한다.

「그림 2-3」은 임피던스 분석을 위한 등가 회로의 한 예시로, 전원 측은 Thevenin 등가 회로, 부하 측은 Norton 등가 회로로 표현되었다. 다수의 전원, 부하는 통합하여 하나의 등가 회로로 표현될 수 있다.

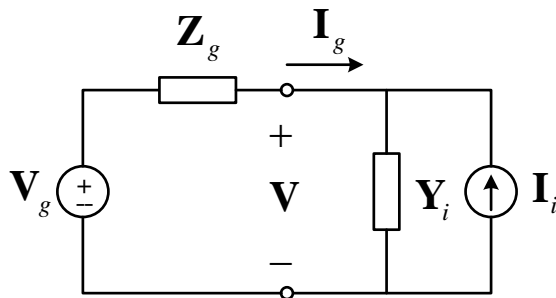


그림 2-3. 임피던스 모델 예시

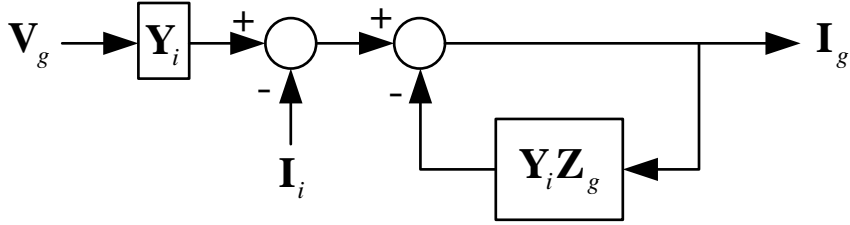


그림 2-4. 등가 피드백(Feedback) 시스템

「그림 2-3」 회로의 전압 방정식을 식 (2.1.2)과 같이 변형하면, 「그림 2-4」와 같은 폐루프 피드백 시스템(Closed loop feedback system)으로 표현할 수 있다. 「그림 2-3」의 회로를 분석하는 대신, 등가 피드백 시스템을 분석해 전체 시스템의 안정성을 해석할 수 있다. 피드백 시스템의 특성 방정식은 ' $\mathbf{I} + \mathbf{Y}_i \mathbf{Z}_g$ '로 계산되며,  $\mathbf{I}$ 는 항등 행렬(Identity matrix)을 의미한다.

$$\begin{cases} \mathbf{V}_g = \mathbf{Z}_g \mathbf{I}_g + \mathbf{V} \\ \mathbf{Y}_i \mathbf{V} = \mathbf{I}_g + \mathbf{I}_i \end{cases} \Rightarrow \quad \mathbf{I}_g = \mathbf{Y}_i \mathbf{V}_g - \mathbf{I}_i - \mathbf{Y}_i \mathbf{Z}_g \mathbf{I}_g \quad . \quad (2.1.2)$$

직류 시스템에서는 부하 어드미턴스( $Y_i$ ) 대신 임피던스( $Z_i$ )로 표현한 후, 임피던스 비율( $Z_g / Z_i$ )로 특성 방정식을 ' $1 + Z_g / Z_i$ '와 같이 표현한다. 특성 방정식의 극점(Pole)을 이용하여 안정도 분석을 할 수도 있으나, SISO(Single-Input Single-Output) 시스템으로 등가 치환하여 임피던스 비율의 나이퀴스트 선도(Nyquist plot)를 복소 평면에 도시한 후, 나이퀴스트 판정법(Nyquist criterion)을 통해 안정성을 판단한다.

직류 시스템과 달리 3상 교류 시스템은 다중입출력(Multi-Input Multi-Output, MIMO) 시스템으로 임피던스 혹은 어드미턴스가 행렬로 표현된다. 특성 방정식 역시 행렬식으로 표현되므로, 특성 방정식의 행렬식 ' $\det(\mathbf{I} + \mathbf{Y}_i \mathbf{Z}_g)$ '의 극점을 이용하여 안정도 분석을 해야 한다[67].

MIMO 시스템은 SISO 시스템과는 달리, 일반화된 나이퀴스트 판정법(Generalized Nyquist criterion)이 적용되어야 한다. 일반화된 나이퀴스트 판

정법은 특성 방정식의 나이퀴스트 선도를 복소 평면에 나타내어 원점을 감는지 여부를 통해 안정성을 판단할 수 있다[86]. 본 논문에서도 일반화된 나이퀴스트 판정법을 이용하여 시스템의 안정성 여부를 판단한다.

3상 시스템의 세 상(Phase) 변수는 직교 좌표계를 도입하여 독립적인 변수로 표현될 수 있다. 직교 좌표계로 표현하기 위하여 적절한 좌표 변환을 사용할 수 있으며, 정지 좌표계 혹은 회전하는 동기 좌표계 상에 표현할 수 있다. 임피던스 역시 좌표 변환을 통해 정지 좌표계 혹은 동기 좌표계 상에서 표현될 수 있다.

정지 좌표계를 이용하는 경우, 대신호(Large signal) 모델을 기반으로 분석이 진행되므로 운전점에 따라 PCS의 임피던스 모델이 변하지 않는다는 장점이 있다. 상호 간섭 항이 없어, 각 시스템을 단선 결선도(Single-line diagram)로 표현할 수도 있다. 그러나, 통상 PCS의 제어를 동기 좌표계 상에서 구현하므로, 정지 좌표계 상에서 분석하기 위해서는 전달 함수 역시 좌표 변환을 해야 하는 번거로움이 있다.

회전하는 동기 좌표계를 이용하는 경우, 운전점에 따라 소신호 모델을 얻어 분석해야 하는 단점이 있다. 그리고 상호 간섭 항을 고려해야 한다. 그러나 동기 좌표계 상에서 구현된 제어기의 표현을 이해하기 쉬우며, 유효 전력과 무효 전력 성분을 독립적으로 표현할 수 있다는 장점이 있다. 특히, 각 제어기는 유효 전력과 무효 전력 성분에 독립적으로 영향을 미치기 때문에 물리적인 이해와 해석이 용이해진다. 따라서 본 논문에서는 동기 좌표계에서 표현된 임피던스를 이용하여 시스템 안정도 분석을 진행한다.

임피던스 기반 분석에서는 동적 임피던스(Dynamic impedance)를 사용하여 분석을 수행한다. 전원 계통의 임피던스 혹은 접속점에 연결된 부하의 경우, 수동 소자(R, L, C)로 모델링할 수 있다. 이 때 수동 소자로 이루어진 서브시스템은 동작점에 따라 주파수 응답 특성이 변하지 않기 때문에, 입·출력 전압과 전류의 관계로 유도된 정적 임피던스( $v/i$ )와 소신호 모델로 유도된 동적 임피던스( $\Delta v/\Delta i$ )가 동일하다.

그러나, 전력 전자 회로로 구성된 시스템의 경우, 비선형 특성으로 인해 동작점에 따른 소신호 모델로 임피던스를 표현해야 한다. 동기 좌표계로 표현하는 경우 직류 형태의 신호로 표현할 수 있으며, 스위칭 주기 동안의 평균화(Averaging)을 통해 소신호 모델을 도출할 수 있다.

### 2.1.2 수동 소자의 $dq$ -임피던스 모델

임피던스 기반 분석을 진행하기 위해서는 전원과 부하, PCS의 동기 좌표계 임피던스 모델이 필요하다. 먼저, 전원 임피던스와 부하 임피던스를 표현하기 위해 수동 소자의 임피던스 모델을 소개한다.

동기 좌표계로 변환하기 위한 변환 행렬은 식 (2.1.3)과 같다.

$$\mathbf{T}(\theta) = \frac{2}{3} \begin{bmatrix} \cos \theta & \cos\left(\theta - \frac{2}{3}\pi\right) & \cos\left(\theta + \frac{2}{3}\pi\right) \\ -\sin \theta & -\sin\left(\theta - \frac{2}{3}\pi\right) & -\sin\left(\theta + \frac{2}{3}\pi\right) \end{bmatrix}. \quad (2.1.3)$$

3상 시스템에서 수동 소자인 저항, 인덕터, 캐패시터의 각 전압 방정식은 다음과 같다.

$$\mathbf{v}_{abc} = \mathbf{R}\mathbf{i}_{abc}, \quad (2.1.4)$$

$$\mathbf{v}_{abc} = L \frac{d\mathbf{i}_{abc}}{dt}, \quad (2.1.5)$$

$$\mathbf{i}_{abc} = C \frac{d\mathbf{v}_{abc}}{dt}. \quad (2.1.6)$$

$\mathbf{v}_{abc}$ ,  $\mathbf{i}_{abc}$  는 각각 3상 전압, 전류 벡터를 나타낸다.

이를 동기 좌표계 상의 변수로 표현하면 아래 식 (2.1.7) ~ (2.1.9)와 같이 변환되며,  $dq$ -등가 회로는 「그림 2-5」와 같다. 전원 임피던스나 수동 소자로 모델링된 부하의 경우 이와 같은 모델을 이용해서 분석이 가능하다.



$$\begin{bmatrix} v_d^e \\ v_q^e \end{bmatrix} = R \begin{bmatrix} i_d^e \\ i_q^e \end{bmatrix}, \quad (2.1.7)$$

$$\begin{bmatrix} v_d^e \\ v_q^e \end{bmatrix} = L \frac{d}{dt} \begin{bmatrix} i_d^e \\ i_q^e \end{bmatrix} + \begin{bmatrix} 0 & -\omega L \\ \omega L & 0 \end{bmatrix} \begin{bmatrix} i_d^e \\ i_q^e \end{bmatrix}, \quad (2.1.8)$$

$$\begin{bmatrix} i_d^e \\ i_q^e \end{bmatrix} = C \frac{d}{dt} \begin{bmatrix} v_d^e \\ v_q^e \end{bmatrix} + \begin{bmatrix} 0 & -\omega C \\ \omega C & 0 \end{bmatrix} \begin{bmatrix} v_d^e \\ v_q^e \end{bmatrix}. \quad (2.1.9)$$

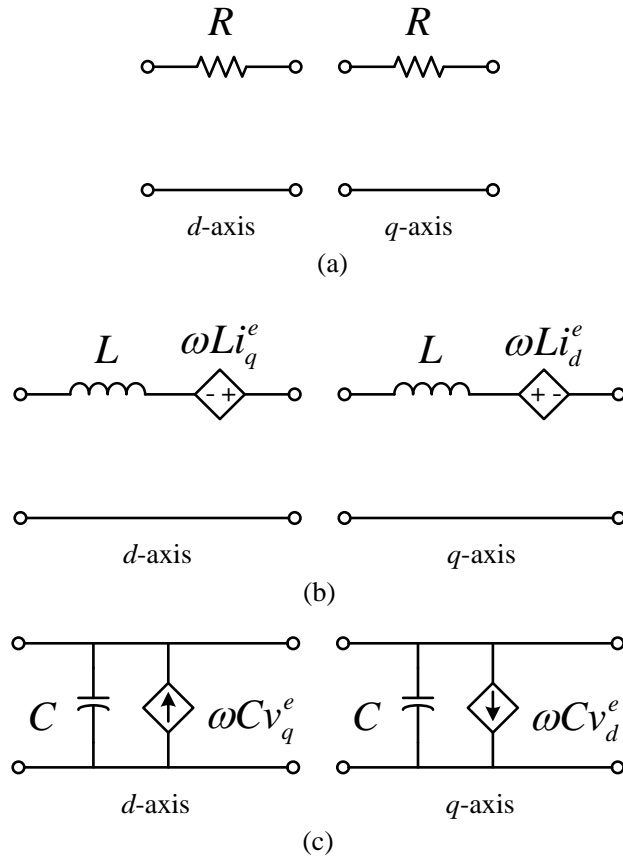


그림 2-5. 수동 소자의  $dq$ -임피던스 모델

### 2.1.3 제어기를 고려한 PCS의 임피던스 모델

참고 문헌 [67]에서는 제어기 특성을 고려하지 않은 일정 전력 소비 부하(Constant Power Load, CPL)에 대한 어드미턴스 행렬 식을 유도하였다. 최근에는 평균 모델(Average model)을 이용하여 제어 루프(Control loop)를 고려한 PCS의 어드미턴스 행렬 모델이 제안되고 있다[63], [66], [85].

참고 문헌 [80]-[82], [85]에서는 스위치 통류율(Duty ratio)에 대한 평균 모델을 제안하고, 이에 기반한 PCS 임피던스를 유도하였다. 이 모델은 PCS의 직류 측과 교류 측이 분리되지 않아 직류단 전압의 작은 변화가 교류 출력에 영향을 주는 것으로 해석하였다. 반면, 참고 문헌 [63], [69]에서는 PCS의 출력을 합성 전압으로 간주하여 임피던스가 유도되었으며, 이 모델에서는 직류단 전압의 작은 변화가 교류 출력에 영향을 주지 않는 것으로 해석된다. 통류율 모델에서는 직류단 모델이 전류로 표현되는 반면, 합성 전압 모델에서는 전력 관계식이 사용된다. 두 모델은 개루프(Open loop) 모델에서 차이를 보이지만, 제어기가 포함된 폐루프(Closed loop) 모델에서는 큰 차이를 보이지 않는다. 참고 문헌 [87]에서와 같이, 반송파(Carrier wave)가 직류단 전압에 비례하여 조정되는 PWM(Pulse With Modulation)을 사용하는 경우, 직류단 전압의 변동에 관계 없이 PCS 출력 전압을 합성할 수 있다. 따라서, 본 논문에서는 PCS 출력을 합성 전압으로 간주하여 PCS의 임피던스를 유도하였다.

「그림 2-6」과 「그림 2-7」은 본 논문에서 고려할 PCS의 제어 구성도를 나타낸다. 일정 전력 부하나 태양광(Photovoltaic, PV) 발전에 사용되는 PCS는 「그림 2-6」과 같이 직류단 전압을 제어하여 전력을 소비하거나 공급한다. 직류단 저항  $R_{dc}$ 는 운전점에 따른 직류 전류 값에 의해 결정할 수 있으며, 전력 소비 시에는 양의 값, 공급 시에는 음의 값을 갖는다. 전류 제어기는 CC(Current Controller), 직류단 전압 제어기는 VC(Voltage Controller)로 표기하였다. 태양광 발전의 경우, 최대 전력 추종(Maximum Power Point Tracking, MPPT) 알고리즘이 포함될 수 있으나, 제어 주기가 상대적으로 길고 PCS 간섭 등에 의한 불안정 현상에 영향을

주지 않기 때문에 고려되지 않았다.

배터리 에너지 저장 장치의 경우, 직류단 전압이 배터리에 의해 결정된다. 직류단 전압을 PCS가 제어할 수는 없으나, 배터리 SOC(State Of Charge) 제어가 대신 구성될 수 있다. 하지만, 배터리 SOC 제어는 MPPT와 마찬가지로 제어 주기가 상대적으로 길어 PCS 간섭에 의한 불안정 현상에 영향을 주지 않아 고려되지 않았다. 대신, 공급자로부터 수신 받은 전력 지령을 적절하게 합성하기 위한 전력 제어기는 동특성에 영향을 줄 수 있으므로 임피던스 계산에 고려되었다.

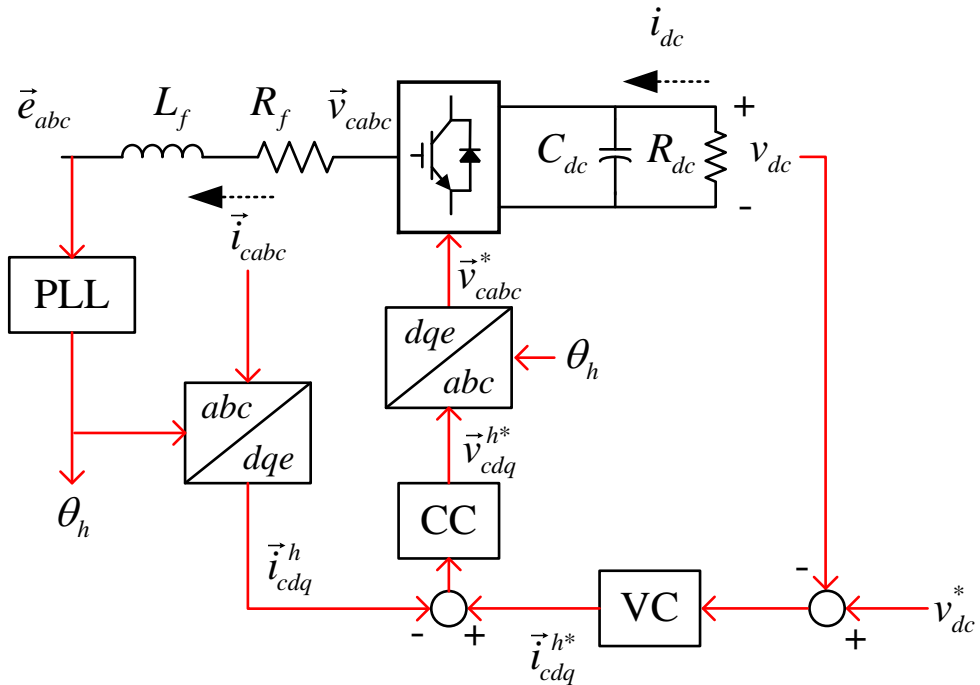


그림 2-6. 직류단 전압 제어 구성도 - 일정 전력 부하 혹은 태양광 발전

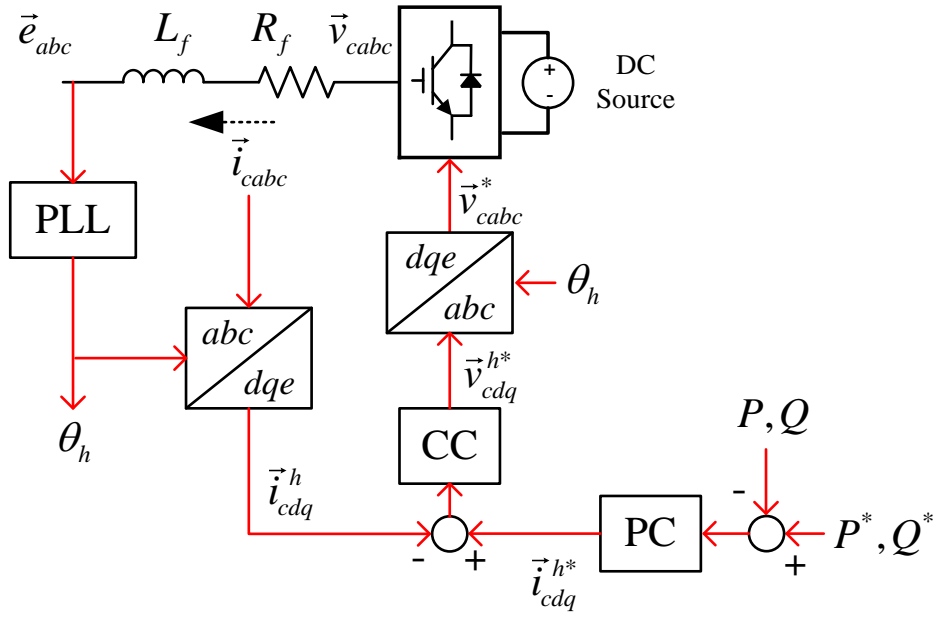


그림 2-7. 전력 제어 구성도 - 배터리 에너지 저장 장치

「그림 2-6」과 「그림 2-7」의 구성도를 참고하면, PCS의 출력 전압은  $\vec{e}_{abc}$ , 출력 전류는  $\vec{i}_{abc}$ 로 표현된다. 따라서 PCS의 임피던스는 전류 부호를 고려하여 다음과 같이 계산된다.

$$\begin{bmatrix} \Delta e_d^e \\ \Delta e_q^e \end{bmatrix} = -[\mathbf{Z}] \begin{bmatrix} \Delta i_{cd}^e \\ \Delta i_{cq}^e \end{bmatrix} \Leftrightarrow \begin{bmatrix} \Delta i_{cd}^e \\ \Delta i_{cq}^e \end{bmatrix} = -[\mathbf{Y}] \begin{bmatrix} \Delta e_d^e \\ \Delta e_q^e \end{bmatrix}. \quad (2.1.10)$$

(가) 계통 전압의 정의 및 위상 동기화 제어기에 의한 효과

계통 전압의 경우, 정현파(Sinusoidal Wave) 형태로 표현되는데, 기준각(Orientation angle) 정의에 따라 동기 좌표계 상에서 전압 벡터가 정렬되는 축이 달라지게 된다. 본 논문에서는 3상 전원 전압을 다음과 같이 정의한다.  $a$ 상 전압이 양에서 음으로 바뀌는 순간을 각의 시점(0도)이라 정의하였다. 이 경우 3상 계통 전압은 식 (2.1.11)과 같이 표현된다.

$$\begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} = \begin{bmatrix} -E \sin \omega t \\ -E \sin \left( \omega t - \frac{2}{3}\pi \right) \\ -E \sin \left( \omega t + \frac{2}{3}\pi \right) \end{bmatrix}. \quad (2.1.11)$$

여기서  $E$ 는 상전압의 최대값,  $\omega$ 는 계통 각 주파수를 의미한다.

이를 좌표변환을 이용해 정지 좌표계와 계통 각 주파수로 회전하는 동기 좌표계로 변환하면 각각 식 (2.1.12), (2.1.13)과 같다.

$$\begin{bmatrix} e_d^s \\ e_q^s \end{bmatrix} = \begin{bmatrix} -E \sin \omega t \\ E \cos \omega t \end{bmatrix}, \quad (2.1.12)$$

$$\begin{bmatrix} e_d^e \\ e_q^e \end{bmatrix} = \begin{bmatrix} 0 \\ E \end{bmatrix}. \quad (2.1.13)$$

위 정의를 이용하여 위상 동기화 제어기(Phase Locked Loop, PLL)를 설계할 수 있으며, 설계 방법은 부록에 첨부하였다.

정상 상태에 도달하게 되면, PLL로 추정된 계통 전압 벡터는 양의  $q$ 축에 정렬된다. 하지만, PLL의 제어 특성으로 말미암아 소신호 측면에서는 오차가 지속적으로 발생하게 된다. 따라서 PCS가 추정한 계통 위상으로 구성된 동기 좌표계와 실제 계통 위상을 기준으로 한 동기 좌표계의 각 오차가 발생하며, 소신호 모델 유도과정에서 이를 고려해야 한다[69], [73]. 추정된 계통 위상( $\theta_h$ )과 실제 계통 위상( $\theta$ )의 오차를  $\theta_{err} = \theta_h - \theta$ 라

정의하면, 추정된 좌표계 상의 변수와 실제 좌표계 상의 변수 차이는 식 (2.1.14)와 같이 표현될 수 있다.

$$\begin{bmatrix} f_d^h \\ f_q^h \end{bmatrix} = \begin{bmatrix} f_d^e \cos \theta_{err} + f_q^e \sin \theta_{err} \\ -f_d^e \sin \theta_{err} + f_q^e \cos \theta_{err} \end{bmatrix}. \quad (2.1.14)$$

계통 위상을 기준으로 한 시스템 좌표계 상의 변수는 위 첨자 ‘e’, 추정된 위상을 기준으로 한 PCS 좌표계 상의 변수는 위 첨자 ‘h’로 표기하였다. ‘f’는 변수를 의미하는 임의의 표현이다.

각 변수를 정상 상태 값과 작은 섭동(Perturbation)의 합으로 고려하면 식 (2.1.14)는 식 (2.1.15)로 정리할 수 있으며, 소신호 모델은 식 (2.1.16)과 같다.

$$\begin{bmatrix} (F_d^e + \Delta f_d^h) \\ (F_q^e + \Delta f_q^h) \end{bmatrix} = \begin{bmatrix} (F_d^e + \Delta f_d^e) \cos \theta_{err} + (F_q^e + \Delta f_q^e) \sin \theta_{err} \\ -(F_d^e + \Delta f_d^e) \sin \theta_{err} + (F_q^e + \Delta f_q^e) \cos \theta_{err} \end{bmatrix}, \quad (2.1.15)$$

$$\begin{bmatrix} \Delta f_d^h \\ \Delta f_q^h \end{bmatrix} \approx \begin{bmatrix} \Delta f_d^e + F_q^e \theta_{err} \\ -F_d^e \theta_{err} + \Delta f_q^e \end{bmatrix}. \quad (2.1.16)$$

‘ $\Delta$ ’는 작은 섭동에 의해 변화하는 변수를 표현하기 위해 사용되었다. 대문자로 표시된 변수는 변수의 정상 상태 값을 의미한다.

계통 위상의 변화가 느리다고 가정하면, 위상 오차의 소신호 모델은 추정된 계통 위상의 소신호 모델과 동일하다( $\Delta \theta_{err} = \Delta \theta_h$ ). 따라서, 식 (2.1.16)은 다음과 같이 표현될 수 있다.

$$\begin{bmatrix} \Delta f_d^h \\ \Delta f_q^h \end{bmatrix} = \begin{bmatrix} \Delta f_d^e + F_q^e \Delta \theta_h \\ -F_d^e \Delta \theta_h + \Delta f_q^e \end{bmatrix}. \quad (2.1.17)$$

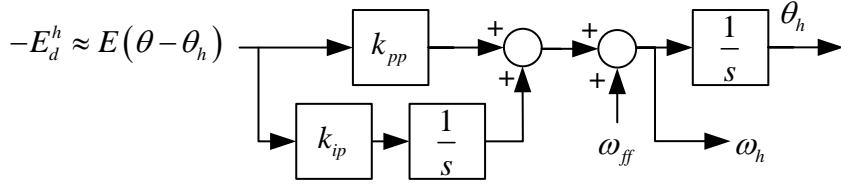


그림 2-8. Synchronous Reference Frame PLL (SRF-PLL)의 제어 블록도

위상 동기화 제어기로 다양한 방식들이 제안되어 있지만, 기본적인 형태인 SRF-PLL(Synchronous Reference Frame PLL)이 가장 많이 채택되어 사용되고 있다. 위상 추정 성능 향상을 위하여 정상분 전압을 추출하는 방식도 제안되고 있으나[150]-[152], 본 논문은 SRF-PLL을 기반으로 소신호 모델을 분석한다. 「그림 2-8」은 SRF-PLL의 제어 구성도를 나타낸다.

위상 동기화 제어기의 대신호 모델은 다음과 같다.

$$\theta_h = \frac{1}{s} \left[ \omega_{ff} + T_{pll} (e_d^{h*} - e_d^h) \right], \quad (2.1.18)$$

$$\omega_h = \omega_{ff} + T_{pll} (e_d^{h*} - e_d^h), \quad (2.1.19)$$

$$T_{pll} = k_{pp} + \frac{k_{ip}}{s}. \quad (2.1.20)$$

여기서  $k_{pp}$ 와  $k_{ip}$ 는 각각 PLL의 상태 필터(State filter)로 사용된 비례-적분(Proportional and Integral, PI) 제어기의 비례 이득과 적분 이득을 나타낸다.

정상 상태 값과 작은 섭동을 고려한 식과 소신호 모델은 다음과 같다.

(정상 상태 값과 작은 섭동 고려 시)

$$\Theta_h + \Delta\theta_h = \frac{1}{s} \left( \Omega_{ff} + T_{pll} \left[ E_d^{h*} - (E_d^h + \Delta e_d^h) \right] \right), \quad (2.1.21)$$

$$\Omega_h + \Delta\omega_h = \Omega_{ff} + T_{pll} \left[ E_d^{h*} - (E_d^h + \Delta e_d^h) \right]. \quad (2.1.22)$$

(소신호 모델)

$$\Delta\theta_h = -\frac{T_{pll}}{s} \Delta e_d^h, \quad (2.1.23)$$

$$\Delta\omega_h = -T_{pll} \Delta e_d^h = s \Delta\theta_h. \quad (2.1.24)$$

식 (2.1.10)에 따르면, PCS의 임피던스를 유도하기 위해서 실제 계통 전압에 대한 PCS 출력 전류의 함수를 구해야 한다. 식 (2.1.17)을 이용하면  $\Delta e_d^h = \Delta e_d^e + E_q^e \Delta\theta_h = \Delta e_d^e + E \Delta\theta_h$ 의 관계를 얻을 수 있다. 이 결과를 (2.1.23)과 연립하면 다음과 같은 전달 함수를 얻게 된다.

$$\Delta\theta_h = -\frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}} \Delta e_d^e = -G_{pll} \Delta e_d^e. \quad (2.1.25)$$

$$\Delta\omega_h = -sG_{pll} \Delta e_d^e. \quad (2.1.26)$$

$G_{pll} = \frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}}$ 은 수식 전개 편의를 위해 정의한 전달 함수다.

$G_{pll}$ 를 정의함에 따라, 식 (2.1.17)은 다음과 같이 수정될 수 있다.

$$\begin{bmatrix} \Delta f_d^h \\ \Delta f_q^h \end{bmatrix} = \begin{bmatrix} \Delta f_d^e \\ \Delta f_q^e \end{bmatrix} + \begin{bmatrix} -F_q^e G_{pll} & 0 \\ F_d^e G_{pll} & 0 \end{bmatrix} \begin{bmatrix} \Delta e_d^e \\ \Delta e_q^e \end{bmatrix}. \quad (2.1.27)$$

식 (2.1.27)을 통해 PLL에 의한 오차를 실제 계통 전압에 대한 함수로 표현하여 각 좌표계 상에서 표현된 변수들을 시스템 좌표계 혹은 PCS 좌표계 상으로 변환할 수 있다.



(나) 전류 제어기를 고려한 PCS 임피던스 모델

「그림 2-6」과 「그림 2-7」은 공통적으로 전류 제어기를 포함하며, 「그림 2-9」에 전류 제어기 구성도를 나타내었다.

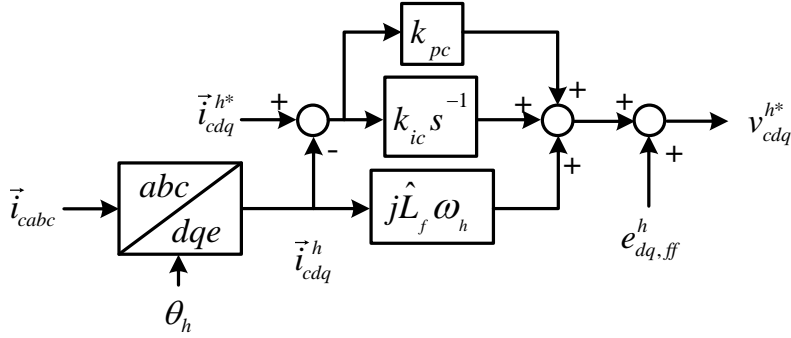


그림 2-9. 전류 제어기 구성도

PCS 출력 필터를 고려한 교류 전압 방정식은 (2.1.28), 전류 제어기의 전달 함수는 (2.1.29)와 같이 표현할 수 있다. PCS 제어기에 사용되는 계수는 실제 정수와 같다고 가정하였다.

$$\begin{bmatrix} v_{cd}^e \\ v_{cq}^e \end{bmatrix} = \begin{bmatrix} R_f + sL_f & -\omega L_f \\ \omega L_f & R_f + sL_f \end{bmatrix} \begin{bmatrix} i_{cd}^e \\ i_{cq}^e \end{bmatrix} + \begin{bmatrix} e_d^e \\ e_q^e \end{bmatrix}. \quad (2.1.28)$$

$$\begin{bmatrix} v_{cd}^{h*} \\ v_{cq}^{h*} \end{bmatrix} = T_c \left( \begin{bmatrix} i_{cd}^{h*} \\ i_{cq}^{h*} \end{bmatrix} - \begin{bmatrix} i_{cd}^h \\ i_{cq}^h \end{bmatrix} \right) + \begin{bmatrix} 0 & -\omega_h L_f \\ \omega_h L_f & 0 \end{bmatrix} \begin{bmatrix} i_{cd}^h \\ i_{cq}^h \end{bmatrix} + \begin{bmatrix} e_{d,ff}^h \\ e_{q,ff}^h \end{bmatrix}. \quad (2.1.29)$$

$$T_c = k_{pc} + \frac{k_{ic}}{s}. \quad (2.1.30)$$

여기서  $k_{pc}$ 와  $k_{ic}$ 는 각각 전류 제어기의 비례 이득과 적분 이득을 나타낸다.  $e_{d,ff}^h$ 와  $e_{q,ff}^h$ 는 전향 보상 값을 의미하며, 식 (2.1.13)을 참고하여 일정한 정상 상태 값을 사용하였다. 실제 계통 전압을 측정하여 전향 보상으로 사용할 수도 있으나, 참고 문헌 [34]에서 연구된 바에 따르면 측정된 값을 직접 전향 보상에 이용할 경우 측정치에 포함되는 잡음과 측

정치의 순시 변동으로 인하여 제어가 불안정해 질 수 있다. 따라서 일정한 정상 상태 값을 사용하고, 오차 성분은 PI 제어기가 감당하도록 설계하는 것이 제어 안정도 측면에서 유리하다.

정상 상태 값과 작은 섭동을 고려한 식과 소신호 모델은 다음과 같으며, 소신호 모델에서는  $\Delta\omega_h$ 에 대한 표현 식 (2.1.26)을 대입하였다.

(정상 상태 변수와 작은 섭동 고려 시)

$$\begin{bmatrix} V_{cd}^e + \Delta v_{cd}^e \\ V_{cq}^e + \Delta v_{cq}^e \end{bmatrix} = \begin{bmatrix} R_f + sL_f & -\Omega L_f \\ \Omega L_f & R_f + sL_f \end{bmatrix} \begin{bmatrix} I_{cd}^e + \Delta i_{cd}^e \\ I_{cq}^e + \Delta i_{cq}^e \end{bmatrix} + \begin{bmatrix} \Delta e_d^e \\ E + \Delta e_q^e \end{bmatrix}, \quad (2.1.31)$$

$$\begin{bmatrix} V_{cd}^{h*} + \Delta v_{cd}^{h*} \\ V_{cq}^{h*} + \Delta v_{cq}^{h*} \end{bmatrix} = T_c \left( \begin{bmatrix} I_{cd}^{h*} + \Delta i_{cd}^{h*} \\ I_{cq}^{h*} + \Delta i_{cq}^{h*} \end{bmatrix} - \begin{bmatrix} I_{cd}^h + \Delta i_{cd}^h \\ I_{cq}^h + \Delta i_{cq}^h \end{bmatrix} \right) + \begin{bmatrix} 0 & -(\Omega_h + \Delta\omega_h)L_f \\ (\Omega_h + \Delta\omega_h)L_f & 0 \end{bmatrix} \begin{bmatrix} I_{cd}^h + \Delta i_{cd}^h \\ I_{cq}^h + \Delta i_{cq}^h \end{bmatrix} + \begin{bmatrix} 0 \\ E \end{bmatrix}. \quad (2.1.32)$$

(소신호 모델)

$$\begin{bmatrix} \Delta v_{cd}^e \\ \Delta v_{cq}^e \end{bmatrix} = \begin{bmatrix} R_f + sL_f & -\Omega L_f \\ \Omega L_f & R_f + sL_f \end{bmatrix} \begin{bmatrix} \Delta i_{cd}^e \\ \Delta i_{cq}^e \end{bmatrix} + \begin{bmatrix} \Delta e_d^e \\ \Delta e_q^e \end{bmatrix}, \quad (2.1.33)$$

$$\begin{bmatrix} \Delta v_{cd}^{h*} \\ \Delta v_{cq}^{h*} \end{bmatrix} = T_c \left( \begin{bmatrix} \Delta i_{cd}^{h*} \\ \Delta i_{cq}^{h*} \end{bmatrix} - \begin{bmatrix} \Delta i_{cd}^h \\ \Delta i_{cq}^h \end{bmatrix} \right) + \begin{bmatrix} 0 & -\Omega_h L_f \\ \Omega_h L_f & 0 \end{bmatrix} \begin{bmatrix} \Delta i_{cd}^h \\ \Delta i_{cq}^h \end{bmatrix} + \begin{bmatrix} L_f I_{cq}^h sG_{pll} & 0 \\ -L_f I_{cd}^h sG_{pll} & 0 \end{bmatrix} \begin{bmatrix} \Delta e_d^e \\ \Delta e_q^e \end{bmatrix}. \quad (2.1.34)$$

소신호 모델을 간략히 다음과 같이 정리하여 표현할 수 있다. 변수 상단의 화살표는 열 벡터(Column vector)를 의미한다.

$$(sL_f \mathbf{I} + \mathbf{G}_{si}^i) \Delta \vec{i}_{cdq}^e = \mathbf{G}_{top} \Delta \vec{i}_{cdq}^e = \Delta \vec{v}_{cdq}^e - \Delta \vec{e}_{dq}^e, \quad (2.1.35)$$

$$\Delta \vec{v}_{cdq}^{h*} = (-T_c \mathbf{I} + \mathbf{G}_c^i) \Delta \vec{i}_{cdq}^h + T_c \mathbf{I} \Delta \vec{i}_{cdq}^{h*} + \mathbf{G}_c^e \Delta \vec{e}_{dq}^e. \quad (2.1.36)$$

$$\mathbf{G}_{si}^i = \begin{bmatrix} R_f & -\Omega L_f \\ \Omega L_f & R_f \end{bmatrix}, \quad \mathbf{G}_c^i = \begin{bmatrix} 0 & -\Omega_h L_f \\ \Omega_h L_f & 0 \end{bmatrix}, \quad \mathbf{G}_c^e = \begin{bmatrix} L_f \mathbf{I}_{cq}^h s \mathbf{G}_{pll} & 0 \\ -L_f \mathbf{I}_{cd}^h s \mathbf{G}_{pll} & 0 \end{bmatrix}.$$

시스템 좌표 상의 변수와 추정된 좌표계 상의 변수 관계, 식 (2.1.27)을 이용하면 다음과 같은 관계를 얻을 수 있다.

$$\Delta \vec{v}_{cdq}^e = \Delta \vec{v}_{cdq}^h + \mathbf{G}_{pll}^v \Delta \vec{e}_{dq}^e, \quad (2.1.37)$$

$$\Delta \vec{i}_{cdq}^h = \Delta \vec{i}_{cdq}^e + \mathbf{G}_{pll}^i \Delta \vec{e}_{dq}^e. \quad (2.1.38)$$

여기서,  $\mathbf{G}_{pll}^v = \begin{bmatrix} V_{cq}^e \mathbf{G}_{pll} & 0 \\ -V_{cd}^e \mathbf{G}_{pll} & 0 \end{bmatrix}$ ,  $\mathbf{G}_{pll}^i = \begin{bmatrix} -I_{cq}^e \mathbf{G}_{pll} & 0 \\ I_{cd}^e \mathbf{G}_{pll} & 0 \end{bmatrix}$ 로 정의한다.

PCS의 출력 전압을 선형적으로 합성할 수 있어  $\Delta \vec{v}_{cdq}^h = \Delta \vec{v}_{cdq}^{h*}$ 라고 가정하고 좌표계 상의 변수 관계를 고려한다면, 식 (2.1.36)은 다음과 같이 정리 된다.

$$\begin{aligned} \Delta \vec{v}_{cdq}^e &= \left( -T_c \mathbf{I} + \mathbf{G}_c^i \right) \Delta \vec{i}_{cdq}^e + T_c \mathbf{I} \Delta \vec{i}_{cdq}^{h*} \\ &\quad + \left[ \left( -T_c \mathbf{I} + \mathbf{G}_c^i \right) \mathbf{G}_{pll}^i + \mathbf{G}_c^e + \mathbf{G}_{pll}^v \right] \Delta \vec{e}_{dq}^e. \\ &= \mathbf{A}_{ci} \Delta \vec{i}_{cdq}^e + \mathbf{A}_{ce} \Delta \vec{e}_{dq}^e + T_c \mathbf{I} \Delta \vec{i}_{cdq}^{h*} \end{aligned} \quad (2.1.39)$$

여기서,  $\mathbf{A}_{ci} = -T_c \mathbf{I} + \mathbf{G}_c^i$ ,  $\mathbf{A}_{ce} = \left( -T_c \mathbf{I} + \mathbf{G}_c^i \right) \mathbf{G}_{pll}^i + \mathbf{G}_c^e + \mathbf{G}_{pll}^v$ 로 정의되었다.  $\mathbf{A}_{ci}$ ,  $\mathbf{A}_{ce}$ 의 아래 첨자 ‘c’는 전류 제어기(Current controller), ‘i’는 전류 변수의 행렬, ‘e’는 출력 전압 변수의 행렬을 의미한다.

위 결과를 (2.1.35)와 연립하면 다음과 같이 정리할 수 있다.

$$\begin{aligned} \left( \mathbf{G}_{lop} - \mathbf{A}_{ci} \right) \Delta \vec{i}_{cdq}^e &= \left( \mathbf{A}_{ce} - \mathbf{I} \right) \Delta \vec{e}_{dq}^e + T_c \mathbf{I} \Delta \vec{i}_{cdq}^{h*} \\ \Rightarrow \quad \mathbf{G}_{lcc} \Delta \vec{i}_{cdq}^e &= \mathbf{G}_{Ecc} \Delta \vec{e}_{dq}^e + T_c \mathbf{I} \Delta \vec{i}_{cdq}^{h*} \end{aligned} \quad (2.1.40)$$

여기서,  $\mathbf{G}_{lcc} = \mathbf{G}_{lop} - \mathbf{A}_{ci}$ ,  $\mathbf{G}_{Iecc} = \mathbf{A}_{ce} - \mathbf{I}$ 로 정의된다.  $\mathbf{G}_{lcc}$ ,  $\mathbf{G}_{Iecc}$ 의 아래

첨자 ‘cc’는 전류 제어기, ‘ $T$ ’는 전류 변수의 행렬, ‘ $E$ ’는 출력 전압 변수의 행렬을 의미한다.

식 (2.1.10)에 따라 전류 제어기를 고려한 PCS의 출력 어드미턴스 행렬을 다음과 같이 얻을 수 있다.

$$\mathbf{Y}_{cc} = -\mathbf{G}_{icc}^{-1} \mathbf{G}_{ecc}. \quad (2.1.41)$$

몇 가지 가정을 통해 어드미턴스 행렬의 근사 식을 얻을 수 있다. 먼저 어드미턴스 행렬 계산에 사용된 행렬은 아래와 같이 전개할 수 있다.

$$\begin{aligned} \mathbf{G}_{icc} &= \mathbf{G}_{Iop} - \mathbf{A}_{ci} = (sL_f \mathbf{I} + \mathbf{G}_{si}^i) - (-T_c \mathbf{I} + \mathbf{G}_c^i) = (R_f + sL_f + T_c) \mathbf{I} \\ &= \frac{1}{s} \left[ s^2 L_f + (R_f + k_{pc})s + k_{ic} \right] \mathbf{I} = g_{icc} \mathbf{I} \end{aligned}, \quad (2.1.42)$$

$$\mathbf{G}_{ecc} = \mathbf{A}_{ce} - \mathbf{I} \approx \left[ (-T_c \mathbf{I} + \mathbf{G}_c^i) \mathbf{G}_{pll}^i + \mathbf{G}_{pll}^v \right] - \mathbf{I}. \quad (2.1.43)$$

식 (2.1.43)의 유도 과정에서  $\mathbf{G}_c^e$  항은 무시할만한 크기를 갖기 때문에 생략되었다.

먼저, 무효 전력을 공급하지 않는 경우 ‘ $I_{cd}^h = 0$ ’로 가정할 수 있다. 이 때, 식 (2.1.43)은 다음과 같이 표현될 수 있다.

$$\mathbf{G}_{ecc} = \begin{bmatrix} (I_{cq}^e T_c + V_{cq}^e) \mathbf{G}_{pll} & 0 \\ (-\Omega L_f I_{cq}^e - V_{cd}^e) & 0 \end{bmatrix} - \mathbf{I}. \quad (2.1.44)$$

식 (2.1.15)와 식 (2.1.32)에서 정상 상태 변수 값 들의 관계,  $V_{cd}^{h*} = V_{cd}^e$  와  $V_{cd}^e = -\Omega_h L_f I_{cd}^h$  로부터  $V_{cd}^{h*} = -\Omega_h L_f I_{cd}^e$  를 유도할 수 있으며, 이를 이용하면 식 (2.1.44)는 아래와 같이 정리된다.

$$\mathbf{G}_{Ecc} = \begin{bmatrix} -1 + (T_c I_{cq}^e + V_{cq}^e) G_{pll} & 0 \\ 0 & -1 \end{bmatrix} = \begin{bmatrix} -1 + g_{pll} & 0 \\ 0 & -1 \end{bmatrix}. \quad (2.1.45)$$

$$g_{pll} = \left[ I_{cq}^e \left( k_{pc} + \frac{k_{ic}}{s} \right) + V_{cq}^e \right] \times \frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}}$$

로 정의 된다.

따라서 어드미턴스 행렬  $\mathbf{Y}_{cc}$  는 다음과 같이 정리할 수 있다.

$$\mathbf{Y}_{cc} = \begin{bmatrix} g_{lcc}^{-1} (1 - g_{pll}) & 0 \\ 0 & g_{lcc}^{-1} \end{bmatrix}. \quad (2.1.46)$$

만약, PLL에 의한 영향을 무시한다면 식 (2.1.45)는 ‘-I’가 되며, 다음과 같은  $\mathbf{Y}_{cc}$  의 근사 식을 얻을 수 있다.

$$\mathbf{Y}_{cc} = g_{lcc}^{-1} \mathbf{I} = \frac{s}{s^2 L_f + (R_f + k_{pc})s + k_{ic}} \mathbf{I}. \quad (2.1.47)$$

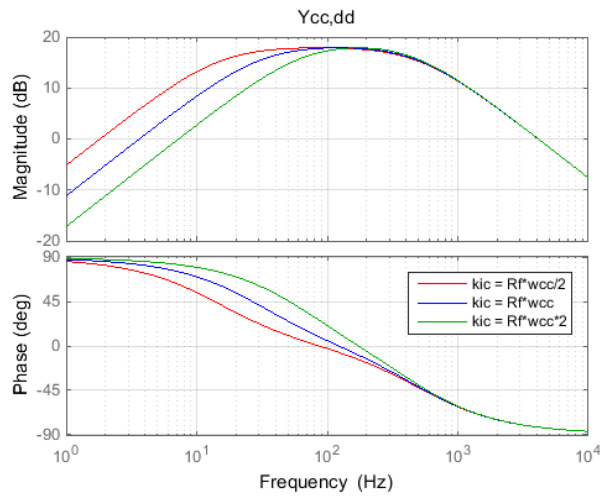
참고 문헌 [88]에서와 같이 전류 제어기 전달 함수를 1차 저역 통과 필터(Low pass filter, LPF) 형태로 설계하는 경우, PI 제어기 이득은  $k_{pc} = L_f \omega_{cc}$ ,  $k_{ic} = R_f \omega_{cc}$  라고 설정할 수 있다. 이 경우,  $g_{lcc}^{-1}$  은 근사적으로 다음과 같이 표현할 수 있다.

$$g_{lcc}^{-1} = \frac{s}{s^2 L_f + (R_f + k_{pc})s + k_{ic}} \approx \frac{s}{L_f \left( s + \frac{\rho_{ic}}{\rho_{pc}} \omega_f \right) (s + \rho_{pc} \omega_{cc})}. \quad (2.1.48)$$

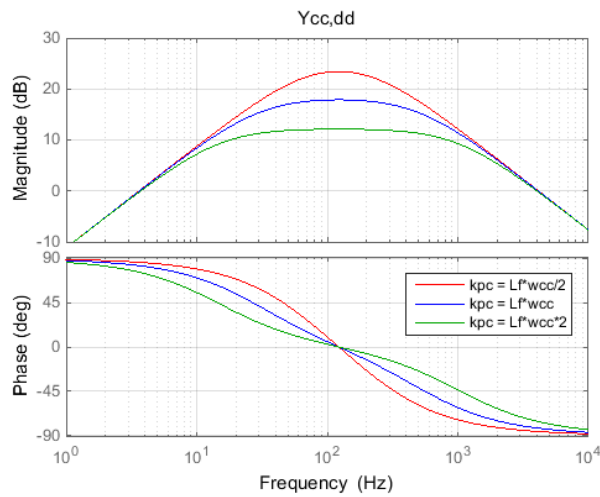
여기서,  $\omega_f = R_f / L_f$  로 이는 필터 정수에 의해 만들어지는 극점이며,  $\omega_{cc}$  는 전류 제어기의 대역폭(Bandwidth)을 의미한다.  $\rho_{pc}$  와  $\rho_{ic}$  는 PI 제어기 이득에 추가된 비례 상수로  $k_{pc} = \rho_{pc} L_f \omega_{cc}$ ,  $k_{ic} = \rho_{ic} R_f \omega_{cc}$  라 가정할 수 있다.

「그림 2-10」 은 PLL에 의한 영향을 무시할 때, 전류 제어기 이득 변화에 따른 출력 어드미턴스,  $\mathbf{Y}_{cc}$  의 변화를 도시(圖示)한 것이다. (a)는 적

분 이득 변화, (b)는 비례 이득 변화에 따른 어드미턴스를 나타낸다.  $Y_{cc,dd}$ 와  $Y_{cc,qq}$ 가 동일하기 때문에  $Y_{cc,dd}$ 만 도시하였다. 적분 이득 변화는 비례 상수  $\rho_{ic}$ 의 변화로 표현될 수 있으며, 필터 극점  $\omega_f$ 가  $\rho_{ic}$ 에 비례하여 이동하게 된다. 비례 이득 변화는 비례 상수  $\rho_{pc}$ 의 변화로 표현될 수 있으며,  $\omega_f$ 와 제어기 설계에 의해 발생한 극점( $\omega_{cc}$ ,  $2\pi \times 500$  rad/s로 설정)의 변화에 모두 관여함을 알 수 있다.



(a)



(b)

그림 2-10. 전류 제어기 이득 변화에 따른 주파수 응답 변화

무효 전력만 공급하는 운전 상황에서는 ‘ $I_{cq}^h = 0$ ’을 가정할 수 있다. 이 때 식 (2.1.43)은 다음과 같이 표현된다.

$$\mathbf{G}_{Ecc} = \begin{bmatrix} (V_{cq}^e - \Omega_h L_f I_{cd}^e) G_{pll} & 0 \\ (-T_c I_{cd}^e - V_{cd}^e) G_{pll} & 0 \end{bmatrix} - \mathbf{I}. \quad (2.1.49)$$

정상 상태 값들의 관계,  $V_{cq}^{h*} = V_{cq}^e = \Omega_h L_f I_{cd}^h + E = \Omega_h L_f I_{cd}^e + E$  를 이용하면 식 (2.1.49)는 아래와 같이 정리된다.

$$\mathbf{G}_{Ecc} = \begin{bmatrix} EG_{pll} & 0 \\ (-T_c I_{cd}^e - V_{cd}^e) G_{pll} & 0 \end{bmatrix} - \mathbf{I} = \begin{bmatrix} g_\theta - 1 & 0 \\ g_{pll,q} & -1 \end{bmatrix}. \quad (2.1.50)$$

여기서  $g_{pll,q} = - \left[ I_{cd}^e \left( k_{pc} + \frac{k_{ic}}{s} \right) + V_{cd}^e \right] \times \frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}}$  로 정의 된다.  $g_\theta$  는 PLL의 실제 계통 위상으로부터 추정된 계통 위상으로의 전달 함수와 같으며,  $g_\theta = \frac{2\zeta_p \omega_{np}s + \omega_{np}^2}{s^2 + 2\zeta_p \omega_{np}s + \omega_{np}^2}$  다.

따라서 어드미턴스 행렬  $\mathbf{Y}_{cc}$  는 다음과 같이 정리할 수 있다.

$$\mathbf{Y}_{cc} = \begin{bmatrix} g_{Icc}^{-1} (1 - g_\theta) & 0 \\ g_{Icc}^{-1} g_{pll,q} & g_{Icc}^{-1} \end{bmatrix}. \quad (2.1.51)$$

무효 전력만 공급하는 경우,  $qd$ -어드미턴스 성분에도 PLL에 의한 영향이 나타나게 된다.

$g_{pll,q}$  를 다시 정리하면 다음과 같다.

$$g_{pll,q} = -I_{cd}^e \left[ \left( k_{pc} + \frac{k_{ic}}{s} \right) + \frac{V_{cd}^e}{I_{cd}^e} \right] \times \frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}}. \quad (2.1.52)$$

여기서,  $\frac{V_{cd}^e}{I_{cd}^e}$  항은 정격 전류 시 제어기 이득에 비해 매우 작은 값이므

로 무시할 수 있다. 또,  $k_{pc} = \rho_{pc} L_f \omega_{cc}$ ,  $k_{ic} = \rho_{ic} R_f \omega_{cc}$  라 가정한다면, 식 (2.1.52)는 다음과 같이 정리된다.

$$g_{pll,q} = -k_{pc} I_{cd}^e \frac{1}{s} \left( s + \frac{\rho_{ic}}{\rho_{pc}} \omega_f \right) \times \frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}}. \quad (2.1.53)$$

즉,  $\mathbf{Y}_{cc,dq}$  는 다음과 같다. 전류 제어기 적분 이득은 영향을 미치지 않으며, 비례 이득은 DC 값과 전류 제어기에 의해 발생한 극점( $\omega_{cc}$ ) 위치에 영향을 미치게 된다.

$$g_{icc}^{-1} g_{pll,q} = -\rho_{pc} \omega_{cc} I_{cd}^e \times \frac{1}{s + \rho_{pc} \omega_{cc}} \times \frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}}. \quad (2.1.54)$$



(다) 직류단 전압 제어기를 고려한 PCS 임피던스 모델

「그림 2-6」과 같이 직류단 전압 제어기가 구성되는 경우, 제어기 출력은 유효 전류 지령이 된다. PI 형태의 제어기를 구성할 때 전달 함수는 다음과 같다.

$$i_{cq}^{h*} = -T_v (v_{dc}^* - v_{dc}), \quad (2.1.55)$$

$$T_v = k_{pv} + \frac{k_{iv}}{s}. \quad (2.1.56)$$

여기서  $k_{pv}$ 와  $k_{iv}$ 는 각각 직류단 전압 제어기의 비례 이득과 적분 이득을 나타낸다.

직류단 전압 모델은 다음과 같이 구성될 수 있다. 이는 직류단 캐패시터의 입·출력 전력을 기반으로 유도되었다.

$$\begin{aligned} v_{dc} i_{dc} &= -\frac{v_{dc}^2}{R_{dc}} = \frac{3}{2} (v_{cd}^e i_{cd}^e + v_{cq}^e i_{cq}^e) + v_{dc} C_{dc} \frac{dv_{dc}}{dt} \\ v_{dc} C_{dc} \frac{dv_{dc}}{dt} + \frac{v_{dc}^2}{R_{dc}} &= -\frac{3}{2} (v_{cd}^e i_{cd}^e + v_{cq}^e i_{cq}^e) \end{aligned} \quad (2.1.57)$$

$R_{dc}$ 는 가상의 직류단 부하 저항으로 직류단 전류의 운전점을 통해 계산될 수 있다. 정상 상태 값과 작은 섭동을 고려한 식과 소신호 모델은 다음과 같다.

(정상 상태 값과 작은 섭동 고려 시)

$$I_{cq}^h + \Delta i_{cq}^{h*} = -T_v [V_{dc}^* - (V_{dc} + \Delta v_{dc})], \quad (2.1.58)$$

$$\begin{aligned} V_{dc} C_{dc} s \Delta v_{dc} + \frac{1}{R_{dc}} (V_{dc}^2 + 2\Delta v_{dc}) \\ = -\frac{3}{2} [(V_{cd}^e + \Delta v_{cd}^e)(I_{cd}^e + \Delta i_{cd}^e) + (V_{cq}^e + \Delta v_{cq}^e)(I_{cq}^e + \Delta i_{cq}^e)] \end{aligned} \quad (2.1.59)$$

(소신호 모델)

$$\begin{bmatrix} \Delta i_{cd}^{h*} \\ \Delta i_{cq}^{h*} \end{bmatrix} = T_v \begin{bmatrix} 0 \\ \Delta v_{dc} \end{bmatrix}, \quad (2.1.60)$$

$$\left( V_{dc} C_{dc} s + \frac{2}{R_{dc}} \right) \Delta v_{dc} = -\frac{3}{2} \begin{bmatrix} V_{cd}^e & V_{cq}^e \end{bmatrix} \begin{bmatrix} \Delta i_{cd}^e \\ \Delta i_{cq}^e \end{bmatrix} - \frac{3}{2} \begin{bmatrix} I_{cd}^e & I_{cq}^e \end{bmatrix} \begin{bmatrix} \Delta v_{cd}^e \\ \Delta v_{cq}^e \end{bmatrix}. \quad (2.1.61)$$

소신호 모델을 간략히 다음과 같이 정리하여 표현할 수 있다.

$$\Delta i_{cdq}^{h*} = \mathbf{G}_{dc}^{dc} \Delta v_{dc} + \mathbf{G}_{aid} \Delta \vec{e}_{dq}^e, \quad (2.1.62)$$

$$\Delta_{dc} \Delta v_{dc} = -\mathbf{G}_{sdc}^i \Delta \vec{i}_{cdq}^e - \mathbf{G}_{sdc}^v \Delta \vec{v}_{cdq}^e. \quad (2.1.63)$$

$\Delta_{dc} = V_{dc} C_{dc} s + \frac{2}{R_{dc}}$  를 의미하며,  $\mathbf{G}_{aid}$  는 2.4 절에서 다루게 될 주파수 이 동 단독 운전 검출 기법을 적용할 때 사용할 수 있는 행렬로, 본 절에서 는 영행렬로 간주한다.

위의 두 식을 연립하면 다음과 같은 식을 유도할 수 있다.

$$\Delta i_{cdq}^{h*} = -\Delta_{dc}^{-1} \mathbf{G}_{dc}^{dc} \mathbf{G}_{sdc}^i \Delta \vec{i}_{cdq}^e - \Delta_{dc}^{-1} \mathbf{G}_{dc}^{dc} \mathbf{G}_{sdc}^v \Delta \vec{v}_{cdq}^e + \mathbf{G}_{aid} \Delta \vec{e}_{dq}^e. \quad (2.1.64)$$

이 식의  $\Delta \vec{v}_{cdq}^e$  항은 식 (2.1.39)를 이용하여 소거할 수 있다.

$$\begin{aligned} \left( \mathbf{I} + \Delta_{dc}^{-1} T_c \mathbf{G}_{dc}^{dc} \mathbf{G}_{sdc}^v \right) \Delta i_{cdq}^{h*} &= -\Delta_{dc}^{-1} \mathbf{G}_{dc}^{dc} \left( \mathbf{G}_{sdc}^i + \mathbf{G}_{sdc}^v \mathbf{A}_{ci} \right) \Delta \vec{i}_{cdq}^e \\ &\quad + \left( -\Delta_{dc}^{-1} \mathbf{G}_{dc}^{dc} \mathbf{G}_{sdc}^v \mathbf{A}_{ce} + \mathbf{G}_{aid} \right) \Delta \vec{e}_{dq}^e. \end{aligned} \quad (2.1.65)$$

$$\Rightarrow \mathbf{A}_{oir} \Delta i_{cdq}^{h*} = \mathbf{A}_{oi} \Delta \vec{i}_{cdq}^e + \mathbf{A}_{oe} \Delta \vec{e}_{dq}^e$$

$\mathbf{A}_{oir}$ ,  $\mathbf{A}_{oi}$ ,  $\mathbf{A}_{oe}$  의 아래 첨자 ‘o’는 상위 제어 루프(Outer loop), ‘ir’은 전 류 지령 변수의 행렬, ‘i’는 전류 변수의 행렬, ‘e’는 출력 전압 변수의 행 렬을 의미한다.

식 (2.1.65)를 식 (2.1.40)에 대입하면 다음과 같은 결과를 얻을 수 있다.

$$\begin{aligned} (\mathbf{G}_{Icc} - T_c \mathbf{A}_{oir}^{-1} \mathbf{A}_{oi}) \Delta \vec{i}_{cdq}^e &= (\mathbf{G}_{Ecc} + T_c \mathbf{A}_{oir}^{-1} \mathbf{A}_{oe}) \Delta \vec{e}_{dq}^e \\ \Rightarrow \mathbf{G}_{Io} \Delta \vec{i}_{cdq}^e &= \mathbf{G}_{Eo} \Delta \vec{e}_{dq}^e \end{aligned} \quad (2.1.66)$$

$\mathbf{G}_{Io}$ ,  $\mathbf{G}_{Eo}$ 의 아래 첨자 ‘o’는 상위 제어 루프(Outer loop), ‘T’는 전류 변수의 행렬, ‘E’는 출력 전압 변수의 행렬을 의미한다.

식 (2.1.66)으로부터 직류단 전압 제어기를 고려한 PCS의 출력 어드미턴스 행렬을 다음과 같이 얻을 수 있다.

$$\mathbf{Y}_o = -\mathbf{G}_{Io}^{-1} \mathbf{G}_{Eo}. \quad (2.1.67)$$

역시, 몇 가지 가정을 통해 어드미턴스 행렬의 근사 식을 얻을 수 있다. 태양광 발전 혹은 일정 전력 부하의 경우, 무효 전력을 공급하지 않아 ‘ $I_{cd}^h = 0$ ’로 가정할 수 있다. 앞의 결과로부터  $V_{cd}^{h*} = V_{cd}^e = -\Omega_h L_f I_{cd}^h$ 을 가정할 수 있다. 이러한 가정에 의해 식 (2.1.68) ~ 식 (2.1.72)의 전개가 가능하다.

$$\mathbf{A}_{oir} = \mathbf{I} + \Delta_{dc}^{-1} T_c \mathbf{G}_{dc}^{dc} \mathbf{G}_{sdc}^v \approx \mathbf{I} + \begin{bmatrix} 0 & 0 \\ 0 & \frac{3}{2} I_{cq}^e \Delta_{dc}^{-1} T_c T_v \end{bmatrix} = \mathbf{I} + \begin{bmatrix} 0 & 0 \\ 0 & g_{oir} \end{bmatrix}, \quad (2.1.68)$$

$$\begin{aligned} \mathbf{A}_{oi} &= -\Delta_{dc}^{-1} \mathbf{G}_{dc}^{dc} (\mathbf{G}_{sdc}^i + \mathbf{G}_{sdc}^v \mathbf{A}_{ci}) \\ &\approx \begin{bmatrix} 0 & 0 \\ 0 & -\frac{3}{2} \Delta_{dc}^{-1} T_v (V_{cq}^e - I_{cq}^e T_c) \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & -g_{oi} \end{bmatrix}, \end{aligned} \quad (2.1.69)$$

$$\mathbf{A}_{oe} = \mathbf{G}_{aid} = \mathbf{0}, \quad (2.1.70)$$

$$\begin{aligned}
\mathbf{G}_{I_o} &= \mathbf{G}_{I_{cc}} - T_c \mathbf{A}_{oir}^{-1} \mathbf{A}_{oi} = g_{I_{cc}} \mathbf{I} + \begin{bmatrix} 0 & 0 \\ 0 & T_c (1 + g_{oir})^{-1} g_{oi} \end{bmatrix}, \\
&= g_{I_{cc}} \mathbf{I} + \begin{bmatrix} 0 & 0 \\ 0 & g_{I_o} \end{bmatrix} = \begin{bmatrix} g_{I_{cc}} & 0 \\ 0 & g_{I_{cc}} + g_{I_o} \end{bmatrix}
\end{aligned} \tag{2.1.71}$$

$$\mathbf{G}_{E_o} = \mathbf{G}_{E_{cc}} = \begin{bmatrix} -1 + g_{pll} & 0 \\ 0 & -1 \end{bmatrix}. \tag{2.1.72}$$

따라서 어드미턴스 행렬  $\mathbf{Y}_o$  는 다음과 같이 정리할 수 있다.  $\mathbf{Y}_{o,dd}$  는  $\mathbf{Y}_{cc,dd}$  와 동일한 결과를 가지며, 직류단 전압 제어기에 의한 영향은 무효 전류 성분의 임피던스에 영향을 주지 않고  $\mathbf{Y}_{o,qq}$  에만 영향을 준다는 것을 알 수 있다.

$$\mathbf{Y}_o = \begin{bmatrix} g_{I_{cc}}^{-1} (1 - g_{pll}) & 0 \\ 0 & (g_{I_{cc}} + g_{I_o})^{-1} \end{bmatrix}. \tag{2.1.73}$$

상기 유도된 임피던스 모델은 PI 형태의 제어기를 기준으로 유도 되었다. 기준 직류단 전압에 대한 오버슈트(Overshoot)를 방지하기 위해서 적분-비례(Integral and Proportional, IP) 제어기를 사용할 수 있으며[88], 이 때 유효 전류 지령 전달 함수는 다음과 같다.

$$i_{cq}^{h*} = - \left[ \frac{k_{iv}}{s} (v_{dc}^* - v_{dc}) - k_{pv} v_{dc} \right]. \quad (2.1.74)$$

정상 상태 값과 작은 섭동을 고려한 식과 소신호 모델은 다음과 같다.

(정상 상태 값과 작은 섭동 고려 시)

$$I_{cq}^h + \Delta i_{cq}^{h*} = - \left( \frac{k_{iv}}{s} [V_{dc}^* - (V_{dc} + \Delta v_{dc})] - k_{pv} (V_{dc} + \Delta v_{dc}) \right), \quad (2.1.75)$$

(소신호 모델)

$$\begin{bmatrix} \Delta i_{cd}^{h*} \\ \Delta i_{cq}^{h*} \end{bmatrix} = T_v \begin{bmatrix} 0 \\ \Delta v_{dc} \end{bmatrix}. \quad (2.1.76)$$

식 (2.1.76)의 결과는 식 (2.1.60)의 결과 즉, PI 제어기를 사용한 경우와 동일하다. 따라서 IP 제어기를 사용하여도 임피던스 모델은 동일하게 표현된다.

(라) 전력 제어기를 고려한 PCS 임피던스 모델

「그림 2-7」의 전력 제어기로는 개루프(Open loop) 형태와 폐루프(Closed loop) 형태를 모두 사용할 수 있다.

개루프 형태의 전력 제어기는 유·무효 전력 지령에 계통 전압에 비례하는 계수를 곱하여 식 (2.1.77)과 같이 유·무효 전류 지령을 계산하게 된다[89].

$$\begin{bmatrix} i_{cd}^{h*} \\ i_{cq}^{h*} \end{bmatrix} = \frac{2}{3} \frac{1}{(e_d^e)^2 + (e_q^e)^2} \begin{bmatrix} e_q^e & e_d^e \\ -e_d^e & e_q^e \end{bmatrix} \begin{bmatrix} Q^* \\ P^* \end{bmatrix}. \quad (2.1.77)$$

위상 동기화 제어기가 정상 상태에 이르러 계통 위상을 추종하고 있는 경우,  $e_d^e \approx 0$ ,  $e_q^e \approx E$  를 만족하므로, 유·무효 전류 지령은 아래와 같이 간단하게 계산할 수 있다.

$$\begin{bmatrix} i_{cd}^{h*} \\ i_{cq}^{h*} \end{bmatrix} = \frac{2}{3E} \begin{bmatrix} Q^* \\ P^* \end{bmatrix}. \quad (2.1.78)$$

따라서 개루프 전력 제어기를 사용하는 경우, PCS 어드미턴스 행렬은 전류 제어기를 고려한 모델과 동일하다.

폐루프 형태의 전력 제어기는 유효 전력을 궤환하여 유효 전류 지령을 생성하며, 무효 전력을 궤환하여 무효 전류 지령을 생성한다. PI 형태로 제어기를 구성한다면 전달 함수는 다음과 같다. PCS가 전원 계통으로 전력을 공급할 때 전력의 부호를 양으로 정의하였다.

$$\begin{bmatrix} i_{cd}^{h*} \\ i_{cq}^{h*} \end{bmatrix} = T_{pq} \begin{bmatrix} Q^* - Q \\ P^* - P \end{bmatrix}, \quad (2.1.79)$$

$$T_{pq} = k_{p,pq} + \frac{k_{i,pq}}{s}. \quad (2.1.80)$$

여기서  $k_{p,pq}$  와  $k_{i,pq}$  는 각각 전력 제어기의 비례 이득과 적분 이득을

나타낸다.

PCS가 공급하는 유·무효 전력은 PCS 좌표계 상에서 다음과 같이 계산할 수 있다.

$$\begin{bmatrix} Q \\ P \end{bmatrix} = \frac{3}{2} \begin{bmatrix} e_q^h i_{cd}^h - e_d^h i_{cq}^h \\ e_d^h i_{cd}^h + e_q^h i_{cq}^h \end{bmatrix}. \quad (2.1.81)$$

정상 상태 값과 작은 섭동을 고려한 식과 소신호 모델은 다음과 같다. 전력의 정상 상태 값을 나타내기 위해 변수 상단에 가로 막대기(bar)를 사용하였다.

(정상 상태 값과 작은 섭동 고려 시)

$$\begin{bmatrix} I_{cd}^{h*} + \Delta i_{cd}^{h*} \\ I_{cq}^{h*} + \Delta i_{cq}^{h*} \end{bmatrix} = T_{pq} \begin{bmatrix} \bar{Q}^* - (\bar{Q} + \Delta Q) \\ \bar{P}^* - (\bar{P} + \Delta P) \end{bmatrix}, \quad (2.1.82)$$

$$\begin{bmatrix} \bar{Q} + \Delta Q \\ \bar{P} + \Delta P \end{bmatrix} = \frac{3}{2} \begin{bmatrix} (E_q^h + \Delta e_q^h)(I_{cd}^h + \Delta i_{cd}^h) - (E_d^h + \Delta e_d^h)(I_{cq}^h + \Delta i_{cq}^h) \\ (E_d^h + \Delta e_d^h)(I_{cd}^h + \Delta i_{cd}^h) + (E_q^h + \Delta e_q^h)(I_{cq}^h + \Delta i_{cq}^h) \end{bmatrix}. \quad (2.1.83)$$

(소신호 모델)

$$\begin{bmatrix} \Delta i_{cd}^{h*} \\ \Delta i_{cq}^{h*} \end{bmatrix} = -T_{pq} \begin{bmatrix} \Delta Q \\ \Delta P \end{bmatrix}, \quad (2.1.84)$$

$$\begin{aligned} \begin{bmatrix} \Delta Q \\ \Delta P \end{bmatrix} &= \frac{3}{2} \begin{bmatrix} E_q^h \Delta i_{cd}^h + I_{cd}^h \Delta e_q^h - E_d^h \Delta i_{cq}^h - I_{cq}^h \Delta e_d^h \\ E_d^h \Delta i_{cd}^h + I_{cd}^h \Delta e_d^h + E_q^h \Delta i_{cq}^h + I_{cq}^h \Delta e_q^h \end{bmatrix} \\ &= \frac{3}{2} \begin{bmatrix} E_q^h & -E_d^h \\ E_d^h & E_q^h \end{bmatrix} \begin{bmatrix} \Delta i_{cd}^h \\ \Delta i_{cq}^h \end{bmatrix} + \frac{3}{2} \begin{bmatrix} -I_{cq}^h & I_{cd}^h \\ I_{cd}^h & I_{cq}^h \end{bmatrix} \begin{bmatrix} \Delta e_d^h \\ \Delta e_q^h \end{bmatrix}. \end{aligned} \quad (2.1.85)$$

식 (2.1.85)의 행렬을 다음과 같이 정의하여 식 (2.1.88)과 같이 소신호 모델을 정리할 수 있다.

$$\mathbf{G}_{pq}^i = \frac{3}{2} \begin{bmatrix} E_q^h & -E_d^h \\ E_d^h & E_q^h \end{bmatrix}, \quad (2.1.86)$$

$$\mathbf{G}_{pq}^e = \frac{3}{2} \begin{bmatrix} -I_{cq}^h & I_{cd}^h \\ I_{cd}^h & I_{cq}^h \end{bmatrix}, \quad (2.1.87)$$

$$\Delta \vec{i}_{cdq}^{h*} = -T_{pq} \left( \mathbf{G}_{pq}^i \Delta \vec{i}_{cdq}^h + \mathbf{G}_{pq}^e \Delta \vec{e}_{dq}^h \right). \quad (2.1.88)$$

식 (2.1.27)을 이용해, 식 (2.1.88)을 시스템 좌표 상의 변수로 표현할 수 있다.

$$\begin{aligned} \Delta \vec{i}_{cdq}^{h*} &= -T_{pq} \left[ \mathbf{G}_{pq}^i \left( \Delta \vec{i}_{cdq}^e + \mathbf{G}_{pll}^i \Delta \vec{e}_{dq}^e \right) + \mathbf{G}_{pq}^e \left( \mathbf{I} + \mathbf{G}_{pll}^e \right) \Delta \vec{e}_{dq}^e \right] \\ &= -T_{pq} \mathbf{G}_{pq}^i \Delta \vec{i}_{cdq}^e - T_{pq} \left[ \mathbf{G}_{pq}^i \mathbf{G}_{pll}^i + \mathbf{G}_{pq}^e \left( \mathbf{I} + \mathbf{G}_{pll}^e \right) \right] \Delta \vec{e}_{dq}^e. \\ \Rightarrow \quad \Delta \vec{i}_{cdq}^{h*} &= \mathbf{A}_{oi} \Delta \vec{i}_{cdq}^e + \mathbf{A}_{oe} \Delta \vec{e}_{dq}^e \end{aligned} \quad (2.1.89)$$

여기서,  $\mathbf{A}_{oi} = -T_{pq} \mathbf{G}_{pq}^i$ ,  $\mathbf{A}_{oe} = -T_{pq} \left[ \mathbf{G}_{pq}^i \mathbf{G}_{pll}^i + \mathbf{G}_{pq}^e \left( \mathbf{I} + \mathbf{G}_{pll}^e \right) \right]$ 이며,  $\mathbf{A}_{oi}$ ,  $\mathbf{A}_{oe}$ 의 아래 첨자 ‘o’는 상위 제어 루프(Outer loop), ‘i’는 전류 변수의 행렬, ‘e’는 출력 전압 변수의 행렬을 의미한다.

$$\text{시스템 좌표 변환 행렬은 } \mathbf{G}_{pll}^i = \begin{bmatrix} -I_{cq}^e \mathbf{G}_{pll} & 0 \\ I_{cd}^e \mathbf{G}_{pll} & 0 \end{bmatrix}, \quad \mathbf{G}_{pll}^e = \begin{bmatrix} -E_q^e \mathbf{G}_{pll} & 0 \\ E_d^e \mathbf{G}_{pll} & 0 \end{bmatrix} \text{로 정}$$

의한다.

식 (2.1.89)를 식 (2.1.40)에 대입하면 다음과 같은 결과를 얻을 수 있다.

$$\begin{aligned} (\mathbf{G}_{Icc} - T_c \mathbf{A}_{oi}) \Delta \vec{i}_{cdq}^e &= (\mathbf{G}_{Ecc} + T_c \mathbf{A}_{oe}) \Delta \vec{e}_{dq}^e \\ \Rightarrow \quad \mathbf{G}_{Io} \Delta \vec{i}_{cdq}^e &= \mathbf{G}_{Eo} \Delta \vec{e}_{dq}^e \end{aligned} \quad (2.1.90)$$

$\mathbf{G}_{Io}$ ,  $\mathbf{G}_{Eo}$ 의 아래 첨자 ‘o’는 상위 제어 루프(Outer loop), ‘I’는 전류 변



수의 행렬, 'E'는 출력 전압 변수의 행렬을 의미한다.

식 (2.1.90)으로부터 전력 제어기를 고려한 PCS의 출력 어드미턴스 행렬은 다음과 같이 얻을 수 있다.

$$\mathbf{Y}_o = -\mathbf{G}_{Io}^{-1} \mathbf{G}_{Eo}. \quad (2.1.91)$$

「그림 2-11」 ~ 「그림 2-14」는 본 절에서 유도된 PCS의 소신호 모델을 정리한 것이다.

식 (2.1.35)와 식 (2.1.63)의 출력 필터 전압 방정식과 직류단 관계식을 통해 시스템의 소신호 모델을 「그림 2-11」과 같이 나타낼 수 있다.

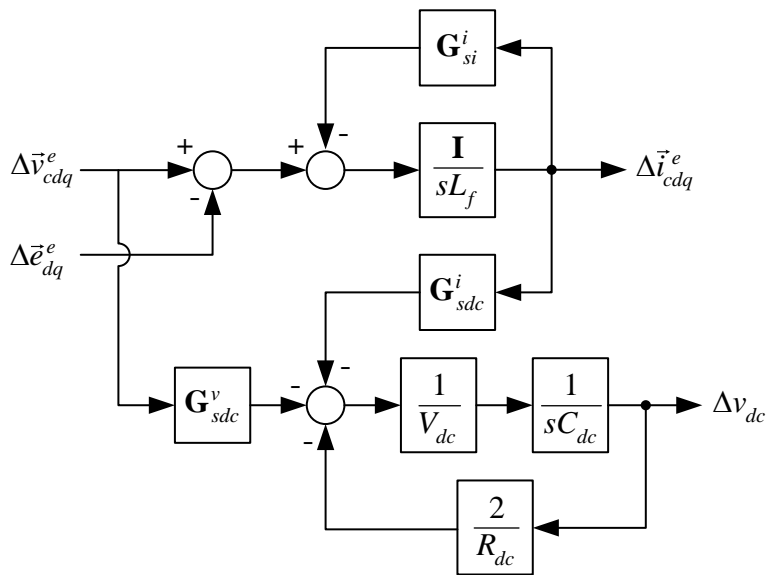


그림 2-11. PCS 시스템의 출력 필터 및 직류단 소신호 모델

전류 제어기의 소신호 모델은 식 (2.1.36) ~ (2.1.38)로부터 「그림 2-12」와 같이 정리할 수 있다. ‘System’이라 표시된 박스는 「그림 2-11」을 의미한다.

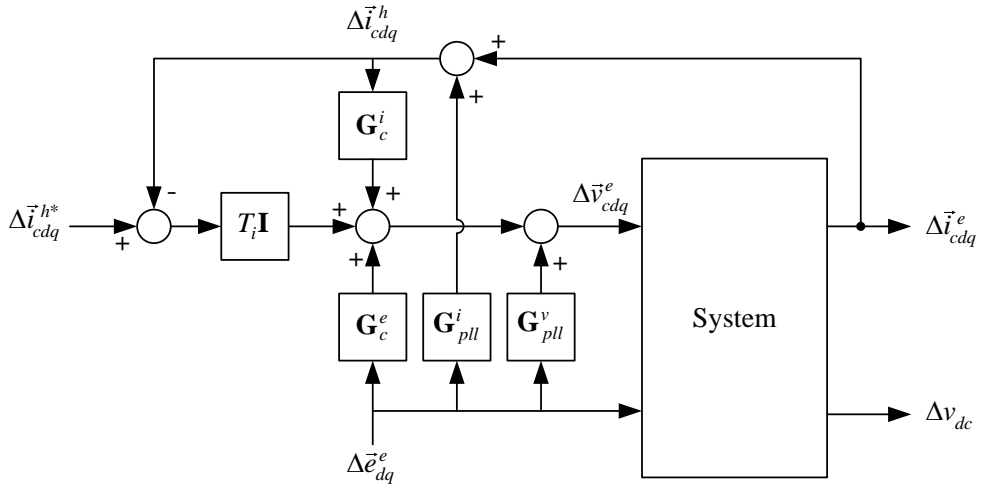


그림 2-12. 전류 제어 시스템의 소신호 모델

직류단 전압 제어기의 소신호 모델은 식 (2.1.62)로부터 「그림 2-13」과 같이 정리할 수 있다. ‘Current controlled system’으로 표기된 박스는 「그림 2-12」를 의미한다.

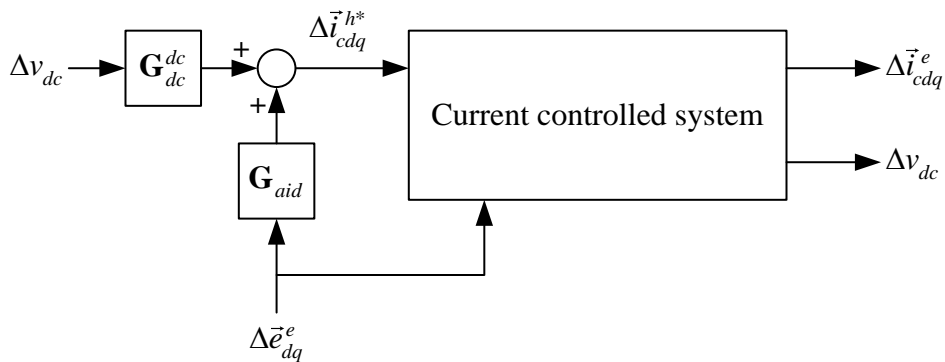


그림 2-13. 직류단 전압 제어 시스템의 소신호 모델

전력 제어기의 소신호 모델은 식 (2.1.89)로부터 「그림 2-14」와 같이 나타낼 수 있다.

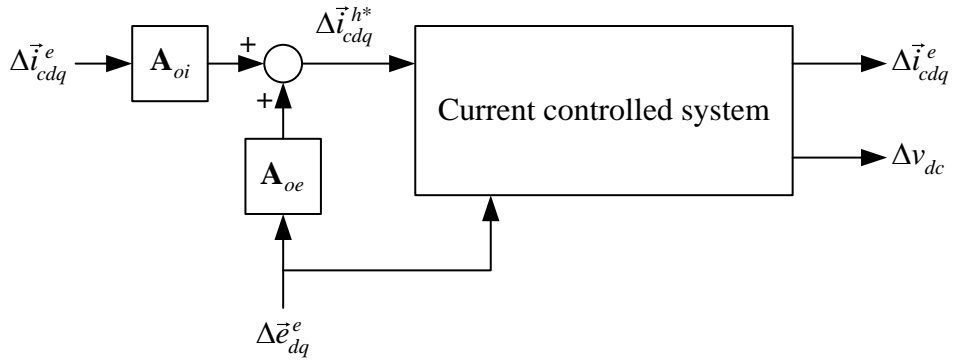


그림 2-14. 전력 제어 시스템의 소신호 모델

### 2.1.4 다수의 시스템에 대한 임피던스 계산

임피던스 기반 분석 방법은 다수의 시스템이 연결되는 경우에 있어 분석이 용이하다. 각 서브시스템(Subsystem)의 출력 임피던스 혹은 어드미턴스 행렬로부터 전체 시스템의 임피던스 행렬을 표현할 수 있다.

#### (가) 임피던스 행렬과 어드미턴스 행렬의 관계

SISO 시스템의 경우, 임피던스와 어드미턴스는 정의에 따라 역수로 계산할 수 있다. MIMO 시스템에서는 임피던스가 행렬로 주어지므로, 역행렬을 통해 등가 어드미턴스를 계산할 수 있다.

$$\mathbf{Y} = \mathbf{Z}^{-1}. \quad (2.1.92)$$

#### (나) 직렬 연결

SISO 시스템에서 임피던스가 직렬 연결되는 경우, 두 임피던스의 합으로 등가 임피던스를 계산하였다. MIMO 시스템에서도 서브시스템이 직렬로 연결되는 경우, 각 서브시스템의 등가 임피던스의 합으로 전체 시스템을 표현할 수 있다. 서브시스템이 어드미턴스로 표현된 경우, 식 (2.1.92)의 관계식을 이용하여 등가 임피던스를 계산한 후 식 (2.1.93)에 적용할 수 있다.

$$\mathbf{Z}_{eq} = \mathbf{Z}_1 + \mathbf{Z}_2. \quad (2.1.93)$$

#### (다) 병렬 연결

SISO 시스템에서 임피던스가 직렬 연결되는 경우, 두 어드미턴스의 합으로 등가 어드미턴스를 계산하였다. MIMO 시스템에서도 서브시스템이 병렬로 연결되는 경우, 각 서브시스템의 등가 어드미턴스의 합으로 전체 시스템을 표현할 수 있다. 서브시스템이 임피던스로 표현된 경우, 역시 식 (2.1.92)로 등가 어드미턴스를 계산한 후 식 (2.1.94)에 적용할 수 있다.

$$\mathbf{Y}_{eq} = \mathbf{Y}_1 + \mathbf{Y}_2. \quad (2.1.94)$$

### 2.1.5 제어기 설계와 다수의 PCS 연결에 의한 불안정성

앞서 2.1.1 절에서 밝힌 바와 같이, 3상 교류 시스템은 MIMO 시스템이므로 특성 방정식의 행렬식 ‘ $\det(\mathbf{I} + \mathbf{Y}_i \mathbf{Z}_g)$ ’의 나이퀴스트 선도를 이용하여 안정성을 판단한다. 이 때, 비대각 성분(Off-diagonal elements)이 안정성에 영향을 미치기 때문에 이를 무시하면 정확한 결과를 얻을 수 없다.

그러나, PCS의 운전 특성에 따라 루프 이득(Loop gain,  $\mathbf{Y}_i \mathbf{Z}_g$ )의 비대각 성분을 무시할 수 있는 조건이 발생한다. 참고 문헌 [72]과 [75]에 따르면, 특성 방정식의 행렬식을 식 (2.1.95)와 같이 전개할 수 있다.

$$\det(\mathbf{I} + \mathbf{Y}_i \mathbf{Z}_g) = 1 + T_d + T_q + T_{dq} + T_{qd} + T_d T_q + T_{dq} T_{qd}. \quad (2.1.95)$$

여기서,  $T_d = Y_{i,dd} Z_{g,dd}$ ,  $T_q = Y_{i,qq} Z_{g,qq}$ ,  $T_{dq} = Y_{i,dq} Z_{g,qd}$ ,  $T_{qd} = Y_{i,qd} Z_{g,dq}$  로 정의된다.

특히, PCS 출력 임피던스는 대각 행렬로 나타낼 수 있으므로, 비대각 성분을 무시할 수 있어  $T_{dq}$  와  $T_{qd}$  역시 무시할 만큼 작은 값을 갖게 된다. 이 때, 식 (2.1.95)는 식 (2.1.96)과 같이 표현 된다.

$$\det(\mathbf{I} + \mathbf{Y}_i \mathbf{Z}_g) \approx 1 + T_d + T_q + T_d T_q = (1 + T_d)(1 + T_q). \quad (2.1.96)$$

즉, 특성 방정식이 식 (2.1.96)의 관계로 표시되기 때문에 해당 식은 ‘ $1 + T_d = 0$ ’과 ‘ $1 + T_q = 0$ ’의 독립적인 관계식으로 분리될 수 있다. 즉, 이는 2×2 MIMO 시스템을 두 개의 독립적인 SISO 시스템으로 나누어 안정도 판별을 할 수 있게 된다는 것이다.

SISO 시스템에서는 루프 이득인 임피던스 비율( $Z_g / Z_i$ )의 나이퀴스트 선도가 극좌표계 상에서 (-1, 0)을 감싸지 않았을 때 안정하게 된다. 특히, 보드 선도 상에서 계통 전원 임피던스( $Z_g$ )와 부하 혹은 분산형 전원의 임피던스( $Z_i$ )가 크기가 같고 반대 위상을 갖는 경우 특성 방정식의 해가

복소 평면상에서 허수 축에 위치하여 공진이 발생하게 된다. 이러한 SISO 시스템의 안정도 특성은 식 (2.1.96)에 의해 분리된 두 개의 SISO 시스템( $dd$ -성분,  $qq$ -성분)에도 동일하게 적용될 수 있음을 알 수 있다. 즉,  $dd$ -성분과  $qq$ -성분의 각 루프 이득인  $Y_{i,dd}Z_{g,dd} = Z_{g,dd} / Z_{i,dd}$  와  $Y_{i,qq}Z_{g,qq}$  의 나이퀴스트 선도 중 하나라도 극 좌표 계 상에서  $(-1, 0)$ 을 감싸는 경우 시스템은 불안정하게 된다. 결과적으로  $dd$ -임피던스와  $qq$ -임피던스 각각의 임피던스 크기와 위상 관계를 통해 안정도에 대한 정보를 얻을 수 있게 되는 것이다.

계통 전원 임피던스를 인덕터 혹은 저항, 캐패시터 등의 수동 부하의 조합으로 고려하면, 전원 임피던스는 Passivity를 만족하게 된다[164]. 부하 임피던스 역시 수동 부하의 조합으로 고려한다면 전원과 부하 두 서브시스템은 각각 Passivity를 만족하게 된다. Passivity를 만족하는 두 서브시스템을 피드백(Feedback) 연결하더라도 전체 시스템은 Passivity를 만족하며, 결과적으로 전체 폐루프 시스템은 안정하게 된다[164].

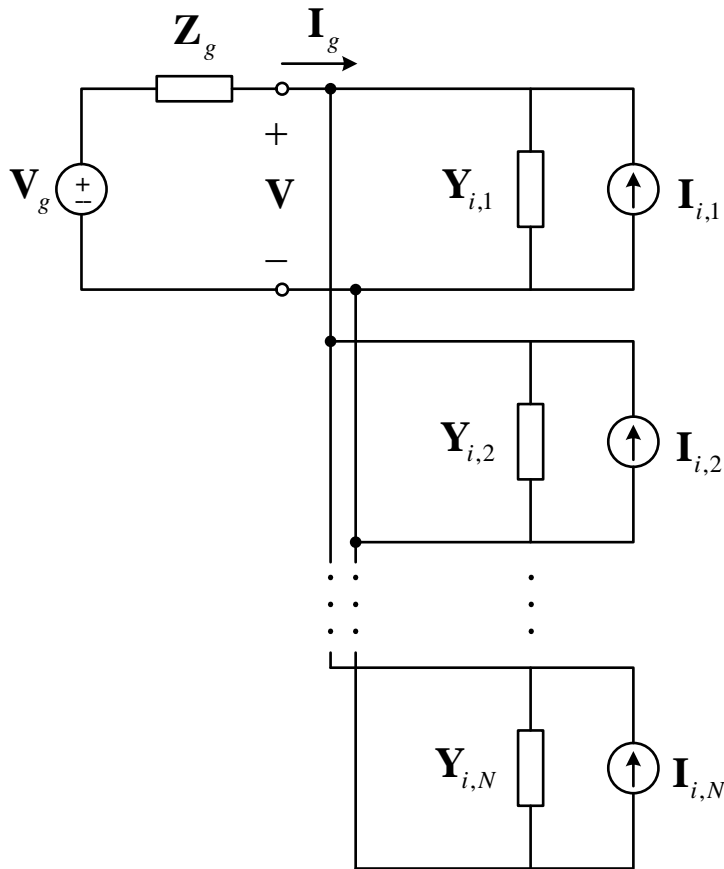
하지만, PCS를 통해 전력을 생산, 소비하는 분산형 전원이나 부하는 제어기 설계에 따라 제어기 대역폭 내에서 음의 임피던스 특성(이하 음저항 특성)을 가질 수 있다. 음저항 특성을 갖는 경우 자체적으로 Passivity를 만족하지 못하기 때문에, 전체 피드백 시스템 역시 Passivity를 만족하지 못할 수 있다. 또한, 부하의 음저항 특성으로 인하여 시스템의 루프 이득의 나이퀴스트 선도가 극좌표계 상에서  $(-1, 0)$ 을 감싸게 만들어 불안정의 요인이 된다.

직류 시스템에서는 일정 전력 부하에 의해서 음저항 특성이 나타나 불안정의 요인이 되었으나[165, 166], 본 논문에서 다루게 될 3상 PCS는 일정 전력 부하뿐만 아니라, 분산형 전원에서도 음저항 특성을 갖게 된다. 위상 동기화 제어기와 주파수 이동 단독 운전 검출 기법은  $dd$ -임피던스, 직류단 전압 제어기는  $qq$ -임피던스에 음저항 특성을 만들어 불안정의 주요한 요인이 된다. 제어기에 의한 음저항 특성은 각 서브시스템의 전력 방향에 따라 다르게 나타난다. 전력 방향에 따른 음저항 특성은 이어지

는 2.2 ~ 2.4 절에서 살펴볼 것이다.

비록, 이어지는 분석에서는 식 (2.1.95)와 같이 루프 이득의 비대각 성분을 완전히 무시할 수는 없어 최종적으로 일반화된 나이퀴스트 선도를 통해 안정도를 판단하였다. 그러나 분산형 전원 혹은 부하의  $dd$ -임피던스와  $qq$ -임피던스의 음저항 특성은 여전히 불안정 요인을 해석하는 데 중요한 정보를 제공하게 된다.

분산형 전원 혹은 부하 임피던스가 음저항 특성을 가지더라도 전원 임피던스와 보드 선도 상에서 크기가 겹치지 않는 경우에는,  $dd$ -임피던스와  $qq$ -임피던스의 비율 즉, 루프 이득의 나이퀴스트 선도가  $(-1, 0)$ 을 감싸지 않게 된다. 강한 계통에 연결되는 상황에서는 전원 임피던스의 크기가 낮아 임피던스의 간섭에 의한 불안정 현상이 쉽게 발생하지 않는다.



(a)

(다음 페이지에 계속)

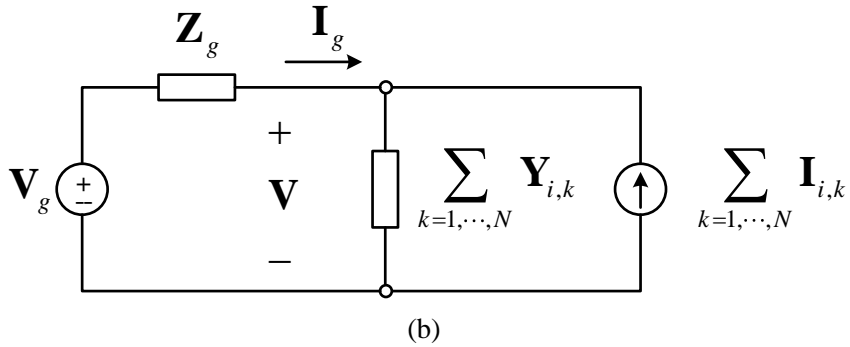


그림 2-15. PCS 병렬 연결에 따른 부하 어드미턴스의 증가

반면, 병렬로 연결되는 PCS가 증가하는 경우, 「그림 2-15 (a)」와 같이 Norton 등가 회로로 표시된 서브시스템의 수가 증가하게 된다. 즉, 「그림 2-15 (b)」와 같은 전체 PCS의 등가 어드미턴스는 증가하게 된다. 병렬 PCS 수가 증가하면 부하 임피던스가 감소하며, 이는 보드 선도 상에서 전원 임피던스와의 간섭을 발생시켜 시스템이 불안정하게 될 수 있다. 제로 에너지 개념을 충족하는 빌딩이나 단지 내에서, 접속 설비를 유지하면서 분산형 전원과 부하의 용량을 증가시키는 경우, 이와 같은 부하 측 임피던스 감소가 발생하기 때문에 시스템 불안정의 요인이 될 수 있다. PCS 측면에서는 계통 측 설비 용량이 유지되면서 전체 용량이 증가하는 것이므로, 상대적인 측면에서는 전원 임피던스가 증가하는 것으로도 해석이 가능하다. 즉, 약한 계통에 연결되는 경우 전체 PCS 측면에서 전원 임피던스가 상대적으로 증가하기 때문에 임피던스 간섭으로 인한 불안정 현상이 발생하게 된다. 2.2 ~ 2.4 절에서는 PCS가 약한 계통에 연계됨에 따라 발생할 수 있는 불안정 현상에 대한 분석 결과를 살펴볼 것이다.



## 2.2 위상 동기화 제어기에 의한 불안정 현상

본 절에서는 위상 동기화 제어기 설계가 PCS 임피던스 변화에 미치는 영향을 분석하고, 기존에 보고된 논문 사례를 통해 위상 동기화 제어기 설계에 따른 불안정 현상이 발생할 수 있음을 살펴본다. 또한, 계통 측 임피던스 변화에 따라 위상 동기화 제어기 설계에 의해 발생하는 불안정 현상을 살펴본다.

### 2.2.1 위상 동기화 제어기 설계에 따른 PCS 임피던스 변화

먼저, 앞 절에서 유도되었던 PCS 임피던스가 위상 동기화 제어기 설계에 의하여 어떻게 변화되는지 살펴본다.

전류 제어기를 고려한 식 (2.1.46)에 따르면, 무효 전력을 공급하지 않는 PCS의 위상 동기화 제어기는  $\mathbf{Y}_{cc,dd}$ 에만 영향을 미친다.  $g_{pll}$ 을 다시 정리하면 다음과 같다.

$$g_{pll} = \frac{1}{s} \frac{I_{cq}^e}{E} \left( k_{pc} + \frac{V_{cq}^e}{I_{cq}^e} \right) \left( s + \frac{k_{ic}}{k_{pc} + \frac{V_{cq}^e}{I_{cq}^e}} \right) \times \frac{Ek_{pp}s + Ek_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}} \quad (2.2.1)$$

$$= \frac{\omega_{l,gpil}}{s} (s + \omega_{z,gpil}) \frac{2\zeta_p \omega_{np} s + \omega_{np}^2}{s^2 + 2\zeta_p \omega_{np} s + \omega_{np}^2}$$

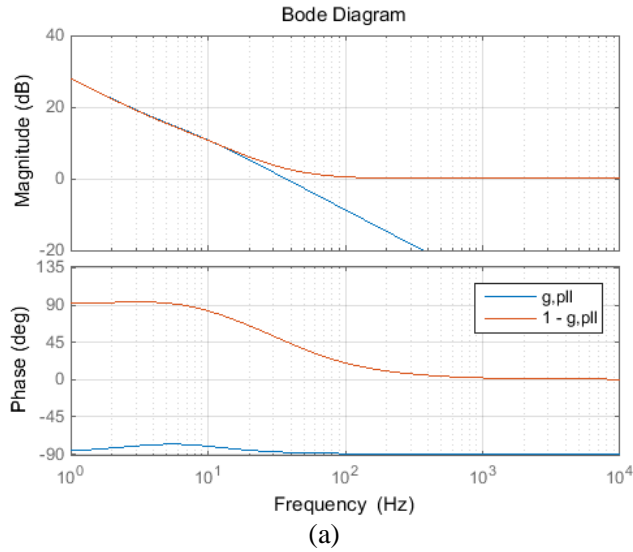
적분기 항과 하나의 영점(Zero), PLL에 의한 2차 저역 통과 필터로 구성되어 있음을 확인할 수 있다. 영점( $\omega_{z,gpil}$ )은 전류 조건에 따라 부호가 달라진다. PCS가 전력을 공급할 때에는 좌반평면(Left half plane, LHP), 전력을 소비할 때는 우반평면(Right half plane, RHP) 상에 존재한다.  $\omega_{l,gpil}$ 은 상대적으로 작은 값을 가진다.

마지막 2차 저역 통과 필터 특성은 PLL의 실제 계통 위상으로부터 추정한 계통 위상으로서의 전달 함수에서 얻을 수 있다[88].

$$\frac{\theta_h}{\theta} = g_\theta = \frac{Ek_{pp}s + Ek_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}} = \frac{2\zeta_p\omega_{np}s + \omega_{np}^2}{s^2 + 2\zeta_p\omega_{np}s + \omega_{np}^2}. \quad (2.2.2)$$

여기서,  $\omega_{np} = \sqrt{Ek_{ip}}$ ,  $\zeta_p = \frac{1}{2}\sqrt{\frac{E}{k_{ip}}}k_{pp}$ . 전달 함수 특성이 PLL 이득 설계로 인해 결정된다.

전력 공급 시에는  $\omega_{z,gpll}$  은 좌반평면 상에 존재하며,  $\omega_{z,gpll} \approx \omega_{np}$  의 조건을 만족한다. 반면, 전력 소비 시에는  $\omega_{z,gpll}$  은 우반평면에 존재하며,  $\omega_{z,pll}$  이 다른 두 값에 비해 매우 큰 값을 가지게 된다. 이러한 차이로 인해,  $\mathbf{Y}_{cc,dd}$  의  $1-g_{pll}$  이 전력의 공급과 소비에 따라 다른 특성을 보이게 된다.



(다음 페이지에 계속)

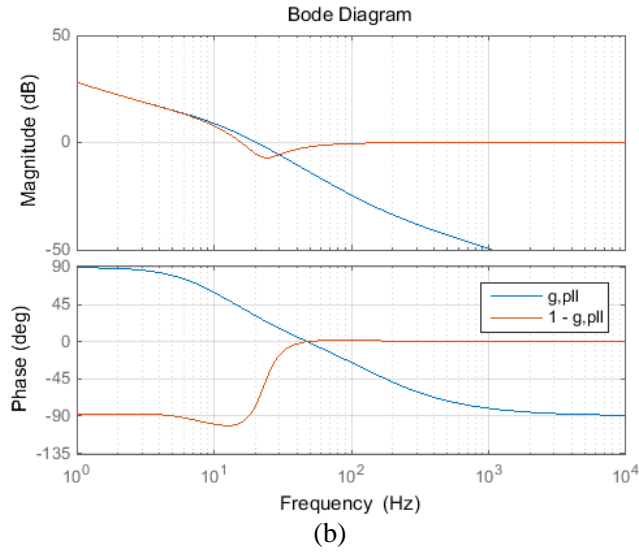
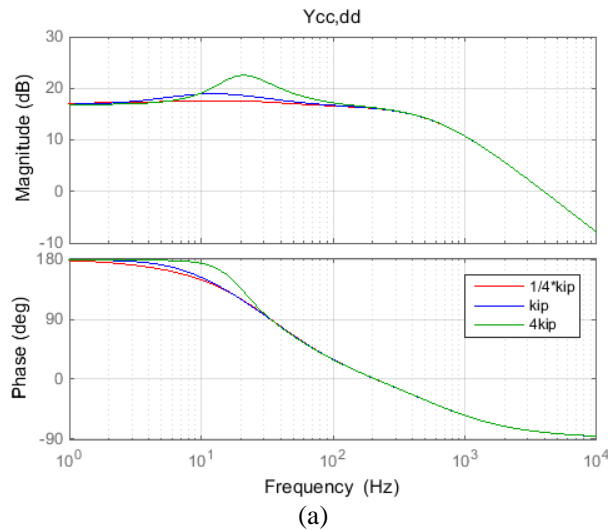


그림 2-16.  $g_{pll}$  과  $1-g_{pll}$  의 보드 선도 (a) 전력 공급 시 (b) 전력 소비 시

「그림 2-16」은 전력 흐름에 따라  $g_{pll}$  과  $1-g_{pll}$  의 보드 선도(Bode plot)를 도시한 것이다.

두 경우 모두  $1-g_{pll}$  은 100 Hz 이상에서 0 dB의 값을 가지는 것을 확인할 수 있다. 전력 공급 시에는  $\omega_{z,gpll} \approx \omega_{np}$  의 조건을 만족하기 때문에, 영점이 PLL의 극점에 의한 크기 변화와 위상 변화를 상쇄함을 확인할 수 있다. 또한 DC에서 +90도의 위상을 가지게 된다. 반면, 전력 소비 시에는  $\omega_{z,gpll}$  이 우반평면 상에 존재하며,  $\omega_{l,gpll}$  이나  $\omega_{np}$  보다 그 값이 상대적으로 크다. 따라서 PLL의 극점( $\omega_{np}$ )에 의한 크기 변화와 위상 변화가 뚜렷이 관측된다.

「그림 2-17」은 전류 제어기의 이득을 고정하고( $2\pi \times 500$  rad/s로 설정), 전력 공급 시 PLL의 상태 필터 이득을 조정하였을 때의 결과를 도시한 것이다. 식 (2.2.2)에서 언급한 바와 같이, PLL 상태 필터 이득은 고유 주파수(Natural frequency)와 댐핑 계수(Damping coefficient)로 치환하여 표현할 수 있다. 적분 이득( $k_{ip}$ )을 조정하는 경우, 고유 주파수와 댐핑 계수 모두 변하게 되므로 (a)와 같이 그 변화를 설명하기 힘들어진다. 반면, 비례 이득( $k_{pp}$ )은 댐핑 계수에 비례하므로  $Y_{cc,dd}$ 의 변화를 예측할 수 있다. 댐핑 계수가 커짐에 따라 고유 주파수에서의 피크가 줄어들고, 위상 변화가 천천히 발생하게 된다(그림 2-17 (b)). PLL의 고유 주파수( $\omega_{np}$ )에 의한 변화 역시 피크의 위치 이동, 위상 변화 시점의 이동으로 예측 가능해 진다(그림 2-17 (c)). 따라서 상태 필터의 비례 적분 이득이 아닌, PLL 전달 함수 설계에 사용되는 고유 주파수와 댐핑 계수 정보가 출력 임피던스 조절에 유용함을 확인할 수 있다.



(다음 페이지에 계속)

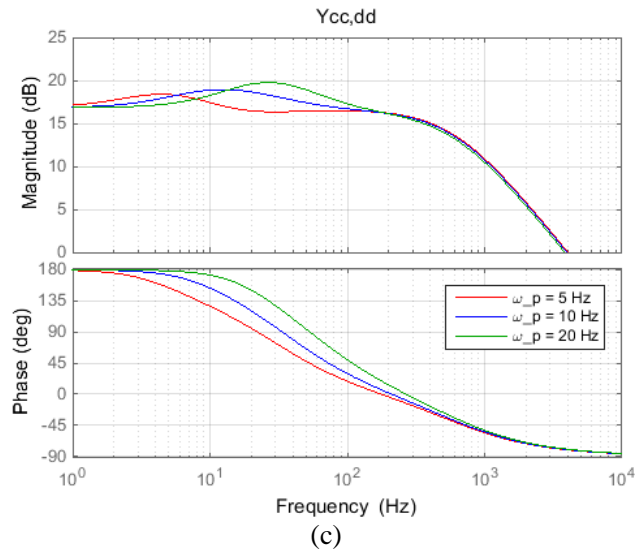
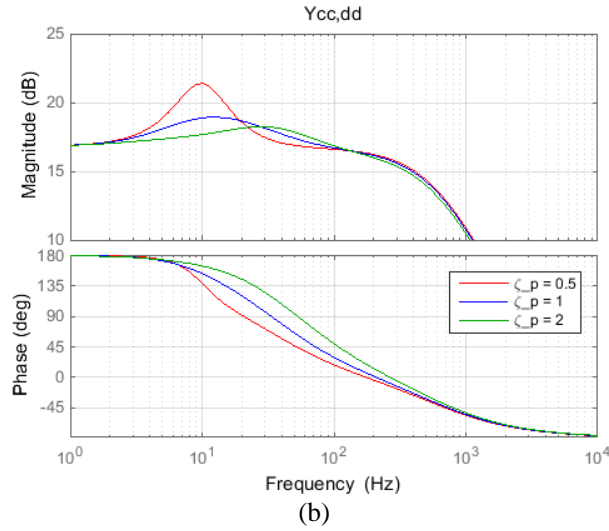
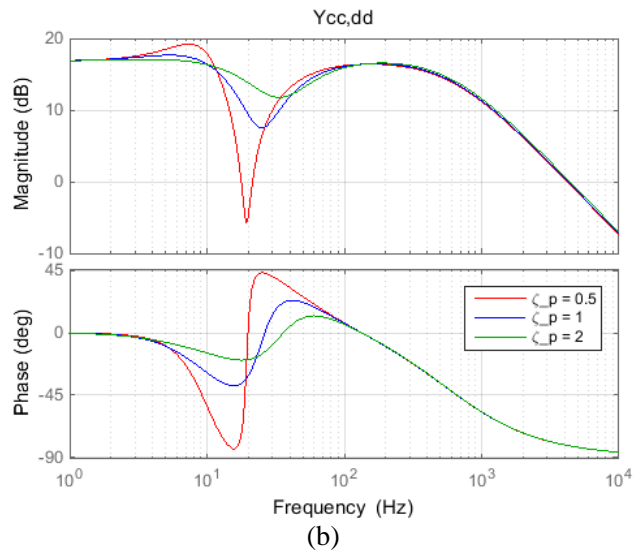
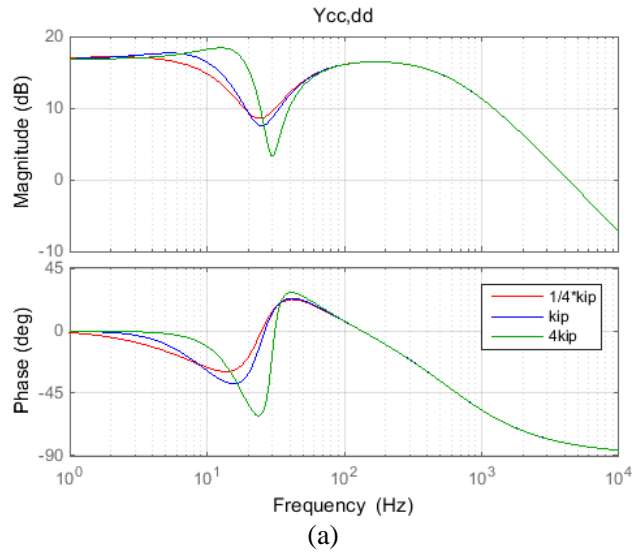


그림 2-17. PLL 설계 변화에 따른 주파수 응답 변화 -  $Y_{cc,dd}$  (전력 공급 시)

전력 소비 시에도, PLL의 고유 주파수와 댐핑 계수에 의한 임피던스 변화는 유의미하게 작용한다. (그림 2-18 참고) 다만, 전력 공급 시에는 좌반평면 영점으로 인해 PLL 전달 함수 특성이  $\omega_{np}^2 / (s^2 + 2\zeta_p \omega_{np} s + \omega_{np}^2)$ 에 가깝게 나타난 반면, 전력 소비 시에는 영점이 우반평면에 있고, 그 주파수가 높아  $(2\zeta_p \omega_{np} s + \omega_{np}^2) / (s^2 + 2\zeta_p \omega_{np} s + \omega_{np}^2)$ 의 전달 함수 특성에 가

잡게 임피던스가 변화한다.

마찬가지로 적분 이득의 변화는 고유 주파수, 댐핑 계수의 변화를 모두 야기하므로, 비례 이득(댐핑 계수)과 고유 주파수의 변화를 통해 출력 임피던스를 조절할 수 있다.



(다음 페이지에 계속)

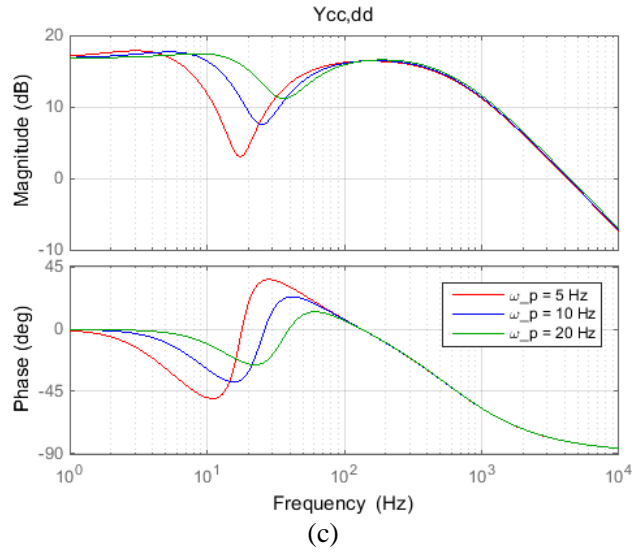


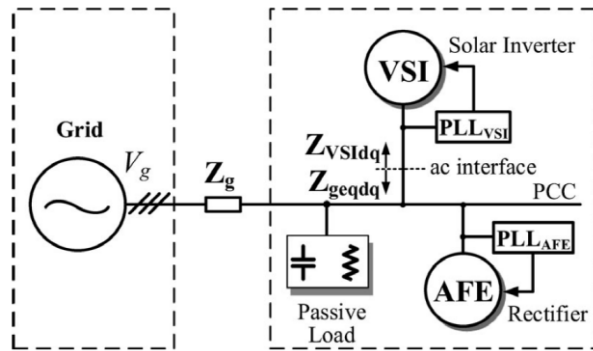
그림 2-18. PLL 설계 변화에 따른 주파수 응답 변화 -  $Y_{cc,dd}$  (전력 소비 시)

본 절에서는 상위 제어기로 직류단 전압 제어기, 개루프 전력 제어기를 사용한 경우를 가정하였기 때문에, 위상 동기화 제어기 설계에 따른 식 (2.1.46)의 변화를 관측하였다. 폐루프 전력 제어기를 사용하는 경우는 전력 제어기로 사용한 비례 적분 제어기가 영향을 미치지만, 본 절에서 논의한 위상 동기화 제어기의 고유 주파수와 댐핑 계수에 의한 어드미턴스 변화 양상은 동일하게 나타난다. 이는 부록에 수록하였다.

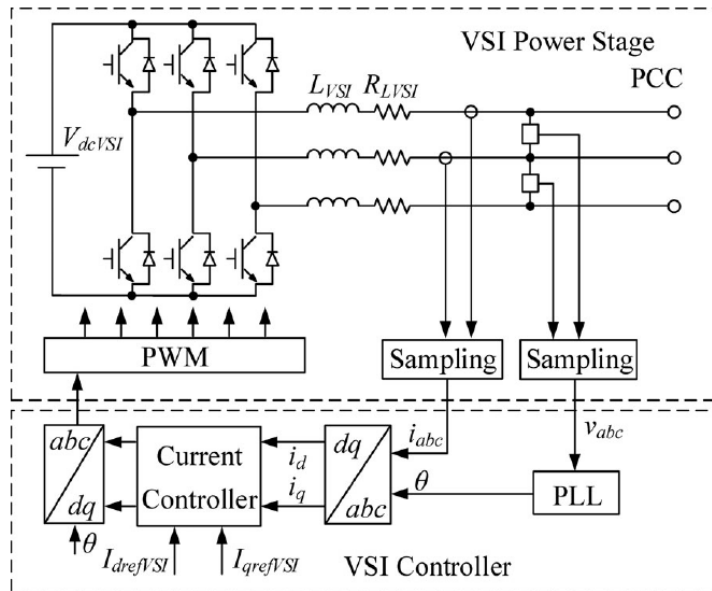
### 2.2.2 사례 연구

참고 문헌 [80]과 [81]에서는 위상 동기화 제어기 설계에 따라, 시스템이 불안정해 지는 현상을 언급하였다.

「그림 2-19」는 참고 문헌 [80]에서 분석된 시스템의 구성도를 나타낸다. 수동 부하와 함께, 일정 전력을 소비하는 부하를 AFE(Active Front End)로 정의하여 함께 고려하였다. 또한 태양광 발전을 모의하기 전압형 인버터(VSI, Voltage Source Inverter)가 연결되어 있으며, 직류 전원은 일정 전압원으로 가정하였다.



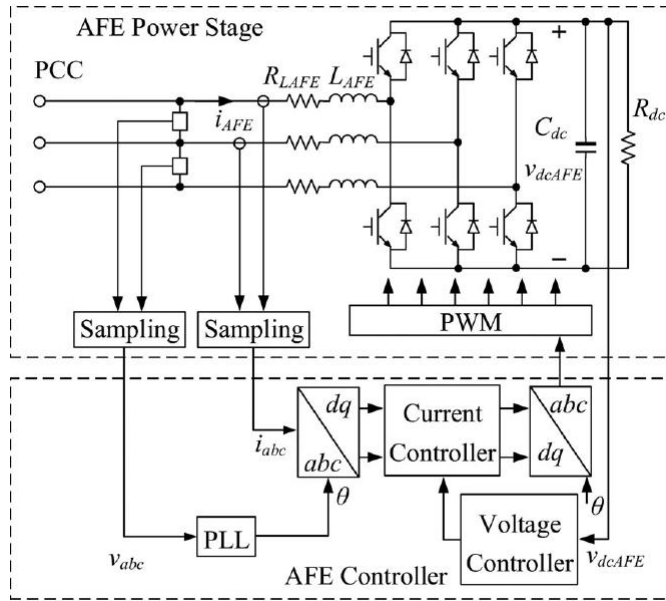
(a)



(b)

(다음 페이지에 계속)





(c)

그림 2-19. 시스템 구성도 [80]

「표 2-1」은 참고 문헌 [80]의 모의 실험에 사용된 변수를 나타낸다. 계통 전압과 좌표 변환은 2.1 절에 소개한 정의를 사용하여 변환 후 정리되었다.

표 2-1. 참고 문헌 [80]의 모의 실험 시스템 정수

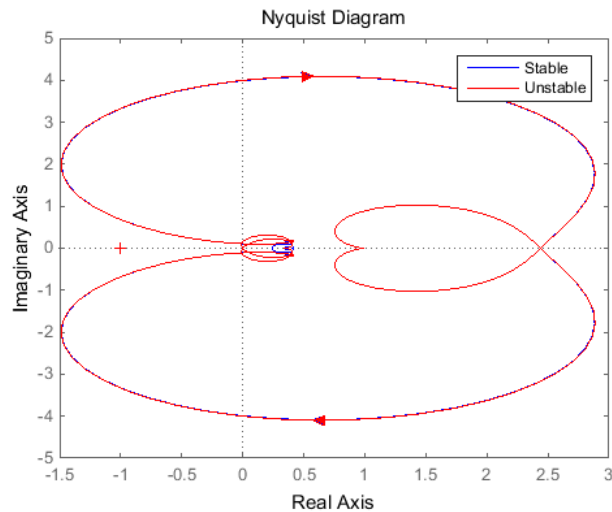
계통 상 전압 ( $V_g$ )	$120\sqrt{2}$ V <sub>pk</sub>	계통 주파수	60 Hz
VSI 직류 전압 ( $V_{dc,VSI}$ )	600 V	AFE 직류 전압 ( $V_{dc,AFE}$ )	600V
$L_{f,VSI}$	1 mH	$L_{f,AFE}$	0.5 mH
$R_{f,VSI}$	0.12 Ω	$R_{f,AFE}$	90 mΩ
VSI 정격 상 전류	114.3 A <sub>pk</sub>	AFE 정격 소비 전력	26 kW
$k_{pp,VSI}$	0.1	$k_{pp,AFE}$	0.05
$k_{ip,VSI}$	3.2 (Unstable)	$k_{ip,AFE}$	0.5
	0.32 (Stable)		
$k_{pc,VSI}$	6.3	$k_{pc,AFE}$	3.12
$k_{ic,VSI}$	691	$k_{ic,AFE}$	691
부하	$R_{load}$	$k_{pv,AFE}$	0.051
	$C_{load}$	$k_{iv,AFE}$	37
계통 임피던스	$1.1 + j0.075$ Ω	직류단 캐패시턴스	100 μF

식 (2.2.2)를 이용하면, VSI와 AFE의 PLL 고유 주파수와 댐핑 계수가 「표 2-2」와 같이 설계됨을 알 수 있다.

표 2-2. 참고 문헌 [80]의 위상 동기화 제어기 설계 계수

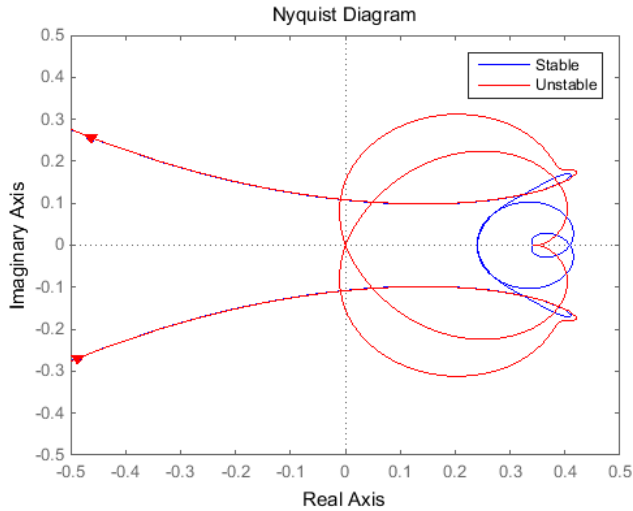
VSI	불안정 설계	$\omega_{np,VSI}$	$2\pi \times 3.7$ rad/s	AFE	$\omega_{np,AFE}$	$2\pi \times 1.5$ rad/s
		$\zeta_{p,VSI}$	0.36			
	안정 설계	$\omega_{np,VSI}$	$2\pi \times 1.2$ rad/s		$\zeta_{p,AFE}$	0.46
		$\zeta_{p,VSI}$	1.15			

「그림 2-20」에 VSI의 PLL 설계에 따른 안정도를 일반화된 나이퀴스트 선도로 나타내었다. (a)는 전체 곡선을 표현한 것이며, (b)는 원점 근처를 확대하여 도시하였다. 안정된 설계를 사용한 경우 원점을 감지 않는 반면, 불안정한 설계 시 곡선이 원점을 감는 것을 확인할 수 있다.



(a)

(다음 페이지에 계속)



(b)

그림 2-20. VSI 위상 동기화 제어기 설계에 따른 일반화된 나이퀴스트 선도

「그림 2-21」에 각 요소 임피던스의 주파수 응답을 도시하였으며, 특히  $dd$ -임피던스의 보드 선도는 불안정해지는 요인에 대한 정보를 제공한다. VSI에서 바라본 계통 측 임피던스( $Z_{geqdg}$ )는 AFE와 부하, 계통 선 임피던스의 병렬 임피던스로 해석할 수 있다. 이 때 계통 선 임피던스와 부하의 병렬 임피던스가 AFE 임피던스보다 작기 때문에, AFE 임피던스에 의한 영향은 잘 나타나지 않는다.

시스템이 안정한 설계의 경우, VSI와 계통 측 임피던스(계통 임피던스 + 부하 + AFE)가 겹치지 않음을 알 수 있다. 반면, 불안정하게 설계된 VSI의 임피던스는 계통 측 임피던스와 교차하며, 이 때 위상이  $-180$ 도에 가까워 위상 여유가 별로 없다.

$qq$ -임피던스의 경우, PLL 설계에 영향을 받지 않으며, 현 사례의 주요한 불안정 요인으로 작용하지 않는다.  $qq$ -임피던스에 대해서는 2.3 절에서 논의한다.

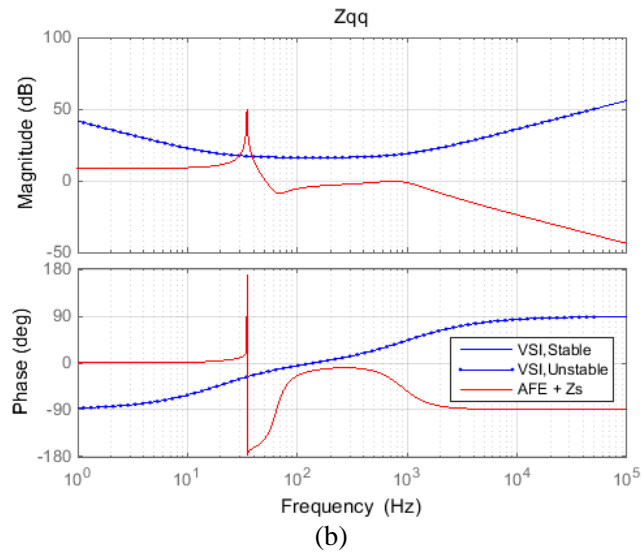
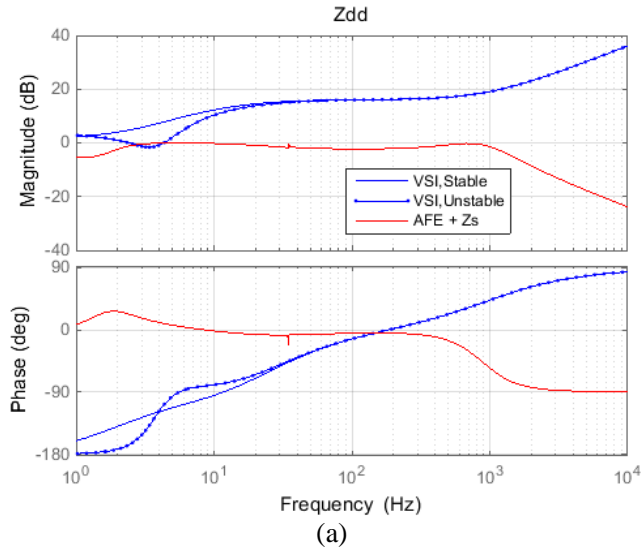


그림 2-21. VSI 위상 동기화 제어기 설계 변화에 따른 보드 선도

참고 문헌 [81]에서는 「그림 2-19」 중 AFE를 제외한 나머지 시스템을 대상으로, PLL 설계에 따라 시스템이 불안정해질 수 있음을 언급하였다. 「표 2-3」 과 「표 2-4」 는 참고 문헌 [81]에서 사용된 시스템 정수와 PLL의 설계 계수를 정리한 것이다.

표 2-3. 시스템 정수 [81]

계통 상 전압 ( $V_g$ )		$120\sqrt{2}$ V <sub>pk</sub>	$k_{pp,VSI}$	1.5 (Stable)
계통 주파수		60 Hz		3 (Unstable)
VSI 직류 전압 ( $V_{dc,VSI}$ )		600 V	$k_{ip,VSI}$	3.2
$L_{f,VSI}$		1 mH	$k_{pc,VSI}$	6.3
$R_{f,VSI}$		0.12 Ω	$k_{ic,VSI}$	691
VSI 정격 상 전류 ( $I_{ph}$ )		155 A <sub>pk</sub>		
부하	$R_{load}$	10 Ω	계통 임피던스	0.2 + j0.754 Ω
	$C_{load}$	250 μF		

표 2-4. 참고 문헌 [81] 위상 동기화 제어기 설계 계수

VSI	안정 설계	$\omega_{np,VSI}$	$2\pi \times 3.7$ rad/s
		$\zeta_{p,VSI}$	5.5
	불안정 설계	$\omega_{np,VSI}$	$2\pi \times 3.7$ rad/s
		$\zeta_{p,VSI}$	11

「그림 2-22」는 VSI의 PLL 설계에 따른 안정도를 일반화된 나이퀴스트 선도로 나타낸 것으로, 안정된 설계를 사용한 경우 원점을 감지 않는 반면, 불안정한 설계 시 곡선이 원점을 감는 것을 확인할 수 있다.

「그림 2-23」의  $dd$ -임피던스 보드 선도에서 VSI의 PLL 설계에 따라, 계통 측 임피던스(계통 임피던스 + 부하)와의 간섭이 발생함을 확인할 수 있다. 불안정한 설계 시, VSI 임피던스 크기가 작아짐과 동시에 VSI 임피던스의 위상이 더 느리게 상승하게 된다. 즉, 위상 여유가 작아지며, 불안정 요인이 됨을 알 수 있다.

$qq$ -임피던스의 경우, PLL 설계에 영향을 받지 않으며, 현 사례의 주요한 불안정 요인으로 작용하지 않아 생략하였다.

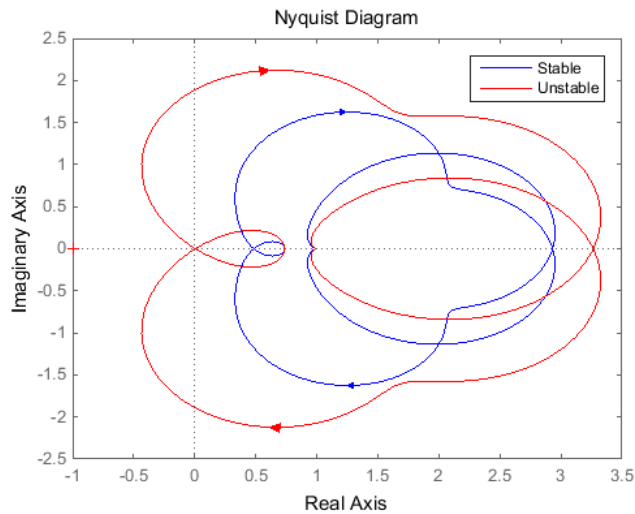


그림 2-22. VSI 위상 동기화 제어기 설계에 따른 일반화된 나이퀴스트 선도

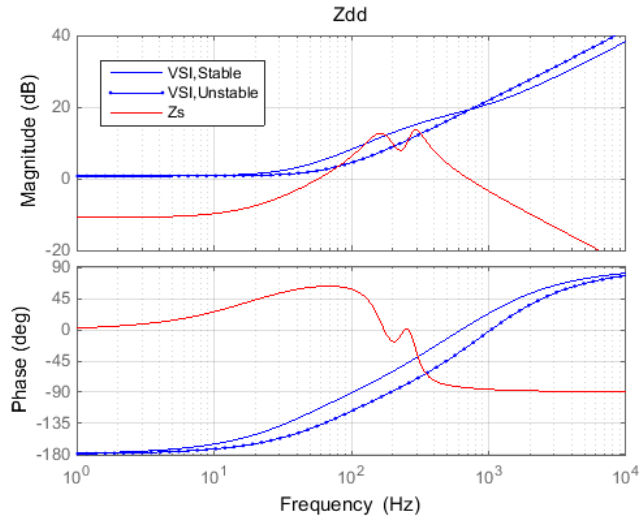


그림 2-23. VSI 위상 동기화 제어기 설계에 따른  $dd$ -임피던스 보드 선도 변화

### 2.2.3 계통 측 임피던스 변화에 따른 불안정 요인 분석

2.2.2 절 두 사례의 분석 결과를 통해서, 전력을 생산하는 PCS의 PLL 설계 값에 따라 시스템이 안정되게 운전될 수 있는지 여부가 결정되는 것을 확인할 수 있다. 전력 공급 시, 「그림 2-17」에서와 같이 PLL에 의해서 PCS의  $dd$ -임피던스는  $-180$ 도의 위상을 갖게 된다. 이러한 특성은 계통 측 임피던스와의 간섭으로 불안정을 야기할 수 있다.

반면, 전력 소비 시에는 「그림 2-18」과 같이 PLL에 의해 변동하는 PCS의  $dd$ -임피던스가  $-90$ 도에서  $90$ 도 사이의 위상을 가지기 때문에 수동 소자처럼 동작하여 계통과 연결 시 안정된 특성을 보이게 된다.

위와 같은 이유로, 전력을 공급하는 PCS의 경우 PLL 설계에 따른 임피던스 변화와 계통 측 임피던스 변화를 고려하여 시스템의 안정 여부를 분석하여야 한다. 「그림 2-17」에서 확인하였듯이, PLL의 고유 주파수는 임피던스 크기 피크의 위치와 위상 변화 시점에 영향을 미치게 된다. 댐핑 계수의 경우, 피크의 크기와 위상 변화 정도에 영향을 미치게 된다. 계통 측 임피던스와의 간섭은 피크의 크기와 위상 변화 정도에 따라 더



쉽게 영향을 받기 때문에 PLL의 댐핑 계수에 의한 분석만을 진행하였다.

전력을 공급하는 PCS의 PLL 댐핑 계수 설계에 따른 출력 임피던스 변화를 도시하면 「그림 2-24」와 같다. 댐핑 계수가 작아질수록 고유 주파수에서의 피크 크기가 증가하는 반면, 댐핑 계수가 커질수록 고유 주파수 이후 위상이 상승하는 속도가 느려지는 것을 확인할 수 있다. 부족 감쇠(Under damping) 설계 시  $\zeta_p = 1/2\sqrt{2}$ , 과감쇠(Over damping) 설계 (1)은  $\zeta_p = \sqrt{2}$ , 과감쇠 설계 (2)는  $\zeta_p = 2\sqrt{2}$ 를 사용하였다.

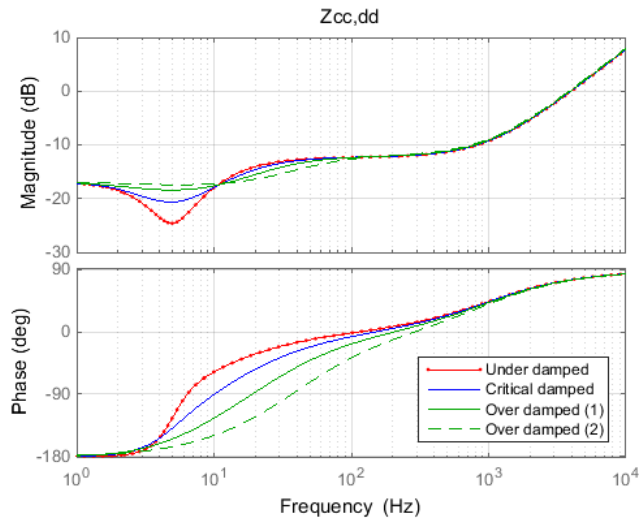


그림 2-24. PLL의 댐핑 계수 변화에 따른  $Z_{cc,dd}$  변화 ( $\omega_{np} = 2\pi \times 5$  rad/s)

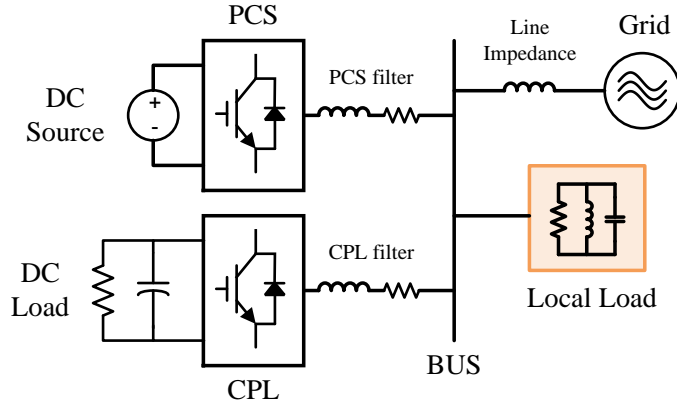


그림 2-25. 계통 연계 PCS와 부하가 계통연계모선에 연결된 시스템 구성도

「그림 2-25」의 시스템을 고려할 때, 계통 측 임피던스는 전원 계통의 선 임피던스(Line impedance)와 부하(Local load)의 병렬 연결로 해석할 수 있으며 식 (2.2.3)과 같이 계산할 수 있다. 일정 전력 부하(CPL, 참고 문헌 [80]의 AFE)는 「그림 2-21」에서와 같이 무시할 수 있다고 가정하였다.

$$\mathbf{Z}_s = \mathbf{Z}_g \parallel \mathbf{Z}_{load} = (\mathbf{Y}_g + \mathbf{Y}_{load})^{-1}. \quad (2.2.3)$$

여기서  $\mathbf{Z}_g$ 는 선 임피던스 행렬,  $\mathbf{Z}_{load}$ 는 부하의 임피던스 행렬을 의미한다.

본 논문에서는 선 임피던스를 직렬 연결된 인덕턴스와 저항으로 모델링하였다.  $\pi$ -모델과 같은 Distributed 모델을 사용하여 선 임피던스에 캐패시턴스를 고려할 수도 있으나, 이러한 캐패시터를 부하에 포함시켜 Lumped 모델로 고려하였다.

부하는 3상 평형 R, L, C 병렬 회로로 가정하였으며, 이는 단독 운전 검출 시험 회로에서 주로 사용되는 부하다. 이 때 부하의 인덕턴스와 캐패시턴스는 ‘Quality factor’와 ‘공진 주파수’로 표현할 수 있다.

Quality factor는 최대 저장할 수 있는 에너지와 주어진 주파수에서 한 주기에 소비하는 에너지의 비에  $2\pi$ 를 곱한 값으로 정의하며 식

(2.2.4)와 같다[91].

$$Q_f = 2\pi \frac{\text{peak stored energy}}{\text{energy dissipated per cycle}} = R\sqrt{\frac{C}{L}}. \quad (2.2.4)$$

공진 주파수는 인덕터와 캐패시터에 의해 결정되며 식 (2.2.5)와 같다.

$$f_0 = \frac{1}{2\pi\sqrt{LC}}. \quad (2.2.5)$$

공진 주파수는 부하 임피던스 각이 0이 되는, 즉, 역률 1을 만족하도록 설계되는 경우 계통 주파수와 같게 된다.

부하 저항 값과 *Quality factor*, 공진 주파수의 관계를 바탕으로 식 (2.2.6), (2.2.7)과 같이 인덕턴스와 캐패시턴스를 결정할 수 있다.

$$L = \frac{R}{2\pi f_0 Q_f}. \quad (2.2.6)$$

$$C = \frac{Q_f}{2\pi f_0 R}. \quad (2.2.7)$$

본 논문에서는 *Quality factor*와 공진 주파수를 이용해 부하를 표기하도록 한다. 또한, 다수의 단독 운전 검출 규정에서 1~2.5의 *Quality factor*를 갖는 부하를 가정하고 계통 주파수와 같은 공진 주파수를 가지는 부하를 가정하므로, 이 범위의 부하에 대한 연구를 주로 수행하였다. 참고 문헌 [148]에서는 실제적으로 *Quality factor*는 1 정도이며, 최대 2.5의 값을 갖는 것으로 밝히고 있다.

「그림 2-26」 ~ 「그림 2-29」는 계통 선 임피던스와 X/R 비, 부하의 *Quality factor* 및 용량 변화에 따른 계통 측 임피던스( $Z_s$ )의 변화를 나타낸다.

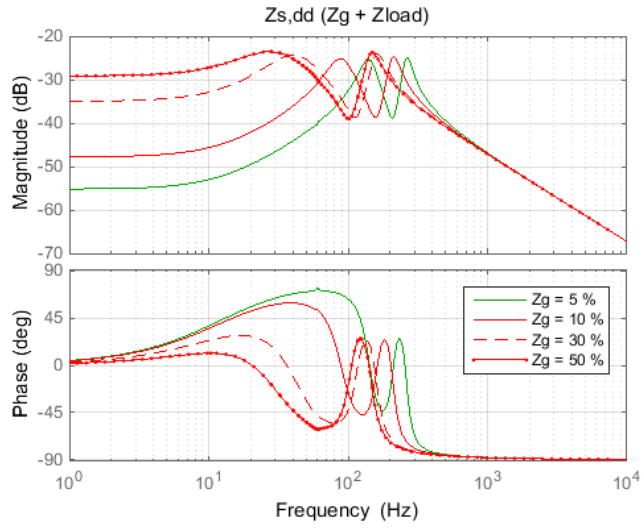


그림 2-26. 계통 선 임피던스 변화에 따른  $Z_{s,dd}$   
(X/R 비 = 5,  $Q_f = 2$ ,  $P_{load} = 1$  MW)

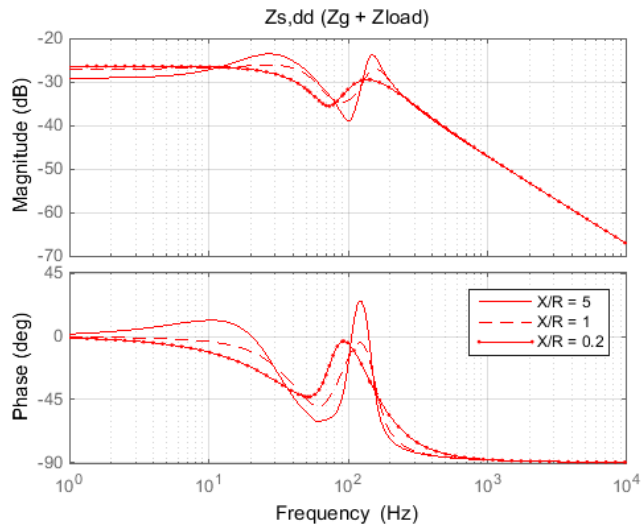


그림 2-27. X/R 변화에 따른  $Z_{s,dd}$   
(계통 선 임피던스 50%,  $Q_f = 2$ ,  $P_{load} = 1$  MW)

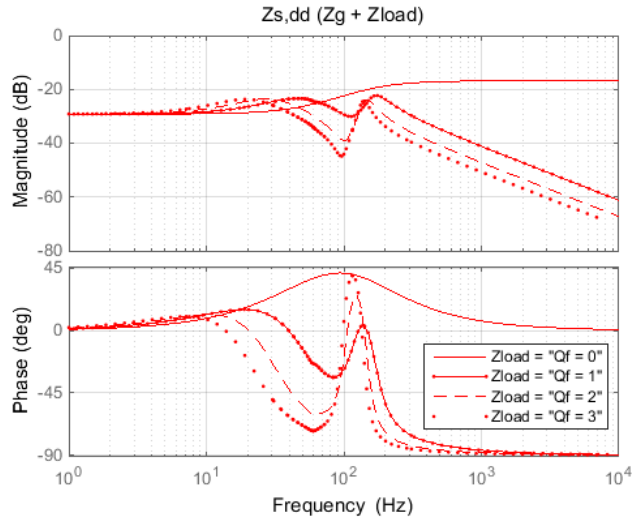


그림 2-28. 부하 Quality factor 변화에 따른  $Z_{s,dd}$   
(계통 선 임피던스 50%, X/R 비 = 5,  $P_{load} = 1$  MW)

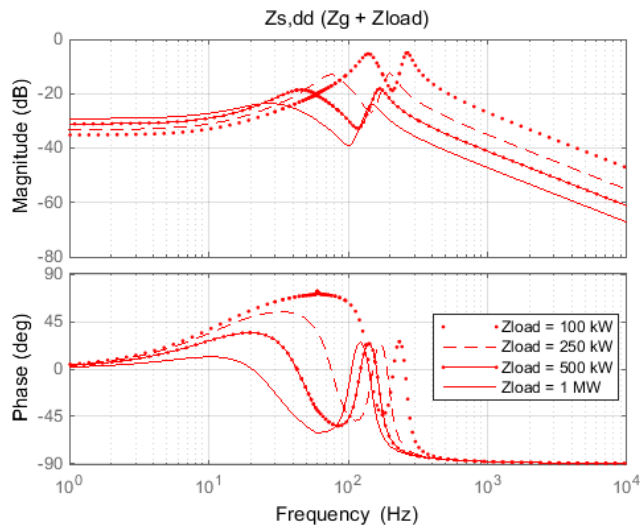


그림 2-29. 부하 용량 변화에 따른  $Z_{s,dd}$   
(계통 선 임피던스 50%, X/R 비 = 5,  $Q_f = 2$ )

앞서 1 장에서 언급한 바와 같이, 계통 측 설비를 증가시키지 않으면서 PCS와 부하의 용량을 증대시키는 경우 상대적인 선 임피던스의 크기가 증가하게 된다. 이를 고려하기 위해서 선 임피던스 증가에 따른  $Z_s$ 의 변화를 「그림 2-26」에서 살펴보았다. 선 임피던스가 증가함에 따라 부하의 공진 주파수 이하에서  $Z_s$ 의 크기가 커지게 된다. PLL을 부족 감쇠로 설계하여 댐핑 계수가 매우 작은 경우,  $Y_{cc,dd}$ 는 고유 주파수에서 피크가 발생하여 계통 측과 간섭이 발생할 수 있게 된다. 「그림 2-30」의 보드 선도와 나이퀴스트 선도로부터, 부족 감쇠로 설계된 PLL을 사용한 PCS가 계통 선 임피던스 변화에 따라 간섭 현상을 일으킬 수 있다는 점을 알 수 있다.

X/R 비가 작아지는 경우, 「그림 2-27」에서와 같이 낮은 주파수에서  $Z_s$ 가 커지게 된다. 하지만, 인덕턴스에 의한 영향이 상대적으로 적게 보여 부하 공진 주파수 이하에서 위상이 상승하지 않는 것을 볼 수 있다. 이러한 위상 변화는 부족 감쇠로 설계된 PLL이 연결되어 운전되는 경우 안정성에 영향을 미치게 된다. 「그림 2-31」의 보드 선도와 나이퀴스트 선도는, 부족 감쇠로 설계된 PLL에 의해 PCS와 계통 측 임피던스의 간섭으로 불안정해질 수 있고, X/R 비 역시 영향을 줄 수 있음을 보여준다. 「그림 2-21」의 사례는 계통 측 임피던스가 기저 값(Base value)에 가까우며, X/R 비가 매우 작은 경우다.

부하의 *Quality factor*가 증가하게 되는 경우, 부하 인덕턴스는 감소하고 캐패시턴스는 증가하게 된다. (그림 2-28 참고) 따라서 공진 주파수 이하에서는 인덕턴스에 의한 임피던스 감소에 의해 임피던스가 낮은 주파수로 이동하며, 공진 주파수 이상에서는 캐패시턴스에 의한 임피던스 감소에 따라 역시 임피던스가 감소하게 된다. 부하 *Quality factor*의 변화는 2.4 절에서 논의할 단독 운전 검출 방법 적용 시 영향을 미치게 되어 본 절에서는 고려되지 않았다.

부하 용량이 증가할수록,  $Z_s$ 는 공진 주파수 이하에서는 크기가 커지고, 공진 주파수 이상에서는 크기가 작은 것을 확인할 수 있다. (그림

2-29 참고) 부하의 용량이 작은 경우, 「그림 2-32」와 같이 PCS 임피던스와 계통 측 임피던스가 겹칠 수 있다. 이 때 PLL 댐핑 계수가 지나치게 크게 설계된 경우, 위상 여유가 부족하여 시스템이 불안정해질 수 있다. 이러한 요인으로 발생하는 불안정 조건은 「그림 2-23」의 사례를 통해 확인할 수 있다.

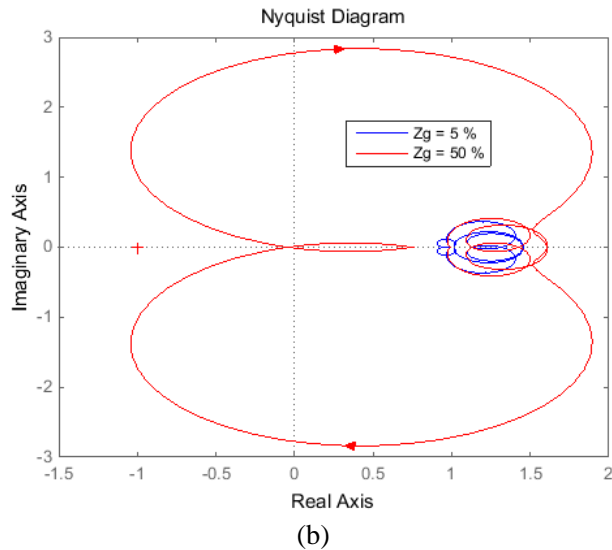
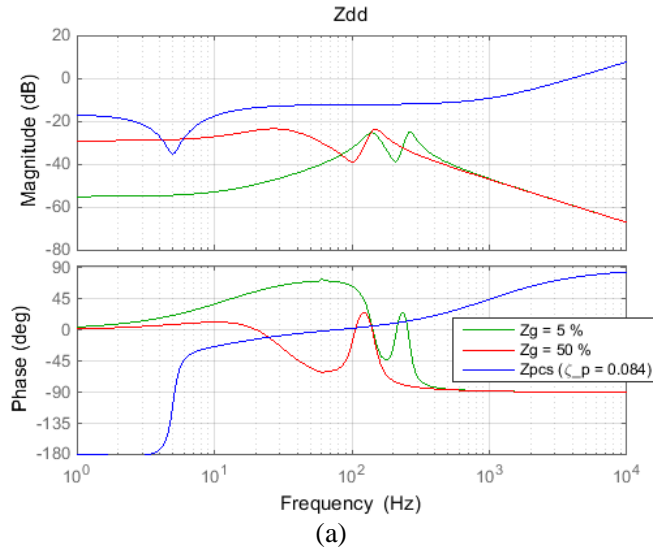
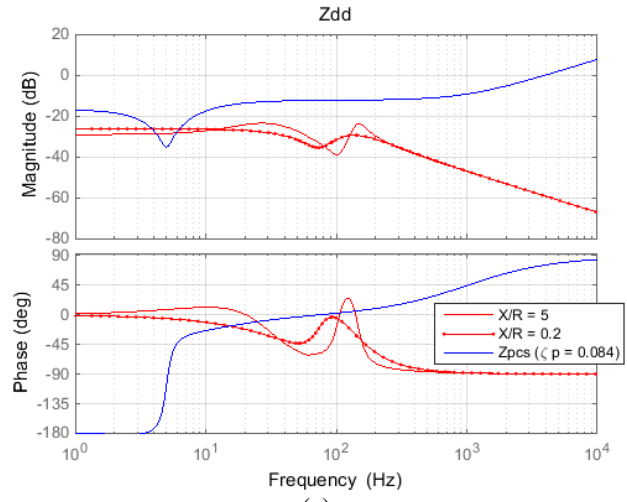
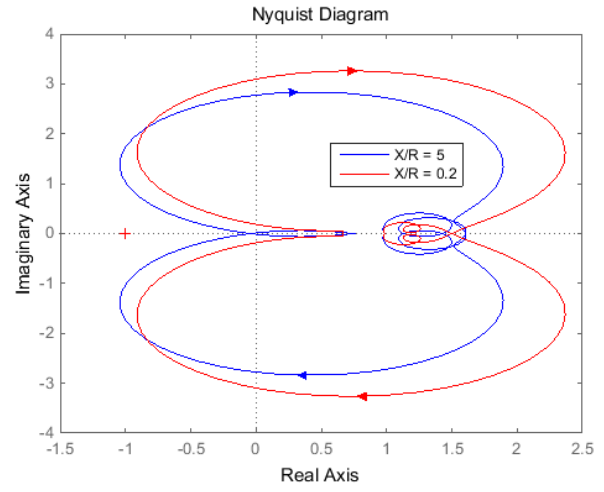


그림 2-30. 부족 감쇠로 설계된 PLL에 의한 불안정 현상  
계통 선 임피던스 변화 시 (a)  $Z_{dd}$  보드 선도 (b) 일반화된 나이퀴스트 선도



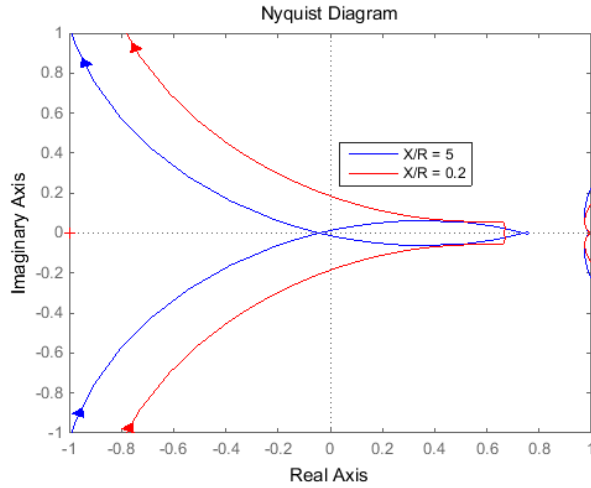
(a)



(b)

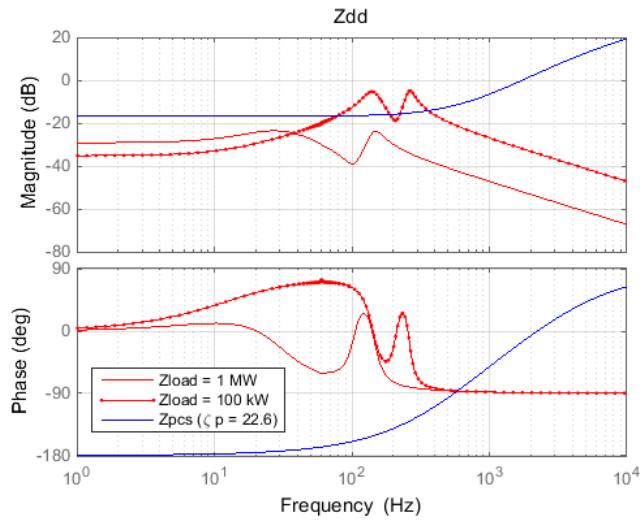
(다음 페이지에 계속)





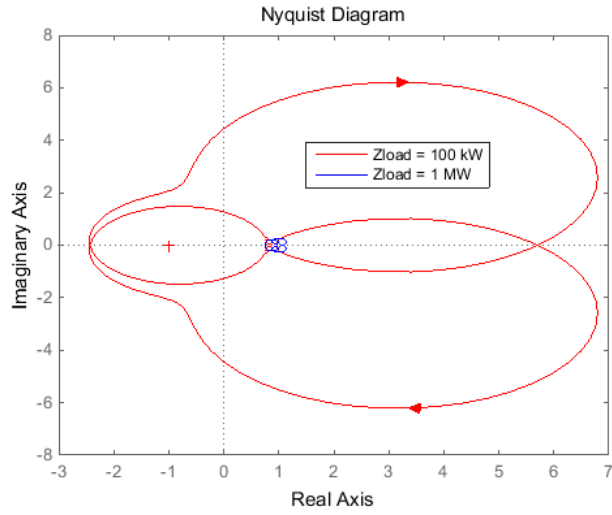
(c)

그림 2-31. 부족 감쇠로 설계된 설계된 PLL에 의한 불안정 현상  
 $X/R$  비 변화 시 (a)  $Z_{dd}$  보드 선도 (b) 일반화된 나이퀴스트 선도  
 (c) 원점 근처에서 확대된 나이퀴스트 선도



(a)

(다음 페이지에 계속)



(b)

그림 2-32. 과감쇠로 설계된 설계된 PLL에 의한 불안정 현상  
부하 용량 변화 시 (a)  $Z_{dt}$  보드 선도 (b) 일반화된 나이퀴스트 선도

본 절에서는 계통 선 임피던스와 부하의 특성에 따른 계통 측 임피던스 변화를 살펴보았으며, 위상 동기화 제어기 설계에 따라 불안정 현상이 발생할 수 있음을 살펴보았다. 3.1 절에서는 계통 측 임피던스 변화와 위상 동기화 제어기 설계에 따른 보다 자세한 분석을 수행할 것이다.

## 2.3 일정 전력 부하에 의한 불안정 현상

본 절에서는 직류단 전압 제어기 설계가 PCS 임피던스에 미치는 영향을 살펴본다. 기존에 보고된 논문 사례를 통해, 컨버터를 이용하는 일정 전력 부하의 병렬 운전에 따른 불안정 현상에 대해서 살펴본다.

### 2.3.1 직류단 전압 제어기 설계에 따른 PCS 임피던스 변화

먼저, 2.1 절에서 유도되었던 PCS 임피던스가 직류단 전압 제어기 설계에 의하여 어떻게 변화되는지 살펴본다. 식 (2.1.73)에서 살펴보았듯이 직류단 전압 제어기는  $\mathbf{Y}_{o,qq}$  를 변화시킨다. 직류단 전압 제어기 역시, 위상 동기화 제어기와 같이 2차 필터 형태로 설계할 수 있다[88].

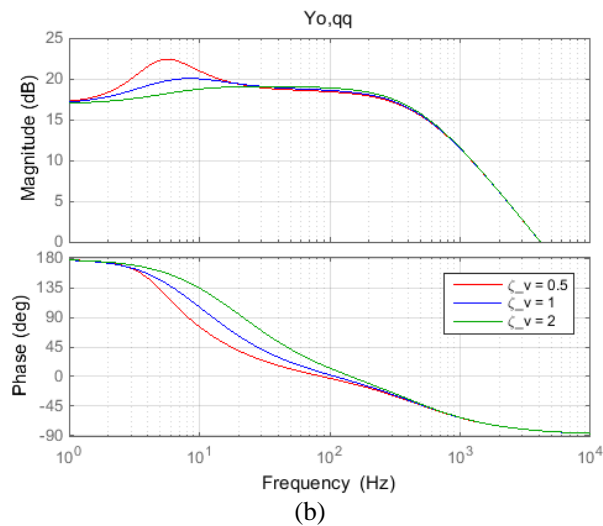
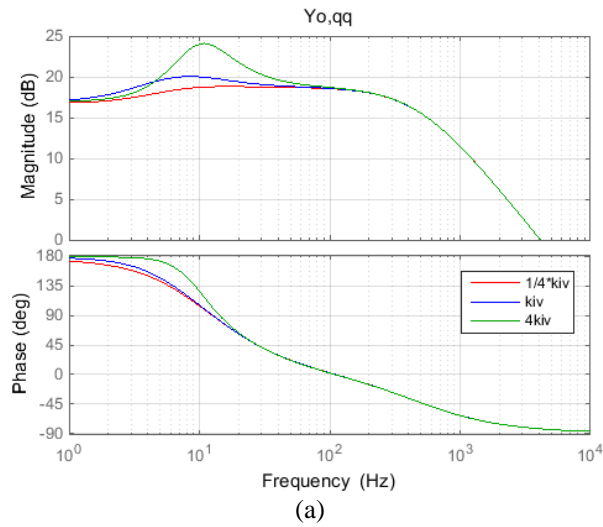
$$\frac{v_{dc}}{v_{dc}^*} = \frac{C_v^{-1}k_{pv}s + C_v^{-1}k_{iv}}{s^2 + C_v^{-1}k_{pv}s + C_v^{-1}k_{iv}} = \frac{2\zeta_v\omega_{nv}s + \omega_{nv}^2}{s^2 + 2\zeta_v\omega_{nv}s + \omega_{nv}^2}. \quad (2.3.1)$$

여기서  $C_v = \frac{2C_{dc}V_{dc}}{3E}$  로, 직류단 캐패시턴스( $C_{dc}$ ), 직류단 전압 운전점( $V_{dc}$ ), 계통 상전압 크기( $E$ )로 나타낼 수 있다.  $\omega_{nv} = \sqrt{\frac{k_{iv}}{C_v}}$  는 고유 주파수,  $\zeta_v = \frac{1}{2} \frac{k_{pv}}{\sqrt{C_v k_{iv}}}$  는 댐핑 계수를 의미한다.

PLL에 의한 위상 추정 전달 함수의 2차 저역 통과 필터 특성이 임피던스 변화에 유의미한 변화를 야기하였듯이, 직류단 전압 제어기의 전달 함수 식 (2.3.1)의 2차 저역 통과 필터 특성 역시 임피던스 변화를 설명하는데 도움이 될 수 있다.

「그림 2-33」은 전력을 소비하는 즉, 일정 전력 부하에 대한  $\mathbf{Y}_{o,qq}$  를 도식한 것이다. 전력 소비 시에는 낮은 주파수에서 위상이 180도로 음저항 특성을 보여준다. 여기서도 적분 이득( $k_{iv}$ )을 조정하는 경우, 고유 주파수와 댐핑 계수 모두 변하여, (a)와 같이 변화에 대한 직관을 얻기 힘

들다. 비례 이득( $k_p$ )와 댐핑 계수( $\zeta_v$ )는 비례하므로 비례 이득 변화는 댐핑 계수의 변화를 의미한다. 댐핑 계수가 커짐에 따라 설계된 고유 주파수( $2\pi \times 5$  rad/s)에서 피크가 줄어들고, 위상이 천천히 변화한다. (그림 2-33 (b) 참고) 고유 주파수( $\omega_{nv}$ )에 의한 변화는 피크의 위치 이동, 위상 변화 시점의 이동을 예측할 수 있게 한다. (그림 2-33 (c) 참고)



(다음 페이지에 계속)

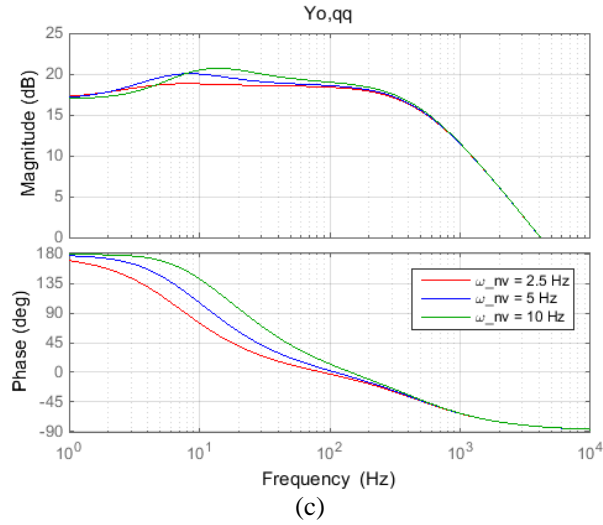
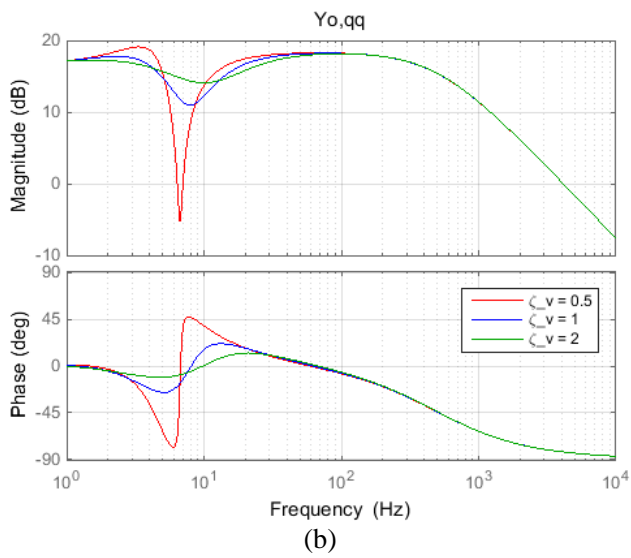
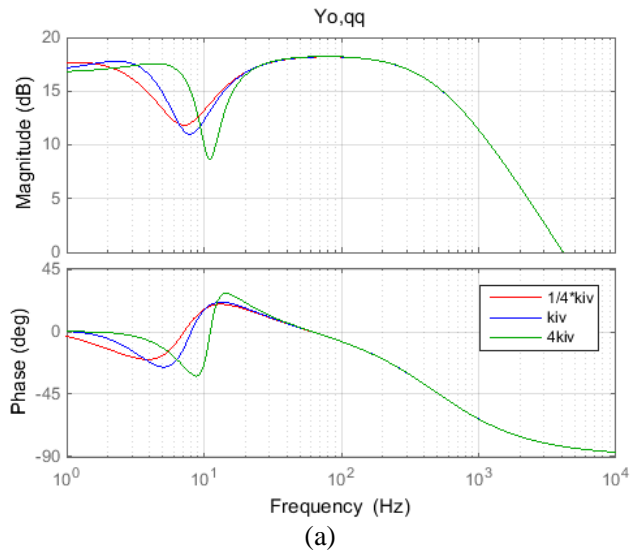


그림 2-33. 직류단 전압 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,qq}$   
(전력 소비 시)

(a) 적분 이득 변화, (b) 비례 이득 (댐핑 계수) 변화, (c) 고유 주파수 변화

「그림 2-34」는 전력 공급 시, 즉, 태양광 발전에 사용되는 PCS의  $Y_{o,qq}$  변화를 나타낸다. 2.2 절에서 전력 소비 시 PLL의 설계 변화에 따라 나타난 바와 유사한 변화 양상이 나타난다. 고유 주파수와 댐핑 계수(비례 이득)의 변화를 통해 출력 임피던스를 예상할 수 있으며, 적분 이득의 변화는 고유 주파수와 댐핑 계수를 모두 변화시켜 임피던스 설계에 사용하기 어려움을 알 수 있다.



(다음 페이지에 계속)

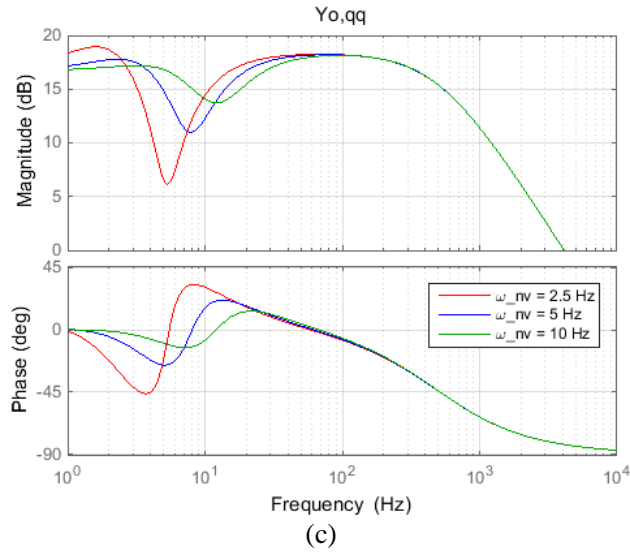


그림 2-34. 직류단 전압 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,qq}$   
(전력 공급 시)

(a) 적분 이득 변화, (b) 비례 이득 (댐핑 계수) 변화, (c) 고유 주파수 변화

### 2.3.2 사례 연구

참고 문헌 [64]에서는 단독으로 운전 시 안정된 운전이 가능하도록 설계된 일정 전력 부하가 병렬로 연결되었을 때 시스템이 불안정해지는 현상을 언급하였다. 「그림 2-35」는 해당 논문에서 고려한 시스템의 구성도를 나타낸다. 두 개의 일정 전력 소비 부하(Constant Power Load, CPL)가 접속점에 공통으로 연결되어 있다. 해당 논문에서는 두 CPL 사이에 선 임피던스( $L_L$ )가 존재하는 경우에 대해 연구하였지만, 본 절에서는 해당 성분을 제외하고 CPL 병렬 운전에 따른 안정도 문제만 분석한다.

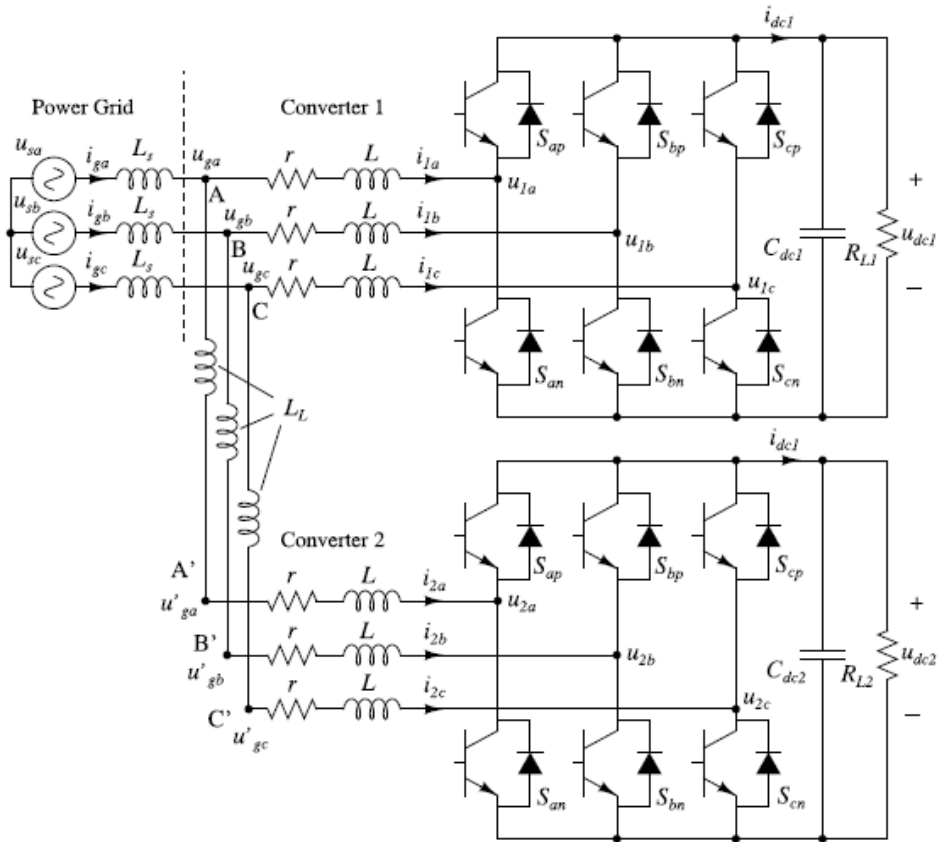


그림 2-35. 시스템 구성도 [64]



「표 2-5」는 참고 문헌 [64]에서 사용된 변수를 나타낸다. 역시, 본 논문 2.1 절에서 소개한 계통 전압과 좌표 변환 정의를 이용하여 재 변환하여 정리한 결과이다. 마지막 행에는 식 (2.3.1)을 이용해 직류단 제어기 이득을 고유 주파수와 댐핑 계수로 변환하여 정리하였다. 해당 논문에서는 계통 선 임피던스의 저항 성분에 대한 언급이 없었기 때문에, X/R 비는 통상적인 값인 5로 가정하였다.

표 2-5. 시스템 정수 [64]

계통 상 전압 ( $V_g$ )	110 V <sub>pk</sub>	계통 주파수	50 Hz
정격 소비 전력 ( $P$ )	6480 W	계통 선 인덕턴스 ( $L_s$ )	1.2 mH (약 6.7%)
필터 인덕턴스 ( $L$ )	3 mH	필터 저항 ( $r$ )	0.01 $\Omega$
직류단 캐패시턴스 ( $C_{dc}$ )	1.2 mF	직류단 전압	360 V
$k_{pc}$	24	$k_{ic}$	100
$k_{pv}$	2.3	$k_{iv}$	29.2
$\omega_{nv}$	$2\pi \times 20$ rad/s	$\zeta_v$	5

「그림 2-36」은 「표 2-5」와 같이 설계된 일정 전력 부하가 단독으로 운전되는 경우(Single CPL)와 2개가 병렬로 운전되는 경우(Paralleled CPL)의 일반화된 나이퀴스트 선도를 나타낸다. 단독으로 운전되는 경우 원점을 감지 않으므로 안정된 반면, 병렬로 운전되는 경우 원점을 감아 시스템이 불안정해짐을 알 수 있다.

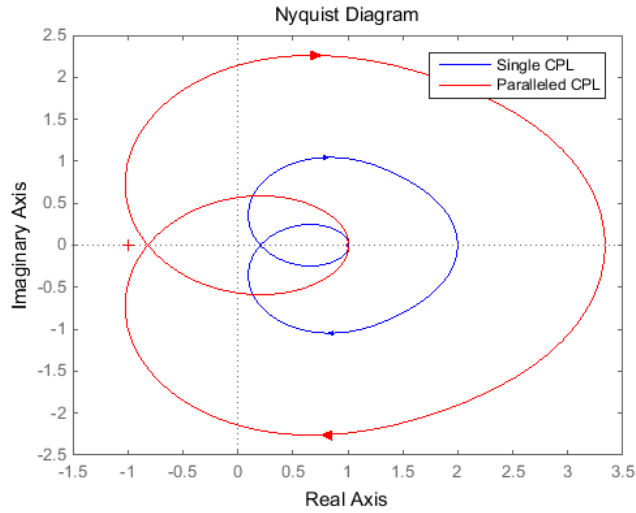


그림 2-36. 일정 전력 부하의 단독/병렬 운전 시 일반화된 나이퀴스트 선도

「그림 2-37」은  $qq$ -임피던스 보드 선도를 나타낸 것이다. 병렬 운전되는 두 일정 전력 부하의 출력 임피던스는 어드미턴스의 합( $\mathbf{Y}_{CPL,1} + \mathbf{Y}_{CPL,2}$ ) 으로부터 계산할 수 있다. 병렬 운전되면, 일정 전력 부하 측 출력 임피던스가 감소하게 되어 계통 선 임피던스와 간섭이 일어나게 된다. 크기가 교차하는 구간 사이에서 위상 여유가 부족하면 나이퀴스트 선도가 원점을 감게 된다.

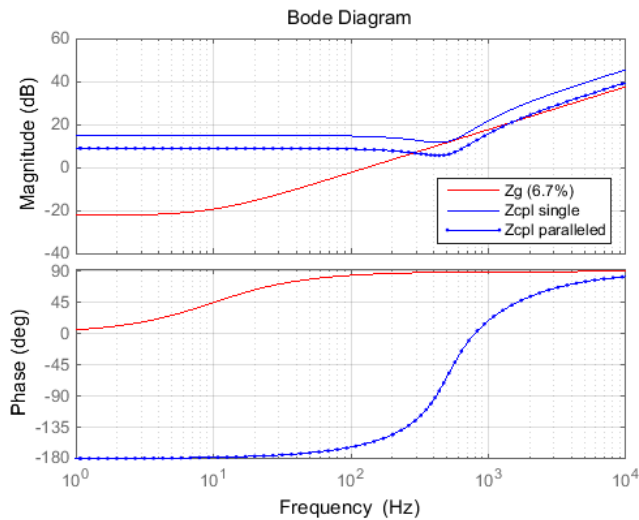


그림 2-37. 일정 전력 부하의 단독 운전, 병렬 운전 시  $qq$ -임피던스

이러한 간섭 문제는 직류단 전압 제어기의 댐핑 계수( $\zeta_v$ )를 조정하면 해결할 수 있다. 기존의 설계에서 댐핑 계수가 지나치게 높게 설계되어 있어, CPL의 위상이 느리게 상승하였다. (그림 2-33 (b) 참고) 이 때문에 교차하는 지점에서 위상 여유 부족을 야기한다. 댐핑 계수를 줄여 임계 감쇠로 설계하면 위상 변화가 더 빠르게 일어나, 위상의 여유뿐만 아니라 크기 역시 여유를 확보할 수 있다. (그림 2-38 참고)

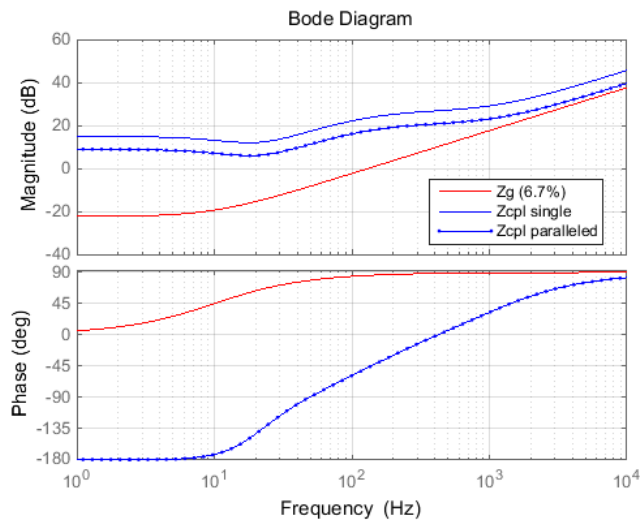


그림 2-38. 임계 감쇠 설계된 일정 전력 부하의 단독/병렬 운전 시  $qq$ -임피던스

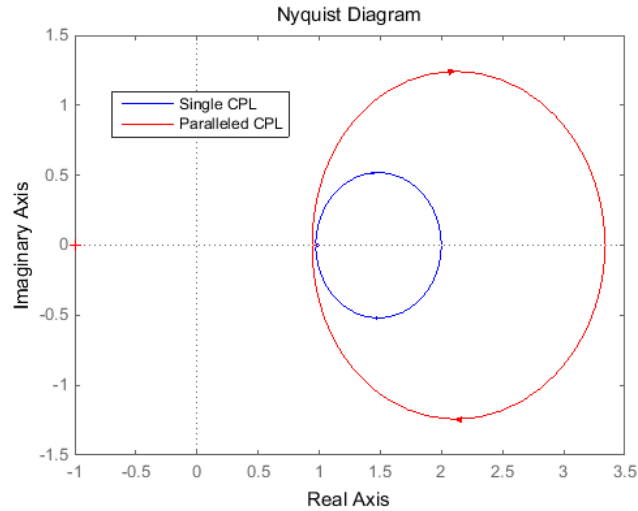


그림 2-39. 임계 감쇠 설계 시 일반화된 나이퀴스트 선도

댐핑 계수를 임계 감쇠로 설계하면, 병렬 운전에도 시스템이 안정해졌음을 「그림 2-39」의 나이퀴스트 선도로 확인할 수 있다.

본 절에서는 일정 전력 부하의  $qq$ -임피던스의 음저항 특성이 불안정을 야기할 수 있음을 확인하였다. 특히 단독으로 운전할 때에는 안정되게 설계하더라도, 병렬로 운전함에 따라 부하 측 출력 임피던스의 크기가 작아지면서 계통 임피던스와의 간섭이 일어날 수 있다. 이러한 크기 간섭이 일어나는 영역에서 위상 여유가 부족한 경우 시스템이 불안정해질 수 있다. 이러한 위상 여유 부족 현상이 직류단 전압 제어기의 댐핑 계수가 과도하게 설계됨으로 발생할 수 있다는 것을 확인하였고, 댐핑 계수를 조절함으로써 시스템이 안정해질 수 있음을 확인하였다.

## 2.4 단독 운전 검출 기법 적용에 따른 불안정 현상

‘단독 운전 (Islanding)’은, 「그림 2-40」과 같이 주 계통의 전력 공급이 차단된 상태에서, 태양광이나 풍력, 배터리, 발전기 등을 에너지원으로 하는 분산 전원이 연결된 부하에 전력을 계속 공급하여, 독립된 전력 시스템이 구성된 상황을 일컫는다. 이러한 단독 운전은 계통 사고 상황에서 보호 회로 장비의 동작이 발생하거나, 유지 보수 등을 위하여 정전하였을 때, PCS가 이를 감지하지 못하고 전력을 공급하여 발생할 수도 있다.

의도치 않은 단독 운전은, 계통 선로 작업자의 사고 위험, 계통 전압의 변동으로 인한 부하 손상, 전력 계통 재 접속 (Reclosing) 시 위상 동기화 불능으로 인한 2차 사고 등의 위험을 발생시킨다. 따라서, 분산 전원에는 사용되는 PCS는 이러한 단독 운전 상황을 검출할 수 있는 ‘단독 운전 검출 기법 (Anti-islanding)’을 반드시 갖추고 있어야 한다. 단독 운전 검출 시, 계통으로의 전력 공급을 차단할 수도 있고, 설계에 따라 중요 부하에만 전력을 공급하게 만들 수 있다.

「표 2-6」은 국내외 분산 전원 접속 규정에서 요구하는 단독 운전 검출 시간을 나타낸다.

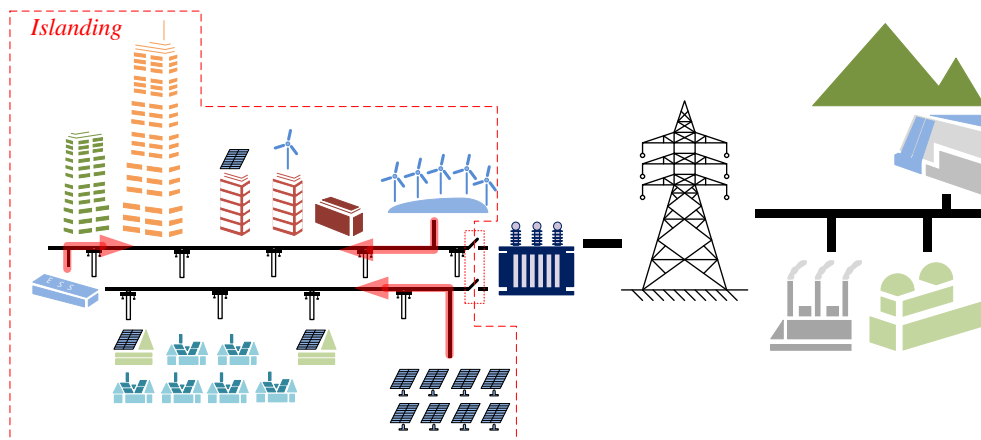


그림 2-40. 단독 운전의 예시

표 2-6. 단독 운전 검출 요구 시간

규정	최대 분리 시간
국내 규정 [76]	0.5 초
IEEE Std 929-2000 [77]	2 초
IEEE Std 1547 [78]-[80]	2 초
UL Std 1741 [81]	2 초
DIN-VDE Std 0126-1-1 [82]	5 초

단독 운전 검출 기법에는 다양한 방법이 있고, 「그림 2-41」에 대표적인 단독 운전 검출기법을 정리하였다. 이 중 능동형 검출 기법으로 분류되는 양성(Positive) 피드백에 기반한 방법은 계통 분리 시 양성 피드백 루프의 동작으로 인해 계통 전압의 크기 혹은 주파수를 변동시켜 단독 운전을 검출하게 된다. 즉, 단독 운전 발생 시 계통 시스템을 불안정하게 만들어 전압이나 주파수가 유지될 수 없도록 작동한다.

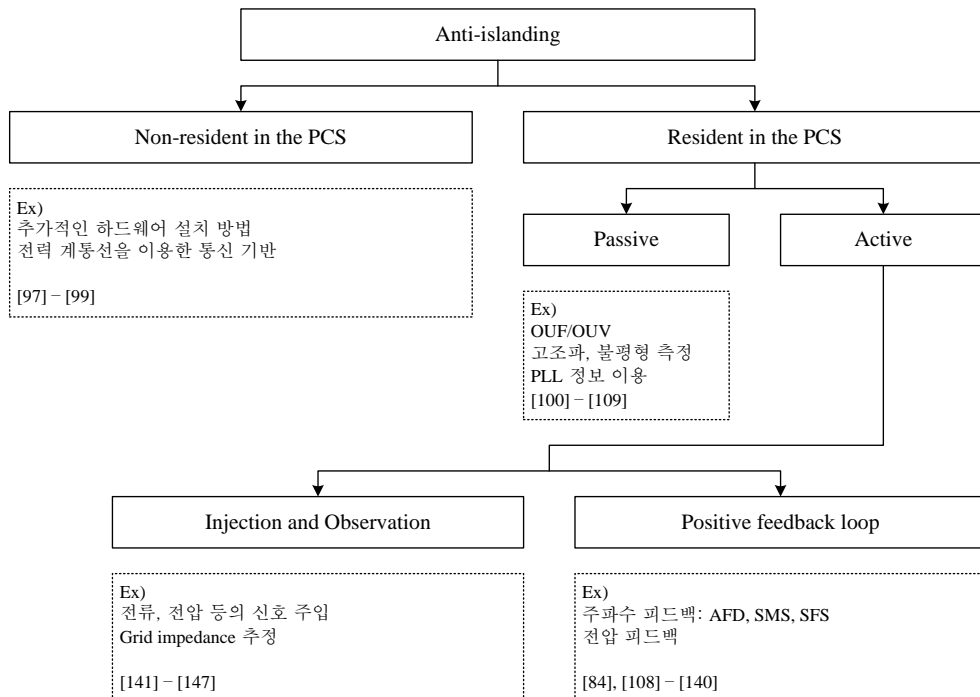


그림 2-41. 단독 운전 검출 기법의 분류

양성 피드백 방식의 경우, 계통 연계 동작 시 모선의 전압을 유지해 줄 수 있는 이상적인 전압원의 존재를 가정하고 있다. 이상적인 전압원은 PCS의 양성 피드백이 작동하여도 계통 전압의 크기와 주파수를 유지하는 역할을 한다. 이러한 전압원이 분리되는 단독 운전 발생 시, 계통 전압의 크기와 주파수는 크게 변동하게 된다.

하지만 본 논문에서 다루는 약한 계통은 상대적으로 큰 전원 임피던스를 포함하고 있어, PCS 접속점에서 이상적인 전압원의 특성을 보여주지 못하게 된다. 따라서 양성 피드백 방식을 적용한 PCS가 운전되는 경우, 전압원이 연결되어 있더라도 접속단 계통 전압이 불안정해질 수 있다.

본 절에서는 배전 계통에 접속되는 PCS에 널리 사용되고 있는 주파수 양성 피드백 기반 검출 기법, 또는 주파수 이동 검출 기법의 적용에 따른 계통 전압의 안정도를 살펴본다.

#### 2.4.1 주파수 이동 검출 기법

‘주파수 이동 검출 기법 (Frequency drift method)’은 계통 주파수를 제한하여 양성 피드백 루프를 구성하는 방식을 일컫는다. 양성 피드백의 작용으로 단독 운전 발생 시 계통 전압의 주파수가 발산하여 정상 운전 범위를 벗어나게 되면, OUF (Over/Under Frequency) 릴레이가 동작하여 단독 운전을 검출하게 된다.

주파수 이동 검출 기법은 주로 태양광을 전원으로 하는 단상 PCS에서 연구되었다. 추정된 계통 주파수를 전류 지령의 위상에 제환(Feedback)하며, 이 때 전류 지령은 식 (2.4.1)과 같다.

$$i^* = -I_{pk} \sin(\omega_h t + \theta_{FDM}). \quad (2.4.1)$$

여기서,  $i^*$ 는 전류 지령,  $I_{pk}$ 는 상전류 지령의 최대 크기,  $\omega_h$ 는 추정된 계통 각 주파수를 의미한다.

$\theta_{FDM}$ 은 피드백 성분으로 계통 주파수의 함수이며, 대표적인 방법에 대

해서 「표 2-7」에 정리하였다. AFD의  $t_z$ 는 임의로 삽입하는 영전류 구간(zero time)의 시간을 의미한다. SFS의  $cf_0$ 는 ‘chopping factor’로 정의하며, 전압 주파수의 반 주기와 영전류 구간의 비를 의미한다. SMS의  $\theta_m$ 과  $f_m$ 은 설계 계수다[110].

표 2-7. 대표적인 주파수 이동 검출 기법의  $\theta_{FDM}$  [110]

Active Frequency Drift (AFD)	$\theta_{AFD} = \pi f t_z$
Sandia Frequency Shift (SFS)	$\theta_{SFS} = \frac{\pi}{2} [cf_0 + k(f_h - f_g)]$
Slip-Mode frequency Shift (SMS)	$\theta_{SMS} = \theta_m \sin\left(\frac{\pi}{2} \frac{f_h - f_g}{f_m - f_g}\right)$

이러한 방법을 3상 PCS에 확장하기 위해서는 모든 상의 전류 지령에 동일한 피드백 성분을 적용하는 방법을 생각할 수 있다. 이 경우, 전류 지령은 아래와 같이 나타낼 수 있으며, 「그림 2-42」와 같이 전류 벡터가  $\theta_{FDM}$ 만큼 회전되는 것으로 표현할 수 있다.

$$\begin{aligned}
 i_{as}^* &= -I_{pk} \sin(\omega_h t + \theta_{FDM}) \\
 i_{bs}^* &= -I_{pk} \sin\left(\omega_h t - \frac{2}{3}\pi + \theta_{FDM}\right), \\
 i_{cs}^* &= -I_{pk} \sin\left(\omega_h t + \frac{2}{3}\pi + \theta_{FDM}\right)
 \end{aligned} \tag{2.4.2}$$

$$\begin{bmatrix} i_{ds}^{s*} \\ i_{qs}^{s*} \end{bmatrix} = \begin{bmatrix} -I_{pk} \sin(\omega_h t + \theta_{FDM}) \\ I_{pk} \cos(\omega_h t + \theta_{FDM}) \end{bmatrix}, \tag{2.4.3}$$

$$\begin{bmatrix} i_{ds}^{e*} \\ i_{qs}^{e*} \end{bmatrix} = \begin{bmatrix} -I_{pk} \sin \theta_{FDM} \\ I_{pk} \cos \theta_{FDM} \end{bmatrix}. \tag{2.4.4}$$



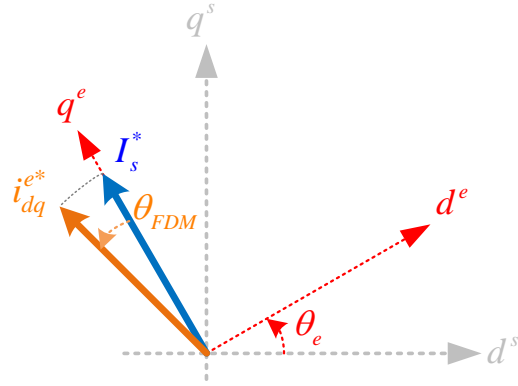


그림 2-42. 3상 PCS의 주파수 이동 검출 기법 구현 - 전류 벡터 회전

하지만, 참고 문헌 [139]와 [140]에서 연구된 바로는 유효 전력 성분에 귀환되는 주파수 성분은 단독 운전 후 주파수 이동에 기여하지 못한다. 따라서, 무효 전력 성분의 피드백 성분만을 적용하여도 3상 PCS에서는 주파수 이동 검출 기법을 구현할 수 있다. 이 때 전류 지령은 식 (2.4.5)와 같으며, 단독 운전 검출을 위한 피드백 성분은 「그림 2-43」과 같이 무효 전력 성분으로 표현될 수 있다.

$$\begin{bmatrix} i_{ds}^{e*} \\ i_{qs}^{e*} \end{bmatrix} = \begin{bmatrix} -I_{pk} \sin \theta_{FDM} \\ I_{pk} \end{bmatrix}. \quad (2.4.5)$$

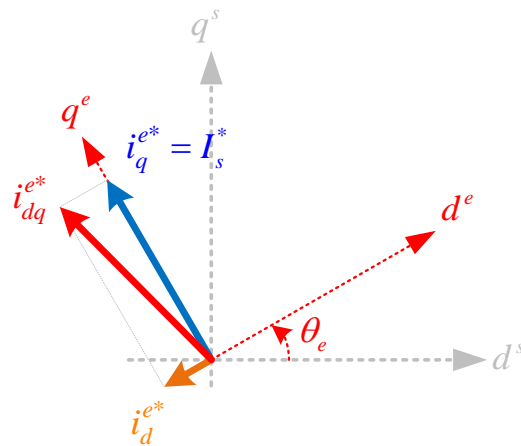


그림 2-43. 3상 PCS의 주파수 이동 검출 기법 구현 - 무효 전력 주입

또한, 참고 문헌 [140]에 따르면 다양한 주파수 이동 기법에 의해 주입되는 무효 전력 성분은 식 (2.4.6)과 같이 추정된 계통 주파수의 선형 함수로 나타낼 수 있다.

$$\begin{bmatrix} i_{ds}^{e*} \\ i_{qs}^{e*} \end{bmatrix} = \begin{bmatrix} [a_0 + a_1(f_h - f_g)] I_{pk} \\ I_{pk} \end{bmatrix}. \quad (2.4.6)$$

$a_0$ 와  $a_1$ 은 피드백 함수의 계수,  $f_h$ 는 추정된 주파수,  $f_g$ 는 공칭 계통 주파수를 의미한다. 「표 2-8」에 대표적인 주파수 이동 기법에 대한 선형 함수의 계수를 정리하였다.

표 2-8. 대표적인 주파수 이동 검출 기법의 무효 전력 선형 함수 계수 [140]

	AFD	SFS	SMS
$a_0$	$\pi f_g t_z$	$-\frac{\pi}{2} c f_0$	0
$a_1$	$-\pi t_z$	$-\frac{\pi}{2} k$	$-\theta_m \frac{\pi}{2(f_m - f_g)}$

특히 주파수 이동 검출 기법에 의한 불안정성은 계수  $a_1$ 에 의해 영향을 받게 되므로, 본 논문에서는 식 (2.4.7)의 피드백 함수를 기반으로 분석을 진행한다. 계수  $a_0$ 은 직류 성분에 영향을 미치므로 정상 상태에서의 무효 전력 값을 결정한다.

$$i_{ds}^{e*} = -K_{aid}(\omega_h - \omega_g). \quad (2.4.7)$$

$K_{aid}$ 는 단독 운전 검출 함수의 양성 피드백 이득,  $\omega_h$ 는 추정된 계통 각 주파수,  $\omega_g$ 는 공칭 계통 각 주파수를 의미한다.

양성 피드백 이득  $K_{aid}$ 가 클수록, 더 큰 *Quality factor*( $Q_f$ )를 갖는 부하를 검출할 수 있는 것으로 알려져 있다. 참고 문헌 [135]의 설계 기준을

참고하면, 검출하려는 부하의  $Q_f$  를 기준으로 다음과 같이 피드백 이득을 설계할 수 있다.

$$K_{aid} = 2 \frac{Q_{f,set}}{\omega_{res,set}} I_{pk}. \quad (2.4.8)$$

$Q_{f,set}$  은 검출하려는 부하의 *Quality factor* 설계 값,  $\omega_{res,set}$  은 부하의 공진 주파수를 의미한다.  $Q_{f,set}$  은 (2.4.8)로 계산된 피드백 이득에서  $Q_{f,set}$  값 이하의 *Quality factor*를 갖는 부하의 단독 운전을 검출할 수 있다는 의미를 가진다. 통상  $\omega_{res,set}$  은 공칭 주파수로 설정되며 이 경우가 단독 운전 검출의 최악 조건이 된다.

#### 2.4.2 주파수 이동 검출 기법을 고려한 PCS 임피던스 모델

주파수 이동 검출 기법은  $d$ 축 전류 지령에 주파수에 대한 함수를 케환하게 된다. 대신호 모델은 식 (2.4.7)과 같으며, 정상 상태 값과 작은 섭동을 고려하면 식 (2.4.9)로 표현할 수 있다. 소신호 모델은 식 (2.4.10)과 같다. 2.1 절과 같이 시스템 좌표와 PCS 좌표를 분리하여 표현하기 위하여 지령의 윗 첨자는 ‘ $h$ ’로 표기하였다.

$$I_{ds}^{h*} + \Delta i_{ds}^{h*} = -K_{aid} \left[ (\bar{\omega}_h + \Delta \omega_h) - \bar{\omega}_g \right], \quad (2.4.9)$$

$$\Delta i_{ds}^{h*} = -K_{aid} \Delta \omega_h = K_{aid} s G_{pll} \Delta e_d^e. \quad (2.4.10)$$

$\Delta \omega_h$  는 2.1 절 식 (2.1.26)으로부터  $\Delta e_d^e$  의 함수로 표현 가능하다.  $G_{pll}$  은 식 (2.1.26)에서 정의를 확인할 수 있다.

본 절의 분석은 간단히 「그림 2-44」와 같이 전류 제어기와 PLL, 주파수 이동 검출 기법만을 고려하며, 이 때 PCS의 어드미턴스 행렬은 식 (2.4.11)과 같이 계산된다.

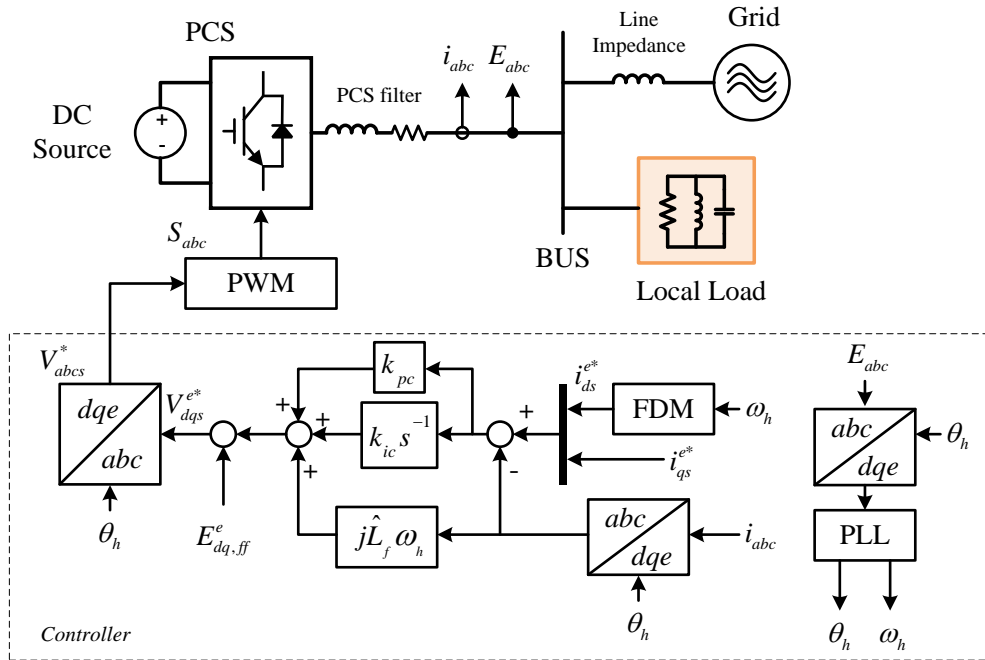


그림 2-44. 주파수 검출 기법을 고려한 시스템 제어도

$$\mathbf{Y}_i = \begin{bmatrix} g_{lcc}^{-1}(1 - g_{pll} - g_{aid}) & 0 \\ 0 & g_{lcc}^{-1} \end{bmatrix}. \quad (2.4.11)$$

여기서,  $g_{aid} = \left( k_{pc} + \frac{k_{ic}}{s} \right) K_{aid} s \frac{k_{pp}s + k_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}}$  와 같다.

「그림 2-45」는 주파수 이동 검출 방식의 양성 피드백 이득을 변화시키면서 PCS  $dd$ -임피던스의 변화를 도시한 것이다. 양성 피드백 이득은 대표 값인  $Q_{f,set}$  으로 표시하였다. 양성 피드백 이득이 커짐에 따라 PCS의  $dd$ -임피던스의 크기는 점차 감소하며, 위상이  $-180$ 도 이하인 구간이 늘어나게 된다. 보드 선도 상의 화살표는 위상이  $-180$ 도보다 낮은 값을 갖는 영역을 나타낸다.

위상이  $-180$ 도보다 낮은 값을 갖는 영역에서 계통 측 임피던스와 크기가 겹친다면, 위상이 충분한 여유를 확보하지 못하기 때문에, 불안정이

발생하게 된다. 특히, 이러한 현상은 약한 계통(Weak grid)에서 더 쉽게 발생할 수 있음을 알 수 있다. (그림 2-45 (b) 참고) 본 절에서는 5%의 전원 임피던스를 갖는 계통을 강한 계통(Strong grid)으로 정의하였으며, 약한 계통은 50%의 전원 임피던스를 갖는 것으로 가정하였다.

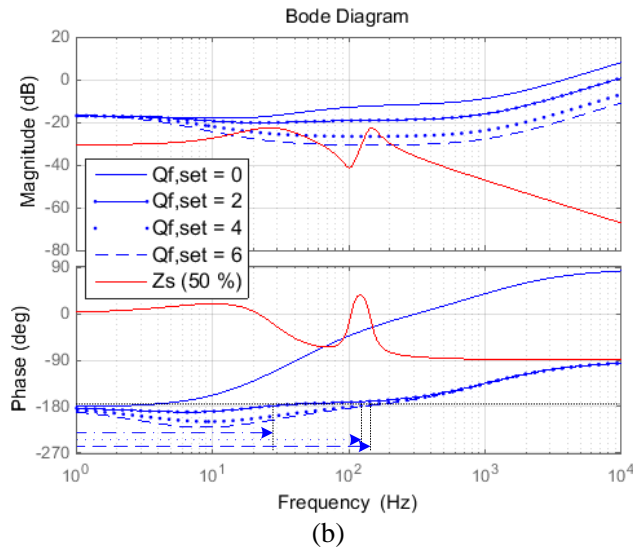
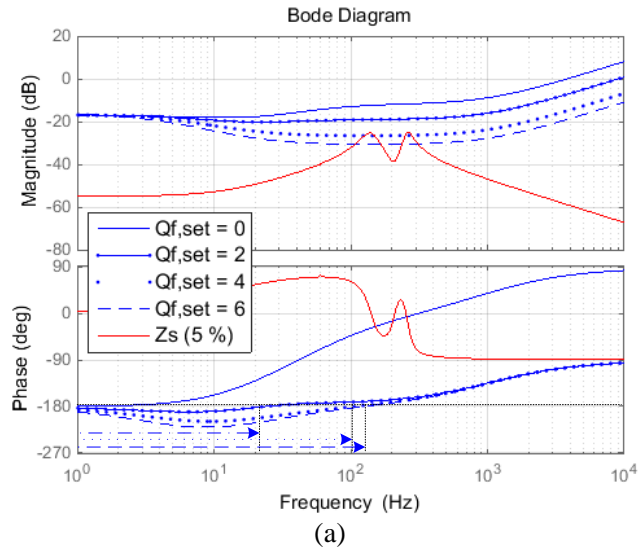
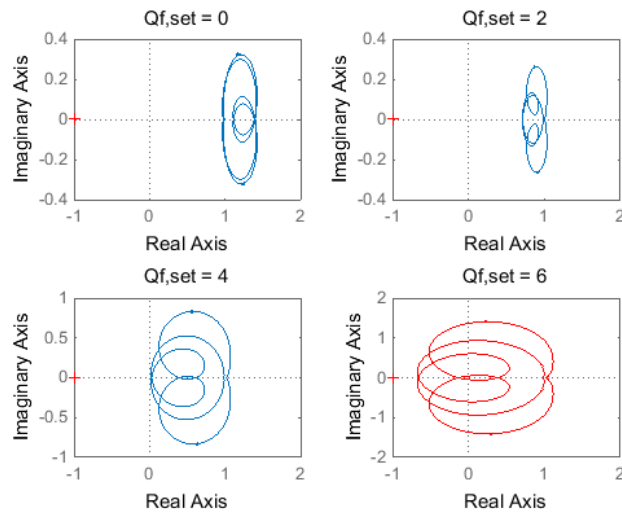


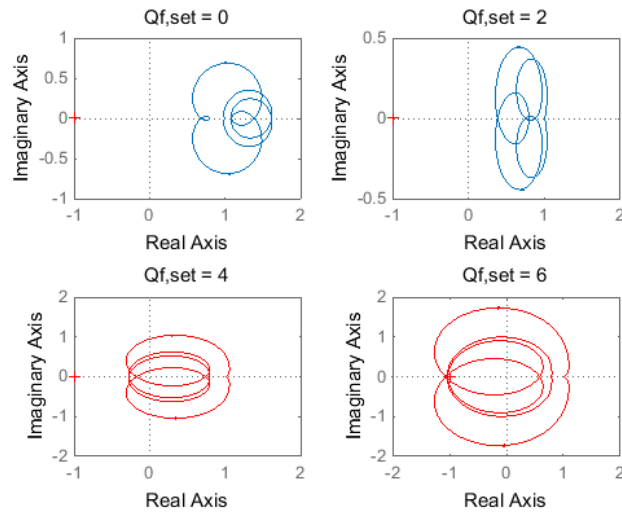
그림 2-45.  $dd$ -임피던스의 보드 선도

(a) 강한 계통 (Strong grid), (b) 약한 계통 (Weak grid)

「그림 2-46」은 일반화된 나이퀴스트(generalized Nyquist) 선도를 나타낸다. 같은 양성 피드백 이득( $Q_{f,set} = 4$ )을 사용했음에도 불구하고, 강한 계통에서는 나이퀴스트 선도가 원점을 감지 않는데 반하여, 약한 계통에서는 나이퀴스트 선도가 원점을 감아 시스템이 불안정해진다. 따라서 약한 계통에서 주파수 이동 검출 기법을 적용할 때, 적절한 양성 피드백 이득을 선정하는 것이 중요함을 알 수 있다.



(a)



(b)

그림 2-46. 일반화된 나이퀴스트 선도 (a) 강한 계통 (b) 약한 계통

만일 충분한 양성 피드백 이득을 선정하지 않아 부하의 *Quality factor*가  $Q_{f,set}$  보다 큰 경우, 단독 운전 시 주파수를 이동시키지 못하여 단독 운전 검출에 실패한다. 반면 너무 큰 양성 피드백 이득을 사용할 경우, 앞서 살펴본 바와 같이 접속점 계통 전압의 불안정성을 초래하여 시스템 운전을 불가능하게 만든다.

### 2.4.3 PLL 설계와 양성 피드백 이득에 의한 안정도 분석

2.2 절에서 이미 PLL 설계에 따라 시스템의 안정도가 변할 수 있음을 확인하였다. 또한 2.4.2 절을 통해서 더 높은 양성 피드백 이득은 시스템 안정도를 해칠 수 있음을 확인하였다.

참고 문헌 [132]에서는 계통 임피던스의 크기, X/R 비, 부하의 소비 전력 등을 고려하여 양성 피드백 이득에 따른 접속점 계통 전압의 안정성에 대한 연구가 수행되었다. 그러나 PLL 설계에 따른 안정도 분석은 수행되지 않았다. 따라서 본 절에서는 PLL 설계에 따라서 시스템을 안정하게 운영할 수 있는 양성 피드백 이득에 대한 분석을 진행한다.

식 (2.4.11)의  $g_{aid}$  항에서 알 수 있듯이, 주파수 이동 검출 기법 적용 시 양성 피드백 이득 외에도 PLL 설계가 임피던스 변화에 영향을 미치게 된다. 이 절에서는 2.2 절의 PLL 분석에서와 마찬가지로 고유 주파수와 댐핑 계수를 기반으로 PLL 이득을 나타낸다. 「그림 2-45」와 「그림 2-46」의 분석에서는 고유 주파수는  $2\pi \times 10$  rad/s, 댐핑 계수는  $1/\sqrt{2}$ 로 설정하였다. 2.2 절에서 설명한 바와 같이, 댐핑 계수가 임피던스의 크기 변화와 위상 변화에 큰 영향을 미치므로 PLL의 댐핑 계수 설계에 따라 분석을 진행한다.

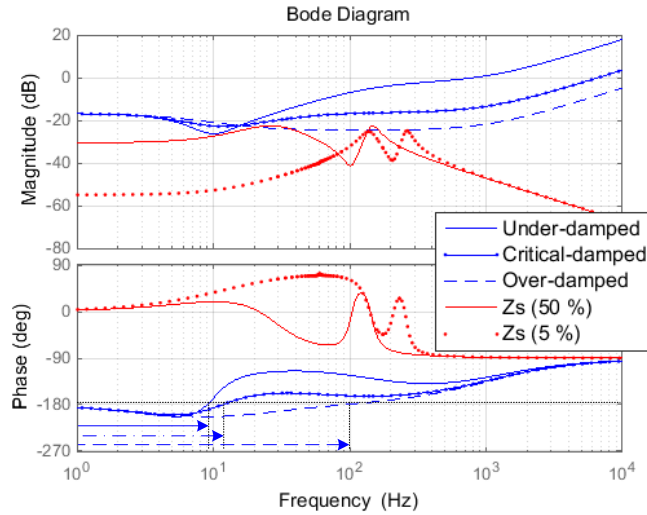


그림 2-47. PLL 댐핑 계수 설계에 따른 PCS  $dd$ -임피던스의 보드 선도 변화

「그림 2-47」은 PLL의 댐핑 계수 변화에 따른  $dd$ -임피던스 변화를 도시한 것이다. 양성 피드백 이득은  $Q_{f,set} = 3.3$ 으로 고정되었다. 임계 감쇠 (Critical damping)와 비교하여 부족 감쇠(Under damping,  $\zeta_p = 1/2\sqrt{2}$ ) 설계 시, PLL의 고유 주파수에서 피크 증가로 인해 PCS의  $dd$ -임피던스 크기가 감소하게 되지만 위상이  $-180$ 도 이하인 영역은 다소 줄어들게 된다.  $dd$ -임피던스 크기가 줄어들면 약한 계통의 계통 측 임피던스와 겹치는 구간이 발생하며, 이 때 위상 여유(Phase margin)가 부족한 경우 시스템의 불안정을 초래하게 된다.

과감쇠(Over damping,  $\zeta_p = \sqrt{2}$ ) 설계 시, PLL 고유 주파수에서의 피크 크기는 크게 변화하지 않지만, 그보다 큰 주파수 영역에서 전반적으로 크기가 작아지게 된다. 또한, 위상이  $-180$ 도 이하인 영역이 증가함을 알 수 있다. 전반적인 크기 감소로 인해 계통 측 임피던스와 크기 간섭이 발생할 수 있으며,  $-180$ 도 이하인 영역 역시 증가하여 위상 여유 부족으로 인해 시스템의 불안정을 초래하게 된다.



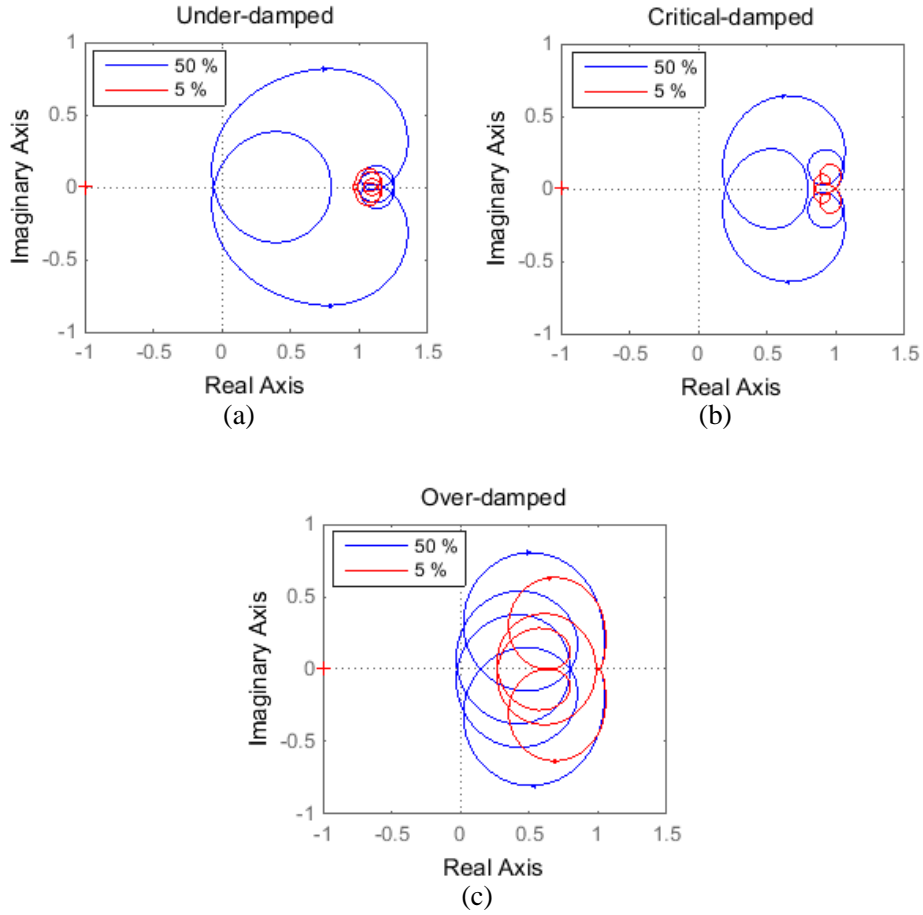


그림 2-48. PLL 댐핑 계수 설계에 따른 일반화된 나이퀴스트 선도  
(a) 부족 감쇠 (b) 임계 감쇠 (c) 과감쇠

「그림 2-48」은 일반화된 나이퀴스트 선도를 도시한 것이다. 약한 계통 조건에서는 비록 같은 양성 피드백 이득을 사용했음에도 불구하고, PLL 설계에 따라서 시스템을 안정하게 운영할 수 없음을 확인할 수 있다. 반면, 강한 계통 조건에서는 모든 경우에 대해 안정하므로, 특히 약한 계통 조건에서 PLL 설계와 양성 피드백 이득을 적절하게 설정해야 함을 알 수 있다.

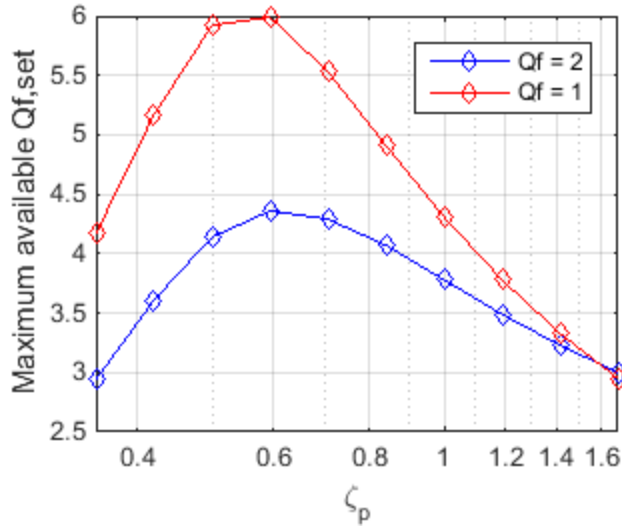


그림 2-49. PLL 댐핑 계수 설계에 따른 최대 허용 가능한 양성 피드백 이득

「그림 2-49」는 PLL 댐핑 계수의 설계에 따라 약한 계통에서 시스템의 안정된 운용을 위해, 최대로 허용 가능한 양성 피드백 이득( $Q_{f,set}$ )을 도사한 것이다. 위 그림은 일반화된 나이퀴스트 분석을 바탕으로 분석되었다. 댐핑 계수를 고정하고 양성 피드백 이득을 증가시키며 나이퀴스트 선도가 원점을 감아 불안정해지는 지점을 찾아 도사하였다.

참고 문헌 [132]에 따르면, 높은 *Quality factor*의 부하를 가질수록 허용 가능한 양성 피드백 이득이 증가한다. 하지만 「그림 2-49」는 오히려 *Quality factor*가 낮은 부하에서 더 높은 양성 피드백 이득의 사용이 가능하다. 참고 문헌 [132]에서는 PLL 설계를 고려하지 않았기 때문에 이러한 차이가 발생하게 된다.

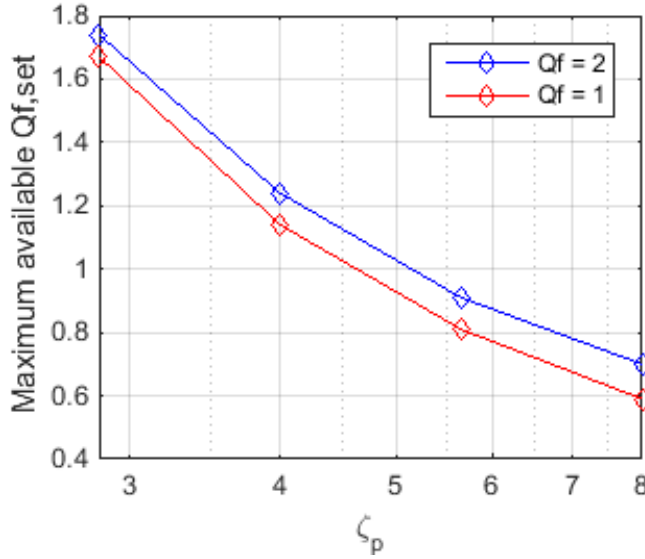


그림 2-50. PLL 댐핑 계수 설계에 따른 최대 허용 가능한 양성 피드백 이득 - 과감쇠

「그림 2-49」의 오른쪽 영역을 확장하여 도시한 「그림 2-50」의 분석을 통해 이러한 차이를 설명할 수 있다. 「그림 2-50」은 댐핑 계수를 크게 설계한 경우에 대해서 약한 계통의 최대 허용 양성 피드백 이득을 도시한 것이다. 댐핑 계수가 과감쇠로 크게 설계된 경우, 높은 *Quality factor*의 부하가 연결되는 경우 양성 피드백 이득의 허용 가능 값이 크다는 것을 알 수 있다. 참고 문헌 [132]에서는 PLL이 과감쇠로 댐핑 계수가 크게 설계 되어 있다. 즉, 「그림 2-50」의 과감쇠 경우에 대해서 부하의 *Quality factor*와 양성 피드백 이득의 관계만을 분석한 것이다.

그러나, 「그림 2-50」의 분석 결과를 보면 최대로 설정할 수 있는 양성 피드백 이득 대표 값인  $Q_{f,set}$ 이 부하의 *Quality factor*보다 작은 영역이 존재함을 알 수 있다.  $Q_{f,set}$ 이 연결된 부하의 *Quality factor*보다 작은 경우, 안정된 운전은 가능하나 단독 운전은 검출할 수 없게 된다. 따라서 이를 극복하기 위한 방안이 필요하다.

본 절에서는 주파수 이동 검출 기법을 적용한 PCS의 양성 피드백 이득이 PLL 설계에 따라 제한됨을 분석하였다. 양성 피드백 이득의 제한은 약한 계통에서 더 크게 발생하므로 PLL 설계와 함께 고려되어 신중히 선택되어야 한다. 특히 과감쇠로 설계된 PLL의 경우 댐핑 계수가 일정 값을 넘어가면, 부하의 단독 운전 검출이 불가능한 양성 피드백 이득의 값만이 허용될 수도 있음을 확인하였다.

## 제 3 장 안정된 PCS 연계 운전을 위한 제어기 설계

본 장에서는 2장에서 소개한 제어기 설계에 따른 불안정 현상을 보다 면밀하게 분석한다. 또한 이러한 분석을 바탕으로 PCS 연계 시 안정된 운전이 가능한 제어기 설계 방안에 대해서 서술한다. 분석 결과를 검증하기 위한 모의 실험의 수행 결과 역시 도시한다.

또한, 분석 결과를 바탕으로 약한 계통이 구성되는 경우, 연결되는 분산형 전원 혹은 부하의 PCS 임피던스 설계 가이드를 제시한다.

### 3.1 위상 동기화 제어기 설계

2.2 절에서는 기존 문헌에 보고된 사례를 바탕으로 PCS를 기반으로 한 분산 전원에서 발생할 수 있는 불안정 현상에 대해서 분석하였다. 전력을 생산하는 PCS는 위상 동기화 제어기(PLL)의 동작을 고려하였을 때,  $dd$ -임피던스가 음저항 특성을 가진다. 이로 인하여, PLL 설계에 따라서 계통 및 부하의  $dd$ -임피던스와 간섭이 발생하여 시스템을 불안정하게 만든다.

본 절에서는 2.2 절에서 다루었던 계통 임피던스, 계통 선 X/R 비, 부하 용량 변화를 고려하여, PLL 설계 계수 변화에 따른 안정도 변화를 보다 자세히 분석한다. 분석 결과를 바탕으로 안정된 운전을 하기 위한 PLL 설계를 제안한다. 또한 모의 실험을 통하여 분석 결과를 확인한다.

「그림 3-1」은 본 절에서 분석할 회로의 구성도다. 분석에 사용된 PCS의 시스템 정수는 「표 3-1」에 표시하였다.

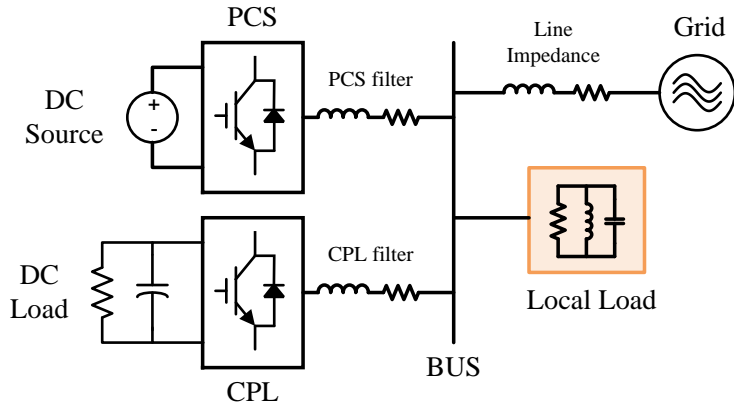


그림 3-1. 계통 연계 PCS와 부하가 계통연계모선에 연결된 시스템 구성도

표 3-1. PCS의 시스템 정수

계통 선간 전압	380 V <sub>rms</sub>	계통 주파수	60 Hz
일정 전력 부하 정격 소비 전력	1 MW	직류단 전압	650 V
필터 인덕턴스 ( $L_f$ )	38.3 $\mu$ H (10 %)	필터 저항	1.4 m $\Omega$ (1 %)
$k_{pc}$	0.24	$k_{ic}$	4.54

### 3.1.1 계통 임피던스 크기와 PLL 설계

2.2 절 「그림 2-26」에서 살펴보았듯이, 계통 측 설비를 증가시키지 않으면서 PCS와 부하의 용량을 증대시키는 경우 상대적인 선 임피던스의 크기가 증가하게 된다. 선 임피던스가 증가함에 따라 부하의 공진 주파수 이하에서 계통 측 임피던스( $Z_s$ , 계통 선 임피던스 + 부하 임피던스)가 커지게 된다. 이 때, PCS의 PLL이 부족 감쇠로 설계된 경우 간섭 현상을 일으킬 수 있다는 점을 「그림 2-30」을 통해 확인하였다. 이 때 부하는 RLC 병렬 회로만 고려하였다.

「그림 3-2」는 「그림 2-30」에서 분석한 조건에 대한 모의 실험 결과다. 동일하게 부족 감쇠( $\zeta_p = 0.084$ ,  $\omega_{np} = 2\pi \times 10$  rad/s)로 설계된 PLL을 사용하였으나, 계통 선 임피던스가 증가할 때 접속점의 계통 전압이 유지되지 못하여 시스템이 불안정해진다.

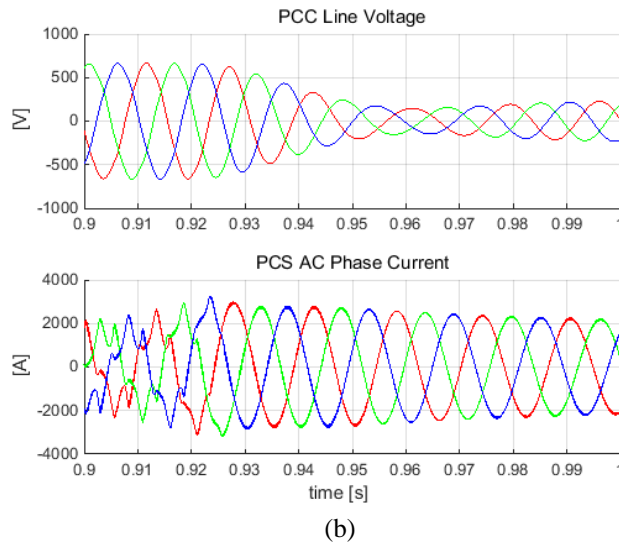
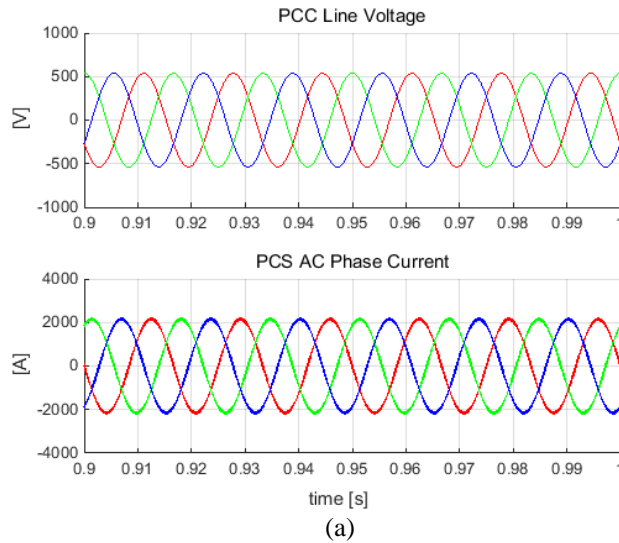


그림 3-2. 계통 선 임피던스 변화에 따른 모의 실험 결과

(a)  $Z_g = 5\%$ , (b)  $Z_g = 50\%$

과감쇠로 설계된 PLL을 사용하는 경우, PLL의 설계 고유 주파수에서 크기 피크를 만들지 않기 때문에 큰 값의 댐핑 계수를 사용하여도 안정하다. 반면, 부족 감쇠로 설계된 PLL의 경우, 고유 주파수에서 발생하는 크기 피크로 인하여 계통 선 임피던스와 간섭이 발생하게 되어 안정된 운전을 위한 최소 값을 결정하여야 한다.

계통 선 임피던스 변화에 따라 가능한 PLL의 설계 범위를 분석하여 「그림 3-3」에 도시하였다. 「그림 3-3」은  $\omega_{np}$ 에 따른 사용 가능한 최소 댐핑 계수( $\zeta_{p,\min}$ )를 나타낸다. 「그림 3-3」의 결과는 계통 선 임피던스의 증가에 따른 최소 댐핑 계수가 일정한 경향을 보이지 않음을 알 수 있다. 먼저, 참고 문헌 [80]에서 설정한 PLL 고유 주파수 근처 주파수 (1~5 Hz)에서는 계통 선 임피던스가 커짐에 따라 사용할 수 있는 최소 댐핑 계수가 증가하는 것을 알 수 있다. 따라서, 참고 문헌 [80]과 같이 계통 선 임피던스의 상대적인 값이 100 %까지 증가하는 경우, 사용 가능한 최소 댐핑 계수는 더욱 커질 것을 예상할 수 있다. 반면, 고유 주파수를 15 Hz 이상으로 설계하는 경우, 오히려 더 높은 계통 선 임피던스를 갖는 경우 사용할 수 있는 최소 댐핑 계수가 감소한다.

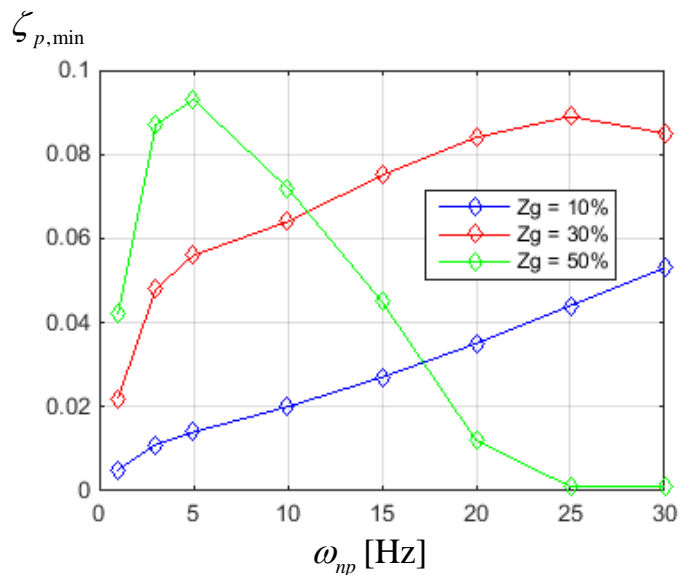


그림 3-3. 계통 선 임피던스 및  $\omega_{np}$  변화에 따른 최소  $\zeta_p$



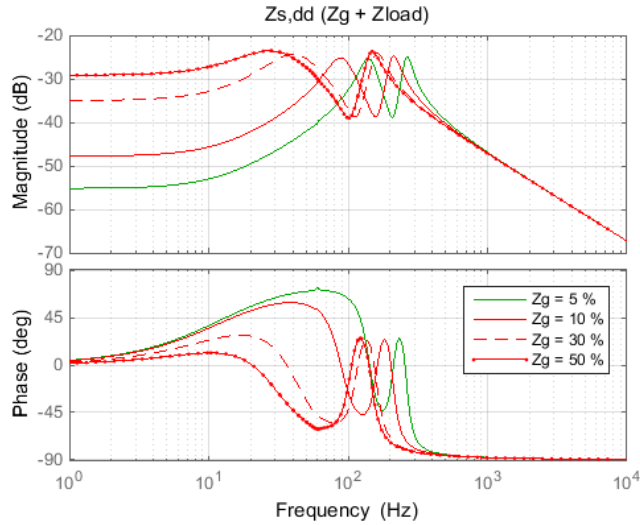


그림 3-4. 계통 선 임피던스 변화에 따른  $Z_{s,dd}$   
 $(X/R \text{ 비} = 5, Q_f = 2, P_{load} = 1 \text{ MW})$

이러한 경향은 계통 측  $dd$ -임피던스의 보드 선도로부터 분석할 수 있다. 「그림 3-4」에 선 임피던스 변화에 따른 계통 측 임피던스(선 + 부하)를 다시 도시하였다.

먼저, 고유 주파수( $\omega_{np}$ )를 5 Hz 이하로 설계한 경우, 해당 주파수 영역에서 계통 측 임피던스의 주파수 응답은 선 임피던스 크기 변화에 따른 위상 변화가 크지 않다. 따라서 PCS와 계통 측 임피던스 크기의 간섭이 주요한 불안정 요인으로 작용하며, 더 큰 선 임피던스를 갖는 계통 측 임피던스와 간섭이 쉽게 일어난다.

반면, 고유 주파수를 15 Hz 이상으로 설계한 경우, 선 임피던스의 주파수 응답에서 위상 변화가 크게 일어난다. 선 임피던스가 5 %, 10 %인 경우에는 15 Hz ~ 30 Hz 영역에서 위상 차이가 크지 않아, 주파수 응답의 크기가 커질수록 PCS와 간섭이 쉽게 일어난다. 따라서 「그림 3-3」에서와 같이 높은 선 임피던스에서 사용할 수 있는 댐핑 계수의 영역이 늘어나게 된다. 선 임피던스가 30 %, 50 %로 점차 증가하는 경우, 위상이 0도

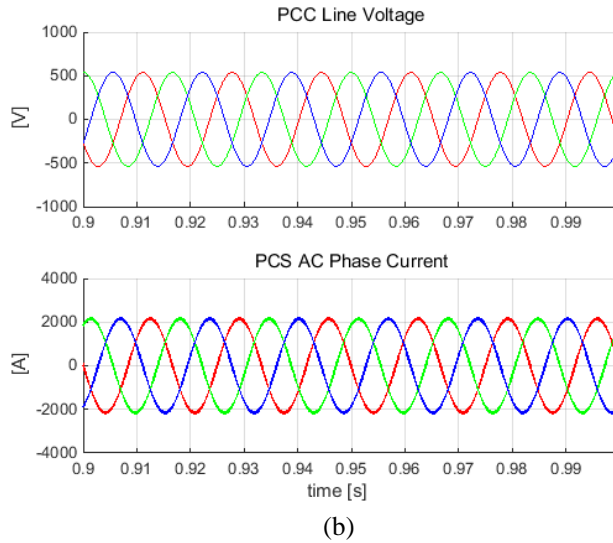
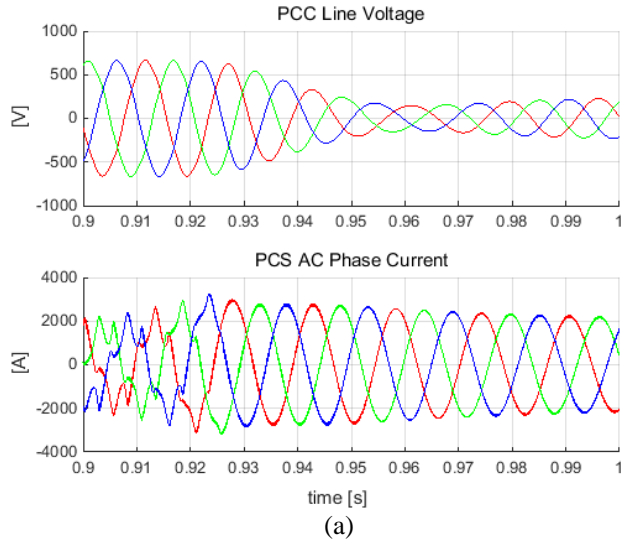
이상으로 올라가는 영역이 줄어들게 된다. 이러한 변화는 임피던스 크기의 간섭이 발생하는 영역에서 PCS 임피던스와의 위상 여유를 늘리는 효과를 만들어낸다. 그로 인해 「그림 3-3」에서와 같이 오히려 높은 선 임피던스에 연결되었을 때, 댐핑 계수의 설정 가능 영역이 늘어나게 된다.

결과적으로, 계통 선 임피던스의 크기가 커짐에 따라 PCS 임피던스와의 간섭을 주의하여 댐핑 계수의 값을 적절하게 고려해야 하지만, 설계를 위한 일정한 경향을 얻을 수는 없다. 하지만, 임피던스 간섭을 고려하여, 부족 감쇠보다는 임계 감쇠 혹은 과감쇠로 설계하면 시스템을 안정하게 운전할 수 있음을 알 수 있다.

### 3.1.2 계통 선 X/R 비와 PLL 설계

2.2 절 「그림 2-27」에서 고정된 계통 선 임피던스에서 X/R 비가 시스템 특성에 미치는 영향을 살펴보았다. X/R 비가 상대적으로 커지는 경우, 인덕턴스에 의한 영향으로 부하 공진 주파수 이하에서 위상이 다소 상승하였다. X/R 비 변화에 따른 부하 공진 주파수 이하의 임피던스 크기 변화가 크지 않은 반면, 위상이 다소 상승함에 따라 위상 여유 부족에 의한 불안정 현상이 발생할 수 있었다. (그림 2-31 참고) 이 때 부하는 RLC 병렬 회로만 고려하였다.

「그림 3-5」는 「그림 2-31」에서 분석한 조건에 대한 모의 실험 결과다. 동일하게 설계된 PLL( $\zeta_p = 0.084$ ,  $\omega_{mp} = 2\pi \times 10$  rad/s)을 사용하였음에도, X/R 비에 따라 시스템이 불안정해질 수 있음을 확인할 수 있다.



**그림 3-5. X/R 변화에 따른 모의 실험 결과**  
**(a) X/R 비 = 5, (b) X/R 비 = 0.2**

계통 선의 X/R 비 변화에 따라 가능한 PLL의 설계 범위를 분석하여 「그림 3-6」에 도시하였다. 계통 선 임피던스 50 %인 상황에서  $\omega_{np}$ 가 설계 되었을 때 사용 가능한 최소 댐핑 계수( $\zeta_{p,\min}$ )를 나타낸다. X/R 비가 작아질수록 사용할 수 있는 댐핑 계수의 영역이 넓어지는 것을 확인

할 수 있다. (최소 댐핑 계수의 감소)

이러한 경향은 「그림 3-7」의  $dd$ -임피던스의 보드 선도로부터 분석할 수 있다.  $X/R$  비가 감소함에 따라 PLL 고유 주파수가 설계되는 영역에서는 크기 변화는 적지만, 저항 성분의 증가로 인덕턴스에 의한 위상 상승 효과가 적어지게 된다. 결과적으로 임피던스 크기의 간섭이 발생하는 영역에서 PCS 임피던스와의 위상 여유를 늘리는 효과를 만들어낸다. 그로 인해 「그림 3-6」에서와 같이  $X/R$  비가 낮은 계통에 연결되었을 때, 댐핑 계수의 설정 영역이 늘어나게 된다. 즉,  $X/R$  비가 높은 계통에 연결될 때, PCS 임피던스와의 간섭을 주의하여 댐핑 계수의 값을 적절하게 고려해야 한다.  $X/R$  비를 고려하면, 부족 감쇠보다는 임계 감쇠 혹은 과감쇠로 설계하면 시스템을 안정하게 운전할 수 있음을 알 수 있다.

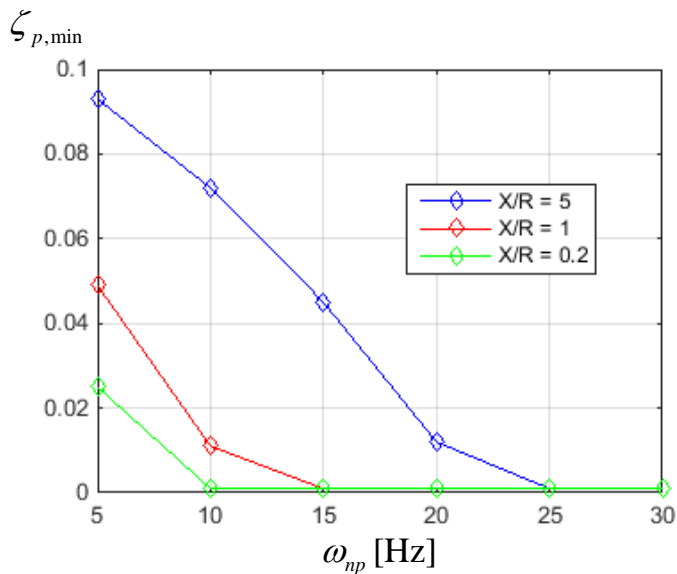


그림 3-6. 계통 선  $X/R$  비 및  $\omega_{np}$  변화에 따른 최소  $\zeta_p$  (선 임피던스 50%)

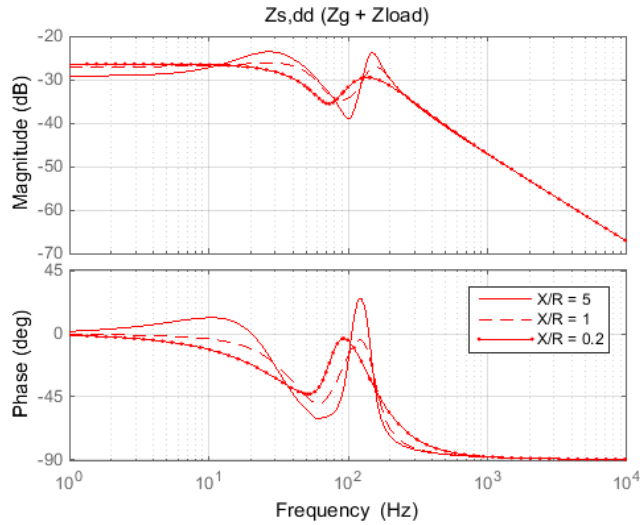


그림 3-7. X/R 변화에 따른  $Z_{s,dd}$

(계통 선 임피던스 50%,  $Q_f = 2$ ,  $P_{load} = 1 \text{ MW}$ )

### 3.1.3 부하 용량 변화와 PLL 설계

2.2 절 「그림 2-29」에서 살펴보았듯이, 부하의 용량이 줄어들수록 부하 공진 주파수 이상에서 계통 측 임피던스의 크기가 커지게 되었다. 즉, 부하의 용량이 적을 때, PCS의 PLL이 과감쇠로 설계된 경우, 위상 여유 부족에 따른 불안정 현상이 발생할 수 있음을 「그림 2-32」을 통해 확인하였다. 이 때 부하는 RLC 병렬 회로만 고려하였다.

「그림 3-8」은 「그림 2-32」에서 분석한 조건에 대한 모의 실험 결과다. 동일하게 설계된 PLL( $\zeta_p = 22.6$ ,  $\omega_{np} = 2\pi \times 10 \text{ rad/s}$ )을 사용하였음에도, 부하 용량이 감소함에 따라 시스템이 불안정해질 수 있었다.

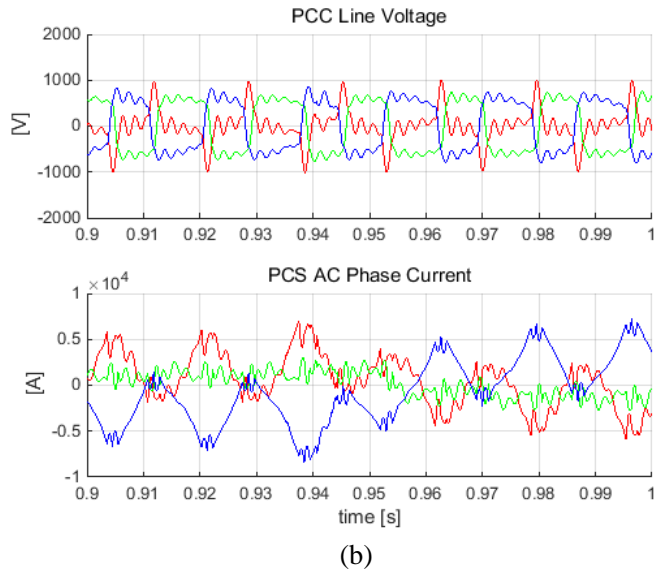
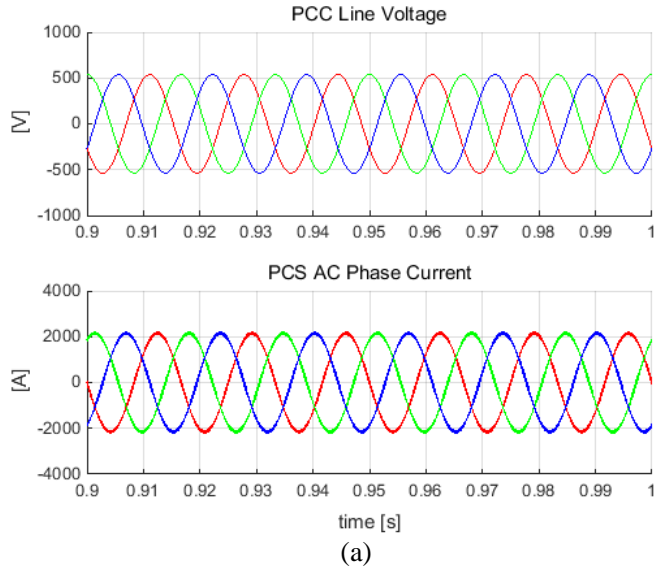


그림 3-8. 부하 용량 변화에 따른 모의 실험 결과

(a)  $P_{load} = 1 \text{ MW}$ , (b)  $P_{load} = 100 \text{ kW}$

부하 용량이 변화함에 따라 사용 가능한 PLL의 설계 범위를 「그림 3-9」에 나타내었다. 앞의 두 경우와 달리  $\omega_{np}$ 가 결정되었을 때 사용 가능한 최대 댐핑 계수( $\zeta_{p,max}$ )를 나타낸다. 부하 용량이 작아질수록 사용할 수 있는 댐핑 계수의 영역이 좁아지게 된다. (최대 댐핑 계수의 감소)

이러한 경향은 「그림 2-29」의 *dd*-임피던스의 보드 선도로부터 분석할 수 있다. 부하 용량이 감소함에 따라 부하 공진 주파수 이상에서 계통 측 임피던스 크기가 커지게 되며, PCS 임피던스와 간섭이 발생할 가능성이 커지게 된다. 이러한 간섭은 설계된 PLL 고유 주파수보다는 높은 주파수 영역에서 발생하게 된다. 댐핑 계수를 크게 설정할수록 이러한 주파수 영역에서 위상 여유가 감소하며, 「그림 3-9」와 같이 최대 사용할 수 있는 댐핑 계수를 제한하게 된다. PLL의 고유 주파수는 높게 설정될수록 PCS 임피던스의 위상이 상승하는 시점이 높아지므로, 높은 고유 주파수에서 더 작은 최대 댐핑 계수를 사용하여야 한다. 결과적으로, 낮은 용량의 부하가 연결되는 상황을 고려하여 댐핑 계수의 값을 제한하여야 한다.

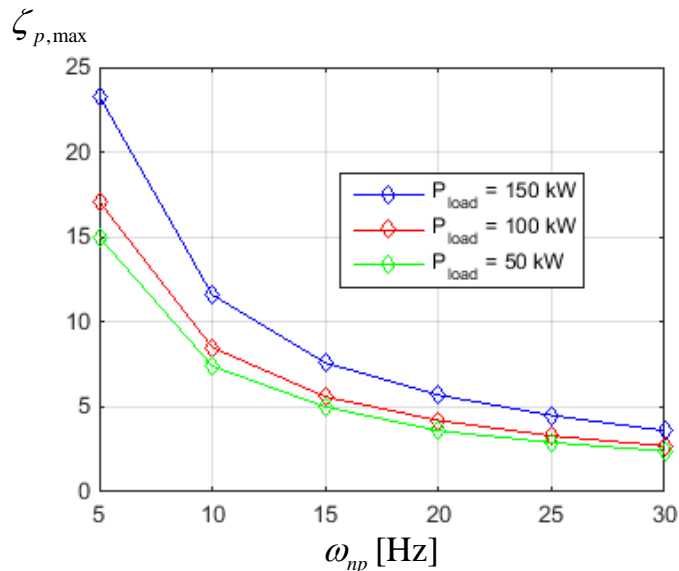


그림 3-9. 부하 용량 및  $\omega_{np}$  변화에 따른 최대  $\zeta_p$  (선 임피던스 50%)

### 3.1.4 일정 전력 부하 고려 시 PLL 설계

3.1.1 절에서는 수동 부하만을 부하로 고려하여 계통 선 임피던스와 X/R 비 변화에 따른 PLL 설계 범위를 분석하였다. 본 절에서는 「그림 3-1」과 같이 일정 전력 소비 부하(CPL, Constant Power Load)가 연결된 경우에 대한 분석을 수행하였다.

「그림 3-10」은 전력을 공급하는 PCS의 용량(1 MW)과 동일한 용량을 가지는 일정 전력 소비 부하와, 100 kW의 전력을 소비하는 수동 부하( $Q_f = 2$ )가 연결되었을 때, 계통 측 임피던스(계통 선 임피던스 + 부하 임피던스 + CPL 임피던스)를 나타낸 것이다. 일정 전력 소비 부하의 PLL은  $\omega_{np} = 2\pi \times 10$  rad/s,  $\zeta_p = 0.354$ 로 이득이 설정된 것으로 가정하였다. 「그림 3-4」와 비교하였을 때, 일정 전력 소비 부하 PLL의 고유 주파수가 설정된 주파수에서 계통 측 임피던스의 위상이 상승하는 것을 알 수 있다. 이러한 변화는 PCS 임피던스와 간섭 시, 위상 여유를 줄여 댐핑 계수의 최소값을 제한하는 요인이 된다.

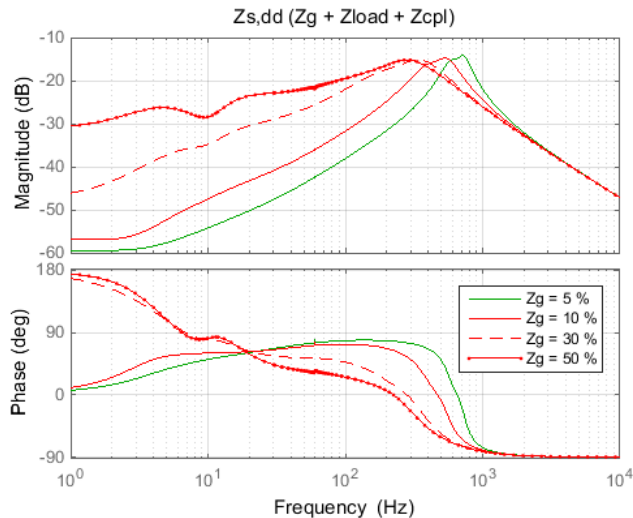


그림 3-10. CPL 고려 시 계통 선 임피던스 변화에 따른  $Z_{s,dd}$

$$(X/R \text{ 비} = 5, Q_f = 2, P_{load} = 100 \text{ kW}, P_{CPL} = 1 \text{ MW})$$



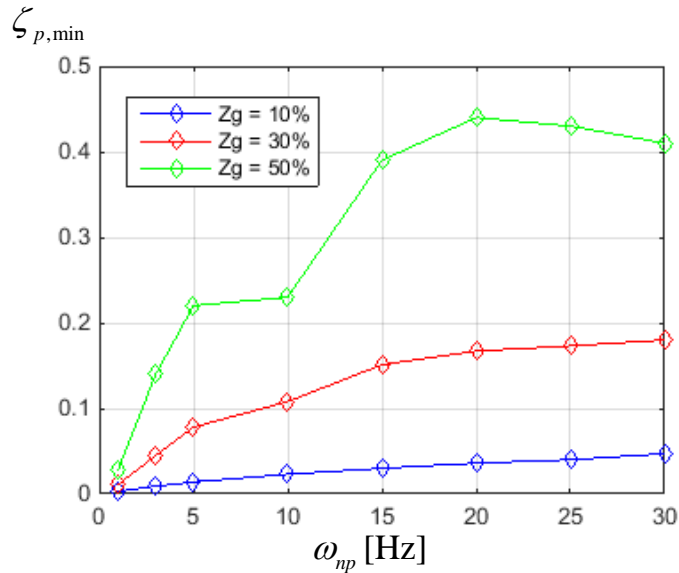


그림 3-11. 계통 선 임피던스 및  $\omega_{np}$  변화에 따른 최소  $\zeta_p$  (CPL 고려 시)

「그림 3-11」은 일정 전력 소비 부하를 고려하였을 때, 사용 가능한 최소 댐핑 계수를 나타낸다. 앞선 「그림 3-3」의 결과와는 달리, 계통 선 임피던스의 증가에 따라 최소 댐핑 계수가 증가하는 일정한 경향을 보인다. 만일 시스템 내에서 PCS로 계통에 연계 운전하는 일정 전력 소비 부하의 상대적인 용량이 증가한다면, 전력을 공급하는 PCS의 PLL 설계가 용이해지는 것이다.

본 예시에서는 CPL의 PLL 고유 주파수가  $2\pi \times 10$  rad/s로 설계되어, 고유 주파수 근처에서 계통 측 임피던스 크기를 감소시킨다. 이로 인해 CPL의 고유 주파수 근처 주파수를 PCS의 PLL 고유 주파수로 설계하는 경우, 더 작은 최소 댐핑 계수를 얻을 수 있다.

「그림 3-11」의 분석에서는 CPL의 PLL이 부족 감쇠로 설계됨을 가정하였으나, CPL의 PLL 댐핑 계수 설계가 바뀌면 경향이 달라질 수 있다. 즉, 접속점에 연결될 일정 전력 소비 부하는 독립적으로 PLL이 설계되기 때문에, 위의 분석 결과를 일반적으로 확장하기엔 다소 무리가 있다. 하지만, 2.2 절의 「그림 2-18」을 참고하면, 부족 감쇠로 설계된 경우 어

드미턴스의 위상이  $-90$ 도 가까이 떨어지는 것을 확인할 수 있었다. 이는, 임피던스의 위상을  $+90$ 도 가까이 상승시킬 수 있으며, PCS와의 간섭 시 위상 여유를 부족하게 만든다. 따라서, 부족 감쇠된 PLL을 사용하는 CPL은 임계 감쇠 혹은 과감쇠 설계된 PLL을 사용하는 CPL에 비해 위상 여유가 부족하여 댐핑 계수의 가용 범위가 상대적으로 제한된다.

「그림 3-12」는 PCS의 PLL을  $\omega_{np} = 2\pi \times 10$  rad/s,  $\zeta_p = 0.1$ 로 설계한 경우, 계통 임피던스 변화에 따른 안정도 분석 결과다. 「그림 3-11」에서 볼 수 있듯이 이와 같은 설계는 10 %의 계통 선 임피던스의 최소 댐핑 계수보다 크지만, 50 %의 계통 선 임피던스의 최소 댐핑 계수보다는 작다. 따라서 선 임피던스 10 %인 경우 안정하게 운전하지만, 선 임피던스가 50 %로 증가하면 시스템이 불안정해진다.

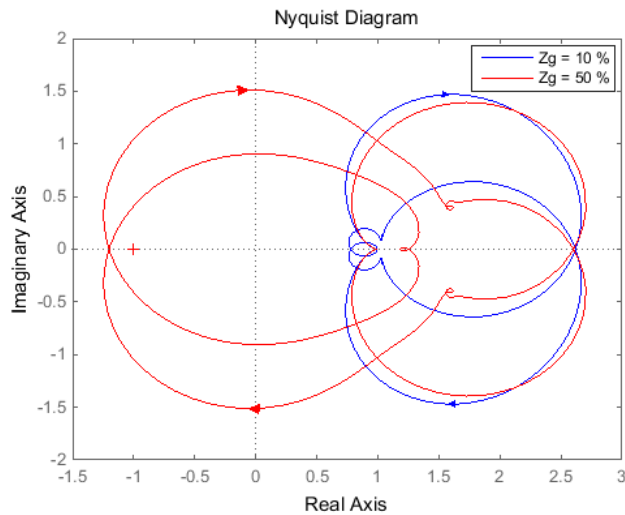


그림 3-12. CPL 고려 시 계통 선 임피던스 변화에 따른 일반화된 나이퀴스트 선도

「그림 3-13」과 「그림 3-14」는 계통 선 임피던스 변화에 대한 모의 실험 결과를 나타낸다. 10 %의 선 임피던스에 연결된 경우, 접속점의 계통 전압이 유지되어 안정된 전력 공급 및 소비가 가능하였다. 그러나 50 %의 선 임피던스에 연결된 경우, 전압이 유지되지 못한다. 이로 인해 전류 역시 안정된 정현파를 합성할 수 없었으며, 일정 전력 소비 부하의 경우

직류단 전압 역시 발산하게 된다.

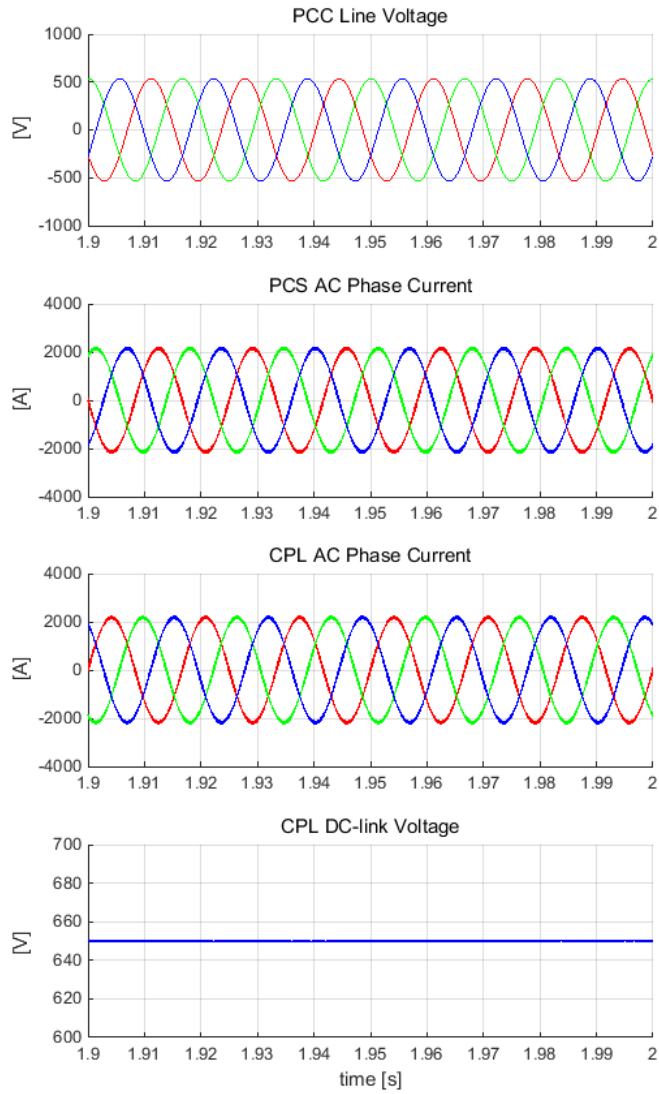


그림 3-13. CPL을 고려한 모의 실험 결과 - 선 임피던스 10 %

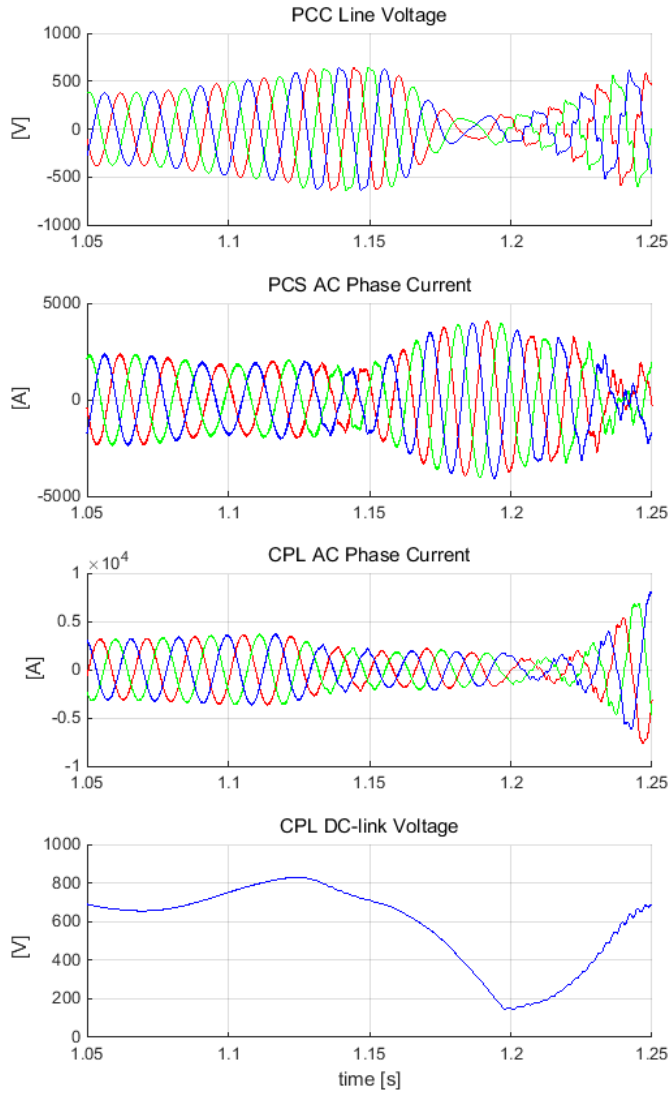


그림 3-14. CPL을 고려한 모의 실험 결과 - 선 임피던스 50 %

### 3.1.5 위상 동기화 제어기 상태 필터 설계

본 절의 분석 결과를 통해 위상 동기화 제어기의 상태 필터로 사용하는 PI 제어기의 이득 설계를 제안한다.

위상 동기화 제어기의 비례 이득과 적분 이득은 고유 주파수( $\omega_{np}$ )와 댐핑 계수( $\zeta_p$ )로 설계할 수 있으며, 다음 식과 같이 계산할 수 있다.

$$k_{pp} = 2\zeta_p \frac{\omega_{np}}{E}, \quad (3.1.1)$$

$$k_{ip} = \frac{\omega_{np}^2}{E}. \quad (3.1.2)$$

계통 선 임피던스와 X/R 비는 PCS가 사용할 수 있는 댐핑 계수의 최소 값을 제한하게 된다. 분석 결과에 따르면 실제로 고려할 수 있는 댐핑 계수에 비하여 과도하게 작은 값의 댐핑 계수를 사용할 때 문제가 발생한다. 이러한 문제는 고유 주파수와 댐핑 계수를 고려하여 설계하지 않고, 비례 이득과 적분 이득만을 조정하여 PLL의 상태 필터를 설계할 때 발생할 수 있다.

「그림 3-3」 과 「그림 3-9」, 「그림 3-11」의 분석 결과는 PLL의 고유 주파수가 상승함에 따라, 댐핑 계수를 사용할 수 있는 범위가 점차 줄어들음을 확인할 수 있다. 또한, 과도하게 큰 고유 주파수를 사용하게 되면, 측정 잡음(Noise) 및 외란(外亂, disturbance)에 따른 고조파 성분이 추정된 위상 각과 각주파수에 발생하게 된다. 따라서 적절한 값으로 고유 주파수를 제한해야 한다. 본 논문에서는 참고 문헌 [152]에서 제안된  $2\pi \times 10$  rad/s로 설계된 PLL을 사용하였다. 사고 상황에서도 계통 각을 추종하기 위하여 참고 문헌 [151]과 같이  $2\pi \times 20$  rad/s로 설계할 수도 있다.

2차 필터 특성을 가지는 전달 함수의 댐핑 계수는 오버 슈트(Overshoot)의 정상 상태 값과 과도 구간에서의 피크 값의 비인 %OS(Percent overshoot)로 설계할 수 있다[153]. 댐핑 계수와 %OS의 관계는 식 (3.1.3)과 같다.

$$\zeta_p = \frac{-\ln(\%OS / 100)}{\sqrt{\pi^2 + \ln^2(\%OS / 100)}} \quad (3.1.3)$$

계통 위상 각의 추정 응답 특성의 오버 슈트를 정상 상태 값의 10 % 이내로 제한한다면, 댐핑 계수는 0.591 이상으로 설계할 수 있다. 「그림 3-3」과 「그림 3-6」의 분석 결과는 댐핑 계수를 0.591 이상으로 설계하는 경우, 계통 선 임피던스 50 %에서도 안정된 동작이 가능함을 알 수 있다. 또한 「그림 3-11」과 같이 일정 전력 부하가 과도하게 부족 감쇠 ( $\zeta_p = 0.354$ )로 설계된 경우에도, 제안된 값은 안정된 운전이 가능함을 확인할 수 있다.

댐핑 계수의 최대 값은 단독 운전 검출 기법 적용과도 밀접한 관계가 있으므로, 3.3 절에서 살펴본다.

「그림 3-15」는 「그림 3-2 (b)」와 같은 시스템 조건에서 제안된 PLL 설계 값을 사용하였을 때의 모의 실험 결과로, 안정된 전력 공급이 가능해졌음을 알 수 있다.

「그림 3-16」은 「그림 3-14」와 동일한 시스템 조건에서 제안된 PLL 설계 값을 사용한 모의 실험 결과다. PCS의 위상 동기화 제어기 설계를 변경하여 PCS와 일정 전력 부하 모두 안정된 운전이 가능함을 확인할 수 있다. 일정 전력 부하는 제안된 설계를 따르지 않은 모의 실험 결과이나, CPL 역시 제안된 PLL 설계를 갖추는 경우 훨씬 안정된 운전이 가능하게 된다.

본 절에서는 접속점 전압을 안정하게 유지하고, 안정된 전력 공급을 위해 PCS의 위상 동기화 제어기의 설계 방안을 제시하였다.

2.2 절과 본 절에서는 전류 제어기와 PLL이 고려된 식 (2.1.46)을 기준으로 PLL 설계에 따른 임피던스 변화를 고려하였다. 이는 개루프 형태의 전력 제어기를 사용하거나, 태양광 발전과 같이 직류단 전압 제어를 사용하는 경우 유효하다. 부록에서는 폐루프 형태의 전력 제어기를 사용하였을 때 임피던스 변화를 정리하였으며, PLL 분석에서 사용된 고유 주파수와 댐핑 계수가 임피던스 변화에 유의미한 영향을 준다는 것을 확인할 수 있다. 따라서 본 절에서 분석된 결과가 폐루프 전력 제어기를 고려하였을 때에도 유의미하며, 제안된 PLL 설계를 폐루프 전력 제어기에서도 동일하게 적용할 수 있다.

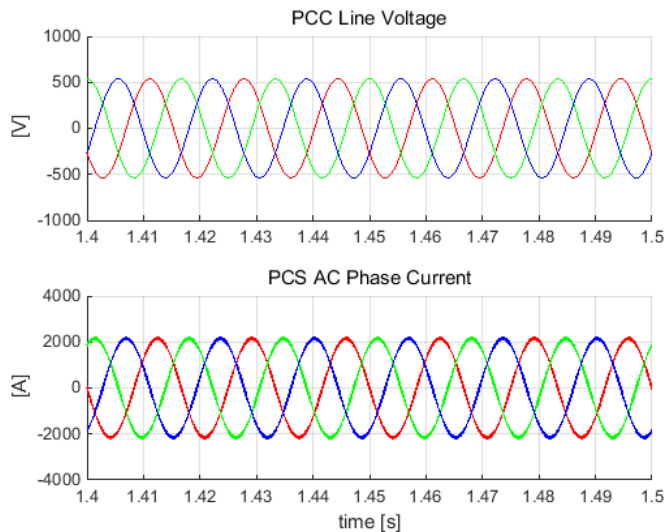


그림 3-15. 제안된 위상 동기화 제어기 이득을 사용한 모의 실험 결과

( $\omega_{np} = 2\pi \times 10 \text{ rad/s}$ ,  $\zeta_p = 0.591$ , 계통 선 임피던스= 50%,  $P_{load} = 1\text{MW}$ ,  $Q_f = 2$ )

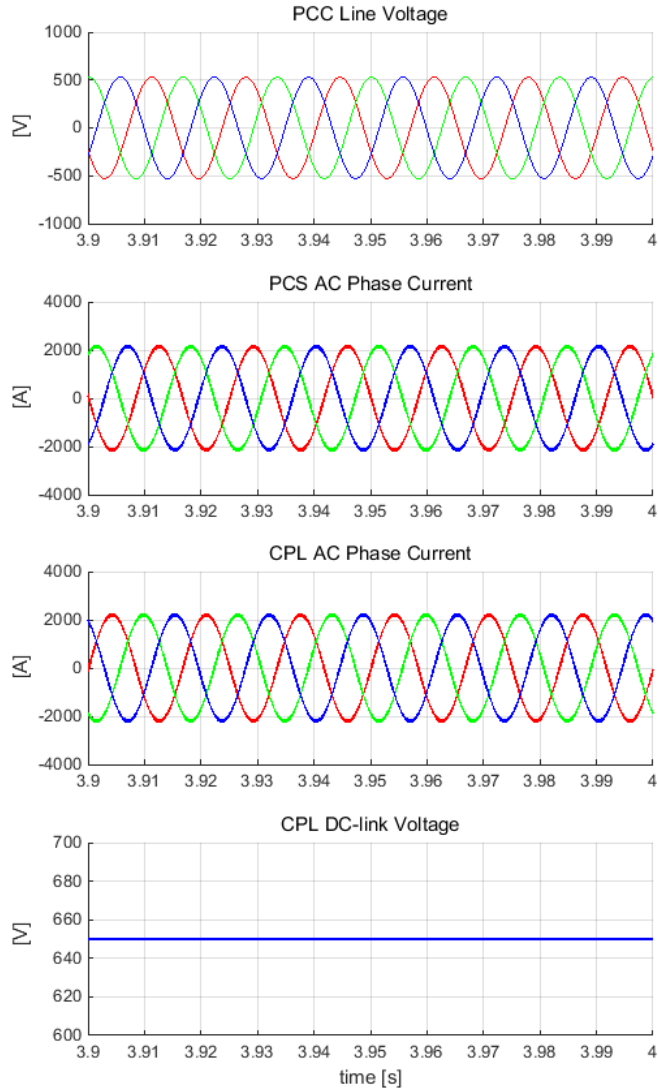


그림 3-16. 제안된 위상 동기화 제어기 이득을 사용할 때 CPL을 고려한 모의 실험 결과

( $\omega_{np} = 2\pi \times 10 \text{ rad/s}$ ,  $\zeta_p = 0.591$ , 계통 선 임피던스 = 50%)



### 3.2 일정 전력 소비 부하의 전압 제어기 설계

2.3 절에서는 기존 문헌에 보고된 사례를 바탕으로 컨버터를 이용하는 일정 전력 소비 부하의 병렬 운전에 따른 불안정 현상에 대해서 분석하였다. 직류단 전압 제어기는 출력  $qq$ -어드미턴스의 변화를 야기하며, 계통 측  $qq$ -임피던스와의 간섭 현상이 시스템을 불안정하게 만들었다.

본 절에서는 계통 임피던스의 변화와 직류단 전압 제어기 설계 계수 변화에 따른 안정도 변화를 분석한다. 분석 결과를 바탕으로 병렬 운전 시에도 안정된 운전이 가능한 일정 전력 소비 부하의 전압 제어기 설계를 제안한다.

「표 3-2」에 분석에 사용된 시스템 정수를 정리하였으며, 「그림 3-17」은 병렬 운전되는 일정 전력 소비 부하의 회로 구성도를 나타낸다.

표 3-2. 일정 전력 소비 부하 시스템 분석을 위한 시스템 정수

계통 선간 전압	380 V <sub>rms</sub>	계통 주파수	60 Hz
일정 전력 부하 정격 소비 전력	1 MW	정격 상 전류	1.52 kA <sub>rms</sub>
필터 인덕턴스 ( $L_f$ )	57.4 $\mu$ H (15 %)	필터 저항	1.4 m $\Omega$ (1 %)
직류단 캐패시턴스	35 mF	직류단 전압	650 V
$\omega_{np}$	$2\pi \times 10$ rad/s	$\zeta_p$	1
$k_{pc}$	0.36	$k_{ic}$	4.54

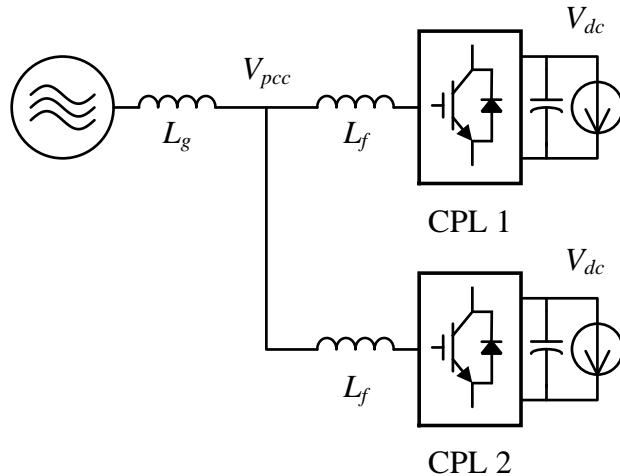


그림 3-17. 병렬 운전되는 일정 전력 소비 부하의 시스템 구성도

### 3.2.1 단독으로 운전되는 일정 전력 소비 부하

병렬 운전되는 일정 전력 소비 부하(CPL, Constant Power Load)에 대한 분석에 앞서, 단독으로 운전될 때 직류단 전압 제어기 설계에 따른 안정도 변화에 대해 분석한다.

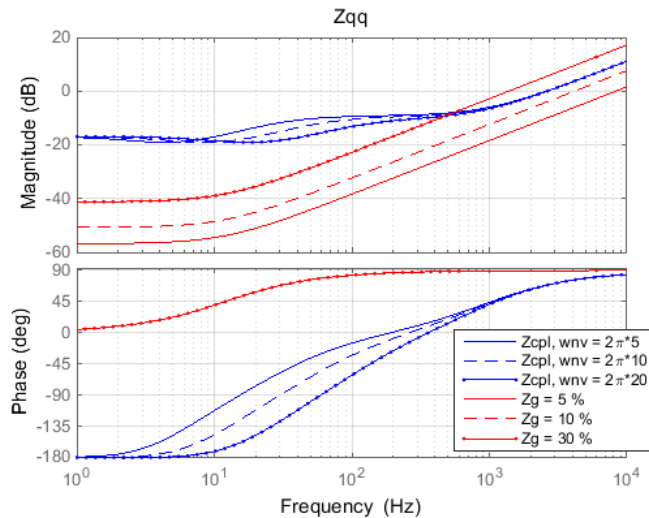
2.3.1 절에서는 직류단 전압 제어기의 설계 계수인 고유 주파수( $\omega_n$ )와 댐핑 계수( $\zeta_v$ )로 PCS 임피던스 변화 양상을 나타낼 수 있음을 확인하였다. 따라서 본 절에서도 고유 주파수와 댐핑 계수의 변화에 따라 안정도를 분석한다.

2.3.2 절에서는 참고 문헌 [64]의 사례를 바탕으로 CPL 병렬 운전에 따른 안정도 문제의 원인을 살펴보았다. 병렬 운전 시, CPL 측 출력  $qq$ -임피던스가 감소하며 계통 선 임피던스와의 간섭이 접속점(PCC, Point of Common Coupling)의 계통 전압을 불안정하게 하는 요인이 되었다. 특히,  $\zeta_v$ 가 지나치게 높게 설계된 경우, 간섭이 일어나는 주파수에서 위상 여유가 부족하게 되었다. 단순히 댐핑 계수를 임계 감쇠로 설계하였을 때, 시스템이 안정해질 수 있음을 「그림 2-38」 과 「그림 2-39」 를 통해 확인하였다.

본 절에서는 계통 측 임피던스와 직류단 전압 제어기의 고유 주파수, 댐핑 계수를 고려하여 분석을 진행하였다.

먼저, 직류단 전압 제어기의 고유 주파수 변화에 따른 주파수 응답을 「그림 3-18」에 도시하였다. (a)의 보드 선도 결과를 참고하면, 고유 주파수를 높게 설정할수록 크기와 위상 변화의 시점이 달라지며, 계통 임피던스가 커짐에 따라 임피던스 간섭이 일어날 가능성이 커짐을 확인할 수 있다. 하지만 (b)의 나이퀴스트 선도 결과는 고유 주파수가 커져도 시스템이 불안정해지지 않는다는 것을 확인할 수 있다.

참고 문헌 [88] 혹은 [154] 등의 설계 기준을 따르면 직렬(Cascade) 접속된 제어 시스템의 상위 제어기는 내부 전류 제어기의 1/10 이하의 대역폭을 가지도록 설계 되어야 한다. 그 외 실제적인 문제를 고려하면  $2\pi \times 20$  rad/s는 실제 시스템에서 고려할 수 있는 고유 주파수의 최대 주파수라 할 수 있다. 최대로 고려할 수 있는 고유 주파수를 적용하였음에도 시스템이 불안정해지지 않는다.



(a)

(다음 페이지에 계속)

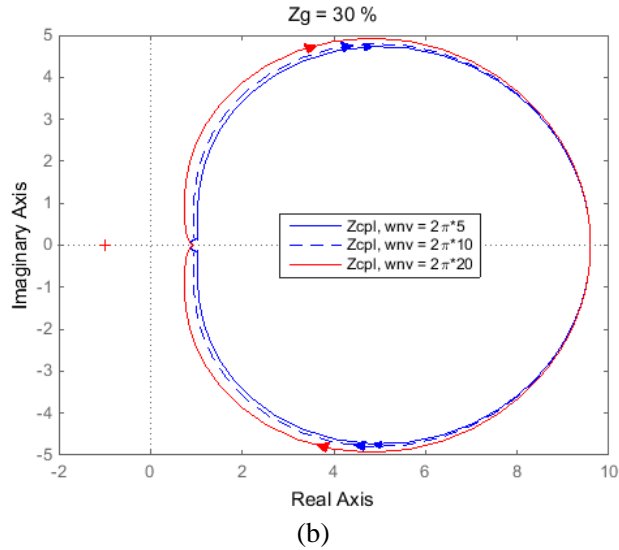


그림 3-18. 직류단 전압 제어기의 고유 주파수 설계 변화에 따른 주파수 응답 ( $\zeta_v = 1$ ) (a) 보드 선도 (b) 일반화된 나이퀴스트 선도

「그림 3-19」는 고유 주파수를  $2\pi \times 20$  rad/s로 설계하고, 댐핑 계수를 변화시켰을 때 주파수 응답 변화를 나타낸다. 댐핑 계수가 커짐에 따라 고유 주파수 근처의 크기 피크는 감소하게 된다. 그리고 위상 변화 시점이 높은 주파수로 이동하며, 계통 임피던스와 간섭이 일어나는 주파수 근처에서 위상 여유는 점차 줄어들게 된다. 그러나, 댐핑 계수가 5 이상으로 설정되면 전류 제어기 대역폭( $2\pi \times 500$  rad/s) 근처에서 크기 피크가 발생하게 됨을 알 수 있다. 이로 인하여 보다 작은 값의 선 임피던스를 갖는 계통에 연결되어도 간섭이 발생할 수 있게 된다.

「그림 3-20」은 계통 임피던스에 따라, 댐핑 계수를 변화시킬 때 나이퀴스트 선도의 변화를 나타낸 것이다. 직류단 전압 제어기의 댐핑 계수가 커짐에 따라 점차 시스템이 불안정해진다. 또한 계통 임피던스가 커짐에 따라 이러한 불안정 현상이 발생할 가능성이 커짐을 알 수 있다.

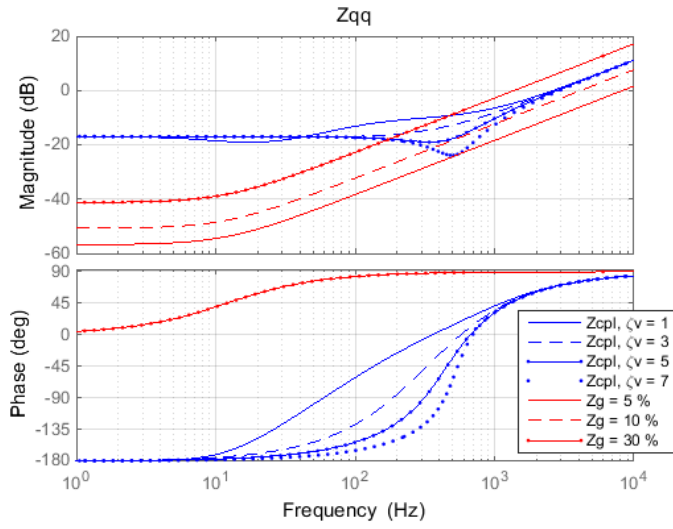
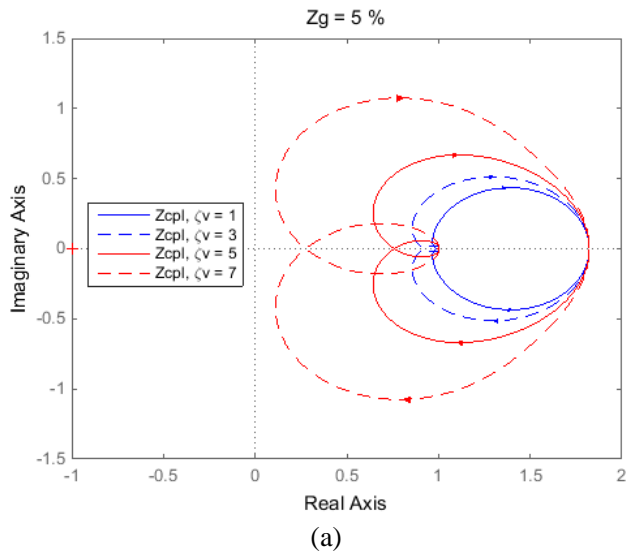
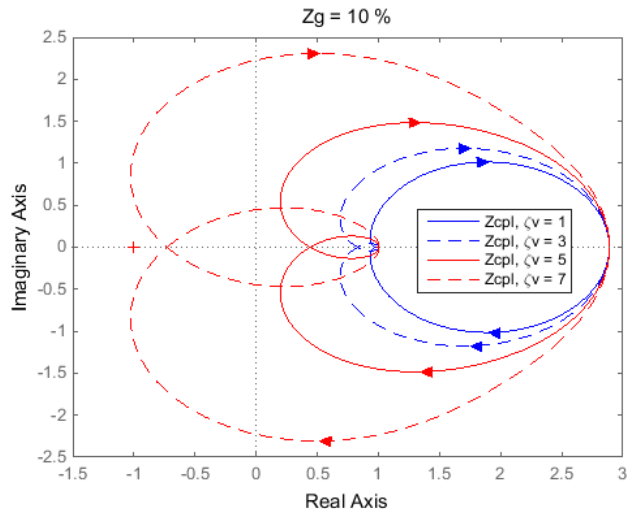


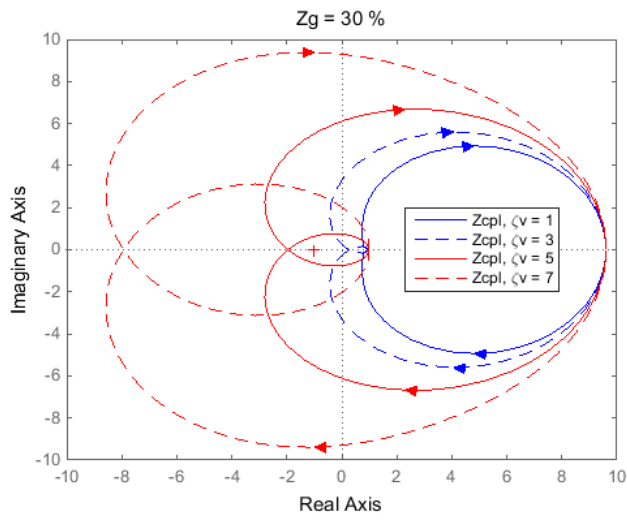
그림 3-19. 직류단 전압 제어기  $\zeta_v$  변화에 따른 주파수 응답  
 ( $\omega_{nv} = 2\pi \times 20 \text{ rad/s}$ )



(다음 페이지에 계속)



(b)



(c)

그림 3-20. 직류단 전압 제어기  $\zeta_v$  변화에 따른 안정도 분석 결과  
(계통 임피던스 변화)

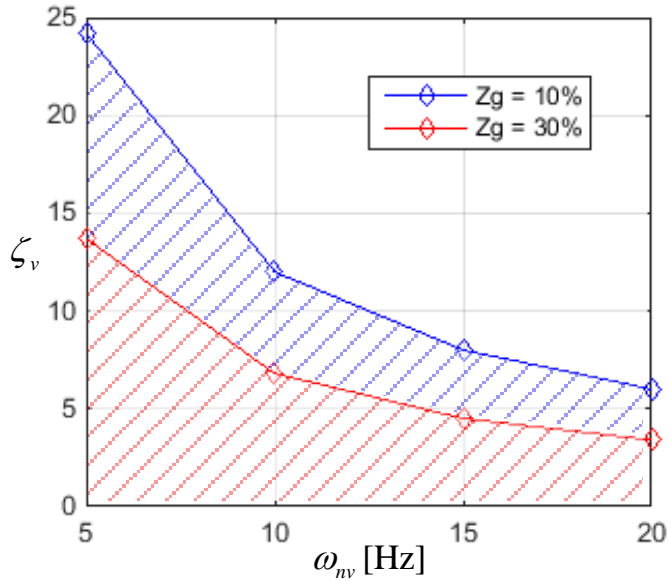


그림 3-21. 계통 임피던스 및  $\omega_{mv}$  변화에 따른 최대 가능  $\zeta_v$

「그림 3-21」은 고유 주파수( $\omega_{mv}$ )가 설정 되었을 때 사용 가능한 최대 댐핑 계수를 나타낸다. 설정된 고유 주파수와 계통 임피던스에 따라 일반화된 나이퀴스트 선도를 분석하여, 안정된 운전을 할 수 있는(나이퀴스트 선도가 원점을 감지 않는) 최대 댐핑 계수를 도출하였다. 사용 가능한 댐핑 계수는 빗금 친 영역으로 표시하였다.

「그림 3-18」에서와 같이 고유 주파수 자체의 변화는 시스템 안정에 영향을 크게 미치지 않았지만, 위상이 변화하는 시점을 결정한다. 따라서 더 높은 고유 주파수로 설계하는 경우, 더 낮은 댐핑 계수에서도 계통 임피던스와 크기가 같아질 때 위상 여유가 부족해질 수 있다. 이로 인해 높은 고유 주파수를 사용할수록 사용할 수 있는 댐핑 계수 역시 제한된다.

더 큰 선 임피던스를 가지는 계통에 연결될수록 임피던스의 크기 간의 여유가 줄어들게 되어 간섭이 쉽게 발생할 수 있다. 따라서 안정된 운전을 할 수 있는 최대 댐핑 계수 역시 줄어들게 되므로, 계통 임피던스 역시 고려하여 적절하게 제어기를 설계하여야 함을 알 수 있다.

본 절의 분석은 일정 전력 소비 부하가 단독으로 계통에 연결된 시스템에 대하여 분석하였지만, 병렬 운전 시에도 유용한 정보를 제공한다.

### 3.2.2 병렬로 운전되는 일정 전력 부하

병렬로 운전되는 일정 전력 부하가 동일하게 설계되었다고 가정할 경우,  $n$ 개의 일정 전력 소비 부하의 출력 어드미턴스( $\mathbf{Y}_{o,qq,n}$ )는 다음과 같이 나타낼 수 있다. 병렬로 연결되므로 등가 시스템의 출력 어드미턴스는 각 시스템의 출력 어드미턴스 합으로 표현할 수 있다.

$$\mathbf{Y}_{o,qq,n} = n\mathbf{Y}_{o,qq}. \quad (3.2.1)$$

$\mathbf{Y}_{o,qq}$ 는 단일 일정 전력 소비 부하의 출력 어드미턴스다.

「그림 3-22」는 두 기의 일정 전력 소비 부하가 연결된 경우, 주파수 응답을 나타낸다. 계통 임피던스의 크기는 일정 전력 소비 부하 1 기의 용량을 기준으로 산출하였다. 등가 시스템의 출력 임피던스는 식 (3.2.1)의 결과와 같이 1 기의 일정 전력 소비 부하의 출력 임피던스의 1/2의 값을 가지게 된다. 부하 측 임피던스의 감소로 계통 측 임피던스와 간섭이 발생하여 시스템이 불안정해지게 된다. 2.3 절에서 살펴본 사례와 같이, 단독으로 운전될 때에는 안정된 운전을 하도록 설계되었지만 병렬 운전 시 불안정해지게 된다. 「그림 3-23」과 「그림 3-24」는 모의 실험 결과로, 분석 결과와 같이 병렬 운전 시에 계통 전압이 왜곡되며, 안정된 전력 공급이 불가능해진다.



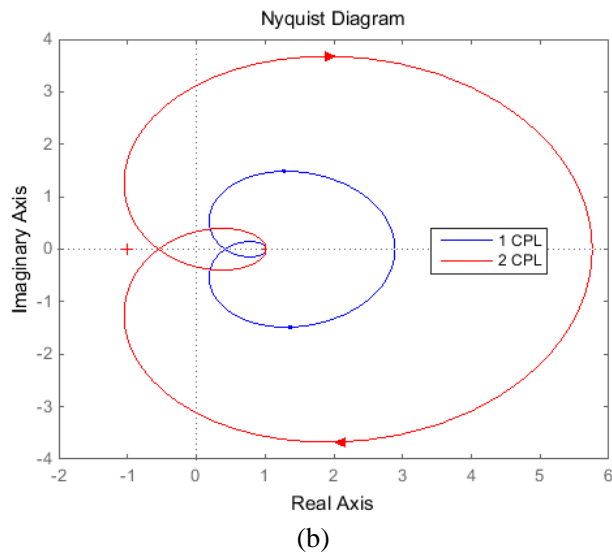
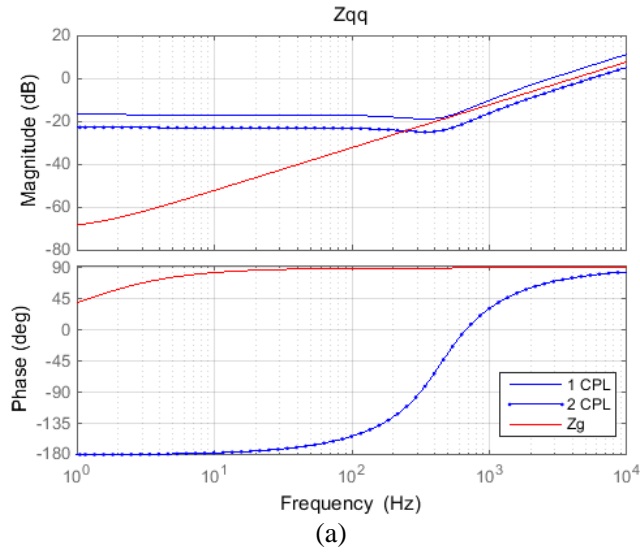


그림 3-22. 병렬 운전 시 일정 전력 소비 부하의 주파수 응답

(a) 보드 선도, (b) 일반화된 나이퀴스트 선도

$$(\omega_{mv} = 2\pi \times 20, \zeta_v = 5, Z_g = 10\%)$$

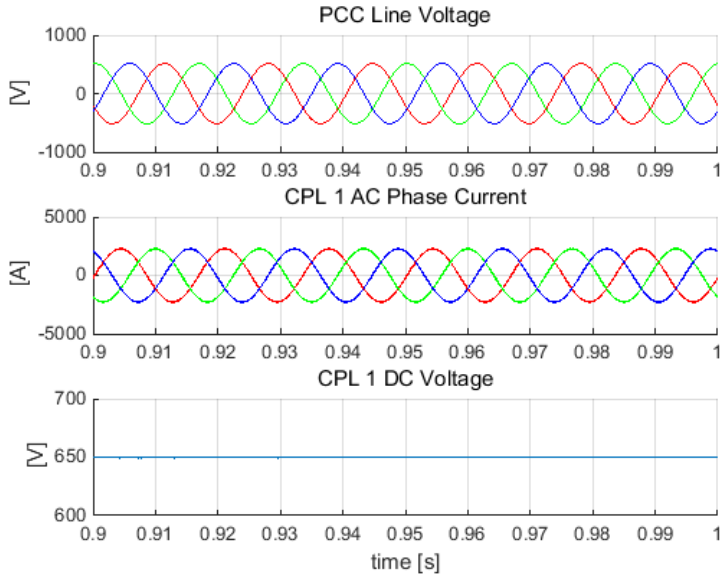


그림 3-23. 일정 전력 소비 부하의 단독 운전 시 모의 실험 결과

$$(\omega_{nv} = 2\pi \times 20, \zeta_v = 5, Z_g = 10\%)$$

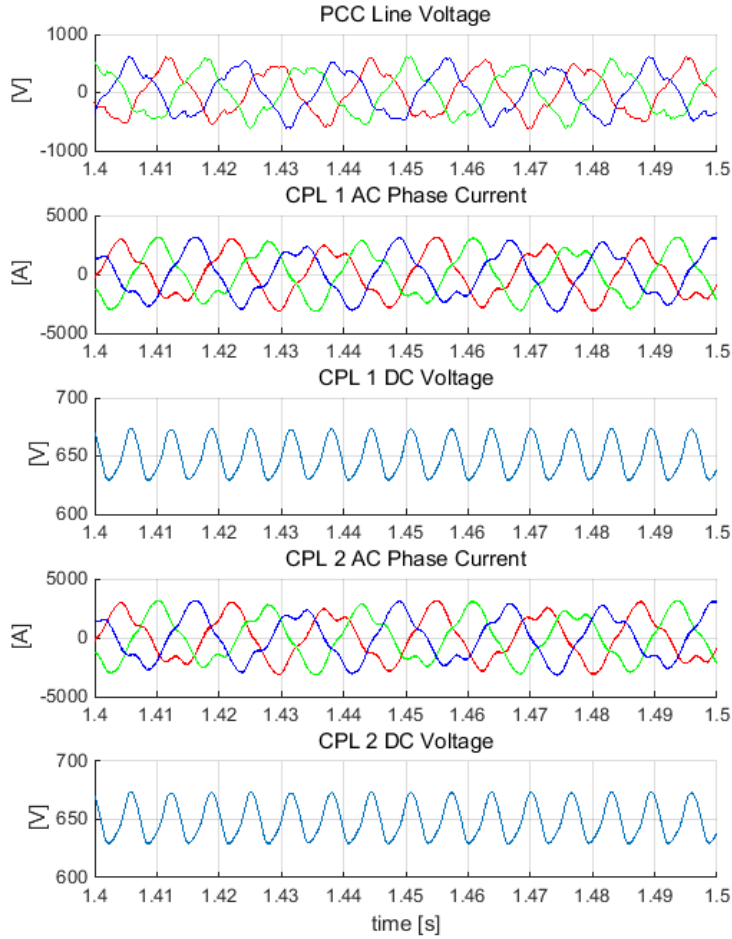


그림 3-24. 일정 전력 소비 부하의 병렬 운전 시 모의 실험 결과

$$(\omega_m = 2\pi \times 20, \zeta_v = 5, Z_g = 10\%)$$

이러한 변화는 식 (3.2.1)과 같이 부하 측 임피던스의 감소가 원인이나, 역으로 상대적인 계통 임피던스의 증가로 해석할 수도 있다. 「그림 3-25」는 계통 측 임피던스 변화에 따른 일정 전력 부하와의 관계를 주파수 응답으로 나타내었다.

일정 전력 부하 1기의 정격 용량을 기준으로 선 임피던스가 5 %인 계통에 연결되는 경우, 병렬 운전을 하여도 안정하다는 것을 확인할 수 있다. 일정 전력 부하 1기는 선 임피던스 10 %의 계통에 연결되어도 안정된 운전이 가능하다. 그러나 이러한 계통에 병렬로 동일한 용량의 부하

가 연결되는 경우, 각 시스템은 선 임피던스 20%의 계통에 연결된 것과 같은 효과를 갖게 되며, 전체 시스템이 불안정해진다고 해석할 수 있다.

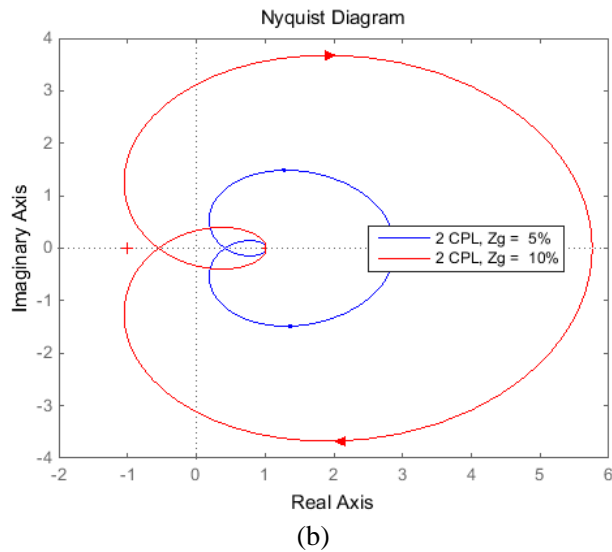
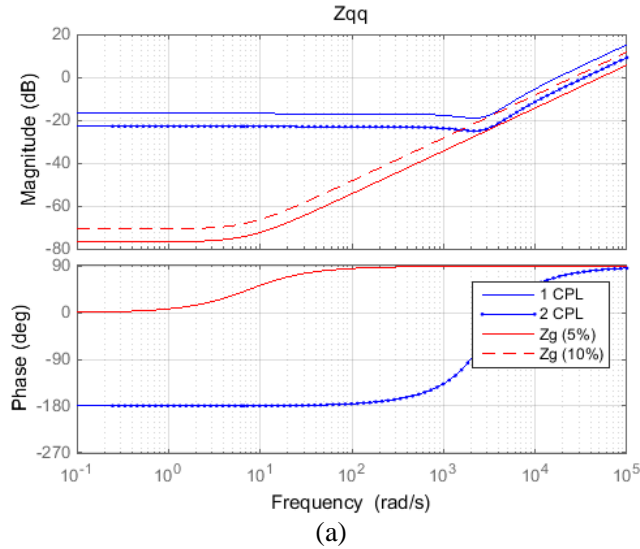
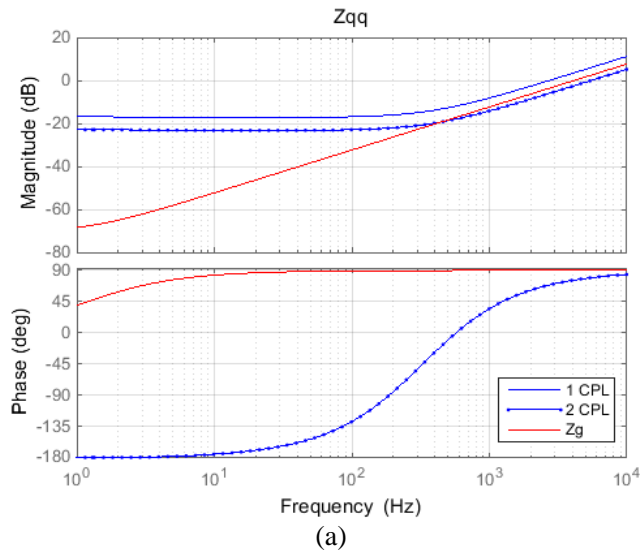


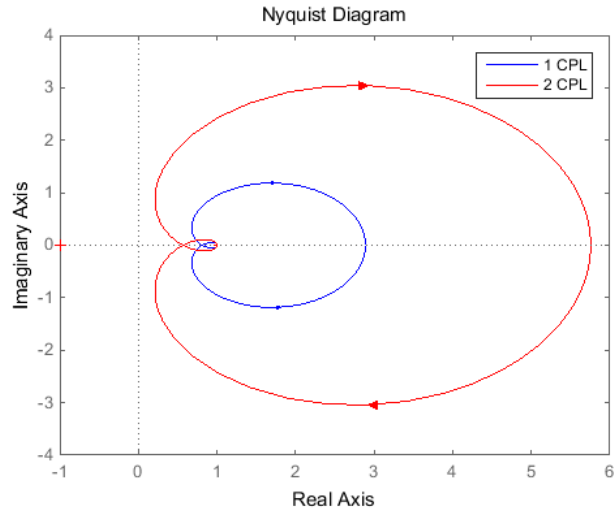
그림 3-25. 일정 전력 소비 부하와 계통 임피던스의 상대적인 값 변화에 따른 주파수 응답 (a)  $qq$ -임피던스 보드 선도 (b) 일반화된 나이퀴스트 선도

이와 같은 해석과 함께, 3.2.1 절의 분석 결과를 활용하여 시스템 불안정을 해소할 수 있는 방안을 모색할 수 있다. 「그림 3-20」과 「그림 3-21」을 통해 계통 임피던스의 크기가 커지는 경우, 댐핑 계수를 줄임으로써 시스템을 안정화 할 수 있음을 알 수 있다. 「그림 3-26」은 댐핑 계수를 3으로 줄였을 때, 주파수 응답과 안정도 분석 결과를 나타낸다. 댐핑 계수 3 이하는 계통 임피던스가 30 % 이하인 경우, 안정하게 동작할 수 있었다. 이 시스템은 각 부하의 상대적인 계통 임피던스가 20 % 인 것과 같기 때문에, 댐핑 계수 3으로 설계 변경 시 시스템이 안정해진다.

「그림 3-27」은 「그림 3-24」와 동일한 시스템에서 직류단 전압 제어기의 댐핑 계수만을 조정 한 모의 실험 결과다. 댐핑 계수만을 조정함으로써 전체 시스템을 안정하게 운전할 수 있음을 알 수 있다.



(다음 페이지에 계속)



(b)

그림 3-26. 병렬 운전 시 일정 전력 소비 부하의 주파수 응답

(a) 보드 선도, (b) 일반화된 나이퀴스트 선도

$$(\omega_{nv} = 2\pi \times 20, \zeta_v = 3, Z_g = 10\%)$$

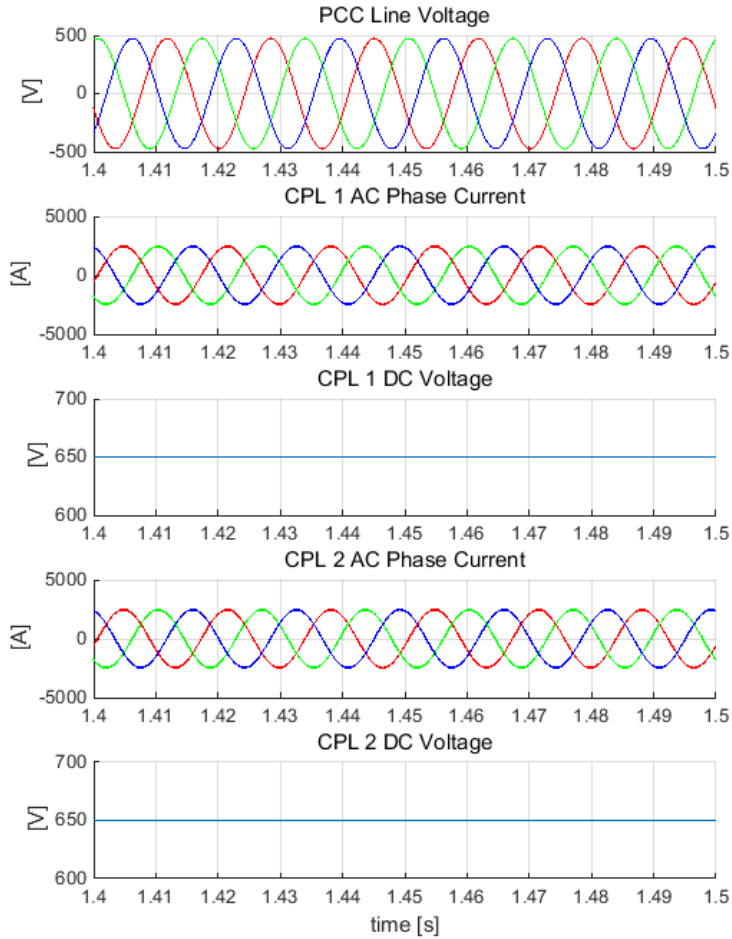


그림 3-27. 일정 전력 소비 부하의 병렬 운전 시 모의 실험 결과

$$(\omega_m = 2\pi \times 20, \zeta_v = 3, Z_g = 10\%)$$

「그림 3-28」은 「그림 3-21」과 같이  $\omega_m$ 가 설계 되었을 때 사용 가능한 최대 댐핑 계수를 나타낸다. 사용 가능한 댐핑 계수는 빗금 친 영역으로 표시하였다.

병렬 운전 시에는 사용 가능한  $\zeta_v$ 의 범위가 더 줄어든 것을 알 수 있다. 직류단 전압 제어기의 고유 주파수를 낮게 설계하면 큰 값의 댐핑 계수를 사용할 수 있으나, 높은 고유 주파수를 사용하는 경우 「그림 3-28」의 분석 결과에 따라 적절히 댐핑 계수를 제한하여야 한다.

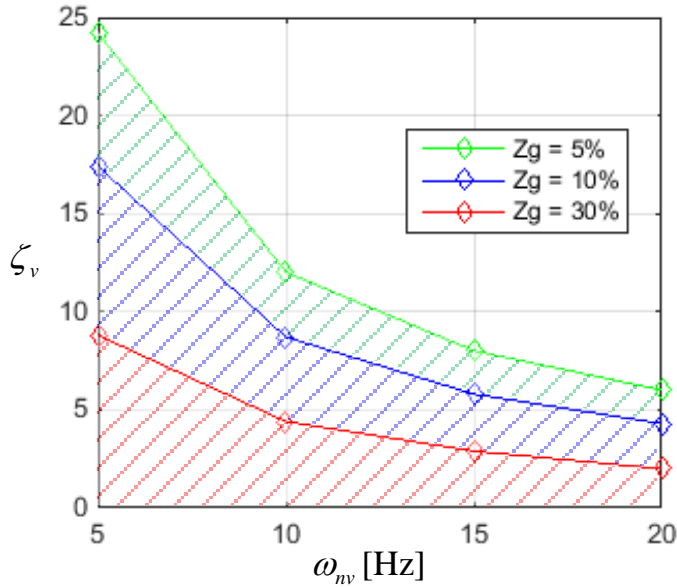


그림 3-28. 계통 임피던스 및  $\omega_{nv}$  변화에 따른 최대 가능  $\zeta_v$  (병렬 운전 시)

직류단 전압 제어 시 오버 슈트(Overshoot)를 없앨 수 있으면서, 다양한 범위의 고유 주파수에 사용하기 위해, 댐핑 계수는 1로 설계할 수 있다.

본 절에서는 일정 전력 부하의 직류단 전압 제어를 직접 조정하여 안정화하는 방법에 대하여 소개하였다. 새로이 설치되는 부하의 경우, 위와 같이 시스템의 안정성을 고려하여 제어를 설계할 수 있다. 하지만, 이미 독립적으로 안정된 운전을 하도록 설계되어 설치된 부하의 제어 변수를 임의로 조정할 수 없는 경우도 있다. 이러한 상황에서도 시스템을 안정하게 운용하기 위해서 3.3 절에서 능동 댐퍼(Active damper)를 소개한다.



### 3.3 능동 댐핑 알고리즘을 이용한 시스템 안정화

3.2 절에서는 안정된 운전을 위한 일정 전력 소비 부하의 PCS 직류단 전압 제어기 이득 설계에 대하여 다루었다. 특히, 직류단 전압 제어기의 댐핑 계수를 조절하여 병렬 운전 시에 안정도를 개선하는 방안에 대해 서술하였다. 그러나 이미 독립적으로 설계되어 설치된 부하는 제어 설계 계수를 바꾸기 어려운 경우가 많다. 이 경우, 시스템을 안정시키기 위하여 추가적인 설비를 갖춰야 한다.

이러한 추가적인 설비로 능동 필터 혹은 능동 댐퍼 회로를 예로 들 수 있다. 비선형 부하(Nonlinear load)에 의해 발생하는 고조파 전류로 인한 전압 왜곡을 저감하기 위해 능동 필터(Active filter) 회로 구조가 제안되었다[155]-[157]. 이러한 능동 필터는 다이오드 정류 부하에 의해 발생하는 5, 7, 11, 13차 등의 저차 고조파를 저감하기 위해 설계되었다. 최근에는 능동 필터의 회로 구조를 차용하여, PCS 연계 동작에 따른 시스템 불안정을 개선할 수 있는 능동 댐퍼(Active damper)의 제어 전략이 제안되었다[158], [159]. 능동 댐퍼 회로는 「그림 3-29」와 같이 불안정을 야기할 수 있는 PCS에 병렬로 연결된다. 능동 댐퍼는 유효 전력을 지속적으로 공급할 필요가 없기 때문에 직류단의 에너지 저장 용량은 크게 설계될 필요가 없다.

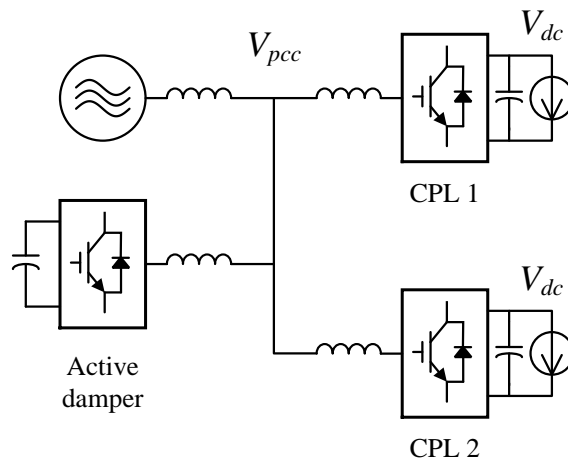


그림 3-29. 시스템 안정화를 위한 능동 댐퍼

불안정 현상을 해소하기 위해 별도의 능동 댐퍼를 설치할 수도 있으나, 부가적인 설비를 설치하는 비용적인 부담이 발생한다. 따라서, 본 절에서는 부하의 전력을 감당하기 위해 추가로 설치되어 있는 분산 전원을 기반으로, 병렬 운전되는 일정 전력 부하에 의한 시스템 불안정을 해소할 수 있는 방안을 제안한다.

“제로 에너지”를 충족시키도록 설계된 시스템에서는 증가된 부하의 전력 소비량을 감당하기 위한 분산형 전원(Distributed Resources, DR)의 설치가 필수적이다. 「그림 3-30」은 추가로 설치된 부하 전력을 감당하기 위해 분산 전원이 설치된 시스템의 구성 예시를 나타낸다. 3.2.2 절에서 병렬 연결에 의한 부하 측 임피던스 감소를 상대적인 계통 임피던스 증가로 해석하였다. 「그림 3-30」과 같은 시스템은 기존에 설치된 CPL 1에 대하여 계통 측 설비를 설계하여, 한 기의 일정 전력 부하에 대해서는 계통 임피던스가 통상적인 값 이하가 되어 시스템이 안정적으로 동작한다. 그러나 CPL 2를 설치하는 등 부하 설비가 점차 증가함에 따라 전체 부하 시스템에 대한 계통 측 임피던스는 상대적으로 점차 증가하게 된다. 따라서 3.2.2절과 같이 전압 제어기 설계에 따라 불안정 현상이 발생할 수 있게 된다.

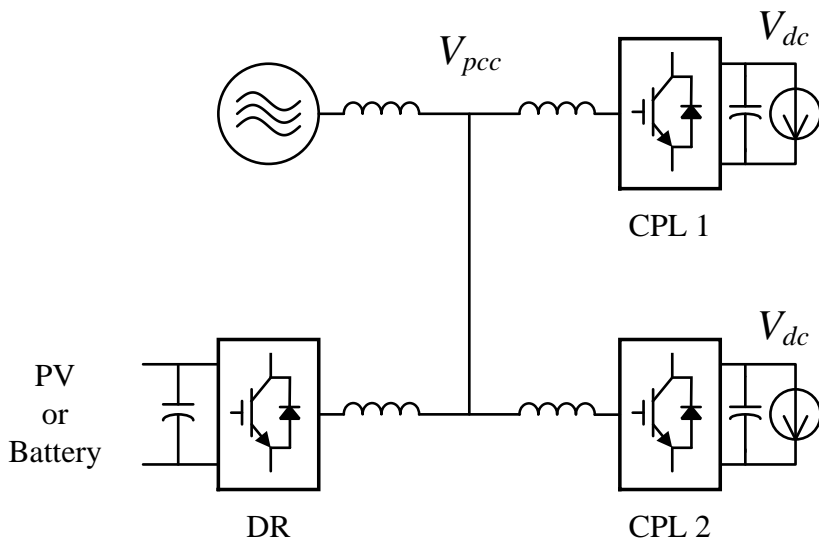


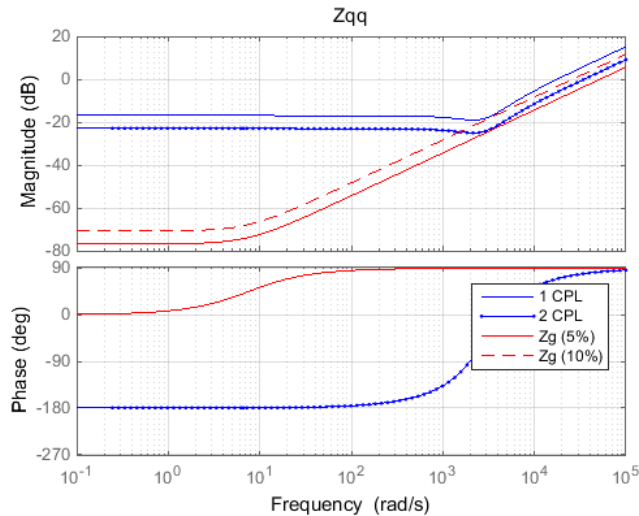
그림 3-30. 분산 전원이 연계된 일정 전력 부하 병렬 시스템의 구성

본 절에서는 태양광 발전 혹은 배터리 에너지 저장 장치로 전력을 공급하는 분산 전원에 능동 댐퍼와 같은 기능을 추가함에 따라 별도의 시스템 안정화를 위한 댐퍼 없이 불안정 현상을 해소하는 방안을 소개한다.

### 3.3.1 분산 전원 설치에 따른 안정화 현상

「그림 3-31」은 3.2 절의 「그림 3-25」를 다시 도시한 것으로, 일정 전력 부하가 병렬로 운전될 때, 계통 선 임피던스의 크기에 따른 보드 선도와 일반화된 나이퀴스트 선도를 나타낸다. 시스템 정수는 「표 3-2」와 같다. 계통 설비가 부하 전력을 충분히 감당할 수 있도록 설계되면, 계통 측 설비에 의한 선 임피던스는 통상적인 값 이하가 된다. 계통 측 임피던스가 5 %의 값을 갖는 경우 2기의 일정 전력 부하를 사용하여도 안정된 운전이 가능하다.

반면, 기 설계된 계통 설비 용량 이상으로 부하가 연결되어 계통 측 임피던스의 상대적인 값이 10 %로 증가한 경우, 시스템이 불안정해질 수 있다.



(a)

(다음 페이지에 계속)

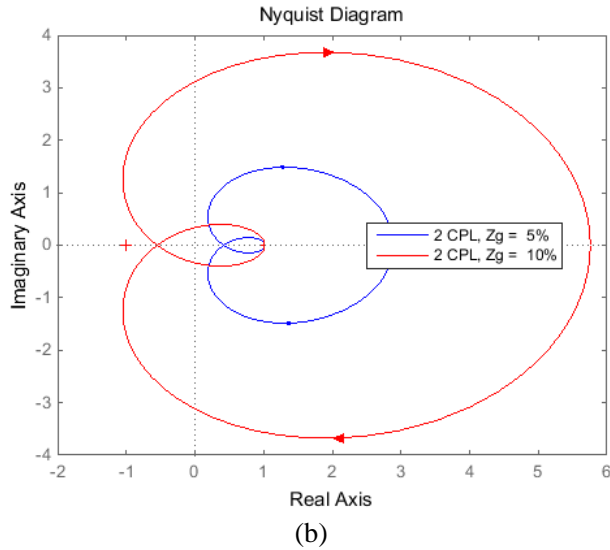
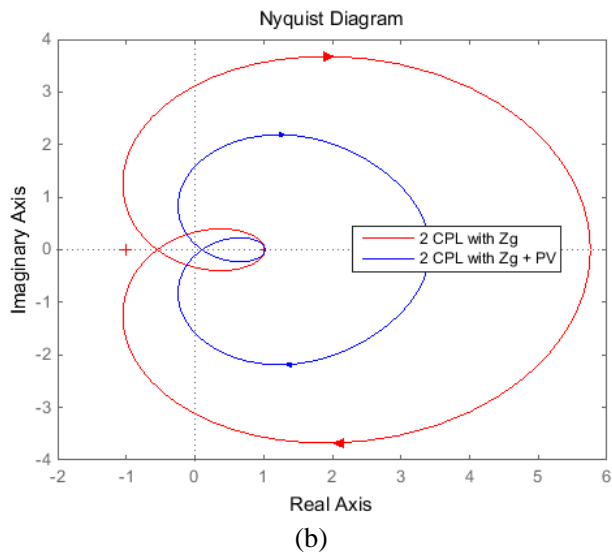
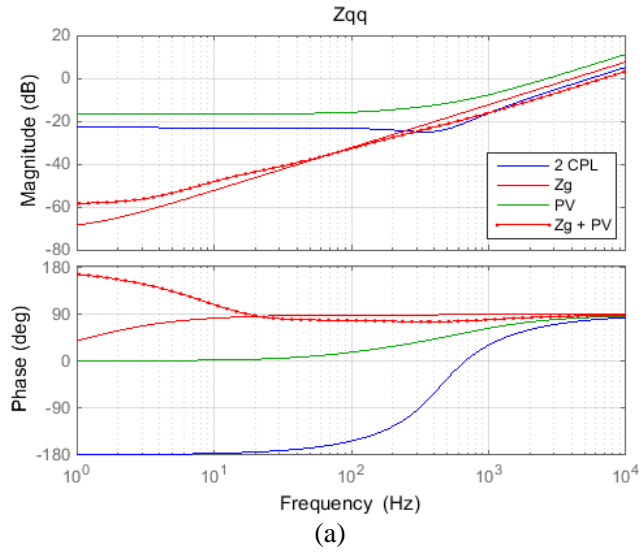


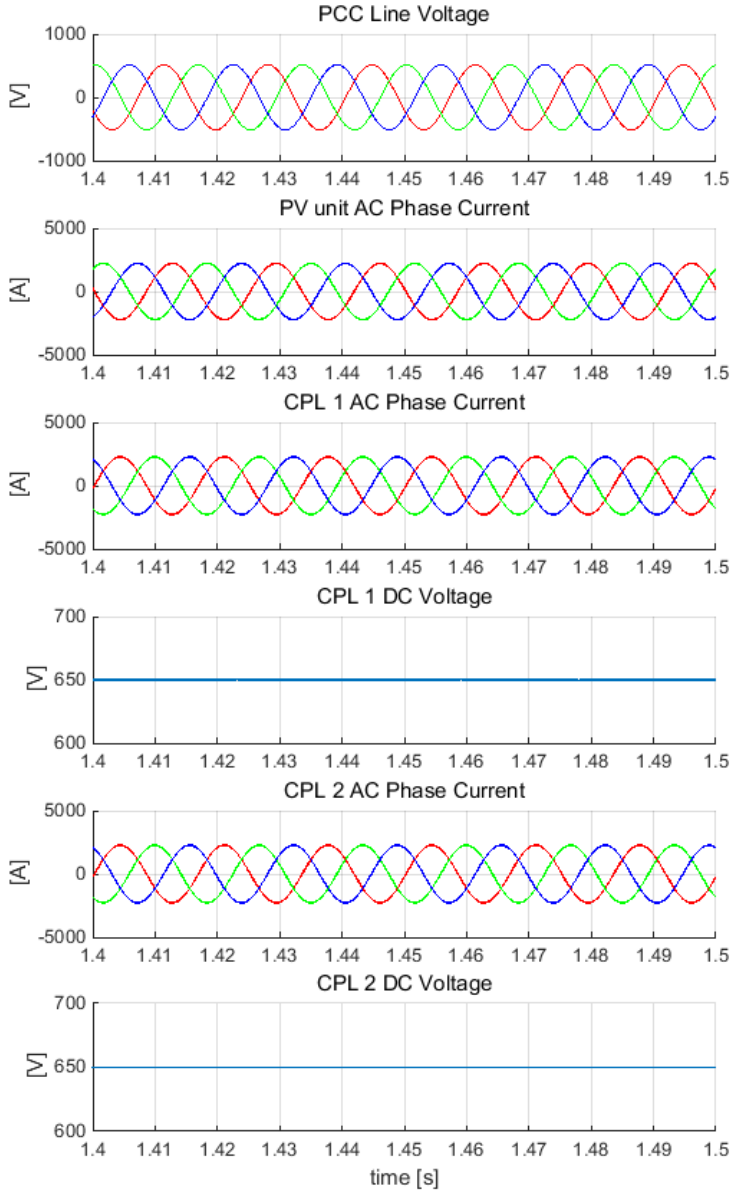
그림 3-31. 계통 선 임피던스의 상대적인 값 변화에 따른 안정도 변화

설계된 설비 이상의 부하를 연결하기 위해서는 그만큼 전력을 공급할 수 있는 분산 전원이 「그림 3-30」과 같이 병렬로 연결되어야 한다. 이러한 분산 전원을 설치하는 경우, 일정 전력 부하에 의한 불안정 현상을 해소할 수 있다.

「그림 3-32」와 「그림 3-33」은 태양광 발전, 배터리 에너지 저장 장치를 직류 전원으로 갖는 PCS가 연계되어 정격 출력을 공급하고 있을 때, 보드 선도와 나이퀴스트 선도, 회로 모의 실험 결과를 도시한 것이다. 보드 선도에는 각 분산 전원의 임피던스와 계통 선 임피던스의 병렬 임피던스를 같이 나타내었다. 추가적인 분산 전원이 설치됨에 따라, 간섭을 발생시키는 영역에서 일정 전력 부하 측에서 바라본 계통 측 임피던스 ( $Z_g + Z_{DG}$ )의 크기가 줄어들고 위상 여유도 다소 확보되어 전체 시스템이 안정되게 운전될 수 있다.



(다음 페이지에 계속)

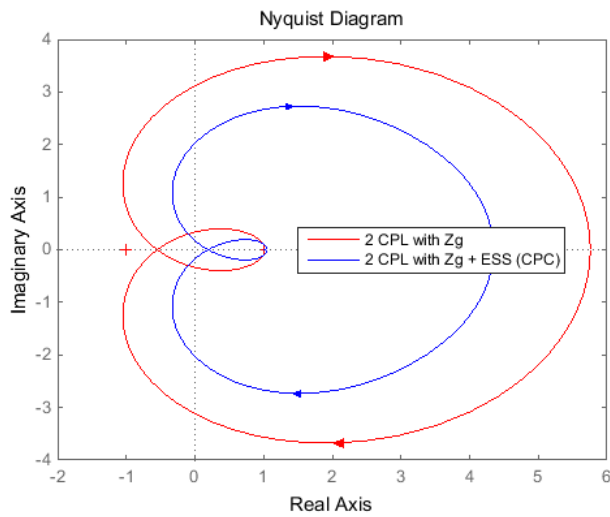
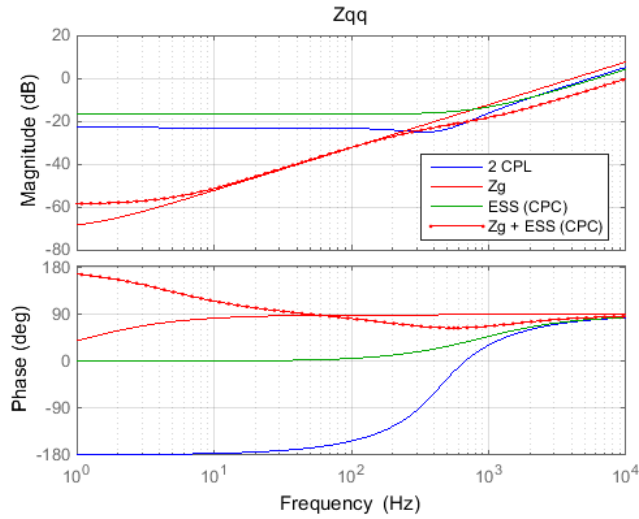


(c)

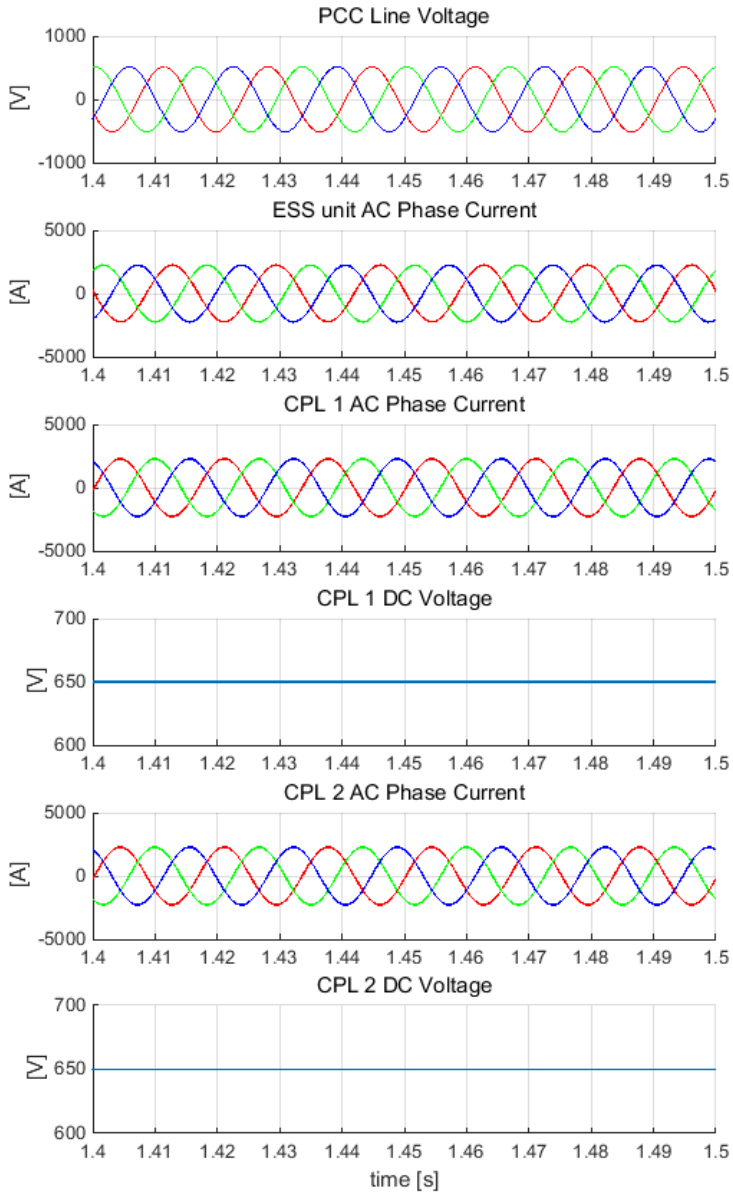
그림 3-32. 태양광 발전 연계 운전 시 안정도 변화

3.2.2 절의 「그림 3-24」에서 살펴본 바와 같이 일정 전력 부하의 병렬 운전 시에는 계통 전압이 유지되지 못하여 시스템이 불안정하였다. 부하 한 기의 정격 용량을 공급할 수 있는 PCS의 설치로 인하여 「그림 3-32 (c)」와 같이 안정된 운전이 가능하다.

다음 「그림 3-33」은 정격 전력을 공급하는 배터리 에너지 저장 장치 (BESS, Battery Energy Storage System) PCS 연계 운전에 따른 시스템 안정화 결과를 나타낸다. 역시 정격 출력을 공급하는 경우, 안정된 시스템 운영이 가능하다.



(다음 페이지에 계속)

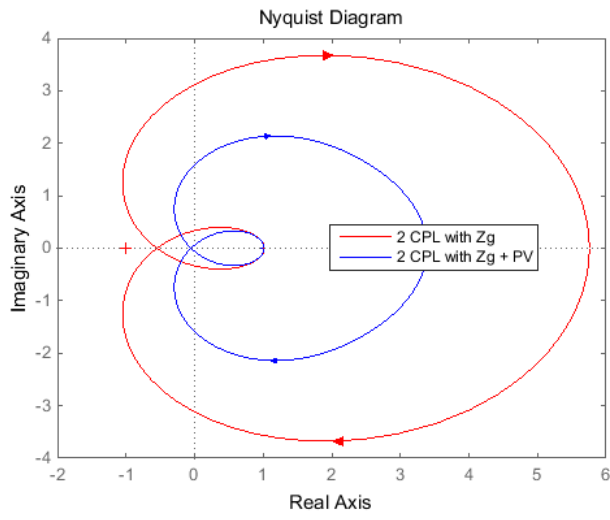
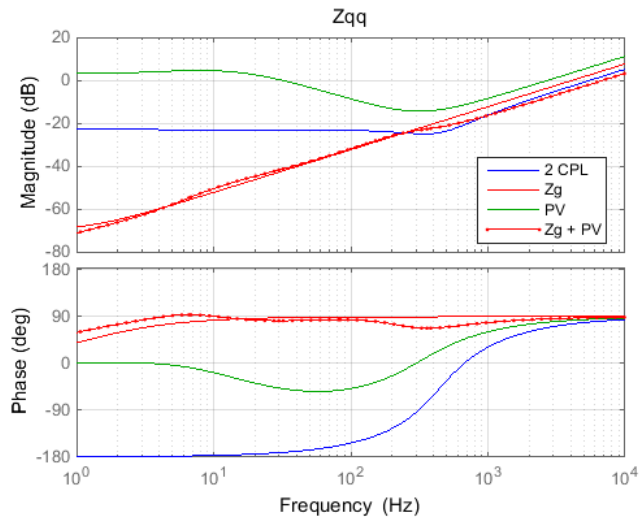


(c)

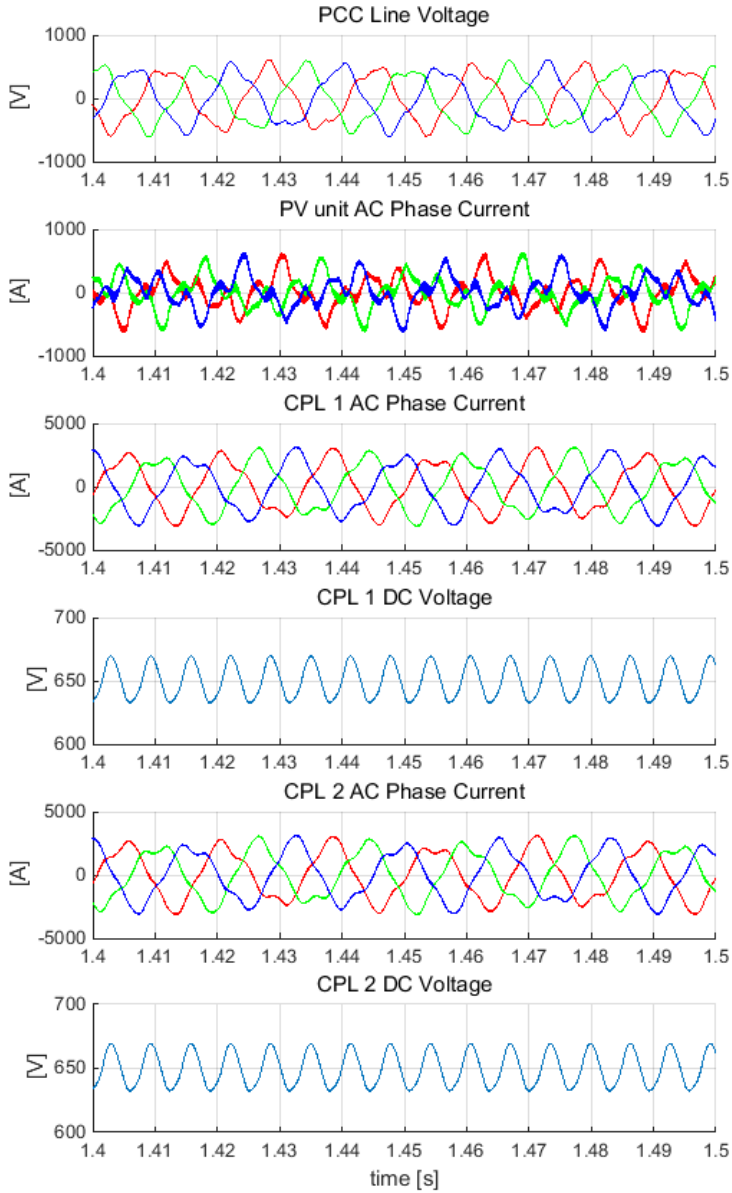
그림 3-33. BESS (폐루프 전력 제어) 연계 운전 시 안정도 변화



하지만, 태양광 발전의 경우 일사량 변화에 의한 공급 전력이 순간적으로 감소할 수 있다. 「그림 3-34」는 태양광 발전의 전력 생산이 10%로 줄어들었을 때의 결과를 나타낸다. (a)의 보드 선도를 「그림 3-32 (a)」의 결과와 비교할 때, 계통 측 임피던스 크기 감소량이 충분하지 못하여 간섭이 일어나 시스템이 불안정해진다. (b)의 나이퀴스트 선도 결과 역시, 태양광 PCS에 의해 전력이 공급됨에도 원점을 감게 되어 시스템이 불안정해질 것을 예측할 수 있다.



(다음 페이지에 계속)

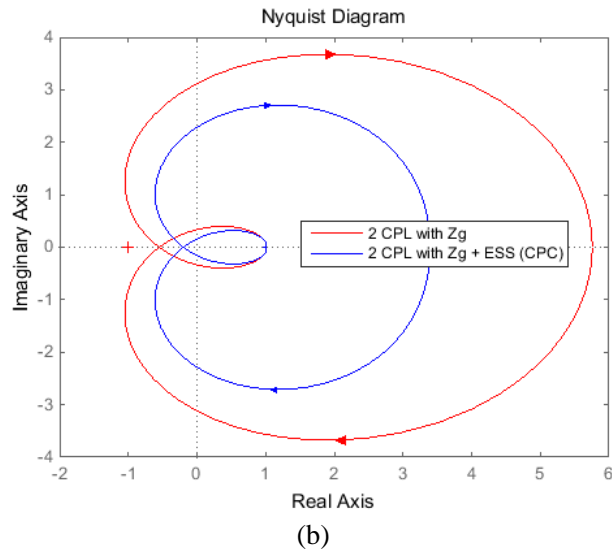
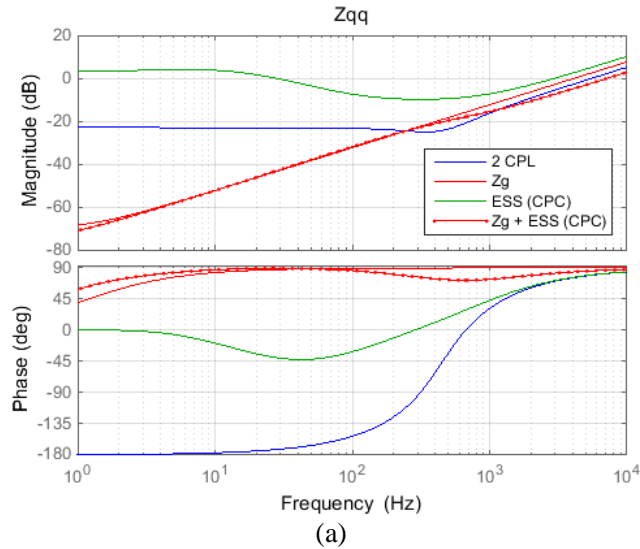


(c)

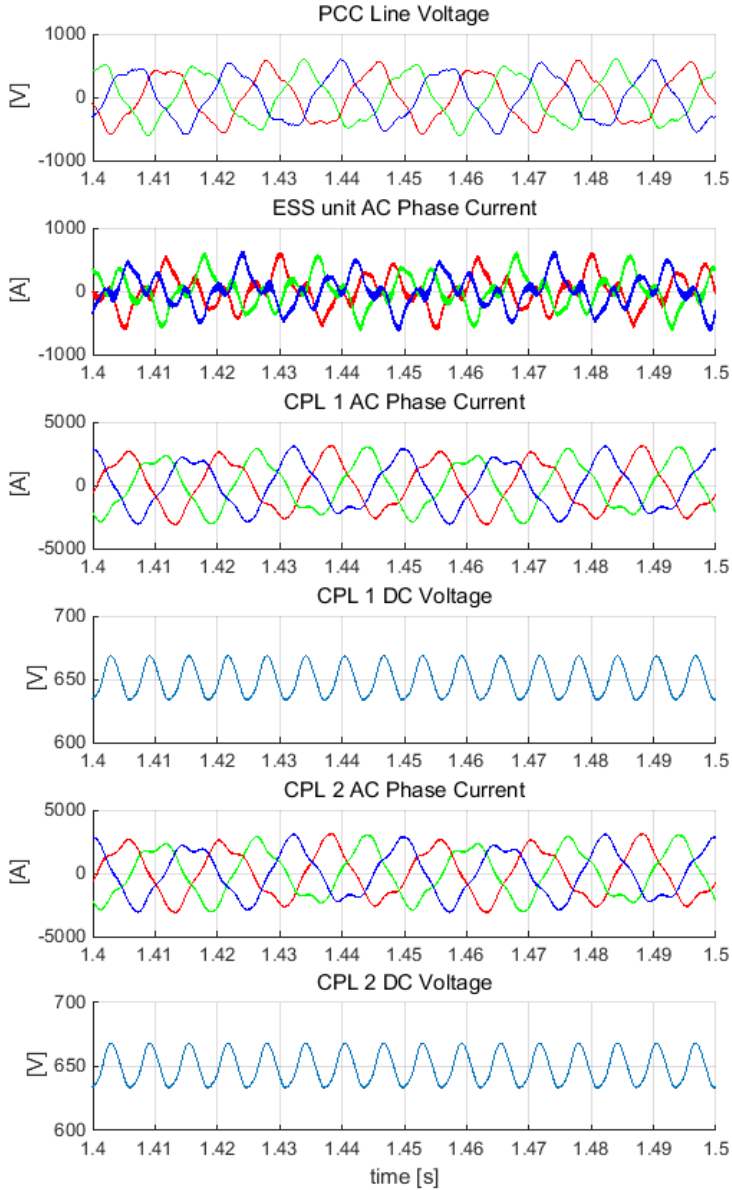
그림 3-34. 태양광 발전 연계 운전 시 안정도 변화  
(공급 전력 감소 시, 10%)

(c)의 모의 실험 결과를 통해, 계통 전압이 유지되지 못하고 전력 공급 및 소비가 불안정해짐을 확인할 수 있다.

에너지 저장 장치에 사용된 PCS 역시, 배터리 SOC(State Of Charge) 저하로 인하여 공급 전력을 낮추는 경우, 일정 전력 부하에 의한 접속점 계통 전압 불안정 현상이 나타나게 된다. 페루프 전력 제어를 사용하는 PCS에 대한 분석 결과 및 모의 실험 결과를 「그림 3-35」에 정리하였다.



(다음 페이지에 계속)



(c)

그림 3-35. BESS (폐루프 전력 제어) 연계 운전 시 안정도 변화  
(ESS 출력 전력이 10%로 줄었을 때)

본 절에서는 일정 전력 부하에 전력을 공급하기 위해 설치된 분산 전원이 정격 전력을 공급할 때, 충분히 시스템을 안정시킬 수 있음을 확인하였다. 그러나, 전력 공급이 부족하여, 전원 계통으로부터 전력을 공급

받아야 하는 경우 일정 전력 부하 운전에 의한 시스템 불안정 현상을 해소할 수 없었다.

### 3.3.2 능동 댐핑 알고리즘 적용에 의한 안정화

3.3.1 절에서 살펴본 바와 같이, 부가적으로 설치된 부하 전력을 감당하기 위한 분산 전원의 전력이 일시적으로 낮아지는 경우, 접속점 계통이 불안정해질 수 있다. 이러한 PCS 연계에 의한 계통 전압의 불안정은 앞서 언급하였듯이 능동 댐퍼를 이용하여 해결할 수 있으나, 추가 설비를 갖춰야 하는 문제가 발생한다. 기 설치된 분산 전원은 추가 설비 없이 능동 댐퍼와 같은 기능을 제공할 수 있다.

「그림 3-36」은 제안된 태양광 발전 PCS의 능동 댐핑 알고리즘 구성도를 나타낸다. PCS의 어드미턴스 행렬을 직접 변화시키기 위해서 측정 계통 전압으로부터 전류 지령으로의 피드백 루프를 구성한다. 배터리 에너지 저장 장치 PCS 역시, 상위 제어기 출력인 전류 지령에 피드백 루프를 동일하게 구성하여 능동 댐핑 알고리즘을 구현할 수 있다.

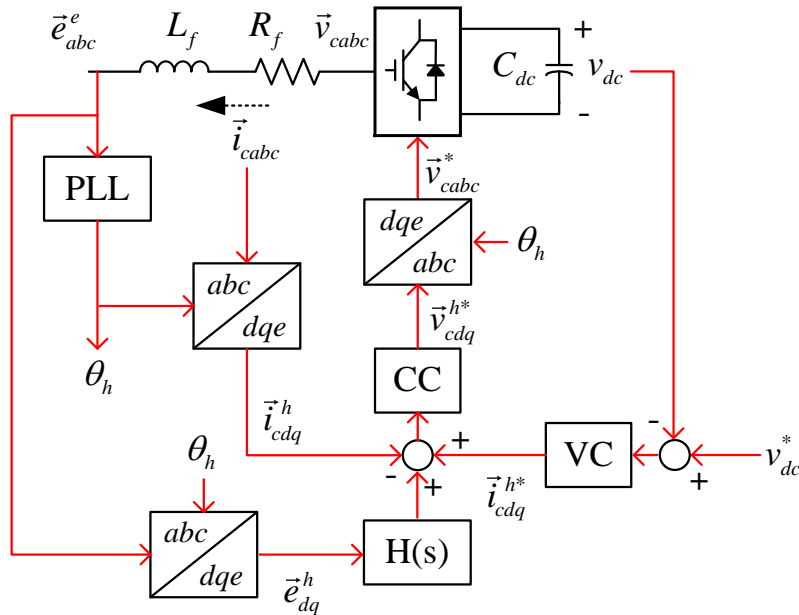


그림 3-36. 태양광 발전 PCS의 능동 댐핑 알고리즘 구성도

이러한 피드백 루프는 다양한 전달 함수의 형태가 적용될 수 있으며, 특히 간섭에 의한 고조파가 발생하는 주파수 영역에 맞춰 식 (3.3.1)과 같이 대역 통과 필터(Band Pass Filter, BPF) 형태로 설계될 수 있다.

$$H(s) = \begin{bmatrix} 0 & 0 \\ 0 & K_h \frac{2\zeta_h \omega_{nh} s}{s^2 + 2\zeta_h \omega_{nh} s + \omega_{nh}^2} \end{bmatrix}. \quad (3.3.1)$$

$\omega_{nh}$  와  $\zeta_h$  는 설계된 필터의 고유 주파수와 댐핑 계수이며,  $\omega_{nh}$  는 발생하는 고조파 전압의 주파수로 설정하며 댐핑 계수는 임계 감쇠로 설계할 수 있다.  $K_h$  는 보상 이득이며, 측정된 고조파 전압을 해당 주파수의 전류로 변환해야 하므로, PCS 시스템 용량에 맞춰 어드미턴스의 기저 값으로 설계할 수 있다.

대역 통과 필터는 「그림 3-37」 과 같이 SOGI(Second-Order Generalized Integrator)로 구현할 수 있다.

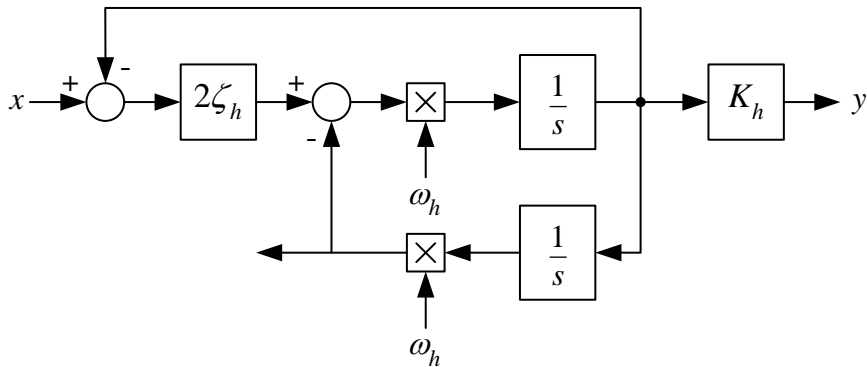
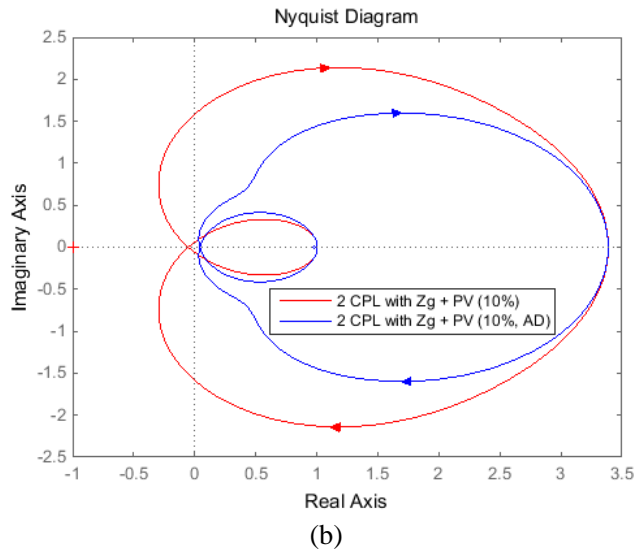
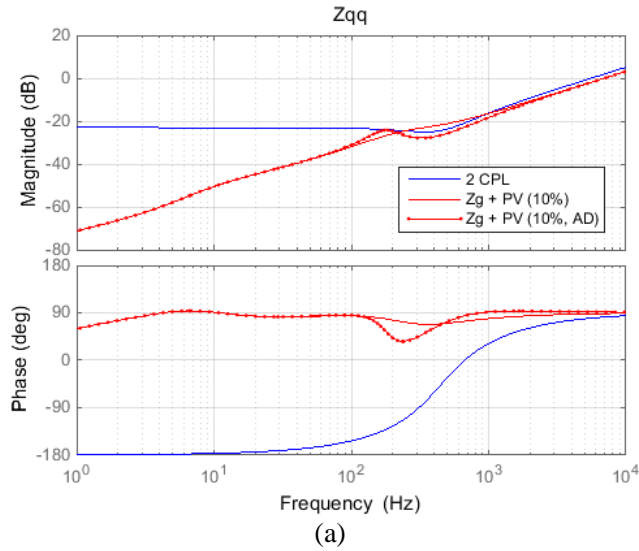


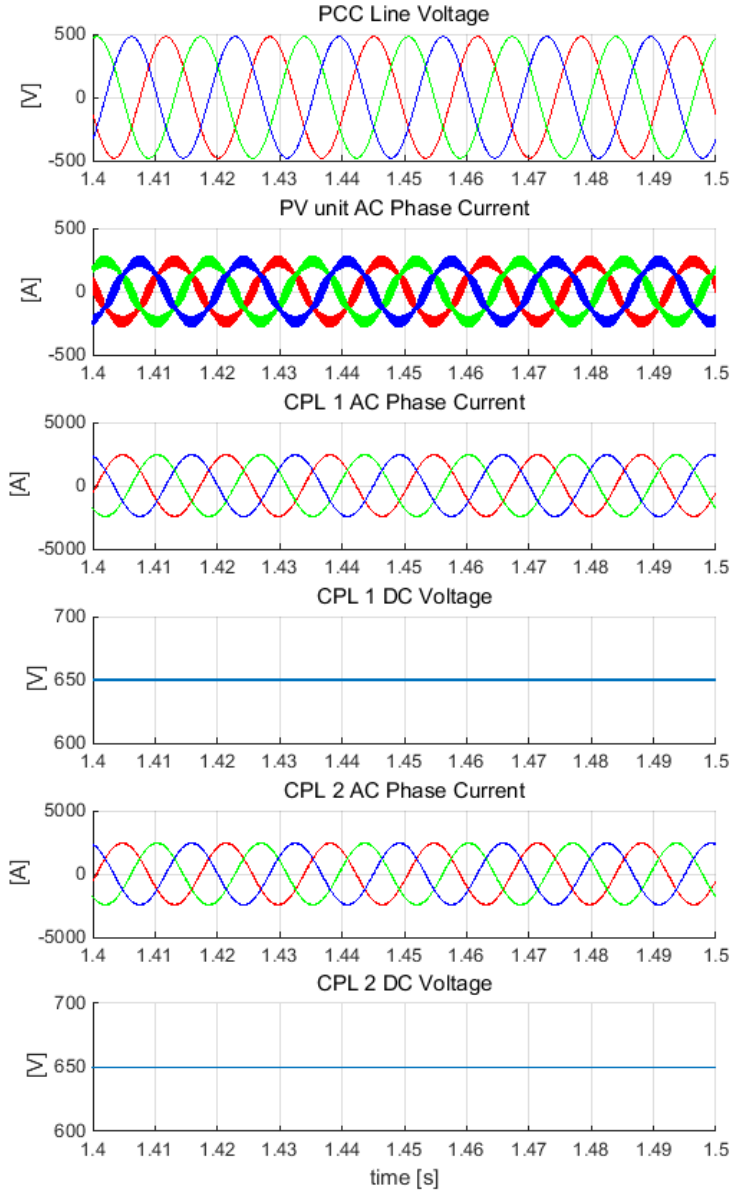
그림 3-37. 대역 통과 필터 구현을 위한 SOGI (Second-Order Generalized Integrator) 구조

「그림 3-38」 과 「그림 3-39」 는 능동 댐핑 알고리즘을 적용하였을 때, 계통 측 임피던스의 변화와 나이퀴스트 선도, 회로 모의 실험 결과를 나타낸다.

10 %의 전력을 생산하는 능동 댐퍼 알고리즘을 사용하였을 때, 일정 전력 부하 측에서 바라본 계통 측 임피던스 변화를 「그림 3-38 (a)」에 나타내었다. 공급 전력이 감소하여도 간섭이 발생하는 영역에서 계통 측 임피던스 크기를 줄일 수 있으며, 임피던스가 교차하는 주파수에서의 위상 여유가 늘어나 나이퀴스트 선도가 영점을 지나지 않게 된다.



(다음 페이지에 계속)



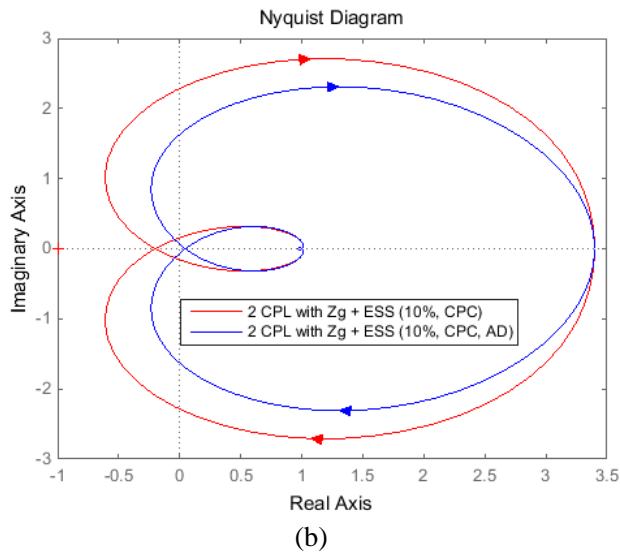
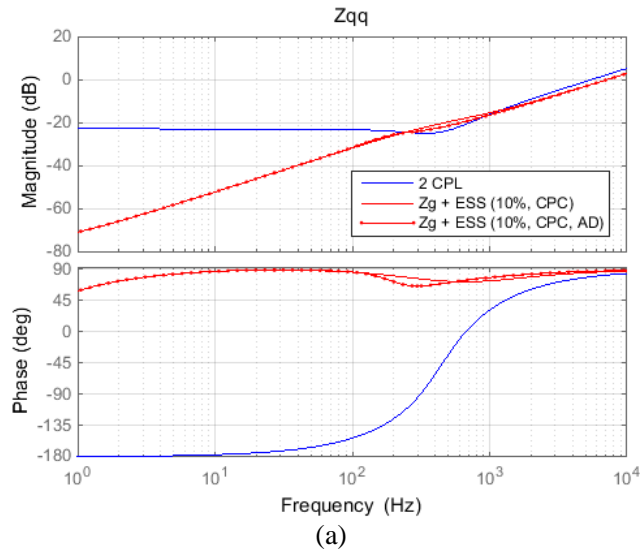
(c)

**그림 3-38. 태양광 발전 연계 운전 – 능동 댐핑 알고리즘 적용 시  
(공급 전력 감소 시, 10%)**

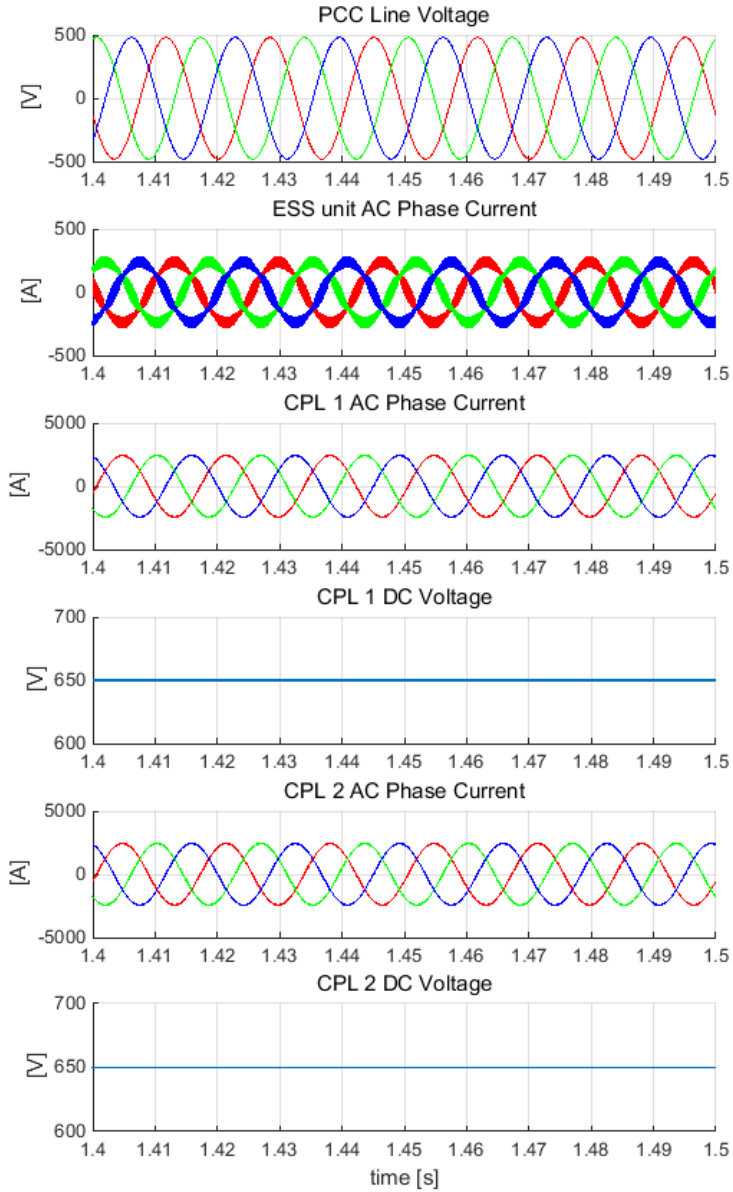
「그림 3-34」의 결과와 비교하였을 때, 동일한 전력 관계를 가지지만 능동 댐핑 알고리즘으로 인하여 접속점 전압에 왜곡이 없이 안정된 전력 공급이 가능함을 확인할 수 있다.



폐루프 전력 제어기에 능동 댐핑 알고리즘을 사용한 경우, 상위 제어 루프에 의해 임피던스 변화가 크지 않지만, 역시 안정도를 확보하는 것을 확인할 수 있다.



(다음 페이지에 계속)



(c)

그림 3-39. BESS (폐루프 전력 제어) 연계 운전 시 - 능동 댐핑 알고리즘 적용 시 (공급 전력 감소 시, 10%)

본 절에서는 일정 전력 부하의 병렬 운전으로 인해 발생할 수 있는 불안정 현상을 해결하는 방안으로, 추가 설치된 분산 전원을 활용하는 방안을 제안하였다. 정격 전력 공급 시에는 별다른 알고리즘을 적용하지 않아도 시스템이 안정되는 효과가 있으나, 출력이 줄어들었을 때 시스템이 불안정해지는 것을 확인하였다. 이에 부가적인 능동 댐퍼를 설치하는 대신, 기 설치된 분산 전원을 활용하는 방안을 제안하였다.

### 3.4 단독 운전 검출 기법의 설계

2.4 절에서는 약한 계통에서 단독 운전 검출 기법을 적용했을 때 양성 피드백 이득의 제한에 관하여 분석하였다. 이러한 제한은 PLL의 설계에 따라서 변동함을 알 수 있었다. 특히, 과감쇠로 설계된 PLL을 사용하는 경우 일부 영역에서 단독 운전 검출이 불가능한 양성 피드백 이득 값만이 허용되어, 원하는 단독 운전 검출 성능을 얻지 못할 것을 예측할 수 있었다.

본 절에서는 수정된 PLL 구조를 통해 양성 피드백 이득의 제한을 높이는 방법을 제안한다. 2.4 절에서와 마찬가지로, 전류 제어기와 PLL, 주파수 이동 검출 방식만이 고려되었다.

#### 3.4.1 제안된 위상 동기화 제어기

일반적인 동기 좌표계 위상 동기화 제어기(SRF-PLL, Synchronous Reference Frame PLL)의 경우, 「그림 2-8」과 같은 상태 필터(State filter)로 비례-적분(PI, Proportional and Integral) 제어기를 사용한다. 이 때 계통 추정 각을 미분한 값, 즉, PI 출력과 전향 보상 값을 합한 값을 계통 각 주파수로 사용한다.

실제적으로, 계통 각 주파수는 그 변화 속도가 느리기 때문에 「그림 3-40」과 같이 적분기 출력과 전향 보상 값만을 합한 값을 계통 각 주파수로 사용할 수 있다[160].

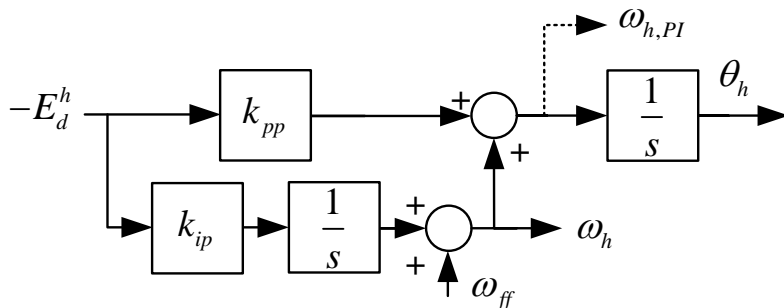


그림 3-40. 수정된 위상 동기화 제어기

식 (3.4.1)과 (3.4.2)는 각각 기존 구조와 수정된 구조를 사용했을 때, 실제 계통 주파수로부터 추정된 계통 주파수로의 전달 함수를 나타낸다.

$$\frac{\omega_h}{\omega} = \frac{E(k_{pp}s + k_{ip})}{s^2 + Ek_{pp}s + Ek_{ip}} = \frac{2\zeta_p \omega_{np}s + \omega_{np}^2}{s^2 + 2\zeta_p \omega_{np}s + \omega_{np}^2} \quad (3.4.1)$$

$$\frac{\omega_h}{\omega} = \frac{Ek_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}} = \frac{\omega_{np}^2}{s^2 + 2\zeta_p \omega_{np}s + \omega_{np}^2} \quad (3.4.2)$$

수정된 구조를 통해 추정된 계통 각 주파수는 기존 방법의 전달 함수에서 분자의 1차 항( $2\zeta_p \omega_{np}$ )이 없어져 저역 통과 필터 특성이 강화되며, 신호 잡음에 강인한 특성을 보여준다. 하지만, 동특성은 느려지게 된다.

임피던스 모델을 얻기 위해 수정된 구조로 추정된 각 주파수의 소신호 모델을 다음과 같이 유도할 수 있다. 먼저 대신호 모델은 식 (3.4.3)과 같으며, 정상 상태 변수와 작은 섭동을 고려하면 식 (3.4.4)를 얻을 수 있다. 이 때 소신호 모델은 식 (3.4.5)와 같다.

$$\omega_h = \omega_{ff} + \frac{k_{ip}}{s}(e_d^{h*} - e_d^h) \quad (3.4.3)$$

$$\bar{\omega}_h + \Delta\omega_h = \bar{\omega}_{ff} + \frac{k_{ip}}{s}[E_d^{h*} - (E_d^h + \Delta e_d^h)] \quad (3.4.4)$$

$$\Delta\omega_h = -\frac{k_{ip}}{s}\Delta e_d^h \quad (3.4.5)$$

이 때, 식 (2.1.27)의 관계로부터 얻을 수 있는 식  $\Delta e_d^h = (1 - E_q^e G_{pll})\Delta e_d^e$ 를 대입하면, 아래와 같은 관계를 얻을 수 있다.

$$\begin{aligned}\Delta\omega_h &= -\frac{k_{ip}}{s}(1-E_q^e G_{pll})\Delta e_d^e = -\frac{k_{ip}}{s}\left[1-\frac{E(k_{pp}s+k_{ip})}{s^2+Ek_{pp}s+Ek_{ip}}\right] \\ &= -\frac{k_{ip}}{s}\left(1-\frac{2\zeta_p\omega_{np}s+\omega_{np}^2}{s^2+2\zeta_p\omega_{np}s+\omega_{np}^2}\right)\end{aligned}\quad (3.4.6)$$

이를 식 (2.4.10)의  $\Delta\omega_h$  에 대입하면 무효 전력 지령의 소신호 모델은 식 (3.4.7)과 같이 변형된다. 이 때 PCS의 어드미턴스 행렬은 식 (3.4.8)과 같이 계산된다.

$$\Delta i_{ds}^{h*} = -K_{aid}\Delta\omega_h = K_{aid}\frac{k_{ip}}{s}\left(1-\frac{2\zeta_p\omega_{np}s+\omega_{np}^2}{s^2+2\zeta_p\omega_{np}s+\omega_{np}^2}\right)\Delta e_d^e \quad (3.4.7)$$

$$\mathbf{Y}_i = \begin{bmatrix} g_{lcc}^{-1}(1-g_{pll}-g_{aid,I}) & 0 \\ 0 & g_{lcc}^{-1} \end{bmatrix} \quad (3.4.8)$$

여기서,  $g_{aid,I} = \left(k_{pc} + \frac{k_{ic}}{s}\right)K_{aid}\frac{k_{ip}}{s}\left(1-\frac{2\zeta_p\omega_{np}s+\omega_{np}^2}{s^2+2\zeta_p\omega_{np}s+\omega_{np}^2}\right)$  와 같다.

### 3.4.2 제안된 위상 동기화 제어기 분석

식 (2.4.10)의  $g_{aid}$  과 비교할 때  $g_{aid,I}$  는 미분 항이 사라지고 적분 항이 추가된다. 따라서 「그림 3-41」에서 볼 수 있듯이, PCS  $dd$ -임피던스의 위상 여유가 커지게 되며 위상이  $-180$ 도 이하인 영역이 확연히 줄어들게 된다. 또한, PLL 고유 주파수 이상에서  $dd$ -임피던스의 크기 역시 커지게 되어 계통 측 임피던스와의 간섭 가능성도 줄이게 된다. 「그림 3-42」는 일반화된 나이퀴스트 선도로, 위상 및 크기 여유를 확보하여 안정성 역시 개선할 수 있음을 확인할 수 있다. 「그림 3-41」과 「그림 3-42」에서 기존 방식은 PI output, 수정된 방식은 I output으로 표현하였다.

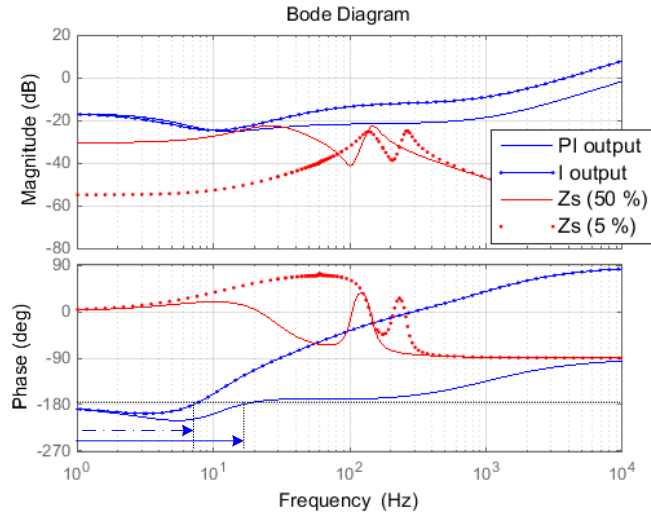


그림 3-41. 계통 각 주파수 추정 방법에 따른 보드 선도 (임계 감쇠,  $Q_{f,set} = 5$ )

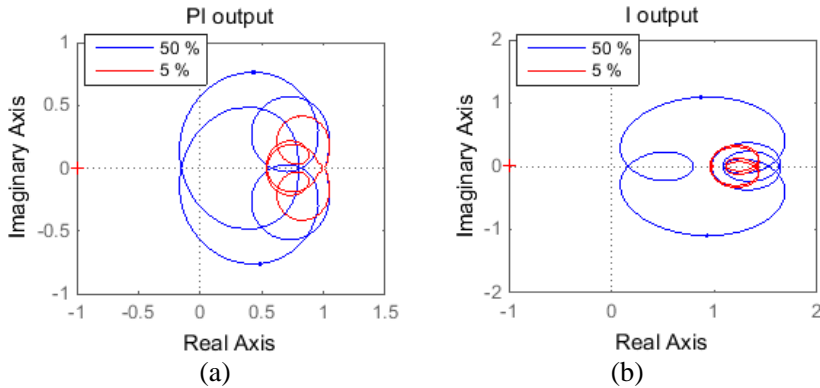
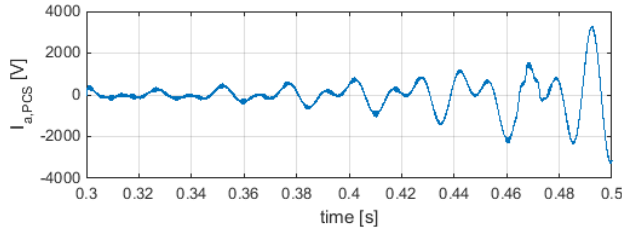
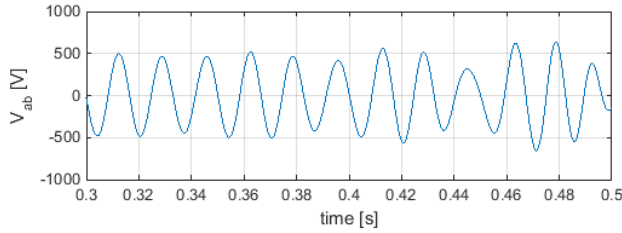
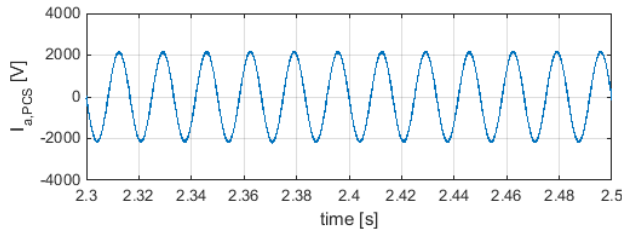
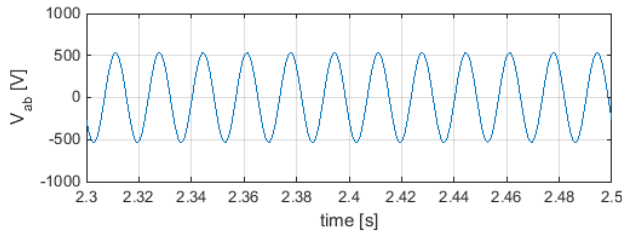


그림 3-42. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도  
(임계 감쇠,  $Q_{f,set} = 5$ )

「그림 3-43」은 「그림 3-41」의 조건에 대한 모의 실험 결과다. PLL이 임계 감쇠로 설계되어 있으며, 동일한 양성 피드백 이득( $Q_{f,set} = 5$ )을 사용하였다. 기존 PI 출력을 사용하는 추정 방식은 (a)와 같이 접속점의 계통 전압이 일그러지며, 점차 PCS의 전류가 발산하여 정상적인 전력 공급이 불가능함을 알 수 있다. 반면, 제안된 추정 방법 적용 시에는 안정된 전력 공급이 가능하다.



(a)



(b)

그림 3-43. 모의 실험 결과 (임계 감쇠,  $Q_{f,set} = 5$ )

(a) 기존 추정 방법 (b) 제안된 추정 방법

제안된 방법은 위상이  $-180$ 도 이하인 영역을 줄여주며 위상 여유도 증가하게 된다. 또한 PLL 고유 주파수 이상에서 크기를 키운다. 이는 과감쇠로 설계된 PLL에서 효과적인 장점이 된다. 2.4.3 절에서 분석한 바와 같이 과감쇠 설계된 PLL을 사용하는 경우, PLL 고유 주파수 이상에서 임피던스 크기가 감소하며, 위상이  $-180$ 도 이하인 영역이 증가한다. 즉, 제안된 방식은 과감쇠 설계된 PLL을 사용함으로써 발생하는 문제를 모



두 상쇄할 수 있도록 임피던스를 변화시킨다.

「그림 3-44」와 「그림 3-45」는 과감쇠 ( $\zeta_p = \sqrt{2}$ ) 설계된 PLL을 사용하였을 때, 계통 각 주파수 추정 방식에 따른 보드 선도, 일반화된 나이퀴스트 선도를 도시한 것이다. 앞서 설명한 이유로 인해 안정도 특성이 크게 개선됨을 알 수 있다.

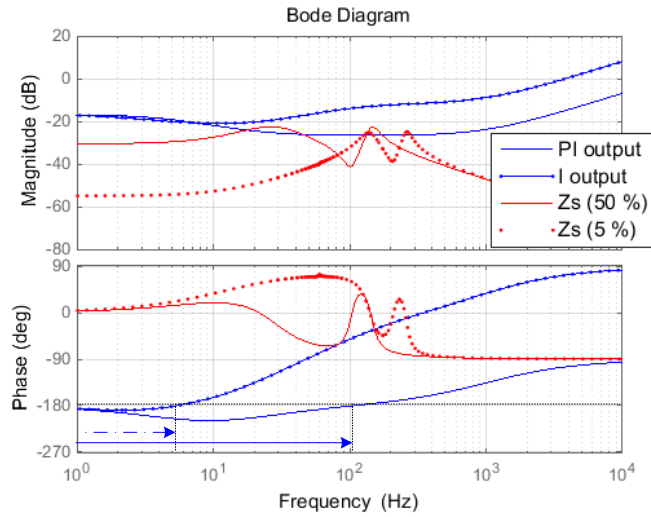


그림 3-44. 계통 각 주파수 추정 방법에 따른 보드 선도 (과감쇠,  $Q_{f,set} = 4$ )

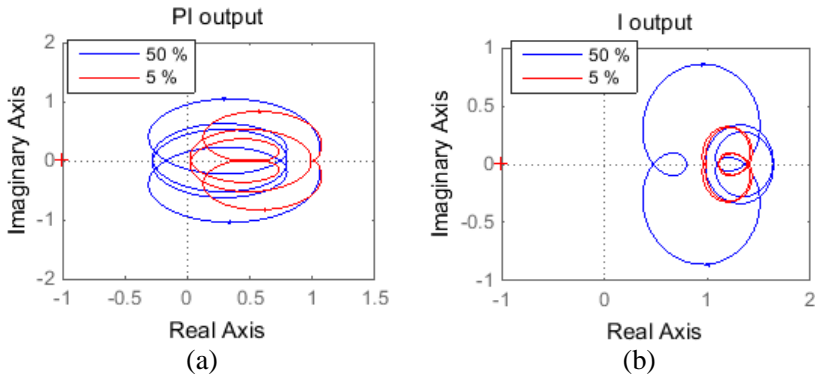


그림 3-45. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도  
(과감쇠,  $Q_{f,set} = 4$ )

「그림 3-46」은 「그림 3-44」의 조건에 대한 모의 실험 결과로, 동일한 PLL 설계 계수(과감쇠,  $\zeta_p = \sqrt{2}$ )와 양성 피드백 이득( $Q_{f,set} = 4$ )을 갖도록 설계되었다. 역시 제안된 추정 방법을 적용하였을 때 안정된 전력 공급이 가능하였다.

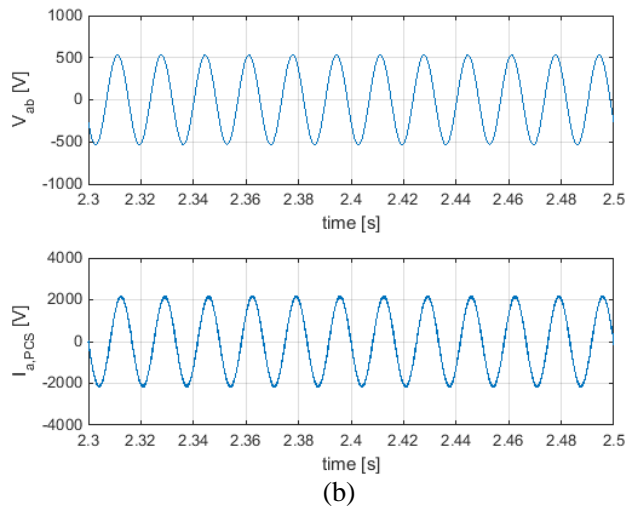
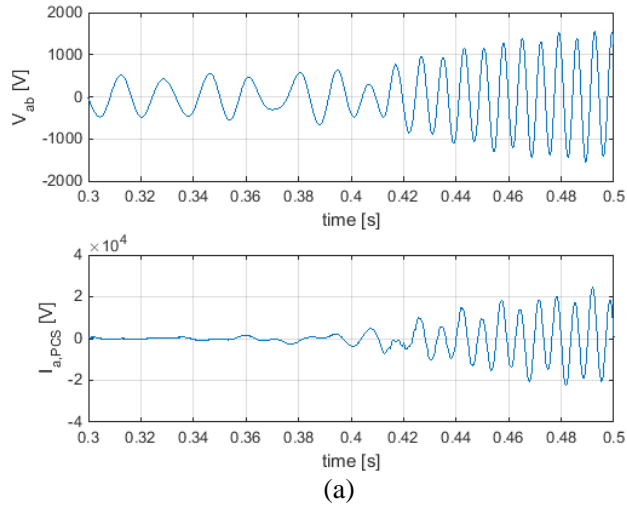


그림 3-46. 모의 실험 결과 (과감쇠,  $Q_{f,set} = 4$ )

(a) 기존 추정 방법 (b) 제안된 추정 방법

반면, 제안된 추정 방법은 부족 감쇠 설계된 PLL에 대해서는 장점을 보여주지 못한다. 부족 감쇠 설계된 PLL은 고유 주파수에서 피크 발생

으로 인해 불안정을 야기하는데, 제안된 방법의 임피던스 변화는 이러한 불안정 요인을 해소하는데 도움을 주지 못한다.

「그림 3-47」과 「그림 3-48」은 부족 감쇠 ( $\zeta_p = 1/2\sqrt{2}$ ) 설계된 PLL을 사용하였을 때, 계통 각 주파수 추정 방식에 따른 보드 선도, 일반화된 나이퀴스트 선도를 도시한 것이다. 앞서 설명한 이유로 인해 안정도 특성이 개선되지 못함을 알 수 있다. 이러한 특성은 「그림 3-49」의 모의 실험 결과로 확인할 수 있다.

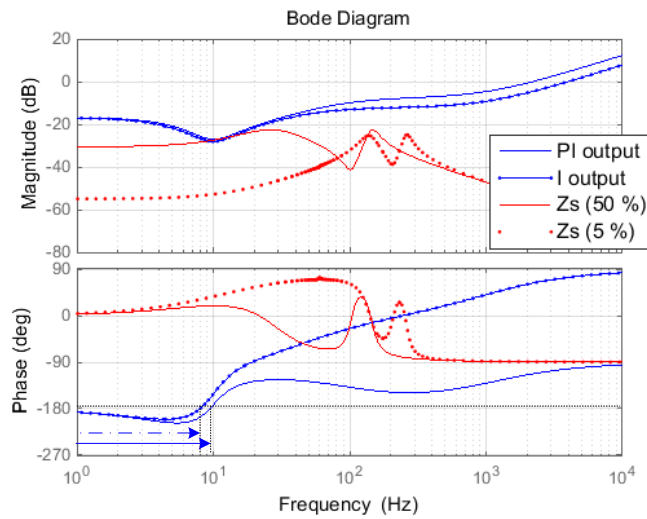


그림 3-47. 계통 각 주파수 추정 방법에 따른 보드 선도 (부족 감쇠,  $Q_{f,set} = 4$ )

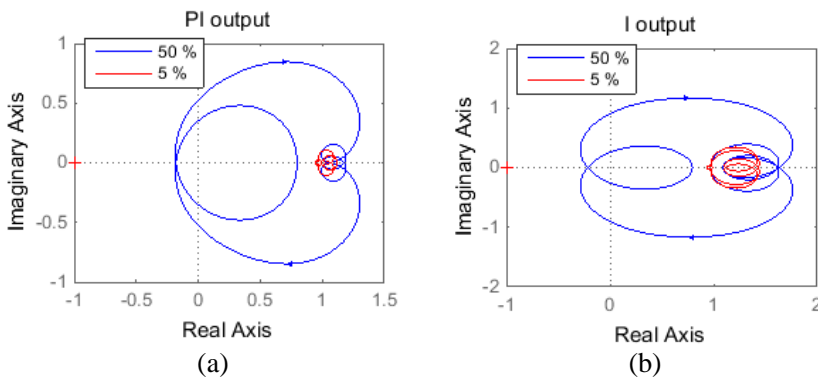
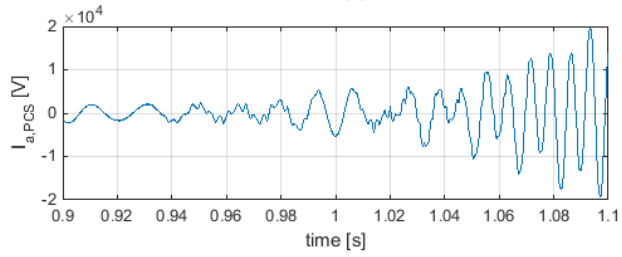
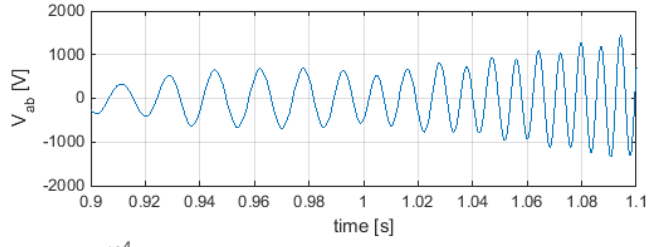
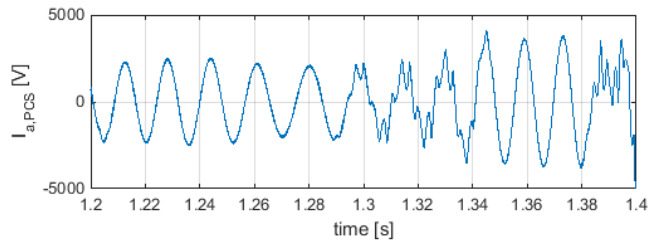
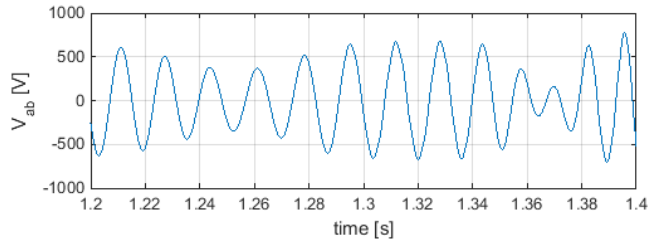


그림 3-48. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도  
(부족 감쇠,  $Q_{f,set} = 4$ )



(a)



(b)

그림 3-49. 모의 실험 결과 (부족 감쇠,  $Q_{f,set} = 4$ )

(a) 기존 추정 방법 (b) 제안된 추정 방법

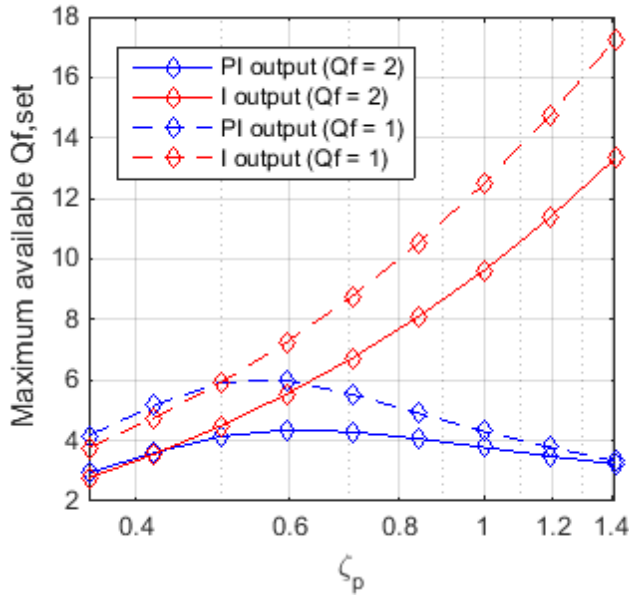


그림 3-50. PLL 댐핑 계수 설계에 따른 최대 허용 가능한 양성 피드백 이득

「그림 3-50」은 PLL 댐핑 계수의 설계에 따라 약한 계통에서 시스템의 안정된 운용을 위해, 최대로 허용 가능한 양성 피드백 이득을 도시한 것이다. 「그림 2-49」에 더하여 제안된 방식을 적용하였을 때의 결과를 추가하였다. 기존 방식과 비교했을 때, 댐핑 계수가 작을 때는 양성 피드백 이득을 개선할 수 없지만, 댐핑 계수가 커짐에 따라 더 큰 양성 피드백 이득을 사용할 수 있음을 알 수 있다.

기존 방식을 사용했을 때에는 PLL 댐핑 계수에 따라, 부하 *Quality factor*( $Q_f$ )에 따라 사용할 수 있는 양성 피드백 이득의 양상이 일정하지 않았다. 반면, 제안된 방법을 사용한 경우, 댐핑 계수에 관계 없이 더 작은  $Q_f$ 를 갖는 부하가 연결되었을 때 더 큰 양성 피드백 이득을 사용할 수 있다. 더구나, 과감쇠로 설계된 PLL을 사용할 때, 단독 운전을 검출할 수 있는 양성 피드백 이득을 설정할 수 있어 단독 운전 검출 능력 역시 향상시킬 수 있다.

「그림 3-51」과 「그림 3-52」는 부족 감쇠로 설계된 PI 출력을 사용

하는 PLL 사용 시, 부하  $Q_f$  에 따른 모의 실험 결과를 보여준다. 동일한 PLL 설계 값을 사용하고, 동일한 양성 피드백 이득을 사용하였으나 부하  $Q_f$  가 낮을 때 안정된 운전이 가능하였다. 분석 결과에서 예측되었듯이  $Q_f$  가 낮은 부하에서 더 높은 양성 피드백 이득을 사용할 수 있었다.

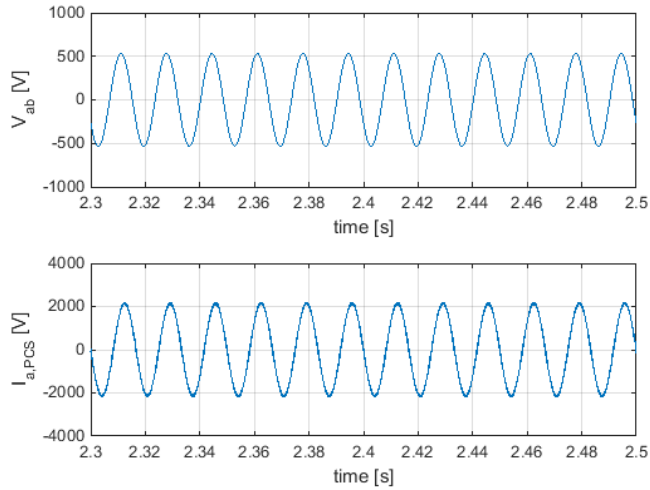


그림 3-51. 부하 *Quality factor*에 따른 모의 실험 결과

$$(Q_f = 1, \zeta_p = 0.354, Q_{f,set} = 2.7)$$

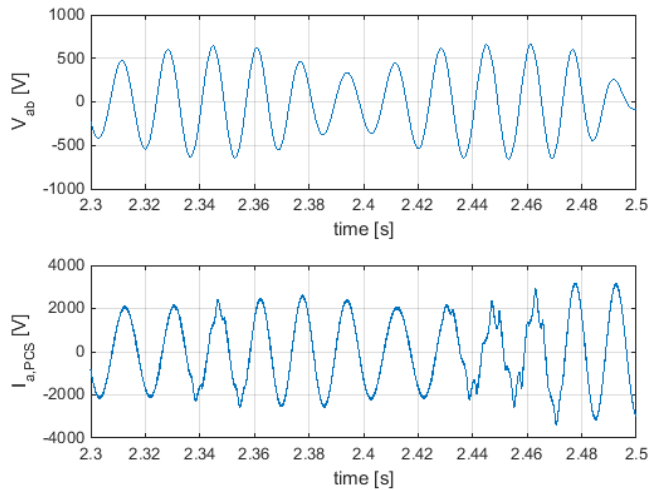


그림 3-52. 부하 *Quality factor*에 따른 모의 실험 결과

$$(Q_f = 2, \zeta_p = 0.354, Q_{f,set} = 2.7)$$

「그림 3-53」 과 「그림 3-54」 는 과감쇠 설계 시 동일한 양성 피드백 이득을 사용하였음에도 부하  $Q_f$  에 따라 시스템 안정 여부가 달라지는 것을 보여준다. 기존 PI 출력을 사용하는 과감쇠 설계한 PLL을 적용한 PCS는 높은  $Q_f$  의 부하에서 더 높은 양성 피드백 이득을 사용할 수 있음을 보여준다.

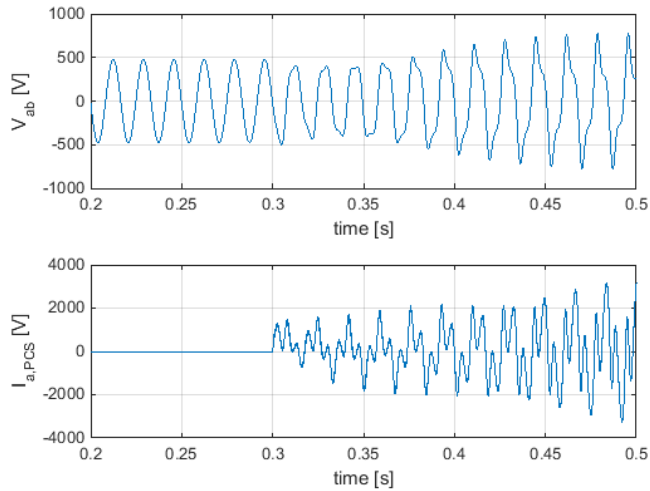


그림 3-53. 부하 *Quality factor*에 따른 모의 실험 결과

$$(Q_f = 1, \zeta_p = 2.83, Q_{f,set} = 2.3)$$

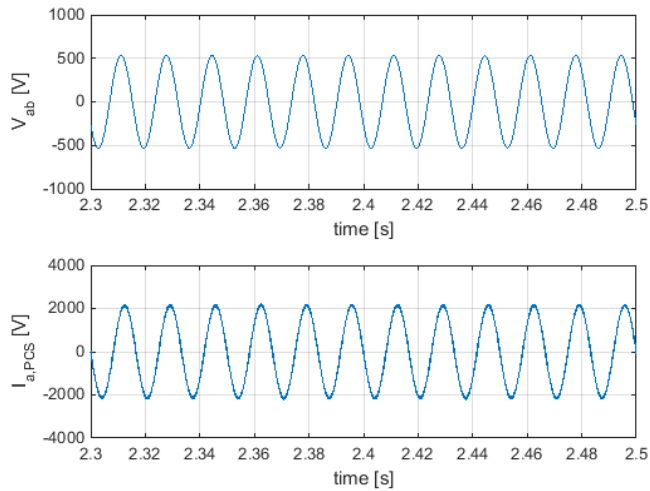
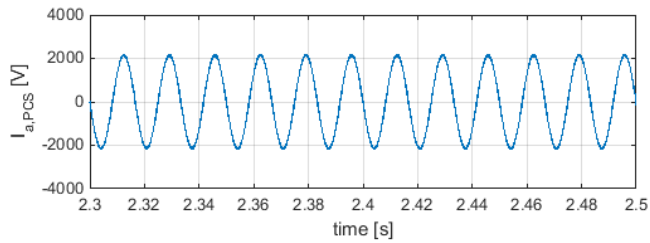
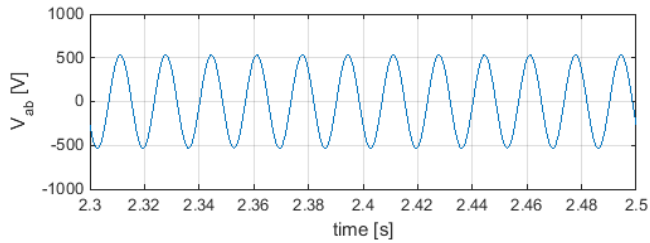


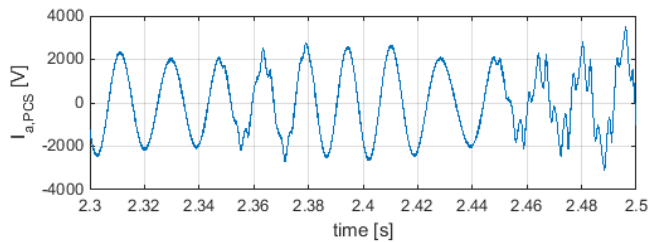
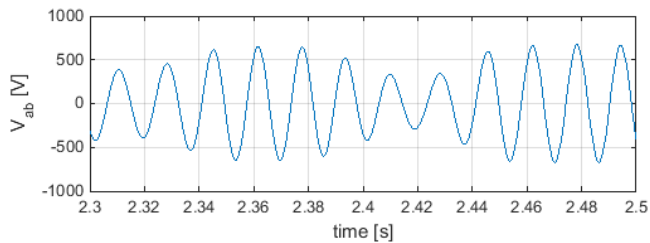
그림 3-54. 부하 *Quality factor*에 따른 모의 실험 결과

$$(Q_f = 2, \zeta_p = 2.83, Q_{f,set} = 2.3)$$

하지만, 「그림 3-50」에서 분석하였듯이, 제안된 PLL 구조를 사용한 경우에는 댐핑 계수에 관계없이 낮은  $Q_f$ 의 부하에서 더 높은 양성 피드백 이득을 사용할 수 있다. 「그림 3-55」의 모의 실험 결과를 통해 과감쇠 설계된 PLL을 사용하였을 때에도 이러한 특성이 나타남을 알 수 있다. 제안된 PLL 구조는 부하 *Quality factor*에 따라 사용할 수 있는 양성 피드백 이득의 경향을 유지함과 동시에, 더 높은 값의 양성 피드백 이득을 사용할 수 있었다.



(a)



(b)

그림 3-55. 부하 *Quality factor*에 따른 모의 실험 결과 - 제안된 PLL 구조 적용 ( $\zeta_p = \sqrt{2}$ ,  $Q_{f,set} = 10$ ) (a)  $Q_f = 1$ , (b)  $Q_f = 3$



이상의 논의에서는 연결된 부하의 공진 주파수가 60 Hz인 경우를 가정하였다. 하지만, 저전압 배전 계통에 연결된 부하는 이보다 높은, 예를 들면 1 kHz 정도의 공진 주파수를 가질 수 있는 것으로 측정되었다[52], [161].

「그림 3-56」은 높은 공진 주파수를 갖는 부하의 보드 선도를 나타낸다. 이 때 임피던스 간의 간섭은 이전보다 높은 주파수에서 발생하며, 이 영역에서는 PLL이 과감쇠로 설계된 경우 불안정 문제가 발생할 수 있다. 이러한 부하 조건에서는 제안된 주파수 추정 방법이 효과적으로 시스템을 안정화시킬 수 있다. 특히, 「그림 3-57」의 일반화된 나이퀴스트 선도의 분석에 따르면, 기존 방법을 사용하게 되면 강한 계통에 연결되더라도 위와 같은 부하 조건에서는 불안정하다. 하지만 제안된 방법을 적용하면 강한 계통, 약한 계통 모두 안정된 운전이 가능하다. 「그림 3-58」의 모의 실험 결과는 이러한 결과를 반영한다.

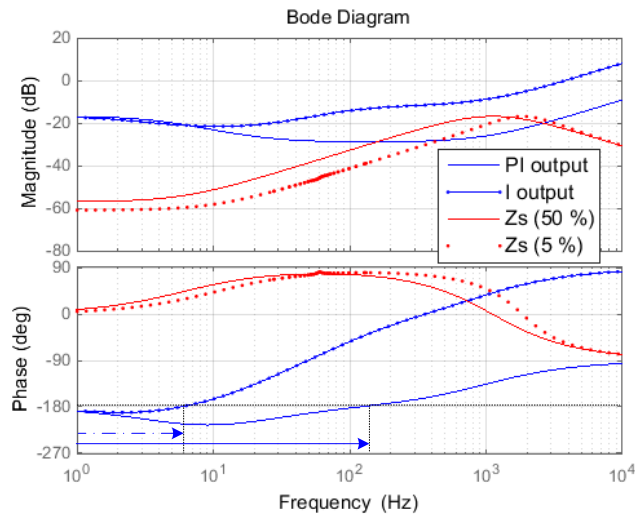


그림 3-56. 계통 각 주파수 추정 방법에 따른 보드 선도  
(과감쇠,  $Q_{f,set} = 5$ , 부하 공진 주파수 = 1kHz,  $Q_f = 0.5$ )

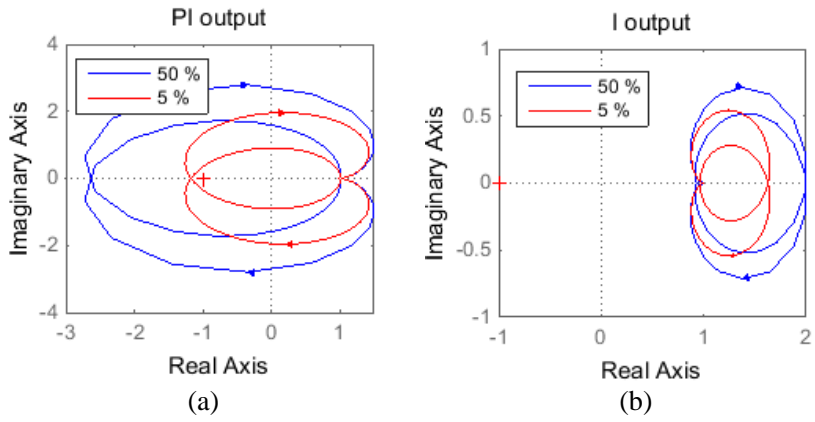
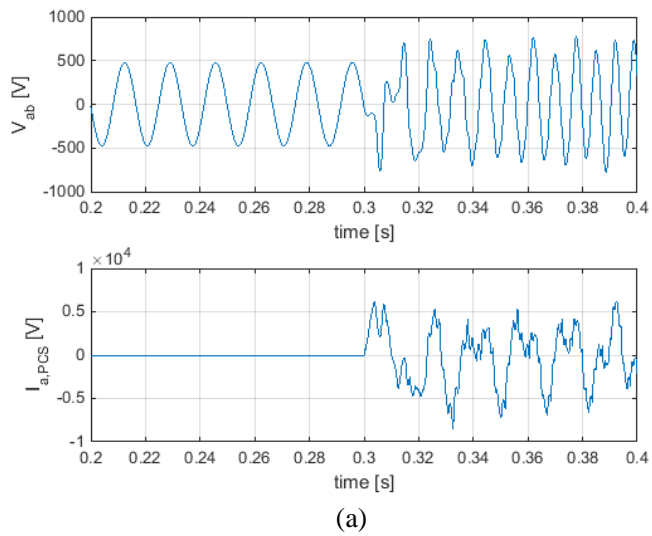


그림 3-57. 계통 각 주파수 추정 방법에 따른 일반화된 나이퀴스트 선도  
 (과감쇠,  $Q_{f,set} = 5$ , 부하 공진 주파수 = 1kHz,  $Q_f = 0.5$ )



(다음 페이지에 계속)

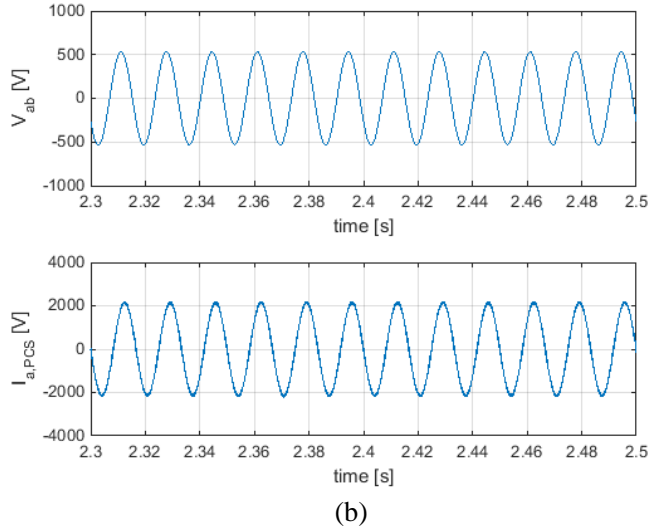


그림 3-58. 높은 공진 주파수를 갖는 부하가 연결되었을 때  
모의 실험 결과 (과감쇠,  $Q_{f,set} = 5$ )  
(a) 기존 추정 방법 (b) 제안된 추정 방법

### 3.4.3 단독 운전 시험 결과

식 (3.4.1)과 (3.4.2)에서 비교한 바와 같이, 제안된 추정 방법을 사용하게 되면 저역 통과 필터 특성이 강화되어 신호 잡음에 강인한 특성을 보여주지만, 동특성은 느려지게 된다. 이로 인해 단독 운전 발생 시 주파수 이동 속도가 느려질 수 있다.

「그림 3-59」에 단독 운전 발생 후(발생 시점: 2초), PCS에서 추정된 계통 주파수의 변화를 도시하였다. 제안된 방법으로 추정된 주파수는 필터 특성이 강화되어 주파수에 잡음이 제거된다. 그러나, 느린 동특성으로 인해 동일한 양성 피드백 이득을 선정하면 검출 시간이 느려지게 된다. 정상 주파수의 범위를 국제 규정에 제시된 59.3 ~ 60.5 Hz로 설정한 경우, 기존 방식은 약 22ms 후에 단독 운전을 검출하게 된다. 반면, 동일한 양성 피드백 이득과 제안된 방식을 적용하면 검출 시간이 약 118ms로 증가하게 된다. 제안된 방법으로 인하여 검출 시간이 저하되지만, 여전히 규정에 제시된 검출 시간 이내에 단독 운전을 검출하게 된다. 그러나 제

안된 추정 방법을 사용하면 더 높은 양성 피드백 이득을 사용할 수 있으며, 검출 시간을 약 49ms로 단축할 수 있다.

즉, 제안된 계통 주파수 추정 방식으로 추정된 계통 주파수는 동특성이 저하되어 단독 운전 검출 시간이 늘어날 수 있지만, 더 큰 양성 피드백 이득을 사용할 수 있어 검출 시간의 저하를 최소화할 수 있다.

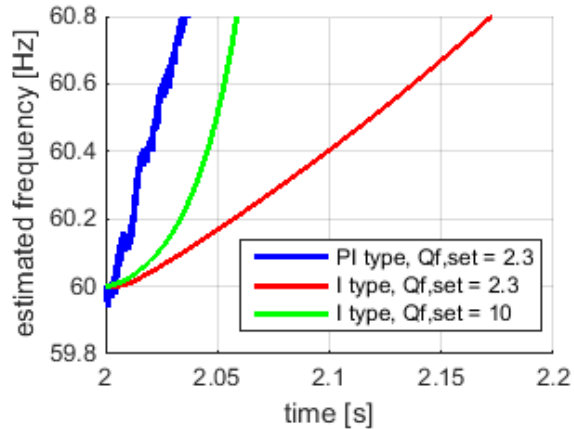


그림 3-59. 단독 운전 시험 결과

본 절에서는 계통 주파수 추정 방식을 제안하여 기존 방식에 비해 더 큰 양성 피드백 이득을 사용할 수 있음을 분석하였다. 특히, 기존 방식에서 과감쇠 설계된 PLL 사용으로 인해 원하는 단독 운전 검출 성능을 얻지 못하는 단점을 개선할 수 있었다.

### 3.5 안정도 보장을 위한 설계 가이드(Guide)

지금까지 약한 계통에 연결되는 PCS의 제어기 설계에 의한 불안정 현상에 대한 분석 결과와 각 제어기의 설계 방안에 대해서 살펴보았다. 이를 바탕으로 본 절에서는 약한 계통을 구성하는 경우, 연결되는 분산형 전원 혹은 부하의 PCS 임피던스 설계 가이드를 제시한다.

3.1 ~ 3.4 절에서는 위상 동기화 제어기와 직류단 전압 제어기, 주파수 이동 단독 운전 검출 기법의 구체적인 설계 값을 제시하였다. 각 PCS가 독립적으로 성능을 향상시키기 위해 제어기를 설계하는 경우, 제시된 설계 값을 그대로 적용하기 어려울 수 있다. 따라서, 본 논문에서는 이러한 독립적인 PCS 제어기 설계 상황을 고려하여, 불안정 현상의 요인이 될 수 있는 임피던스 간섭을 기준으로 설계 가이드를 제안하고자 한다.

분산형 전원의 설계 가이드는 각 배전 계통의 계통 접속 설비 용량이 정해진 경우에 한하여 제시한다. 또한, 연결되는 부하의 정보 역시 알고 있다고 가정한다. 즉 분산형 전원의 PCS의 접속점에서 바라본 전원 임피던스는 접속 설비 및 연결된 부하를 기준으로 한다. 이러한 전원 임피던스는 접속점에서 측정되어 제공될 수도 있다. 또한, 해당 배전 계통에 연계되는 PCS와 부하의 전체 용량( $P_{PCS,total}$ )을 구체적으로 설정한 경우에 한하여, 전체 PCS 어드미턴스에 대한 설계 가이드를 제공하고자 한다. 「그림 3-60」에 설계 가이드 제시를 위한 회로 구성도를 나타내었다.

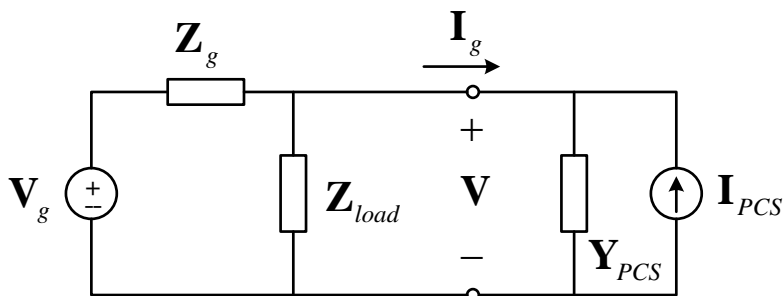


그림 3-60. 설계 가이드 제시를 위한 임피던스 구성도

제시된 전체 PCS 어드미턴스( $\mathbf{Y}_{PCS}$ , 혹은 임피던스)로 각 PCS에 통일된 기준을 제시하기 위해서는 용량( $P_{PCS,k}$ )을 고려한 개별 PCS 어드미턴스( $\mathbf{Y}_{PCS,k}$ )를 사용할 수 있다. 전체 PCS 어드미턴스는 「그림 2-15」와 같이 개별 PCS의 어드미턴스 합으로 나타낼 수 있다. 따라서 개별 PCS 어드미턴스는 식 (3.5.1)과 같이 각 PCS의 전체 용량 대비 비율( $k = P_{PCS,k} / P_{PCS,total}$ )을 본 절에서 제시된 전체 PCS 어드미턴스에 곱하여 설계 가이드로 제시할 수 있다.

$$\mathbf{Y}_{PCS,k} = k\mathbf{Y}_{PCS} = \frac{P_{PCS,k}}{P_{PCS,total}}\mathbf{Y}_{PCS} \quad (3.5.1)$$

본 논문에서 제시된 가이드는 설계를 할 수 있는 한 가지 예로, 기존 직류 시스템에서 연구되었던 다양한 설계 기준을 이용해 PCS의 임피던스 설계 가이드를 제공할 수도 있다.

### 3.5.1 *dd*-임피던스 설계 가이드

*dd*-성분의 임피던스에 의한 간섭은 위상 동기화 제어기와 주파수 이동 기법의 제어기 설계에 따라 결정되었다. 특히, 위상 동기화 제어기의 고유 주파수에서 과도하게 작게 설계된 댐핑 계수로 인하여 PCS 임피던스의 크기가 전원 임피던스의 크기보다 작아질 때, 위상 여유가 부족하여 불안정 현상이 발생하였다. 특히 「그림 3-4」와 「그림 3-7」, 「그림 3-10」을 참고하면 30 Hz 이하의 주파수 영역에서 계통 측 임피던스의 위상이 0보다 크다. 이 주파수 영역에서 PCS 임피던스가 음저항 특성을 나타내고, PCS 임피던스 크기가 전원 임피던스보다 작아지는 경우, 불안정이 발생하게 된다. 통상 위상 동기화 제어기의 대역폭이 이 범위 내에서 설정되기 때문에 위상 동기화의 고유 주파수에서 발생하는 임피던스 크기 피크 역시 이 주파수 범위 내에서 발생하게 된다. 이러한 영역에서는 주파수 이동 기법의 양성 피드백 이득 변화에 따른 PCS 임피던스 변

화 정도가 작기 때문에(3.4 절) 주로 위상 동기화 제어기 설계에 따라 불안정 양상이 결정되었다.

따라서 30 Hz 이하에서는 다음과 같은 기준을 만족하도록 PCS가 설계되어야 한다.

$$|Z_{i,dd}(j\omega)| > |Z_{s,dd}(j\omega)| \quad (3.5.2)$$

이보다 큰 주파수 영역에서는 PCS 임피던스의 크기가 전원 임피던스의 크기보다 작아지더라도 위상 관계에 따라 불안정 여부가 결정되었다. 또한, 주파수 이동 기법의 양성 피드백에 의한 영향 역시 나타나게 된다. 따라서 30 Hz를 넘어서는 영역에서는  $|Z_{i,dd}(j\omega)| \leq |Z_{s,dd}(j\omega)|$  을 만족할 때 PCS 임피던스의 위상이 다음과 같은 기준을 만족하도록 PCS가 설계될 수 있다.

$$-90^\circ < \angle Z_{i,dd}(j\omega) < 90^\circ \quad (3.5.3)$$

3.1 절에서 제안된 위상 동기화 제어기 설계 기준을 적용하는 경우에는 위와 같은 조건을 모두 만족할 수 있으며, 3.4 절의 주파수 이동 기법의 설계 방안 역시 위의 기준을 충족하게 된다.

### 3.5.2 qq-임피던스 설계 가이드

qq-성분의 임피던스 간섭은 일정 전력 부하의 직류단 전압 제어기 설계에 의해 발생하였다. 3.2 절의 분석 결과를 참고하면, 일정 전력 부하 PCS의 임피던스 크기가 전원 임피던스의 크기보다 작으면서 위상 여유가 부족할 때 계통 전압이 불안정해졌다. 따라서  $|Z_{i,qq}(j\omega)| \leq |Z_{s,qq}(j\omega)|$  를 만족하는 영역에서 다음과 같은 설계 기준을 만족하도록 PCS 설계를 제시할 수 있다.

$$-90^\circ < \angle Z_{i,qq}(j\omega) < 90^\circ \quad (3.5.4)$$

「그림 3-18」로부터 직류단 전압 제어기의 댐핑 계수를 제안된 값으로 설계한 경우 위의 조건을 충족할 수 있음을 알 수 있으며, 안정된 운전이 가능함을 확인하였다.

본 논문에서는 식 (2.1.11)과 같은 3상 계통 전압을 가정하였기 때문에,  $dd$ -성분이 무효 전력 성분,  $qq$ -성분이 유효 전력 성분을 나타내었다. 따라서 제안된  $dd$ -임피던스와  $qq$ -임피던스 설계 가이드는 각각 무효 전력 성분 임피던스, 유효 전력 성분 임피던스로 대체하여 제시될 수 있다.



## 제 4 장 실험 결과

본 장에서는 축소된 실험 회로를 구성하여, 앞서 분석된 결과들을 실험을 통해 검증한다.

「그림 4-1」은 실험에 사용한 PCS의 사진이다. 총 5개의 5kW급 PCS가 독립된 제어 회로를 갖추고 있으며, 필요에 따라 결선을 교체하여 목적에 부합한 실험을 진행할 수 있다. 「표 4-1」에 각 PCS의 사양을 나타내었다.



그림 4-1. 실험에 사용한 5대의 PCS

표 4-1. PCS 시스템 사양

PCS 정격 상 전류	18 A <sub>pk</sub>	직류단 전압	~ 400 V <sub>dc</sub>
필터 인덕턴스	1.9 mH	직류단 캐패시턴스	2000 $\mu$ F

직류 전원을 공급하기 위해서 「그림 4-2 (a)」의 배터리를 사용하였다. 교류 계통 전원을 모의하기 위해서 실제 상용 계통(선간 220 Vrms) 전원을 사용하거나, 「그림 4-2 (b)」와 같은 출력 전압을 가변(可變)할 수 있는 교류 전원 공급기(AC Power Supply, MX30)를 사용하였다. 또한, 접속점에 연결된 부하를 모의하기 위해서 「그림 4-2 (c)」와 같은 RLC 병렬 회로를 구성하여 사용하였다. 부하 역시 실험 조건에 맞추어 조정하여 사용하였다.

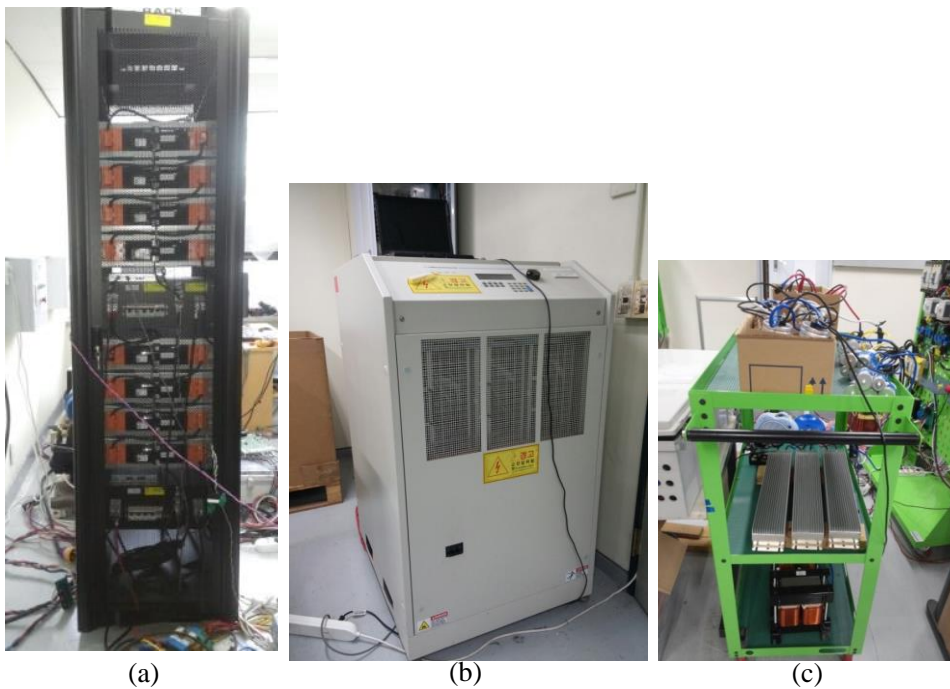


그림 4-2. (a) 직류 전원 (Li-ion 배터리, 400V – 25 kW)  
 (b) 교류 전원 공급기 (MX 30, 정격 용량 30 kVA)  
 (c) 부하 – R, L, C 병렬 회로

## 4.1 위상 동기화 제어기에 의한 불안정 현상

본 절에서는 3 장에서 분석하였던, 위상 동기화 제어기에 의한 불안정 현상을 축소 실험 세트로 확인하였다. 약한 계통을 모의하기 위해서 교류 전원 공급기와 접속점 사이에 추가로 인덕터와 저항을 삽입하여 계통 선 임피던스가 약 53%이며, X/R 비 5인 계통을 모의하였다.

「그림 4-3」은 위상 동기화 제어기에 의한 불안정 현상을 확인하기 위한 실험 세트의 구성도를 나타낸다. 계통 전압은 교류 전원 공급기로 모의하였으며, PCS의 직류 전원으로 배터리를 사용하였다. PCS2는 일정한 전력을 상용 계통으로 전달하며, 일정 전력 부하의 직류 부하를 모의하기 위하여 사용되었다.

「표 4-2」는 본 절의 실험을 위해 구성된 시스템의 정수들을 나타낸 것이다.

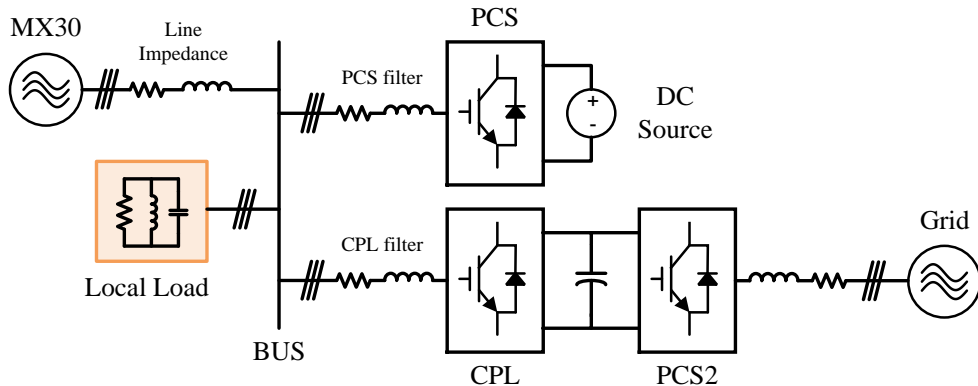


그림 4.3. 위상 동기화 제어기 관련 실험 세트 구성도

표 4.2. 실험 세트 시스템 정수

계통 선간 전압	110 V <sub>rms</sub>	계통 주파수	60 Hz
계통 선 인덕턴스	6.5 mH (52%)	계통 선 저항	0.5 Ω
PCS 출력 전력	약 2.5 kW	배터리 전압	400 V
부하 저항	4.71 Ω	부하 <i>Quality factor</i>	1
	9.42 Ω		2
부하 인덕턴스	12.4 mH	부하 캐패시턴스	563 μF
CPL 소비 전력	약 1.25 kW		

먼저, 약 2.5 kW의 RLC 병렬 부하(저항 4.71 Ω)를 접속점에 연결된 부하로 사용하여 PCS로 전력을 공급하는 상황에서 실험을 수행하였다.

「그림 4-4」는 제안된 PLL 설계를 적용한 실험 결과로, 접속점 계통상 전압( $V_{as}$ )과 PCS의 상 전류( $I_{as,PCS}$ )가 안정되게 전력을 공급하고 있다. 반면, 「그림 4-5」는 지나치게 작은 댐핑 계수를 사용하여 접속점 전압이 유지되지 못하고 발산하는 경우를 나타낸다. PLL의 댐핑 계수를 지나치게 작게 설정하여, 계통 측 임피던스와 간섭이 발생하게 된다. 접속점의 전압의 크기가 진동하며 점점 그 크기가 커지게 되고, 추정된 주파수( $f_{h,PCS}$ ) 역시 진동하는 크기가 점점 커지며 발산하게 된다.

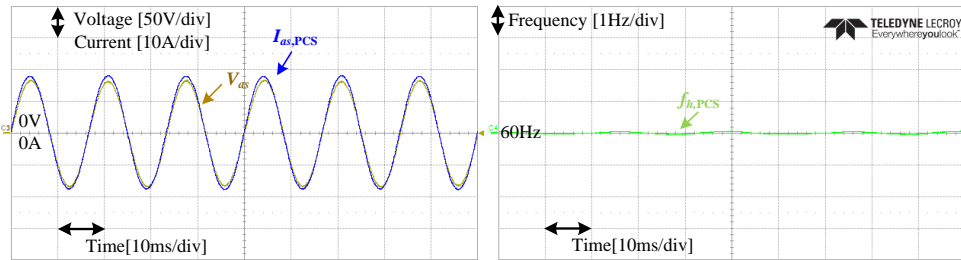


그림 4-4. 제안된 PLL 설계 사용 시 실험 결과

$$(\omega_{np} = 2\pi \times 10 \text{ rad/s}, \zeta_p = 0.591)$$

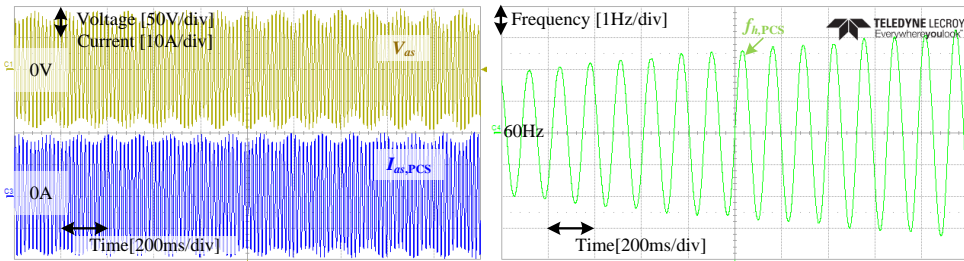


그림 4-5. 시스템 불안정을 일으키는 PLL 설계 사용 시 실험 결과

$$(\omega_{np} = 2\pi \times 10 \text{ rad/s}, \zeta_p = 0.06)$$

「그림 4-6」은 불안정하게 설계된 PLL로 인하여 발산할 때, 제안된 댐핑 계수로 변경한 실험 결과를 나타낸다. 접속점 계통 전압의 크기, 주파수가 점점 발산하는 중 안정된 운전이 가능한 설계 값을 적용하면 진동이 사라지고 안정된 전력 공급이 가능해지는 것을 확인할 수 있다.

「그림 4-7」은 고유 주파수를  $2\pi \times 20$  rad/s로 설정하였을 때, 불안정한 시스템을 제안된 댐핑 계수로 안정화한 실험 결과를 나타낸다. 고유 주파수를  $2\pi \times 10$  rad/s로 설정하였을 때보다, 더 낮은 댐핑 계수에서 불안정해지며, 제안된 댐핑 계수로 시스템을 안정화 할 수 있다는 것을 확인할 수 있다.

이러한 진동에 의한 발산이 PLL에 의한 영향이라는 것은, 발산하는 주파수를 비교하여 알 수 있다. 「그림 4-5」와 「그림 4-6」은 고유 주파수를  $2\pi \times 10$  rad/s로 설정하였고, 이 주파수에서 간섭이 발생하기 때문에 발산 시 진동하는 주파수 역시 10 Hz로 관측된다. 반면, 「그림 4-7」은 고유 주파수가  $2\pi \times 20$  rad/s로 설정하여 발산하는 주파수가 20 Hz로 관측된다.

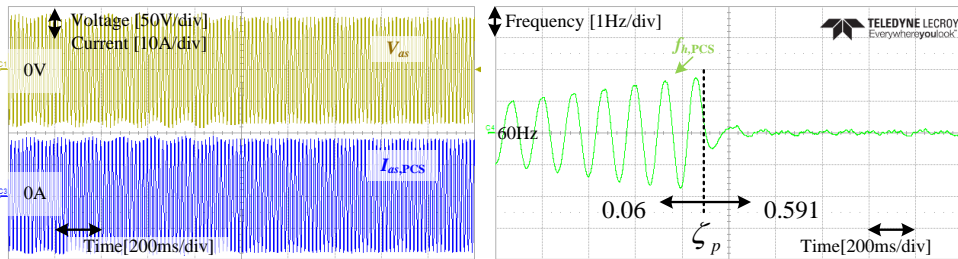


그림 4-6. PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 10$  rad/s)

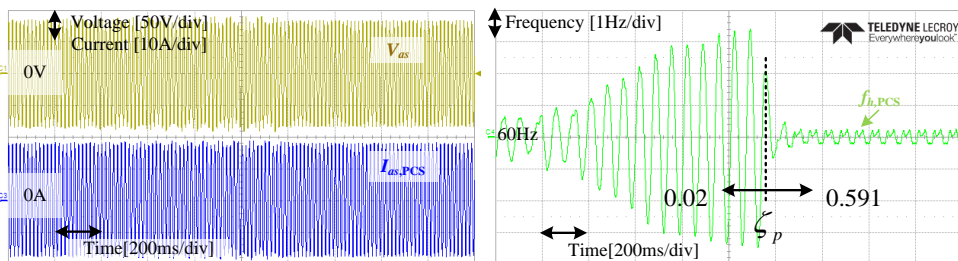


그림 4-7. PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 20$  rad/s)

「그림 4-8」은 PLL의 고유 주파수( $\omega_{np}$ )에 따른 사용 가능한 최소 댐핑 계수 측정 결과를 나타낸다. 비교를 위해 추가로 삽입한 계통 선 임피던스가 없는 결과를 같이 도시하였다. 추가로 계통 선 임피던스를 삽입하지 않은 경우, 교류 전력 공급기가 이상적인 전압원처럼 동작하여 3% 이하의 계통 임피던스를 갖게 된다. 따라서 PLL의 댐핑 계수를 지나치게 작게 설정하여도 계통 측 임피던스와의 간섭이 쉽게 발생하지 않게 된다.

반면, 계통 선 임피던스를 임의로 삽입하여 53%의 계통 임피던스에 연결된 경우, 계통 측 임피던스와 PCS 임피던스의 간섭이 발생하여 최소 댐핑 계수가 제한됨을 확인할 수 있다. 실험으로 측정된 결과는 「그림 3-3」의 분석 결과와 동일한 경향 및 비슷한 값을 갖는다. 비록, 모의 실험과 실제 실험 세트의 계통 선 임피던스 및 PCS 필터의 단위 값(Per unit)에 다소 차이가 발생하여 결과가 정확하게 일치하지 않지만, 단위 값 개념으로 접근하였을 때, PCS 및 부하의 용량이 변하여도 3장의 분석 결과를 적용할 수 있음을 짐작할 수 있다.

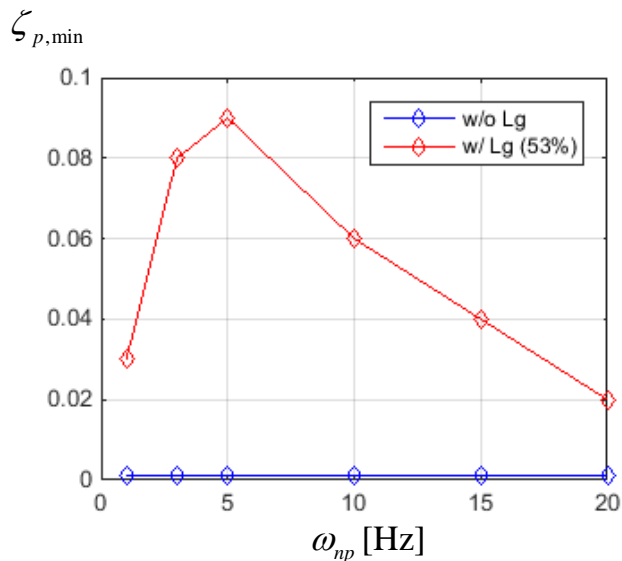


그림 4-8.  $\omega_{np}$  변화에 따른 최소  $\zeta_p$  (3상 RLC 부하 연결 시)

「그림 4-9」는 RLC 병렬 부하의 저항을  $9.42 \Omega$  으로 변경하여 용량을 절반으로 낮추고, PCS로 전력을 공급하는 상황의 실험 결과를 나타낸다. RLC 부하가 소비하는 전력이 PCS가 공급하는 전력보다 낮은 상황으로, 잉여 생산 전력은 전원 측으로 전달된다. 부적절한 댐핑 계수의 설계로 인해 접속점 계통 전압이 발산하지만, 제안된 댐핑 계수를 적용하여 시스템이 안정되는 것을 확인할 수 있다.

「그림 4-10」은 「그림 4-9」와 같은 부하 상황에서 배터리 충전을 위해 PCS가 전원으로부터 전력을 흡수하는 상황의 실험 결과다. 2.2 절에서 분석하였듯이 PCS 임피던스의 음저항 특성은 PCS가 전력을 공급하는 상황에서 나타나기 때문에, 「그림 4-9」에서 시스템을 불안정하게 만들었던 댐핑 계수( $\zeta_p = 0.1$ )를 사용하여도 시스템이 발산하지 않게 된다. 그러나, 계통 전원으로부터 과도하게 전력을 흡수하기 때문에 계통 전 임피던스에 의해 전압 강하가 발생하여, 접속점 전압이 크게 낮아지게 된다. 따라서 PCS가 전력을 흡수할 때 안정된 운전은 가능하지만, 접속점 전압의 크기를 유지하기 위해서 적절한 충전 전력을 설정해야 함을 알 수 있다.

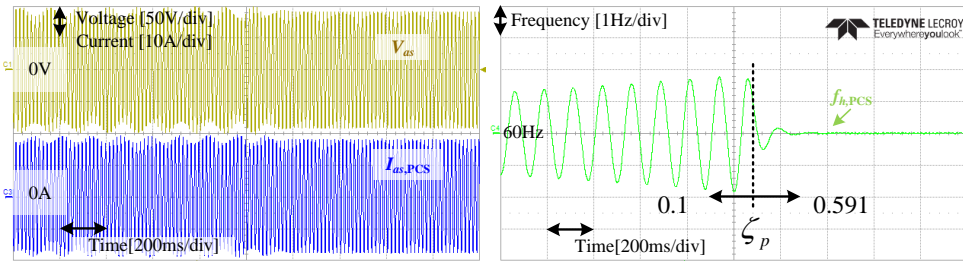


그림 4-9. PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 10 \text{ rad/s}$ )

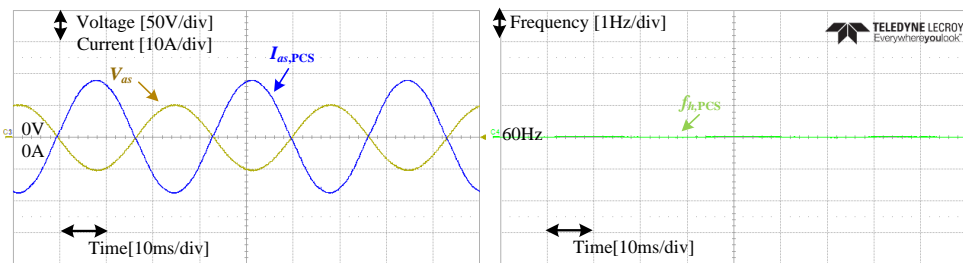


그림 4-10. PCS 배터리 충전 시 실험 결과 ( $\omega_{np} = 2\pi \times 10 \text{ rad/s}$ ,  $\zeta_p = 0.1$ )

「그림 4-11」은 RLC 병렬 부하의 용량을 낮춘 상태에서, (저항 9.42 Ω) 일정 전력 부하를 동시에 동작시킬 때의 실험 결과를 나타낸다. RLC 부하와 일정 전력 소비 부하가 소비하는 전력을 각각 동일하게 약 1.25 kW로 설정하였다. 이 때, PCS는 전체 부하를 감당할 수 있는 전력인 2.5 kW를 공급하여 전원 측에서 공급되는 전력을 최소화하였다. 일정 전력 소비 부하는 제안된 댐핑 계수를 사용하지 않고, %OS(식 3.1.3 참고)를 30으로 설계하여 댐핑 계수가  $\zeta_p = 0.35$ 로 설정되었음을 가정하였다.

「그림 4-5」의 시스템과 비교하였을 때, 전체 부하에서 CPL이 차지하는 비중이 높아진 상황으로 볼 수 있다. 이로 인해 3.1.4 절에서 분석한 것과 같이, CPL의 PLL 설계에 영향을 받게 되어 간섭이 더 쉽게 일어날 수 있다. 「그림 4-5」에서는  $\zeta_p$ 가 0.06일 때 발산하였지만, 이 경우 보다 더 높은 댐핑 계수를 사용하였음에도 시스템이 발산하게 된다. 이 경우 역시, 제안된 댐핑 계수를 사용하여 시스템을 안정화 시킬 수 있었다.

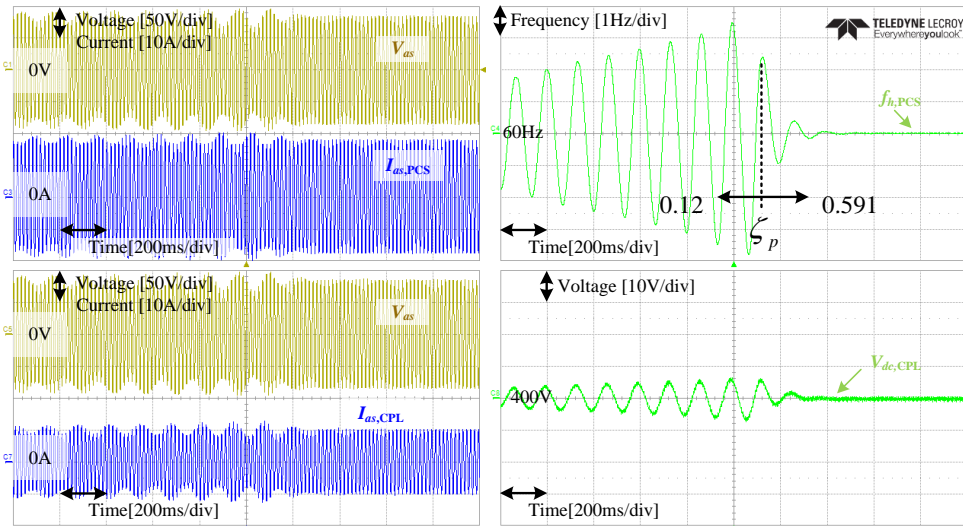


그림 4-11. 일정 전력 부하가 추가된 경우, PLL 설계 변경에 따른 시스템 안정화 실험 결과 ( $\omega_{np} = 2\pi \times 10 \text{ rad/s}$ )



「그림 4-12」는 RLC 병렬 부하와 함께 일정 전력 부하가 동작할 때 PCS의 PLL 고유 주파수 변화에 따른 최소 댐핑 계수를 나타낸다.

낮은 댐핑 계수( $\zeta_p = 0.35$ )를 사용하는 일정 전력 부하가 추가됨에 따라 낮은 주파수 영역에서 위상 여유가 줄어들어 사용할 수 있는 댐핑 계수의 최소 값이 높아지게 된다. 따라서 「그림 4-8」과 비교하였을 때, 일정 전력 부하 PLL 고유 주파수( $2\pi \times 10$  rad/s) 이하에서 사용 가능한 댐핑 계수가 증가하는 것을 확인할 수 있다. 3.1.4 절에서 논의한 바와 같이, 접속점에 연결되는 일정 전력 부하의 상대적인 양이 증가함에 따라, 일정 전력 부하의 PLL 설계 값이 PCS에서 허용되는 PLL 설계에 영향을 줄 수 있음을 확인할 수 있다.

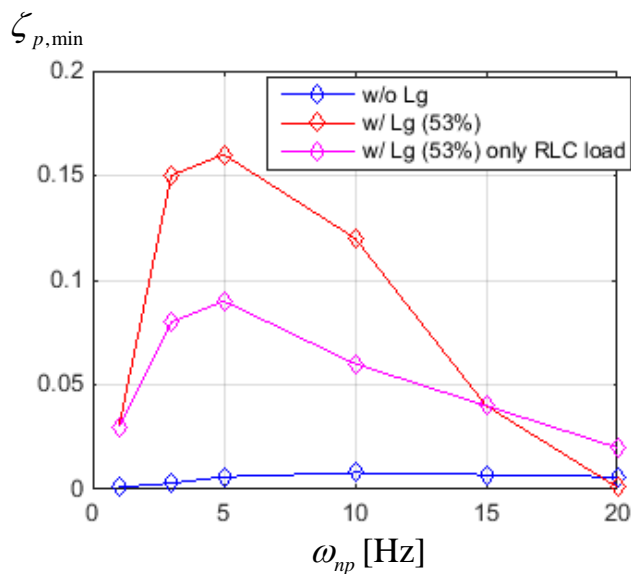


그림 4-12.  $\omega_{np}$  변화에 따른 최소  $\zeta_p$  (일정 전력 부하 고려 시)

본 절의 실험 결과를 통해 3.1 절에서 논의한 계통 선 임피던스 증가에 따른 PCS 위상 동기화 제어기 설계에서 댐핑 계수와 고유 주파수의 제한을 확인하였다. 3.1.5 절에서 제안된 설계 기준에 따라 위상 동기화 제어기 설계를 사용하는 경우, 계통 전압의 진동이나 발산 없이 안정된 전력 공급이 가능함을 확인하였다.

그러나, 본 논문에서 분석된 방법을 통한 안정도 분석은 발산 여부를 판단할 수 있다. 시스템의 극점이 허수 축에 가까이 위치하는 경우 「그림 4-13」 과 같이 진동을 가지면서 계통 전압이 유지될 수 있다. (「그림 4-5」와 동일한 시스템 조건,  $\zeta_p = 0.1$ ) 추정된 계통 주파수가 1 Hz의 진폭을 가지고 진동하나 발산하지는 않는다. 이는 본 논문의 분석 방법의 한계로, 접속점 계통 전압이 발산하는 조건은 밝힐 수 있으나 진동하면서 유지되는 조건을 구별하기 어렵다. 특히, 이런 운전 조건은 정상적인 전력 공급 상황으로 보기 힘들기 때문에 반드시 배제되어야 한다. 그러나 이러한 공진이 발생하는 댐핑 계수 값의 영역은 경계 값과 큰 차이를 갖지 않기 때문에, 제안된 설계 기준에서 약간의 여유(Margin)를 가지고 설계하면 시스템을 충분히 안정시킬 수 있다.

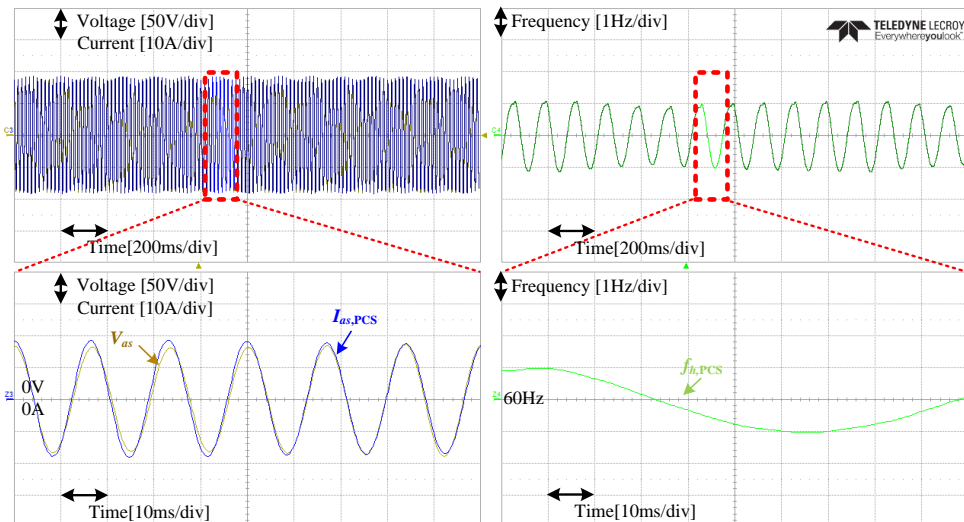


그림 4-13. 발산하지 않지만 진동을 일으키는 PLL 설계 사용 시 실험 결과  
 ( $\omega_{np} = 2\pi \times 10 \text{ rad/s}$ ,  $\zeta_p = 0.1$ )

## 4.2 직류단 전압 제어기 설계를 통한 일정 전력 부하의 안정화

본 절에서는 3.2 절에서 분석한 일정 전력 부하의 직류단 전압 제어기 설계와 불안정 현상에 대한 실험 결과를 정리하였다. 「그림 4-14」는 본 절에서 수행한 실험을 위해 설계된 회로 구조를 나타낸다. 계통 전압을 모의하기 위해 교류 전원 공급기(MX 30)를 사용하였으며, 그 출력에 임의로 인덕턴스를 삽입하여 계통 선 임피던스를 모의하였다. 두 기의 일정 전력 부하가 병렬로 접속점에 연결되어 있으며, 각각 직류단 전압 제어를 수행한다. 일정 전력 부하의 직류단 출력에 연결된 PCS (Conv 1, 2)는 상용 계통 측으로 전력을 송출하며, 일정 전류 제어를 수행한다.

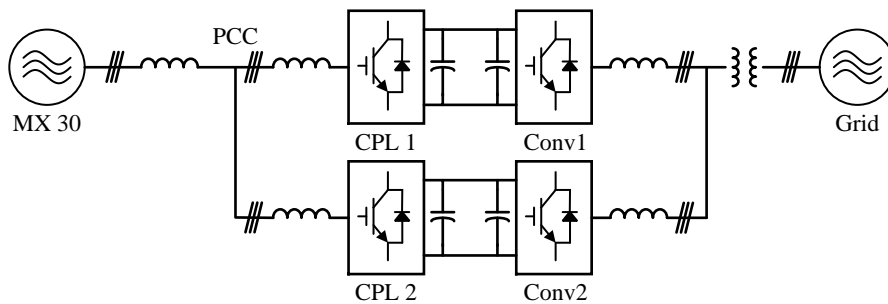


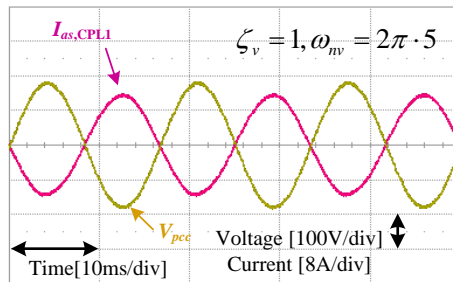
그림 4-14. 일정 전력 부하의 병렬 운전 실험 회로 구성도

「표 4-3」은 실험 조건을 나타낸다.

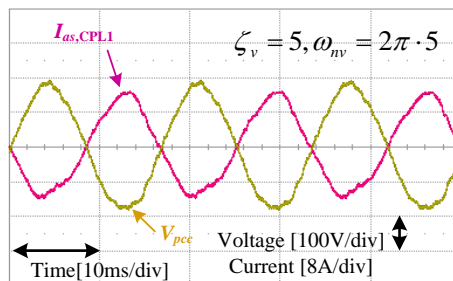
표 4-3. 일정 전력 부하 실험 조건

계통 선간 전압	220 V <sub>rms</sub>	계통 주파수	60 Hz
일정 전력 부하 정격 소비 전력	3000 W	계통 선 인덕턴스	4 mH (약 6.2%)

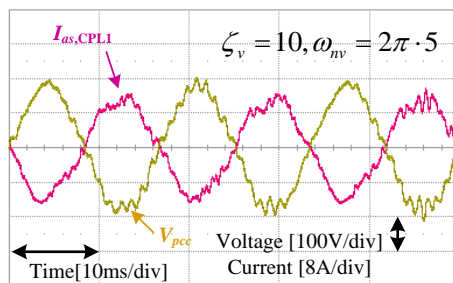
먼저, 일정 전력 부하 하나(CPL 1)가 단독으로 운전될 때 실험 결과를 「그림 4-15」와 「그림 4-16」에 정리하였다. 각각 전압 제어기의 고유 주파수를  $2\pi \times 5$ ,  $2\pi \times 10$  rad/s로 설계한 후 댐핑 계수를 증가시키며 접속점의 계통 상 전압( $V_{pcc}$ )을 관측하였다. 앞서 3.2 절에서 분석한 바와 같이, CPL이 단독으로 운전되더라도 전압 제어기 설계에 따라 불안정 현상이 발생할 수 있었다. 그리고 접속점의 전압이 왜곡됨에 따라 부하 상 전류( $I_{as,CPL1}$ ) 역시 왜곡되어 안정된 운전이 불가능하였다.



(a)

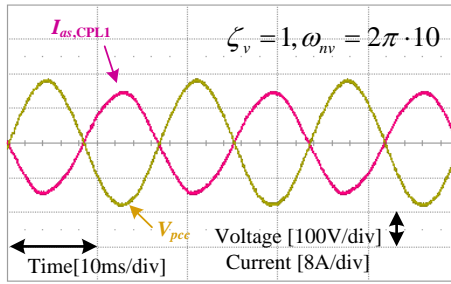


(b)

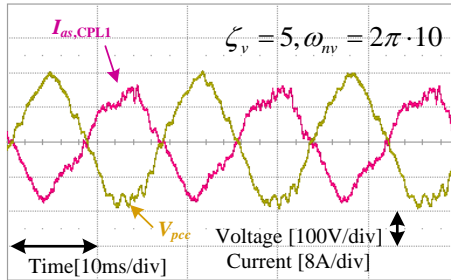


(c)

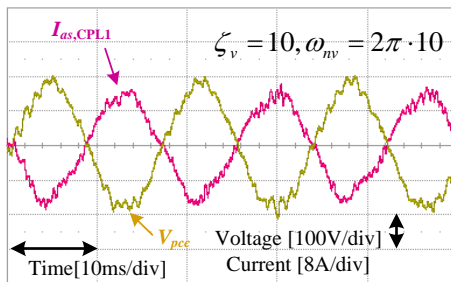
그림 4-15.  $\zeta_v$  변화에 따른 CPL 단독 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 5$  rad/s)



(a)



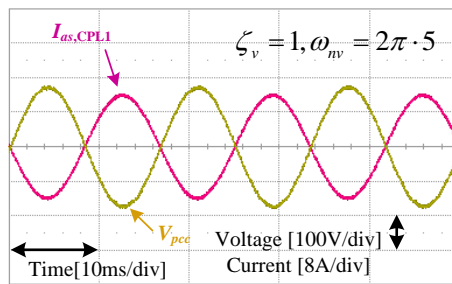
(b)



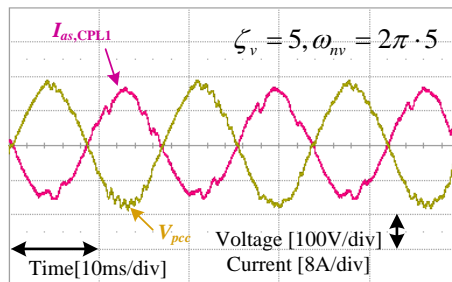
(c)

그림 4-16.  $\zeta_v$  변화에 따른 CPL 단독 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 10$  rad/s)

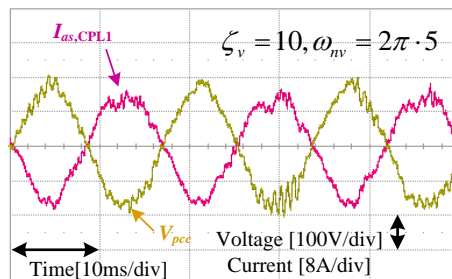
「그림 4-17」과 「그림 4-18」은 일정 전력 부하가 병렬 운전 시 실험 파형을 도시한 것이다. 이 때 병렬 연결된 두 일정 전력 부하의 전압 제어기는 동일하게 설계하였다. 병렬 운전 역시 3.2 절에서 분석한 바와 같이, 동일한 고유 주파수로 설계된 경우, 댐핑 계수가 증가함에 따라 접속점 전압이 불안정해졌다. 하지만 「그림 4-15」나 「그림 4-16」의 시스템과 비교하였을 때, 전체 부하 시스템에 대한 계통 임피던스의 상대값이 2배로 커지게 된다. 그로 인해 동일한 제어기 설계 계수를 설정하여 병렬 운전 시, 접속점 계통 전압의 왜곡이 더 심하게 발생하게 된다.



(a)

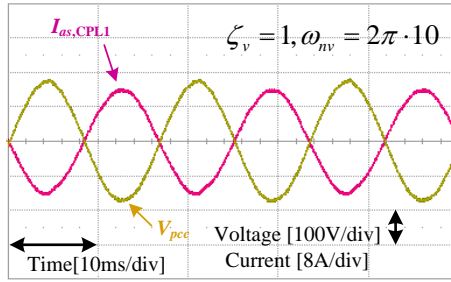


(b)

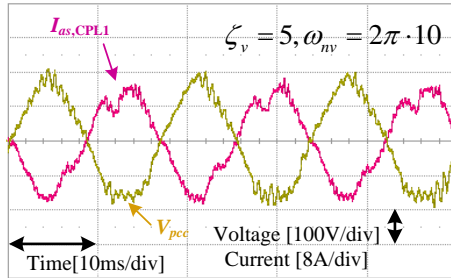


(c)

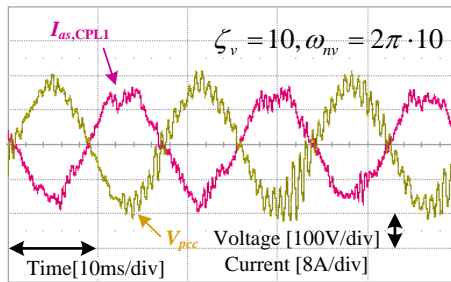
그림 4-17.  $\zeta_v$  변화에 따른 CPL 병렬 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 5$  rad/s)



(a)



(b)



(c)

그림 4-18.  $\zeta_v$  변화에 따른 CPL 병렬 운전 실험 결과 ( $\omega_{nv} = 2\pi \times 10 \text{ rad/s}$ )

특히, 모의 실험 상에서는 간섭으로 인한 고조파가 한 가지 주파수만 관측되었으나, 실제 실험에서는 CPL 제어기 설계에 의해서 발생하는 약 170 ~ 180 Hz의 고조파 성분과 함께, 스위칭 동작에 의한 고조파 전압을 필터링하기 위해 삽입된 필터 캐패시터에 의해서 1 kHz 정도의 주파수에서 고조파가 발생하게 된다.

### 4.3 능동 댐핑 알고리즘

본 절에서는 3.3 절에서 소개한 분산형 전원의 능동 댐핑 알고리즘의 실험 결과를 정리하였다. 「그림 4-19」는 실험을 위해 구성된 회로 구조를 나타낸다. 실험 조건은 4.2 절과 동일하다. 3.3 절에서 분석하였듯이 추가로 구성된 분산 전원의 공급 전력이 줄어들수록 불안정 현상을 해소할 수 있는 능력이 저하된다. 따라서 유효 전력을 공급하지 않는 최악의 조건을 가정하여 실험을 수행하였다.

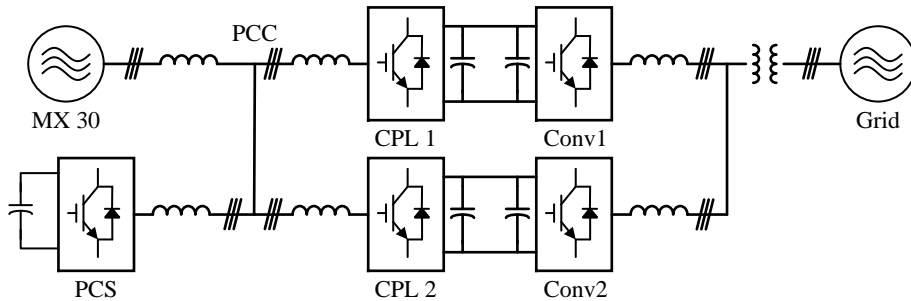


그림 4-19. 능동 댐핑 알고리즘의 실험 회로 구성도

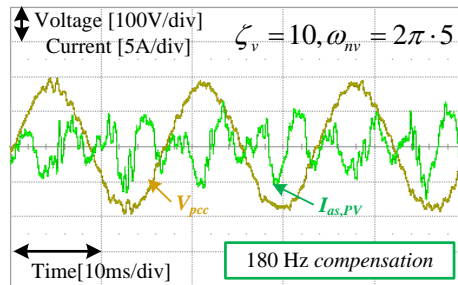
4.2 절에서 일정 전력 부하의 직류단 전압 제어기가 과도한 댐핑 계수를 사용하였을 때, 계통 전압이 불안정해져 고조파가 발생하는 결과를 살펴보았다. 특히 병렬로 운전되는 경우 그 정도가 더 심해지는 것을 확인하였다. 「그림 4-17」과 「그림 4-18」에서 살펴보았듯이, 180 Hz 근처 주파수와 1 kHz 근처 주파수에서의 공진 현상이 발생하였다. 따라서 식 (3.4.1)의 대역 통과 필터는 두 주파수를 보상하기 위해 병렬로 두 개 구성하였으며, 각각 고유 주파수를 180 Hz와 1kHz로 설계하였다.

「그림 4-20」~「그림 4-22」는 하나의 일정 전력 부하에 대하여, 서로 다른 직류단 전압 제어기의 고유 주파수와 댐핑 계수를 설정하고 능동 댐핑 알고리즘을 적용한 결과를 나타낸다. (a)는 180 Hz 성분만 능동 댐핑 알고리즘을 적용하였을 때, 그리고 (b)는 1 kHz 성분까지 적용하였을 때 실험 결과를 나타낸다.

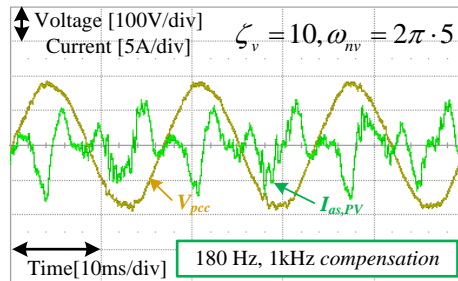


「그림 4-20」은 「그림 4-15 (c)」에서 능동 댐핑 알고리즘을 적용한 결과를 보여준다. 일정 전력 부하에 의한 간섭 현상으로 계통에 나타나는 고조파 성분을 차례로 보상할 수 있음을 확인할 수 있다. 180 Hz 성분만 보상하였을 때에는 1kHz 성분의 공진이 다소 남아 있으나, 1 kHz 성분의 보상 알고리즘을 적용하면 공진이 확연히 줄어들게 된다.

「그림 4-21」과 「그림 4-22」는 각각 「그림 4-16」의 (b)와 (c)에서 능동 댐핑 알고리즘을 적용한 결과로, 역시 능동 댐핑 알고리즘을 적용한 분산형 전원의 병렬 운전으로 접속점의 계통 전압 왜곡을 보상할 수 있다.



(a)

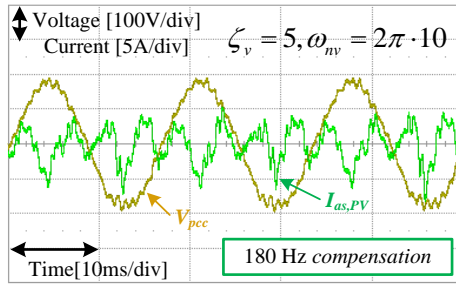


(b)

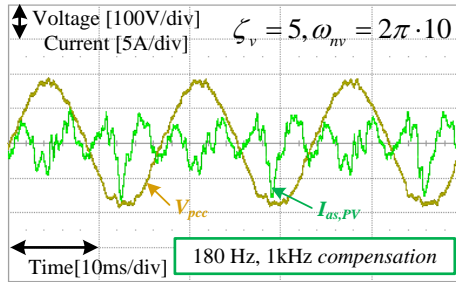
그림 4-20. 능동 댐핑 알고리즘 실험 결과

(1 CPL,  $\omega_{nv} = 2\pi \times 5$ ,  $\zeta_v = 10$ )

(a) 180 Hz 보상, (b) 180 Hz, 1kHz 보상.



(a)



(b)

그림 4-21. 능동 댐핑 알고리즘 실험 결과

(1 CPL,  $\omega_{nv} = 2\pi \times 10$ ,  $\zeta_v = 5$ )

(a) 180 Hz 보상, (b) 180 Hz, 1kHz 보상.

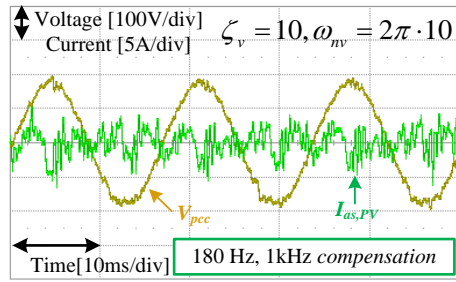


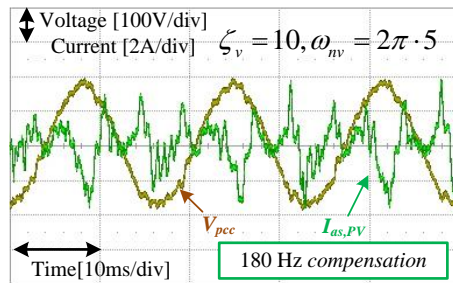
그림 4-22. 능동 댐핑 알고리즘 실험 결과

(1 CPL,  $\omega_{nv} = 2\pi \times 10$ ,  $\zeta_v = 10$ ) 180 Hz, 1kHz 보상.

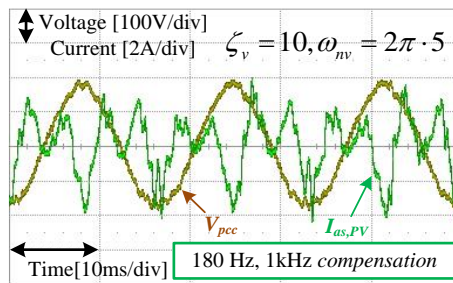
「그림 4-22」의 실험 결과에서 180 Hz 성분은 완전히 보상되지만, 1 kHz 성분은 다소 남아 있음을 볼 수 있다. 180 Hz 성분의 경우 전류 제어기 대역폭( $2\pi \times 500$  rad/s) 내의 전류가 궤환되기 때문에 능동 댐핑 루프의 동작이 영향을 받지 않는다. 하지만, 1 kHz 성분은 전류 제어기 대역폭을 넘어가는 주파수의 전류가 궤환되어 능동 댐핑 루프의 동작이 전

류 제어기의 영향을 받게 된다. 따라서 전류 제어기 대역폭을 넘어서는 주파수에 대해서는 별도의 제어기 설계가 고려되어야 할 것이다.

「그림 4-23」 과 「그림 4-24」 는 각각 「그림 4-18」 의 (b)와 (c)와 같이 일정 전력 부하가 병렬로 운전될 때, 능동 댐핑 알고리즘을 적용한 분산 전원을 이용해 접속점 계통 전압을 안정화한 실험 결과다. (a)와 같이 180 Hz 성분에 대해서만 능동 댐핑 알고리즘을 적용한 경우 1 kHz 성분이 접속점 계통 전압에 나타나게 된다. 추가로 1 kHz 성분에 대한 능동 댐핑 알고리즘을 적용하는 경우, 계통 전압의 왜곡을 줄일 수 있음을 확인할 수 있다.



(a)

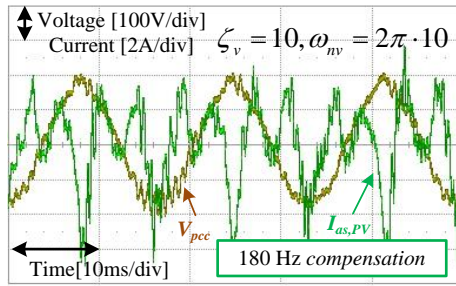


(b)

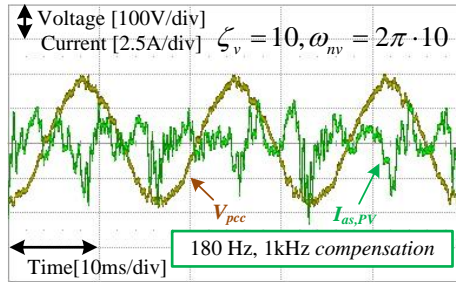
그림 4-23. 능동 댐핑 알고리즘 실험 결과

(2 CPL,  $\omega_{nv} = 2\pi \times 5$ ,  $\zeta_v = 10$ )

(a) 180 Hz 보상, (b) 180 Hz, 1kHz 보상.



(a)



(b)

그림 4-24. 능동 댐핑 알고리즘 실험 결과

(2 CPL,  $\omega_{nv} = 2\pi \times 10$ ,  $\zeta_v = 10$ )

(a) 180 Hz 보상, (b) 180 Hz, 1kHz 보상.

## 4.4 단독 운전 검출 기법 설계를 통한 안정화

본 절에서는 2.4 절에서 분석한 단독 운전 검출 기법과 위상 동기화 제어기(PLL)의 설계에 따른 시스템 안정성에 대한 실험 결과를 정리하였다. 또한, 3.4 절에서 제안된 수정된 위상 동기화 제어기를 사용한 실험 수행 결과를 도시한다. 구성된 회로는 「그림 4-25」와 같으며, 「표 4-4」에 실험 조건을 정리하였다.

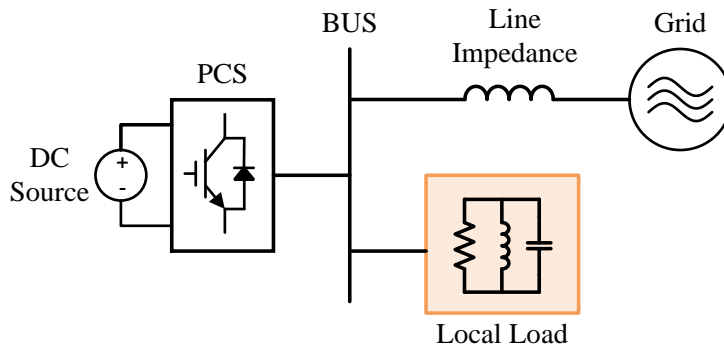


그림 4-25. 단독 운전 검출 기법 적용 PCS 연계 시스템 회로 구성도

표 4-4. 단독 운전 검출 기법 관련 실험 조건

계통 선간 전압	100 V <sub>rms</sub>	계통 주파수	60 Hz
PCS 정격 소비 전력	2 kW	계통 선 인덕턴스	7 mH (약 53%)
부하 저항	4.71 Ω	부하 인덕턴스	12.4 mH
부하 캐패시턴스	563 μF	부하 공진 주파수	60 Hz
부하 <i>Quality factor</i>	1	$\omega_{np}$	$2\pi \times 10$ rad/s

#### 4.4.1 PLL의 설계에 따른 실험 결과

먼저, PLL의 댐핑 계수에 따라, 양성 피드백 이득의 제한을 살펴보았다. 「그림 4-26」은 임계 감쇠로 설계된 PLL을 사용하고 양성 피드백을 적용하지 않았을 때의 파형이며, 계통 전압이 왜곡되지 않고 안정된 전력 공급이 가능하다. 「그림 4-27」은 동일하게 임계 감쇠로 설계 후, 접속점 계통 전압이 왜곡되기 시작하는 양성 피드백 이득의 파형을 나타낸다. 양성 피드백 이득이 증가함에 따라 시스템이 불안정해져 정상적인 전력 공급이 불가능하다.

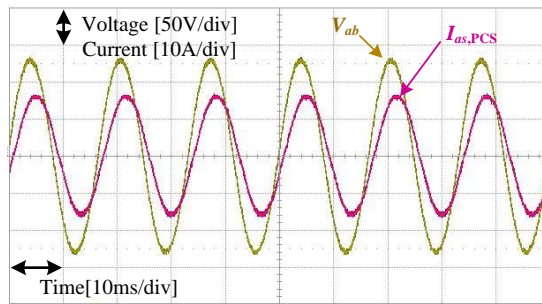


그림 4-26. 실험 결과 -  $Q_f = 2$ , 임계 감쇠 설계 PLL,  $Q_{f, set} = 0$

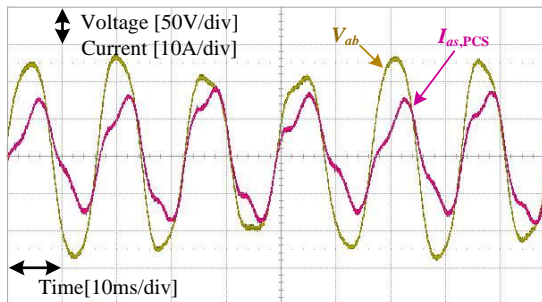


그림 4-27. 실험 결과 -  $Q_f = 2$ , 임계 감쇠 설계 PLL,  $Q_{f, set} = 5$

「그림 4-28」과 「그림 4-29」는 각각 부족 감쇠( $\zeta_p = 1/2\sqrt{2}$ ) 설계된 PLL과 과감쇠( $\zeta_p = \sqrt{2}$ ) 설계된 PLL을 사용할 때의 파형을 나타낸다. 「그림 4-27」과 마찬가지로 더 낮은 양성 피드백 이득을 사용하면 안정된 전력 공급이 가능하지만, 양성 피드백 이득이 커지면 접속점 계통 전압이 왜곡되어 정상적인 전력 공급이 불가능하다.

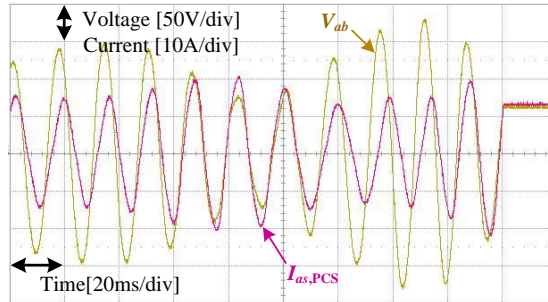


그림 4-28. 실험 결과 -  $Q_f = 2$ , 부족 감쇠 설계 PLL,  $Q_{f,set} = 4$

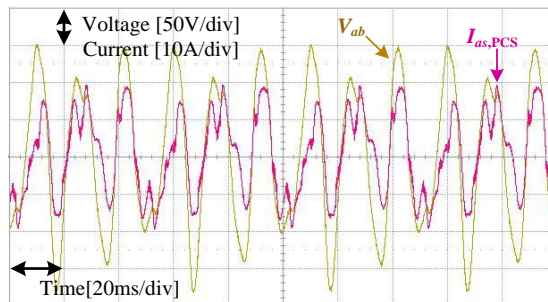


그림 4-29. 실험 결과 -  $Q_f = 2$ , 과감쇠 설계 PLL,  $Q_{f,set} = 4.5$

PLL 설계에 따른 안정된 운전이 가능한 최대 양성 피드백 이득은 각각, 부족 감쇠 설계 시  $Q_{f,set} = 4$ , 임계 감쇠 설계 시  $Q_{f,set} = 5$ , 과감쇠 설계 시  $Q_{f,set} = 4.5$ 가 된다. 2.4 절의 「그림 2-49」에서 분석한 바와 같이, 임계 감쇠 설계된 PLL 부근에서 가장 큰 양성 피드백 이득을 사용할 수 있다는 것을 확인하였다.

#### 4.4.2 PLL 구조 변경에 따른 실험 결과

3.4 절에서는 위상 동기화 제어기의 주파수 추정 위치를 바꿔 양성 피드백 이득 사용 범위를 넓히는 방법을 제안하였다. 3.4 절에서 분석한 바와 같이, 제안된 위상 동기화 제어기는 부족 감쇠 설계된 PLL을 사용할 때에는 안정화에 기여하지 못한다. 「그림 4-30」과 같이, 기존 위상 동기화 제어기를 사용한 경우와 동일한 양성 피드백 이득( $Q_{f,set} = 4$ )에서 계통이 불안정해진다.

하지만, 임계 감쇠 혹은 과감쇠 설계된 PLL을 사용하였을 때, 더 큰 양성 피드백 이득을 사용할 수 있다.

「그림 4-31」 ~ 「그림 4-33」은 임계 감쇠 설계된 PLL과 제안된 위상 동기화 제어기를 적용하였을 때의 실험 결과다. 「그림 4-31」은 「그림 4-27」과 동일한 양성 피드백 이득을 적용하였지만, 제안된 위상 동기화 제어기의 효과로 인해 계통 전압이 유지되고, 안정된 전력 공급이 가능함을 보여준다. 보다 더 높은 양성 피드백 이득을 사용( $Q_{f,set} = 7$ )하여도 PCS가 전력을 안정적으로 공급할 수 있으며, (그림 4-32 참고) 시스템이 불안정해지기 시작하는 양성 피드백 이득도 증가한다. (그림 4-33 참고)

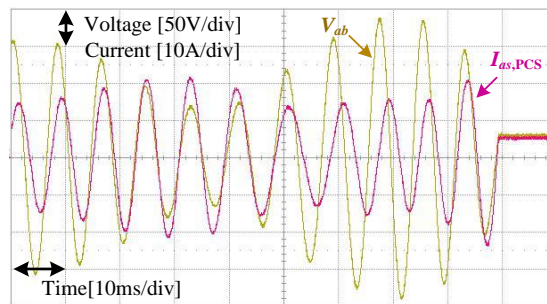


그림 4-30. 제안된 추정 방법의 실험 결과 -  $Q_f = 2$ ,  
부족 감쇠 설계 PLL,  $Q_{f,set} = 4$



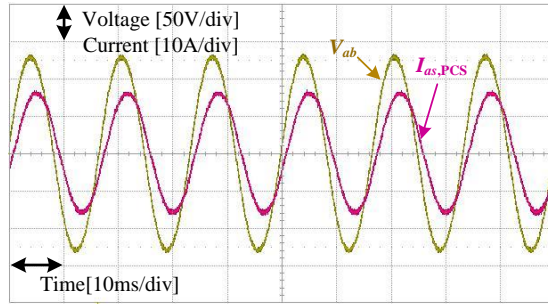


그림 4-31. 제안된 추정 방법의 실험 결과 -  $Q_f = 2$ ,  
 임계 감쇠 설계 PLL,  $Q_{f,set} = 5$

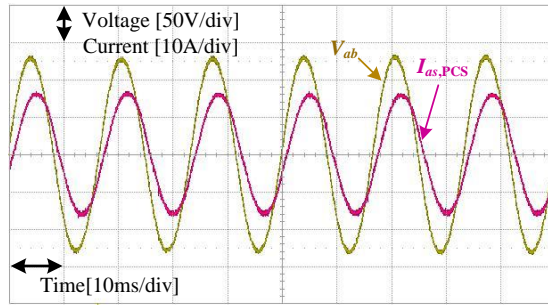


그림 4-32. 제안된 추정 방법의 실험 결과 -  $Q_f = 2$ ,  
 임계 감쇠 설계 PLL,  $Q_{f,set} = 7$

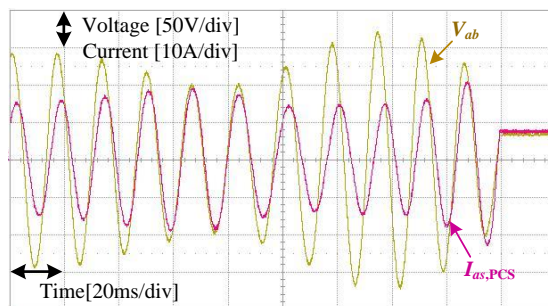


그림 4-33. 제안된 추정 방법의 실험 결과 -  $Q_f = 2$ ,  
 임계 감쇠 설계 PLL,  $Q_{f,set} = 8$

제안된 추정 방법은 특히 과감쇠로 설계된 PLL에 더 큰 효과를 보여 준다. 「그림 4-34」와 「그림 4-35」는 기존 방법을 적용할 때 사용 가능한 최대 양성 피드백 이득의 약 2 배, 3 배의 값을 양성 피드백 이득으로 적용한 실험 결과로, 두 경우 모두 안정된 전력 공급이 가능하다. 시스템이 불안정해지는 양성 피드백 이득의 최대 값은 약 3.8배로 증가한다. (그림 4-36 참고)

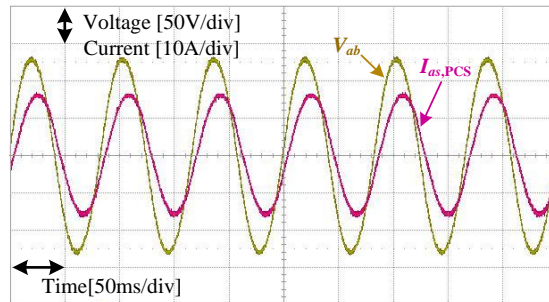


그림 4-34. 제안된 추정 방법의 실험 결과 -  $Q_f = 2$ ,  
과감쇠 설계 PLL,  $Q_{f,set} = 8$

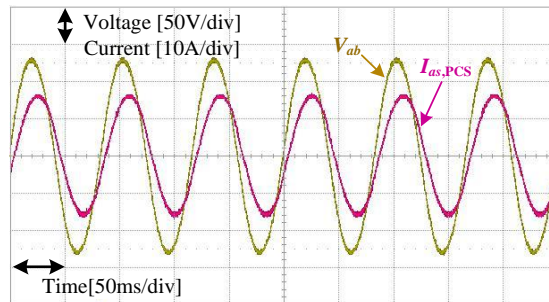


그림 4-35. 제안된 추정 방법의 실험 결과 -  $Q_f = 2$ ,  
과감쇠 설계 PLL,  $Q_{f,set} = 12$

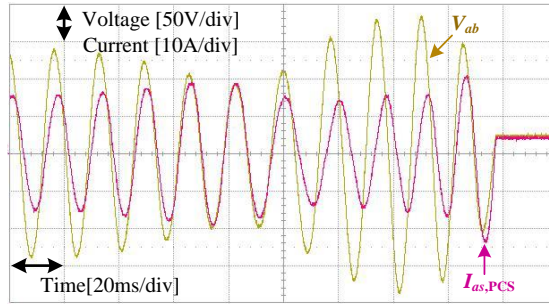


그림 4-36. 제안된 추정 방법의 실험 결과 -  $Q_f = 2$ ,

과감쇠 설계 PLL,  $Q_{f,set} = 17$

#### 4.4.3 부하 *Quality factor* 변화에 따른 실험 결과

2.4 절에서 논의한 바와 같이, 낮은 *Quality factor*의 부하는 부족 감쇠 설계된 PLL에서는 더 높은 양성 피드백 이득을 사용하여도 안정한 운전이 가능하였다. 부하의 저항만 고려하여 *Quality factor*를 0으로 설정하여 실험을 수행하였다.

「그림 4-37」은 부족 감쇠 설계된 PLL을 사용하였을 때의 실험 결과로, 「그림 4-28」에 비하여 큰 양성 피드백 이득을 사용하였음에도 계통 전압의 왜곡 없이 안정된 운전이 가능하다. 계통 전압이 불안정해지기 시작하는 양성 피드백 이득 역시 더 큰 값을 가지게 된다. (그림 4-38 참고)

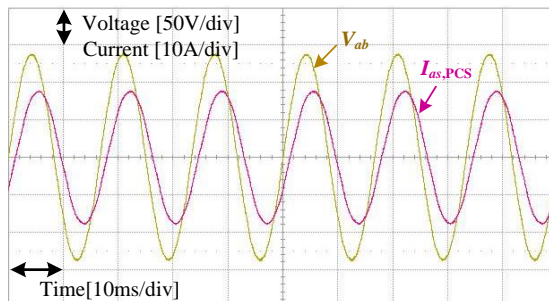


그림 4-37. 실험 결과 -  $Q_f = 0$ , 부족 감쇠 설계 PLL,  $Q_{f,set} = 5$

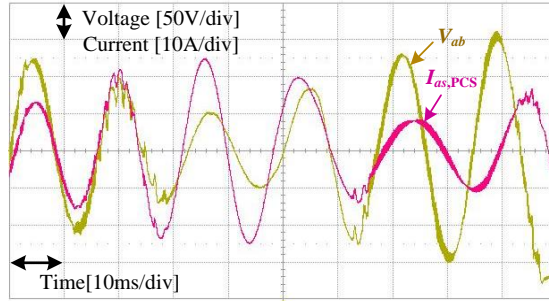


그림 4-38. 실험 결과 -  $Q_f = 0$ , 부족 감쇠 설계 PLL,  $Q_{f,set} = 7$

반면, 기존 추정 방식의 PLL 사용 시, 낮은 *Quality factor*의 부하에서는 과감쇠 설계된 PLL에서 더 낮은 양성 피드백 이득을 사용하여야 안정한 운전이 가능하였다. 「그림 4-39」는 과감쇠 설계된 PLL을 사용하였을 때 실험 파형으로, 「그림 4-29」에서 사용한 양성 피드백 이득보다 낮은 값에서 계통 전압이 왜곡되기 시작한다.

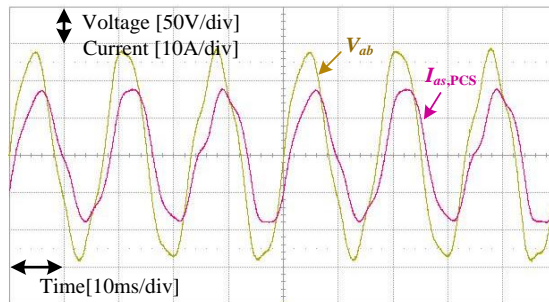


그림 4-39. 실험 결과 -  $Q_f = 0$ , 과감쇠 설계 PLL,  $Q_{f,set} = 2$

「그림 4-40」은 낮은 *Quality factor*( $Q_f = 0$ )의 부하가 연결되었을 때 제안된 PLL 구조를 적용한 실험 결과를 나타낸다. 3.4 절의 분석 결과에 따르면, 제안된 PLL 구조와 과감쇠 설계된 PLL을 사용하였을 때에는 낮은  $Q_f$  부하에서 더 높은 양성 피드백 이득을 사용할 수 있었다. 「그림 4-36」과 비교하였을 때, 훨씬 큰 양성 피드백 이득을 사용하였음에도 안정된 운전이 가능함을 확인하였다.

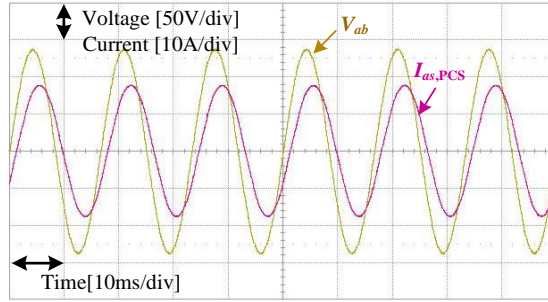


그림 4-40. 제안된 추정 방법의 실험 결과 -  $Q_f = 0$ ,

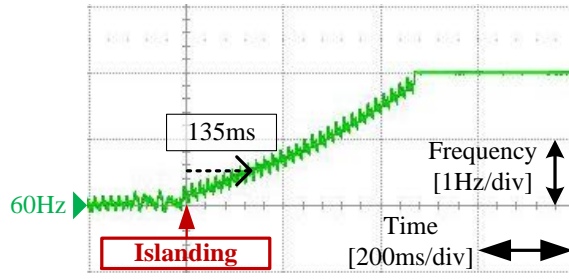
과감쇠 설계 PLL,  $Q_{f,set} = 20$

#### 4.4.4 단독 운전 실험 결과

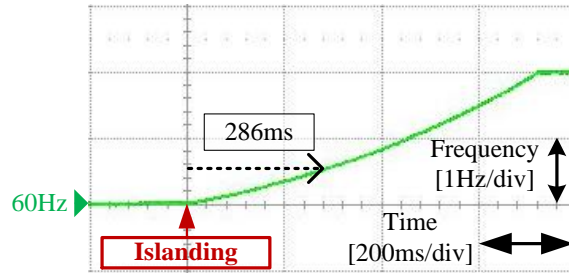
3.4.3 절에서는 단독 운전 검출 모의 실험을 통해 제안된 추정 방식을 진행하였을 때 단독 운전 검출 성능을 비교하였다. 「그림 4-41」은 이에 대한 실험 결과를 나타낸다. 본 실험에서 PLL의 고유 주파수( $\omega_{np}$ )는  $2\pi \times 3$  rad/s로 설정하였다. 실험에서는 트립 신호를 62 Hz에서 발생시켰지만, 검출 시간은 60.5 Hz를 기준으로 측정하였다.

동일한 양성 피드백 이득을 설정한 경우, 제안된 방법은 기존 방법보다 151 ms 정도 지연되어 286 ms에 단독 운전을 검출하게 된다. (그림 4-41 (a)와 (b) 참고) 그러나 여전히 규정에서 요구하는 검출 시간을 충분히 만족한다.

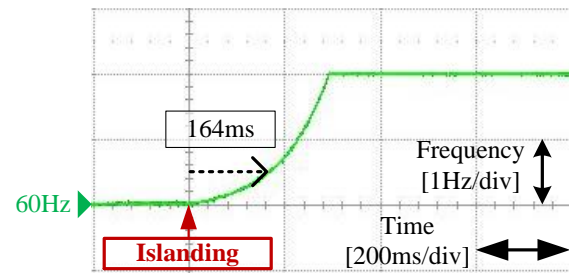
제안된 방법의 검출 시간을 단축하기 위해서 더 큰 양성 피드백 이득을 사용할 수 있으며, 「그림 4-41 (c)」에서와 같이 164 ms까지 검출 시간을 단축할 수 있다. 특히, 제안된 방법을 사용한 두 결과 모두 기존 방식에 비해, 추정된 계통 주파수의 잡음이 충분히 제거됨을 확인할 수 있다.



(a)



(b)



(c)

그림 4-41. 단독 운전 시험 결과 - 추정된 계통 주파수

(a) 기존 추정 방법,  $Q_{f,set} = 2$ , (b) 제안된 추정 방법,  $Q_{f,set} = 2$ ,

(c) 제안된 추정 방법,  $Q_{f,set} = 10$

## 제 5 장 결 론

본 논문에서는 향후 구성될 수 있는 “제로 에너지 단지”에 설치된 계통 연계 설비의 용량을 넘어서는 신·재생 에너지와 에너지 저장 장치 기반 분산형 전원과 부하가 연결되는 상황에서 발생할 수 있는 접속점 계통 전압의 불안정 현상에 대해서 분석하였다.

신·재생 에너지와 에너지 저장 장치 기반 분산형 전원에 사용되는 PCS의 제어기 설계에 따른 안정도 문제를 해석하고 안정도를 개선할 수 있는 방법을 제시하였다. 제로 에너지 개념을 충족시키는 분산형 전원과 부하가 늘어남에 따라 전원 임피던스의 상대적인 값이 커질 수 있기 때문에, 전원 임피던스가 상대적으로 큰 약한 계통에 PCS가 연결되는 경우 접속점에서의 전압 안정도 문제가 발생할 수 있었다.

기존 문헌 연구를 통해 제기된 불안정 요인 중 PCS의 제어기 설계에 따라 발생할 수 있는 문제점은 다음과 같았다.

- 1) 계통 연계 PCS가 전원 전압에 동기된 전력을 전달하기 위해서 사용하는 위상 동기화 제어기(PLL)의 설계에 따라, 약한 계통에서 전압 불안정 현상이 발생할 수 있다.
- 2) 컨버터 기반 일정 전력 소비 부하(CPL)에서 사용하는 직류단 전압 제어기의 설계에 따라, 병렬 운전 시 전원 전압 및 부하 직류단 전압의 불안정 현상이 발생할 수 있다.
- 3) 단독 운전(Islanding) 발생을 검출하기 위한 단독 운전 검출 기법(Anti-islanding) 중 양성 피드백을 사용하는 주파수 이동 검출 기법의 경우, 계통 선 임피던스가 증가함에 따라 안정된 운전을 위한 양성 피드백 이득이 제한된다.

위와 같은 문제 상황에 대하여 본 논문에서 연구된 내용은 다음과 같다.

- 1) 다수의 계통 연계 PCS가 연계됨에 따라, 임의의 수의 PCS가 연결되는 경우 계통 전압의 안정도를 분석해야만 한다. 시스템 행렬을 분석하는 경우, 연결되는 PCS 수가 증가함에 따라 계산 복잡성이 증가하는 문제가 발생한다. 따라서 본 논문에서는 ‘임피던스 기반 분석 방법’을 사용하여 다수의 시스템이 연결되어도 분석이 용이하도록 하였다. 또한, 각 제어기 구성에 따른 PCS의 출력 어드미턴스 행렬을 도출하였으며, 동작 특성에 따라 각 전달 함수 행렬의 근사 식을 도출하였다.
- 2) 위상 동기화 제어기에 의한 불안정 현상의 원인에 대해서 분석하였다. 위상 동기화 제어기의 실제 계통 위상으로부터 추정된 계통으로의 전달 함수는 2차 저역 통과 필터 특성을 갖도록 설계할 수 있다. 이 때 제어기 설계 변수로 사용하는 고유 주파수와 댐핑 계수는 비례 적분 제어기의 이득과 달리, PCS 출력 어드미턴스의 크기 및 위상 변화를 설명하는 데 유용한 정보를 제공함을 밝혔다. 이를 바탕으로 기존에 보고된 사례에서 위상 동기화 제어기가 지나치게 부족 감쇠 혹은 과감쇠 설계된 경우, 약한 계통에서 간섭이 발생하였음을 확인하였다.

계통 선 임피던스 및  $X/R$  비, 부하의 용량 변화, 일정 전력 부하를 각각 고려할 때 제어기 설계 한계에 대해서 분석하였다. 특히 PLL 댐핑 계수( $\zeta_p$ )의 최소 값이 제한되므로, 약한 계통에 연결될 때 댐핑 계수를 적절한 값 이상으로 제한하여야 함을 분석을 통해 확인하였다.

또한, 실제적인 문제를 고려한 고유 주파수와 댐핑 계수의 설계 값을 제안하였으며, 제안된 설계는 상기 언급된 문제에 의해 불안



정 현상이 발생하지 않는 조건임을 분석 및 모의 실험, 축소 실험을 통하여 확인하였다.

- 3) 병렬 운전되는 일정 전력 부하에 의한 불안정 현상 역시 분석되었다. 직류단 전압 제어기의 응답 특성 역시 2차 저역 통과 필터 특성을 갖도록 설계되며, 설계 변수인 고유 주파수와 댐핑 계수가 PCS 출력 어드미턴스의 크기 및 위상 변화의 유용한 정보를 제공하였다. 이를 바탕으로 기존에 보고된 사례에서 직류단 전압 제어가 지나치게 과감쇠 설계된 경우, 접속점 전압의 불안정을 야기할 수 있음을 확인하였다.

전압 제어기의 설계 변수 중 댐핑 계수가 불안정을 야기할 수 있는 주요한 원인으로 분석되었으며, 댐핑 계수를 적절한 값 이하로 설정하면 충분히 안정된 운전이 가능함을 확인하였다.

다만, 이미 독립적으로 설계되어 설치된 일정 전력 부하의 제어기 설계를 변경하기 어려운 경우가 발생할 수 있기 때문에, 분산형 전원의 능동 댐핑 알고리즘을 통한 안정화 전략을 소개하였다. 제로 에너지 개념을 충족시키기 위해 증가하는 일정 전력 부하를 감당하기 위해 설치될 수 있는 분산형 전원에 능동 댐핑 알고리즘을 적용함으로써, 추가로 능동 댐퍼 회로를 설치하지 않고도 계통 전압을 안정화할 수 있는 방안을 제시하였다.

- 4) 주파수 이동 검출 방식의 양성 피드백 이득이 커짐에 따라, 약한 계통에서 전압 불안정 현상을 더 쉽게 발생시킬 수 있음을 확인하였다. 특히, 위상 동기화 제어기의 설계에 따라 사용 가능한 양성 피드백 이득의 제한이 변동됨을 분석하였다. 특히 지나치게 과감쇠 설계된 PLL을 사용하는 경우, 연결된 부하의 단독 운전을 검출할 수 있는 양성 피드백 이득을 설정할 수 없는 조건도 발생하였다.

이러한 제한을 극복하기 위해서 수정된 위상 동기화 제어기를 사용하여, 안정된 운전을 할 수 있는 양성 피드백 이득을 증가시킬

수 있는 방법을 제안하였다. 계통 전압 주파수 피드백 루프 구성 시, 위상 동기화 제어기의 주파수 추정 위치의 수정만으로 최대로 사용할 수 있는 양성 피드백 이득의 제한이 더 높아졌다. 또한 과감쇠 설계된 PLL을 사용하였을 때, 연결된 부하의 단독 운전을 검출할 수 있는 충분한 양성 피드백 이득 값을 설정할 수 있었다.

주파수 추정 방식을 변경하여 단독 운전 발생 시 느린 동특성으로 인하여 동일한 양성 피드백 이득 선정 시 검출 시간이 느려지게 되지만, 제안된 방식은 더 높은 양성 피드백 이득을 사용할 수 있기 때문에 검출 시간의 저하는 무시할만하였다.

본 연구를 토대로 향후에 다음과 같은 연구가 진행될 수 있다.

- 1) 본 논문에서는 다수의 PCS가 모두 동일한 기본 제어 구조를 가지고, 동일한 설계 값을 적용한 것으로 가정하여, 단일 대용량 PCS에 대한 분석 결과를 주로 다루었다. 따라서, 각 PCS가 성능 향상을 위하여 수정된 제어 구조를 가지고 있거나, 서로 다른 설계 값을 가지는 경우에 대한 고려가 필요하다. 특히, 이러한 구조 상의 차이를 고려할 경우 제로 에너지 단지 혹은 교류 마이크로그리드 내에서는 성능의 최적화가 가능할 것으로 예상된다.
- 2) 본 논문에서는 부하가 일정하다고 가정하여 안정도 분석을 수행하였다. 실제 계통은 시간에 따라 발전량 및 부하 양상이 변하기 때문에, 이러한 계통 측 변화에 대한 고려도 필요하다. 그리고 지중 선로 등을 고려하여 계통 측 선 임피던스의 캐패시턴스를 고려한 분석 역시 가능하다. 본 논문에서는 부하에 등가적인 캐패시턴스를 삽입하여 Lumped 모델로 분석하였으나, Distributed 모델로 고려한 분석 역시 가능하다. 또한, 부하의 불평형으로 인한 계통 전압의 불평형 역시 고려되어야 할 것이다.

- 3) 본 논문에서 고려한 PCS는 상용 전원의 연결을 가정하여, 접속점 전압에 맞춰 전력을 공급하는 방식의 제어기만을 고려하였다. 단지 내 분산형 발전기가 계통 전압을 유지하기 위한 제어를 수행하는 경우, 전원 임피던스를 감소시켜 줄 수 있으므로 이러한 제어 기법이 적용된 PCS 연결에 대한 분석이 추가로 진행될 수 있다. 특히, 본 논문에서는 고려되지 않았지만, 분산형 전원이 자가 소비되는 제로 에너지 개념의 단지 내에 설치될 때 적용되는 드롭(Droop) 제어 역시 고려되어야 한다.
- 4) 본 논문에서 제시된 능동 댐핑 알고리즘은 직류단 전압 제어기를 사용하는 태양광 발전 PCS 혹은 개루프 전력 제어기를 사용하는 BESS 용 PCS에는 효과적으로 적용될 수 있었다. 폐루프 전력 제어기를 사용하는 경우, 상위 제어기에 의해서 상대적으로 그 효과가 줄어들 수 있기 때문에 이를 극복할 수 있는 새로운 능동 댐핑 구조에 대한 연구가 수행될 수 있다.
- 5) 본 논문에서 사용된 임피던스 기반 분석 방법의 경우, 운전점에서의 PCS 출력 임피던스를 사용하여 안정도 분석을 수행하였다. PCS가 계통에 투입되거나 탈락하는 과도 상태, 혹은 계통 사고에 의해서 계통 전압이 흔들리는 과도 상태에 대한 해석을 제공해주지 못한다. 따라서 이를 고려하기 위한 추가적인 연구를 진행할 필요가 있다.

## 참고 문헌

- [1] *A strategy for competitive, sustainable and secure energy* (Brochure), European Union, 2011. (<http://ec.europa.eu>)
- [2] “Post-2020 감축 목표 시나리오 공청회 자료”, 온실가스종합정보센터, 2015년 6월. (<http://www.gir.go.kr/home/>)
- [3] “신에너지 및 재생에너지 개발·이용·보급 촉진법 시행규칙”, 산업통상자원부령 제 138호, 2015년 7월. (<http://www.law.go.kr/>)
- [4] “스마트그리드 ESS 기술동향 보고서”, 지능형전력망협회, 2012년 9월.
- [5] “제로에너지건축물 활성화”, 국토교통부 정책마당 도시/건축 정책. (<http://www.molit.go.kr/>)
- [6] “분산형 전원 배전계통 연계 기술 Guideline”, KEPCO, 2015년 10월 개정.
- [7] R. Teodorescu, F. Blaabjerg, U. Borup, and M. Liserre, "A new control structure for grid-connected LCL PV inverters with zero steady-state error and selective harmonic compensation," in *19th Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC 2004)*, 2004, pp. 580-586.
- [8] 정상혁, 최세완, "계통연계형 인버터의 LCL 필터 최적 설계기법," *Trans. Korean Inst. Power Electron.*, vol. 18, pp. 103-109, 2013.
- [9] B.-G. Cho, S.-K. Sul, H. Yoo, and S.-M. Lee, "LCL filter design and control for grid-connected PWM converter," in *Proc. of 8th Int. Conf. on Power Electron. and ECCE Asia (ICPE-ECCE Asia 2011)*, 2011, pp. 756-763.
- [10] B.-G. Cho and S.-K. Sul, "LCL filter design for grid-connected voltage-source converters in high power systems," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2012)*, 2012, pp. 1548-1555.
- [11] R. Juntunen, J. Korhonen, T. Musikka, L. Smirnova, O. Pyrhonen, and P. Silventoinen, "Comparative analysis of LCL-filter designs for paralleled inverters," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 2664-2672.
- [12] X. Wang, R. Beres, F. Blaabjerg, and P. C. Loh, "Passivity-based design of

- passive damping for LCL-filtered voltage source converters," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 3718-3725.
- [13] X. Wang, Y. Li, F. Blaabjerg, and P. C. Loh, "Virtual-Impedance-Based Control for Voltage-Source and Current-Source Converters," *IEEE Trans. Power Electron.*, vol. 30, pp. 7019-7037, 2015.
- [14] K. Jaesuk and S. Seung-Ki, "Harmonic currents control of three-phase four-wire grid-connected PWM inverter based on high-order repetitive controller," in *Proc. of 9th Int. Conf. on Power Electron. and ECCE Asia (ICPE-ECCE Asia 2015)*, 2015, pp. 2161-2166.
- [15] T. Kato, K. Inoue, and M. Ishida, "Investigation of stabilities of Lyapunov-based digital control for grid-connected inverter," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 2394-2399.
- [16] H. Liu, L. Yu, H. Wu, G. Liu, and W. Wang, "Small signal modeling and stability analysis on parallel photovoltaic inverters in microgrid," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 3754-3759.
- [17] G. Bergna Diaz, J. A. Suul, and S. D'Arco, "Small-signal state-space modeling of modular multilevel converters for system stability analysis," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 5822-5829.
- [18] N. L. Diaz, E. Alves Coelho, J. C. Vásquez, and J. M. Guerrero, "Stability analysis for isolated AC microgrids based on PV-active generators," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 4214-4221.
- [19] Y. Yang, S.-S. Ho, S.-C. Tan, and S. Hui, "Stability design of electric springs in power grids," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6838-6844.
- [20] A. Solanki, A. Nasiri, B. Novakovic, and V. Bhavaraju, "State space modeling and stability assessment for a microgrid," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 533-538.
- [21] V. Mariani, F. Vasca, J. Vasquez, and J. Guerrero, "Model Order Reductions for Stability Analysis of Islanded Microgrids with Droop Control," *IEEE Trans. Ind. Appl.*, vol. 62, pp. 4344-4354, 2014.
- [22] Y. Tao, Q. Liu, Y. Deng, X. Liu, and X. He, "Analysis and mitigation of inverter output impedance impacts for distributed energy resource interface,"

- IEEE Trans. Power Electron.*, vol. 30, pp. 3563-3576, 2015.
- [23] L. Harnefors, "Analysis of subsynchronous torsional interaction with power electronic converters," *IEEE Trans. Power Syst.*, vol. 22, pp. 305-313, 2007.
- [24] T. Messo, J. Jokipii, A. Makinen, and T. Suntio, "Modeling the grid synchronization induced negative-resistor-like behavior in the output impedance of a three-phase photovoltaic inverter," in *4th IEEE Int. Symp. on Power Electron. for Distributed Generation Syst. (PEDG)*, 2013, pp. 1-7.
- [25] B. Bernhardsson and E. Mollerstedte, "Out of control because of harmonics," *IEEE Control. Syst. Mag.*, vol. 20, pp. 70-81, 2000.
- [26] J. Kwon, X. Wang, C. L. Bak, and F. Blaabjerg, "Analysis of harmonic coupling and stability in back-to-back converter systems for wind turbines using harmonic state space (HSS)," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 730-737.
- [27] J. Kwon, X. Wang, C. L. Bak, and F. Blaabjerg, "Harmonic instability analysis of single-phase grid connected converter using harmonic state space (HSS) modeling method," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 2421-2428.
- [28] J. Kwon, X. Wang, C. L. Bak, and F. Blaabjerg, "Harmonic interaction analysis in grid connected converter using Harmonic State Space (HSS) modeling," in *30th Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC 2015)*, 2015, pp. 1779-1786.
- [29] G. Pinares and M. Bongiorno, "Analysis and mitigation of instabilities originated from dc-side resonances in VSC-HVDC systems," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 5779-5785.
- [30] Y. Hirase, O. Noro, K. Sugimoto, K. Sakimoto, Y. Shindo, and T. Ise, "Effects of suppressing frequency fluctuations by parallel operation of virtual synchronous generator in microgrids," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 3694-3701.
- [31] Z. Xin, X. Wang, P. C. Loh, and F. Blaabjerg, "Enhanced stability of capacitor-current feedback active damping for LCL-filtered grid converters," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 4729-4736.
- [32] Y. Tang, C. Yoon, R. Zhu, and F. Blaabjerg, "Generalized stability regions of

- current control for LCL-filtered grid-connected converters without passive or active damping," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 2040-2047.
- [33] X. Chen, K. Dai, C. Xu, and X. Lin, "Harmonic suppression and resonance damping for shunt APF with selective closed-loop regulation of PCC voltage," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6439-6443.
- [34] J. Huang and X. Yuan, "Impact of the voltage feed-forward and current decoupling on VSC current control stability in weak grid based on complex variables," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6845-6852.
- [35] S. Mukherjee, P. Shamsi, and M. Ferdowsi, "Impedance shaping for improved load sharing among inverters in AC microgrids," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 738-744.
- [36] S. Chernet and M. Bongiorno, "Input impedance based nyquist stability criterion for subsynchronous resonance analysis in DFIG based wind farms," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6285-6292.
- [37] L. Weijie, Y. Minghui, Z. Rui, J. Minghe, and Z. Yun, "Investigating instability of the wind turbine simulator with the conventional inertia emulation scheme," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 983-989.
- [38] T. Kato, K. Inoue, and M. Ishida, "Investigation of stabilities of Lyapunov-based digital control for grid-connected inverter," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 2394-2399.
- [39] P. Liu, C. Chen, J. Cai, and S. Duan, "Stability analysis of instantaneous average current sharing control strategy for parallel operation of UPS modules," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 1238-1242.
- [40] M. Wang, H. Lin, F. Gong, H. Yang, and X. Wang, "Stability control for LC-L filter based load side converter of BDFG ship shaft power generation system without extra damping," in *Proc. IEEE Energy Convers. Congr. and Expo.*

- (*ECCE 2015*), 2015, pp. 5525-5530.
- [41] C. Blanco, D. Reigosa, J. C. Vasquez, J. M. Guerrero, and F. Briz, "Virtual admittance loop for voltage harmonic compensation in microgrids," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 745-752.
- [42] D. Dong, D. Boroyevich, P. Mattavelli, B. Wen, and Y. Xue, "Anti-islanding protection in three-phase converters using grid synchronization small-signal stability," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2012)*, 2012, pp. 2712-2718.
- [43] D. Dong, B. Wen, P. Mattavelli, D. Boroyevich, and Y. Xue, "Grid-synchronization modeling and its stability analysis for multi-paralleled three-phase inverter systems," in *28th Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC)*, 2013, pp. 439-446.
- [44] M. Liserre, R. Teodorescu, and F. Blaabjerg, "Stability of photovoltaic and wind turbine grid-connected inverters for a large set of grid impedance values," *IEEE Trans. Power Electron.*, vol. 21, pp. 263-272, 2006.
- [45] S. Eren, A. Bakhshai, and P. Jain, "Geometric analysis of grid-connected VSI with LCL-filter using Poincaré map," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 1948-1953.
- [46] Z. Sütö and I. Nagy, "Analysis of nonlinear phenomena and design aspects of three-phase space-vector-modulated converters," *IEEE Trans. Circuits Sys. I, Fundam. Theory Appl.*, vol. 50, pp. 1064-1071, 2003.
- [47] S. Lissandron, L. Dalla Santa, P. Mattavelli, and B. Wen, "Experimental verification of impedance-based small-signal stability analysis for single-phase interconnected power systems," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6716-6723.
- [48] H. Bai, X. Wang, P. C. Loh, and F. Blaabjerg, "Passivity enhancement of grid-tied converter by series LC-filtered active damper," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 5830-5837.
- [49] X. Wang, R. Beres, F. Blaabjerg, and P. C. Loh, "Passivity-based design of passive damping for LCL-filtered voltage source converters," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 3718-3725.
- [50] C. Zhang, X. Wang, F. Blaabjerg, W. Wang, and C. Liu, "The influence of



- phase-locked loop on the stability of single-phase grid-connected inverter," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 4737-4744.
- [51] M. Céspedes and J. Sun, "Renewable energy systems instability involving grid-parallel inverters," in *24th Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC 2009)*, 2009, pp. 1971-1977.
- [52] J. H. Enslin and P. J. Heskes, "Harmonic interaction between a large number of distributed power inverters and the distribution network," *IEEE Trans. Power Electron.*, vol. 19, pp. 1586-1593, 2004.
- [53] Q. Ye, R. Mo, Y. Shi, and H. Li, "A unified impedance-based stability criterion (UIBSC) for paralleled grid-tied inverters using global minor loop gain (GMLG)," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 5816-5821.
- [54] H. Zhou, J. Sun, W. Hu, Y. Ji, X. Zha, M. Gao, et al., "Stability analysis of harmonic compensation system under weak grid conditions," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 5802-5807.
- [55] T. Su, W. Liu, Y. Wang, J. Sun, and X. Zha, "A composite compensation method of a grid-connected AC/DC converter to improve robustness under weak grid conditions," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6853-6857.
- [56] H. Liu, J. Liang, and L. Qi, "Harmonics mitigation and stability analysis of DTC motor drives in MVDC systems," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 3172-3178.
- [57] X. Wang, F. Blaabjerg, and W. Wu, "Modeling and analysis of harmonic stability in an AC power-electronics-based power system," *IEEE Trans. Power Electron.*, vol. 29, pp. 6421-6432, 2014.
- [58] X. Wang, F. Blaabjerg, and P. C. Loh, "Proportional derivative based stabilizing control of paralleled grid converters with cables in renewable power plants," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2014)*, 2014, pp. 4917-4924.
- [59] J. Sun, "Impedance-based stability criterion for grid-connected inverters," *IEEE Trans. Power Electron.*, vol. 26, pp. 3075-3078, 2011.

- [60] Y. Jiang, J. Sun, W. Hu, S. Li, H. Zhou, and X. Zha, "Analysis and suppression of interaction between STATCOM and voltage-source inverter in islanded micro-grid," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6858-6863.
- [61] S. Chernet and M. Bongiorno, "Input impedance based Nyquist stability criterion for subsynchronous resonance analysis in DFIG based wind farms," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 6285-6292.
- [62] M. Cespedes and J. Sun, "Impedance modeling and analysis of grid-connected voltage-source converters," *IEEE Trans. Power Electron.*, vol. 29, pp. 1254-1261, 2014.
- [63] L. Harnefors, "Modeling of three-phase dynamic systems using complex transfer functions and transfer matrices," *IEEE Trans. Ind. Electron.*, vol. 54, pp. 2239-2248, 2007.
- [64] C. Wan, M. Huang, C. K. Tse, and X. Ruan, "Effects of interaction of power converters coupled via power grid: A design-oriented study," *IEEE Trans. on Power Electron.*, vol. 30, pp. 3589-3600, 2015.
- [65] S. Pika and S. Danielsen, "Understanding of the stability criterion for a double-feedback loop system," in *Electrical Systems for Aircraft, Railway and Ship Propulsion (ESARS)*, 2010, 2010, pp. 1-5.
- [66] J. Sun, "Small-signal methods for AC distributed power systems—a review," *IEEE Trans. Power Electron.*, vol. 24, pp. 2545-2554, 2009.
- [67] M. Belkhat, "Stability criteria for ac power systems with regulated loads," Ph. D. dissertation, Purdue Univ., West Lafayette, IN, USA, Dec. 1997.
- [68] L. Harnefors, L. Zhang, and M. Bongiorno, "Frequency-domain passivity-based current controller design," *IET Power Electronics*, vol. 1, pp. 455-465, 2008.
- [69] L. Harnefors, M. Bongiorno, and S. Lundberg, "Input-admittance calculation and shaping for controlled voltage-source converters," *IEEE Trans. Ind. Electron.*, vol. 54, pp. 3323-3334, 2007.
- [70] Z. Liu, J. Liu, W. Bao, and Y. Zhao, "Infinity-norm of impedance-based stability criterion for three-phase AC distributed power systems with constant

- power loads," *IEEE Trans. Power Electron.*, vol. 30, pp. 3030-3043, 2015.
- [71] B. Wen, D. Boroyevich, R. Burgos, P. Mattavelli, and Z. Shen, "Small-signal stability analysis of three-phase AC systems in the presence of constant power loads based on measured d-q frame impedances," *IEEE Trans. Power Electron.*, vol. 30, pp. 5952-5963, 2015.
- [72] H. Mao, D. Boroyevich, and F. C. Lee, "Novel reduced-order small-signal model of a three-phase PWM rectifier and its application in control design and system analysis," *IEEE Trans. on Power Electron.*, vol. 13, pp. 511-521, 1998.
- [73] B. Wen, D. Boroyevich, P. Mattavelli, Z. Shen, and R. Burgos, "Influence of phase-locked loop on input admittance of three-phase voltage-source converters," in *28th Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC 2013)*, 2013, pp. 897-904.
- [74] B. Wen, D. Boroyevich, P. Mattavelli, Z. Shen, and R. Burgos, "Experimental verification of the generalized Nyquist stability criterion for balanced three-phase AC systems in the presence of constant power loads," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2012)*, 2012, pp. 3926-3933.
- [75] R. Burgos, D. Boroyevich, F. Wang, K. Karimi, and G. Francis, "On the AC stability of high power factor three-phase rectifiers," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2010)*, 2010, pp. 2047-2054.
- [76] G. Francis, R. Burgos, D. Boroyevich, F. Wang, and K. Karimi, "An algorithm and implementation system for measuring impedance in the DQ domain," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2011)*, 2011, pp. 3221-3228.
- [77] A. A. Radwan and Y. A.-R. Mohamed, "Analysis and active-impedance-based stabilization of voltage-source-rectifier loads in grid-connected and isolated microgrid applications," *IEEE Trans. Sustainable Energy*, vol. 4, pp. 563-576, 2013.
- [78] M. Céspedes and J. Sun, "Impedance shaping of three-phase grid-parallel voltage-source converters," in *27th Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC) 2012*, pp. 754-760.
- [79] K. M. Alawasa, Y. A.-R. Mohamed, and W. Xu, "Modeling, analysis, and suppression of the impact of full-scale wind-power converters on

- subsynchronous damping," *IEEE Syst. J.*, vol. 7, pp. 700-712, 2013.
- [80] B. Wen, D. Dong, D. Boroyevich, R. Burgos, P. Mattavelli, and Z. Shen, "Impedance-based analysis of grid-synchronization stability for three-phase paralleled converters," *IEEE Trans. Power Electron.*, vol. 31, pp. 26-38, 2016.
- [81] B. Wen, D. Boroyevich, R. Burgos, P. Mattavelli, and Z. Shen, "Analysis of D-Q small-signal impedance of grid-tied inverters," *IEEE Trans. Power Electron.*, vol. 31, pp. 675-687, 2016.
- [82] B. Wen, D. Boroyevich, P. Mattavelli, R. Burgos, and Z. Shen, "Modeling the output impedance negative incremental resistance behavior of grid-tied inverters," in *29th Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC)*, 2014, pp. 1799-1806.
- [83] R. Turner, S. Walton, and R. Duke, "A case study on the application of the Nyquist stability criterion as applied to interconnected loads and sources on grids," *IEEE Trans. Ind. Electron.*, vol. 60, pp. 2740-2749, 2013.
- [84] B. Wen, D. Boroyevich, R. Burgos, Z. Shen, and P. Mattavelli, "Impedance-based analysis of active frequency drift islanding detection for grid-tied inverter system," *IEEE Trans. on Ind. Appl.*, vol. 52, pp. 332-341, 2016.
- [85] B. Wen, "Stability analysis of three-phase AC power systems based on measured D-Q frame impedances," Ph. D. dissertation, Virginia Polytechnic Institute and State Univ., Blacksburg, VA, USA, Nov. 2014.
- [86] S. Skogestad and I. Postlethwaite, "Elements of linear system theory," in *Multivariable feedback control: analysis and design*, NY:Wiley Press, 2001.
- [87] 김장환, "멀티레그 멀티레벨 전압형 인버터를 위한 전압변조기법의 일반화에 대한 연구", 서울대학교 박사 학위 논문, 2006.
- [88] Seung-Ki Sul, "Design of regulators for electric machines and power converters," in *Control of Electric Machine Drive Systems*, Piscataway, NJ:IEEE Press, 2011.
- [89] R. Teodorescu, M. Liserre, and P. Rodriguez, "Grid converter control for WTS" in *Grid converters for photovoltaic and wind power systems*, Chichester, WS, UK:John Wiley & Sons, 2011.
- [90] "송·배전용 전기설비 이용규정", KEPCO, 2010년 6월.

- [91] *IEEE Recommended Practice for Utility Interface of Photovoltaic (PV) Systems*, IEEE Std 929-2000.
- [92] *IEEE Standard for Interconnecting Distributed Resources with Electric Power Systems*, IEEE Std 1547<sup>TM</sup>-2003 (R2008).
- [93] *IEEE Standard Conformance Test Procedures for Equipment Interconnecting Distributed Resources with Electric Power Systems*, IEEE Std 1547.1-2005 (R2011).
- [94] *IEEE Application Guide for IEEE Std 1547<sup>TM</sup>, IEEE Standard for Interconnecting Distributed Resources with Electric Power Systems*, IEEE Std 1547.2<sup>TM</sup>-2008.
- [95] *Inverters, Converters, and Controllers and Interconnection System Equipment for Use with Distributed Energy Resources*, UL 1741.
- [96] DIN-VDE, "Automatic Disconnection Device Between a Generator and the Low-Voltage Grid," DIN-VDE Std. 0126-1-1, 2005.
- [97] R. Teodorescu, M. Liserre, and P. Rodriguez, "Islanding detection" in *Grid converters for photovoltaic and wind power systems*, Chichester, WS, UK: John Wiley & Sons, 2011.
- [98] M. Ropp, D. Larson, S. Meandering, D. McMahon, J. Ginn, J. Stevens, et al., "Discussion of a power line carrier communications-based anti-islanding scheme using a commercial automatic meter reading system," in *4th IEEE World Conf. on Photovoltaic Energy Convers.*, 2006, pp. 2351-2354.
- [99] W. Xu, G. Zhang, C. Li, W. Wang, G. Wang, and J. Kliber, "A power line signaling based technique for anti-islanding protection of distributed generators—part i: scheme and analysis," *IEEE Trans. Power Del.*, vol. 22, pp. 1758-1766, 2007.
- [100] 이영귀, 이혜원, 김연희, 정태영, and 강용철, "시간영역에서의 유효/무효전력을 이용한 마이크로그리드의 단독운전의 판단 알고리즘," *대한전기학회 학술대회 논문집*, pp. 145-146, 2011.
- [101] Truptimayee Pujhari, "Islanding detection in distributed generation," M.S. thesis, Electrical Engineering, Natl. Institute of Technology, Rourkela, India, May. 2009
- [102] H. Laaksonen, "Advanced islanding detection functionality for future electricity distribution networks," *IEEE Trans. Power Del.*, vol. 28, pp. 2056-2064, Oct 2013.

- [103] S.-I. Jang and K.-H. Kim, "An islanding detection method for distributed generations using voltage unbalance and total harmonic distortion of current," *IEEE Trans. Power Del.*, vol. 19, pp. 745-752, 2004.
- [104] Z. Ye, A. Kolwalkar, Y. Zhang, P. Du, and R. Walling, "Evaluation of anti-islanding schemes based on nondetection zone concept," *IEEE Trans. Power Electron.*, vol. 19, pp. 1171-1176, 2004.
- [105] H. Zeineldin, E. F. El-Saadany, and M. Salama, "Impact of DG interface control on islanding detection and nondetection zones," *IEEE Trans. Power Del.*, vol. 21, pp. 1515-1523, 2006.
- [106] O. N. Faqhrudin, E. F. El-Saadany, and H. H. Zeineldin, "A universal islanding detection technique for distributed generation using pattern recognition," *IEEE Trans. Smart Grid*, vol. 5, pp. 1985-1992, 2014.
- [107] S. A. Saleh, A. S. Aljankawey, R. Meng, J. Meng, C. P. Diduch, and L. Chang, "Antiislanding protection based on signatures extracted from the instantaneous apparent power," *IEEE Trans. Power Electron.*, vol. 29, pp. 5872-5891, 2014.
- [108] W. Bower and M. Ropp, "Evaluation of islanding detection methods for utility-interactive inverters in photovoltaic systems", Sandia National Labs., Albuquerque, NM, SANDIA Rep., SAND2002-3591, Nov. 2002
- [109] G. Petrone, G. Spagnuolo, R. Teodorescu, M. Veerachary, and M. Vitelli, "Reliability issues in photovoltaic power processing systems," *IEEE Trans. Ind. Electron.*, vol. 55, pp. 2569-2580, 2008.
- [110] E. J. Estébanez, V. M. Moreno, A. Pigazo, M. Liserre, and A. Dell'Aquila, "Performance evaluation of active islanding-detection algorithms in distributed-generation photovoltaic systems: Two inverters case," *IEEE Trans. Ind. Electron.*, vol. 58, pp. 1185-1193, 2011.
- [111] F. De Mango, M. Liserre, and A. D. Aquila, "Overview of anti-islanding algorithms for pv systems. part ii: Activemethods," in *Proc. 12th Int. Power Electron. and Motion Control Conf. (EPE-PEMC 2006)*, 2006, pp. 1884-1889.
- [112] J. B. Jeong and H. J. Kim, "Active anti-islanding method for PV system using reactive power control," *Electron. Lett.*, vol. 42, pp. 1004-1005, 2006.
- [113] G.-K. Hung, C.-C. Chang, and C.-L. Chen, "Automatic phase-shift method for islanding detection of grid-connected photovoltaic inverters," *IEEE Trans. Energy Convers.*, vol. 18, pp. 169-173, 2003.

- [114] M. Ropp, M. Begovic, and A. Rohatgi, "Analysis and performance assessment of the active frequency drift method of islanding prevention," *IEEE Trans. Energy Convers.*, vol. 14, pp. 810-816, 1999.
- [115] L. A. Lopes and H. Sun, "Performance assessment of active frequency drifting islanding detection methods," *IEEE Trans. Energy Convers.*, vol. 21, pp. 171-180, 2006.
- [116] K. Lee, J. Choi, I. Cho, S. Song, G. Yu, J. So, et al., "Improved RPV (reactive-power-variation) anti-islanding method for grid-connected three-phase PVPCS," in *Proc. 7th Int. Conf. on Power Electron. (ICPE 2007)*, 2007, pp. 503-505.
- [117] T. R. Ricciardi, D. Salles, W. Freitas, and X. Wang, "Dynamic modeling of inverter-based distributed generators with voltage positive feedback anti-islanding protection," in *2010 IREP Symp. Bulk Power Syst. Dynamics and Control -VIII (IREP)*, 2010, pp. 1-7.
- [118] A. Cardenas and K. Agbossou, "Experimental evaluation of voltage positive feedback based anti-islanding algorithm: multi-inverter case," *IEEE Trans. Energy Convers.*, vol. 27, pp. 498-506, 2012.
- [119] C. Jeraputra and P. Enjeti, "Development of a robust anti-islanding algorithm for utility interconnection of distributed fuel cell powered generation," *IEEE Trans. Power Electron.*, vol. 19, pp. 1163-1170, 2004.
- [120] Y. Jin, Q. Song, and W. Liu, "Anti-islanding protection for distributed generation systems based on reactive power drift," in *Proc. 35th Annu. Conf. of IEEE Ind. Electron. (IECON 2009)*, 2009, pp. 3970-3975.
- [121] C.-H. Yoo, D.-H. Jang, S.-K. Han, D.-S. Oh, and S.-S. Hong, "A new phase drift anti-islanding method for grid-connected inverter system," in *Proc. 8th IEEE Int. Conf. on Power Electron. and ECCE Asia (ICPE-ECCE Asia 2011)*, 2011, pp. 902-906.
- [122] B. Yu, Y. Jung, J. So, H. Hwang, and G. Yu, "A robust anti-islanding method for grid-connected photovoltaic inverter," in *Proc. 4th IEEE World Conf. on Photovoltaic Energy Convers.*, 2006, pp. 2242-2245.
- [123] F. Gao and M. R. Iravani, "A control strategy for a distributed generation unit in grid-connected and autonomous modes of operation," *IEEE Trans. Power Del.*, vol. 23, pp. 850-859, 2008.
- [124] P. Du, Z. Ye, E. E. Aponte, J. K. Nelson, and L. Fan, "Positive-feedback-based active anti-islanding schemes for inverter-based distributed generators:

- basic principle, design guideline and performance analysis," *IEEE Trans. Power Electron.*, vol. 25, pp. 2941-2948, 2010.
- [125] A. Massoud, K. Ahmed, S. Finney, and B. Williams, "Harmonic distortion-based island detection technique for inverter-based distributed generation," *IET Renewable Power Generation*, vol. 3, pp. 493-507, 2009.
- [126] B. Yu, M. Matsui, Y. Jung, and G. Yu, "Modeling and design of phase shift anti-islanding method using non-detection zone," *Solar Energy*, vol. 81, pp. 1333-1339, 2007.
- [127] H. H. Zeineldin and M. M. Salama, "Impact of load frequency dependence on the NDZ and performance of the SFS islanding detection method," *IEEE Trans. Ind. Electron.*, vol. 58, pp. 139-146, 2011.
- [128] H. Zeineldin and S. Kennedy, "Sandia frequency-shift parameter selection to eliminate nondetection zones," *IEEE Trans. Power Del.*, vol. 24, pp. 486-487, 2009.
- [129] X. Wang and W. Freitas, "Influence of voltage positive feedback anti-islanding scheme on inverter-based distributed generator stability," *IEEE Trans. Power Del.*, vol. 24, pp. 972-973, 2009.
- [130] V. John, Y. Zhihong, and A. Kolwalkar, "Investigation of anti-islanding protection of power converter based distributed generators using frequency domain analysis," *IEEE Trans. Power Electron.*, vol. 19, pp. 1177-1183, 2004.
- [131] X. Wang, J. Zheng, S. Zhu, and W. Xu, "Investigation of the impact of positive feedback anti-islanding controls on dynamics of motor load," in *Proc. 10th IET Int. Conf. on Develop. in Power Syst. Protection (DPSP 2010)*, 2010, pp. 1-5.
- [132] X. Wang and W. Freitas, "Impact of positive-feedback anti-islanding methods on small-signal stability of inverter-based distributed generation," *IEEE Trans. Energy Convers.*, vol. 23, pp. 923-931, 2008.
- [133] X. Wang, W. Freitas, and W. Xu, "Dynamic non-detection zones of positive feedback anti-islanding methods for inverter-based distributed generators," *IEEE Trans. Power Del.*, vol. 26, pp. 1145-1155, 2011.
- [134] Z. Ye, R. Walling, L. Garces, R. Zhou, L. Li, and T. Wang, *Study and development of anti-islanding control for grid-connected inverters*: National Renewable Energy Laboratory, 2004.
- [135] H. H. Zeineldin, "A Q-f droop curve for facilitating islanding detection of



- inverter-based distributed generation," *IEEE Trans. Power Electron.*, vol. 24, pp. 665-673, 2009.
- [136] X. Wang, W. Freitas, W. Xu, and V. Dinavahi, "Impact of DG interface controls on the sandia frequency shift antiislanding method," *IEEE Trnas. Energy Convers.*, vol. 22, pp. 792-794, 2007.
- [137] S. Bo, M. Jun, and Z. Jianyong, "A novel islanding detection method based on positive feedback between active current and voltage unbalance factor," in *2014 IEEE Innovative Smart Grid Technologies - Asia (ISGT Asia)*, 2014, pp. 31-34.
- [138] B.-H. Kim and S.-K. Sul, "Anti-islanding accelerated by grid unbalance component," in *Proc. of 9th Int. Conf. on Power Electron. and ECCE Asia (ICPE-ECCE Asia 2015)*, 2015, pp. 1268-1275.
- [139] B.-H. Kim and S.-K. Sul, "Comparison of non-detection zone of frequency drift anti-islanding with closed-loop power controlled distributed generators," in *IEEE 2nd Int. Future Energy Electron. Conf. (IFEEC)*, 2015, pp. 1-5.
- [140] B.-H. Kim and S.-K. Sul, "Analysis of non detection zone for multiple distributed PCS based on equivalent single PCS using reactive power approach," in *31st Annu. IEEE Appl. Power Electron. Conf. and Expo. (APEC)*, 2016, pp. 1220-1226.
- [141] B. H. Kim, S. K. Sul and C. H. Lim, "Anti-islanding detection method using negative sequence voltage," in *Proc. 7th Int. Power Electronics and Motion Control Conf. (IPEMC 2012)*, 2012, pp. 604-608.
- [142] H. Karimi, A. Yazdani, and R. Iravani, "Negative-sequence current injection for fast islanding detection of a distributed resource unit," *IEEE Trans. Power Electron.*, vol. 23, pp. 298-307, 2008.
- [143] G. Hernandez-Gonzalez and R. Iravani, "Current injection for active islanding detection of electronically-interfaced distributed resources," *IEEE Trans. Power Del.*, vol. 21, pp. 1698-1705, 2006.
- [144] D. D. Reigosa, F. Briz, C. B. Charro, P. Garca, and J. M. Guerrero, "Active islanding detection using high-frequency signal injection," *IEEE Trans. Ind. Appl.*, vol. 48, pp. 1588-1597, 2012.
- [145] F. Briz, D. Diaz-Reigosa, C. Blanco, and J. M. Guerrero, "Coordinated operation of parallel-connected inverters for active islanding detection using high-frequency signal injection," *IEEE Trans. Ind. Appl.*, vol. 50, pp. 3476-3484, 2014.

- [146] D. Reigosa, F. Briz, C. Blanco, P. Garcia, and J. Manuel Guerrero, "Active islanding detection for multiple parallel-connected inverter-based distributed generators using high-frequency signal injection," *IEEE Trans. Power Electron.*, vol. 29, pp. 1192-1199, 2014.
- [147] G. Hua, X. Dewei, W. Bin, and Y. Geng, "Active islanding detection for inverter-based distributed generation systems with power control interface," *IEEE Trans. Energy Convers.*, vol. 26, pp. 1063-1072, 2011.
- [148] M. Ropp, K. Haggerty, J. Ginn, J. Stevens, W. Bower, and S. Gonzalez, "Discussion of the physical mechanisms behind the observed behavior of motors in islanded loads," in *4th IEEE World Conf. on Photovoltaic Energy Convers.*, 2006, pp. 2343-2346.
- [149] M. Wu and D. D.-C. Lu, "A novel stabilization method of LC input filter with constant power loads without load performance compromise in DC microgrids," *IEEE Trans. Ind. Appl.*, vol. 62, pp. 4552-4562, 2015.
- [150] S.-J. Lee, J.-K. Kang, and S.-K. Sul, "A new phase detecting method for power conversion systems considering distorted conditions in power system," in *34th IAS Annual Meeting. Conf. Record of the 1999 IEEE Ind. Applic. Conf.*, 1999, pp. 2167-2172.
- [151] Y. Park, S.-K. Sul, W.-C. Kim, and H.-Y. Lee, "Phase-locked loop based on an observer for grid synchronization," *IEEE Trans. Ind. Appl.*, vol. 50, pp. 1256-1265, 2014.
- [152] R. Teodorescu, M. Liserre, and P. Rodriguez, "Grid synchronization in three-phase power converters" in *Grid converters for photovoltaic and wind power systems*, Chichester, WS, UK:John Wiley & Sons, 2011.
- [153] N. S. Nise, "Transient response" in *Control systems engineering*, Asia:John Wiley & Sons, 2008.
- [154] G. Ellis, "Delay in digital controllers" in *Control system design guide – A practical guide*, Elsevier, 2004.
- [155] H. Akagi, "Active harmonic filters," *Proc. of the IEEE*, vol. 93, pp. 2128-2141, 2005.
- [156] H. Akagi, "Active filters and energy storage systems operated under non-periodic conditions," in *2010 IEEE Power Eng. Soc. Summer Meeting*, 2000, pp. 965-970.

- [157] H. Akagi, "The state-of-the-art of active filters for power conditioning," in *2005 European Conf. on Power Electron. and Applcat.*, 2005.
- [158] X. Wang, Y. Pang, P. C. Loh, and F. Blaabjerg, "A Series-LC-Filtered Active Damper with Grid Disturbance Rejection for AC Power-Electronics-Based Power Systems," *IEEE Trans. Power Electron.*, vol. 30, pp. 4037-4041, 2015.
- [159] X. Wang, F. Blaabjerg, and M. Liserre, "An active damper to suppress multiple resonances with unknown frequencies," in *Proc. 29th IEEE Appl. Power Electron. Conf. and Expo. (APEC 2014)*, 2014, pp. 2184-2191.
- [160] E. S. Jung, M. H. Kim, and S.-K. Sul, "Control scheme for source voltage sensorless PWM converters under source voltage unbalance," in *Proc. of the 2011-14th European Conf. on Power Electron. and Applicat. (EPE 2011)*, 2011, pp. 1-10.
- [161] L. Jessen, S. Gunter, F. W. Fuchs, M. Gottschalk, and H.-J. Hinrichs, "Measurement results and performance analysis of the grid impedance in different low voltage grids for a wide frequency band to support grid integration of renewables," in *Proc. IEEE Energy Convers. Congr. and Expo. (ECCE 2015)*, 2015, pp. 1960-1967.
- [162] Oskar Vivero, "MIMO Toolbox for use with Matlab," Mathworks, 2006. (<http://www.mathworks.com>)
- [163] S.-H. Huang, J. Schmall, J. Conto, J. Adams, Y. Zhang, and C. Carter, "Voltage control challenges on weak grids with high penetration of wind generation: ERCOT experience," in *2012 IEEE Power and Energy Society General Meeting*, 2012, pp. 1-7.
- [164] H. K. Khalil, "Passivity" in *Nonlinear systems*, Pearson, 2008.
- [165] 백중복, "신재생 에너지원과 에너지 저장장치가 연계된 직류 배전 시스템의 제어 및 안정도 해석", 서울대학교 박사 학위 논문, 2014.
- [166] 김혜진, "직류 전력 시스템의 대신호 전압 안정도 해석 및 능동댐핑을 통한 전압 안정화", 서울대학교 박사 학위 논문, 2016.

## Abstract

# Stability Oriented Design of PCS Controllers under Weak Grid

Kim Byeong-Heon

School of Electrical Engineering and Computer Science

The Graduate School

Seoul National University

Recently, locally distributed generation, which supplies the energy demands by adjacent load, enables not to demand power from bus feeder. Such a “*zero energy demand*” concept has been commonplace in recent times. By this concept, although the local electric load is getting larger, the capacity of the existing bus feeder equipment for the utility grid is usually kept without additional feeder expansion. And, the relative grid impedance seen from the power conditioning system (PCS) is getting increasing. So, the PCS would be faced with a so called “*weak grid*” condition.

A conventional grid-tied system is assumed to be ideal or have small source impedance. Under the weak grid conditions, this assumption does not work. It has been reported that an inappropriate design of the phase-locked loop (PLL), dc-link voltage regulator or frequency drift anti-islanding may cause instability due to the source and load interaction. Under a weak grid condition, instability due to the interaction between PCS, load and impedance of the bus feeder occurs easily.

The impedance-based analysis can be a practical method used to analyze the local EPS stability, and has been successfully used in DC systems. The electrical power system can be characterized by input-output relationships, like impedance or admittance. The addition of an extra unit to the local EPS can be treated as a simple additional impedance or admittance to the existing system. In  $d$ - $q$  impedance analysis, the system becomes a Multi-Input Multi-Output (MIMO). To analyze the MIMO system stability, the generalized Nyquist stability criterion is adopted.

Much research has been concentrated on the admittance variation according to the controller gains, but it can be said that an intuitive guide for designing the frequency response of the admittance matrix is still missing. The variations of frequency response in the admittance matrix are interpreted by control design factors, such as control bandwidth and damping coefficient. As the PLL (Phase-Locked Loop) or DC-link voltage controller would be designed to have second-order low-pass-filter characteristics, the natural frequency and damping coefficient of the controllers can intuitively guide the frequency response of admittance. In conjunction with this understanding, the controller design guide has been proposed in this thesis. In addition, an impedance shaping technique for the PV generation unit or active damper is proposed to effectively stabilize the voltage at the point of common coupling (PCC), even though the PV generation power capability is much smaller than the total load of local EPS(Electric Power System).

In addition, it has been analyzed that the PFG (Positive Feedback Gain) of FDM (Frequency Drift Method) is also restricted by the PLL parameters. Even though the stability of PCS equipped with FDM is affected by the grid impedance, X/R ratio, the load power consumption, and the load quality factor, the PLL design has not been discussed in conjunction with the system stability under weak grid conditions. In this thesis an alternative technique has been proposed to estimate grid frequency. The proposed estimation method reduces the negative resistance area of PCS's impedance on a reactive power axis. As a result, PFG could be increased due to the proposed PLL structure and it would improve the stability of the system conspicuously under the weak grid conditions.

The analysis results and effectiveness of the proposed design have been verified through impedance analysis, Bode and Nyquist plots, simulations in the time domain, and in a scaled-down experimental test.

**Keywords: Impedance based analysis, Phase-locked loop, DC-link regulator, Active damper, Anti-islanding**

**Student Number: 2012-30196**

## 부 록

### A. PCS의 제어기 응답 특성 설계

본 논문에서 다루는 PCS에 사용되는 제어기들의 응답 특성에 대한 설계 방법을 설명한다.

#### A.1 위상 동기화 제어기 [88]

위상 동기화 제어기(PLL, Phase Locked Loop)로는 동기 좌표계를 이용한 위상 검출 방식을 사용하며, 동기 좌표계 위상 동기화 제어기(SRF-PLL, Synchronous Reference Frame-PLL)로 널리 알려져 있다. 전원 전압이 각주파수  $\omega$  를 가진 이상적인 3상 정현파 전압원임을 가정한다.  $a$ 상 전압이 양에서 음으로 바뀌는 순간을 각의 시점(0도)이라 정의한다. 이 때 3상 계통 전압은 식(A.1.1) 과 같이 표현할 수 있다.

$$\begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} = \begin{bmatrix} -E \sin \omega t \\ -E \sin \left( \omega t - \frac{2}{3} \pi \right) \\ -E \sin \left( \omega t + \frac{2}{3} \pi \right) \end{bmatrix}. \quad (\text{A.1.1})$$

여기서  $E$  는 상전압의 최대값을 나타낸다. 이를 정지 좌표계와 각속도로 회전하는 동기 좌표계로 변환하면 각각 식 (A.1.2)와 식 (A.1.3)과 같다.

$$\begin{bmatrix} e_d^s \\ e_q^s \end{bmatrix} = \begin{bmatrix} -E \sin \omega t \\ E \cos \omega t \end{bmatrix}, \quad (\text{A.1.2})$$

$$\begin{bmatrix} e_d^e \\ e_q^e \end{bmatrix} = \begin{bmatrix} 0 \\ E \end{bmatrix}. \quad (\text{A.1.3})$$

제어기를 이용하여 위상 각을 추정하면, 제어기에 내재된 필터 효과 (Filtering effect)로 측정 잡음 및 고차 고조파에 강인한 위상 정보를 얻을 수 있다. 식 (A.1.3)의 결과를 바탕으로, 추정된 위상( $\theta_h$ )으로 동기화한 동기 좌표계 상의  $d$ 축 전압 전압이 0이 되도록 제어기를 구성할 수 있다. 추정된 동기 좌표계 상의 전압은 식 (A.1.4)와 같이 표현할 수 있다. 각 오차가 작다는 가정 하에 근사가 유효하다. 유도된  $d$ 축 전압이 위상 오차 정보를 포함하고 있음을 알 수 있다.

$$\begin{bmatrix} e_d^h \\ e_q^h \end{bmatrix} = \begin{bmatrix} E \sin(\theta_h - \theta) \\ E \cos(\theta_h - \theta) \end{bmatrix} \approx \begin{bmatrix} E(\theta_h - \theta) \\ E \end{bmatrix}. \quad (\text{A.1.4})$$

동기 좌표계  $d$ 축 전압이 0이 되도록 제어 위상 각을 수정해나가면, 실제 위상 각과 추정된 위상 각을 일치시킬 수 있다. 이러한 제어기는 「그림 A-1」과 같이 간단한 비례 적분(PI, Proportional and Integral) 제어기로 구성할 수 있다.

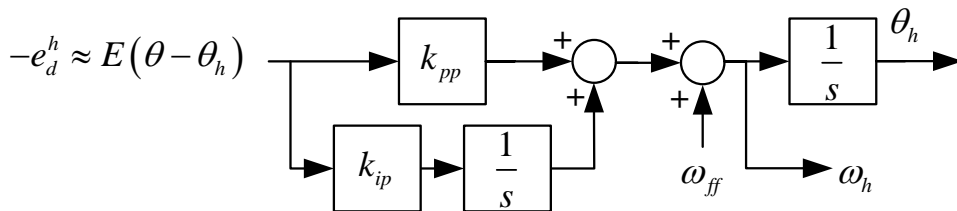


그림 A-1. Synchronous Reference Frame PLL (SRF-PLL)의 제어 블록도

각 오차가 작은 경우, 위상 동기화 제어기의 실제 위상으로부터 추정된 위상으로서의 전달 함수는 식 (A.1.5)와 같이 표현할 수 있다. 전달 함수 특성은 2차 저역 통과 필터(LPF, Low Pass Filter)로 설계할 수 있다.

$$\theta_h = \frac{1}{s} \left( k_{pp} + \frac{k_{ip}}{s} \right) (-e_d^h) = \frac{1}{s} \left( k_{pp} + \frac{k_{ip}}{s} \right) E(\theta - \theta_h),$$

$$\frac{\theta_h}{\theta} = \frac{Ek_{pp}s + Ek_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}} = \frac{2\zeta_p\omega_{np} + \omega_{np}^2}{s^2 + 2\zeta_p\omega_{np} + \omega_{np}^2}. \quad (\text{A.1.5})$$

$\omega_{np}$  와  $\zeta_p$  는 각각 2차 LPF의 고유 주파수(Natural frequency)와 댐핑 계수(Damping coefficient)를 의미한다. 이 때 PI 제어기 이득은 다음과 같이 설정할 수 있다.

$$k_{pp} = 2\zeta_p \frac{\omega_{np}}{E}, \quad (\text{A.1.6})$$

$$k_{ip} = \frac{\omega_{np}^2}{E}. \quad (\text{A.1.7})$$

통상 추정된 각주파수는 추정된 위상을 미분한 값, 즉, PI 출력과 전향 보상 값을 합한 값을 사용한다. 실제적으로는 계통 각주파수의 변화 속도가 느리기 때문에, 「그림 A-2」와 같이 비례 제어기 출력을 제외한 적분기 출력과 전향 보상 값의 합을 계통 각주파수로 사용할 수 있다 [160]. 각주파수 추정 위치의 수정은 위상 전달 함수 특성에 영향을 미치지 않기 때문에 PI 제어기 이득은 동일하게 설계할 수 있다.

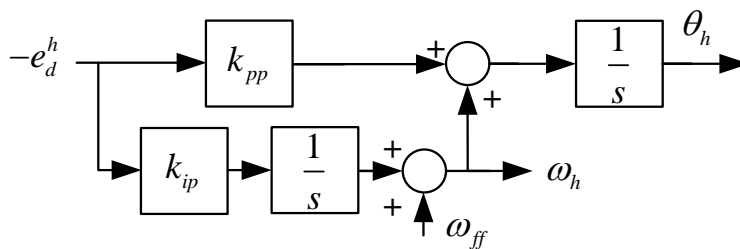


그림 A-2. 수정된 위상 동기화 제어기 블록도

기존 구조의 각주파수 전달 함수는 식 (A.1.8)과 같으며, 수정된 구조의 전달 함수는 식 (A.1.9)와 같다. 수정된 구조의 전달 함수가 저역 통과 필터 특성에 더 가까운 것을 알 수 있으며, 이로 인해 잡음에 더 강인해진다.



$$\omega_h = \left( k_{pp} + \frac{k_{ip}}{s} \right) E (\theta - \theta_h) = \left( k_{pp} + \frac{k_{ip}}{s} \right) E \frac{s^2}{s^2 + Ek_{pp}s + Ek_{ip}} \theta,$$

$$\frac{\omega_h}{\omega} = \frac{Ek_{pp}s + Ek_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}} = \frac{2\zeta_p \omega_{np}s + \omega_{np}^2}{s^2 + 2\zeta_p \omega_{np}s + \omega_{np}^2}. \quad (\text{A.1.8})$$

$$\omega_h = \frac{k_{ip}}{s} E (\theta - \theta_h) = \frac{k_{ip}}{s} E \frac{s^2}{s^2 + Ek_{pp}s + Ek_{ip}} \theta,$$

$$\frac{\omega_h}{\omega} = \frac{Ek_{ip}}{s^2 + Ek_{pp}s + Ek_{ip}} = \frac{\omega_{np}^2}{s^2 + 2\zeta_p \omega_{np}s + \omega_{np}^2}. \quad (\text{A.1.9})$$

그러나 이러한 위상 동기화 제어기는 3상 불평형 전원이나 저차 고조파 등으로 인해 문제가 발생할 수 있어, 정상분 전압을 추출하기도 한다 [150]-[152]. 본 논문에서는 이러한 형태의 위상 동기화 제어기는 고려되지 않았다.

## A.2 전류 제어기 [88]

3상 계통 연계 시, PCS 출력 전압 방정식은 다음과 같다. PCS의 출력 전류는 PCS로부터 접속점(PCC, Point of Common Coupling)으로 나가는 방향을 양으로 정의하였다.

$$\vec{v}_{cdq}^e = R_f \vec{i}_{cdq}^e + L_f \frac{d}{dt} \vec{i}_{cdq}^e + j\omega L_f \vec{i}_{cdq}^e + \vec{e}_{dq}^e. \quad (\text{A.2.1})$$

$L_f$  와  $R_f$  는 각각 필터의 인덕턴스, 저항 성분을 의미한다.  $\vec{v}_{cdq}^e$ ,  $\vec{i}_{cdq}^e$ ,  $\vec{e}_{dq}^e$  는 동기 좌표계 상의 PCS 출력 전압 열벡터(Column vector), PCS 출력 전류 열벡터, 접속점 계통 전압 열벡터를 의미한다.

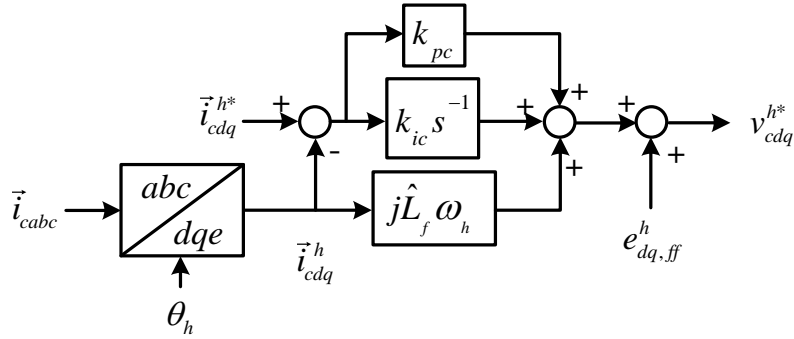


그림 A-3. 동기 좌표계 전류 제어기 구성도

전류 제어기는 측정 전류 변환 비간섭 비례 적분 전류 제어기를 사용하며, 구조는 「그림 A-3」과 같다. 전향 보상되는 접속점 계통 전압은 식 (A.1.3)을 참고하여 상수로 넣을 수 있다.

상호 간섭 보상 및 전향 보상이 적절히 이루어지고, 제어기 출력 전압이 적절히 합성된다면 전류 전달 함수는 다음과 같다.

$$\frac{i_{cx}^e}{i_{cx}^{e*}} = \frac{k_{pc}s + k_{ic}}{L_f s^2 + (k_{pc} + R_f)s + k_{ic}} \quad (x = d, q). \quad (\text{A.2.2})$$

이 때 제어기 이득을 다음과 같이 설정하면, 1차 저역 통과 필터 특성을 갖도록 설계 할 수 있다.  $\omega_{cc}$ 는 저역 통과 필터의 차단 주파수(Cut-off frequency)를 의미한다.

$$k_{pc} = L_f \omega_{cc}, \quad (\text{A.2.3})$$

$$k_{ic} = R_f \omega_{cc}. \quad (\text{A.2.4})$$

### A.3 직류단 전압 제어기 [88]

직류단 캐패시터 양단 입출력 전력을 이용한 직류단 전압 방정식은 다음과 같다. 태양광 PCS를 고려하여 직류 측을 입력, 교류 측을 출력으로 설정하였다.

$$\frac{d}{dt} \left( \frac{1}{2} C_{dc} v_{dc}^2 \right) = P_{in} - P_{out} = v_{dc} i_{dc} - \frac{3}{2} E i_{cq}^e. \quad (\text{A.3.1})$$

직류단 전압에 대하여 비선형 함수이므로, 동작점(Operating point)에서 테일러 1차 근사하여 다음과 같이 정리할 수 있다.

$$\frac{d}{dt} \left( \frac{1}{2} C_{dc} v_{dc}^2 \right) \approx \frac{1}{2} C_{dc} \frac{d}{dt} [V_{dc}^2 + 2V_{dc} (v_{dc} - V_{dc})] = C_{dc} V_{dc} \frac{d}{dt} v_{dc}. \quad (\text{A.3.2})$$

$v_{dc}$ 는 동작점에서의 직류단 전압을 의미한다. 직류단 전압 방정식은 다음과 같이 변형할 수 있다.

$$i_{cq}^e = -\frac{2}{3E} \left( C_{dc} V_{dc} \frac{d}{dt} v_{dc} - v_{dc} i_{dc} \right). \quad (\text{A.3.3})$$

비례 적분 형태의 제어기를 사용하고, 출력을  $q$ 축 전류로 설정 시, 제어기 전달 함수는 다음과 같다.

$$i_{cq}^{h*} = - \left( k_{pv} + \frac{k_{iv}}{s} \right) (v_{dc}^* - v_{dc}). \quad (\text{A.3.4})$$

전류 제어 대역폭 이내에서는  $i_{cq}^{h*} = i_{cq}^e$ 로 가정할 수 있다. 이 때 직류단 전압의 전달 함수는 다음과 같다.  $C_v = \frac{2 C_{dc} V_{dc}}{3 E}$ 라 정의하였다.

$$- \left( k_{pv} + \frac{k_{iv}}{s} \right) (v_{dc}^* - v_{dc}) = -\frac{2 C_{dc} V_{dc}}{3 E} s v_{dc} = -s C_v v_{dc}.$$

$$\frac{v_{dc}}{v_{dc}^*} = \frac{C_v^{-1}k_{pv}s + C_v^{-1}k_{iv}}{s^2 + C_v^{-1}k_{pv}s + C_v^{-1}k_{iv}} = \frac{2\zeta_v \omega_{nv}s + \omega_{nv}^2}{s^2 + 2\zeta_v \omega_{nv}s + \omega_{nv}^2}. \quad (\text{A.3.5})$$

$\omega_{nv}$  와  $\zeta_v$  는 각각 2차 LPF의 고유 주파수(Natural frequency)와 댐핑 계수(Damping coefficient)를 의미한다.

이 때 제어기 이득은 다음과 같이 설정할 수 있다.

$$k_{pv} = 2\zeta_v \omega_{nv} C_v, \quad (\text{A.3.6})$$

$$k_{iv} = C_v \omega_{nv}^2. \quad (\text{A.3.7})$$

적분 비례(IP, Integral and Proportional) 형태의 제어기를 사용한다면, 제어기 전달 함수는 다음과 같다.

$$i_{cq}^{h*} = - \left[ \frac{k_{iv}}{s} (v_{dc}^* - v_{dc}) - k_{pv} v_{dc} \right]. \quad (\text{A.3.8})$$

이 때 직류단 전압의 전달 함수는 다음과 같으며, 제어기 이득은 식 (A.3.6)과 식 (A.3.7)과 같이 설정할 수 있다.

$$- \left[ \frac{k_{iv}}{s} (v_{dc}^* - v_{dc}) - k_{pv} v_{dc} \right] = -s C_v v_{dc}.$$

$$\frac{v_{dc}}{v_{dc}^*} = \frac{C_v^{-1}k_{iv}}{s^2 + C_v^{-1}k_{pv}s + C_v^{-1}k_{iv}} = \frac{\omega_{nv}^2}{s^2 + 2\zeta_v \omega_{nv}s + \omega_{nv}^2}. \quad (\text{A.3.9})$$

#### A.4 페루프 전력 제어기

배터리를 이용한 에너지 저장 장치 시스템에서는 출력 전력 제어를 위해 전력 제어기를 사용하기도 한다.

개루프 형태의 전력 제어기는 유·무효 전력 지령에 계통 전압에 비례하는 계수를 곱하여 식 (2.1.77)과 같이 유·무효 전류 지령을 계산하게 된다[89]. 따라서 별도의 제어기 설계가 필요하지 않고, 내부 전류 제어기 루프의 설계만 고려한다.

페루프 형태의 전력 제어기는 「그림 A-4」와 같이, 유효 전력을 궤환하여 유효 전류 지령을 생성하고 무효 전력을 궤환하여 무효 전류 지령을 생성한다. 전력 제어기로는 비례 적분 제어기를 사용할 수 있다.

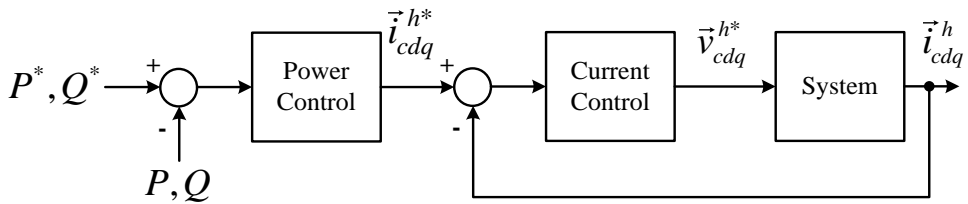


그림 A-4. 페루프 전력 제어기 구성도

전류 제어기는 A.2 절에서와 같이 1차 저역 통과 필터 특성을 갖도록 설계할 수 있으며, 정상 상태에서는 식 (A.4.1)이 성립한다.

$$\begin{bmatrix} Q \\ P \end{bmatrix} \approx \frac{3}{2} \begin{bmatrix} E i_{cd}^h \\ E i_{cq}^h \end{bmatrix}. \quad (\text{A.4.1})$$

이 때 전체 제어 시스템을 「그림 A-5」와 같이 모델링할 수 있다.

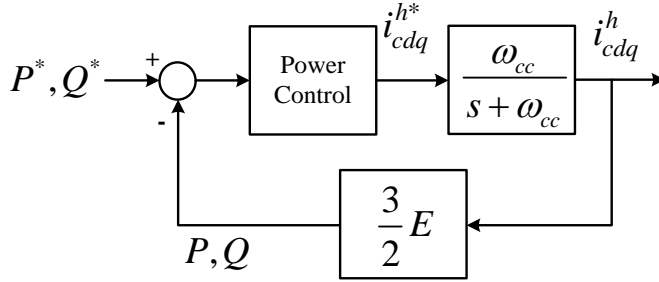


그림 A-5. 페루프 전력 제어기 설계를 위한 모델링

이 때, 전력 지령으로부터 PCS 공급 전력의 전달 함수는 다음과 같다.

$$\frac{P}{P^*} = \frac{Q}{Q^*} = \frac{L}{1+L}. \quad (\text{A.4.2})$$

여기서,  $L = T_{pq} \frac{\omega_{cc}}{s + \omega_{cc}} \frac{3}{2} E$  이며,  $T_{pq} = k_{p,pq} + \frac{k_{i,pq}}{s}$  는 PI 제어기의 전달 함수를 의미한다.

전류 제어 루프 특성이  $\frac{\omega_{cc}}{s + \omega_{cc}} \approx 1$  인 영역에서 설계한다면,  $L \approx \frac{3}{2} E T_{pq}$  와 같으며 아래와 같이 전개된다.

$$\begin{aligned} \frac{P}{P^*} = \frac{Q}{Q^*} &= \frac{\frac{3}{2} E T_{pq}}{1 + \frac{3}{2} E T_{pq}} = \frac{\frac{3}{2} E \left( k_{p,pq} + \frac{k_{i,pq}}{s} \right)}{1 + \frac{3}{2} E \left( k_{p,pq} + \frac{k_{i,pq}}{s} \right)} = \frac{\frac{3}{2} E (k_{p,pq} s + k_{i,pq})}{s + \frac{3}{2} E (k_{p,pq} s + k_{i,pq})}, \\ \frac{P}{P^*} = \frac{Q}{Q^*} &= \frac{\frac{3}{2} E k_{p,pq} \left( s + \frac{k_{i,pq}}{k_{p,pq}} \right)}{\left( 1 + \frac{3}{2} E k_{p,pq} \right) \left( s + \frac{\frac{3}{2} E k_{i,pq}}{1 + \frac{3}{2} E k_{p,pq}} \right)} = \frac{\frac{3}{2} E k_{p,pq} (s + \omega_{z,pq})}{\left( 1 + \frac{3}{2} E k_{p,pq} \right) (s + \omega_{p,pq})}. \end{aligned} \quad (\text{A.4.3})$$

식 (A.4.3)은 진상-지상 보상기(Lead-Lag Compensator)와 같은 특성을 갖는다. 이 때 전달 함수의 극점과 영점은 다음과 같다.

$$\omega_{z,pq} = \frac{k_{i,pq}}{k_{p,pq}}, \quad (\text{A.4.4})$$

$$\omega_{p,pq} = \frac{\frac{3}{2}Ek_{i,pq}}{1 + \frac{3}{2}Ek_{p,pq}}. \quad (\text{A.4.5})$$

극점과 영점을 설계하면 다음과 같이 비례 이득과 적분 이득을 설정할 수 있다.

$$k_{p,pq} = \frac{2}{3E} \frac{\omega_{p,pq}}{\omega_{z,pq} - \omega_{p,pq}}, \quad (\text{A.4.6})$$

$$k_{i,pq} = \omega_{z,pq} k_{p,pq}. \quad (\text{A.4.7})$$

두 값을 비교하면,  $\omega_{p,pq} < \omega_{z,pq}$  의 조건을 만족해야 비례 이득과 적분 이득이 양의 값을 갖게 된다.

전류 제어 루프 특성이  $\frac{\omega_{cc}}{s + \omega_{cc}} \approx 1$  인 영역에서 설계하였기 때문에,  $\omega_{p,pq} \ll \omega_{cc}$  와  $\omega_{z,pq} \ll \omega_{cc}$  의 조건을 만족해야 한다. 참고 문헌 [154] 혹은 [88]등의 설계 기준을 따르면 직렬(Cascade) 접속된 제어 시스템의 상위 제어기는 내부 전류 제어기의 1/2 ~ 1/5 이하의 대역폭을 갖도록 설계되어야 한다. 전력 지령 변화 주기 등을 고려하면  $\omega_{p,pq}$  는  $2\pi \times 20$  rad/s 이하로 설계하여도 충분하다.  $\omega_{z,pq}$  는 전류 제어기 1/5 이하를 만족하는 값으로 설계할 수 있다.

「그림 A-6」은 이와 같은 설계를 적용하였을 때, 전력 지령으로부터 전력으로의 전달 함수의 보드 선도를 나타낸다.  $\omega_{p,pq}$  에 의해서 제어기 대역폭이 결정된다. 「그림 A-7」은  $\omega_{p,pq} = 2\pi \times 20$  rad/s,  $\omega_{z,pq} = 2\pi \times 100$  rad/s로 설계 시, 계단 전력 지령 변화에 따른 PCS의 출력 전류 파형이다. 정상 상태에 수렴하는 시간이 0.05 초로  $\omega_{p,pq}$  에 의해서 응답 특성이 결

정됨을 확인할 수 있다.

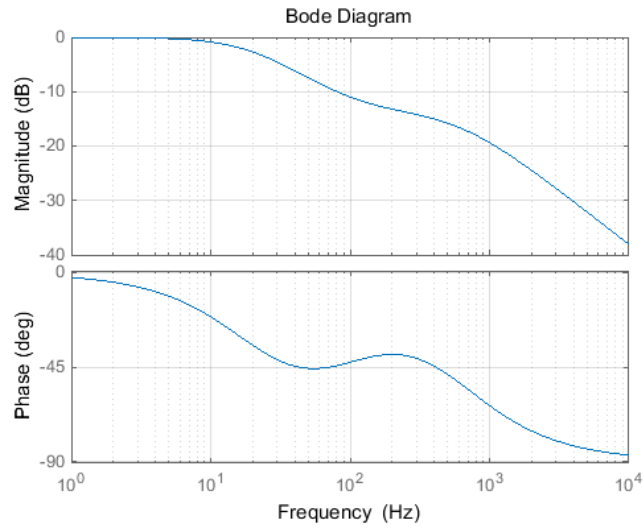


그림 A-6. 전력 추종 전달 함수의 보드 선도

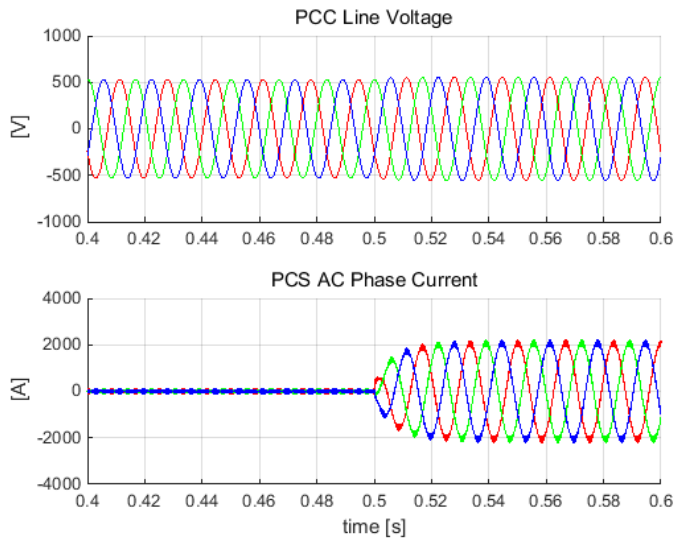


그림 A-7. 페루프 전력 제어기 모의 실험 결과



## B. 페루프 전력 제어기가 적용된 PCS의 어드미턴스 변화

본 절에서는 A.4 절에서 설계된 페루프 전력 제어기를 사용하였을 때, 제어기 설계에 따른 출력 어드미턴스 변화를 도식한다.

2.1.3 절 (라)에서 유도된 식 (2.1.91)을 몇 가지 가정을 통해 근사할 수 있다. 유·무효 전력 공급에 따른 어드미턴스 행렬의 전달 함수 식을 먼저 얻도록 한다. 위상 동기화 제어기가 정상 상태에 이르러 계통 위상을 추종하고 있는 경우,  $E_d^h=0$ ,  $E_q^h=E$ 를 만족하므로, 아래와 같은 식을 얻을 수 있다.

$$A_{oi} = -T_{pq} G_{pq}^i = -\frac{3}{2} E T_{pq} \mathbf{I}, \quad (\text{B.1})$$

$$A_{oe} = -T_{pq} \left[ G_{pq}^i G_{pll}^i + G_{pq}^e (\mathbf{I} + G_{pll}^e) \right] = -\frac{3}{2} T_{pq} \begin{bmatrix} -I_{cq}^h + E I_{cd}^h G_{pll} & I_{cd}^h \\ I_{cd}^h + E I_{cq}^h G_{pll} & I_{cq}^h \end{bmatrix}, \quad (\text{B.2})$$

$$G_{Io} = G_{Icc} - T_c A_{oi} = \left( g_{Icc} + \frac{3}{2} E T_c T_{pq} \right) \mathbf{I}, \quad (\text{B.3})$$

$$G_{Eo} = G_{Ecc} + T_c A_{oe}. \quad (\text{B.4})$$

$T_{pq}$ ,  $G_{pll}$ ,  $g_{Icc}$  등의 식은 2.1 절에 정의되어 있다.

유효 전력 공급 시, ' $I_{cd}^h=0$ '이므로  $A_{oe} = -\frac{3}{2} I_{cq}^h T_{pq} \begin{bmatrix} -1 & 0 \\ g_{\theta} & 1 \end{bmatrix}$ 가 된다. 또,

식 (2.1.45)의 결과에 따라,  $G_{Ecc} = \begin{bmatrix} -1 + g_{pll} & 0 \\ 0 & -1 \end{bmatrix}$ 이므로, 식 (B.4)는 다음과 같다.

$$G_{Eo} = \begin{bmatrix} -1 + g_{pll} + \frac{3}{2} I_{cq}^h T_c T_{pq} & 0 \\ -\frac{3}{2} I_{cq}^h T_c T_{pq} g_\theta & -1 - \frac{3}{2} I_{cq}^h T_c T_{pq} \end{bmatrix}. \quad (B.5)$$

따라서 어드미턴스 행렬  $\mathbf{Y}_o$ 는 다음과 같이 정리할 수 있다.

$$\mathbf{Y}_o = \left( g_{lcc} + \frac{3}{2} E T_c T_{pq} \right)^{-1} \begin{bmatrix} -1 + g_{pll} + \frac{3}{2} I_{cq}^h T_c T_{pq} & 0 \\ -\frac{3}{2} I_{cq}^h T_c T_{pq} g_\theta & -1 - \frac{3}{2} I_{cq}^h T_c T_{pq} \end{bmatrix}. \quad (B.6)$$

$\mathbf{Y}_{o,dd}$  와  $\mathbf{Y}_{o,qd}$ ,  $\mathbf{Y}_{o,qq}$ 는 모두 전류 및 전력 제어기 이득의 영향을 받는다.  $\mathbf{Y}_{o,qq}$ 를 제외한 나머지 두 성분은 PLL에 의한 영향을 받게 된다. 그러나 수식의 복잡한 관계로 인하여, 설계를 위한 직관적인 표현을 얻기는 힘들다. 다만, 보드 선도의 분석에 따르면  $\mathbf{Y}_{o,qd}$ 는 대각 성분(diagonal elements)에 비해 그 크기가 매우 작아 무시할 수 있었다.

무효 전력 공급 시, ' $I_{cq}^h = 0$ '이므로  $A_{oe} = -\frac{3}{2} I_{cd}^h T_{pq} \begin{bmatrix} g_\theta & 1 \\ 1 & 0 \end{bmatrix}$ 가 된다. 또,

식 (2.1.50)의 결과에 따라,  $G_{Ecc} = \begin{bmatrix} g_\theta - 1 & 0 \\ g_{pll,q} & -1 \end{bmatrix}$ 이므로, 식 (B.4)는 다음과 같다.

$$G_{Eo} = \begin{bmatrix} \left( 1 - \frac{3}{2} I_{cd}^h T_c T_{pq} \right) g_\theta - 1 & -\frac{3}{2} I_{cd}^h T_c T_{pq} \\ g_{pll,q} - \frac{3}{2} I_{cd}^h T_c T_{pq} & -1 \end{bmatrix}. \quad (B.7)$$

따라서 어드미턴스 행렬  $\mathbf{Y}_o$ 는 다음과 같이 정리할 수 있다.

$$\mathbf{Y}_o = \left( g_{lcc} + \frac{3}{2} ET_c T_{pq} \right)^{-1} \begin{bmatrix} \left( 1 - \frac{3}{2} I_{cd}^h T_c T_{pq} \right) g_\theta - 1 & -\frac{3}{2} I_{cd}^h T_c T_{pq} \\ g_{pll,q} - \frac{3}{2} I_{cd}^h T_c T_{pq} & -1 \end{bmatrix}. \quad (\text{B.8})$$

어드미턴스 행렬 모든 성분이 존재하며, 모두 전류 및 전력 제어기 이득의 영향을 받는다. PLL에 의한 영향은  $\mathbf{Y}_{o,dd}$  와  $\mathbf{Y}_{o,dq}$  에 나타난다. 그러나 역시 수식의 복잡한 관계로 인하여, 설계를 위한 직관적인 표현을 얻기는 힘들다.

### B.1 전력 제어기 설계에 따른 출력 어드미턴스 변화

전력 제어기의 경우, A.4 절에서와 같이 지상-진상 보상기(遲相-進相 補償器, Lead-lag compensator)의 형태로 설계할 수 있으며, 극점과 영점도 A.4 절과 같이 설계하였다.

「그림 B-1」 과 「그림 B-2」 는 전력 제어기 이득 변화에 따른  $\mathbf{Y}_{o,dd}$  변화를 도시한 것이며, 「그림 B-3」 과 「그림 B-4」 는  $\mathbf{Y}_{o,qq}$  를 나타낸다.  $\mathbf{Y}_{o,dd}$  의 경우, 전력을 생산할 때 DC에서 180도의 위상을 갖게 되어 음저항 특성을 보이게 된다. 또한, PLL 고유 주파수( $\omega_{np}$ ) 근처에서 어드미턴스 크기가 커진다. 반면, 음의 유효 전력을 공급할 때는 DC에서 0도의 위상을 갖게 되며, PLL 고유 주파수보다 높은 주파수 영역에서 어드미턴스 크기가 작아졌다 다시 커지는 특성을 보인다.

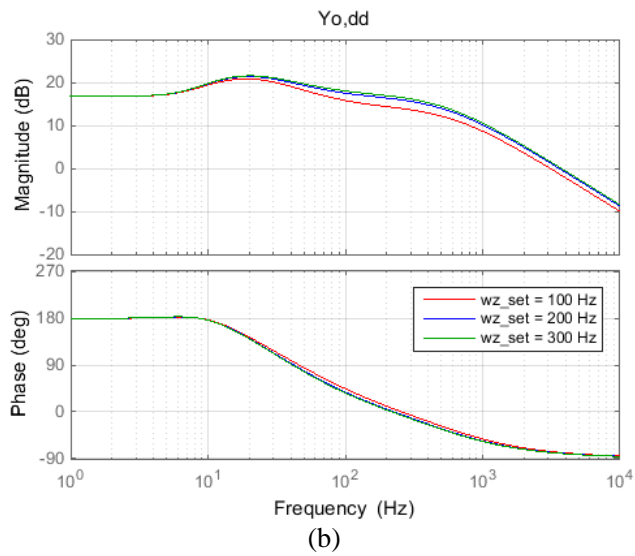
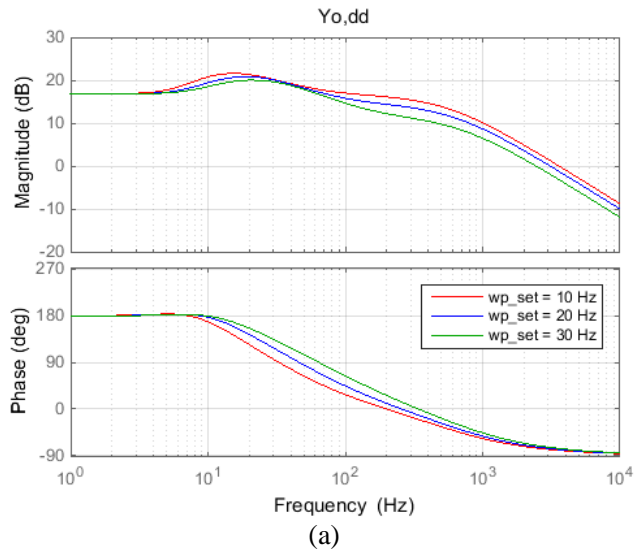


그림 B-1. 전력 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,dd}$   
(전력 생산 시)

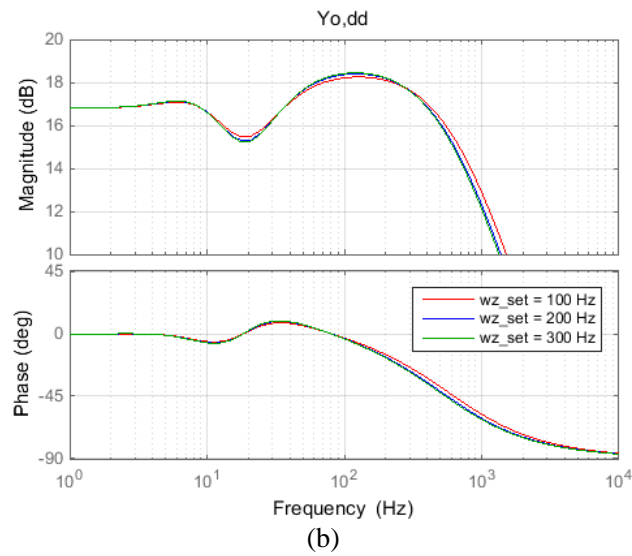
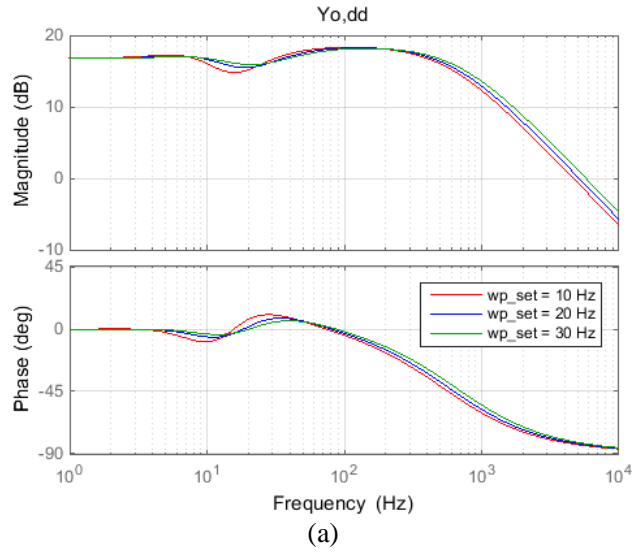


그림 B-2. 전력 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,dd}$   
(전력 소비 시)

전력 제어기 극점( $\omega_{p,pq}$ )과 영점( $\omega_{z,pq}$ )에 따라서, 미미하지만 크기 변화도 발생한다. 그러나 전력 제어기 이득 변화는 피크의 크기, 위상 변화에 큰 영향을 미치지 않는다.

$Y_{o,qq}$  는  $Y_{o,dd}$  와 반대로, 전력 소비 시 DC에서 180도의 위상을 갖게 되어 음저항 특성을 보이게 된다. 또한, PLL 고유 주파수 근처에서 어드미턴스 크기가 커진다. 역시, 전력 제어기 극점( $\omega_{p,pq}$ )과 영점( $\omega_{z,pq}$ )에 따른 크기 변화는 미미하였다.

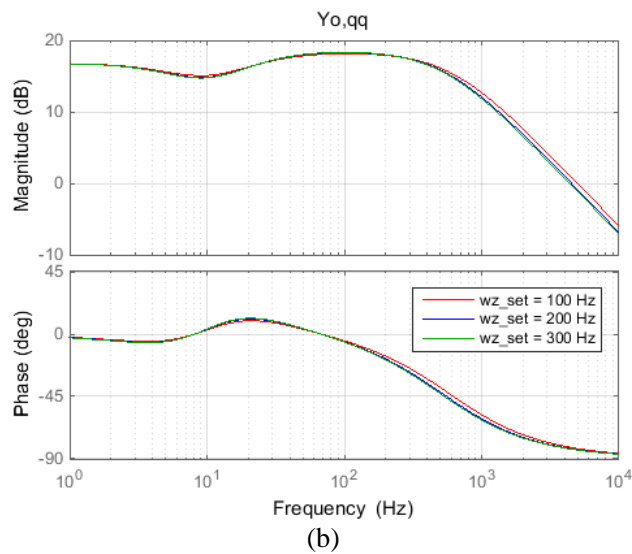
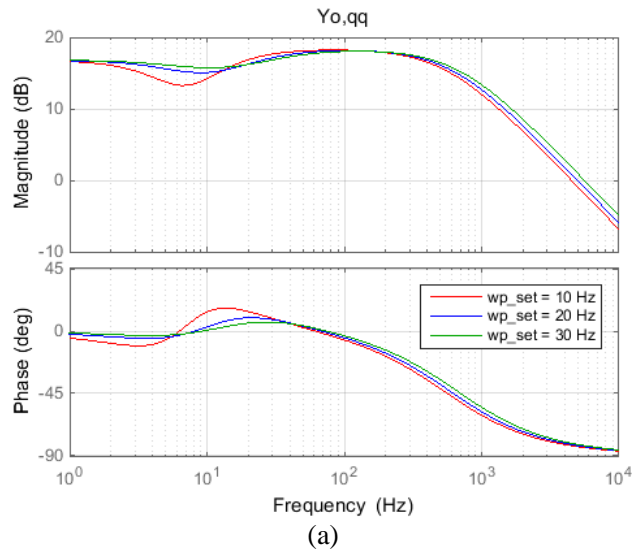


그림 B-3. 전력 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,qq}$ ,  
(전력 생산 시)

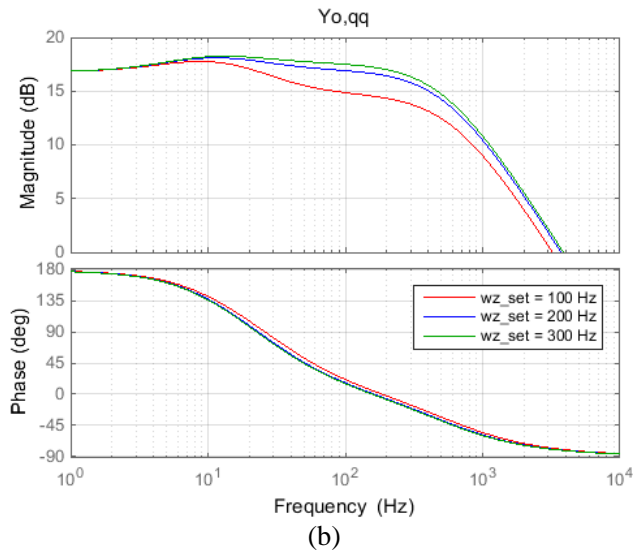
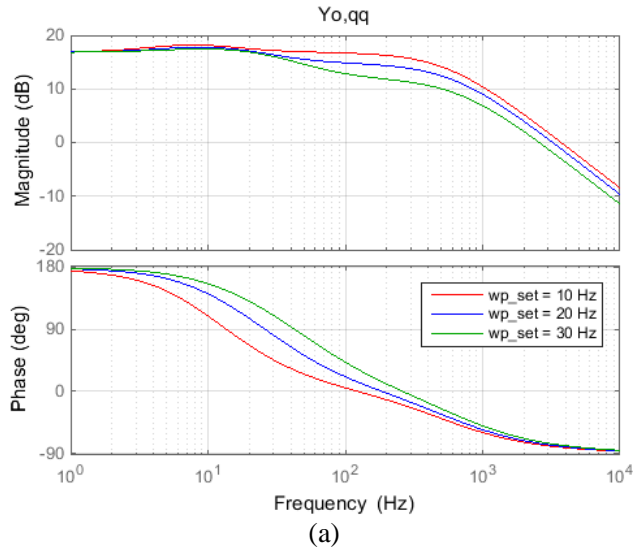
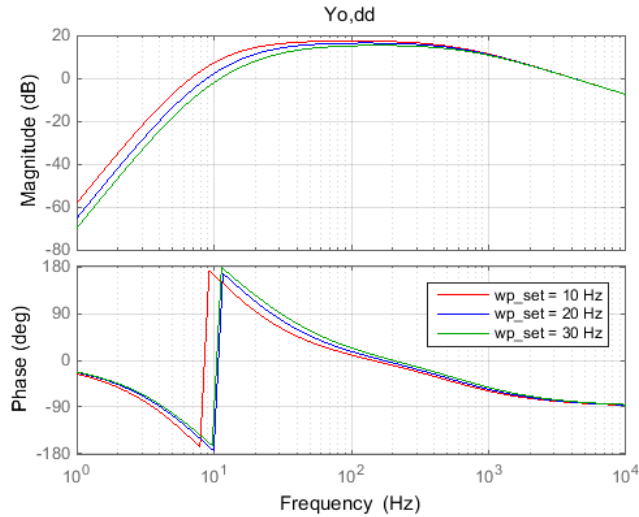


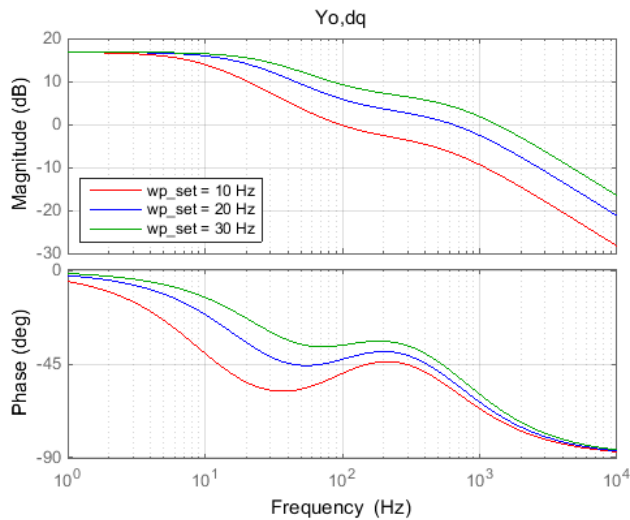
그림 B-4. 전력 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,qq}$ ,  
(전력 소비 시)

무효 전력 공급 시에는 식 (B.8)에서와 같이 비 대각(Off diagonal) 성분 역시 나타나게 된다. 「그림 B-5」는 양의 무효 전력을 공급하는 경우 어드미턴스 행렬로, 대각 성분의 DC 성분은 크기가 현저히 줄어들며, 비

대각 성분이 더욱 커지는 것을 확인할 수 있다. 음의 무효 전력을 공급하는 경우, 비 대각 성분의 위상만이 반전된다.  $qq$ -어드미턴스가 음저항 특성을 가지게 되지만, 그 크기가 매우 작아 무효 전력 공급 시  $qq$ -어드미턴스에 의한 불안정 문제는 발생 가능성이 현저히 낮아지게 된다.



(a)



(b)

(다음 페이지에 계속)



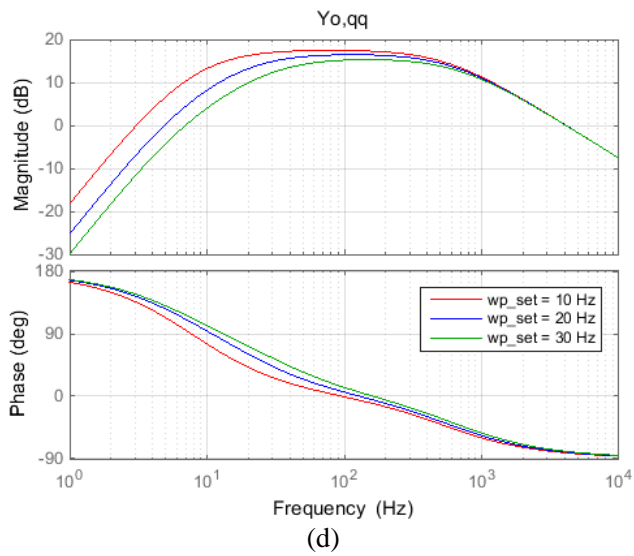
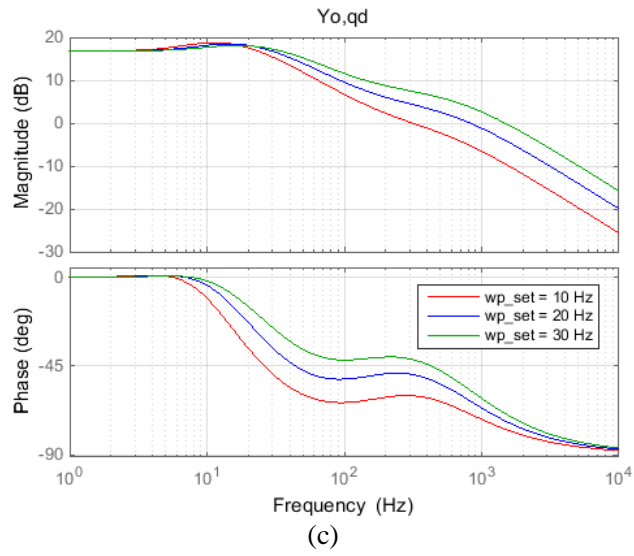
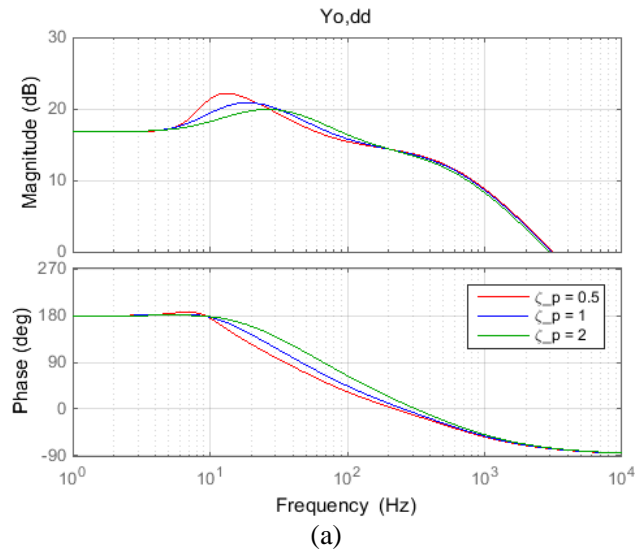


그림 B-5. 전력 제어기 설계 변화에 따른 주파수 응답 변화  
(양의 무효 전력 공급 시)

## B.2 위상 동기화 제어기 설계에 따른 출력 어드미턴스 변화

유효 전력 공급 혹은 소비 시에는, PLL의 설계 변화는 식 (B.6)과 같이,  $dd$ -어드미턴스와  $qd$ -어드미턴스에만 영향을 미치게 된다.  $\mathbf{Y}_{o,qd}$ 의 경우 그 크기가 매우 작아 무시할 수 있었기 때문에  $\mathbf{Y}_{o,dd}$ 만을 「그림 B-6」과 「그림 B-7」에 도시하였다. 어드미턴스 변화는 댐핑 계수( $\zeta_p$ )와 고유 주파수( $\omega_{np}$ )의 변화로 설명이 가능하다. 전력 제어기 구성에 따라, 피크 크기와 위상 변화의 정도에는 차이가 있지만, 2.2.1 절에서 살펴본 위상 동기화 제어기 설계에 따른 출력 어드미턴스 변화와 같은 경향을 가짐을 알 수 있다. 따라서 페루프 전력 제어기를 사용한 경우에도 본 논문의 분석 결과를 적용할 수 있다.



(다음 페이지에 계속)

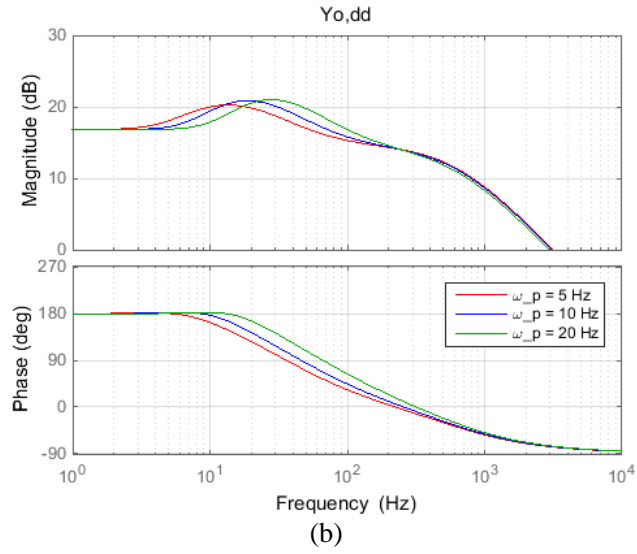
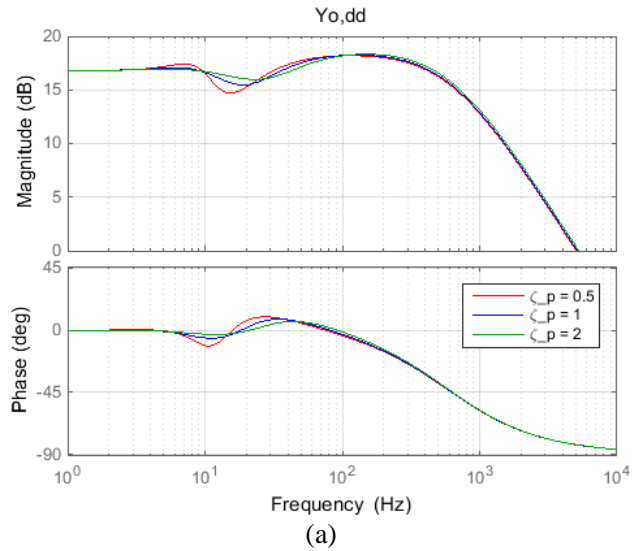


그림 B-6. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,dd}$   
(전력 생산 시)



(다음 페이지에 계속)

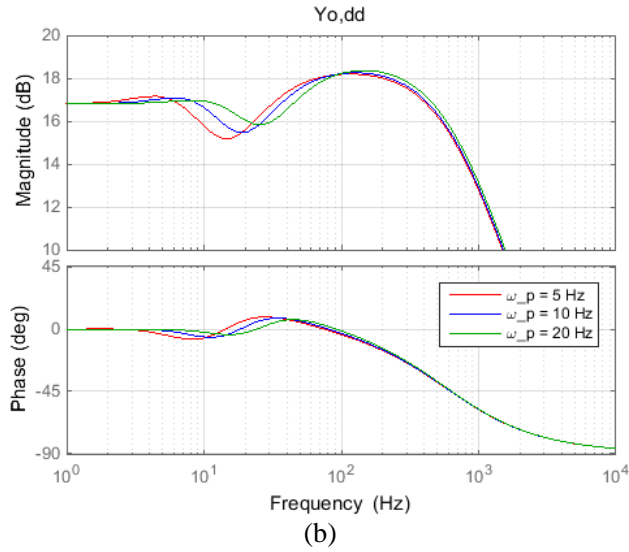


그림 B-7. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,dd}$   
(전력 소비 시)

무효 전력 공급 시에는 식 (B.8)에서 알 수 있듯이, PLL 설계는  $dd$ -어드미턴스와  $qd$ -어드미턴스에만 영향을 미치게 된다. 「그림 B-8」과 「그림 B-9」는 무효 전력 공급 시 PLL 설계에 따른 출력 어드미턴스 변화를 도시하였으며,  $dd$ -어드미턴스와  $qd$ -어드미턴스만 나타내었다.

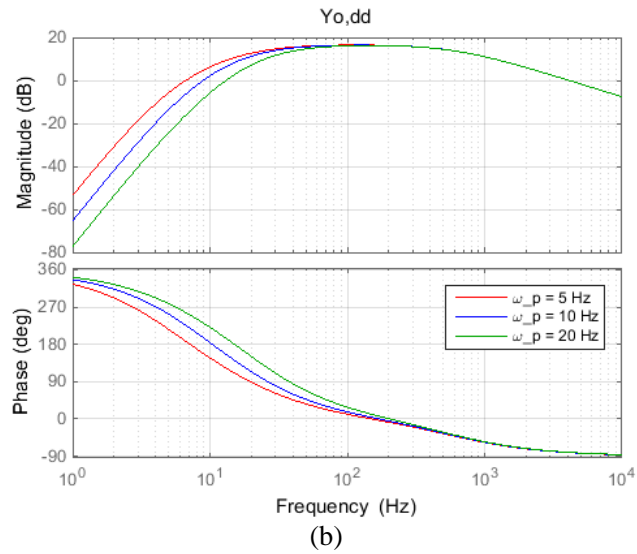
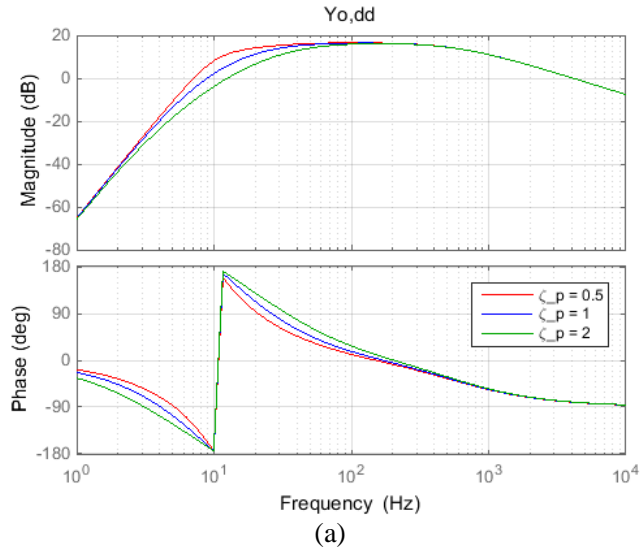


그림 B-8. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,dd}$   
(양의 무효 전력 공급 시)

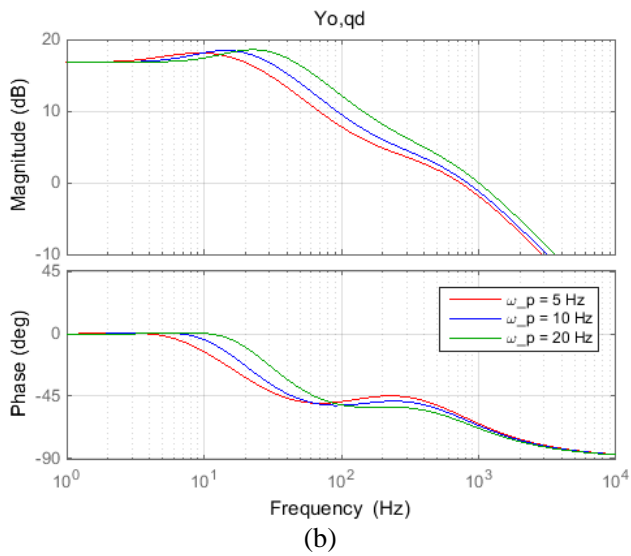
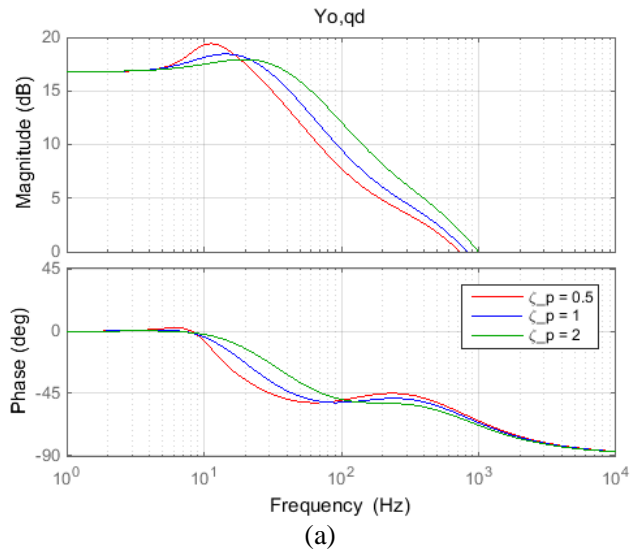


그림 B-9. 위상 동기화 제어기 설계 변화에 따른 주파수 응답 변화 -  $Y_{o,qd}$   
(양의 무효 전력 공급 시)

### B.3 페루프 전력 제어기 사용 시 주파수 이동 검출 기법의 적용

참고 문헌 [139]에 따르면, 페루프 전력 제어기 사용 시에는 주파수 이동 검출 기법의 피드백 루프를 올바르게 적용하여야 원하는 성능을 얻을 수 있다.

전력 제어기 루프의 출력 전류 벡터에 주파수 이동 검출 기법을 적용하는 경우, 「그림 B-10」과 같이 구성된다. 이 때 전력 제어기에 의해서 검출 성능이 저하될 수 있음이 분석되었다. 「그림 2-43」과 같이 무효 전류만을 주입하여도 단독 운전 검출 성능이 동일하기 때문에, 「그림 B-10」을 「그림 B-11」과 같이 수정할 수 있다. 하지만 이 역시 원하는 검출 성능을 얻을 수 없기 때문에 「그림 B-12」와 같이 무효 전력 지령에 피드백 루프를 구성해야 한다.

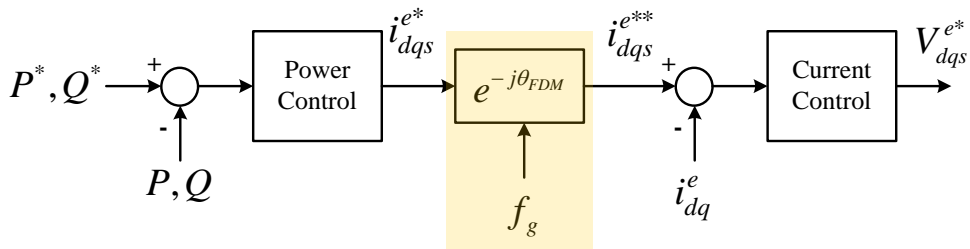


그림 B-10. 전류 벡터 회전으로 구현된 주파수 이동 검출 기법 적용 시

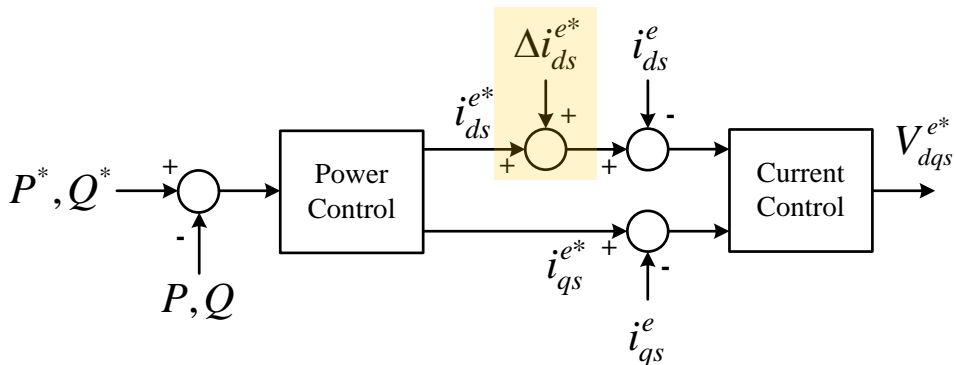


그림 B-11. 무효 전류 주입으로 구현된 주파수 이동 검출 기법 적용 시

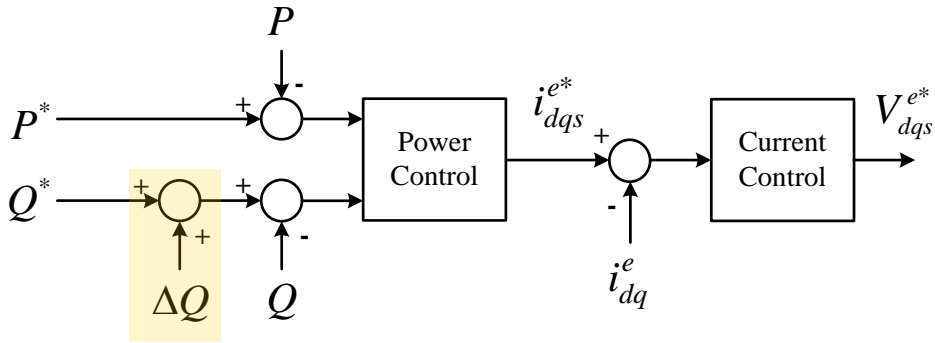


그림 B-12. 무효 전력 주입으로 구현된 주파수 이동 검출 기법 적용 시

「그림 B-13」은 무효 전류 주입(I type) 방식과 무효 전력 주입(Q type) 방식을 적용한 경우,  $dd$ -임피던스를 나타낸다. 비교를 위하여 주파수 이동 검출 기법을 적용하지 않은 경우도 같이 도시하였다. 「그림 2-45」에서 볼 수 있듯이 폐루프 전력 제어기가 없는 경우, 양성 피드백 이득이 커짐에 따라 PCS 출력 임피던스의 크기가 감소하는 변화가 발생한다. 즉, 이로 인해 연결된 부하 임피던스와 간섭이 발생하여 단독 운전 발생 후 접속점 전압이 불안정해져 단독 운전 검출이 가능하다. 무효 전류 주입(I type) 방식을 적용한 경우, 위상에 변화는 생기지만, 임피던스 크기의 변화가 발생하지 않는다. 반면, 무효 전력 주입(Q type) 방식을 적용하면, 임피던스 크기 변화가 발생하여 단독 운전 검출이 가능하게 된다.

이러한 검출 성능 저하는 무효 전류 지령을 궤환하는 경우, 상위 폐루프 전력 제어기에 의해서 피드백 성분이 상쇄되기 때문에 발생한다. 「그림 B-14」는 단독 운전 시험의 모의 실험 결과로, 단독 운전 발생 후 일정한 방향의 무효 전력을 공급해야 하지만, 상위 제어기에 의해서 피드백 루프에서 생성된 무효 전류가 상쇄되는 것을 나타낸다.



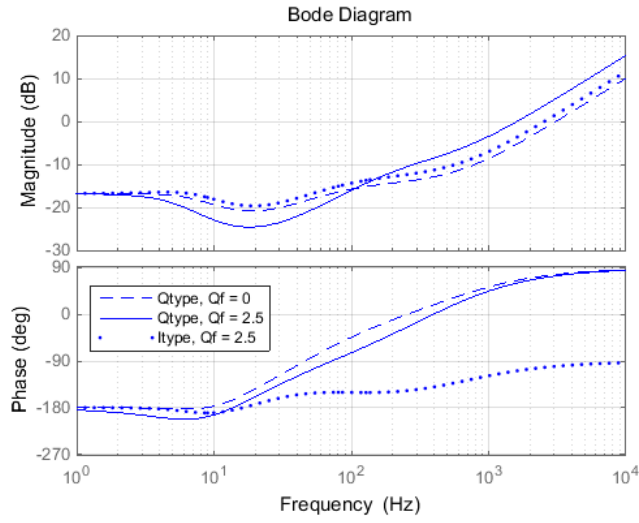


그림 B-13. 주파수 이동 검출 기법 루프 구성에 따른  $Z_{o,dd}$  변화

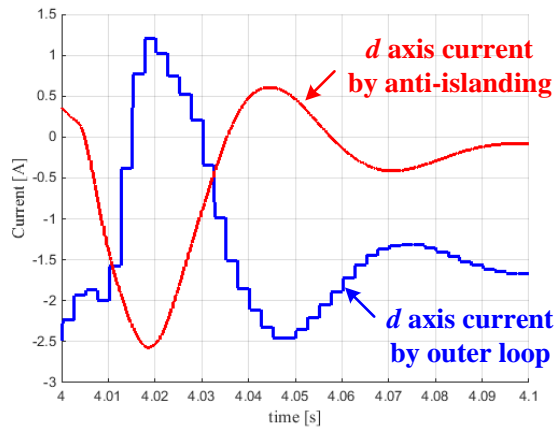
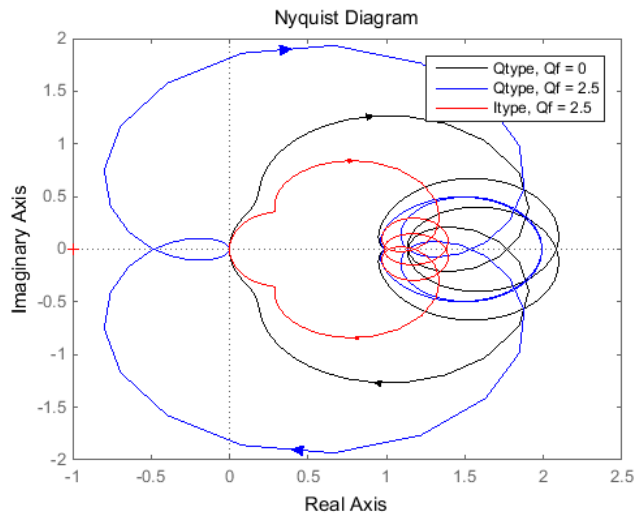


그림 B-14. 페루프 전력 제어기 동작에 의한 무효 전력 피드백 상쇄 효과

검출 가능 여부는 「그림 B-15」를 통해 확인할 수 있다. 계통이 분리 되었을 때, 연결된 부하 임피던스( $Z_{load}$ )와 PCS 어드미턴스( $Y_o$ )를 이용해 일반화된 나이퀴스트 선도를 도시하였다. 무효 전류 주입 방식은 단독 운전 검출 기법을 적용하지 않은 경우와 마찬가지로 원점을 감지 않게 된다. 즉, 단독 운전 발생 후 주파수 이동이 불가능하다. 반면, 무효 전력 주입 방식을 적용한 경우, 접속점 전압을 불안정하게 만들 수 있기 때문에 단독 운전 발생 후 주파수 이동이 가능하여 단독 운전 검출이 가능하다.



**그림 B-15. 단독 운전 발생 시 주파수 피드백 루프에 따른 일반화된 나이퀴스트 선도 (부하  $Q_f = 2$ )**

즉, 페루프 전력 제어기를 사용하는 경우, 주파수 이동 검출 기법 적용 시 「그림 B-12」와 같이 적절한 피드백 루프를 구성해야만 한다.

## C. PCS 어드미턴스 행렬 계산을 위한 Matlab 코드

본 절에서는 본 논문에서 유도된 PCS의 출력 어드미턴스를 도출하기 위해 사용된 Matlab 코드를 정리하였다.

식 (2.1.1)과 같이 시스템 행렬의 고유값을 주파수에 대한 함수로 표현할 수도 있지만, Matlab 내부 함수는 비선형 함수의 전달 함수에 대한 나이퀴스트 선도 도출 기능을 제공하지 않는다. 따라서 별도의 분석 프로그램을 작성해야 하는 번거로움이 있다.

또한, 기존의 SISO 시스템 분석을 위해 많이 사용되는 전달 함수 변수는 시스템의 차수가 증가하는 경우, 역행렬 계산 시 수치 해석적인 오차로 인하여 극점과 영점의 상쇄가 적절히 이루어지지 않는 경우가 발생하여 최종 전달 함수 혹은 전달 함수 행렬의 차수가 시스템 차수에 비하여 급격하게 증가하는 경우가 발생한다.

본 논문에서는 다중 입출력(Multi-Input Multi-Output, MIMO) 분석을 위해서 “Symbolic” 변수를 활용하였다. “Symbolic” 변수로 전달 함수의 행렬 계산 후, 참고 문헌 [162]의 Toolbox에서 제공하는 변환 함수 “sym2tf” 기능을 활용하여 전달 함수 변수로 변환하여 보드 선도와 나이퀴스트 선도를 도출하였다.

출력 어드미턴스의 행렬 계산 과정은 2장의 결과와 같다.

### C.1 직류단 전압 제어를 고려한 PCS의 출력 어드미턴스 계산 함수

```
function [Yop, Ycc, Yo] = f_Yo_TypeV_Qo(Para)
% Para
% Pb, Vb, Ib, Zb, wb, Lf, Rf, Cdc, Vdc, Rdc
% kpp, kip, Lf_hat, Rf_hat, kpc, kic, Kaid, Kv, kpv, kiv
syms p;

Ede_ = 0;
Ege_ = Para.Vb*sqrt(2);
Ide_ = 0;
Iqe_ = -2/3*Para.Vdc^2/Para.Rdc/Ege_;
Icd_ = 0;
Icq_ = -2/3*Para.Vdc^2/Para.Rdc/Ege_;
Vcd_ = -Para.wb*Para.Lf*Iqe_;
```

```

Vcq_ = Para.Vb*sqrt(2);
Ohm_h = Para.wb;

% PLL
Tp11 = Para.kpp + Para.kip/p;
Gp11 = (Para.kpp*p + Para.kip)/(p^2 + Eqe_*Para.kpp*p + Eqe_*Para.kip);

% Current Control
Ti = Para.kpc + Para.kic/p;

% Anti-islanding and DC Voltage Control
Tv = Para.kpv + Para.kiv/p;
Del_dc = p*Para.Cdc*Para.Vdc + 2/Para.Rdc;

%% Openloop system response
Gsi_i = [Para.Rf, -Ohm_h*Para.Lf; Ohm_h*Para.Lf, Para.Rf];

Gsd_c_i = 3/2*[Vcd_, Vcq_];
Gsd_c_v = 3/2*[Icd_, Icq_];

GIop = p*Para.Lf*eye(2) + Gsi_i;

Yop = GIop^(-1);

%% Considering PLL dynamics
Gp11_v = [Vcq_*Gp11, 0; -Vcd_*Gp11, 0];
Gp11_i = [-Icq_*Gp11, 0; Icd_*Gp11, 0];

%% Current loop closed system response
Gc_i = [0, -Ohm_h*Para.Lf_hat; Ohm_h*Para.Lf_hat, 0];
Gc_e = [Para.Lf_hat*Icq_*p*Gp11, 0; -Para.Lf_hat*Icd_*p*Gp11, 0];

Aci = -Ti*eye(2) + Gc_i;
Ace = (-Ti*eye(2) + Gc_i)*Gp11_i + Gc_e + Gp11_v;

GIcc = GIop - Aci;
GEcc = Ace - eye(2);
GIrcc = Ti*eye(2);

Ycc = -GIcc^(-1)*GEcc;

%% Outerloop closed system response
Gdc_dc = [0; Para.Kv*Tv];
Gdc_e = [Para.Kaid*p*Gp11, 0; 0, 0];

Aoir = eye(2) + 1/Del_dc*Gdc_dc*Gsd_c_v*Ti;
Aoi = -1/Del_dc*Gdc_dc*(Gsd_c_i + Gsd_c_v*Aci);
Aoe = -1/Del_dc*Gdc_dc*Gsd_c_v*Ace + Gdc_e;

```

```

GIcl = GIcc - GIrc*Aoair^(-1)*Aoi;
GEcl = GEcc + GIrc*Aoair^(-1)*Aoe;

Yo = -GIcl^(-1)*GEcl;

```

3.3 절에서 제안한, 수정된 위상 동기화 제어기를 사용한다면,  $\mathbf{G}_{dc}^e$  를 다음과 같이 수정하여 사용하면 된다.

```

Gdc e = [Para.Kaid*Para.kip/p*(1-Eqe_*Gpll), 0;0, 0];

```

## C.2 페루프 전력 제어기를 고려한 PCS의 출력 어드미턴스 계산 함수

```

function [Yop, Ycc, Yo] = f_Yo_TypeV_Qo_PQ(Para)
% My version 2 - Q aligned, Current direction 0
% Para
% Pb, Vb, Ib, Zb, wb, Lf, Rf, Cdc, Vdc, Rdc
% kpp, kip, Lf_hat, Rf_hat, kpc, kic, Kaid, Kv, kpq, kiv
syms p;

Ede_ = 0;
Eqe_ = Para.Vb*sqrt(2);
Ide_ = 2/3*Para.Qref/Eqe_;
Iqe_ = 2/3*Para.Pref/Eqe_;
Icd_ = 2/3*Para.Qref/Eqe_;
Icq_ = 2/3*Para.Pref/Eqe_;
Vcd_ = -Para.wb*Para.Lf*Icq_;
Vcq_ = Para.wb*Para.Lf*Icd_ + Para.Vb*sqrt(2);
Ohm_h = Para.wb;

% PLL
Tp11 = Para.kpp + Para.kip/p;
Gpll = (Para.kpp*p + Para.kip)/(p^2 + Eqe_*Para.kpp*p + Eqe_*Para.kip);

% Current Control
Ti = Para.kpc + Para.kic/p;

% Power Control
Tpq = Para.kppq + Para.kipq/p;

%% Openloop system response
Gsi_i = [Para.Rf, -Ohm_h*Para.Lf; Ohm_h*Para.Lf, Para.Rf];

Gsdci = 3/2*[Vcd_, Vcq_];
Gsdcv = 3/2*[Icd_, Icq_];

GIop = p*Para.Lf*eye(2) + Gsi_i;

```

```

Yop = GIop^(-1);

%% Considering PLL dynamics
Gpll_v = [Vcq_*Gpll, 0; -Vcd_*Gpll, 0];
Gpll_i = [-Icq_*Gpll, 0; Icd_*Gpll, 0];
Gpll_e = [-Eqe_*Gpll, 0; Ede_*Gpll, 0];

%% Current loop closed system response
Gc_i = [0, -Ohm_h*Para.Lf_hat; Ohm_h*Para.Lf_hat, 0];
Gc_e = [Para.Lf_hat*Icq_*p*Gpll, 0; -Para.Lf_hat*Icd_*p*Gpll, 0];

Aci = -Ti*eye(2) + Gc_i;
Ace = (-Ti*eye(2) + Gc_i)*Gpll_i + Gc_e + Gpll_v;

GIcc = GIop - Aci;
GEcc = Ace - eye(2);
GIRcc = Ti*eye(2);

Ycc = -GIcc^(-1)*GEcc;

%% Outerloop closed system response
Gpq_i = 3/2*[Eqe_, -Ede_; Ede_, Eqe_];
Gpq_e = 3/2*[-Icq_, Icd_; Icd_, Icq_];
Gaid = [Tpq*Para.Kaid*p*Gpll, 0; 0, 0]; % anti-islanding

Aoi = -Tpq*eye(2)*Gpq_i;
Aoe = -Tpq*eye(2)*(Gpq_i*Gpll_i + Gpq_e*(eye(2) + Gpll_e));
Aoe_aid = Aoe + Gaid;

GIcl = GIcc - GIRcc*Aoi;
GEcl = GEcc + GIRcc*Aoe_aid;

Yo = -GIcl^(-1)*GEcl;

```

위의 코드는 무효 전력에 주파수 피드백 루프를 구성한 경우로, 피드백 루프를 무효 전류 성분에 구성하는 경우  $\mathbf{G}_{aid}$  를 다음과 같이 수정하면 된다.

```
Gaid = [Para.Kaid*p*Gpll, 0; 0, 0]; % anti-islanding
```

### C.3 계통 연계 상황과 단독 운전 상황의 안정도 분석 코드 예시

```

clear all;close all;clc;
MULTI = 0; % 0: Single, 1: Multi
GRID = 1; % 1: Grid connected, 0: Islanded
WEAK = 0; % 1: Weak Grid (50%), 0: Strong Grid (5%)
PLL = 0; % 0: PI output, 1: I output
%% My work
if MULTI,
    Para1.Pb = 1000e3/2;
else
    Para1.Pb = 1000e3;
end
Para1.Vb = 380/sqrt(3);
Para1.wb = 2*pi*60;

Para1.Ib = Para1.Pb/3/Para1.Vb;
Para1.Zb = Para1.Vb/Para1.Ib;
Para1.Lb = Para1.Zb/Para1.wb;

Para1.Lf = Para1.Lb*0.1;
Para1.Rf = 0.05*Para1.Zb;
if MULTI,
    Para1.Cdc = 1.2e-3/2;
else
    Para1.Cdc = 1.2e-3;
end
Para1.Vdc = 650;
Para1.Rdc = -Para1.Vdc^2/Para1.Pb;

% PLL
zetap = 2^(-1/2);wnp = 2*pi*10;
E = Para1.Vb*sqrt(2);
Para1.kpp = 2*zetap*wnp/E;Para1.kip = wnp^2/E;
% Para1.kpp = 0;Para1.kip = 0;
% Current Control
wcc = 2*pi*500;
Para1.Lf_hat = Para1.Lf;Para1.Rf_hat = Para1.Rf;
Para1.kpc = Para1.Lf_hat*wcc*2;Para1.kic = Para1.Rf_hat*wcc;
% Anti-islanding and DC Voltage Control
Qf_set = 1;
Para1.Kaid = 2*Para1.Ib*sqrt(2)*Qf_set/Para1.wb;
Cv = Para1.Cdc*Para1.Vdc*2/3/E;
zetav = 1;wnv = 2*pi*5;
Para1.kpv = 2*zetav*wnv*Cv;Para1.kiv = wnv^2*Cv;
Para1.Kv = 1;

if PLL
    [Yop_Qo, Ycc_Qo, Yo_Qo] = f_Yo_Type4_Qo_w_integ(Para1);
    Zo_Qo = Yo_Qo^(-1);
else
    [Yop_Qo, Ycc_Qo, Yo_Qo] = f_Yo_Type4_Qo(Para1);
    Zo_Qo = Yo_Qo^(-1);
end

```

```

end

Yo_Qo_tf = minreal(sym2tf(Yo_Qo));
Zo_Qo_tf = minreal(sym2tf(Zo_Qo));

%% Load1
Pb = 1000e3;
Vb = 380/sqrt(3);
Ib = Pb/Vb/3;
Zb = Vb/Ib;
RL = Zb;
wres = Para1.wb;
Qf = 2;
LL = RL/(wres*Qf);
CL = Qf/(wres*RL);

Pb = 1000e3;
Vb = 380/sqrt(3);
Ib = Pb/Vb/3;
Zb = Vb/Ib;
if WEAK,
    Lg = 0.5*Zb/Para1.wb;Rg = 0.01*Zb;
else
    Lg = 0.05*Zb/Para1.wb;Rg = 0.01*Zb;
end

syms p;

ZLR = RL*eye(2);
CROSS = [p, -Para1.wb;Para1.wb, p];
ZLL = LL*CROSS;
YLC = CL*CROSS;
YLeq = ZLR^(-1) + ZLL^(-1) + YLC;
ZLeq = YLeq^(-1);
ZLeq_tf = minreal(sym2tf(ZLeq));

Zg = Lg*CROSS + Rg*eye(2);
Yg = Zg^(-1);

Yeq = Yg + YLeq;
Zeq = Yeq^(-1);
Zeq_tf = minreal(sym2tf(Zeq));

if MULTI,
    if GRID,
        figure;bode(2*Yo_Qo_tf,'b',Zeq_tf,'r');grid on;
        LoopGain_eq = Zeq*(2*Yo_Qo);
    else
        figure;bode(2*Yo_Qo_tf,'b',ZLeq_tf,'r');grid on;
        LoopGain_eq = (2*Yo_Qo)*ZLeq;
    end
end
else

```



```

if GRID,
    figure;bode(Zo_Qo_tf(1,1), 'b', Zeq_tf(1,1), 'r');grid
on;
    legend('Zinv', 'Zs');
    LoopGain_eq = Zeq*Yo_Qo;
else
    figure;bode(Yo_Qo_tf, 'b', ZLeq_tf, 'r');grid on;
    LoopGain_eq = Yo_Qo*ZLeq;
end

end

LoopGain_eq_tf = minreal(sym2tf(LoopGain_eq));
det_L_eq = det(eye(2) + LoopGain_eq);
det_L_tf_eq = minreal(sym2tf(det_L_eq));
figure;nyquist(det_L_tf_eq);axis([-1, 2], [-1, 1]);
figure;pzmap(det_L_tf_eq);

```