



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

2배 시간증폭기와 버니어 링 구조의 TDC를 이용한 All-Digital PLL

Design of All-Digital PLL using Time-to-Digital Converter with 2x Time Amplifier and Vernier Ring

2013년 6월

서울대학교 대학원

전기 컴퓨터 공학부

천 유 상

2배 시간증폭기와 버니어 링 구조의 TDC를 이용한

All-Digital PLL

Design of All-Digital PLL using Time-to-Digital
Converter with 2x Time Amplifier and Vernier Ring

지도교수 정 덕 균

이 논문을 공학석사 학위논문으로 제출함

2013년 6월

서울대학교 대학원

전기 컴퓨터 공학부

천 유 상

천유상의 공학석사 학위논문을 인준함

2013년 6월

위 원 장 : _____

부위원장 : _____

위 원 : _____

초 록

컴퓨터 및 전자통신 기술이 발달함에 따라 데이터의 전송방식과 전송속도를 향상시키기 위한 노력이 수십 년에 걸쳐 연구되었고 그 중 가장 대표적으로 Phase-Locked Loop (PLL) 을 사용하여 클락을 합성하는 통신 시스템 회로 또한 상당한 연구가 진행되었다. Charge Pump를 이용한 Analog PLL이 이론적으로 비교적 정확하게 분석되었고 많은 연구와 발전을 이루었으나 루프 필터에서 패시브소자를 사용한다는 점 또는 각종 부정합에 의한 성능의 감소 때문에 이를 대체할 수 있는 PLL이 연구되었고 이 중 하나가 All-Digital PLL (ADPLL) 이다.

본 논문에서는 20Gbps의 고속의 송수신기에서 사용할 10GHz의 클락을 합성시키기 위한 All-Digital PLL을 제안한다. 특히 ADPLL의 Time-to-Digital Converter는 Ring 구조로 구현하여 내부회로를 재활용하여 Dynamic Range를 비약적으로 넓게 가졌으며, Time Amplifier를 이용하여 Dynamic Range의 손실 없이 Effective Resolution을 절반으로 감소시켰다.

위 회로는 TSMC사의 65nm 공정으로 구현되었으며 ADPLL은 전체 면적은 430um X 250um이며, 그 중 TDC는 130um X 250um의 면적을 차지한다. ADPLL의 동작주파수는 10GHz이나 다양한 동작범위에서 동작할 수 있도록 구현되어 있으며 8GHz부터 13GHz에서도 동작시킬 수 있

다. 10GHz 동작모드에서의 전력소모는 TDC의 아날로그 영역 회로에서 6mW, DLF를 포함한 디지털 영역에서 6mW, DCO에서 6mW로 총 18mW이다.

주요어 : All-Digital PLL (ADPLL), Digitally-Controlled Oscillator (DCO), Time-to-Digital Converter (TDC)

학 번 : 2011-23384

목 차

초 록.....	i
목 차.....	iii
제 1 장 서론	1
1.1 연구의 배경.....	1
1.2 논문의 구성.....	3
제 2 장 Fundamentals of ADPLL.....	4
2.1 Analysis of 2nd-order CPPLL	4
2.2 Analysis of All-Digital PLL.....	8
제 3 장 Design of ADPLL	11
3.1 Overall Architecture.....	11
3.2 Time-to-Digital Converter.....	13
3.2.1 TDC Architecture	13
3.2.2 Vernier Ring Strucure	17
3.2.3 Pre-Logic	21
3.2.4 2x Time Amplifier with Replica Calibration	28

3.2.5 Calculation Logic	32
3.3 Digitally–Controlled Oscillator	39
3.4 Digital Loop Filter and Divider	42
3.5 Clock Domain Crossing	44
제 4 장 Simulation Result	51
4.1 TDC Simulation Result	51
4.2 ADPLL Modeling.....	57
4.3 Performance.....	61
제 5 장 Summary	63
참고 문헌.....	64
Abstract.....	65

제 1 장 서론

1.1 연구의 배경

통신회로에서 중요한 역할을 하는 PLL에 대한 다양한 연구가 진행되면서 가장 보편적인 PLL구조로서 Charge Pump PLL이 이용되었다. CPPLL은 오랜 시간 연구 및 분석되어 비교적 정확한 분석이 가능하고 캐패시터에 의한 컨트롤 전압의 아날로그적인 특성 덕분에 비교적 우수한 성능을 보여주나, 소자특성 상의 부정합에 의해 성능의 감소가 있고 캐패시터를 사용하기에 불필요한 면적 상의 불이익이 있다는 점이 문제점으로 인지되어왔다.

CPPLL이 지닌 문제점들을 해결하고 추가적으로 얻을 수 있는 장점들 덕분에 All-Digital PLL 도 많은 통신회로에서 사용되고 있다. ADPLL은 인터페이스 신호들이 디지털 신호인 디지털시스템으로 구현된 PLL을 일컫는다. 즉 캐패시터를 사용하지 않은 Loop Filter, 노이즈에 덜 영향을 받는 디지털 인터페이스를 사용하는 TDC와 오실레이터 등을 사용하기 때문에 아날로그 신호 위주의 CPPLL의 단점들을 보완할 수 있다. 디지털로 구성된 구성회로는 공정 이식성이 좋다는 장점 또한 가지고 있다.

그러나 ADPLL은 근본적으로 아날로그 신호를 디지털 신호로 전환하는 과정상 불가피한 양자화 오류 (Quantization Error) 의 발생 등의 문제점이 있다. 이 때문에 ADPLL의 설계에서는 이를 해결하거나 영향을

최소화하는 것이 중요하다. 이를 위해서는 아날로그 신호를 디지털 신호로 변환할 때 정밀하게 표현하도록, LSB 당 표현하는 값의 크기를 나타내는 conversion resolution을 작게 구현하는 것이 좋다. 그러나 resolution이 작아질수록 디지털 신호로 표현할 수 있는 범위인 dynamic range는 이에 반비례하며 따라서 이 둘을 동시에 향상시키기 위해서는 전력소모나 게이트 사용을 키울 수 밖에 없다.

이 문제를 해결하기 위해 본 논문에서는 ADPLL 중 TDC 설계에 초점을 맞추어, 같은 전력과 면적을 소비하면서도 훨씬 넓은 dynamic range와 정밀한 resolution을 동시에 가질 수 있도록 버니어 링 구조와 시간증폭기를 활용하여 구현된 회로를 반복적으로 재활용하도록 구현하였다.

1.2 논문의 구성

본 논문의 2장에서는 가장 대표적으로 분석되는 PLL 중 하나인 CPPLL에 대한 분석과 이를 기초로 한 ADPLL에 대한 분석, 그리고 ADPLL의 Noise/Jitter 특성에 대한 분석을 다룬다.

3장에서는 설계 및 구현된 ADPLL을 구성하는 TDC, DCO, 및 DLF 구조적인 특성 및 동작원리를 서술한다. 특히 본 논문에서는 TDC 내부 구조와 동작원리에 중점을 두었다.

4장에서는 ADPLL의 실질적인 구현과 시뮬레이션 결과 및 성능지표들을 요약하였다. 5장에서는 논문의 결론을 정리하였다.

제 2 장 Fundamentals of ADPLL

2.1 Analysis of 2nd-order CPPLL

가장 전형적인 PLL 구조라 할 수 있는 Charge Pump PLL (CPPLL)의 구조는 그림 2.1과 같다.

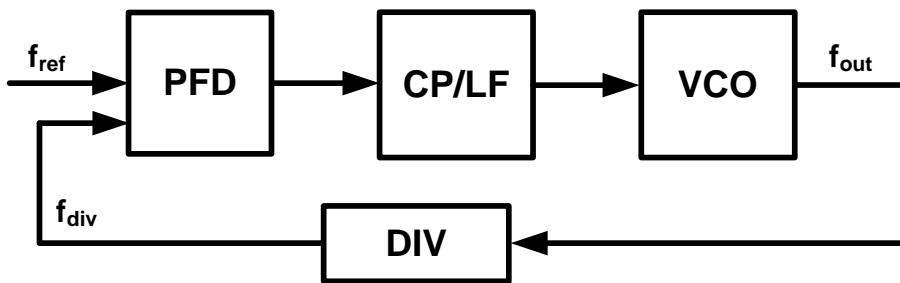


그림 2.1 Charge Pump PLL의 구조도

먼저 가장 앞 단에 위치한 위상/주파수 감지기 (Phase/Frequency Detector)에서는 입력으로 들어온 기준클락와 오실레이터의 출력클락을 divider를 거친 클락의 위상과 주파수의 차이를 감지한다. 이는 pulse 형태로 Charge Pump의 Current Source에 가해지며 이 pulse의 폭의 크기에 따라 전류를 흘려주는 시간이 결정된다. 따라서 Capacitor내부에 충전/방전되는 전하의 양이 결정되고 자동적으로 Capacitor에 인가된 전압

의 양이 $V=Q/C$ 에 의해 결정되며 이 전압 값에 따라 오실레이터의 출력 클락의 주파수의 값이 결정된다.

위 그림 2.1의 구조도를 바탕으로 2차의 Loop Filter를 이용하는 CPPLL의 s-domain transfer function으로 모델링하여 표현하면 다음 그림 2.2와 같다.

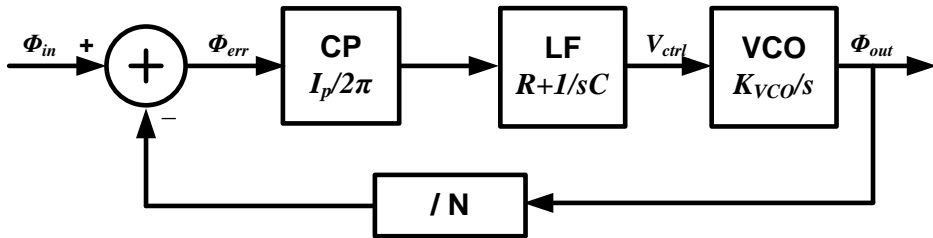


그림 2.2 2nd-order Charge Pump PLL의 s-domain Model

이 때 Open-loop gain와 Closed-loop gain은 각각 식 2.1과 2.2와 같다. 식 2.2에서 볼 수 있듯이 2nd-order PLL은 2개의 pole과 1개의 zero를 갖는 feedback system으로 표현될 수 있다.

$$T(s) = \frac{I_p}{2\pi} \cdot \left(R + \frac{1}{sC}\right) \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{N} \quad (2.1)$$

$$H(s) = \frac{T(s)}{1 + T(s)/N} = \frac{\frac{I_p K_{VCO}}{2\pi C} (1 + sRC)}{s^2 + s \frac{I_p K_{VCO} R}{2\pi N} + \frac{I_p K_{VCO}}{2\pi NC}} \quad (2.2)$$

그림 2.3에서는 위 식 2.2를 Bode Plot으로 표현하였다.

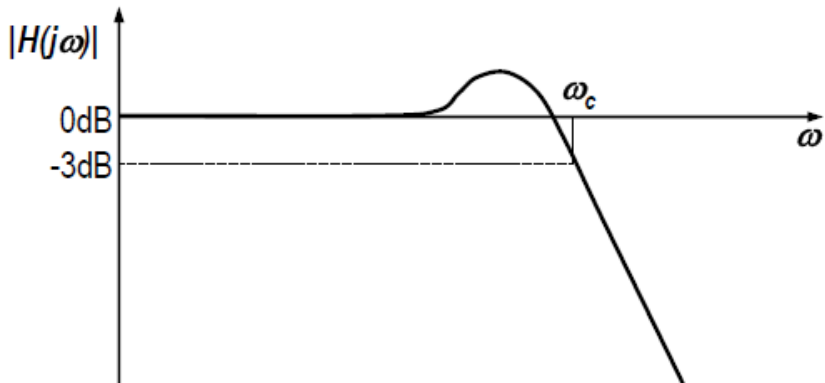


그림 2.3 2nd-order CPPLL의 Closed-loop Gain Bode Plot

PLL은 입력 위상 차이를 loop의 bandwidth인 ω_c 로 쫓아갈 수 있다. 따라서 높은 loop bandwidth를 가지면 더 짧은 시간 내에 PLL이 원하는 주파수에서 lock을 할 수 있다.

그러나 일반적으로 CPPLL에서의 Noise Source는 크게 입력을 통해 가해지는 input noise와 VCO에서 발생하는 VCO noise 이 두 가지가 가장 주요하다고 알려져 있다. Input noise는 입력을 통해 가해지므로 Noise Transfer Function이 전체 Closed-loop Gain과 일치하며 그림 2.3과 마찬가지로 Low-Pass 적인 특성을 갖게 된다. 즉 bandwidth가 낮을수록 loop내로 noise가 적게 유입된다.

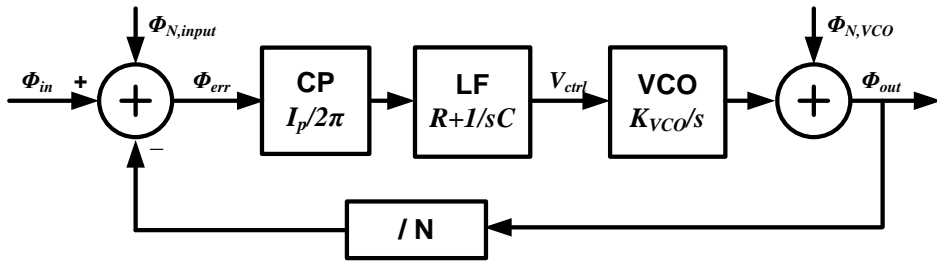


그림 2.4 Noise Source를 포함시킨 2nd-order PLL의 s-domain Model

반대로 VCO noise는 loop의 중간에 추가되므로 Noise Transfer Function이 input noise와는 반대로 High-Pass적인 특성을 갖는다. 따라서 loop bandwidth를 결정하는 여러 변수, 즉 Charge Pump의 전류이득, VCO의 주파수이득, Loop Filter의 저항소자값 등을 결정하여 가장 적은 noise를 갖도록 결정하여야 한다.

2.2 Analysis of All-Digital PLL

ADPLL은 각 블록의 인터페이스에서 디지털 신호만을 주고받도록 구현된 PLL을 일컫는다. [1] ADPLL은 앞에서 다루었던 Charge Pump를 기반으로 하여 VCO, R-C Loop Filter 등의 아날로그 신호들과 회로들이 갖는 단점들을 디지털로 보완한 PLL이다.

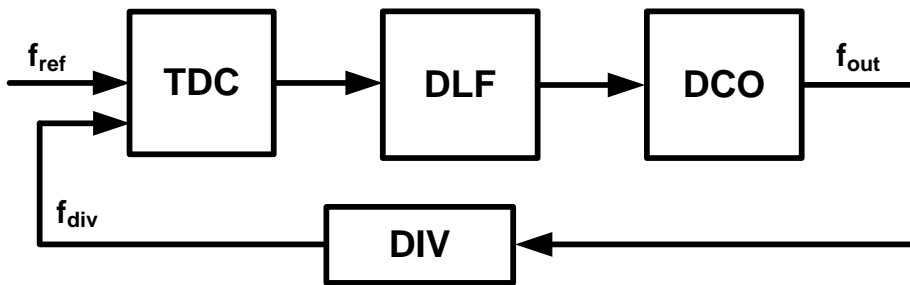


그림 2.5 All-Digital PLL의 구조도

그림 2.1과 비교했을 때, 두 클락의 시간 차이를 감지하는 PFD의 역할을 TDC가, 정량화된 시간 차이를 회로적으로 변환해 오실레이터에 반영시킬 수 있도록 하는 CP와 LF의 역할을 DLF가, 시간 차이가 줄어드는 방향으로 주파수와 위상을 제어하는 VCO의 역할을 DCO가 대체함을 직관적으로 확인할 수 있다. 이처럼 일반적인 ADPLL은 CPPLL과 굉장히 흡사한 역할을 하는 회로들로 구성되어 있으며 분석 또한 흡사하므로 2.1절 내용과 중복되는 언급은 삼가도록 한다.

ADC 등의 회로에서와 마찬가지로, 아날로그 신호를 디지털 신호로 변환할 때는 언제나 양자화 오류 (Quantization Error)가 발생하며, ADPLL 내부의 TDC와 DCO에서는 모두 이 오류로 인해 성능이 감소한다. TDC에서는 아날로그이자 연속적인 값을 갖는 시간 차이를 Resolution이라는 기본단위의 디지털 값으로 양자화시키므로 Resolution보다 작은 시간 차이에 대한 오류가 반드시 발생한다. DCO에서도 입력 디지털 값에 따라 출력 주파수가 불연속적으로 변화하기 때문에 목표 주파수와 차이가 DCO의 Resolution 이내의 주파수에 대해서는 양자화 오류가 발생하게 된다. 일반적으로 이를 보상하기 위해 Delta-Sigma Modulator를 이용하여 양자화 오류에 의한 오차를 누적 및 반영시켜 오차를 주기적으로 보상한다.

이 ADPLL의 양자화 오류를 포함시킨 모델은 다음 그림 2.6과 같으며 전체 Transfer Function은 식 2.3과 같다. [2]. [3]

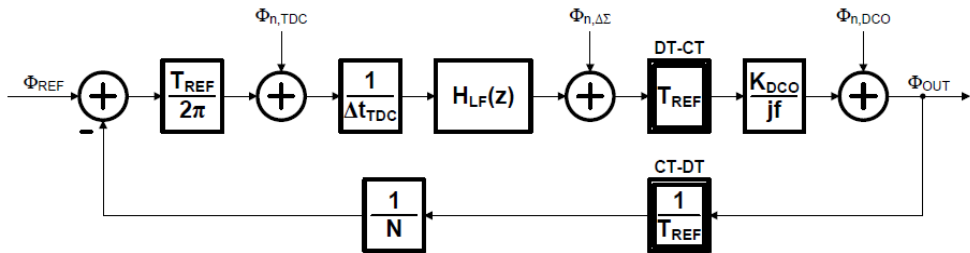


그림 2.6 ADPLL와 내부 Quantization Error 모델

$$A(f) = \frac{T_{REF}}{2\pi} \cdot \frac{1}{\Delta t_{TDC}} \cdot \left(\beta + \frac{\alpha}{1-z^{-1}}\right) \cdot \frac{K_{DCO}}{jf} \cdot \frac{1}{N}, \quad G(f) = \frac{A(f)}{1+A(f)} \quad (2.3)$$

그림 2.6에 명시된 noise의 Power Spectral Density와 이들이 출력에서 보여지는 PSD는 다음 식들과 같다. [2], [3]

$$S_{\phi_{n,REF}}(f) = \frac{2FkT}{P_{REF}} \left(1 + \left(\frac{f_{REF}}{2Q_{REF}f}\right)^2\right) \left(1 + \frac{f_{1/f^3,REF}}{f}\right) \quad (2.4)$$

$$S_{\phi_{n,TDC}}(f) = \frac{1}{12f_{REF}} \quad (2.5)$$

$$S_{\phi_{n,\Sigma\Delta}}(f) = \frac{1}{12f_{\Sigma\Delta}} \left(2 \sin \frac{\pi f}{f_{\Sigma\Delta}}\right)^{2n} \quad (2.6)$$

$$S_{\phi_{n,DCO}}(f) = \frac{2FkT}{P_{DCO}} \left(1 + \left(\frac{f_{DCO}}{2Q_{DCO}f}\right)^2\right) \left(1 + \frac{f_{1/f^3,DCO}}{f}\right) \quad (2.7)$$

$$S_{\phi_{n,DCO,Dithered}}(f) = \frac{1}{12} \left(\frac{\Delta f_{DCO,eff}}{f}\right)^2 \frac{1}{f_{\Sigma\Delta}} \left(\sin c \frac{f}{f_{\Sigma\Delta}}\right)^2 \quad (2.8)$$

$$S_{OUT,REF}(f) = S_{\phi_{n,REF}}(f) \cdot |NG(f)|^2 \quad (2.9)$$

$$S_{OUT,TDC}(f) = S_{\phi_{n,TDC}}(f) \cdot |G(f)|^2 \quad (2.10)$$

$$S_{OUT,\Sigma\Delta}(f) = S_{\phi_{n,\Sigma\Delta}}(f) \cdot |1-G(f)|^2 \quad (2.11)$$

$$S_{OUT,DCO}(f) = S_{\phi_{n,DCO}}(f) \cdot |1-G(f)|^2 \quad (2.12)$$

$$S_{OUT,DCO,Dithered}(f) = S_{\phi_{n,DCO,Dithered}}(f) \cdot |1-G(f)|^2 \quad (2.13)$$

제 3 장 Design of ADPLL

3.1 Overall Architecture

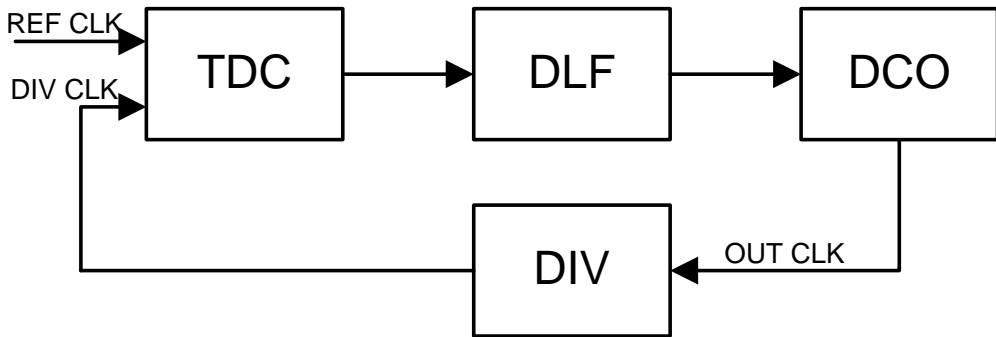


그림 3.1 ADPLL 전체 구조도

ADPLL의 기본적인 구조는 그림 3.1과 같이 Time-to-Digital Converter (TDC), Digital Loop Filter (DLF), Digitally-Controlled Oscillator (DCO), 그리고 Integer-N Divider (DIV) 으로 구성되어 있다. 본 PLL의 출력 클락 (OUT CLK) 의 주파수는 10GHz를 중심으로 외부 제어신호를 통해 약 8GHz부터 13GHz까지의 다양한 주파수에서 동작할 수 있게 설계되었다. 기준 클락 (REF CLK) 은 156.25MHz를 사용하였으며 이는 10GHz 를 64로 나눈 값과 동일하다. DLF와 일부 TDC에서 사용되는 디지털 영역 클락 (DIG CLK)은 10GHz를 16으로 나눈 625MHz이다.

3.2 절에서는 TDC, 3.3 절에서는 DCO, 3.4 절에서는 DLF와 DIV의 동작 및 구현에 대해 서술한다. 3.5 절에서는 TDC 내부에서 발생하는 Clock Domain Crossing 현상에 의한 문제점 및 해결방법에 대해 소개한다.

3.2 Time-to-Digital Converter

3.2.1 TDC Architecture

Time-to-Digital Converter (TDC) 은 두 입력 클락의 위상 혹은 시간 차이를 디지털 값으로 계산하는 역할을 한다. TDC의 출력에 따라 DCO의 출력 주파수가 결정되므로 넓은 범위의 시간 차이를 감지하는 것과 시간 차이를 정밀하게 감지하는 것 모두를 만족시킬 수 있어야 한다. 본 논문에서 제안하는 TDC의 구조는 이 두 조건을 모두 충족시킬 수 있도록 일반적인 Two-Step TDC에서 사용하는 Time Amplifier와 Vernier Ring구조를 혼합한 구조로 구현되었으며, 같은 회로를 반복적으로 이용하여 같은 성능 대비 회로 크기를 감소시킨 것은 물론 전력소모 면에서도 우수하다는 장점을 가진다.

본 논문의 TDC는 사용하는 클락 및 구현방법에 따라 크게 아날로그 파트와 디지털 파트로 나눌 수 있으며, 각각의 내부구조는 각각 그림 3.2와 그림 3.3과 같다.

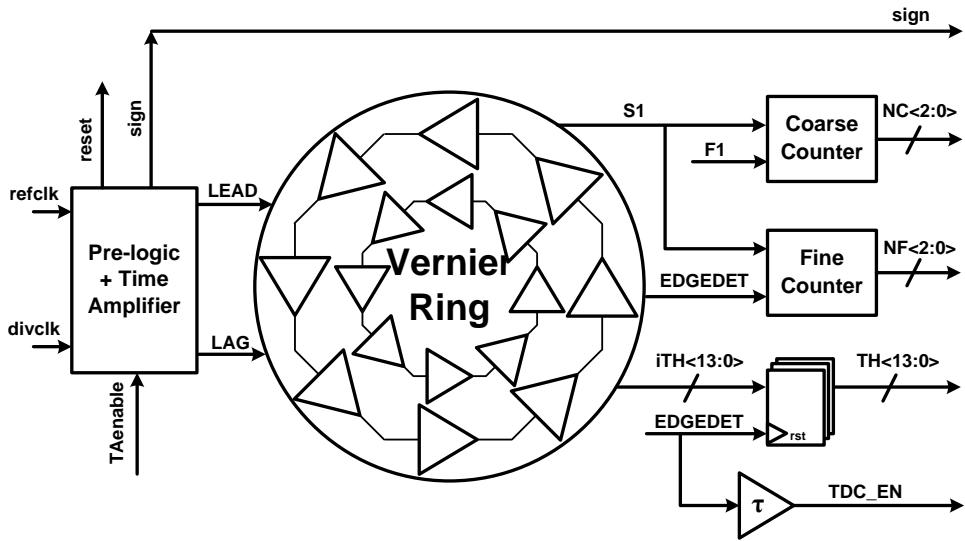


그림 3.2 TDC의 아날로그 회로영역 구조도

아날로그 회로는 DCO 출력 클락을 64로 나눈 156.25MHz 에서 동작 하는 회로로, 크게 Time Amplifier를 포함한 Pre-logic, Vernier Ring, 그리고 여러 Sampler와 Counter들로 구성되어 있으며 ADPLL 성능에 직접적으로 영향을 미치므로 부정합에 대한 보정 등을 고려해 full custom으로 설계되었다.

Time Amplifier는 두 클락의 rising edge의 시간 차이를 2배로 증폭시켜주며, 이 회로는 필요한 경우에만 사용하도록 해 같은 Delay Cell을 재 활용하면서도 Dynamic Range의 손해 없이 실질적인 Resolution은 절반으로 감소시킬 수 있다. Pre-logic은 두 클락 중 rising edge가 빠른 신호와 느린 신호를 찾아내는 역할과 블록 내부에서 사용하는 reset신호를 생성시키는 역할을 수행한다. 여기서 감지하여 생성하는 두 rising edge의 빠름과 느림을 나타내는 sign이라는 신호는 Bang-bang Phase

Detector의 출력과 같은 역할을 한다.

Vernier Ring은 TDC에서 가장 일반적인 TDC 구조라 할 수 있는 Vernier Line TDC의 Delay Cell들을 재활용할 수 있도록 최종 출력을 다시 입력으로 연결시킨 구조이다.

마지막으로 Sampler들과 Counter들은 Ring에서 생성한 신호들을 디지털 파트로 보낼 수 있도록 결정하는 역할을 한다.

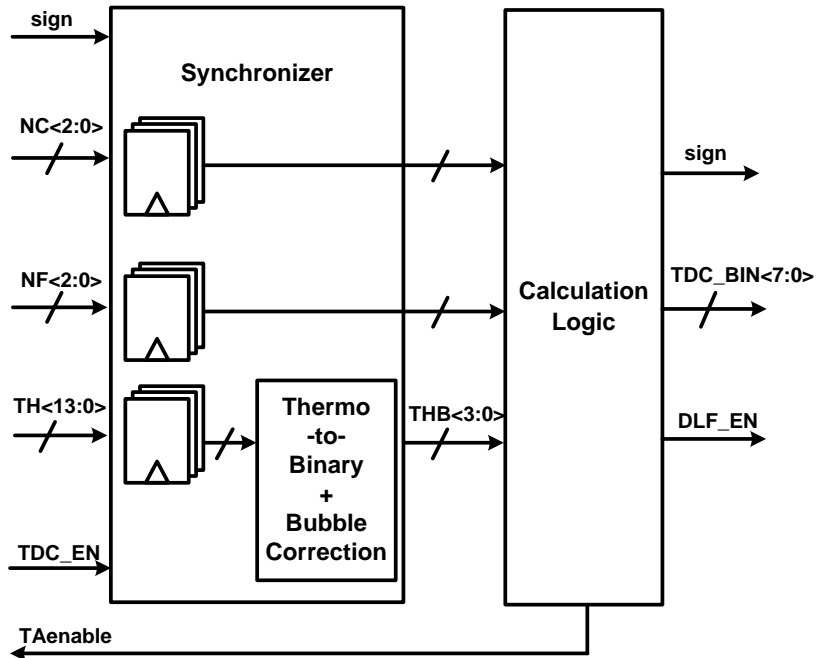


그림 3.3 TDC의 디지털 회로영역 구조도

디지털 영역은 TDC 중 DCO 출력 클락의 16분클락인 625MHz로 동작하는 영역으로 크게 Synchronizer와 Thermometer-to-Binary Decoder, 그리고 Calculation Logic으로 구성되어있으며, Verilog로 구현

되어 Synthesis 및 Placement & Routing 과정을 CAD Tool을 이용하여 진행하였다.

디지털 영역에서는 Vernier Ring에서 결정한 여러 변수를 공식에 대입하여 시간 차이를 계산하고 이를 디지털 신호로 변환해 DLF로 전달하는 역할을 한다. 그러나 아날로그 영역과 디지털 영역은 서로 비동기화된 (Asynchronous) 주파수와 위상을 갖는 클락을 사용하므로 변수값을 나타내는 신호가 0 또는 1로 결정되지 않는 상태를 의미하는 준안정 (Metastable) 상태에 빠지거나 원래의 값이 아닌 잘못된 값으로 변형되는 비트값 역전 (Bit Inversion)이 발생할 수 있다. 이를 방지하기 위해 Synchronizer를 사용하여 먼저 디지털 영역으로 신호들을 손실 없이 전달한 뒤 이 신호들을 Calculation Logic에서 계산하도록 한다.

본 논문의 TDC는 Time Amplifier 사용 시 5ps의 Resolution과 약 2.4ns의 Dynamic Range를 가지게 설계되었다. TDC의 resolution은 20Gbps의 4채널 직렬링크인 전체 시스템의 Transmitter에서 요구하는 ADPLL의 Jitter 요구사항을 만족시키기 위해 5ps로 결정되었다. 이는 4장에서 모델링 과정을 통해 더 언급하도록 한다.

3.2.2 Vernier Ring Structure

Vernier Delay Line은 delay의 크기가 다른 두 Delay Cell을 이용하여 한 stage 당 delay를 gate delay 값보다 작도록 이용하는 구조를 일컫는다. 즉 서로 다른 Delay를 가진 Cell로 구성된 Chain에 두 신호를 가하면 하나의 stage를 거칠 때 마다 두 신호의 시간 차이(Δt)는 한 stage의 delay차이 ($|t_1 - t_2|$) 만큼 증가하거나 감소한다. 이 구조는 sub-gate-delay resolution을 얻을 수 있다는 장점이 있으나, stage 개수와 delay 크기에 비례하여 감지할 수 있는 시간 차이의 범위가 결정되기 때문에 정밀한 resolution을 얻기 위해 delay값을 작게 할수록 감지할 수 있는 범위는 줄어들고, 같은 범위를 감지하려면 많은 delay cell을 이용하게 되어 크기와 전력소모 또한 비례하여 증가한다는 단점 또한 존재한다.

Vernier Ring TDC는 이를 보완하기 위해 Delay Line을 재활용하기 위해 Line 구조가 아닌 Ring 구조를 채택한다. [4] 이 경우 고정된 stage 수를 이용하여 이론상으로는 무제한의 dynamic range를 갖는다. 단 Line과는 Ring을 몇 바퀴 돌았냐는 정보가 필요하므로 Line구조에서는 사용하지 않는 Counter를 추가적으로 구현해야 한다.

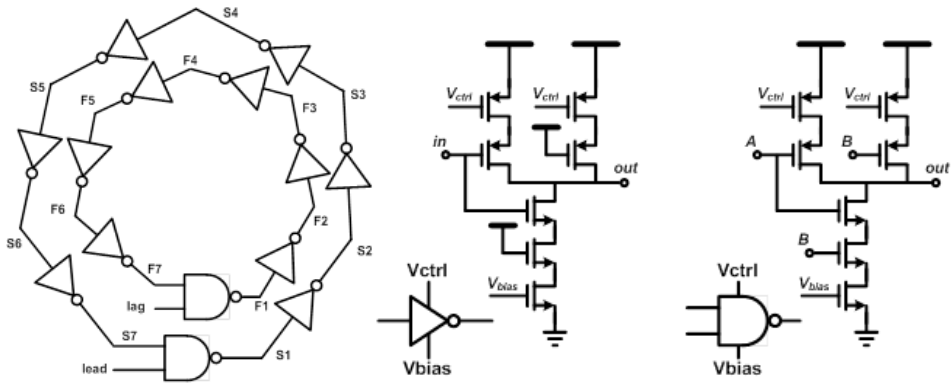


그림 3.4 Vernier Ring 구조 및 내부 Delay Cell 구조

Vernier Ring은 그림 3.4와 같이 V_{ctrl} 과 V_{bias} 에 의해 Delay의 크기가 결정되는 Gated NAND를 첫 stage에 사용하고, 이와 동일한 구조를 가져 구조적 부정합에 의한 성능저하를 최소화하기 위해 delay cell도 Gated NAND와 같은 구조의 inverter를 이용하였다. 신호를 한 번 가했을 때 지속적으로 Ring에서 신호가 0과 1로 진동하도록 만들기 위해 Oscillator와 같이 홀수개의 stage를 사용하며 본 구조에서는 7단으로 구성되었다.

본 회로에서는 빠른 Ring의 경우 약 $t_f=33ps$, 느린 Ring의 경우 $t_s=43ps$ 의 cell delay 값을 가지며 2바퀴 즉 14 stage를 거쳐 initial value와 같은 값으로 돌아올 경우 빠른 Ring은 470ps, 느린 Ring은 610ps의 시간이 소모된다.

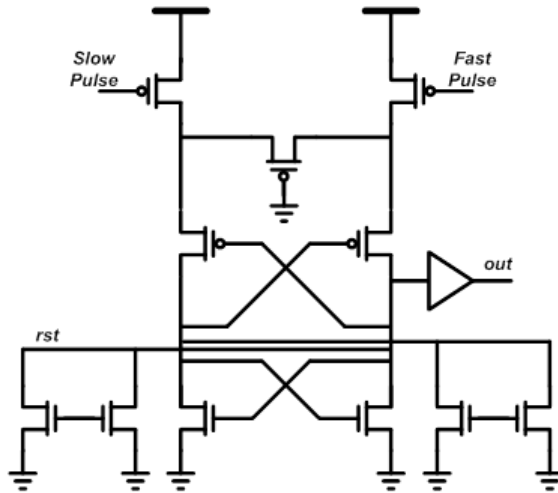


그림 3.5 Arbiter의 Schematics

일반적인 Vernier Line TDC에서는 두 클락의 교차점을 찾기 위해 하나의 stage를 거친 신호들을 D Flip Flop의 Clock입력과 D입력에 가한다. 즉 Clock이 D보다 빠르면 출력 Q는 0이고 반대로 D가 Clock보다 빠를 경우 Q는 1이 되므로 Thermometer 형태의 출력에서 0과 1이 교차하는 지점이 두 신호가 따라잡은 지점이 된다.

그러나 D Flip Flop은 구조적으로 Clock과 D가 Q에 반영될 때까지 거치는 path가 다르므로 timing의 offset이 존재한다. 이렇게 발생하는 timing offset은 jitter에 직접적으로 영향을 주므로 구조적으로 최소화시키기 위해 D Flip Flop과 기능적으로는 같은 역할을 하면서 Clock path와 D path를 대칭적으로 만든 그림 3.5와 같은 Arbiter를 이용하였다. [4] 시뮬레이션 결과 이 Arbiter는 약 $200\mu\text{W}$ 의 전력을 소모하여 $120\mu\text{W}$ 의 D Flip Flop보다 전력소모는 크나 offset은 D Flip Flop의 5.5ps 대비

0.2ps라는 작은 값을 가지는 것으로 나타났다. 본 TDC의 목표 resolution인 5ps에서 5.5ps의 timing offset은 무시할 수 없는 수치이므로 위 Arbiter를 사용하는 것이 합리적이다. 또한 Vernier Ring 내부에서는 Inverter구조의 delay cell을 이용하였기 때문에 하나의 stage를 거칠 때마다 신호의 rising edge와 falling edge를 번갈아 확인해야 하며 한 바퀴가 지나면 직전에 측정한 edge와 반대 edge를 측정한다. 따라서 rising edge와 falling edge를 각각 감지하는 서로 다른 A Type과 B Type의 두 Arbiter를 이용한다.

3.2.3 Pre-Logic

TDC의 가장 앞 단계에 위치하는 Pre-logic은 그림 3.6과 같은 구조를 지닌다. [4]

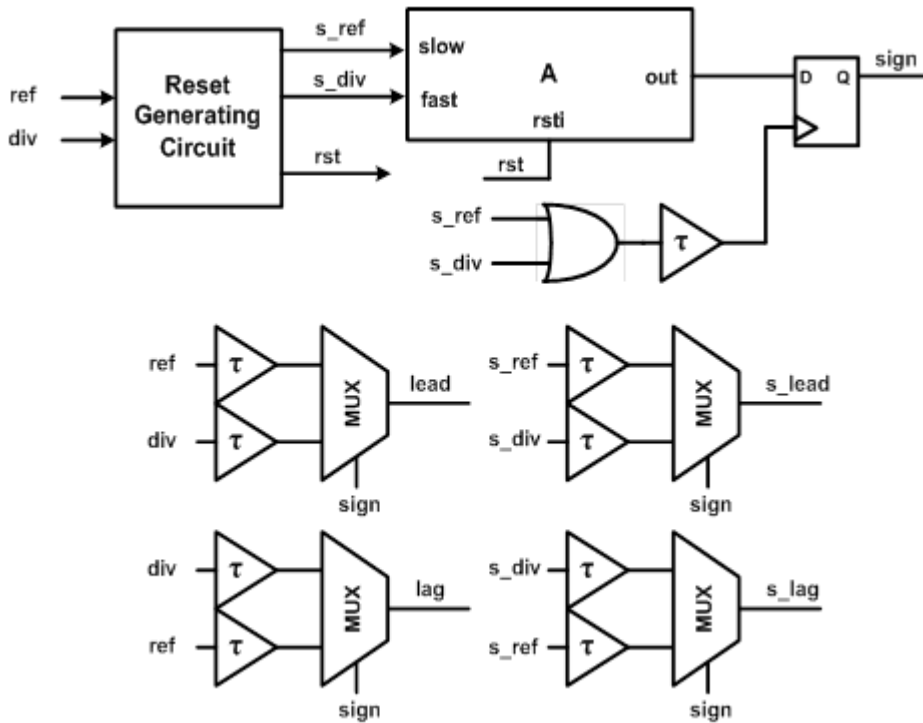


그림 3.6 Pre-logic 구조도

두 Ring의 delay값이 다르므로 시간차이는 지속적으로 좁아지거나 넓어진다. delay의 크기가 큰 쪽에 느린 신호가, delay의 크기가 작은 쪽에 빠른 신호가 가해지면 시간차이가 좁아지고 언젠가 느린 신호가 빠른 신

호를 따라잡게 된다. 이를 위해 느린 신호와 빠른 신호를 판별하는 역할을 하는 것이 pre-logic블락이다.

입력으로 기준클락과 DCO의 출력클락을 64분으로 나눈 클락이 pre-logic에 가해지면 이 둘을 앞서 3.2.2절에서 다룬 rising edge를 비교하는 arbiter를 통해 어느 신호가 먼저 edge가 뚫는지 알 수 있다. 단 이를 단순히 입력으로 들어오는 두 클락을 비교할 경우 phase detecting scheme만을 갖게 되므로 넓은 범위의 주파수 및 위상 차이를 가지고 있을 때는 harmonic lock 등 잘못된 주파수 값에서 PLL이 lock할 수 있는 문제가 있다. 따라서 일부 edge들을 무시하더라도 주파수 차이를 감지할 수 있도록 D Flip Flop와 AND 게이트를 이용하는 PFD와 같이 클락을 샘플한 신호들을 arbiter에 가해 비교하도록 구현하였다. [7]

입력으로 들어온 두 클락은 먼저 Reset Generating Circuit (RSG) 을 통과하며 TDC 내부에서 한 번의 계산값을 출력으로 내보낼 때마다 이용하는 Reset 신호를 발생시킨다. ref와 div를 D Flip Flop으로 샘플한 s_ref와 s_div 신호의 rising edge를 A Type Arbiter를 이용하여 비교하여 두 신호 중 어느 신호의 rising edge가 먼저 뚫는지를 결정할 수 있다. 이 Arbiter의 출력 신호가 sign이며, 이 신호를 MUX의 Select에 사용하여 ref와 div 중 어느 신호가 lead이고 lag인지 결정할 수 있다. 단 sign 값이 settle될 때까지만큼 delay되고 sign 또한 그 다음 ref와 div신호가 Pre-logic으로 입력될 때까지 값을 유지하여 sign이 바뀔 때 lead와 lag에 glitch가 발생하지 않도록 하였다.

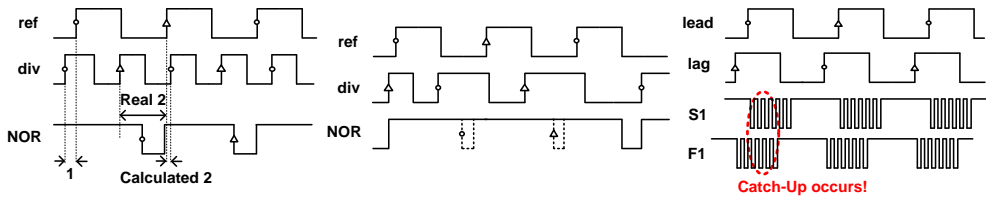


그림 3.7 NOR 및 PFD Reset의 문제점

일반적으로 두 신호의 주파수 및 위상 차이가 작을 때는 두 신호의 인접한 rising edge만을 비교하면 충분하므로 두 클락이 모두 0인 경우 즉 두 클락이 NOR연산시킨 신호를 Reset으로 사용할 수 있다. 그러나 Vernier Ring 구조는 기본적으로 위상 차이만 감지하기 때문에 Frequency Detect가 불가능하다. 이 때문에 NOR만을 Reset으로 사용할 경우는 그림 3.7의 첫 번째 그림과 같이 Harmonic한 주파수 즉 원하는 주파수의 정수배에 해당하는 주파수에서 TDC가 매우 작은 출력을 내 보내고 이 주파수에서 PLL이 lock될 수 있다는 문제점이 있다. 또한 그림 3.7의 두 번째 그림과 같이 NOR Reset은 위상 차이가 반 주기보다 클 경우 상황에 따라 Reset이 여러 주기 동안 발생하지 않고 즉 시간차이가 계산되지 않을 수 있다.

이를 보완하기 위해서는 PFD Reset, 즉 Phase & Frequency Detector에서 두 개의 D Flip Flop과 AND 게이트를 이용하여 발생시키는 이용하는 Reset을 이용할 경우 반 주기보다 큰 위상 차이가 발생했을 경우 그림 3.7의 세 번째 그림과 같이 lead, 즉 빠른 신호의 rising edge가 오히려 느린 lag 신호보다 더 늦게 발생할 수 있다. 이 경우 위에서 언급하였듯이, 두 신호 모두 1이므로 Ring 내부에서는 진동이 시작되고

어느 순간 따라잡았다는 신호 (Fake Catch-Up) 를 발생시키나, 이는 부호 및 크기가 우리가 처음에 결정한 방향과 달라 두 신호가 따라잡은 위치를 바탕으로 시간 차이를 계산해낼 수 없다.

따라서 위 문제점들을 해결하기 위해 본 논문의 TDC는 아래 그림 3.8 과 같이 NOR reset과 PFD reset을 모두 이용하기 위해 AND 연산을 시킨 신호를 주기적인 reset으로 이용하였다.

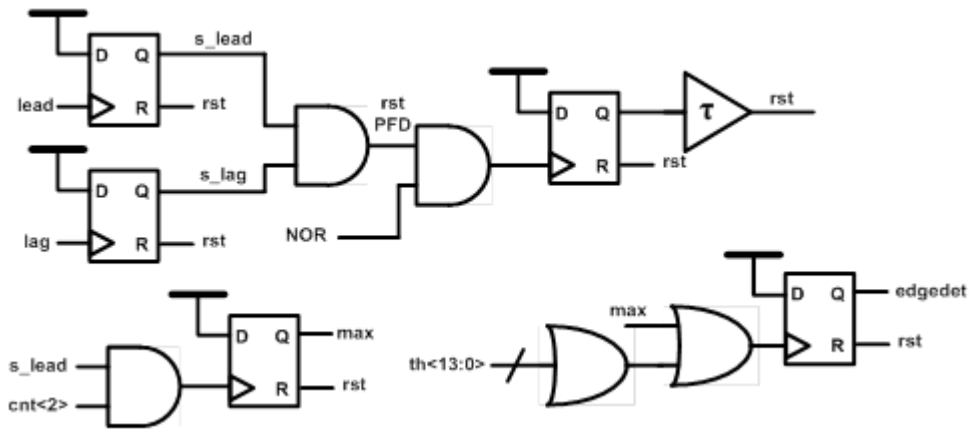


그림 3.8 Reset Generating Circuit의 구조도

두 클락 lead과 lag를 D Flip Flop을 이용해 샘플한 두 신호를 AND연산시킨 rstPFD 신호는 일반적인 PFD Reset이다. 이 신호를 lead와 lag를 NOR연산시킨 신호와 다시 AND연산시킨 뒤 샘플한 신호를 Reset으로 사용한다. 각각 샘플할 때 이용한 D Flip Flop들은 작은 delay 후 같은 Reset신호로 Reset된다.

max 신호는 TDC의 출력의 최대값, 즉 TDC를 통해 감지할 수 있는

최대의 시간 차이를 감지하였음을 의미하는 신호로 이 신호가 1일 경우 계산 시 출력으로 내보낼 수 있는 가장 큰 값을 내보낸다. 본 PLL에서 사용하는 기준 클락이 156.25MHz, 즉 6ns의 주기를 갖는다. 따라서 약 1.5ns의 크기를 최대로 간주하면 sign을 통해 결정하는 부호와 함께 계산할 경우 전체 주기의 절반에 해당하는 3ns를 감지할 수 있다. 즉, 한 클락의 rising edge 이후 1.5ns 이내에 다른 클락의 rising edge가 발생하지 않으면 max는 1이 된다.

edgedet신호는 Catch-Up, 즉 Ring 내부에서 따라 잡혔음을 나타내는 신호로 14-bit의 Arbiter 출력을 OR연산한 신호이다. max가 발생하였을 경우는 Ring에서 언제 따라잡았는지 여부를 고려하지 않으므로 이 때도 edgedet 신호를 1로 만든다.

이 NOR&PFD Reset, 그리고 max와 edgedet를 사용할 경우 위 그림 3.7에서 첫 번째 상황은 PFD에서 주파수 차이를 감지하므로 자동적으로 해결된다. 또한 그림 3.7의 세 번째 상황과 같이 lag가 lead보다 빠른 경우에 대해서도 다음과 같은 이유로 문제가 발생하지 않는다.

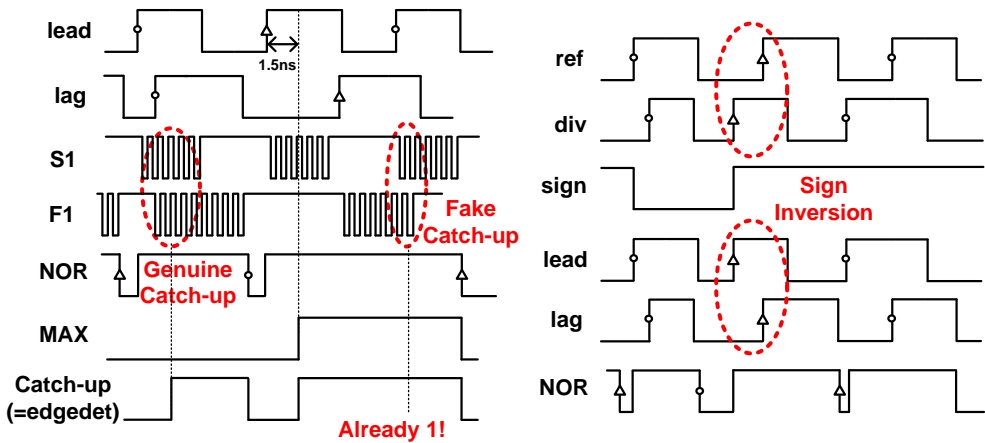


그림 3.9 NOR&PFD Reset을 이용한 그림 3.7의 문제상황 해결

먼저 lag가 lead보다 빠른 상황이 발생하는 이유를 살펴보면, lead와 lag의 주파수 차이에 의해 lead의 n번째 rising edge와 lag의 n-1번째 edge가 시간 차이가 반 주기보다 작은 상황일 때 NOR Reset은 이 두 rising edge의 시간 차이를 계산하기 때문이다. 이 때 그림 3.9의 첫 번째 그림의 lag가 실제 lag일 경우 가장 최근의 Reset이 발생한 이후 적어도 한 번 lead의 rising edge가 발생했음을 의미한다. 그러므로 반드시 그 lead의 rising edge 후 1.5ns 이후에 max신호가 1이 되고 edgedet 또한 1이므로 출력은 최대값으로 이미 결정되었기 때문에 이후에 발생하는 잘못된 Catch-Up 신호는 출력에 영향을 미치지 않게 된다.

만약 정상적으로 NOR를 이용한 Reset이 lag의 rising edge 이전에 발생할 경우 Pre-logic이 정상적인 동작을 하는 상황이라면 그림 3.9의 두 번째 그림과 같이 lag보다 lead가 빠르므로 Ring 내부에서 정상적인 Catch-Up 신호가 발생한다.

그림 3.7의 두 번째 그림과 같이 여러 주기 동안 Reset이 발생하지 않는 문제는 근본적으로는 해결되지 않는다. 다만 일반적으로 한 주기 이상 Reset이 발생하지 않는 경우는 위상 및 시간 차이가 반 주기인 3ns에 가까운 상황에서 주파수는 비슷한 경우인데, 이 경우 Reset이 한 번이라도 발생할 경우 그 이후부터는 1.5ns보다 큰 시간 차이 때문에 max 신호가 계속적으로 발생하므로 DCO 출력 클락의 주파수가 크게 변하리라고 기대할 수 있고 이는 곧 다시 Reset이 발생하지 않는 매우 작은 범위에 빠지지 않다고 보장할 수 있다.

3.2.4 2x Time Amplifier with Replica Calibration

Time Amplifier는 Two-Step TDC에서 사용하는 회로로, 두 신호의 시간 차이를 증폭시킨 신호를 출력으로 내보내는 역할을 한다. 앞에서 언급하였듯이 TDC의 성능지표인 Resolution과 Dynamic Range은 같은 구조에서는 한 쪽을 증가시키면 반대쪽은 그에 비례하여 감소할 수 밖에 없다. N배의 시간증폭률을 갖는 Time Amplifier를 이용하면 고정된 Resolution을 갖는 구조라도 시간 차이가 N배가 된 신호가 입력되므로 실질적으로 동작하는 Resolution은 1/N배가 되는 효과가 있다. 단 모든 입력에 대해서 시간을 증폭시키는 것은 Vernier delay를 줄여 resolution을 높이고 Dynamic Range를 감소시키는 것과 같은 영향을 끼친다. 즉 Dynamic Range에서의 손해 없이 Resolution을 증가시키는 방법은 충분히 작은 범위 내의 시간 차이가 나는 경우에 한해서만 Time Amplifier를 사용하고 범위 외의 시간 차이에 대해서는 사용하지 않도록 해, 큰 시간 차이에서는 원래의 Resolution 및 Dynamic Range에는 영향을 미치지 않는 것이다. 본 논문에서의 TDC는 2배의 증폭률을 갖는 Time Amplifier를 이용하여 10ps의 Vernier delay를 갖는 Ring을 이용함에도 5ps의 Resolution을 갖도록 설계하였으며, Dynamic Range에 영향을 주지 않기 위해 약 100ps 이내의 입력 값이 연속으로 16번 들어올 경우에만 Time Amplifier를 사용하도록 하였다.

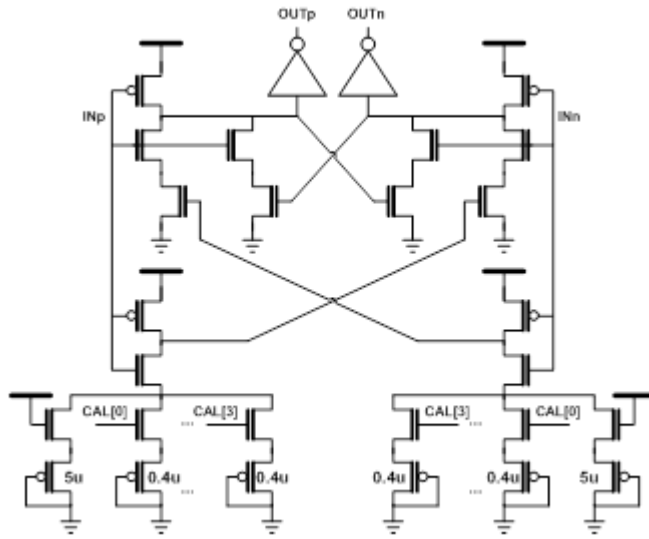


그림 3.10 2x Time Amplifier의 Schematics

위 그림 3.10은 2배의 증폭률을 갖는 시간 증폭기이다. 기본적으로 inverter의 구조이며, 최종 inverter의 입력 노드는 각각 두 쌍의 NMOS로 pull-down되는 구조이다. 그러나 INp 혹은 INn 중 하나의 입력이 먼저 0에서 1로 변하면 다른 쪽 입력의 하나의 pull-down path는 꺼지게 되고 늦게 들어온 입력은 하나의 NMOS로만 pull-down하게 되므로 falling time이 2배 가까이 되는 원리로 시간 차이를 증폭시킨다.

단 inverter의 characteristic function 상 단순히 falling time이 2배인 신호의 edge를 inverter를 통과시키면 2배 늦은 신호가 되지 않을 수 있다. 시간 차이가 클수록 falling time이 미치는 영향도 줄어들기 때문에 동작범위도 좁은 편이다. 따라서 이 2배 증폭기는 원리도 직관적이고 간단하게 구현할 수 있으나 좁은 범위에서 사용하며 증폭률이 부정확하다는 단점이 있다.

따라서 이 증폭기를 100ps의 좁은 범위에서만 사용하되 Calibration Replica를 이용한 보정과정을 거쳐 보다 2배에 가까운 증폭률을 얻도록 하였다.

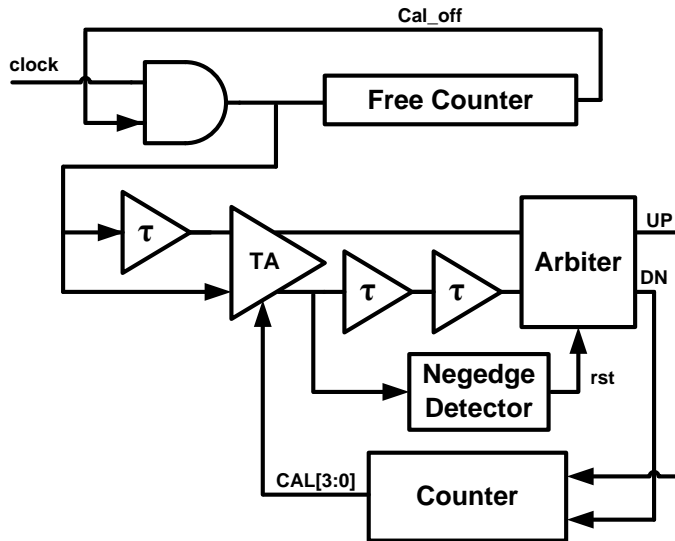


그림 3.11 Time Amplifier 내 Replica를 이용한 Calibration Logic

위 그림 3.11은 Time Amplifier의 시간증폭률을 최대한 2에 가깝게 보상하는 회로도이다. 기준 클락을 입력으로 받은 뒤, 한 경로로는 τ 만큼 시간 지연한 뒤 시간 증폭기를 통해 2배로 증폭시키고 다른 경로는 시간증폭기에서는 증폭되지 않은 채 2τ 의 시간 지연을 겪도록 한다. 이상적으로 시간증폭기가 2배에 가깝게 증폭시킬 경우 이 두 경로를 거친 신호는 시간 차이가 없다. 따라서 이 두 신호의 빠름과 느림을 통해 시간

증폭률을 알 수 있으며 증폭된 신호가 느릴 경우 증폭이 2배보다 많이 되었다는 뜻이므로 증폭률을 낮추고, 반대로 증폭된 신호가 빠를 경우 증폭이 2배보다 적게 되었다는 뜻이므로 증폭률을 높인다. 증폭률은 그림 3.10의 아래에 있는 PMOS current source를 얼마나 켜고 끄는지에 따라 pull-down하는 NMOS의 gate voltage의 방전속도가 결정되는 원리로 제어할 수 있다. 일정 시간이 지나면 증폭률은 2에 가깝게 lock이 된 뒤 제어하는 CAL값의 LSB만 반복적으로 진동하게 되며, 따라서 하나의 Counter로 시간을 측정해 일정 시간이 되면 그 때부터는 보상회로 자체를 꺼 불필요한 전력소모를 막도록 설계하였다.

3.2.5 Calculation Logic

본 논문에서 제시하는 TDC는 max신호를 바탕으로 이론적으로 무한한 시간 차이에 대해 출력값을 가지며, 선형적인 Dynamic Range는 약 2.4ns이다. 총 3가지의 동작모드가 존재하며, $\pm 1.2\text{ns}$ 보다 큰 범위의 시간 차이에 대해 max를 출력으로 내보내는 동작을 하는 Wide Range 모드, 10ps의 Resolution을 가지며 선형적인 시간 차이 감지가 가능한 Middle Range 모드, 그리고 같은 구조에서 Time Amplifier를 이용하여 5ps Resolution을 갖는 $\pm 100\text{ps}$ 범위의 Narrow Range 모드가 있다. TDC의 출력은 부호를 의미하는 sign비트와 더불어 8비트로 절대값을 표현하여 총 9비트의 출력을 DLF로 전송한다.

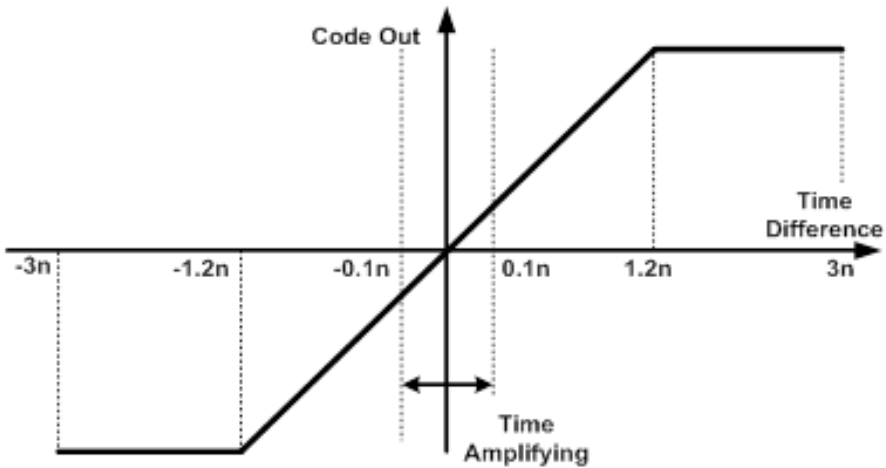


그림 3.12 TDC의 입력 시간 차이에 따른 출력 그래프

PLL 루프 내에서 하나의 계산값이 오실레이터에 반영되고, 반영된 클락이 입력으로 들어오는 데 걸리는 총 시간이 적을수록 Jitter특성이 좋다. 본 TDC에서 출력을 내보내는 데까지 걸리는 가장 긴 시간은 다음과 같다.

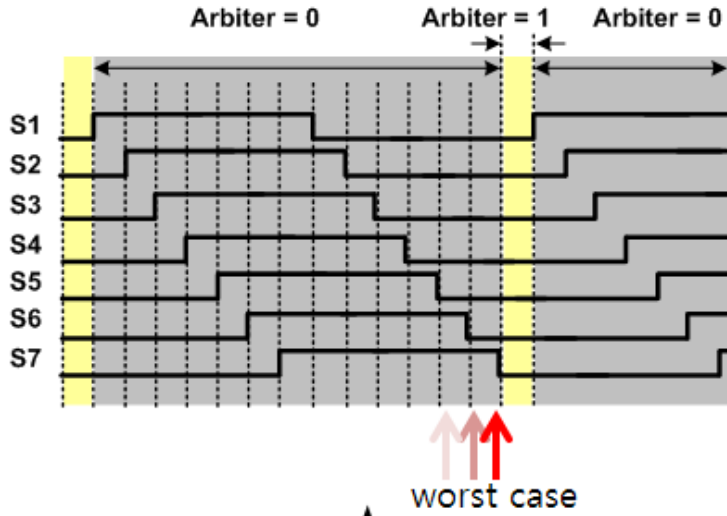


그림 3.13 두 개의 Ring의 신호가 따라잡는데 걸리는 시간이 가장 긴 경우의 시간차트

먼저 Arbiter는 빠른 Ring의 신호가 느린 Ring을 따라 잡은 그 순간을 감지해야 하므로 감지하는 범위가 좁아야 한다. 이를 위해 바로 직전 stage의 느린 Ring의 값이 뜬 시점부터 그 다음 느린 Ring의 값이 뜬 때까지 사이에 빠른 Ring의 값이 떴을 때만 출력으로 1을 내보낸다. 최악의 경우 그림 3.13과 같이 만약 바로 직전 느린 Ring보다 아주 조금 먼저 빠른 Ring에 신호가 입력되었다면 이 신호는 느린 Ring의 13/14를

따라잡아야 한다. 즉 640ps의 13/14인 600ps가 소모된다.

위 내용을 종합해 가장 일반적인 경우의 Vernier Ring TDC의 동작상태를 나타낸 신호차트는 다음 그림 3.14와 같다.

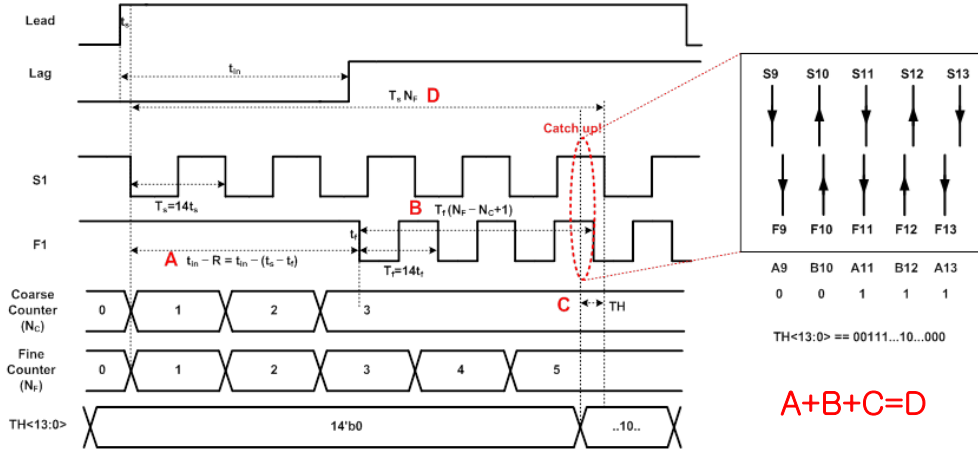


그림 3.14 일반적인 경우의 Vernier Ring TDC의 신호차트

pre-logic에서 결정된 lead와 lag신호가 Ring에 가해지면 Ring 내부는 진동한다. 이 때 느린 Ring의 첫 번째 신호인 S1으로 Counter를 동작시켜 신호가 Ring을 몇 바퀴 도는지 측정한다. Coarse Counter의 출력인 N_c값은 lag가 Ring에 가해질 때까지의 시간을 측정한다. Fine Counter의 출력인 N_f값은 Ring 내부에서 느린 신호가 빠른 신호를 따라잡을 때까지의 시간을 측정한다. Ring 내에서 따라잡은 위치에 대한 정보는 Thermometer Code의 형식으로 14비트의 TH값으로 결정된다. 이 3가지 변수가 모두 결정되면 위의 A, B, C 그리고 D의 관계에 따라 다음 식

3.1과 같은 방정식이 성립한다.

$$\begin{aligned}
 (t_{in} - R) + T_f(N_F - N_C + 1) + (TH + 1) \cdot R &= T_s \cdot N_F \\
 t_{in} &= -TH \cdot R + (T_s - T_f)N_F + T_f(N_C - 1) \\
 &= (14N_F - TH)R + T_f(N_C - 1)
 \end{aligned} \tag{3.1}$$

이 때 t_{in} 은 입력 시간 차이, T_f 는 빠른 Ring의 주기, T_s 는 느린 Ring의 주기, R 은 Resolution을 각각 의미한다. 아날로그 영역에서 결정한 N_C , N_F , TH 3가지 변수를 디지털 영역으로 안전하게 보내면 Hardware Description Language인 Verilog로 구현된 디지털 회로에서 위 3.1의 식으로 계산하여 출력을 DLF로 보내게 된다.

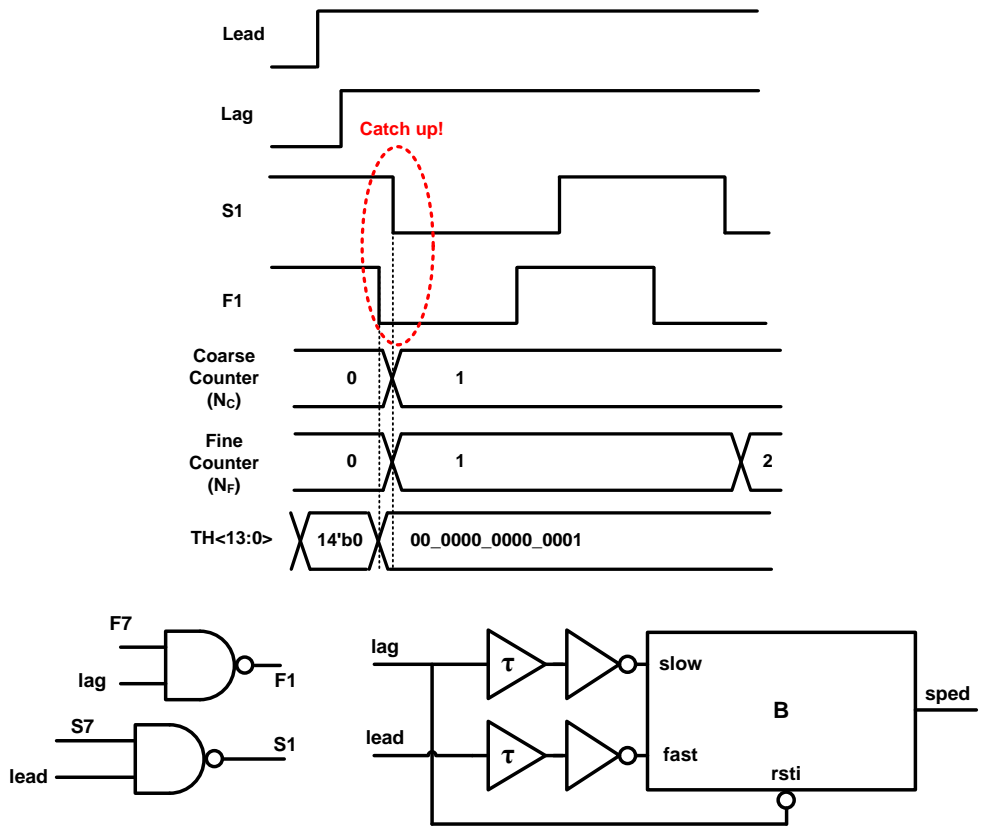


그림 3.15 S1과 F1, 그리고 작은 시간 차이를 감지하는 회로

한 가지 주의점은, 위에서 Counter들을 동작시키는 데 사용하는 신호는 느린 Ring의 S1이라는 신호이며, 동작 중인 Counter를 멈추는 데 사용하는 신호는 빠른 Ring의 F1이라는 신호이다. 이 신호들은 아래 그림 3.15의 왼쪽 그림과 같이 한 번 NAND delay cell을 통과한 신호들이다. 따라서 lead와 lag의 시간 차이는 S1과 F1에서 이미 Resolution인 10ps 만큼 감소한다. 만약 10ps보다 작은 시간 차이를 갖는 lead와 lag가 입

력으로 가해질 경우 F1이 S1보다 빠르기 때문에 Counter는 동작하기 전에 멈춰져 0을 출력으로 내보내고 이는 식 3.1에서 잘못된 값을 계산하게 한다.

수식 상 130ps 이내의 시간 차이에 대해서는 NC와 NF 모두 1을 가져야 하므로, 충분히 작은 시간 차이의 입력이 가해지면 이를 감지해 강제로 NC와 NF값을 1로 고정시키도록 구현하였다. 이 작은 시간 차이를 감지하는 회로를 Small Phase-Error Detector (SPED)라 부르고 그 구조는 위 그림 3.15의 오른쪽과 같다.

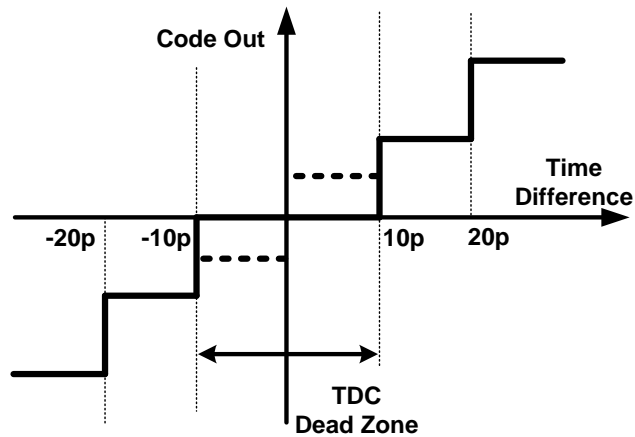


그림 3.16 TDC 출력의 Dead Zone

추가적으로 TDC의 출력은 Dead Zone이 존재한다. 일반적으로 Dead Zone이 그림 3.16과 같이 존재할 경우 lock에 가까운 상황에서 Resolution의 2배 가까운 시간 차이에 대해 차이를 감지 못하고 이는 모

두 출력 클락의 Jitter로 나타나기 때문에 Dead Zone 없이 0을 기준으로 Bang-bang으로 동작하도록 하는 것이 바람직하다. 이를 위해 PLL 루프에서 두 개의 proportional path를 만들고, DLF에 의한 proportional path와 별개로 TDC의 sign값에 의한 1LSB의 변화보다 작은 변화를 TDC에서 DCO로 바로 주입하도록 구현하였다. 주입되는 양은 외부에서 i²c를 통해 제어가 가능하며 그림 3.16에 점선으로 표현되었다.

3.3 Digitally-Controlled Oscillator

Digitally-Controlled Oscillator (DCO) 는 Digital Loop Filter 의 출력인 디지털 신호로 출력 클락의 주파수를 제어하는 기능을 하는 오실레이터이다. 구조적으로는 보통의 PLL에서 사용하는 VCO와 크게 다르지 않은 Ring Oscillator 혹은 LC Oscillator를 사용하는 것이 일반적이다. LC Oscillator의 경우 Ring Oscillator보다 Q factor가 크고 K_{VCO} 가 작게 설계할 수 있어 noise특성에서 우수한 성능을 가지나, 반대로 넓은 범위의 주파수영역에서 동작시키기에 적합하지 않고 인덕터의 사용으로 큰 면적을 차지하게 된다.

본 논문에서는 다양한 모드에서 동작시켜 최저로는 약 5.5GHz부터 최고로는 약 12GHz까지의 넓은 주파수영역을 다루므로 Ring Oscillator가 보다 적합하다. DCO는 디지털 코드로 저항의 행렬을 제어하여 바이어스 전압의 크기를 바꿔 주파수를 제어하며, 그 구조는 다음 그림 3.17과 같다.

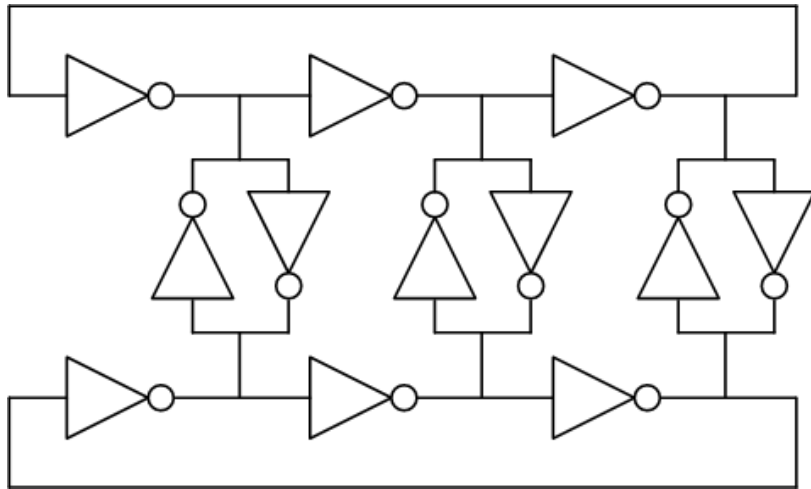
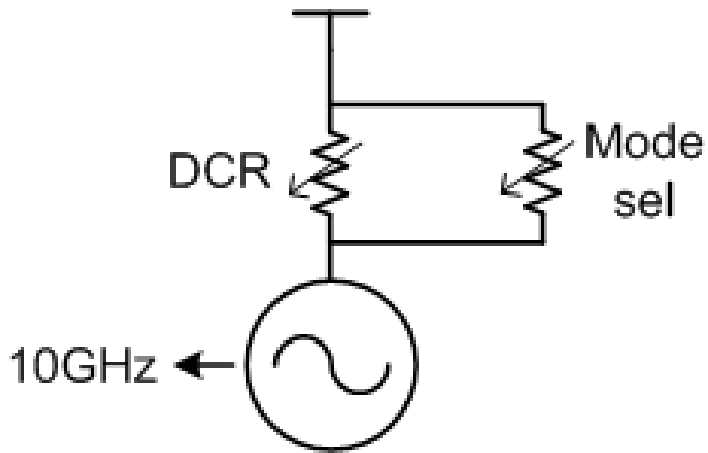


그림 3.17 3-stage Digitally-Controlled Ring Oscillator의 구조도

DLF의 출력 코드가 PMOS로 이루어진 저항을 제어하여 Ring 내부의 Inverter들의 바이어스 전압을 결정하며 전압이 낮을수록 rise/fall time 이 감소하여 출력클락의 주파수가 낮아지게 된다. 일반적으로 다 위상 클

락 (Multi-phase Clock)이 필요한 시스템에서는 4단으로 구성하여 각각 90도의 위상 차이를 갖는 4개의 클락을 생성시키는 경우가 있다. 본 논문에서 구현한 ADPLL은 다 위상 클락이 필요하지 않고 10GHz은 4단 Ring Oscillator로는 동작시키기 까다롭다는 문제가 있어 3단으로 구성하였다.

3.4 Digital Loop Filter and Divider

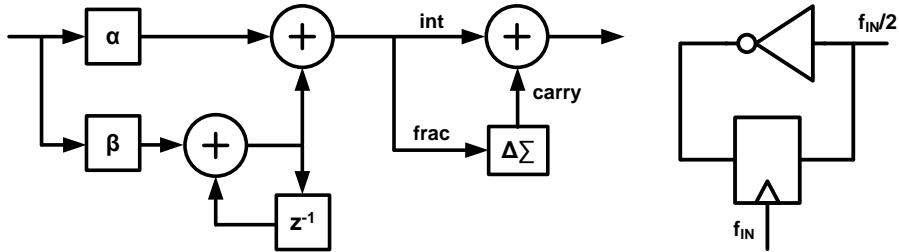


그림 3.18 Digital Loop Filter와 Divider의 Block Diagram

Loop Filter는 PFD 등 오류를 감지한 회로에서 보내오는 신호를 VCO에 전달할 수 있도록 신호를 변환시키는 역할을 하는 회로이다. CPPLL의 경우 PFD에서 펄스의 시간 폭에 따라 그 크기를 결정하는 것이 일반적이는데 이를 고정된 양으로 만들기 위해 Charge Pump와 캐패시터를 이용해 펄스를 DC전압으로 변환한다.

CPPLL에서의 Loop Filter는 보통 패시브 소자인 저항과 캐패시터를 이용해 구현하는데 저항은 proportional path, 즉 VCO전압에 직접적으로 반영되는 크기를, 캐패시터는 integral path, 즉 VCO전압에 누적시켜 평균적으로 반영되는 크기를 나타낸다. 그러나 일반적으로 큰 값의 캐패시터를 요구하고 집적회로에서 캐패시터는 굉장히 큰 면적을 차지하므로 사용하지 않을수록 면적 측면에서 좋다.

이에 ADPLL에서는 RC Loop Filter와 기능적으로 같은 역할을 하면서도 패시브 소자를 사용하지 않아 훨씬 적은 면적을 차지하는 Digital

Loop Filter를 사용한다. 그림 3.18과 같이 proportional path의 크기를 나타내는 α 와 integral path의 크기를 나타내는 β 가 존재한다.

앞서 언급하였듯이 DCO와 VCO의 차이점은 연속적인 값을 가지는 캐패시터에 걸린 DC전압을 사용하여 제어하는 VCO와는 달리, 각각의 path를 거치며 계산된 출력을 디지털 코드의 형태로 제어하는 DCO에서는 양자화 오류가 반드시 발생하며 이는 직접적으로 PLL 전체의 성능을 감소시킨다. 따라서 이 양자화 오류를 최소화시키기 위해 Delta-Sigma Modulator (DSM) 을 추가해 양자화 오류로 인해 발생한 오류를 누적시켜 누적된 값이 1LSB보다 커지면 출력 디지털 코드에 반영시키도록 하였다.

Divider는 상대적으로 높은 주파수의 출력 클락과 낮은 주파수의 기준 클락을 PFD 혹은 TDC에서 비교하기 위해 출력 클락의 주기를 증가시켜 주는 역할을 한다. 일반적인 D Flip Flop을 이용하여 그림 3.18과 같이 2등분의 Divider를 구현할 수 있으며, 본 ADPLL에서는 디지털 영역에서는 16, TDC에서는 64로 나눈 클락을 사용하므로 모두 2의 거듭제곱 꼴로 나타낼 수 있다. 따라서 D Flip Flop을 이용한 2분 Divider를 직렬로 연결해 사용하였다.

3.5 Clock Domain Crossing

앞서 3.2 절에서 TDC의 구조 상 기준 클락을 사용하는 영역과 디지털 클락을 사용하는 영역이 구분되어 있고 두 영역 간 신호의 전달에서 신호의 변형이나 손실이 있을 수 있음을 언급하였다.

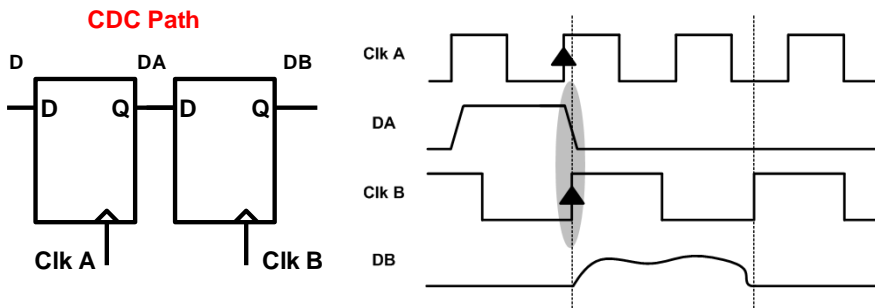


그림 3.19 클락 영역의 경계에서 발생하는 준안정 (Metastability)

그림 3.19 의 신호 DB와 같이 디지털 신호가 0 또는 1로 명확하게 구분할 수 없는 값을 가지게 될 경우 이 신호가 준안정 (Metastability) 하다고 한다. 신호가 준안정해지면 신호의 손실이 발생할 수 있으므로 이에 대한 영향을 최소화시켜야 한다.

일반적으로 ADPLL에서 TDC는 기준 클락 영역, DLF는 디지털 클락 영역에서 동작하므로 TDC의 출력 신호를 DLF에서 받아 샘플할 때 위와 같은 준안정 문제가 발생할 수 있다. 본 논문의 TDC는 내부에 디지털 클락 영역이 존재하므로 실질적인 클락 영역의 경계는 TDC 내부에 있다.

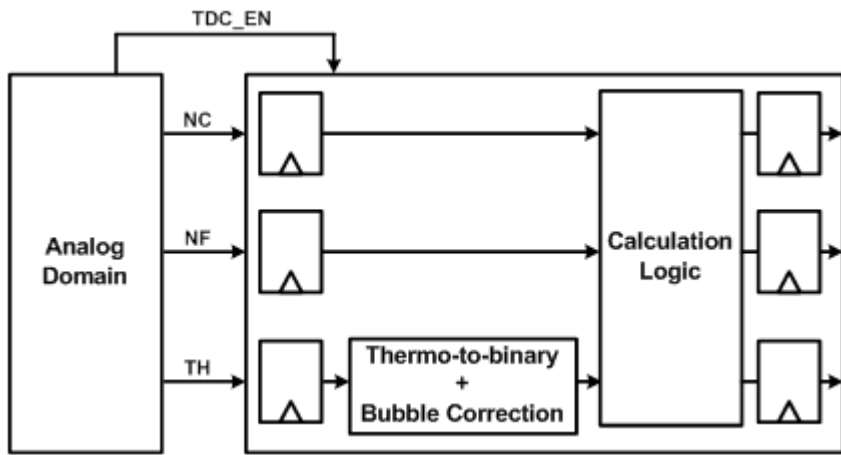


그림 3.20 아날로그와 디지털 클럭 영역 경계

그림 3.20과 같이 아날로그 영역은 156.25MHz에 가까운 기준 클럭에서 동작하며 이에 맞춰 NC, NF, TH 등 시간 차이를 Calculation Logic에서 계산하기 위해 필요한 변수들을 결정한다. 이 변수들과 동기화 되어 있지 않은 디지털 클럭으로 샘플하면 불안정해질 수 있다. 이를 방지하기 위해 아날로그 영역에서는 TDC_EN이라는 신호를 디지털 영역으로 보내 주는데 이 신호는 아날로그 영역에서의 edgedet를 약간의 시간지연시킨 신호이다.

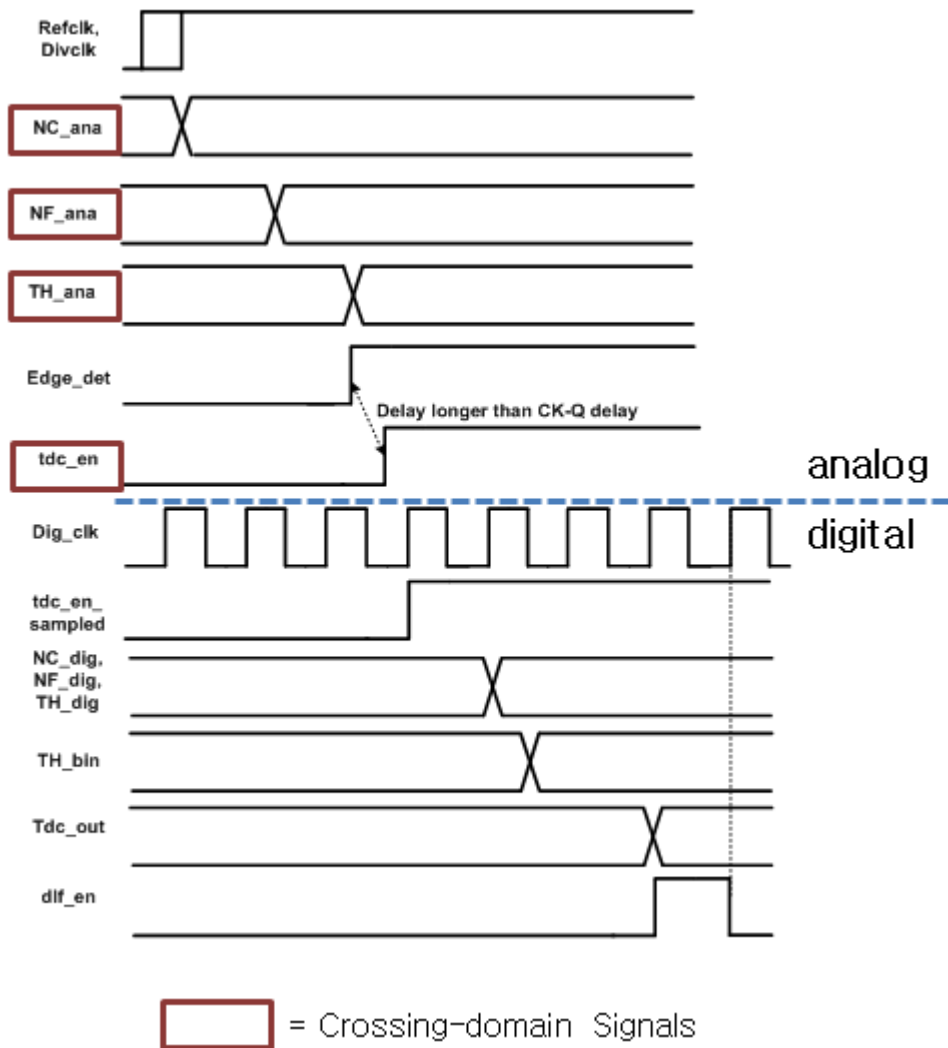


그림 3.21 아날로그 및 디지털 클럭 영역간 신호 시간차트

edgedet는 그림 3.8에서와 같이 Ring 내부에서 따라잡았거나 혹은 일정 시간 동안 lag가 입력되지 않았을 때 1이 되는 신호이다. Ring 내부에

서 lag가 lead를 따라잡았다면 Thermometer (TH) 값은 이미 결정되었음이 보장되며, NF Counter의 출력 또한 edgedet로 샘플하므로 edgedet보다 CK-Q delay만큼만 늦다면 NF의 값 또한 edgedet 이후 결정되었음이 보장된다. NC 값은 lag가 들어왔을 때 고정되므로 edgedet보다 한참 전에 고정된다. 따라서 그림 3.21과 같이 edgedet를 시간지연시킨 TDC_EN를 디지털 영역의 클락으로 샘플한 신호는 반드시 NC, NF, TH가 고정되었고 샘플해도 안전함을 나타낼 수 있다.

이와 흡사한 문제는 NC와 NF를 결정하는 Counter에서도 발생한다. Counter들은 아래 그림 3.23의 Block Diagram과 같이 S1의 falling edge마다 1씩 증가하며 Coarse Counter (NC)는 F1이 처음으로 0이 될 때, Fine Counter (NF)는 edgedet가 1일 때 샘플되어 출력되는 구조로 되어있다. 이 때 S1은 Slow Ring 내부에서 진동하고 F1은 Fast Ring 내부에서 진동하므로 전혀 시간적 연관성 없이 비동기화 (Asynchronous) 되어있다. edgedet 또한 두 Ring 내부에서 신호들이 따라잡았을 때 1이 되는 신호로 S1과 비동기화되어 있다. 따라서 S1으로 동작하는 Counter를 각가 F1과 edgedet로 샘플할 경우 그림 3.23의 아래 시간차트와 같이 Counter값이 변하는 순간에 샘플할 수 있고 샘플된 Counter값은 준 안정해지거나 변하기 전 혹은 후 값이 아닌 전혀 다른 값으로 샘플될 수 있다. NC와 NF 모두 식 3.1에서 비교적 큰 값에 곱해지므로 잘못 샘플되면 계산된 시간 차이에 큰 오차가 생길 수 있다.

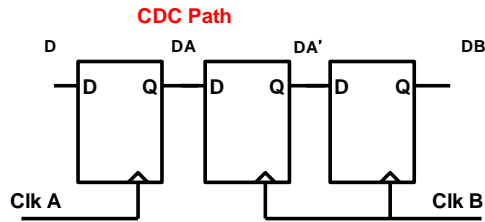


그림 3.22 2 Flip Flop Synchronizer

이 문제를 해결하는 방법 중 하나는 두 비동기화된 신호를 동기화 (Synchronize) 시켜 불안정 문제가 발생하지 않도록 하는 것이다. 이 경우 하나의 신호를 다른 쪽 클럭으로 샘플해 불안정하지 않은 신호를 만든 뒤 그 신호로 샘플하는 방법을 생각해볼 수 있다. 1비트 신호의 동기화에 가장 흔히 사용하는 그림 3.22와 같은 2-Flip-Flop Synchronizer는 첫 번째 Flip Flop의 출력인 DA'에서 불안정한 신호가 발생하지만 이를 높은 전압이득을 갖는 Flip Flop을 한 번 더 통과시켜 불안정해진 신호를 0 또는 1로 고정시키는 것이 이 회로의 동작원리이다. 그러나 이 과정에서 비트가 뒤집힐 경우 Counter가 아예 샘플을 하지 않아 매우 큰 오차를 발생시키게 된다. 따라서 이 문제는 모든 경우에 대한 완벽한 해결은 불가능하다.

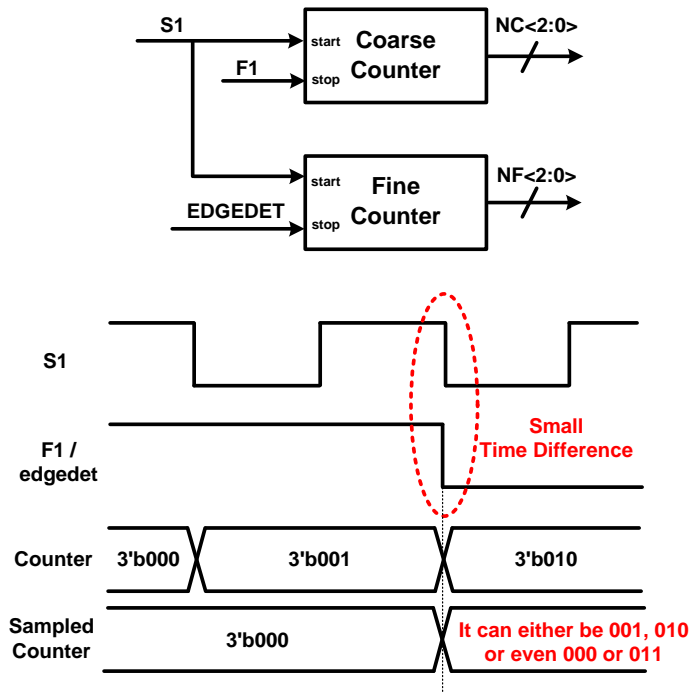


그림 3.23 Counter의 구조와 클럭 영역 경계 문제 시간차트

이 문제에 의한 피해를 최소화하기 위해서는 Counter 출력이 바뀔 때 바뀌는 비트 (bit transition)의 수를 최소화시켜 준안정해질 수 있는 신호의 수를 최소화해야 한다. 예를 들면 Counter가 1에서 2로 바뀔 때 001에서 010으로 바뀔 때 2개의 비트가 변하므로 출력으로는 001, 010 뿐 아니라 000 혹은 011으로 결정될 수 있기에 문제가 심각하다. 그러나 그림 3.24과 같이 Gray Code를 사용할 경우 숫자가 1씩 증가할 경우 항상 비트는 1개만 변하므로 준안정 신호에 의해 비트가 뒤집혀도 그 오차는 항상 1이다.

Decimal	Binary	Gray	Decimal	Binary	Gray
0	00000	00000	10	01010	01111
1	00001	00001	11	01011	01110
2	00010	00011	12	01100	01010
3	00011	00010	13	01101	01011
4	00100	00110	14	01110	01001
5	00101	00111	15	01111	01000
6	00110	00101	16	10000	11000
7	00111	00100	17	10001	11001
8	01000	01100	18	10010	10001
9	01001	01101	19	10011	10000

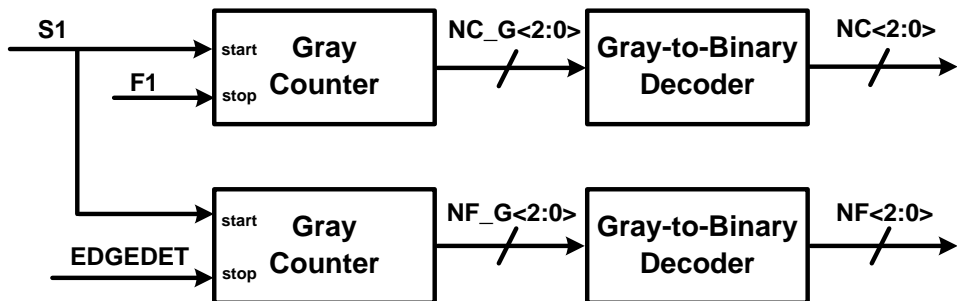


그림 3.24 Gray Code와 이를 Counter에 적용한 Block Diagram

따라서 위 그림 3.24와 같이 Counter를 Gray Code로 출력을 내보내는 Gray Counter를 사용한 뒤, 이를 디지털 영역에서 TH를 Thermometer-to-Binary 연산을 하는 것과 같이 NC_G를 NC로, NF_G를 NF로 Gray-to-Binary 연산을 하도록 하였다.

제 4 장 Simulation Result

구현한 회로들의 동작과 성능을 검증하기 위해 시뮬레이션을 수행하였다. TDC의 동작을 HSpice를 통해 검증하였고, ADPLL은 Verilog를 이용한 Modeling을 이용하여 검증하였다.

4.1 TDC Simulation Result

TDC에서 검증해볼 사항은 크게

- 1) NC, NF, TH가 원하는 값이 나오는지,
- 2) NC, NF, TH가 디지털 영역에서 잘 샘플 되는지,
- 3) 계산된 값이 실제 시간 차이와 일치하는지,
- 4) Time Amplifier를 사용할 수 있을 때 잘 동작하고 실제로 resolution이 1/2로 감소하는 효과가 얻어지는지 이다.

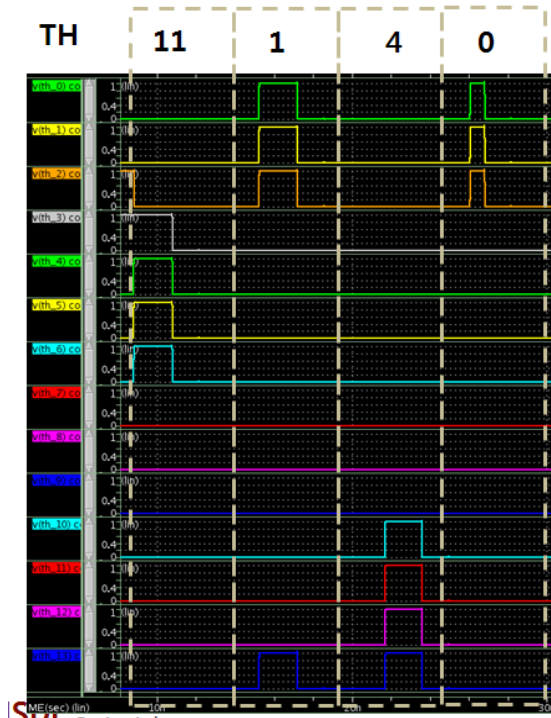
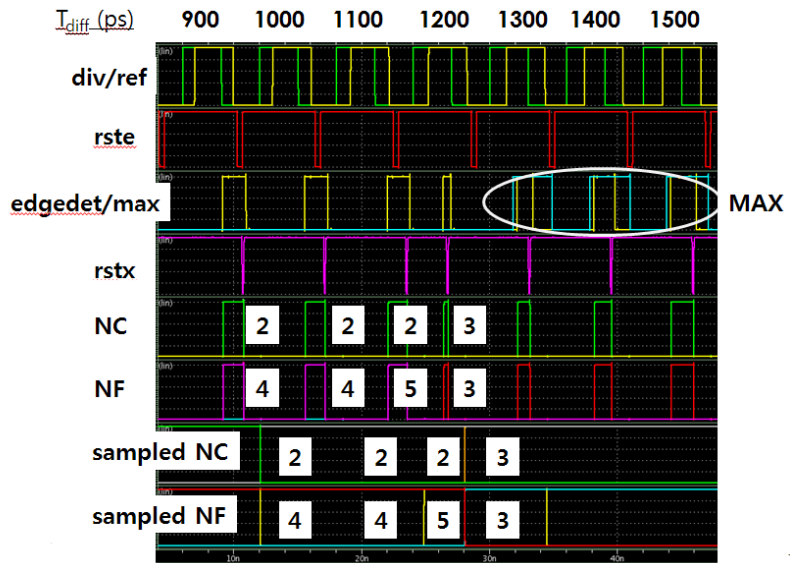


그림 4.1 NC, NF, TH 값 결정과 샘플된 값

NC, NF, TH는 그림 4.1에서와 같이 900ps부터 100ps씩 시간 차이가 증가할 때 제대로 된 값을 출력한다. MAX 신호 또한 약 1220ps부터 발생하도록 설계하였으며 1300ps 부터는 MAX가 1이다.

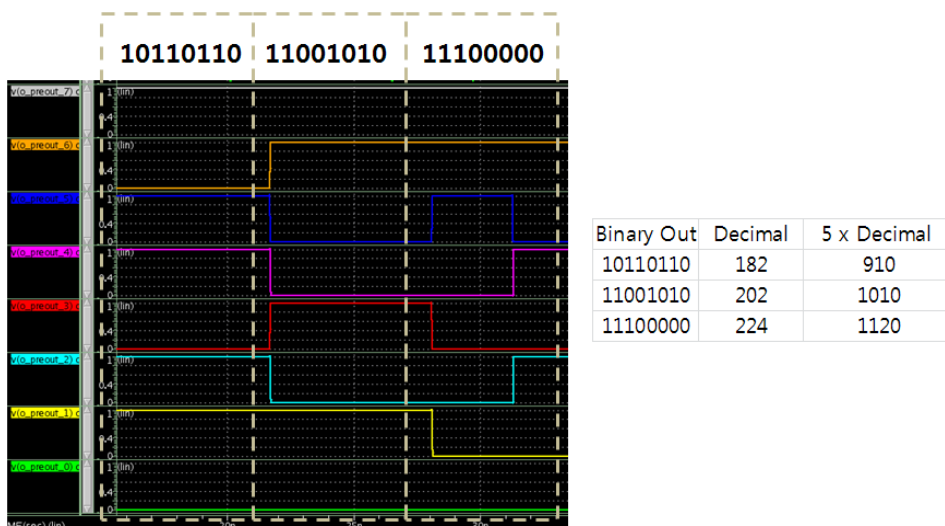


그림 4.2 NC, NF, TH에 따른 Calculation Logic 출력

앞에서와 같이 900ps, 1000ps, 1100ps의 입력에 따른 계산 결과값은 위 그림 4.2와 같으며 계산 결과 2%이내의 오차로 입력 시간 차이와 일치함을 알 수 있다. 이 차이는 Resolution이 10ps에 가까우나 정확하지 않고 그 오차가 여러 stage를 거치면서 누적되기 때문이다.

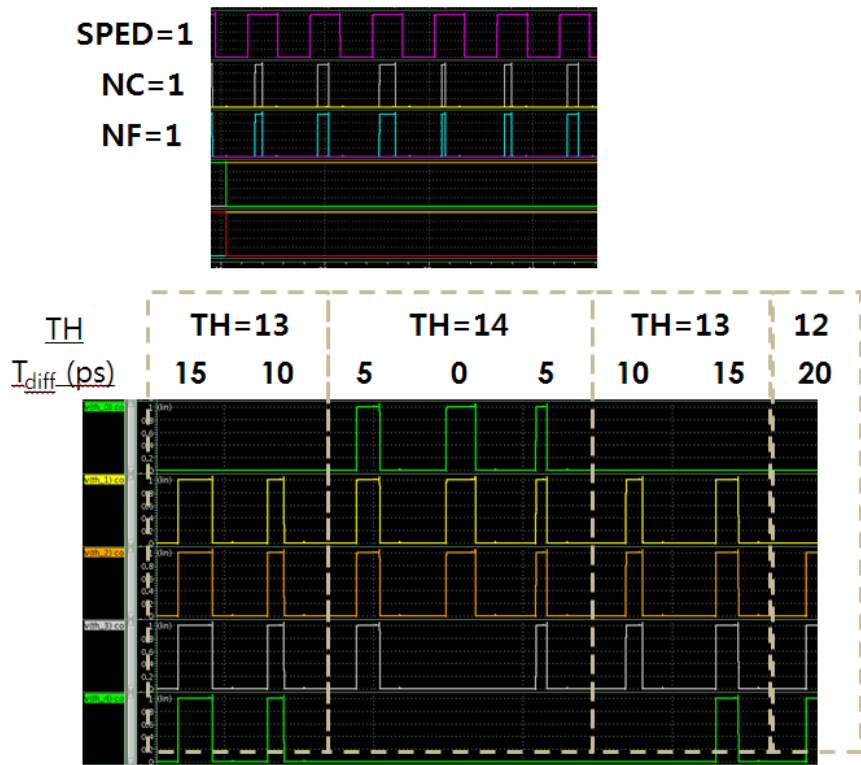


그림 4.3 Time Amplifier가 꺼진 상황에서의 10ps Resolution

Time Amplifier가 꺼진 경우에는 10ps의 Resolution을 가져야 하며 위와 같이 시간 차이를 15ps부터 5ps씩 감소시킬 경우 2번 변할 때 마다 TH가 바뀌는 것을 확인할 수 있다. 이 때 시간 차이가 작기 때문에 Small Phase Error Detection (SPED) 신호가 뜨고 NC와 NF는 Counter값을 샘플하지 않고 무조건 1로 결정한다.

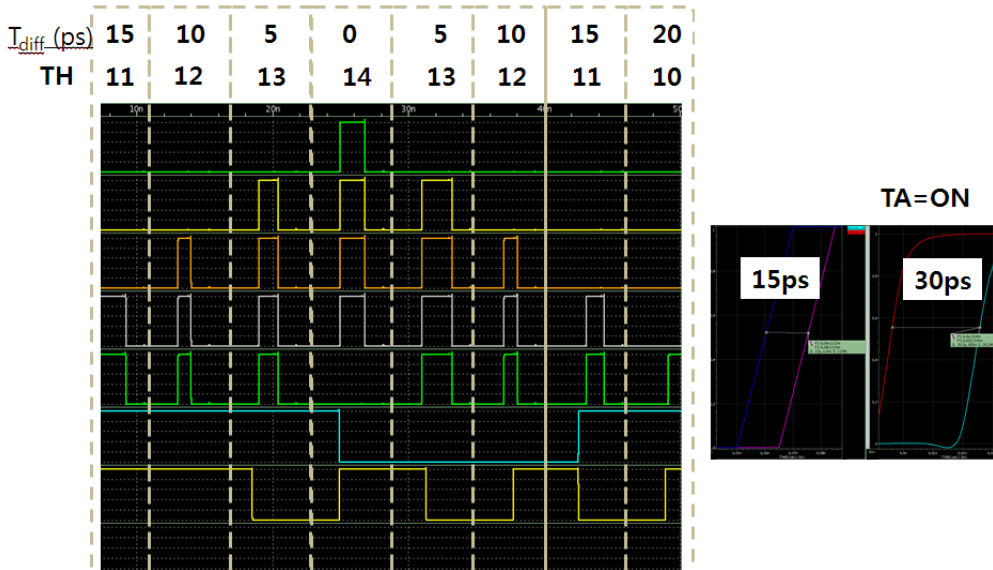


그림 4.4 Time Amplifier가 켜진 상황에서의 5ps Resolution

Time Amplifier가 켜지면 실질적인 Resolution은 5ps가 되며 위와 같이 15ps 부터 5ps 변할 때 TH가 매번 1씩 변하며 5ps 차이를 정상적으로 감지해냄을 알 수 있다.

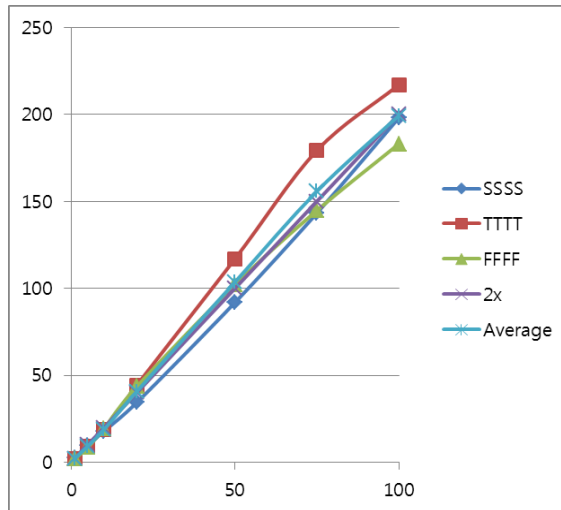


그림 4.5 Time Amplifier의 100ps 이내의 입력에 대한 출력

Time Amplifier는 100ps 이내의 입력에서 선형특성이 좋아 100ps 이내의 입력이 16번 반복적으로 입력될 때만 사용하도록 설계하였다. 위와 같이 100ps 이내에서는 2에 가까운 증폭률을 보인다. 입력 시간 차이가 커질수록 느린 쪽의 Gate 전압이 방전할 충분한 시간이 주어지기 때문에 2보다 작은 일정한 증폭률에 고정된다.

4.2 ADPLL Modeling

ADPLL은 analog PLL과는 달리 building block에서 digitalize하면서 발생하는 quantization noise가 있으며, 이러한 quantization noise가 출력 DCO의 phase noise에 영향을 미치게 되어 곧 ADPLL의 전체 성능에 영향을 미친다.

$$S_{\phi_{out,TDC}}(f) = \frac{(\Delta t_{TDC})^2}{12} \cdot \frac{1}{f_{ref}} \cdot \left(\frac{2\pi}{T_{DCO}}\right)^2 \cdot |G(f)|^2$$

$$S_{\phi_{out,DCO}}(f) = \frac{1}{12} \cdot \frac{1}{f_{dth}} \cdot \left(\text{sinc} \frac{f}{f_{dth}}\right)^2 \cdot \left(\frac{\Delta f_{DCO}}{f}\right)^2 \cdot |1 - G(f)|^2$$

$$S_{\phi_{out,DCO-DSM}}(f) = \frac{1}{12} \cdot \frac{1}{f_{dth}} \cdot \left(2 \sin \frac{\pi f}{f_{dth}}\right)^{2n} \cdot \left(\frac{\Delta f_{DCO}}{f}\right)^2 \cdot |1 - G(f)|^2$$

-110dBc/Hz@10MHz offset

위 식들은 각각 TDC의 quantization noise, DCO의 quantization noise, DCO의 dithering noise가 DCO의 출력 단 phase noise에 영향을 미치는 것을 수식적으로 표현한 것이다. TDC의 quantization noise는 reference frequency가 높을수록 작아지고, TDC의 time resolution이 작을수록 낮아짐을 알 수 있다. DCO의 quantization noise는 dithering frequency가 빠를수록 낮아지고, frequency resolution이 작을수록 낮은

noise를 가지는 것을 알 수 있다. 또한 DCO dithering noise는 DCO 앞단의 frequency resolution을 높이기 위하여 사용하는 delta-sigma modulator(DSM)의 dithering effect를 표현한 값으로, dithering frequency가 높을수록, frequency resolution이 낮을수록 noise가 낮아짐을 알 수 있다. 마지막 $-110\text{dBc/Hz}@10\text{MHz}$ offset은 DCO에서 발생하는 natural noise를 뜻하며, 이는 ring-type oscillator를 구현할 경우에 자연적으로 발생하는 noise level이다.

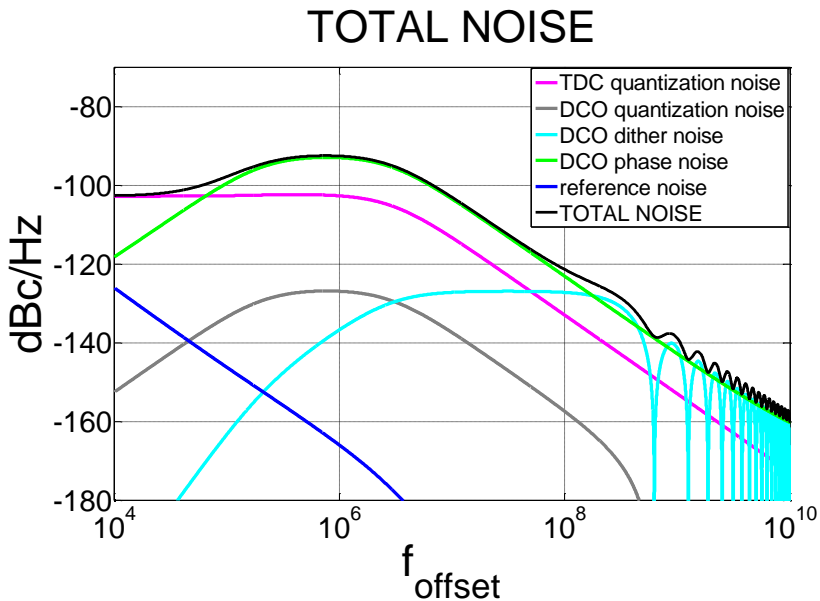


그림 4.6 전체 ADPLL의 Noise Source들과 전체 Noise의 PSD

위의 각 noise들을 DCO 출력 단에서 phase noise를 구하여 보면 다음 그림 4.6과 같다. TDC의 quantization noise level은 flat하게 -105dBc 정도의 값을 가지며, loop filter에 의해서 low-pass filtering되는 것을

확인 할 수 있다. 이 때, TDC의 quantization noise는 in-band noise에 dominant하게 영향을 미치며, -105dBc 의 phase noise level을 만들기 위해서는 reference frequency가 156.25MHz 일 때, 약 5ps 의 time resolution을 가져야 한다.

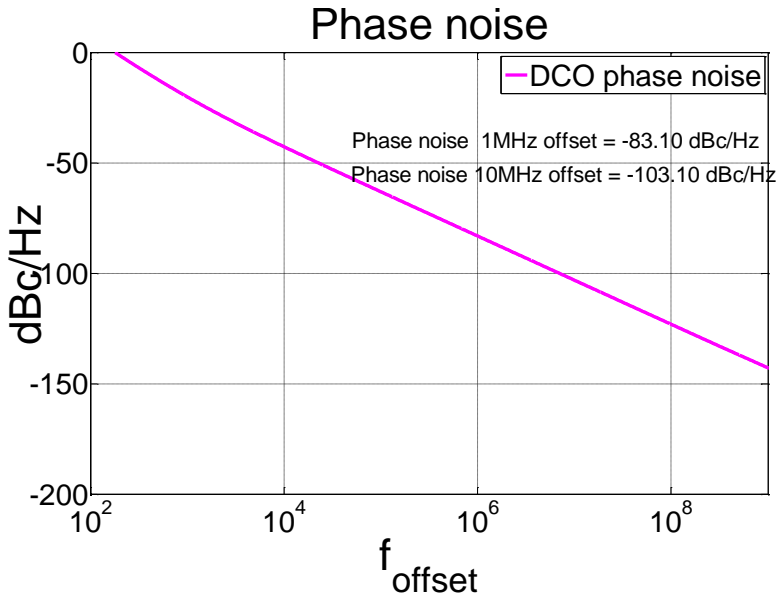


그림 4.7 DCO의 phase noise

DCO의 phase noise는 다음과 같이 예측한 바와는 다소 다른 1MHz 에서 -83dBc/Hz , 10MHz 에서 -103dBc/Hz 를 갖는 것으로 설계되었다. 이 수치는 layout 후 기생성분을 고려한 noise값으로 이 수치를 Verilog로 모델링된 DCO에 추가하고 시뮬레이션을 진행했다.

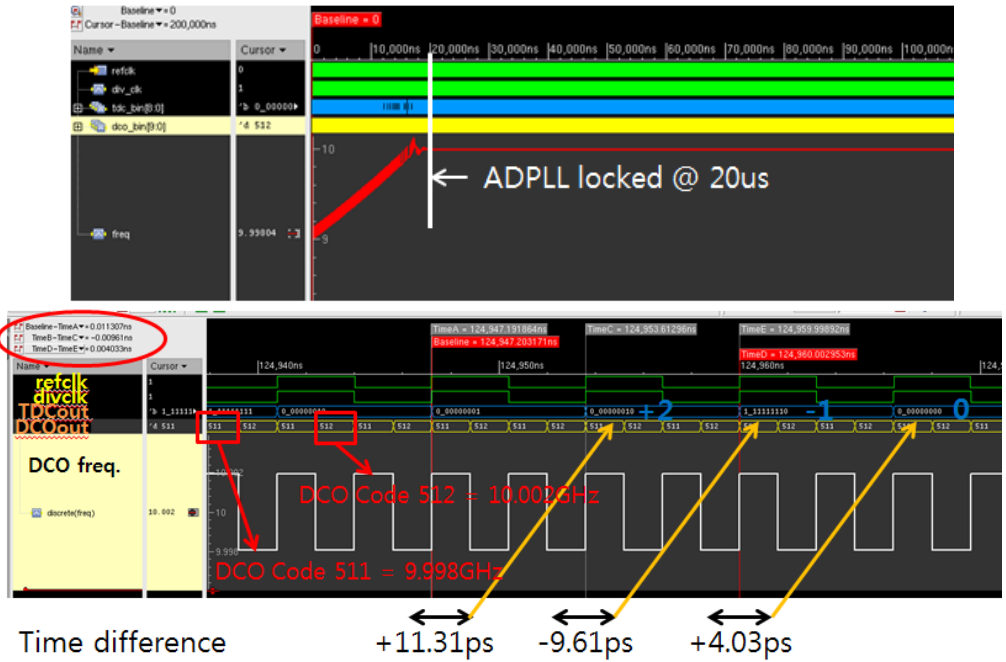


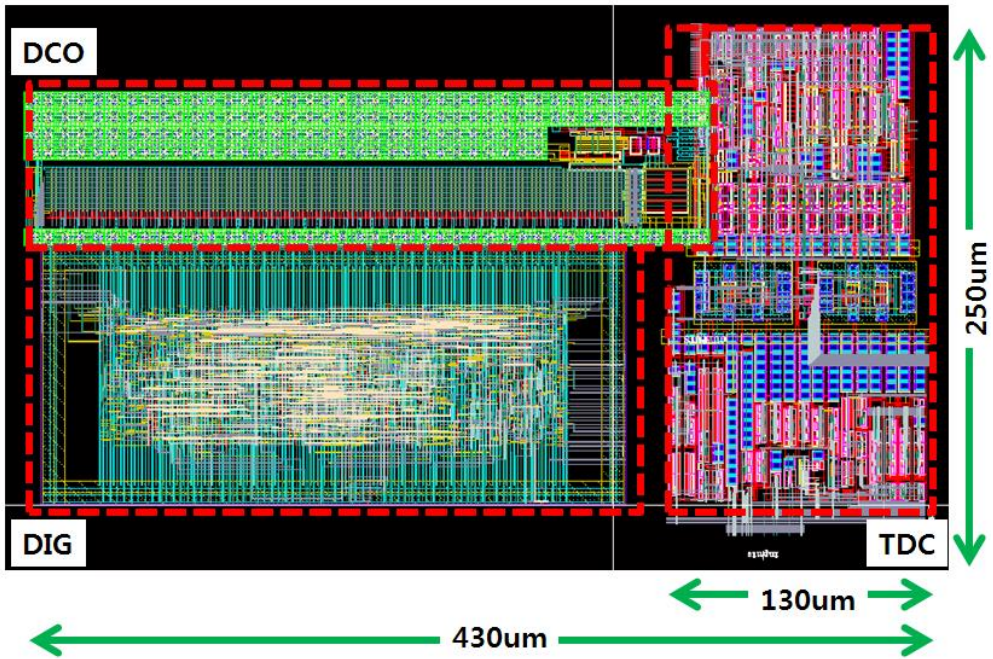
그림 4.8 Verilog 시뮬레이션에서의 lock

ADPLL에서 TDC의 디지털 영역이나 DLF와 같은 디지털 회로들과 함께 TDC의 아날로그 영역, DCO, Divider 등 아날로그 회로들을 Verilog HDL로 모델링하여 시뮬레이션을 수행하였다. 약 9GHz에서 시작하여 전체 PLL시스템이 lock을 하는데 소모되는 시간은 약 20us이다. 이는 시작조건과 DLF 상수에 의해 바뀔 수 있다.

출력은 5ps resolution을 갖도록 TDC의 출력이 나오고 이 값들이 디지털 회로의 latency인 디지털 클락의 3주기만큼 뒤에 DCO에 반영됨을 알 수 있다.

4.3 Performance

ADPLL의 Layout은 다음 그림과 같다. TDC 및 DCO의 layout은 full custom으로 진행되었으며 DIG 영역은 PNR 과정을 통해 구현되었다.



전체 ADPLL의 성능은 다음과 같다.

	Spec
Operation Frequency	10GHz (5.5~12)
TDC Resolution	5ps
TDC Dynamic Range	±1280ps
DCO phase noise	-83dBc/Hz @ 1MHz
Total RMS Jitter	1.5ps

전력소모와 면적수치를 정리하면 다음과 같다.

	Power Consumption	Area (um X um)
TDC	6mW	130 X 250
DCO	6mW	350 X 100
DLF+DIG+DIV	6mW	300 X 130
Total (Active)	18mW	430 X 250

제 5 장 Summary

본 논문에서는 아날로그 PLL이 가진 단점을 극복하기 위한 ADPLL에 있어 상대적으로 적은 크기와 전력소모를 갖는 Time-to-Digital Converter (TDC)를 이용하여 설계하였다.

TDC는 Time Amplifier를 이용하여 같은 구조를 사용하면서 Wide Dynamic Range와 Fine Resolution을 동시에 추구하였으며, Vernier Ring 구조를 이용하여 적은 stage의 delay cell을 재활용하여 같은 Dynamic Range를 갖는 Vernier Line TDC에 비해 작은 면적을 차지하는 TDC를 구현하였다.

참고 문헌

- [1] R. E. Best, *Phase-Locked Loops-Design, Simulation, and Applications*, 5th edition, San Francisco: McGraw-Hill, 2003, pp. 1-5
- [2] 김덕수, *Design of All-Digital PLL Using Adaptive Loop Gain Controller*, 2011, Ph.D Thesis
- [3] M. Perrott, *A Modeling Approach for Σ - Δ Fractional-N Frequency Synthesizers Allowing Straightforward Noise Analysis*, 2002, JSSC
- [4] Jianjun Yu, et al, *A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 μ m CMOS Technology*, 2010, JSSC
- [5] Seon-Kyoo Lee, et al, *A 1GHz ADPLL with a 1.25ps Minimum-Resolution Sub-Exponent TDC in 0.18 μ m CMOS*, 2010, JSSC
- [7] 오도환, *A Study on Design of All-Digital Phase-Locked Loops*, Ph.D Thesis, 2009

Abstract

As computer and electronic communication technology innovate themselves, there have been a tremendous amount of researches to improve data transfer protocol and data rate. A majority of communication systems make use of phase-locked loops (PLL) to synthesize clock with target frequency. PLL using charge pumps has been improved significantly but due to its capacitor and all kinds of mismatches that degrade performance, people have done research to look for candidates to replace analog PLL. All-Digital PLL is one of leading ones.

In this paper, ADPLL to synthesize 10GHz clock for 20Gbps high-speed transceiver is presented. It uses a time-to-digital converter which allows detecting wide time range with only small area occupied.

This circuit is implemented in 65nm process and its area is $400 \times 250 \mu\text{m}^2$. ADPLL operates at 10GHz but also in other frequencies: from 5.5GHz to 12GHz. It consumes 17mW power in total: 5mW for TDC, 6mW for digital domain including DLF, and 6mW for DCO.

Keywords : All-Digital PLL (ADPLL), Digitally-Controlled Oscillator (DCO), Time-to-Digital Converter (TDC)

Student Number : 2011-23384