creative commons
COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학박사학위논문

공진형 스위칭 셀을 이용한 고주파 싱글 엔디드 DC-DC 컨버터의 모델링 및 설계

2018년 2월

서울대학교 대학원

전기 컴퓨터 공학부

이 경 환

공진형 스위칭 셀을 이용한 고주파 싱글 엔디드 DC-DC 컨버터의 모델링 및 설계

지도 교수 하 정 익

이 논문을 공학박사 학위논문으로 제출함

2017년 12월

서울대학교 대학원

전기 컴퓨터 공학부

이 경 환

이경환의 공학박사 학위논문을 인준함

2017년 12월

위 원 장 설 승 기 (인)

부위원장 하 정 익 (인)

위 원 조 보 형 (인)

위 원 원 충 연 (인)

위 원 박 종 후 (인)

초 록

본 논문에서는 고주파 싱글 엔디드 공진형 DC-DC 컨버터의 분석과 설계를 제안한다. 싱글 엔디드 컨버터는 스위치의 소스가 항상 접지로 고정되므로 게이트 드라이버 회로의 구현이 브릿지 회로 기반의 컨버터보다 간단하다는 특징이 있다. Class E 컨버터는 기존에 흔히 사용되는 싱글 엔디드 컨버터로서 스위치 턴 온 시 영전압 스위칭이 일어나 턴-온 스위칭 손실과 노이즈가 적고, 턴 오프 시 스위칭 손실도 적기 때문에 수 MHz~수십 MHz 컨버터에 주로 적용되고 있다. 그러나 Class E 컨버터에서는 큰 입력 필터 인덕턴스가 전력 밀도 향상에 제약이 되고 과도 응답 특성을 느리게 한다는 단점이 있다.

따라서 본 연구에서는 Class E 컨버터와 달리 작은 입력 인덕턴스를 가진 싱글 엔디드 공진형 컨버터에 관해 연구한다. 이에 관한 기존 연구와의 차별화를 위해 분석적 모델로서 싱글 엔디드 공진형 스위칭 셀을 제안한다. 그리고 이 스위칭 셀의 분석은 기존 연구와 다르게 스위치의 시비율이나 회로의 공진 주파수를 고정하지 않고 진행된다. 그렇게 함으로써 분석을 이용해 스위칭 셀의 설계를 최적화할 수 있다. 설계 최적화의 주목적은 기존 싱글 엔디드 컨버터 연구에서 다루지 않았던 공진 전류 크기와 전도 손실의 최소화로 설정한다. 기존 Class E 컨버터는 입력에 큰 필터 인덕터 때문에 영전압 스위칭을 위해 고정된 크기의 공진 전류가 필요하지만, 입력 인덕턴스를 작게 하고 그로 인해 커지는 전류 리플의 위상을 잘 맞추면 공진 전류의 크기를 줄일 수 있다. 그러므로 본 연구에서 제안하는 설계 방법은 공진 전류의 크기와 전도 손실을 최소로 하기 위해 이러한 설계 조건을 분석하는 데 초점을 맞춘다.

이와 더불어 본 논문에서 제안한 싱글 엔디드 공진형 스위칭 셀은 양

방향 전력 흐름을 모두 설명할 수 있으므로 인버터 회로의 분석과 설계를 쌍대성 관계에 있는 공진형 정류기 회로에도 똑같이 적용할 수 있다. 따라서 스위칭 셀 하나의 분석과 설계로 인버터와 정류기뿐만 아니라 둘을 결합한 DC-DC 컨버터 전체의 분석과 설계도 설명할 수 있다. 또한, 스위칭 셀을 기반으로 한 분석과 설계는 동기 정류기를 이용한 구성이나 양방향 컨버터 구성에도 쉽게 확장해서 적용될 수 있다.

모의실험 결과와 GaN 소자를 이용한 10-MHz 컨버터 프로토타입의 실험 결과를 통해 싱글 엔디드 공진형 DC-DC 컨버터에 대한 제안하는 분석과 설계의 효용성과 우수성을 입증한다.

주요어 : 공진형 스위칭 셀, 싱글 엔디드 공진형 DC-DC 컨버터, 영전압 스위칭

학 번 : 2013-20839

목 차

제 1 장 서 론 1

1.1 연구 배경 1

1.2 연구 목적 6

1.3 논문의 구성 8

제 2 장 기존 고주파 공진형 DC-DC 컨버터 9

2.1 공진형 DC-DC 컨버터의 구성 및 동작 원리 9

2.2 기존 브릿지 공진형 컨버터 14

2.2.1 회로 동작 분석 14

2.2.2 데드 타임에 따른 공진 전류 크기 분석 17

2.2.3 MHz 주파수로 구동 시 한계점 21

2.3 기존 싱글 엔디드 공진형 컨버터 22

2.3.1 Class E 컨버터 회로 동작 분석 22

2.3.2 시비율에 따른 공진 전류 크기 분석 24

2.3.3 기존 연구의 한계점 27

제 3 장 싱글 엔디드 공진형 스위칭 셀을 이용한 컨버터의 분석 및 설계 31

3.1 싱글 엔디드 공진형 스위칭 셀 31

3.2 공진형 스위칭 셀의 회로 분석 41

3.2.1 스위칭 셀의 인버터 동작 분석 41

3.2.2 스위칭 셀의 정류기 동작 분석 73

3.3 제안하는 공진형 스위칭 셀의 설계 94

3.3.1 M_{inv}를 최소화하는 설계 방법 95

3.3.2 L_1의 RMS 전류와 i_r의 RMS 값의 제곱 합을 최소로 하는 설계 방법 103

3.3.3 공진형 정류기 회로의 설계 112

3.4 DC-DC 컨버터의 설계 116

제 4 장 모의실험 및 실험 결과 123

4.1 모의실험 및 실험 조건 설계 123

4.1.1 제안하는 컨버터 설계 123

4.1.2 비교군 컨버터 설계 125

4.1.3 컨버터의 제어 방법 126
4.2 모의실험 결과 130
4.3 실험 결과 135

제 5 장 결론 및 향후 연구 147
5.1 연구 결과 147
5.2 향후 연구 149

부 록 151
A.1 공진형 스위칭 셀의 인버터 동작 분석에서 Q_1(또는 M_{inv}), $I_{1,off}/I_s$ 식 유도 151
A.2 기존 Class E 인버터의 출력 전압 기본파 성분 분석 153

참고문헌 155

Abstract 167

그림 목차

그림 2.1 공진형 DC-DC 컨버터의 구성 9
그림 2.2 브릿지 인버터 (가) 전압형 인버터 (나) 전류형 인버터 10
그림 2.3 Class E 인버터 회로 10
그림 2.4 Class Φ_2 인버터 회로 10
그림 2.5 반파 정류기와 브릿지 정류기. 11
그림 2.6 Class E 공진형 정류기 11
그림 2.7 인버터와 정류기를 간략히 나타낸 공진형 DC-DC 컨버터 모델 12
그림 2.8 *LC* 공진 회로의 주파수 응답 특성과 인버터 출력 전압 v_{inv}, 공진 전류 i_r의 주파수 스펙트럼 12
그림 2.9 *LC* 공진 회로 예시 13
그림 2.10 하프 브릿지 인버터 회로 15
그림 2.11 하프 브릿지 공진형 컨버터 주요 파형 15
그림 2.12 스위치 S_1 턴-온 전 데드 타임 T_d 동안의 회로 동작($0 \le t \le T_d$) 16
그림 2.13 데드 타임을 무시할 때 인버터 출력 전압 v_{inv}의 기본파 성분과 공진 전류 i_r ($\psi_r > 0$) 16
그림 2.14 데드 타임 T_d에 따른 공진 전류의 크기 I_{rm} 18
그림 2.15 데드 타임 T_d에 따른 공진 전류의 위상 ψ_r 18
그림 2.16 스위칭 주파수에 따른 공진 전류의 크기 변화 예시 .. 20
그림 2.17 게이트 드라이버 회로에서 높은 dv/dt로 인한 공통 모드 노이즈의 영향[56] 21
그림 2.18 Class E 인버터 회로의 주요 동작 파형 23
그림 2.19 시비율에 따른 공진 전류의 크기 I_{rm} 25
그림 2.20 시비율에 따른 공진 전류의 위상 ψ_r 25
그림 2.21 시비율에 따른 스위치 전압 스트레스 26
그림 2.22 스위치 드레인-소스 단에서 바라본 임피던스 Z_{ds}를 이용한 기존 설계 방법 28
그림 2.23 (가) 기존 Class E 컨버터. (나) 입력 인덕턴스가 작은 경우. 29
그림 3.1 싱글 엔디드 공진형 스위칭 셀 31
그림 3.2 기본파 주파수에서의 등가 회로 32
그림 3.3 하프 브릿지 회로와 싱글 엔디드 인버터 회로의 출력 전압과 기본파 성분 비교. (가) 하프 브릿지. (나) 싱글 엔디드. 33
그림 3.4 싱글 엔디드 공진형 스위칭 셀로부터 유도된 공진형 정류기 34

그림 3.5 인버터 셀과 정류기 셀의 결합을 통한 DC-DC 컨버터 구성 35
그림 3.6 싱글 엔디드 공진형 DC-DC 컨버터 36
그림 3.7 X_r이 LC 직렬 공진 회로로 구현될 때 DC-DC 컨버터 예시 37
그림 3.8 X_r이 단일 캐패시터로 구현될 때 DC-DC 컨버터 예시 37
그림 3.9 변압기를 이용한 절연형 DC-DC 컨버터 구성 38
그림 3.10 X_r이 LC 직렬 공진 회로일 때 변압기의 누설 인덕턴스와 자화 인덕턴스를 흡수할 수 있는 절연형 DC-DC 컨버터 구성 예시 39
그림 3.11 공진 전류가 일치하지 않을 때 서셉턴스(susceptance) B_{ac}를 이용하는 DC-DC 컨버터 구성 39
그림 3.12 각 동작 모드에서 공진형 스위칭 셀의 등가 회로. 41
그림 3.13 (3.24)의 φ_r이 존재하는 $M_{inv}Q_1$의 경계 47
그림 3.14 $D_{inv} = 0.5$일 때 $\omega_{1,N}$과 $M_{inv}Q_1$에 따른 설계 영역 47
그림 3.15 각 설계 영역에서의 스위치 전압 $v_{ds,S1}$ 파형 49
그림 3.16 $D_{inv} = 0.5$일 때 턴-온 시 스위치 전압의 dv/dt 51
그림 3.17 $dv_{ds,S1}/dt$에 따른 스위치 전압과 스위치 전류 파형 54
그림 3.18 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 φ_r 57
그림 3.19 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 Q_1 57
그림 3.20 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 M_{inv} 58
그림 3.21 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 $I_{1,off}/I_s$ 58
그림 3.22 $\omega_{1,N} = 0.9{:}0.2{:}1.7$일 때 D_{inv}에 따른 Q_1 59
그림 3.23 $D_{inv} = 0.3{:}0.1{:}0.7$일 때 $\omega_{1,N}$에 따른 Q_1 59
그림 3.24 $\omega_{1,N} = 0.9{:}0.2{:}1.7$일 때 D_{inv}에 따른 M_{inv} 61
그림 3.25 $D_{inv} = 0.3{:}0.1{:}0.7$일 때 $\omega_{1,N}$에 따른 M_{inv} 61
그림 3.26 $\omega_{1,N} = 0.9{:}0.2{:}1.7$일 때 D_{inv}에 따른 $I_{1,off}/I_s$ 62
그림 3.27 $D_{inv} = 0.3{:}0.1{:}0.7$일 때 $\omega_{1,N}$에 따른 $I_{1,off}/I_s$ 62
그림 3.28 인버터 출력의 기본파 성분 v_{inv1}과 공진 전류 i_r의 페이저(phasor) 다이어그램 63
그림 3.29 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족할 때 V_{inv1}/V_s 65
그림 3.30 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족할 때 ψ_{inv1} 65
그림 3.31 $\omega_{1,N} = 0.9{:}0.2{:}1.7$일 때 D_{inv}에 따른 V_{inv1}/V_s 66
그림 3.32 $D_{inv} = 0.3{:}0.1{:}0.7$일 때 $\omega_{1,N}$에 따른 V_{inv1}/V_s 66
그림 3.33 $\omega_{1,N} = 0.9{:}0.2{:}1.7$일 때 D_{inv}에 따른 ψ_{inv1} 68
그림 3.34 $D_{inv} = 0.3{:}0.1{:}0.7$일 때 $\omega_{1,N}$에 따른 ψ_{inv1} 68
그림 3.35 공진 전류의 위상 각에 동기한 경우 (가) 기본파 주파수 모델. (나) 페이저(phasor) 다이어그램. 69
그림 3.36 $D_{inv} = 0.5$, $\omega_{1,N} = 1.1$일 때 V_m/V_s와 ψ_v에 따른 (가) 유효 전

력 P_o. (나) 유효 전력에 대한 무효 전력의 비율 $|Q_o/P_o|$. 70
그림 3.37 Q_r 값에 따른 모의실험 결과. (가) 공진 전류 i_r. (나) C_r 양단의 전압. (V_s = 24 V, P_o = 60 W, Q_o = −60 VAR, f_s = 10 MHz) 71
그림 3.38 공진형 정류기 회로 73
그림 3.39 인버터와 정류기 사이의 쌍대성(duality) 관계 74
그림 3.40 각 동작 모드에서 정류기 셀의 등가 회로 75
그림 3.41 정상 상태에서 공진형 정류기의 주요 동작 파형 76
그림 3.42 D_{rect}와 $\omega_{2,N}$에 따른 입력 전류의 위상 φ_r 82
그림 3.43 D_{rect}와 $\omega_{2,N}$에 따른 loaded Q-인자 Q_2 83
그림 3.44 D_{rect}와 $\omega_{2,N}$에 따른 정류기의 전류 이득 M_{rect} (V_F/V_o = 0) 83
그림 3.45 $\omega_{2,N}$ = 0.9:0.2:1.7일 때 D_{rect}에 따른 Q_2 (V_F/V_o = 0) 84
그림 3.46 D_{rect} = 0.4:0.05:0.6일 때 $\omega_{2,N}$에 따른 Q_2 (V_F/V_o = 0) 84
그림 3.47 $\omega_{2,N}$ = 0.9:0.2:1.7일 때 D_{rect}에 따른 M_{rect} 86
그림 3.48 D_{rect} = 0.3:0.1:0.7일 때 $\omega_{2,N}$에 따른 M_{rect} 86
그림 3.49 $\omega_{2,N}$ = 1.4일 때 V_F/V_o에 따른 Q_2-M_{rect} 곡선의 변화 87
그림 3.50 기본파 주파수에서 바라본 정류기의 등가 회로 88
그림 3.51 D_{rect}와 $\omega_{2,N}$에 따른 V_{rect1}/V_o (V_F/V_o = 0) 90
그림 3.52 D_{rect}와 $\omega_{2,N}$에 따른 ψ_{rect1} (V_F/V_o = 0) 90
그림 3.53 $\omega_{2,N}$ = 0.9:0.2:1.7일 때 D_{rect}에 따른 ψ_{inv1} (V_F/V_o = 0) 91
그림 3.54 D_{rect} = 0.3:0.1:0.7일 때 $\omega_{2,N}$에 따른 ψ_{inv1} (V_F/V_o = 0) 91
그림 3.55 $\omega_{2,N}$ = 1.4일 때 V_F/V_o에 따른 V_{rect1}/V_o의 변화 93
그림 3.56 $\omega_{2,N}$ = 1.4일 때 V_F/V_o에 따른 ψ_{rect1}의 변화 93
그림 3.57 M_{inv}가 최소일 때 V_{inv1}/V_s와 ψ_{inv1} 95
그림 3.58 ψ_{inv1} = 0일 때 v_{inv1}과 i_r의 페이저(phasor) 다이어그램 96
그림 3.59 기존 Class E 인버터에서 D_{inv}에 따른 V_{inv1}/V_s와 ψ_{inv1} 97
그림 3.60 최소 M_{inv} 설계와 기존 Class E 인버터의 M_{inv} 비교 97
그림 3.61 최소 M_{inv} 설계 방법일 때 $\omega_s L_1/(V_s/I_s)$ 99
그림 3.62 최소 M_{inv} 설계 방법일 때 $\omega_s C_1(V_s/I_s)$ 99
그림 3.63 최소 M_{inv} 설계 방법일 때 φ_r 100
그림 3.64 최소 M_{inv} 설계 방법일 때 $I_{1,off}/I_s$ 100
그림 3.65 최소 M_{inv} 설계 방법일 때 $V_{S1,max}/V_s$와 $I_{S1,max}/I_s$ 101
그림 3.66 최소 M_{inv} 설계 방법일 때 인버터의 효율 η_{inv} [$r_{Xr}/(V_s/I_s)$=0.01, $r_{L1}/(V_s/I_s)$=0.01, $r_{S1}/(V_s/I_s)$=0.001] 101
그림 3.67 최소 $I_{rms,tot}$ 설계일 때 $I_{L1,rms}/I_s$ 값을 최소 M_{inv} 설계일 때와 비교 105
그림 3.68 최소 $I_{rms,tot}$ 설계일 때의 $I_{rms,tot}/I_s$ 값을 최소 M_{inv} 설계일 때와 기존 Class E 인버터일 때와 비교 105
그림 3.69 최소 $I_{rms,tot}$ 설계일 때의 M_{inv} 값을 최소 M_{inv} 설계일 때

와 기존 Class E 인버터일 때와 비교 106
그림 3.70 최소 $I_{rms,tot}$ 설계 방법일 때 $\omega_s L_1/(V_s/I_s)$ 108
그림 3.71 최소 $I_{rms,tot}$ 설계 방법일 때 $\omega_s C_1(V_s/I_s)$ 108
그림 3.72 최소 $I_{rms,tot}$ 설계 방법일 때 φ_r 109
그림 3.73 최소 $I_{rms,tot}$ 설계 방법일 때 $I_{1,\mathrm{off}}/I_s$ 109
그림 3.74 최소 $I_{rms,tot}$ 설계 방법일 때 V_{inv1}/V_s 110
그림 3.75 최소 $I_{rms,tot}$ 설계 방법일 때 ψ_{inv1} 110
그림 3.76 최소 $I_{rms,tot}$ 설계 방법일 때 $V_{S1,max}/V_s$와 $I_{S1,max}/I_s$ 111
그림 3.77 최소 $I_{rms,tot}$ 설계 방법일 때 인버터의 효율 η_{inv}을 111
그림 3.78 최대 M_{rect} 설계 방법일 때 $\omega_s L_2/(V_o/I_o)$ 113
그림 3.79 최대 M_{rect} 설계 방법일 때 $\omega_s C_2(V_o/I_o)$ 114
그림 3.80 최대 M_{rect} 설계 방법일 때 V_{rect1}/V_o과 ψ_{rect1} 114
그림 3.81 최대 M_{rect} 설계 방법일 때 $V_{D1,max}/V_o$와 $I_{D1,max}/I_o$ 115
그림 3.82 최대 M_{rect} 설계 방법일 때 정류기의 효율 115
그림 3.83 인버터 셀과 정류기 셀을 결합한 DC-DC 컨버터의 .. 116
그림 3.84 두 셀의 유효 전력, 무효 전력이 매칭될 때 등가 회로 117
그림 3.85 컨버터의 DC 전압 이득 V_o/V_s. 118
그림 3.86 그림 3.6의 싱글 엔디드 공진형 컨버터의 주요 동작 파형 120
그림 3.87 스위치 S_1과 다이오드 D_1 또는 스위치 S_2의 턴 온 시점 사이의 위상 차 ϕ_{12} 121
그림 4.1 설계 대상이 되는 싱글 엔디드 공진형 DC-DC 컨버터 구성 123
그림 4.2 $V_F/V_o = 1.04$일 때 컨버터의 DC 전압 이득과 설계 점 . 124
그림 4.3 Class E 컨버터의 DC 전압 이득과 설계 점 125
그림 4.4 제안하는 DC-DC 컨버터 구성과 온-오프 제어기 127
그림 4.5 온-오프 제어 동작 127
그림 4.6 여러 C_{out}에 대한 P_{load}/P_o에 따른 $\Delta V_o/V_o$의 변화 128
그림 4.7 T_{on}에 따른 $C_{out,min}$ 값의 변화 129
그림 4.8 $V_s = 24$ V, $V_o = 12$ V, $P_o = 48$ W, $f_s = 10$ MHz일 때 제안하는 설계의 싱글 엔디드 컨버터 모의실험 파형 132
그림 4.9 $V_s = 24$ V, $V_o = 12$ V, $P_o = 48$ W, $f_s = 10$ MHz일 때 Class E 컨버터 모의실험 파형 133
그림 4.10 제안하는 설계의 10-MHz 프로토타입 (가) 앞면. (나) 뒷면. 135
그림 4.11 정격 부하($V_o = 12$ V, $P_o = 48$ W)일 때 제안하는 싱글 엔디드 컨버터 설계의 실험 파형 136
그림 4.12 반파 정류기 회로에서 다이오드 전압 실험 파형 137

그림 4.13 정격 부하(V_o = 12 V, P_o = 48 W)일 때 제안하는 싱글 엔디드 컨버터 설계의 실험 파형 138
그림 4.14 Class E 컨버터의 10-MHz 프로토타입 (가) 앞면. (나) 뒷면. 139
그림 4.15 정격 부하(V_o = 12 V에서 P_o = 48 W)일 때 Class E 컨버터의 실험 파형 141
그림 4.16 정격 부하 조건에서 손실 분포 비교 142
그림 4.17 부하 = 80%일 때 컨버터의 온-오프 제어 결과 144
그림 4.18 컨버터의 턴-온 과도 상태 동작 비교 145
그림 4.19 컨버터의 턴-오프 과도 상태 동작 비교 146

표 목차

표 1.1 GaN, SiC, Si의 물리적 특성 비교[11].....1
표 1.2 GaN 소자와 Si MOSFET의 특성 비교 1
표 3.1 턴-온 시 $dv_{ds,S1}/dt$ 값에 따른 인덕터와 스위치의 RMS 전류, 스위치 전압 스트레스 비교 54
표 3.2 인버터 셀과 정류기 셀 사이의 쌍대성(duality) 관계 94
표 3.3 최소 M_{inv} 설계 방법일 때 설계 파라미터.....102
표 3.4 최소 $I_{rms,tot}$ 설계 방법일 때 설계 파라미터 107
표 4.1 제안한 설계 방법에 따른 10-MHz 프로토타입 설계 사항 130
표 4.2 비교군 컨버터 (Class E 컨버터) 설계 사항 131
표 4.3 제안하는 설계와 Class E 컨버터의 I_r, $I_{L1,rms}$, $I_{rms,tot}$ 값 비교 134
표 4.4 정격 부하 조건에서 효율 비교 141
표 4.5 수동 소자에 저장되는 전기 에너지 또는 자기 에너지 비교 142

제 1 장 서 론

1.1 연구 배경

최근 컨버터의 스위칭 주파수를 MHz 대역까지 높이는 연구에 관한 관심이 늘어나고 있다 [1]-[7]. 이러한 배경에는 전력 반도체 소자와 자성 코어 재료의 발전이 있다. 갈륨 나이트라이드(Gallium Nitride, GaN)나 실리콘 카바이드(Silicon Carbide, SiC)와 같은 넓은 밴드 갭(wide bandgap) 소자는 기존의 실리콘(Silicon, Si) 소자보다 우수한 성능을 나타낸다 [8]-[11]. 표 1.1[11]을 보면, GaN과 SiC는 Si보다 밴드 갭과 항복 전기장(breakdown field)이 크므로 더 높은 온도와 전압 조건에서 구동할 수 있다. 특히, GaN은 Si와 SiC보다 포화 속도(saturated velocity)와 전자 이동도(electron mobility)가 높으므로 고주파 구동에 적합한 특징이 있다. 일례로 표 1.2

표 1.1 GaN, SiC, Si의 물리적 특성 비교[11]

	GaN	SiC	Si
밴드 갭 [eV]	3.4	3.2	1.12
항복 전기장 [MV/cm]	3.3	3.5	0.3
포화 속도 [10^7cm/s]	2.5	2.0	1.0
전자 이동도 [$cm^2/(V{\cdot}s)$]	2000	650	1500

표 1.2 GaN 소자와 Si MOSFET의 특성 비교

	Enhancement -mode GaN (GS66504B)	Cascode GaN (TPH3206)	Si MOSFET (IPL65R130C7)
정격 전압 [V]	650	650	650
정격 전류 [A]	15	16	15
온-저항, $R_{ds(on)}$ [mΩ]	100	180	115
게이트 전하, Q_g [nC]	3	6.2	35
출력 캐패시턴스, $C_{oss(tr)}$ [pF]	71	106	579
역회복 전하, Q_{rr} [nC]	0	52	6400

는 시중에서 판매되는 GaN 소자와 Si MOSFET의 특성을 비교한 것이다. GaN 소자와 Si MOSFET의 온-저항(On-resistance) $R_{ds(on)}$은 서로 비슷한 수준이지만, GaN 소자의 게이트 전하 Q_g, 출력 캐패시턴스 $C_{oss(tr)}$, 역 회복 전하(reverse recovery charge, Q_{rr})는 Si MOSFET보다 훨씬 작다. 따라서 GaN 소자를 사용하면 높은 스위칭 주파수에서도 게이트 구동 손실과 스위칭 손실을 줄일 수 있다. 이러한 장점 때문에 GaN 소자를 적용해 컨버터 구동 주파수를 MHz 대역까지 높이는 연구가 활발하게 진행되고 있다 [12]-[19]. 또한, 스위칭 소자의 발전과 더불어 MHz 대역의 높은 주파수에서도 철손(core loss)이 적은 MnZn와 NiZn 등의 자성 코어 물질도 개발되어 이를 컨버터에 사용하는 연구도 진행 중이다 [20]-[22].

컨버터의 스위칭 주파수를 높이면, 컨버터 전체 부피의 대부분을 차지하는 인덕터, 변압기, 캐패시터와 같은 수동 소자의 크기를 줄일 수 있으므로 컨버터의 전력 밀도가 향상될 수 있다. 그러나 하드 스위칭(hard switching) 방식으로 스위칭 주파수를 높이는 경우, 스위칭 손실과 스위칭 노이즈 때문에 컨버터 효율이 떨어지고 주변 회로나 기기에 주는 전자기 간섭(Electro-Magnetic Interference, EMI)이 심해진다. 게다가 이러한 문제는 스위칭 주파수가 MHz로 높아지면 더욱 심각해진다.

그래서 MHz로 구동할 때는 스위칭 손실과 노이즈에 의한 영향을 줄이기 위해 하드 스위칭 대신에 영전압 스위칭(Zero Voltage Switching, ZVS)[23]-[31] 방식이 필수적이다. 영전압 스위칭의 경우에는 스위치가 켜지기 전에 공진으로 스위치 전압이 0 V로 떨어지므로 턴-온 스위칭 손실이 없다. 그리고 스위칭 전에 스위치의 출력 캐패시턴스에 저장된 에너지가 모두 방전되므로, 스위치가 켜질 때 출력 캐패시턴스와 회로 내 인덕턴스 성분의 기생 공진으로 발생하는 EMI 노이즈도 줄어든다.

기존에 영전압 스위칭을 위한 많은 ZVS 컨버터 토폴로지들이 제안되

었다. 이들을 크게 브릿지 회로를 기반으로 한 토폴로지[24]-[26]와 싱글 엔디드(single-ended) 토폴로지[27]-[30]로 나눌 수 있다. 먼저 하프 브릿지나 풀 브릿지와 같이 브릿지 회로를 이용한 토폴로지에는 직렬 공진 컨버터(Series Resonant Converter, SRC), 병렬 공진 컨버터(Parallel Resonant Converter, PRC), LLC 컨버터, LCC 컨버터 등이 있다. 그리고 싱글 엔디드 ZVS 토폴로지는 대부분 기존의 PWM 컨버터에서 유도된 것으로서 QRC (Quasi-Resonant Converter)와 MRC (Multi-Resonant Converter) 등이 있다.

여러 ZVS 토폴로지 중 Class E 컨버터는 싱글 엔디드 컨버터로서 수 MHz에서 수십 MHz로 구동하는 데 적합하여 많이 연구되고 있다 [32]-[54]. Class E 컨버터는 본래 RF 증폭기(amplifier)로 사용되는 Class E 인버터[32]-[35]에 정류 회로(rectifier)를 연결하여 DC-DC 컨버터로 구성한 것이다. Class E 컨버터의 주요 장점 중 하나는 1개의 스위치를 사용하면서 스위치의 소스(source) 단이 접지(ground)에 고정되어 게이트 드라이버 회로가 간단하다는 것이다. 이것은 특히 스위칭 주파수가 MHz 대역으로 높을 때 큰 장점이 된다. 브릿지 기반 공진형 컨버터를 수 MHz에서 수십 MHz로 구동할 때는 수 ns 단위로 정밀한 데드 타임(dead time) 구현이 요구되고, 두 스위치 게이트 신호 간의 동기 문제, 그리고 높은 dv/dt 공통-모드(common-mode) 노이즈의 영향을 없애기 위한 게이트 드라이버 절연 문제 등의 해결이 필요하다 [8], [55]-[56]. 따라서 Class E 컨버터가 브릿지 기반의 컨버터보다 MHz의 높은 스위칭 주파수 구현에 유리하다. 그리고 Class E 컨버터는 턴-온 시 ZVS가 가능할 뿐만 아니라 턴-오프 스위칭 손실도 작다. 이는 턴-오프 시 QRC와 MRC처럼 스위치 병렬 캐패시터의 스너빙(snubbing) 효과로 스위치 전류가 0 A로 떨어질 때까지 스위치 전압이 천천히 증가하여 스위치 전류와 전압이 겹치는 면적이 작기 때문이다 [32]-[35], [42]-[43]. 또한, 비절연형 구조로 벅-부스트 기능이

가능하며 절연형 구조로도 쉽게 변형될 수 있다 [42]-[46]. 이러한 장점 때문에 최근에 Class E 컨버터를 6.78 MHz나 13.56 MHz와 같이 MHz의 주파수로 구동되는 무선 전력 전송(Wireless Power Transfer, WPT) 시스템에 적용하는 연구 사례가 늘고 있다 [47]-[54]. 그러나 브릿지 회로보다 높은 스위치 전압 스트레스를 가지며 입력 인덕터의 사용으로 ZVS 조건이나 설계 방법이 복잡하다는 단점이 있다.

한편, MHz 대역으로 스위칭 주파수가 높아지면 다이오드의 접합 캐패시턴스(junction capacitance)가 컨버터의 동작과 성능에 미치는 영향도 무시할 수 없게 된다. 스위칭 주파수의 증가로 다이오드 양단 전압의 dv/dt가 증가함에 따라 다이오드의 캐패시턴스가 회로 내 인덕턴스 성분과 일으키는 기생 공진이 심해지고 손실과 노이즈가 증가한다 [29], [57]. 또한, QRC에서는 다이오드 캐패시턴스의 영향으로 ZVS가 깨지거나 스위칭 주파수에 따른 컨버터 DC 전압 이득의 기울기 부호가 계속 바뀌어 제어의 불안정성이 생기고 제어기 설계가 어려워진다 [29].

따라서 이러한 문제를 해결하기 위해 다이오드의 접합 캐패시턴스를 공진 소자의 일부분으로 이용하거나 그 자체를 공진 소자로 활용하는 방법이 연구되었다 [29]-[30], [57]-[77]. MRC는 QRC에서 다이오드에 병렬로 연결된 공진 캐패시터를 추가함으로써 스위치의 ZVS을 유지하면서 다이오드의 캐패시턴스를 이 공진 캐패시터에 흡수할 수 있게 하였다 [29]-[30]. 이와 비슷한 목적으로 반파 정류기, 브릿지 정류기, 센터-탭 정류기 대신 Class E 정류기[57]-[71]와 같은 공진형 정류기(resonant rectifier)를 Class E 인버터에 연결한 Class E^2 컨버터[72]-[77]가 제안되었다. MRC와 Class E^2 컨버터 둘 다 다이오드 접합 캐패시턴스를 공진에 이용하므로 다이오드 전압 모양이 구형파보다는 정현파에 가깝게 되며 스위칭 시 다이오드 전압의 dv/dt가 작아 기생 공진으로 인한 손실과 노이즈가 줄어든

다. 스위칭 손실 및 노이즈 저감 외에도 MRC에서는 다이오드에 병렬로 연결된 공진 캐패시터에 의해 DC 전압비의 기울기 부호가 일정한 주파수 범위가 넓어지면서 앞서 언급한 QRC에서의 제어 불안정성 문제가 해결된다 [29]. 그리고 Class E^2 컨버터도 다이오드 캐패시턴스를 공진 소자로 활용할뿐더러, Class E 정류기가 임피던스 인버터(impedance inverter)로 기능하고 부하 크기에 따른 입력 AC 저항의 변화를 줄이기 때문에 넓은 부하 범위에서 ZVS가 가능해지고 출력 전압 제어를 위한 주파수 변조 범위가 좁아질 수 있다 [72]-[77].

정리해보면 스위칭 주파수가 MHz로 높아질수록 기생 인덕턴스와 기생 캐패시턴스로 인한 문제가 심각해지며 이에 대한 고려가 중요해진다. 이러한 점에서 MRC와 Class E^2 컨버터는 스위치 출력 캐패시터, 기생 인턱턴스 성분과 함께 다이오드의 접합 캐패시턴스도 공진 소자로 흡수 또는 이용할 수 있으므로 QRC보다 높은 주파수로 구동하기에 적합하다.

그러나 기존 MRC와 Class E^2 컨버터의 경우, 입력 또는 출력에 사용되는 큰 필터 인덕터가 컨버터의 전력 밀도와 동적 성능을 향상하는 데 제약이 된다. 그래서 기존에 작은 입/출력 인덕턴스를 가진 싱글 엔디드 컨버터에 관한 연구가 수행되었다. 예를 들어 Class E^2 컨버터를 구성하는 Class E 인버터와 Class E 정류기 각각에서 RF choke 역할을 하는 인덕터를 공진 인덕터로 대체하는 분석과 설계가 연구되었다 [58]-[59], [78]-[87]. 또한, SEPIC MRC와 부스트 MRC 토폴로지에 대해서도 입력 인덕턴스를 줄이는 설계 방법이 제안되었다 [6], [88]-[89].

그렇지만 기존 연구에서는 분석에만 초점을 두거나 분석이나 설계 방법이 설계 최적화에 사용하기가 어려운 면이 있다. 먼저, [78]-[80]에서는 입력 인덕턴스가 작은 값으로 주어질 때 Class E 컨버터를 분석했지만, 입력 인덕터의 설계 방법은 제시하지 않았다. 또한, 설계에 관한 연구 대

부분은 [82], [89]에서와 같이 시비율을 0.5로 고정하거나 [81], [86]-[88]에서처럼 회로의 공진 주파수를 특정 값이나 어느 범위 안의 값으로 한정하였다. 게다가 설계 방법은 주어진 설계 조건에서 ZVS와 출력 전력 조건을 만족하기 위해 수치 해석적 방법(numerical method)이나 파라미터 튜닝을 이용하므로 설계를 최적화하는 데 적용하기가 어렵다. 따라서 설계 최적화를 위해 설계 조건과 관계없이 적용될 수 있고 특정 조건에 한정되지 않는 분석적 모델(analytic model)이 필요하다.

1.2 연구 목적

본 논문의 목적은 작은 인덕턴스를 가진 싱글 엔디드 공진형 컨버터에 대한 분석적 모델로서 공진형 스위칭 셀을 제안하고 이 스위칭 셀의 분석과 설계를 통해 컨버터의 설계 최적화 방법을 제시하는 것이다.

먼저 본 연구에서 제안하는 싱글 엔디드 공진형 스위칭 셀은 다음과 같이 MHz의 높은 스위칭 주파수에 유리한 3가지 특징을 가진다. 첫째로 소스 단이 접지로 고정된 스위치 1개를 사용하므로 하이-사이드 스위치 구동이 필요한 브릿지 컨버터보다 게이트 드라이버 회로가 간단하다. 둘째로 주요 기생 성분인 스위치의 출력 캐패턴스, 다이오드의 접합 캐패시턴스를 공진 소자로 흡수 또는 활용한다. 그러므로 높은 스위칭 주파수에서도 기생 성분으로 인한 부정적 영향이 줄어든다. 셋째로 기존 MRC와 Class E^2 컨버터와 달리 큰 필터 인덕터를 포함하지 않고 공진 인덕터만 사용한다. 따라서 인덕터의 크기가 작아져 컨버터의 전력 밀도가 향상될 수 있고, 인덕턴스가 수십~수백 nH로 작아지면 자성 코어 없이 공심(air-core) 인덕터로 구현될 수 있어 철손의 영향을 없앨 수 있다.

일반적으로 공진형 컨버터에서는 ZVS를 위해 *LC* 공진을 이용하므로

PWM 컨버터보다 스위칭 손실을 줄일 수 있지만 전도 손실은 증가한다. 특히, MHz 대역의 고주파로 구동 시에는 표피 효과(skin effect)와 근접 효과(proximity effect)로 인덕터나 변압기 권선의 AC 저항값이 본래의 DC 저항값보다 급격하게 커지는 문제가 있으므로 고주파 공진형 스위칭 컨버터에서는 전도 손실에 대한 고려가 더욱 중요하다.

또한, 스위칭 주파수가 수 MHz~수십 MHz의 주파수로 높아지면 출력 전압 제어를 위해 스위치의 시비율과 스위칭 주파수를 변조하는 데 어려움이 있으므로 많은 연구에서 온-오프 제어를 사용한다 [88]-[96]. 온-오프 제어는 컨버터 자체를 껐다 켰다 하면서 컨버터가 켜지는 시간 비율을 조절하는 방식으로 펄스 밀도 변조(Pulse-Density Modulation, PDM) 제어라고도 한다. 온-오프 제어기가 부하 변동을 감당해 출력 전압이 일정하게 유지하므로 컨버터가 활성화된 구간에서는 *LC* 공진이 부하와 관계없이 같아져 시비율과 스위칭 주파수를 고정해도 넓은 범위에서 ZVS와 전도 손실과 같은 동작 특성이 유지된다. 또한, 이상적으로는 전 부하 영역에서의 효율이 정격 부하일 때의 효율로 일정해진다. 그러므로 온-오프 제어를 사용하는 고주파 컨버터에서는 정격 부하에서 효율을 최적화함으로써 전체 부하에 대해 최적 효율을 달성할 수 있으므로 정격 부하에서 효율을 최적화하는 설계가 필요하다.

따라서 본 연구에서는 설계 최적화의 주목적을 전도 손실 최소화로 설정한다. 기존 Class E 컨버터에서는 큰 필터 입력 인덕터가 ZVS에 관여하지 않으므로 필요한 공진 전류 크기가 고정된다. 반면, 싱글 엔디드 공진형 컨버터에서 입력 인덕턴스를 작게 해 ZVS를 위한 공진 전류의 크기를 줄일 수 있는 자유도가 생긴다. 이러한 조건을 분석하기 위해서는 모든 회로 변수의 영향을 관찰할 필요가 있다. 따라서 기존 연구와 다르게 시비율을 0.5로 고정하거나 공진 회로의 공진 주파수를 특정 값의 범

위로 한정하지 않고 공진형 스위칭 셀을 분석한다. 그리고 스위칭 셀의 분석에서는 입/출력 전압, 출력 전력, 스위칭 주파수 등의 동작 조건과 무관한 변수를 정의한다. 그리고 이 변수들로 설계 식을 유도함으로써 회로 파라미터를 간단하게 설계할 수 있을뿐더러 동작 조건이 달라지더라도 분석 결과와 설계 식을 그대로 사용할 수 있다.

본 연구에서는 모의실험과 GaN 소자를 이용한 10-MHz 프로토타입의 실험을 통해 제안하는 회로 분석과 설계 방법을 검증한다. 그리고 기존 Class E 컨버터와 비교함으로써 제안하는 설계의 우수성을 확인한다.

1.3 논문의 구성

본 논문의 나머지 장은 다음과 같이 구성되어 있다.

2장에서는 기존 고주파 공진형 DC-DC 컨버터를 공진 전류 크기 관점에서 분석한다. 이러한 분석을 통해 스위칭 주파수가 MHz 대역으로 높아질 때 생기는 문제점과 기존 방식의 한계점에 관해 설명한다.

3장에서는 작은 입력 인덕턴스를 가지는 싱글 엔디드 공진형 컨버터를 분석하고 설계하기 위한 분석적 모델로서 싱글 엔디드 공진형 스위칭 셀을 제안한다. 그리고 스위칭 셀 회로의 동작을 분석하고 설계 방법을 제안한다. 또한, 공진형 스위칭 셀 하나의 분석과 설계를 인버터 셀과 쌍대성 관계에 있는 정류기 셀, 그리고 인버터 셀과 정류기 셀을 연결한 DC-DC 컨버터에까지 쉽게 확장해서 적용할 수 있다.

4장에서는 모의실험과 10 MHz 프로토타입의 실험 결과, 그리고 기존 Class E 컨버터와의 동작/성능 비교를 통해 제안하는 분석과 설계 방법의 효용성과 우수성을 입증한다.

5장에서는 본 연구의 결론 및 향후 연구에 관해 서술한다.

제 2 장 기존 고주파 공진형 DC-DC 컨버터

2.1 공진형 DC-DC 컨버터의 구성 및 동작 원리

공진형 DC-DC 컨버터는 일반적으로 그림 2.1과 같이 인버터, *LC* 공진 회로, 정류기 부분으로 구성된다. 인버터는 스위칭 동작으로 입력 DC 전압을 받아 고주파 AC 전압/전류를 출력하고, 정류기는 이 고주파 AC 전압/전류를 출력 DC 전압으로 변환하여 부하로 DC 전력을 전달한다. 그리고 발생한 고주파 AC 전압/전류에 의해 *LC* 공진 회로가 공진하며 이를 이용해 인버터 스위치의 ZVS를 얻을 수 있고 부하로 전달하는 전력을 제어할 수 있다. 또한, *LC* 공진 회로 안에는 임피던스 변환이나 절연을 위해 변압기 또는 임피던스 매칭 회로가 포함되기도 한다.

인버터 회로는 크게 브릿지 회로를 기반으로 한 인버터와 싱글 엔디드(single-ended) 인버터로 구분할 수 있다. 브릿지 회로에는 그림 2.2에서 볼 수 있듯이 풀 브릿지(full bridge)와 하프 브릿지(half bridge)가 있다. 인버터의 출력이 그림 2.2(가)처럼 AC 전압이거나, 그림 2.2(나)처럼 입력에 DC 전류원 역할을 하는 큰 필터 인덕터가 위치해 인버터가 AC 전류를 출력할 수도 있다.

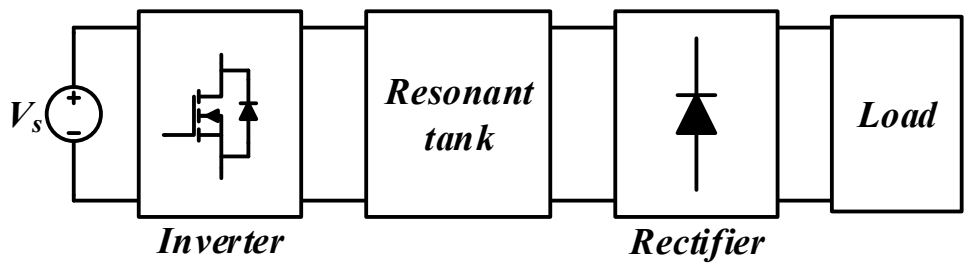
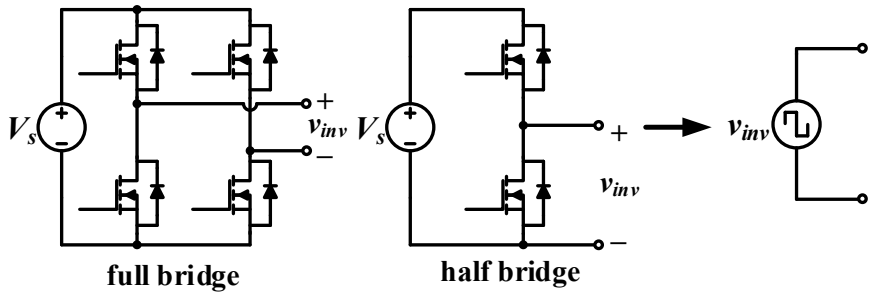
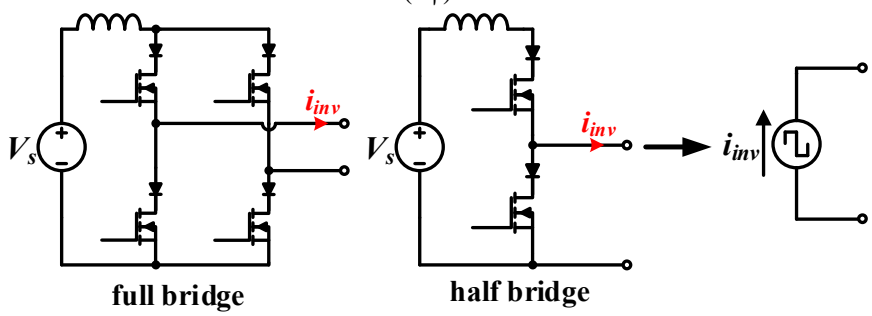


그림 2.1 공진형 DC-DC 컨버터의 구성



(가)



(나)

그림 2.2 브릿지 인버터 (가) 전압형 인버터 (나) 전류형 인버터

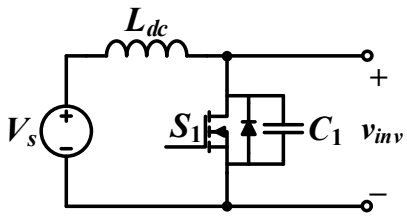


그림 2.3 Class E 인버터 회로

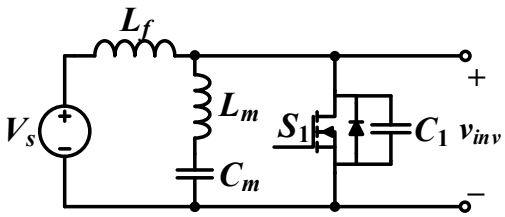
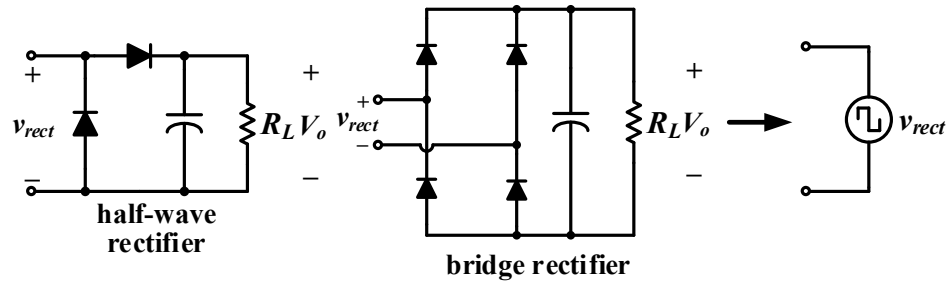
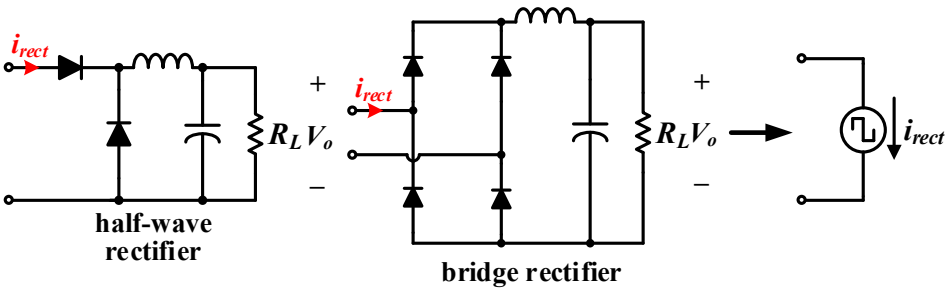


그림 2.4 Class Φ_2 인버터 회로

또한, 흔히 사용되는 싱글 엔디드 인버터로는 그림 2.3의 Class E 인버터가 있다. 그림에서 볼 수 있듯이 1개의 스위치를 사용하면서 스위치의 소스 단이 접지로 고정돼 있어 게이트 드라이버 회로의 구현이 간단하다



(가)



(나)

그림 2.5 반파 정류기와 브릿지 정류기.

(가) 출력 필터가 캐피시터 타입인 경우. (나) 인덕터 타입인 경우.

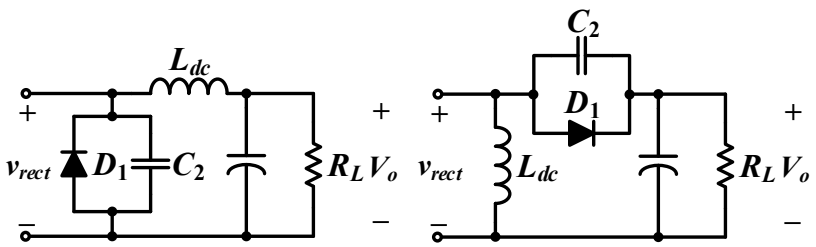


그림 2.6 Class E 공진형 정류기

는 장점이 있다. Class E 인버터와 더불어 최근 많은 연구에서는 Class E 인버터보다 낮은 스위치 전압 스트레스가 가지는 그림 2.4의 Class Φ_2 인버터를 MHz 대역의 공진형 컨버터에 적용하고 있다[3]-[5], [91]-[94].

대부분의 경우 그림 2.5의 반파(half-wave) 정류기나 브릿지 정류기가 정류기 회로로 사용된다. 이들의 특성은 출력 필터에 따라 달라지는데, 그림 2.5(가)와 같이 출력 필터가 캐패시터인 경우에는 정류기가 AC 전압 싱크(sink)처럼 보이고, 그림 2.5(나)처럼 출력에 필터 인덕터가 있는

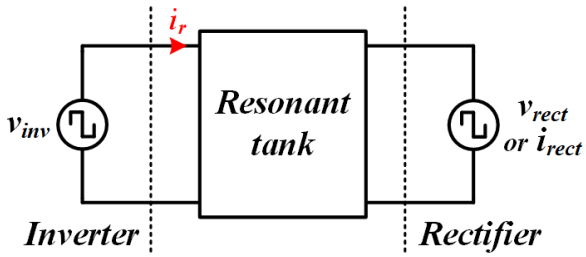


그림 2.7 인버터와 정류기를 간략히 나타낸 공진형 DC-DC 컨버터 모델

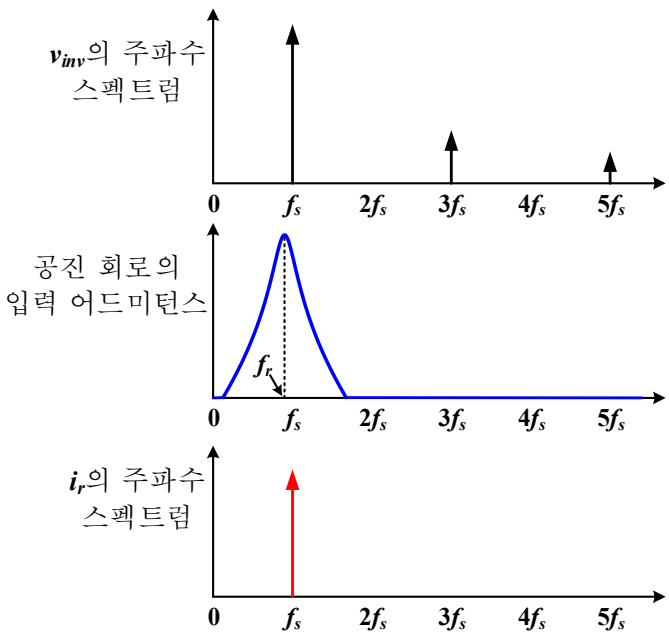


그림 2.8 *LC* 공진 회로의 주파수 응답 특성과 인버터 출력 전압 v_{inv}, 공진 전류 i_r의 주파수 스펙트럼

경우 AC 전류 싱크처럼 생각할 수 있다. 이외에 스위치의 ZVS 원리를 다이오드에 적용한 그림 2.6의 Class E 공진형 정류기도 정류 회로로 활용된다. 반파 정류기, 브릿지 정류기와 달리 공진형 정류기는 다이오드의 접합 캐패시턴스를 공진 소자에 흡수하여 스위칭 노이즈와 같은 기생 공진으로 인한 부정적인 영향이 줄어들 수 있으므로 수 MHz~수십 MHz로 구동하는 컨버터에 쓰이고 있다[3], [5]-[6].

인버터의 출력과 정류기의 입력이 AC 전압 또는 전류가 되므로 각각

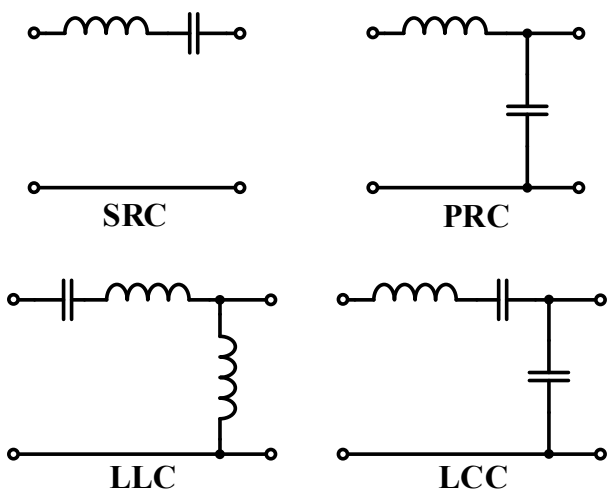


그림 2.9 *LC* 공진 회로 예시

을 그림 2.7에서처럼 AC 소스와 싱크로 표현할 수 있다. *LC* 공진 회로는 다양한 방법으로 구현될 수 있지만, 기본적인 공진형 컨버터에서는 *LC* 공진 회로의 주파수 응답이 그림 2.8에서와같이 공진 주파수가 스위칭 주파수 근처인 밴드 패스 필터와 같다. 따라서 공진 전류 i_r에서 고조파 성분이 제거되고 기본파 성분만 남아 전류가 이상적인 정현파에 가깝게 된다. 이러한 밴드 패스 필터 특성을 얻도록 기존에 그림 2.9처럼 다양한 *LC* 공진 회로들이 연구되었으며 이 회로들을 기반으로 SRC, PRC, LLC, LCC 등 다양한 컨버터 토폴로지들이 유도되었다.

그러나 공진형 컨버터에서는 공진으로 인해 전도 손실이 증가하고 순환 전류가 발생하는 문제가 있다. 실제로 인버터의 출력 전압 v_{inv}는 기본파 성분만이 아니라 고조파 성분도 포함하므로, 앞서 언급한 대로 공진 전류에 기본파 성분만 있으면 v_{inv}의 기본파만 출력 전력 전달에 기여하고 나머지 고조파들은 무효 전력을 만든다. 이러한 문제를 해결하기 위해 공진 전류도 고조파 성분을 포함하도록 *LC* 공진 회로를 설계하여 무효 전력을 줄이는 연구가 진행되었지만[97], 인덕터나 캐패시터를 추가하

여 수동 소자의 개수가 늘어난다. 또한, ZVS를 위해서는 스위치의 출력 캐패시터 전하를 빼기 위한 전류가 필요하므로 기본파 전압과 전류의 위상차가 0보다 커야 한다. 결과적으로 기본파 성분도 ZVS를 위해 무효 전력을 만들고 순환 전류를 발생시킨다. 따라서 공진형 컨버터의 경우 PWM 컨버터보다 스위칭 손실과 노이즈, EMI가 줄어들지만 전도 손실이 커지는 문제가 있다. 또한, 스위칭 주파수가 증가할수록 표피 효과(skin effect)와 근접 효과(proximity effect)로 인덕터와 변압기의 저항이 본래의 DC 저항값보다 증가하며, 특히 수 MHz~수십 MHz까지 구동 주파수가 높아지면 이들의 영향이 커진다[98]. 따라서 MHz 대역의 주파수로 스위칭하는 공진형 컨버터에서는 전도 손실이 더욱 중요하게 고려돼야 한다.

본 장의 나머지 절에서는 앞서 살펴본 기존 공진형 컨버터의 동작을 분석한다. 분석의 초점은 공진 전류의 크기, 즉 전도 손실에 두고 이를 통해 스위칭 주파수가 수 MHz~수십 MHz일 때의 문제점과 기존 연구의 한계를 논의한다.

2.2 기존 브릿지 공진형 컨버터

2.2.1 회로 동작 분석

그림 2.10은 하프 브릿지 공진형 컨버터에서 인버터 회로 부분만 나타낸 것이다. 인버터의 출력 전압 v_{inv}는 스위치 상태에 따라 결정되는데, 스위치 S_1이 켜지면 v_{inv}는 입력 전압 V_s이고 S_2가 켜지면 0 V가 된다. C_1과 C_2는 각각 S_1과 S_2의 출력 캐패시턴스를 의미한다. 브릿지 공진형 컨버터에서 ZVS가 일어나는 원리는 S_1과 S_2가 둘 다 꺼진 데드 타임(dead time) 동안에 출력 캐패시턴스 C_1과 C_2에 저장된 전하를 이동시켜 턴 온 하고자 하는 스위치 전압을 턴 온 전에 0 V로 떨어뜨리는 것이다.

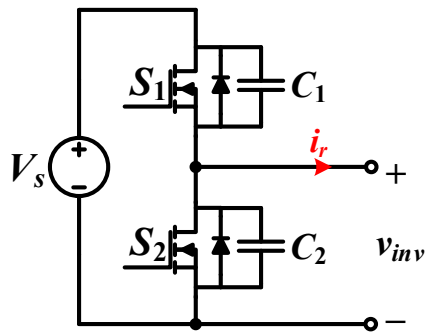


그림 2.10 하프 브릿지 인버터 회로

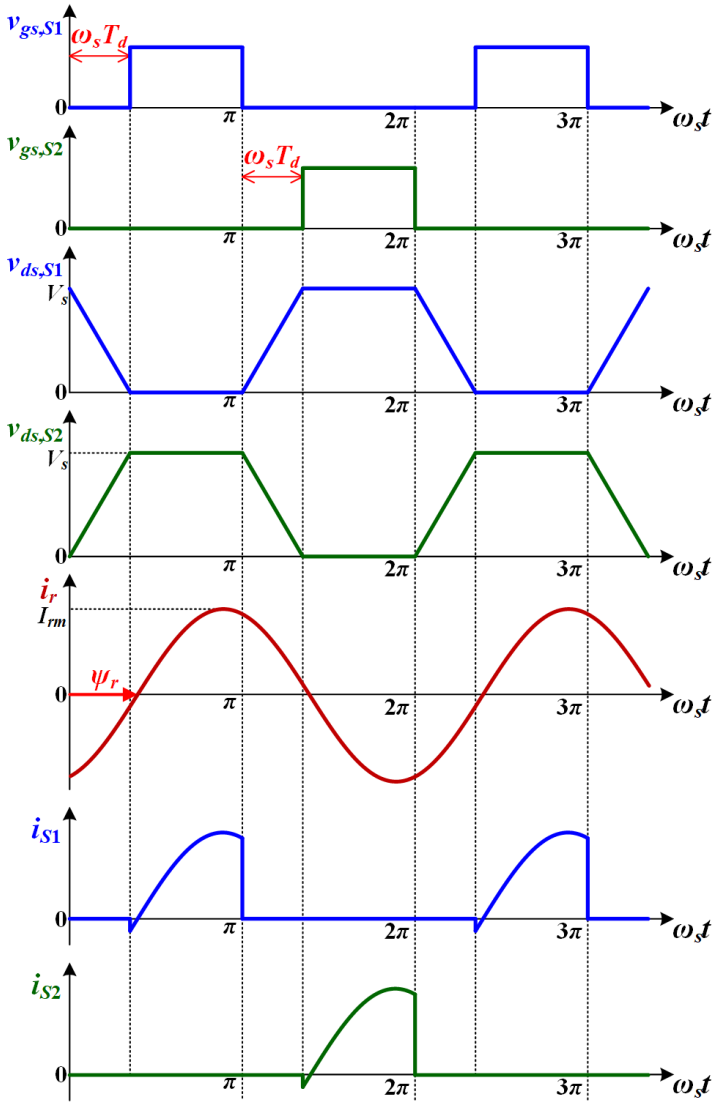


그림 2.11 하프 브릿지 공진형 컨버터 주요 파형

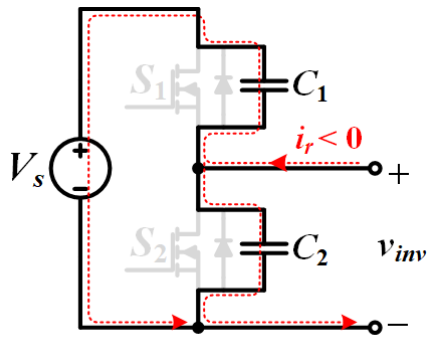


그림 2.12 스위치 S_1 턴-온 전 데드 타임 T_d 동안의 회로 동작($0 \le t \le T_d$)

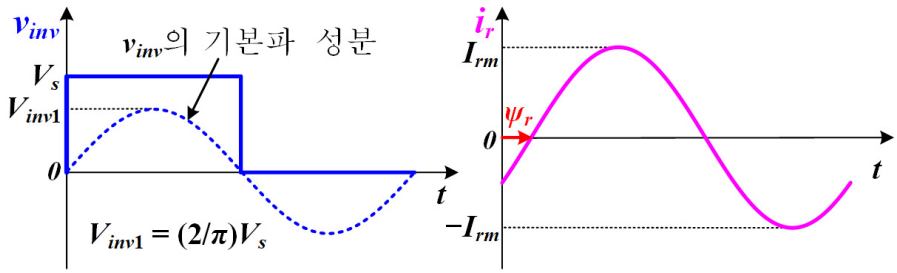


그림 2.13 데드 타임을 무시할 때 인버터 출력 전압 v_{inv}의 기본파 성분과 공진 전류 i_r ($\psi_r > 0$)

이러한 회로 동작은 그림 2.11에서 확인할 수 있다. 데드 타임을 T_d라고 하면, T_d 동안 S_1이나 S_2가 켜지기 전에 스위치 전압 $v_{ds,S1}$ 또는 $v_{ds,S2}$가 0 V로 떨어져 ZVS가 일어난다. 여기서는 스위치 전압이 0 V에 도달하는 순간에 맞춰 스위치를 턴 온 시킨다고 가정한다. 스위치 전압이 0 V로 떨어지는 시간보다 T_d가 길면 MOSFET의 경우 바디 다이오드(body diode)가 켜지는 역방향 도통 구간이 생긴다. 이 역방향 도통 손실은 일반적으로 게이트 신호를 인가할 때의 전도 손실보다 크므로 이러한 경우는 분석에서 배제한다.

또한, 공진 전류 i_r은 기본파 성분만 포함한다고 가정한다. 그러면 i_r은 아래와 같이 나타낼 수 있다.

$$i_r = I_{rm} \sin\left(\omega_s t - \psi_r\right). \tag{2.1}$$

I_{rm}과 ψ_r은 각각 i_r의 크기와 위상을 의미하고 ω_s는 스위칭 주파수를 표시한 것이다. 그림 2.12는 S_1이 턴-온 되기 전 데드 타임 동안의 회로 동작을 나타낸다. 그림에서 알 수 있듯이 $v_{ds,S1}$이 0 V로 떨어지기 위해서는 C_1은 방전, C_2는 충전돼야 하므로 공진 전류 i_r이 음의 방향으로 흘러야 한다. 즉, ZVS를 위해서 그림 2.11에서처럼 ψ_r은 0보다 커야 한다.

$\psi_r > 0$일 때 인버터 출력 전압과 공진 전류를 그림 2.13처럼 나타낼 수 있다. 기본파 전압의 위상은 0으로 공진 전류보다 앞서므로 인버터에서 바라본 LC 공진 회로의 입력 임피던스는 유도성이어야 한다. 또한, 데드 타임을 무시하면 기본파 전압의 크기는 근사적으로 입력 전압 V_s의 $2/\pi$ 배이다. 그러면 출력 전력 P_o일 때 I_{rm}은 아래와 같이 계산된다.

$$I_{rm} \approx \frac{\pi P_o}{V_s \cos\psi_r} = \frac{\pi I_s}{\cos\psi_r}. \tag{2.2}$$

$\psi_r > 0$이면 입력 전류 I_s에 대한 I_{rm}의 비율(I_{rm}/I_s)은 항상 π보다는 크고 ψ_r이 증가할수록 I_{rm}도 증가한다.

스위칭 주파수가 낮을 때는 스위치의 출력 캐패시턴스가 충·방전되는 시간이 스위칭 주기보다 짧아 데드 타임의 영향이 무시될 수 있다. 하지만 MHz 대역에서는 스위치의 출력 캐패시턴스가 충·방전되는 시간과 비슷한 정도로 스위칭 주기가 짧아지므로 데드 타임의 영향이 커진다. 그러므로 데드 타임을 고려해 공진 전류의 크기를 분석할 필요가 있다.

2.2.2 데드 타임에 따른 공진 전류 크기 분석

$0 \le \omega_s t \le \omega_s T_d$ 일 때 그림 2.12로부터 $v_{ds,S1}$과 $v_{ds,S2}$에 관한 미분 방정식을 다음과 같이 유도할 수 있다.

$$C_1 \frac{dv_{ds,S1}}{dt} - C_2 \frac{dv_{ds,S2}}{dt} = I_{rm} \sin\left(\omega_s t - \psi_r\right). \tag{2.3}$$

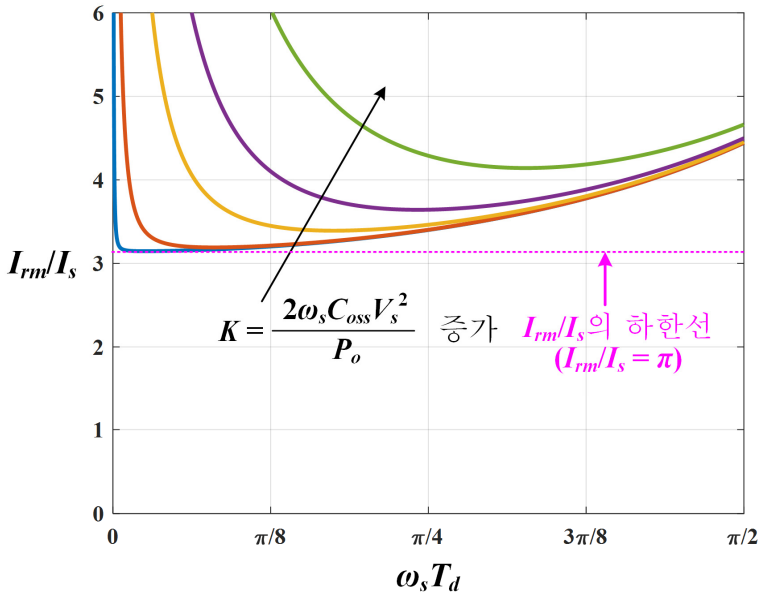


그림 2.14 데드 타임 T_d에 따른 공진 전류의 크기 I_{rm}

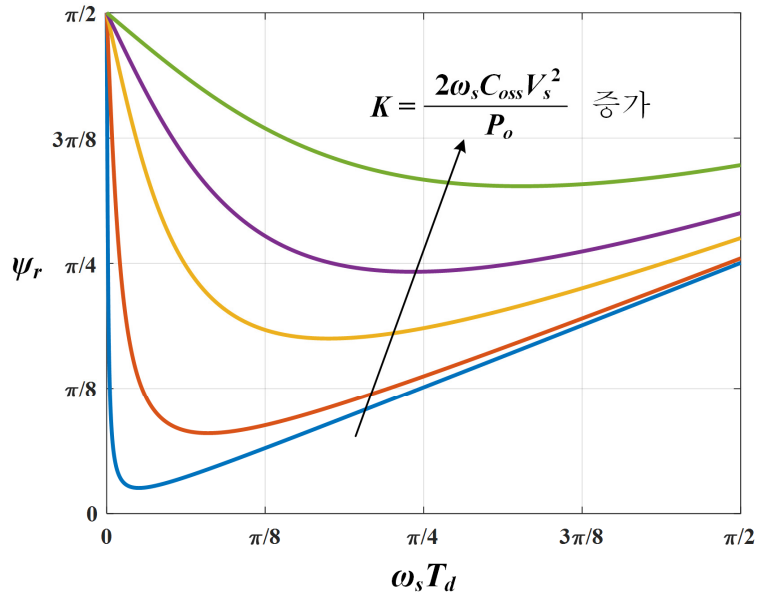


그림 2.15 데드 타임 T_d에 따른 공진 전류의 위상 ψ_r

S_1과 S_2가 같은 소자로 구현된다고 하면 C_1과 C_2가 스위치의 출력 캐패시턴스 C_{oss}로 같고($C_1 = C_2 = C_{oss}$), 두 스위치 전압의 합은 입력 전압과 같

으므로 즉, $v_{ds,S1} + v_{ds,S2} = V_s$이므로 (2.3)은 아래처럼 다시 쓸 수 있다.

$$\frac{dv_{ds,S1}}{dt} = \frac{I_{rm}}{2C_{oss}} \sin\left(\omega_s t - \psi_r\right). \tag{2.4}$$

실제로 스위치의 C_{oss}는 스위치 전압이 증가할수록 감소하지만, 여기서는 공진 전류의 크기와 위상을 간단하게 구하는 데 목적이 있으므로 C_{oss}를 상수로 생각한다. C_{oss}의 전압 의존성으로 인한 오차가 있겠지만, v_{ds1}이 감소하면 v_{ds2}는 증가해 S_1의 출력 캐패시턴스가 증가하는 한편 S_2의 출력 캐패시턴스 감소하므로 두 스위치의 C_{oss} 전압 의존성 영향이 서로 상쇄된다. 따라서 C_{oss}를 상수로 두더라도 오차는 작을 것으로 생각된다.

초기 조건을 고려해 (2.4)의 미분 방정식을 풀면 다음과 같다.

$$v_{ds,S1} = V_s - \frac{I_{rm}}{2\omega_s C_{oss}} \left\{\cos\left(\omega_s t - \psi_r\right) - \cos\psi_r\right\},\ 0 \le \omega_s t \le \omega_s T_d. \tag{2.5}$$

그리고 그림 2.11을 참고하면 정상 상태를 위해서는 다음의 2가지 조건을 만족해야 한다.

1) ZVS 조건: $\omega_s t = \omega_s T_d$일 때 $v_{ds,S1}$이 0 V이어야 한다.

$$\left(I_{rm}/I_s\right)\left\{\cos\left(\omega_s T_d - \psi_r\right) - \cos\psi_r\right\} = K. \tag{2.6}$$

여기서 K는 아래와 같이 정의되며 설계 조건에 따라 결정되는 값이다.

$$K \equiv \frac{2\omega_s C_{oss} V_s^{\,2}}{P_o}. \tag{2.7}$$

2) 출력 전력 조건: 한 스위칭 주기에 대한 스위치 S_1 전류의 평균값이 입력 전류 I_s와 같아야 한다.

$$\left(I_{rm}/I_s\right)\left\{\cos\left(\omega_s T_d - \psi_r\right) + \cos\psi_r\right\} = 2\pi. \tag{2.8}$$

그러면 (2.6)과 (2.8)을 연립해 데드 타임 T_d에 따른 I_{rm}/I_s과 ψ_r를 구할 수 있고 각각을 그림 2.14와 그림 2.15와 같이 여러 K 값에 대해 도시할 수 있다. I_{rm}/I_s과 ψ_r 모두 데드 타임이 증가함에 따라 감소하다가 증가하는

양상을 띤다. 이를 정성적으로 해석하면 T_d가 너무 짧은 경우에는 더 짧은 시간 안에 스위치 캐패시턴스 전하를 충전 또는 방전해야 하므로 ZVS를 위해 더 큰 공진 전류가 필요해진다. 반대로 T_d가 너무 길어지면 스위치의 턴 온 시간이 짧아져 같은 출력 전력을 내기 위해 공진 전류가 증가해야 한다. 따라서 I_{rm}/I_s가 최소로 되는 최적의 T_d 값이 존재하게 되며 그림 2.14와 그림 2.15에서 관찰된 결과와 일치한다.

여기서 주목할 점은 K가 증가함에 따라 최적의 T_d에서의 I_{rm}/I_s 최솟값이 증가한다는 것이다. (2.7)에서 정의한 K 식에서 알 수 있듯이 스위칭 주파수, 스위치의 출력 캐패시턴스, 입력 전압에 따라 공진 전류가 증가하는 경향이 있다. 이러한 결과는 스위치의 출력 캐패시턴스와 입력 전압이 증가할수록 전하량이 커지므로 전류가 커져야 하고, 스위칭 주파수가 높아질수록 시간이 짧아져 같은 전하량에 대해 전류는 증가해야 한다는 물리적 의미와 상통한다. 또한, K는 출력 전력에 반비례하므로 출력 전력이 감소하면 입력 전류에 대한 공진 전류의 비율이 높아진다.

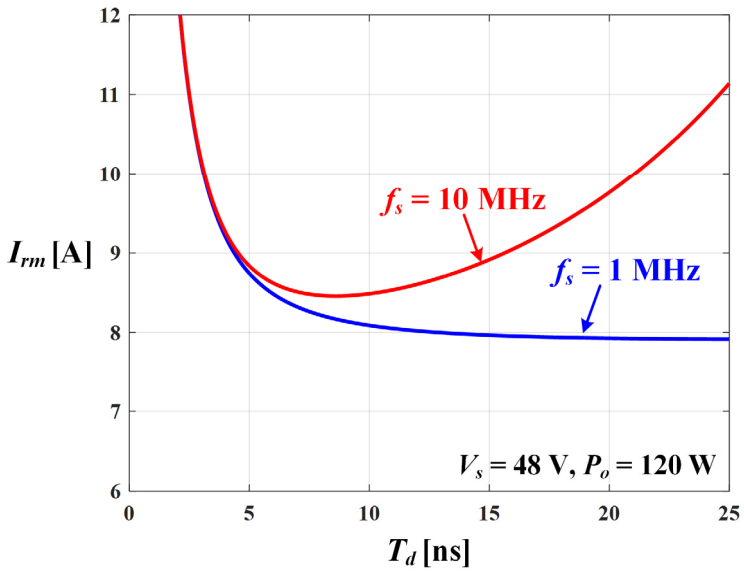


그림 2.16 스위칭 주파수에 따른 공진 전류의 크기 변화 예시

2.2.3 MHz 주파수 구동 시 한계점

2.2.2에서 분석한 바에 따르면 공진 전류의 크기를 유지하기 위해서는 스위칭 주파수가 증가한 만큼 스위치의 출력 캐패시턴스가 작아져야 한다. 하지만 스위치의 출력 캐패시턴스가 작아지는 데 한계가 있고, 보통 수십 pF~수백 pF이기 때문에 스위칭 주파수가 수 MHz~수십 MHz로 높아지면 K가 꽤 큰 값을 가지게 되어 공진 전류가 커지고 전도 손실이 증가한다. 그리고 이러한 문제는 입력 전압이 높고 출력 전력이 낮을 때 더욱 심해진다.

이러한 영향을 살펴보기 위해서 그림 2.16은 스위칭 주파수가 1 MHz일 때와 10 MHz일 때 데드 타임에 따른 공진 전류의 크기를 비교한 것이다. 입력 전압 V_s는 48 V, 출력 전력 P_o는 120 W이고, 스위치 소자는 GaN systems 사의 E-mode GaN FET인 GS61004B를 이용한다고 하여 C_1과 C_2는 200 pF로 계산하였다. 스위칭 주파수가 1 MHz일 때는 I_{rm}의 최솟값이 $T_d = 27$ ns일 때 7.91 A이고, 10 MHz일 때는 I_{rm}의 최솟값 $T_d = 8$ ns일 때 8.45 A이며 1 MHz일 때에 비해 공진 전류의 최솟값이 7% 증가한다. 따

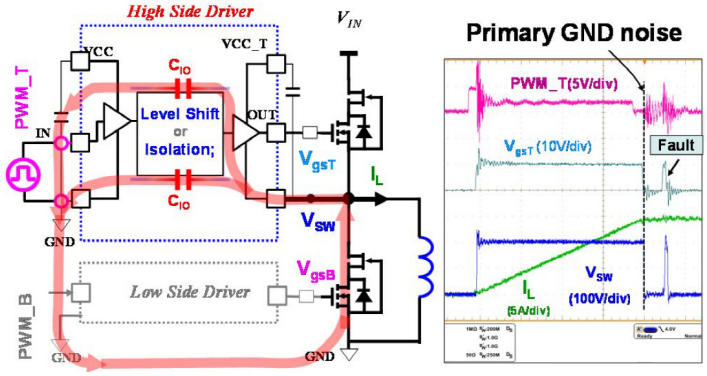


그림 2.17 게이트 드라이버 회로에서 높은 dv/dt로 인한 공통 모드 노이즈의 영향[56]

라서 스위칭 주파수가 높아질수록 공진 전류의 크기가 증가하며 전도 손실이 커진다. 게다가 주파수가 높아질수록 시간 단위가 작아져 데드 타임에 대해 공진 전류의 크기가 민감하게 변하므로 전도 손실의 저감을 위해서 데드 타임을 정밀하게 제어할 필요가 생긴다.

전도 손실 외에도 브릿지 공진형 컨버터를 MHz 대역의 주파수로 구동할 때 게이트 구동 회로의 구현에 어려움이 있다. 그림 2.17에서 볼 수 있듯이 높은 *dv*/*dt*로 발생하는 공통 모드 노이즈로 인해 스위치가 잘못 켜지는 문제가 있다[56]. 이러한 노이즈의 영향을 줄이기 위해 게이트 드라이버의 절연하는 등의 문제 해결이 필요하다. 또한, 수 ns 단위의 정밀한 데드 타임 구현이 필요하며 브릿지 회로의 두 스위치 게이트 신호 간 동기 문제도 해결해야 한다.

2.3 기존 싱글 엔디드 공진형 컨버터

본 절에서는 흔히 사용되는 싱글 엔디드 공진형 컨버터로서 Class E 컨버터 회로를 분석하고 기존 방식의 한계를 논의한다.

2.3.1 Class E 컨버터 회로 동작 분석

그림 2.3은 Class E 공진형 컨버터에서 Class E 인버터 회로 부분만 나타낸 것이다. 스위치가 1개이고 스위치의 소스가 항상 접지로 고정되므로 하이-사이드(high-side) 게이트 드라이버가 필요하지 않고 게이트 구동 회로가 간단하게 구현된다는 장점이 있다. 앞서 설명한 것처럼 스위칭 주파수가 수 MHz~수십 MHz로 높아지면 브릿지 공진형 컨버터의 경우에는 게이트 구동 회로를 구현하는 데 어려움이 있다. 이 때문에 특히 수십 MHz 대역에서 브릿지 회로 기반의 컨버터보다 Class E 컨버터와 같은 싱글 엔디드 컨버터가 주로 사용된다.

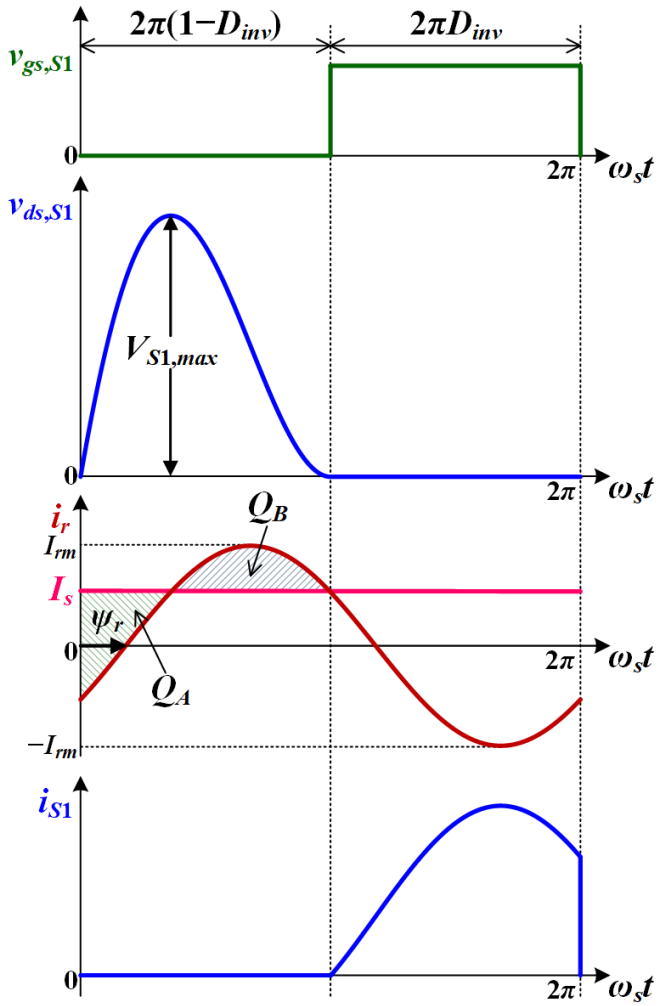


그림 2.18 Class E 인버터 회로의 주요 동작 파형

Class E 인버터 회로의 특징은 그림 2.3에서와같이 입력에 큰 필터 인덕터 L_{dc}가 있어서 입력 전류의 맥동 성분이 거의 없다는 점이다. 그래서 입력을 DC 전류원처럼 생각할 수 있다. 또한, 스위치에 병렬로 연결된 캐패시터 C_1은 스위치의 출력 캐패시턴스를 흡수할 수도 있고 그 자체로도 구현될 수 있어 기생 성분에 의한 영향을 줄일 수 있다.

그림 2.18은 Class E 인버터 회로의 주요 동작 파형을 나타낸 것이다. 스위치 S_1의 시비율은 D_{inv}로 표시되며 2.2.1에서와 마찬가지로 공진 전류

i_r이 (2.1)과 같이 기본파 성분만 포함한다고 가정한다. 그림에서 볼 수 있듯이 스위치 턴 온 시 ZVS가 일어나므로 턴 온 스위칭 손실과 노이즈가 적다. 이와 더불어 턴 오프 시에는 스위치에 병렬로 연결된 캐패시터 C_1에 의해 스위치 전압이 느리게 상승해 스위치의 전압과 전류가 겹치는 면적이 좁아지므로 턴 오프 스위칭 손실도 적어진다.

스위치 S_1이 꺼져있을 때는 입력 전류 I_s에서 공진 전류 i_r를 뺀 만큼의 전류가 C_1으로 흐른다. 그래서 그림 2.18을 보면 처음에는 이 전류가 양수이므로 스위치 전압 $v_{ds,S1}$이 증가하다가 전류가 0일 때 $v_{ds,S1}$이 최댓값 $V_{S1,max}$을 갖고 그 이후에는 전류가 음수이므로 $v_{ds,S1}$이 감소한다. 이때 그림 2.18에 표시된 것처럼 ZVS가 일어나려면 C_1에 저장된 전하 Q_A가 모두 방전돼야 하므로 Q_B가 Q_A와 같아야 한다. ZVS 조건과 더불어 Class E 컨버터에서의 최적 스위칭 조건은 턴 온 시 스위치 전압의 dv/dt가 0일 때로 이때는 스위치 턴 온 순간 스위치로 흐르는 전류가 0이다. 이를 만족하기 위한 공진 전류의 크기 I_{rm}과 위상 ψ_r이 정해지며 시비율 D_{inv}에 따라 달라진다. 2.3.2에서는 D_{inv}에 따른 공진 전류 크기를 분석한다.

2.3.2 시비율에 따른 공진 전류 크기 분석

스위치 S_1이 꺼져있는 구간에서, 즉 $0 \le \omega_s t < 2\pi(1-D_{inv})$일 때 $v_{ds,S1}$에 관한 미분 방정식은 아래처럼 쓸 수 있다.

$$C_1 \frac{dv_{ds,S1}}{dt} = I_s - I_{rm} \sin\left(\omega_s t - \psi_r\right). \tag{2.9}$$

초기 조건을 고려해 (2.9)의 미분 방정식을 풀면 다음과 같다.

$$v_{ds,S1} = \frac{I_s}{C_1} t + \frac{I_{rm}}{\omega_s C_1}\left\{\cos\left(\omega_s t - \psi_r\right) - \cos\psi_r\right\},\ 0 \le \omega_s t \le 2\pi\left(1 - D_{inv}\right). \tag{2.10}$$

정상 상태에서 (2.10)은 다음의 조건을 만족해야 한다.

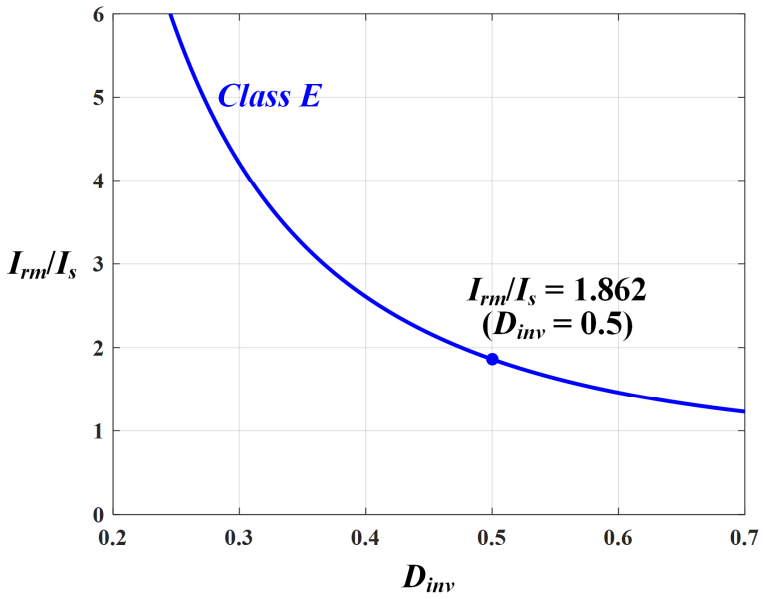


그림 2.19 시비율에 따른 공진 전류의 크기 I_{rm}

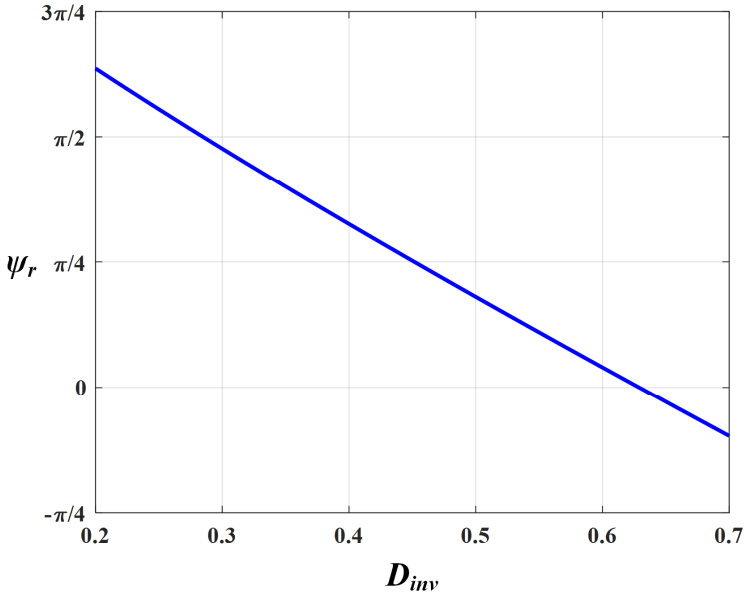


그림 2.20 시비율에 따른 공진 전류의 위상 ψ_r

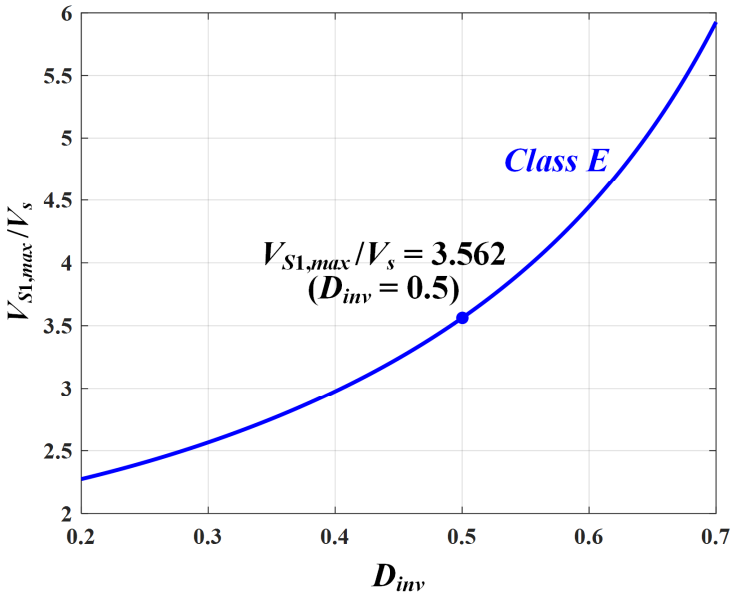


그림 2.21 시비율에 따른 스위치 전압 스트레스

1) ZVS 조건: $\omega_s t = 2\pi(1-D_{inv})$일 때 $v_{ds,S1}$이 0 V이어야 한다.

$$2\pi\left(1-D_{inv}\right)+\left(I_{rm}/I_s\right)\left\{\cos\left[2\pi\left(1-D_{inv}\right)-\psi_r\right]-\cos\psi_r\right\}=0. \quad (2.11)$$

2) 스위치 턴 온 순간 공진 전류 i_r이 입력 전류 I_s와 같아서 $dv_{ds,S1}/dt$가 0이어야 한다.

$$\left(I_{rm}/I_s\right)\sin\left[2\pi\left(1-D_{inv}\right)-\psi_r\right]=1. \quad (2.12)$$

(2.11)과 (2.12)를 연립하여 주어진 D_{inv}에 대해서 입력 전류에 대한 공진 전류의 크기 I_{rm}/I_s와 위상 ψ_r을 구할 수 있다. 그림 2.19와 그림 2.20은 각각 D_{inv}에 따른 I_{rm}/I_s와 ψ_r를 도시한 것이다.

같은 출력 전력 조건에서 D_{inv}가 증가할수록 필요한 공진 전류가 그림 2.19와 같이 감소하며 D_{inv} = 0.5일 때 I_{rm}/I_s = 1.862이다. 그림 2.14의 하프 브릿지 공진형 컨버터일 때보다 I_{rm}/I_s 값이 작은 것을 알 수 있다. 하프 브릿지 공진형 컨버터에서는 I_{rm}/I_s이 항상 π보다 크므로 Class E 컨버터의 경우 D_{inv} = 0.5일 때 하프 브릿지보다 공진 전류가 41% 이상 감소한다.

또한, 하프 브릿지의 경우와 다르게 스위칭 주파수에 따라 공진 전류의 크기 특성이 달라지지 않는다.

그러나 그림 2.21에서 볼 수 있듯이 Class E 컨버터에서 스위치의 전압 스트레스 $V_{S1,max}$는 항상 입력 전압의 2배보다 크므로 브릿지 공진형 컨버터보다 2배 이상 증가한다. D_{inv}가 큰 값일수록 전압 스트레스도 높아지며 D_{inv} = 0.5일 때 $V_{S1,max}$는 입력 전압의 3.562배이다. 기존에 Class E 컨버터의 높은 스위치 전압 스트레스 문제를 해결하기 위해 전압 클램프 회로를 이용하거나 그림 2.4의 Class Φ_2 인버터처럼 스위치 전압 스트레스가 낮은 새로운 토폴로지가 제안되기도 했지만, 추가적인 회로를 사용해 수동 소자의 개수가 늘어나고 회로의 복잡도가 증가한다.

결론적으로 Class 컨버터는 브릿지 공진형 컨버터보다 공진 전류가 작지만, 스위치 전압 스트레스가 높아진다는 단점이 있다. 그렇지만 스위치를 1개 적게 사용하면서 공진 전류의 크기를 줄일 수 있으므로 낮은 입력 전압 응용에 적용된다면 Class E 컨버터가 하프 브릿지 공진형 컨버터보다 전도 손실 면에서 더 유리하다. 게다가 D_{inv}와 공진 전류 크기의 관계가 스위칭 주파수에 의해 영향을 받지 않으므로 더 높은 스위칭 주파수에서도 효율적으로 구동할 수 있다.

2.3.3 기존 연구의 한계점

기존 Class E 인버터 회로에서는 입력에 큰 필터 인덕터를 사용하므로 입력 전류에 스위칭 리플 성분이 거의 없고, 이는 컨버터의 입력 필터 설계에 유리하다. 하지만 공진 회로의 인덕터보다 상대적으로 큰 인덕턴스를 가지므로 전력 밀도 향상에 제약이 되고 수 MHz~수십 MHz에서도 수 μH~수십 μH의 값으로 설계되어 자성 코어를 사용해야 한다. 또한, 큰

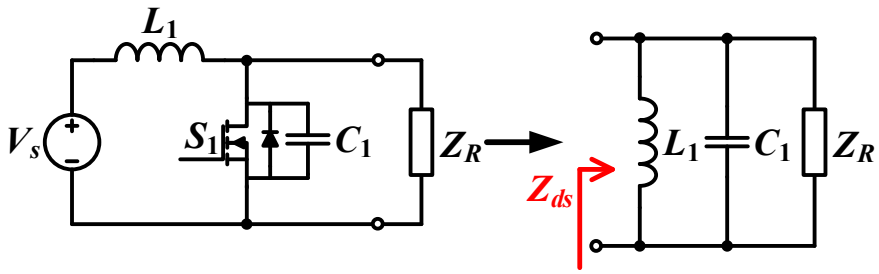


그림 2.22 스위치 드레인-소스 단에서 바라본 임피던스 Z_{ds}를 이용한 기존 설계 방법

인덕턴스가 컨버터 전체의 과도 응답 특성을 느리게 하는 문제가 있다.

따라서 기존에는 Class E 인버터의 입력 필터 인덕터를 작은 인덕턴스로 대체하는 연구가 진행되었다 [78]-[87]. 이 경우 입력 인덕터가 더 이상 DC 전류원으로 기능하지 않으므로 이 입력 인덕터의 인덕턴스를 고려한 회로 분석 모델이 제안되었다 [78]-[80]. 그러나 이 연구들은 입력 인덕턴스가 어떤 값으로 주어진 상황에서 분석 모델이 얼마나 정확한지 검증하는 데 목적이 있고 입력 인덕턴스의 설계 방법은 제시하지 않았다.

기존 싱글 엔디드 컨버터 연구에서는 다양한 입력 인덕터의 설계 방법들이 제안되었다. 하지만 대부분은 [82], [89]에서와 같이 스위치의 시비율을 0.5로 고정하고 수치 해석적 방법(numerical method)을 이용하므로 일반적인 설계 조건에서 사용하기는 어렵다. 한편, 기존에 많은 연구에서 시비율을 0.5로 분석하는 이유는 스위치의 전압 스트레스 $V_{S1,max}$와 전류 스트레스 $I_{S1,max}$를 고려해 $P_o/(V_{S1,max}\, I_{S1,max})$로 정의되는 스위치 이용률이 최대가 되는 값이기 때문이다.

또 다른 연구에서는 입력 인덕터 L_1과 스위치에 병렬로 연결된 캐패시터 C_1의 공진 주파수 ω_1을 특정 주파수로 고정하거나 어느 범위 안에서 튜닝으로 설계한다 [81], [88]. 같은 맥락에서 ω_1을 스위칭 주파수의 짝수배로 설정하는 Even-harmonic Class E 컨버터가 제안되기도 했다 [86]-[87].

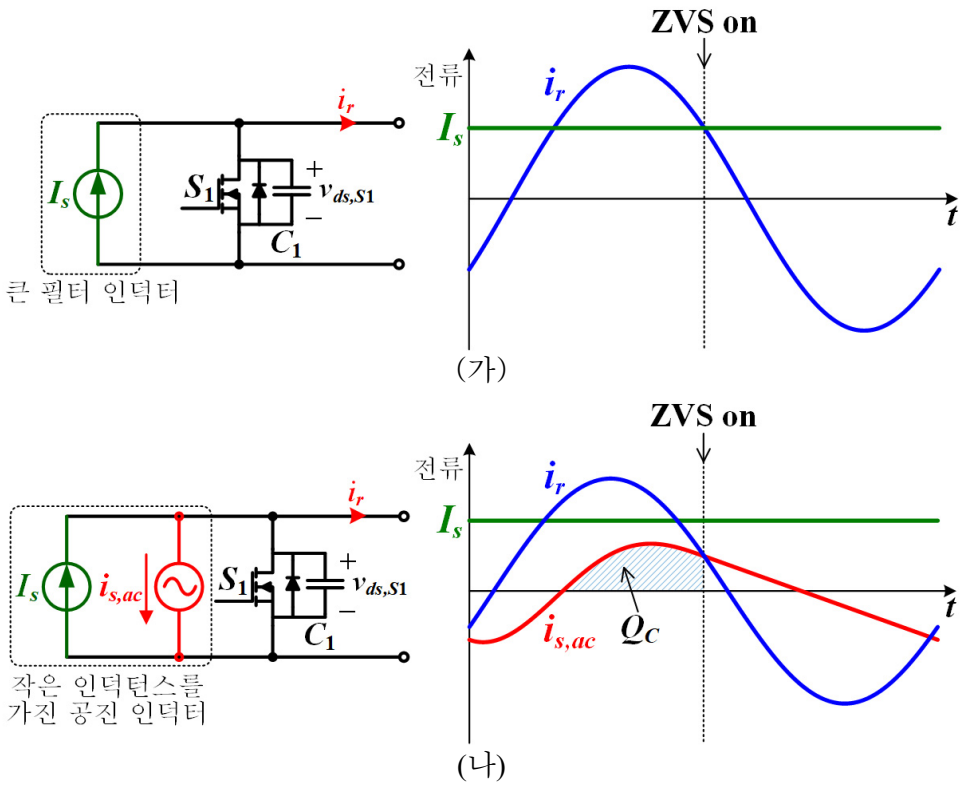


그림 2.23 (가) 기존 Class E 컨버터. (나) 입력 인덕턴스가 작은 경우.

또한, ω_1을 정하는 방법으로 그림 2.22와 같이 스위치의 소스-드레인 단에서 바라본 임피던스 Z_{ds}를 기반으로 설계하는 것이 있다 [6], [91], [93]. 이 방법에서는 ZVS를 위해서 스위칭 주파수에서 Z_{ds}의 위상이 유도성이면서 30°~60°가 되도록 ω_1을 설계한다. 그리고 주어진 출력 전력을 만족하도록 C_1을 스위치의 출력 캐패시턴스 값부터 시작해서 튜닝으로 정하고 그렇게 설계된 ω_1과 C_1으로부터 L_1을 구한다. 결론적으로 이 방법은 파라미터 튜닝으로 ZVS와 출력 전력 조건을 만족할 수 있지만, 설계 최적화에 사용하기는 어렵다.

입력 인덕턴스가 작으면 인덕터의 크기와 부피를 줄일 수 있다는 장점도 있을뿐더러 [81]에서 제안된 것처럼 부하 저항 값이 바뀌더라도 스위치 전압 파형과 ZVS 특성이 유지되는 설계도 가능하다. 그렇지만 기존

연구에서는 공진 전류의 크기를 줄이는 전도 손실 최소화 관점에서 분석 및 설계하지 않았다.

그림 2.23(가)는 기존 Class E 컨버터의 경우로 입력 필터 인덕터가 DC 전류원으로 기능한다. 스위치가 꺼져있는 동안 입력 전류 I_s는 C_1을 충전시키는 방향으로만 흐르므로 ZVS에 전혀 도움을 주지 않는다. 그래서 C_1의 전하를 빼기 위해 공진 전류가 I_s보다 꽤 커야 한다. 반면에 그림 2.23(나)와 같이 공진 전류와 비슷한 위상으로 맥동하는 입력 전류 리플 $i_{s,ac}$이 있다면 그림에 표시한 것처럼 입력 전류가 C_1의 전하를 Q_c만큼 뺄 수 있으므로 ZVS를 위해 필요한 공진 전류가 줄어든다. 따라서 작은 입력 인덕턴스를 사용할 때 기존 Class E 컨버터보다 공진 전류의 크기와 전도 손실을 줄일 수 있다.

이러한 설계 최적화를 위해 기존 연구와 다르게 시비율을 0.5로 고정하거나 ω_1을 어떤 값으로 한정하지 않는 분석이 필요하다. 또한, 설계 방법으로는 수치 해석적 방법이나 파라미터 튜닝을 기반으로 하지 않아야 한다. 따라서 일반적인 설계 조건에 적용할 수 있고 설계 통찰력을 줄 수 있는 분석적 모델(analytic model)이 요구된다.

제 3 장 싱글 엔디드 공진형 스위칭 셀을 이용한 컨버터의 분석 및 설계

3.1 싱글 엔디드 공진형 스위칭 셀

본 논문에서는 싱글 엔디드 공진형 컨버터의 설계를 위한 분석적 모델로서 그림 3.1의 싱글 엔디드 공진형 스위칭 셀을 제안한다. 앞서 언급한 대로 기존 Class E 컨버터의 한계를 해결하기 위해 입력 인덕터 L_1은 큰 필터 인덕터가 아닌 작은 인덕턴스를 가진 것으로 분석한다. 그러므로 DC 전류원으로 기능하지 않고 스위치에 병렬로 연결된 캐패시터 C_1과 공진한다. 또한, 스위칭 셀의 출력은 AC 전압원 v_{ac}이고 리액턴스 X_r이 직렬로 연결된다.

이 공진형 스위칭 셀은 양방향 전력 흐름을 모두 설명할 수 있는 장점이 있다. 다시 말해서 인버터(정방향)와 정류기(역방향)를 이 모델 하나로 분석하고 설계할 수 있다. 기존 연구에서는 인버터와 정류기가 각각

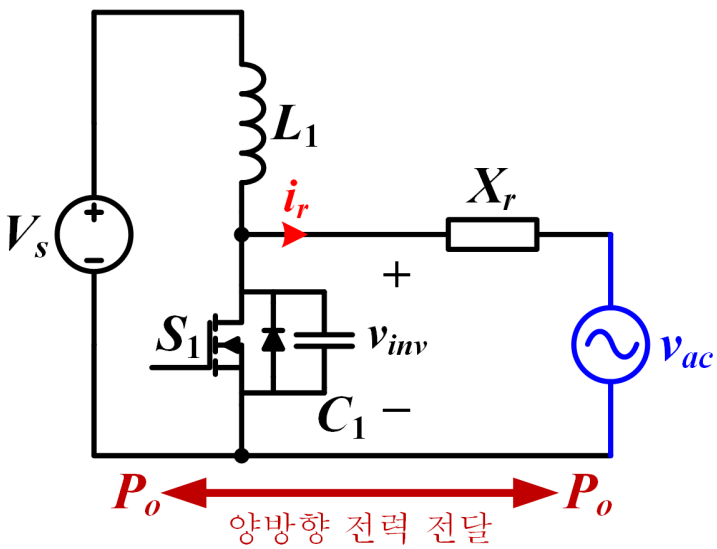


그림 3.1 싱글 엔디드 공진형 스위칭 셀

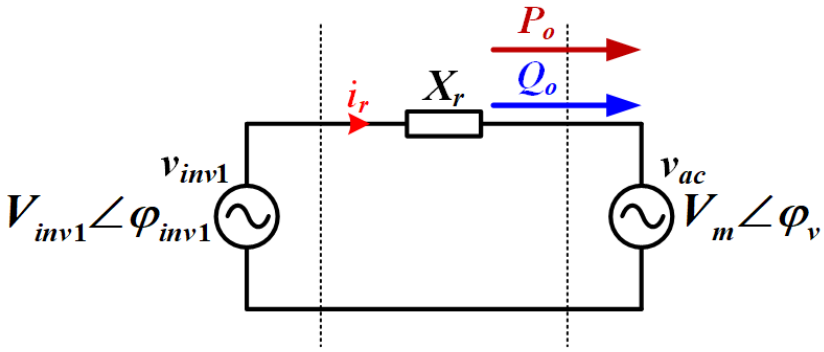


그림 3.2 기본파 주파수에서의 등가 회로

따로 분석되어 DC-DC 컨버터 전체를 바라보는 관점이 부족했다. 이 때문에 인버터와 정류기 중 하나를 먼저 설계한 후 나머지 하나의 설계를 여기에 맞추는 과정에서 불필요하게 임피던스 변환 회로가 추가되거나 파라미터 튜닝이 사용되기도 했다. 반면, 본 논문에서는 그림 3.1의 공진형 스위칭 셀을 결합해 간단하게 여러 형태의 DC-DC 컨버터를 구성할 수 있다. 따라서 스위칭 셀 하나의 분석과 설계로써 DC-DC 컨버터 전체의 설계를 설명할 수 있고 이를 다양한 DC-DC 컨버터 구성에 확장해서 적용할 수 있다.

전압원 v_{ac}는 임의의 AC 전압으로 고조파 성분을 포함할 수 있지만, 여기서는 아래의 (3.1)처럼 기본파 성분만 포함한다고 가정한다.

$$v_{ac} = V_m \sin\left(\omega_s t + \varphi_v\right). \tag{3.1}$$

V_m과 φ_v은 각각 v_{ac}의 크기와 위상을 의미한다.

그림 3.2는 기본파 주파수에서 공진형 스위칭 셀의 등가 회로를 나타낸 것이다. 리액턴스 X_r 양단에 두 전압원이 연결된 모델로 표현된다. 전압원 v_{inv1}은 인버터 출력 전압 v_{inv}의 기본파 성분을 나타내며 크기와 위상은 각각 V_{inv1}와 φ_{inv1}으로 표시된다. 그러면 전압원 v_{inv1}에서 전압원 v_{ac}로 전달되는 복소 전력 S_o은 다음과 같이 계산된다.

$$S_o = P_o + jQ_o = \frac{V_m \angle \varphi_v}{2}\left(\frac{V_{inv1}\angle\varphi_{inv1} - V_m\angle\varphi_v}{jX_r}\right)^*. \tag{3.2}$$

식 (3.2)로부터 v_{ac}로 전달되는 유효 전력 P_o와 무효 전력 Q_o을 아래와 같이 구할 수 있다.

$$P_o = \frac{V_{inv1}V_m}{2X_r}\sin\left(\varphi_{inv1} - \varphi_v\right), \tag{3.3}$$

$$Q_o = \frac{V_m}{2X_r}\left\{V_{inv1}\cos\left(\varphi_{inv1} - \varphi_v\right) - V_m\right\}. \tag{3.4}$$

식 (3.3)에서 볼 수 있듯이 유효 전력의 크기와 방향은 인버터의 기본파 전압과 v_{ac}의 위상 차, $\varphi_{inv1}-\varphi_v$에 따라 달라진다. 그리고 무효 전력의 크기와 방향은 주로 V_{inv1}과 V_m의 크기 차이에 의해 결정된다. 그러므로 P_o와

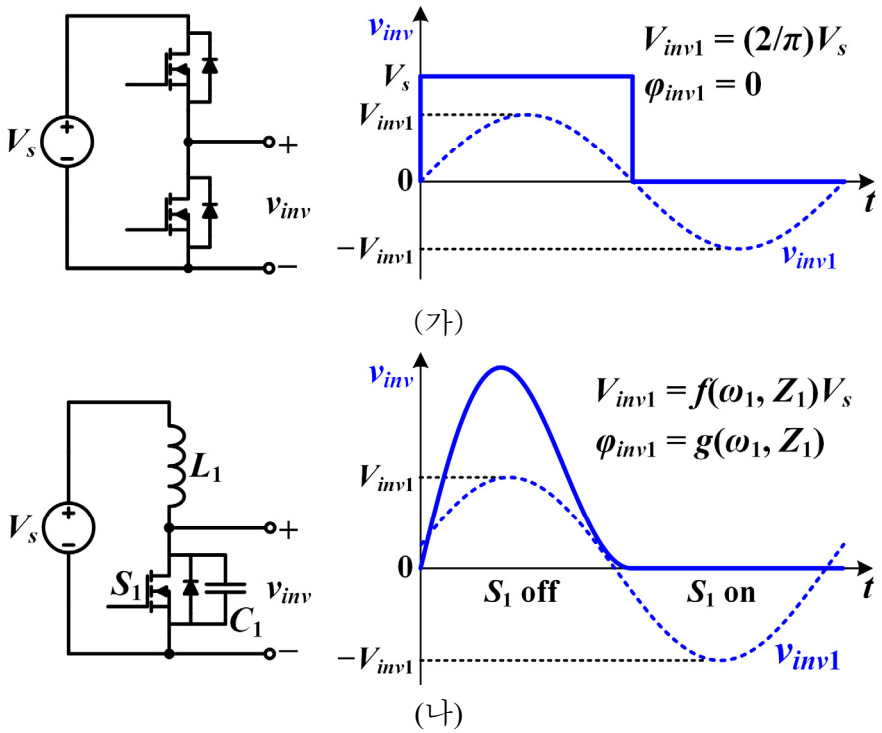


그림 3.3 하프 브릿지 회로와 싱글 엔디드 인버터 회로의 출력 전압과 기본파 성분 비교. (가) 하프 브릿지. (나) 싱글 엔디드.

Q_o를 결정하기 위해서는 먼저 인버터 출력 전압의 V_{inv1}와 φ_{inv1}을 분석할 필요가 있다.

그러나 싱글 엔디드 공진형 컨버터의 경우 브릿지 공진형 컨버터와 달리 V_{inv1}와 φ_{inv1}를 계산하는 데 어려움이 있다. 그림 3.3(가)에서 볼 수 있듯이 하프 브릿지 회로의 경우 인버터의 출력 전압은 스위치의 온/오프에 따라 입력 전압 V_s 또는 0 V로 고정된다. 그래서 데드 타임을 무시하면 기본파 전압의 크기는 $(2/\pi)V_s$, 위상은 0으로 결정된다. 반면, 싱글 엔디드 컨버터의 경우에는 턴 오프 시 스위치 전압이 그림 3.3(나)처럼 입력 전압으로 고정되지 않고 L_1과 C_1의 공진으로 결정된다. 그러므로 기본파 전압의 크기와 위상은 L_1과 C_1의 공진 주파수 ω_1과 특성 임피던스 (characteristic impedance) Z_1 (= $\sqrt{(L_1/C_1)}$)의 함수가 된다. ω_1이 높아지거나 Z_1

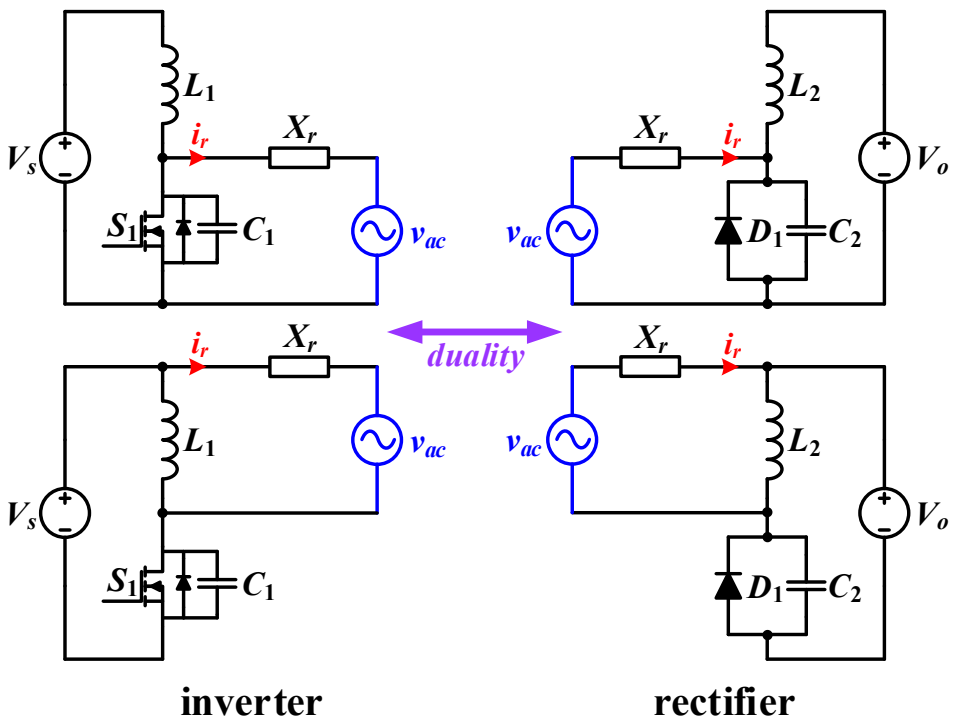


그림 3.4 싱글 엔디드 공진형 스위칭 셀로부터 유도된 공진형 정류기

이 커지면 스위치 전압 파형의 폭이 좁아지고 피크 전압이 높아지므로 스위치의 시비율 D_{inv}가 늘어나며 기본파 전압의 크기와 위상이 바뀐다. 즉, V_{inv1}과 φ_{inv1}은 ω_1과 Z_1뿐만 아니라 D_{inv}와도 복잡하게 연관된다. 기존 연구에서는 분석을 단순화하기 위해 2.3.3에서 설명한 것처럼 D_{inv}를 0.5로 고정하거나 ω_1을 특정 값으로 한정하였다. 기존 연구와 다르게 본 논문에서는 V_{inv1}과 φ_{inv1}를 분석하기 위해 일반적인 D_{inv}와 ω_1 조건에서 그림 3.1의 싱글 엔디드 공진형 스위칭 셀을 분석한다.

그림 3.1의 스위칭 셀은 전력의 방향이 입력 DC 전압 V_s에서 AC 전압 v_{ac}로 전달되는 방향(정방향)이면 인버터로 동작하고, 반대로 v_{ac}에서 V_s로 전력이 전달되는 방향(역방향)이면 정류기로 동작한다. 따라서 그림 3.4와 같이 스위치를 다이오드로 바꿈으로써 인버터와 쌍대성(duality) 관계에 있는 정류기 회로를 유도할 수 있다. 정류기에서 다이오드에 병렬로 연결된 캐패시터 C_2는 다이오드의 접합 캐패시턴스를 흡수 또는 그 자체로 활용할 수 있으므로 기존의 반파 정류기나 브릿지 정류기보다 기생 공진으로 인한 스위칭 노이즈나 손실이 줄어들 수 있다.

그러면 그림 3.5와 같이 인버터 셀(cell 1)과 정류기 셀(cell 2)을 결합해

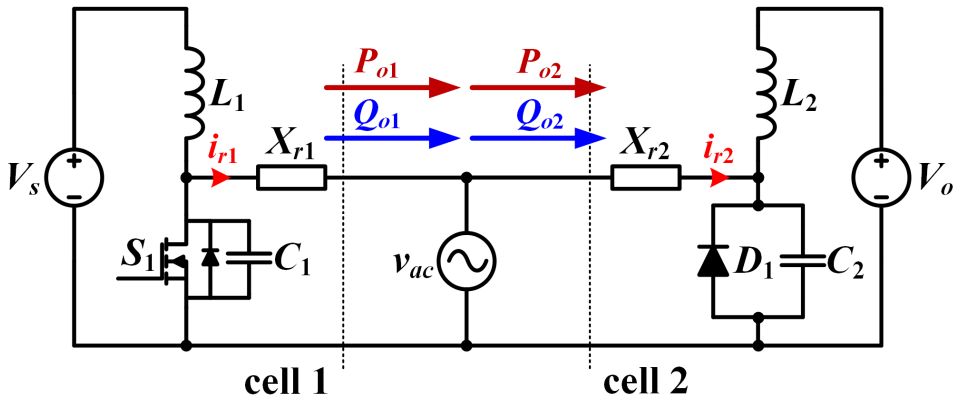
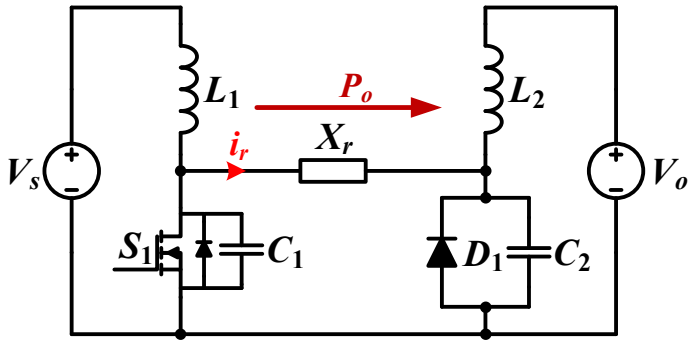
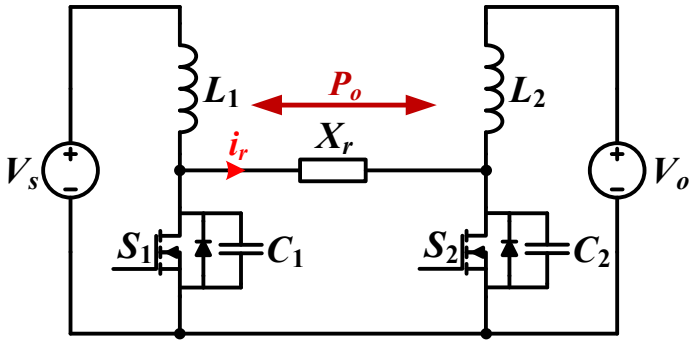


그림 3.5 인버터 셀과 정류기 셀의 결합을 통한 DC-DC 컨버터 구성



(가)



(나)

그림 3.6 싱글 엔디드 공진형 DC-DC 컨버터.
(가) 단방향 구성. (나) 양방향 구성.

DC-DC 컨버터를 구성할 수 있다. 인버터 셀은 유효 전력 P_{o1}과 무효 전력 Q_{o1}을 전압원 v_{ac}로 출력하고, 정류기 셀은 v_{ac}로부터 유효 전력 P_{o2}와 무효 전력 Q_{o2}를 받는다. 또한, 각 셀의 공진 전류는 i_{r1}과 i_{r2}로 표시된다.

$P_{o1} = P_{o2}$이고 $Q_{o1} = Q_{o2}$이면 전압원 v_{ac}로 들어가거나 나오는 전력 없이 인버터가 출력하는 전력이 그대로 정류기로 전달된다. 이것은 인버터 셀과 정류기 셀의 공진 전류가 서로 같을 때, 즉 $i_{r1} = i_{r2}$일 때 가능하다. 그러면 전압원 v_{ac}를 없애고 X_{r1}과 X_{r2}를 하나의 리액턴스 $X_r(= X_{r1} + X_{r2})$로 합쳐서 그림 3.6(가)와 같이 DC-DC 컨버터를 구성할 수 있다. 또한, 구조가 좌우로 대칭이므로 다이오드를 스위치로 바꿔 그림 3.6(나)처럼 양방향 DC-DC 컨버터로도 구성할 수 있다.

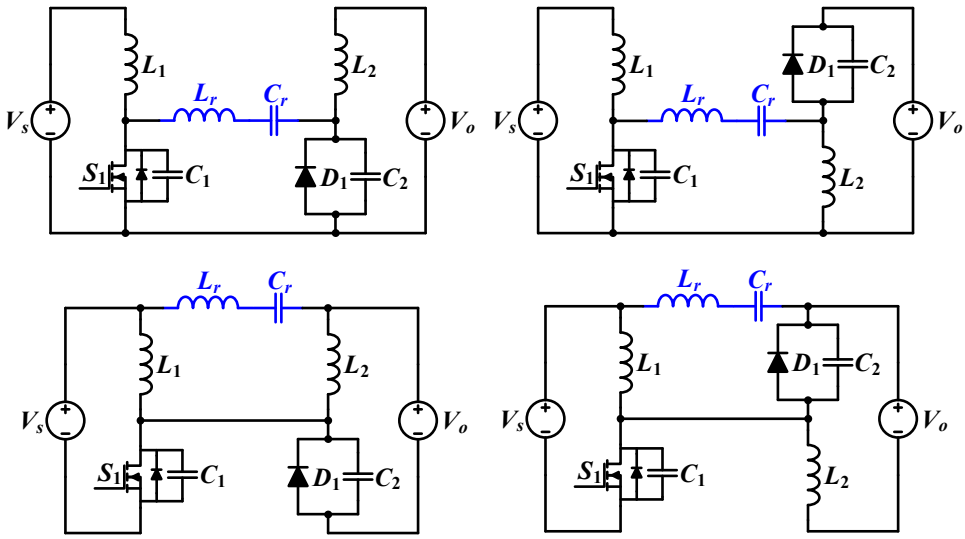


그림 3.7 X_r이 LC 직렬 공진 회로로 구현될 때 DC-DC 컨버터 예시

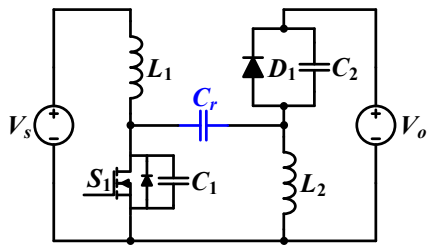


그림 3.8 X_r이 단일 캐패시터로 구현될 때 DC-DC 컨버터 예시

그림 3.6에서 리액턴스 X_r은 인덕터와 캐패시터의 다양한 조합으로 구현될 수 있다. 그런데 인버터 출력 전압의 평균값이 입력 전압 V_s이므로 컨버터가 벅 부스트 기능을 할 수 있으려면 X_r에 직류 차단(DC blocking) 캐패시터가 포함돼야 한다. 이를 고려하면 LC 직렬 공진 회로는 공진 캐패시터가 직류 차단의 기능도 하므로 적용될 수 있다. 그림 3.7은 그림 3.6에서의 X_r이 직렬 공진 회로 L_r–C_r로 구현된 예시를 보여준다. 이 컨버터들은 기존 Class E^2 컨버터[72]-[77]와 구조가 동일하다. 그렇지만 Class E^2 컨버터는 Class E 인버터와 Class E 정류기를 사용하여 L_1과 L_2가 큰 필터 인덕터인 반면에, 본 논문에서는 작은 인덕턴스를 가진 공진 인

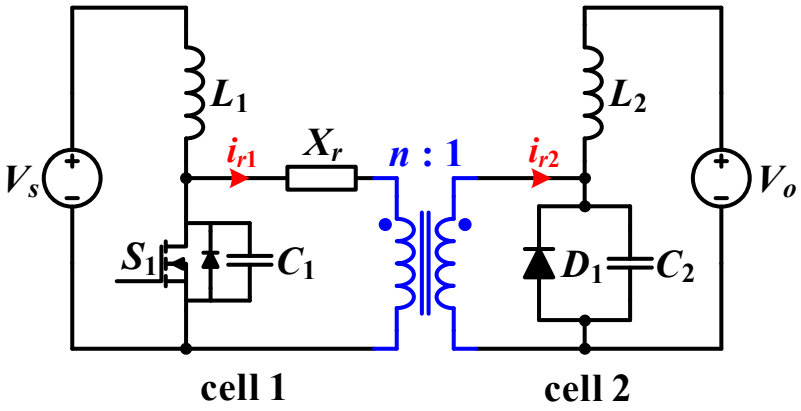


그림 3.9 변압기를 이용한 절연형 DC-DC 컨버터 구성

덕터로 구현되어 Class E^2 컨버터와 동작과 성능에 큰 차이가 있다.

L_r–C_r 직렬 공진 회로의 Q-인자(quality factor)가 극단적으로 낮아진다면 그림 3.8처럼 X_r이 캐패시터 C_r 하나로만 구현될 수 있다. 이 경우 기존의 SEPIC MRC와 구조가 동일하다. 그러나 MRC에서도 Class E^2 컨버터와 마찬가지로 L_1과 L_2를 DC 전류원으로 해석하여 큰 인덕터로 구현한다. 이를 [6], [88]에서처럼 공진 인덕터로 대체하는 연구가 있지만 2.3.3에서 언급한 것처럼 분석과 설계가 파라미터 튜닝에 의존한다.

앞의 경우는 인버터 셀과 정류기 셀의 공진 전류가 일치할 때이다($i_{r1} = i_{r2}$). 하지만 때에 따라서 두 전류가 일치하지 않을 수 있다($i_{r1} \neq i_{r2}$). 예를 들어 컨버터의 DC 전압 이득(voltage gain)이 너무 높거나 낮을 때 공진 전류가 일치하려면 스위치와 다이오드의 시비율이 너무 높거나 낮아져 실제 구현이 불가능하다. 이러한 경우에는 두 셀을 직접 붙이는 대신 그림 3.9처럼 두 셀 사이에 변압기와 같은 임피던스 변환기가 이용될 수 있다. 변압기는 권선 비(turn ratio) n에 따라 1, 2차 측 전류의 크기를 바꿀 수 있으므로 두 셀의 전류가 반드시 일치할 필요가 없어진다. 그러나 변압기는 1, 2차 측 전류의 위상을 바꾸지 않으므로 두 셀의 공진 전류가 크기만 다르고 위상은 같은 경우에 쓸 수 있다. 한편, 전류의 크기를 바

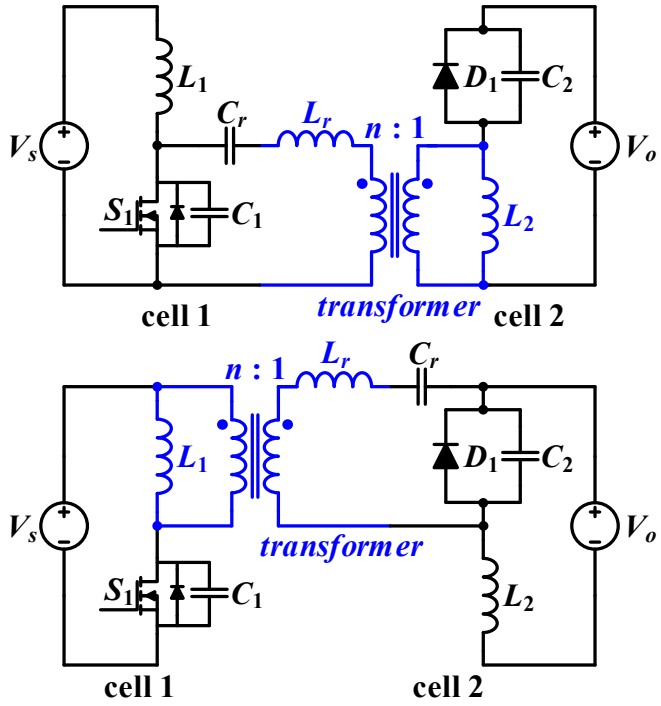


그림 3.10 X_r이 LC 직렬 공진 회로일 때 변압기의 누설 인덕턴스와 자화 인덕턴스를 흡수할 수 있는 절연형 DC-DC 컨버터 구성 예시

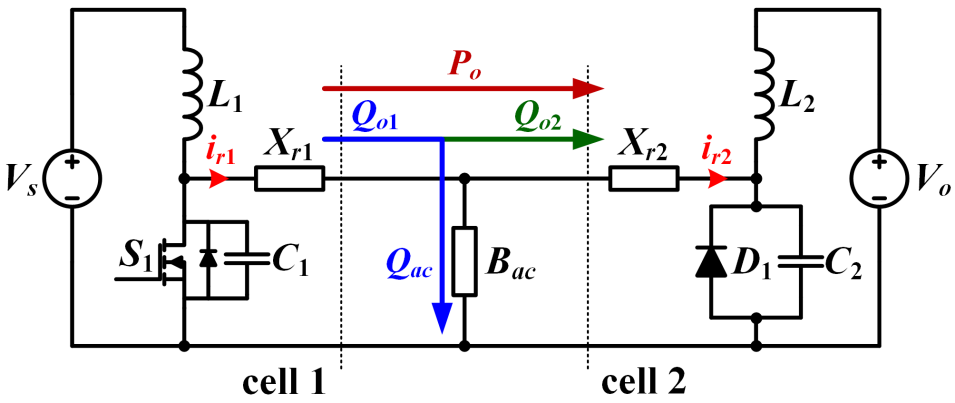


그림 3.11 공진 전류가 일치하지 않을 때 서셉턴스(susceptance) B_{ac}를 이용하는 DC-DC 컨버터 구성

꿀 필요가 없더라도 절연을 위해 변압기가 사용되기도 한다.

그런데 실제 변압기 모델은 누설 인덕턴스(leakage inductance)와 자화 인덕턴스(magnetizing inductance)를 포함하며 특히 MHz 대역의 주파수에

서는 이들의 영향을 무시할 수 없다. 변압기의 누설 인덕턴스는 리액턴스 X_r이 직렬로 연결된 공진 인덕터를 포함하면 이 공진 인덕터에 흡수될 수 있다. 하지만 자화 인덕턴스를 공진 인덕터에 흡수할 수 있는지는 스위칭 셀의 형태에 따라 다르다. X_r이 LC 직렬 공진 회로일 때 그림 3.9에서는 자화 인덕턴스를 흡수할 수 없다. 따라서 회로에 영향이 없도록 변압기의 자화 인덕턴스를 큰 값으로 제작해야 한다. 반면, 그림 3.10은 변압기의 누설 인덕턴스뿐만 아니라 자화 인덕턴스도 공진 소자로 흡수하거나 이용할 수 있는 절연형 DC-DC 컨버터 구성을 보여준다. 그림에서 볼 수 있듯이 정류기 셀의 L_2나 인버터 셀의 L_1이 자화 인덕턴스로 이용되고, 공진 인덕터 L_r은 누설 인덕턴스를 흡수하거나 그 자체를 이용할 수 있다. 여기서 변압기의 자화 인덕턴스로 이용되는 L_1이나 L_2는 DC 전류원이 아닌 공진 인덕터로 기능하므로 누설 인덕턴스와 비슷한 단위의 인덕턴스를 가진다. 그러므로 그림 3.10의 절연형 컨버터 구성은 수 MHz~수십 MHz에서 결합 계수(coupling coefficient)가 작은 공심(air-core) 변압기를 사용하는 데 유리하다. 또한, MHz 대역의 주파수로 구동하는 무선 전력 전송(WPT) 시스템에 적용하기에 적합한 특징이 있다.

공진 전류의 위상이 다를 때는 그림 3.11처럼 중간에 병렬로 연결된 서셉턴스(susceptance) B_{ac}가 공진 전류의 차이로 생기는 무효 전력의 차이를 보상할 수 있다. 따라서 유효 전력 P_o는 인버터 셀에서 정류기로 그대로 전달되고, 무효 전력은 인버터 셀이 무효 전력 Q_{o1}을 내보내고 정류기 셀이 Q_{o2}를 받으며 $Q_{ac}(=Q_{o1}-Q_{o2})$만큼이 B_{ac}로 흐른다.

본 논문의 3.2에서는 그림 3.1의 싱글 엔디드 공진형 스위칭 셀을 분석하고 3.3에서는 스위칭 셀의 설계 방법을 제안한다. 그리고 3.4에서는 셀의 결합을 통해 구성한 DC-DC 컨버터 전체를 설계하는 방법에 관해 설명하고 여러 구조에 확장해서 적용할 수 있음을 보여준다.

3.2 공진형 스위칭 셀의 회로 분석

본 절에서는 그림 3.1의 싱글 엔디드 공진형 스위칭 셀 회로를 분석한다. 먼저 3.2.1에서는 스위칭 셀의 인버터 동작을 분석하고 3.2.2에서는 인버터 회로와 쌍대성 관계에 있는 정류기 회로를 분석한다.

3.2.1 스위칭 셀의 인버터 동작 분석

스위칭 셀의 리액턴스 X_r은 낮은 Q-인자를 가진 LC 공진 회로로도 구현될 수 있지만, 본 논문에서는 Q-인자가 충분히 큰 경우만 다룬다. 그

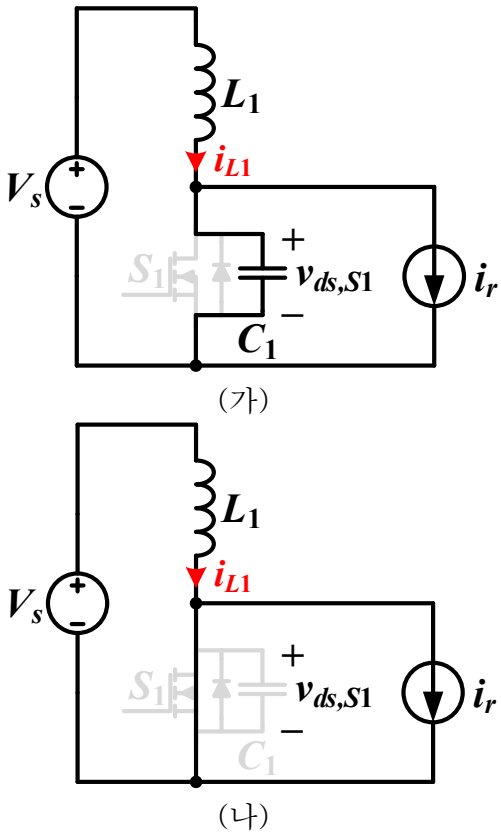


그림 3.12 각 동작 모드에서 공진형 스위칭 셀의 등가 회로.
(가) Mode I (S_1: OFF). (나) Mode II (S_1: ON).

러면 공진 전류 i_r을 아래와 같이 기본파 성분만 포함된 이상적인 정현파로 근사할 수 있다.

$$i_r = I_{rm} \sin\left(\omega_s t + \varphi_r\right). \tag{3.5}$$

여기서 I_{rm}과 φ_r은 각각 i_r의 크기와 위상을 의미한다.

스위칭 셀의 인버터 동작 모드는 스위치 S_1이 OFF 상태인 Mode I과 ON 상태인 Mode II로 구분된다. t = 0일 때 스위치 S_1이 턴 오프 되고 스위치 S_1의 시비율을 D_{inv}로 나타내면, Mode I은 $0 \le \omega_s t \le 2\pi(1-D_{inv})$인 구간이고 Mode II는 $2\pi(1-D_{inv}) \le \omega_s t \le 2\pi$일 때이다.

그림 3.12는 Mode I과 II에서 공진형 스위칭 셀의 등가 회로를 그린 것이다. 공진 전류는 AC 전류 싱크로 생각할 수 있다. 각 동작 모드의 등가 회로로부터 인덕터 L_1의 전류 i_{L1}과 스위치 S_1의 전압 $v_{ds,S1}$에 관한 미분 방정식을 다음과 같이 유도할 수 있다. 이때 Mode I과 II에서의 i_{L1}, $v_{ds,S1}$은 각각 $i_{L1,I}$, $v_{ds,S1,I}$과 $i_{L1,\mathrm{II}}$, $v_{ds,S1,II}$로 표시한다.

Mode I:

$$\begin{cases} L_1 \dfrac{di_{L1,I}}{dt} = V_s - v_{ds,S1,I} \\ C_1 \dfrac{dv_{ds,S1,I}}{dt} = i_{L1,I} - I_{rm} \sin\left(\omega_s t + \varphi_r\right) \end{cases} \quad 0 \le \omega_s t \le 2\pi\left(1 - D_{inv}\right). \tag{3.6}$$

Mode II:

$$\begin{cases} L_1 \dfrac{di_{L1,II}}{dt} = V_s \\ v_{ds,S1,II} = 0 \end{cases} \quad 2\pi\left(1 - D_{inv}\right) \le \omega_s t \le 2\pi. \tag{3.7}$$

Mode I에서의 $i_{L1,I}$과 $v_{ds,S1,I}$을 유도하기 위해 (3.6)의 미분 방정식을 푸려면 초기 조건을 먼저 구해야 한다. 턴 온 시 스위치 전압 강하를 무시하면

스위치가 꺼지는 순간, 즉 $t = 0$일 때 스위치 전압은 0 V이다. 그리고 턴-오프 스위치 전류를 $I_{1,off}$로 나타내면 초기 조건은 아래와 같이 정해진다.

$$i_{L1,I}(0) = I_{1,off} + I_{rm}\sin\varphi_r, \quad v_{ds,S1,I}(0) = 0. \tag{3.8}$$

식 (3.8)의 초기 조건을 고려하여 (3.6)을 Laplace 변환하면 아래와 같다.

$$sL_1 I_{L1,I}(s) = L_1\left(I_{1,off} + I_{rm}\sin\varphi_r\right) + \frac{V_s}{s} - V_{ds,S1,I}(s), \tag{3.9}$$

$$sC_1 V_{ds,S1,I}(s) = I_{L1,I}(s) - I_{rm}\frac{\omega_s\cos\varphi_r + s\sin\varphi_r}{s^2+\omega_s^2}. \tag{3.10}$$

식 (3.9)와 (3.10)을 연립하면 다음과 같이 $V_{ds,S1,I}(s)$를 구할 수 있다.

$$V_{ds,S1,I}(s) = \frac{\omega_1^2 V_s}{s\left(s^2+\omega_1^2\right)} + \frac{\omega_1 Z_1\left(I_{1,off} + I_{rm}\sin\varphi_r\right)}{s^2+\omega_1^2} - \omega_1 Z_1 I_{rm}\frac{s\omega_s\cos\varphi_r + s^2\sin\varphi_r}{\left(s^2+\omega_s^2\right)\left(s^2+\omega_1^2\right)}. \tag{3.11}$$

여기서 ω_1과 Z_1은 각각 아래와 같이 정의되는 L_1과 C_1의 공진 주파수와 특성 임피던스를 의미한다.

$$\omega_1 \equiv \frac{1}{\sqrt{L_1 C_1}}, \quad Z_1 \equiv \sqrt{\frac{L_1}{C_1}}. \tag{3.12}$$

그러면 Laplace 역변환을 통해 아래 (3.13)처럼 $v_{ds,S1,I}$을 유도할 수 있다.

$$\begin{aligned} v_{ds,S1,I}(t) = {} & V_s - V_s\cos\omega_1 t + Z_1 I_{1,off}\sin\omega_1 t + \frac{Z_1 I_{rm}\sin\varphi_r}{1+\left(\omega_1/\omega_s\right)}\sin\omega_1 t \\ & + \frac{Z_1 I_{rm}\left(\omega_1/\omega_s\right)}{1-\left(\omega_1/\omega_s\right)^2}\left\{\cos\left(\omega_s t+\varphi_r\right) - \cos\left(\omega_1 t+\varphi_r\right)\right\}. \end{aligned} \tag{3.13}$$

그리고 (3.6)과 (3.13)을 이용해 $i_{L1,I}$도 다음과 같이 구할 수 있다.

$$\begin{aligned} i_{L1,I}(t) = {} & \frac{V_s}{Z_1}\sin\omega_1 t + I_{1,off}\cos\omega_1 t + \frac{I_{rm}\sin\varphi_r}{1+\left(\omega_1/\omega_s\right)}\cos\omega_1 t \\ & - \frac{I_{rm}\left(\omega_1/\omega_s\right)}{1-\left(\omega_1/\omega_s\right)^2}\left\{\frac{\omega_1}{\omega_s}\sin\left(\omega_s t+\varphi_r\right) - \sin\left(\omega_1 t+\varphi_r\right)\right\}. \end{aligned} \tag{3.14}$$

마찬가지로 (3.7)로부터 Mode II에서의 $i_{L1,II}$과 $v_{ds,S1,II}$를 유도할 수 있다.

$$i_{L1,II}(t) = i_{L1,I}\left[(1-D_{inv})T_s\right] + \frac{\omega_1 V_s}{Z_1}\left\{t-(1-D_{inv})T_s\right\}, \tag{3.15}$$

$$v_{ds,S1,II}(t) = 0. \tag{3.16}$$

여기서 T_s는 S_1의 스위칭 주기를 의미한다.

인버터가 정상 상태(steady state)에서 동작한다고 가정하면 Mode I과 II에서의 i_{L1}과 $v_{ds,S1}$은 다음의 경계 조건을 만족해야 한다.

1) 한 스위칭 주기 동안 인덕터 L_1 양단 전압의 평균값이 0이다. 다시 말해서 $t=0$일 때와 $t=T_s$일 때 i_{L1} 값이 동일하다.

$$i_{L1,I}(0) = i_{L1,II}(T_s). \tag{3.17}$$

2) 한 스위칭 주기 동안 i_{L1}의 평균값이 입력 전류 I_s와 일치한다.

$$\int_0^{2\pi} i_{L1} d(\omega_s t) = \int_0^{2\pi(1-D_1)} i_{L1,I} d(\omega_s t) + \int_{2\pi(1-D_1)}^{2\pi} i_{L1,II} d(\omega_s t) = 2\pi I_s. \tag{3.18}$$

식 (3.14)와 (3.15)을 (3.17)과 (3.18)에 대입하여 정리하면 아래의 (3.19)와 (3.20)처럼 쓸 수 있다. 이때 $A_1 \equiv 2\pi(1-D_{inv})$, $B_1 \equiv 2\pi\omega_{1,N}(1-D_{inv})$이다.

$$\frac{i_{L1,I}\left[(1-D_{inv})T_s\right]}{V_s/Z_1} + 2\pi\omega_{1,N}D_{inv} = Q_1\left(\frac{I_{1,off}}{I_s}\right) + M_{inv}Q_1\sin\varphi_r, \tag{3.19}$$

$$\begin{aligned}&\frac{1}{\omega_{1,N}}\left\{1-\cos B_1 + Q_1\left(\frac{I_{1,off}}{I_s}\right)\sin B_1 + \frac{M_{inv}Q_1}{1+\omega_{1,N}}\sin B_1\sin\varphi_r\right\} + M_{inv}Q_1\cos\varphi_r \\ &\frac{M_{inv}Q_1}{1-\omega_{1,N}^{\ 2}}\left\{\omega_{1,N}^{\ 2}\cos(A_1+\varphi_r) - \cos(B_1+\varphi_r)\right\} + 2\pi D_{inv}\frac{i_{L1,I}\left[(1-D_{inv})T_s\right]}{V_s/Z_1} \\ &+2\pi^2 D_{inv}^{\ 2}\omega_{1,N} = 2\pi Q_1.\end{aligned} \tag{3.20}$$

여기서 $\omega_{1,N}$은 ω_s로 정규화된 공진 주파수이고 ($\omega_{1,N} \equiv \omega_1/\omega_s$), M_{inv}와 Q_1은 각각 인버터의 전류 이득(current gain)과 유효 Q-인자(effective Q factor)를 의미하고 다음과 같이 정의된다.

$$M_{inv} \equiv \frac{I_{rm}}{I_s}, \quad Q_1 \equiv \frac{Z_1}{V_s / I_s}. \tag{3.21}$$

또한, ZVS를 위해서는 (3.13)을 고려하면 아래의 (3.22)를 만족해야 한다.

$$\begin{aligned} v_{ds,S1,I}\left[\left(1-D_{inv}\right)T_s\right] = 1-\cos B_1 + Q_1\left(\frac{I_{1,off}}{I_s}\right)\sin B_1 + \frac{M_{inv}Q_1}{1+\omega_{1,N}}\sin B_1 \sin\varphi_r \\ + \frac{M_{inv}Q_1\omega_{1,N}}{1-\omega_{1,N}^{\ 2}}\left\{\cos\left(A_1+\varphi_r\right)-\cos\left(B_1+\varphi_r\right)\right\} = 0. \end{aligned} \tag{3.22}$$

한편, (3.19)와 (3.20)에 포함된 $i_{L1,I}[(1-D_{inv})T_s]/(V_s/Z_1)$은 (3.14)를 이용해 아래와 같이 쓸 수 있다.

$$\begin{aligned} \frac{i_{L1,I}\left[\left(1-D_{inv}\right)T_s\right]}{V_s/Z_1} = \sin B_1 + Q_1\left(\frac{I_{1,off}}{I_s}\right)\cos B_1 + \frac{M_{inv}Q_1}{1+\omega_{1,N}}\cos B_1 \sin\varphi_r \\ - \frac{M_{inv}Q_1\omega_{1,N}}{1-\omega_{1,N}^{\ 2}}\left\{\omega_{1,N}\sin\left(A_1+\varphi_r\right)-\sin\left(B_1+\varphi_r\right)\right\}. \end{aligned} \tag{3.23}$$

식 (3.23)을 대입해 (3.19)와 (3.20)을 다시 정리하면 (3.22)뿐만 아니라 (3.19)와 (3.20) 모두 D_{inv}, $\omega_{1,N}$, M_{inv}, Q_1, $I_{1,off}/I_s$, φ_r의 6개 변수로 표현된다. 여기서 주목해야 할 점은 ω_1, Z_1, I_{rm}, $I_{1,off}$를 그대로 이용하는 대신에 ω_s, V_s, I_s로 정규화된 변수를 사용함으로써 유도한 방정식이 입력 전압, 출력 전력, 스위칭 주파수와 같은 동작 조건과 무관하다는 것이다. 결과적으로 이 변수들로 표현된 방정식의 해는 동작 조건에 따라 달라지지 않으며, 이를 통한 분석도 동작 조건과 관계없이 적용될 수 있다.

그러면 (3.19), (3.20), (3.22)를 만족하는 D_{inv}, $\omega_{1,N}$, M_{inv}, Q_1, $I_{1,off}/I_s$, φ_r의 해를 다음과 같이 구할 수 있다. 변수가 6개, 제한 조건이 3개 있으므로 자유도(degree of freedom)는 3이다. 따라서 설계가 가능한 변수인 D_{inv}, $\omega_{1,N}$, M_{inv}과 Q_1의 곱($M_{inv}Q_1$)이 임의의 값을 가진다고 할 때 나머지 3개 변수들의 해를 구한다. 먼저 (3.19), (3.20), (3.22)를 연립하면 φ_r에 관한 식이 아래처럼 유도된다.

$\cos B_1 \neq 1$일 때

$$\cos\left(\varphi_r - \alpha\right) = \frac{2\left(1-\cos B_1\right) + 2\pi\omega_{1,N} D_1 \sin B_1}{M_{inv} Q_1 \sqrt{K_{cos}{}^2 + K_{sin}{}^2}}, \alpha \equiv \operatorname{atan2}\left(K_{sin,} K_{cos}\right). \quad (3.24)$$

$$K_{cos} = \frac{\omega_{1,N}}{1-\omega_{1,N}{}^2}\left\{\cos\left(A_1 - B_1\right) - \cos A_1 + \cos B_1 - 1\right\} - \frac{\omega_{1,N} \sin A_1 \sin B_1}{1+\omega_{1,N}},$$

$$K_{sin} = \frac{\omega_{1,N}}{1-\omega_{1,N}{}^2}\left\{\sin A_1 - \sin B_1 - \sin\left(A_1 - B_1\right)\right\} - \frac{\omega_{1,N} \sin B_1 \left(\cos A_1 - 1\right)}{1+\omega_{1,N}}.$$

$\cos B_1 = 1$일 때

$$\varphi_r = \operatorname{atan2}\left\{sign\left(1-\omega_{1,N}{}^2\right)\left(\cos A_1 - 1\right), sign\left(1-\omega_{1,N}{}^2\right)\sin A_1\right\}. \quad (3.25)$$

이때 $sign(\cdot)$은 괄호 안의 변수가 0보다 크면 1, 작으면 −1, 0이면 0이다. 식 (3.24), (3.25)를 통해 얻은 φ_r을 이용해 나머지 변수 Q_1 (또는 M_{inv}) $I_{1,off}/I_s$도 계산할 수 있다. 자세한 계산 과정은 부록 A.1에서 기술한다.

여기서 중요한 것은 (3.24)에서 볼 수 있듯이 $M_{inv}Q_1$ 값에 따라 해가 존재할 수 있고 없을 수도 있다는 점이다. 해가 없다는 의미는 (3.19), (3.20), (3.22)의 조건이 모두 충족되지는 않는다는 것이다. 그런데 정상 상태에 도달하면 (3.19)와 (3.20)은 성립하기 때문에 (3.22)의 조건을 만족할 수 없다는 뜻과 같다. 하지만 이것이 ZVS가 일어날 수 없음을 의미하지 않는다. ZVS 조건에 관해서는 아래에서 좀 더 자세히 논의한다.

해가 존재하기 위해서는 (3.20)에서 $|\cos(\varphi_r-\alpha)|\leq 1$이어야 하므로 $M_{inv}Q_1(= Z_1P_oM_{inv}/V_s^2)$이 아래의 부등식을 만족해야 한다.

$$M_{inv}Q_1 = \frac{Z_1 P_o M_{inv}}{V_s^2} \geq \frac{\left|2\left(1-\cos B_1\right) + 2\pi\omega_{1,N} D_1 \sin B_1\right|}{\sqrt{K_{cos}{}^2 + K_{sin}{}^2}}. \quad (3.26)$$

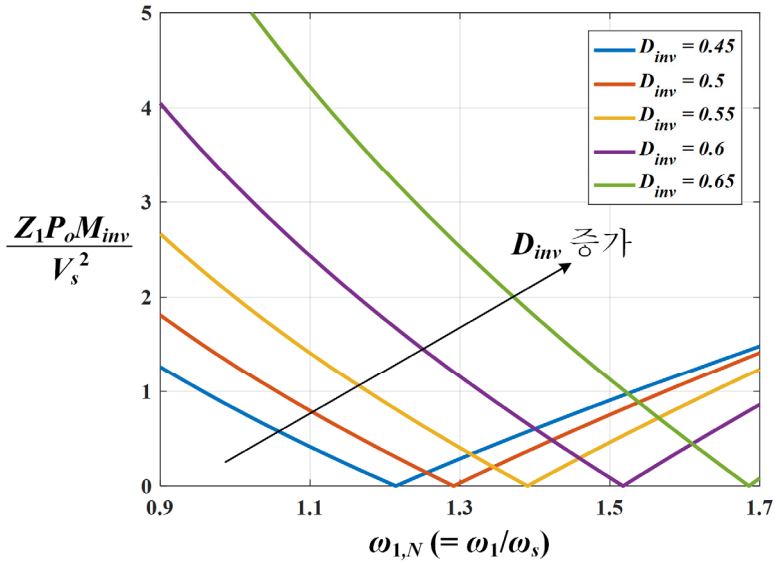


그림 3.13 (3.24)의 φ_r이 존재하는 $M_{inv}Q_1$의 경계

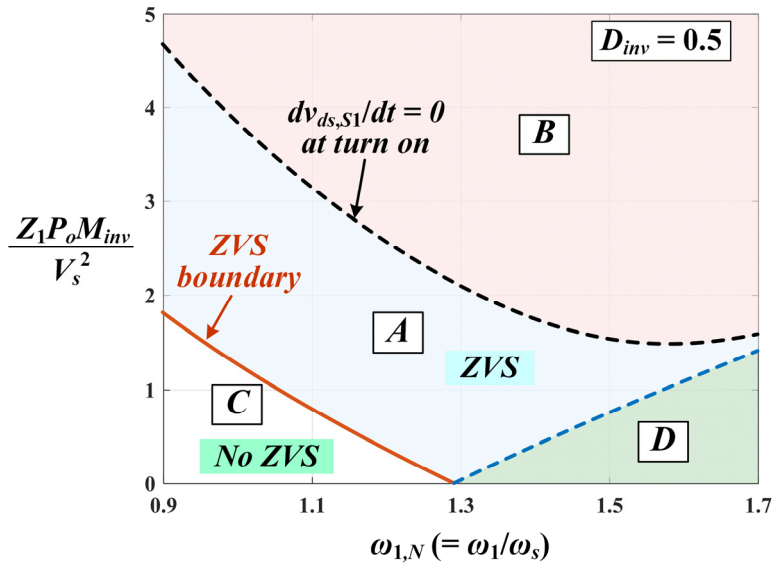
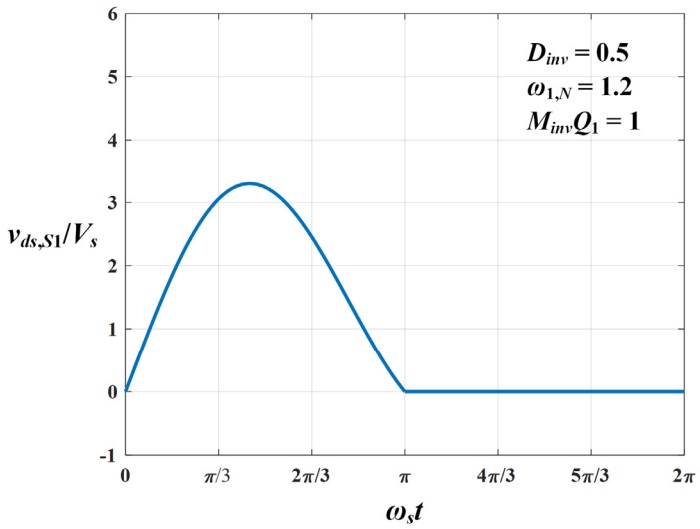


그림 3.14 D_{inv} = 0.5일 때 $\omega_{1,N}$과 $M_{inv}Q_1$에 따른 설계 영역

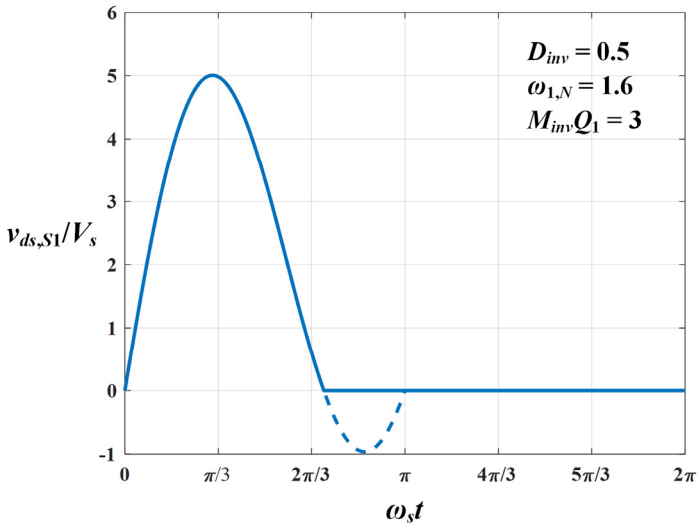
그림 3.13은 (3.26)의 우변에 해당하는 $M_{inv}Q_1$의 최솟값을 여러 D_{inv} 값에 대해서 도시한 것이다. $\omega_{1,N}$에 따른 $M_{inv}Q_1$ 최솟값의 그래프는 'v'자 형태이며 D_{inv}가 증가하면 오른쪽으로 이동한다. 즉, 어떤 D_{inv}에 대해서는

해가 존재하지 않더라도 다른 D_{inv} 값에 대해서는 해가 존재할 수 있다.

해의 유무와 더불어 $\omega_{1,N}$과 $M_{inv}Q_1$에 따라서 ZVS 여부와 스위치 전압 모양이 달라진다. 이를 확인하기 위해서 그림 3.14와 같이 $D_{inv} = 0.5$일 때 $M_{inv}Q_1$의 최솟값 그래프와 턴-온 시 스위치 전압의 dv/dt가 0이 되는 선을

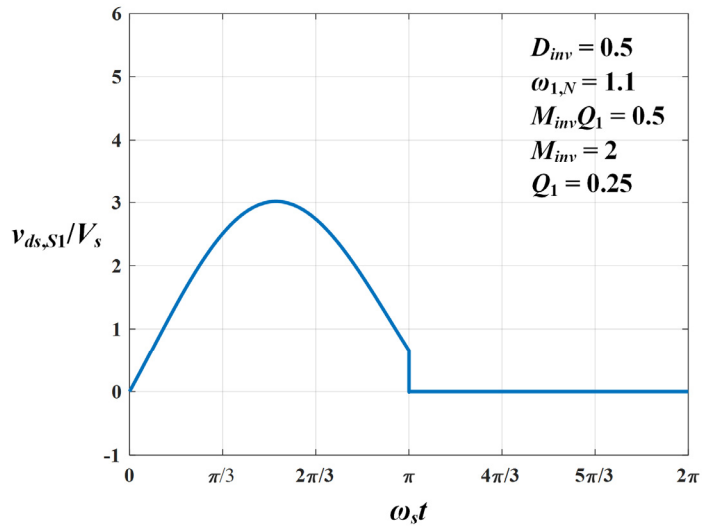


(가)



(나)

(다음 페이지에 그림 계속)



(다)

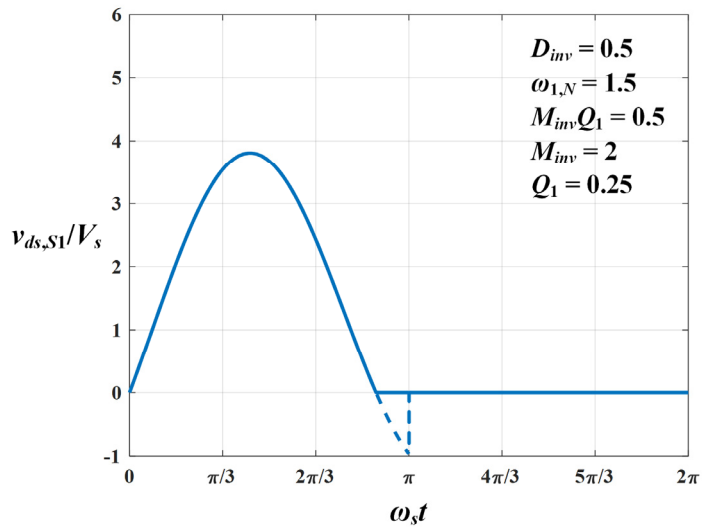


그림 3.15 각 설계 영역에서의 스위치 전압 $v_{ds,S1}$ 파형.
(가) 영역 A. (나) 영역 B. (다) 영역 C. (라) 영역 D.

경계로 설계 영역을 구분한다.

그림 3.14를 보면 영역 A와 B는 $M_{inv}Q_1$의 최솟값 그래프의 위쪽 영역으로 (3.26)을 만족하고, dv/dt = 0인 선을 경계로 위쪽인 A와 아래쪽인 B로 구분된다. 반면, C와 D는 (3.26)을 만족하지 않은 영역으로 $M_{inv}Q_1$의

최솟값이 0인 $\omega_{1,N}$ 값을 기준으로 왼쪽은 C, 오른쪽은 D로 나눠진다.

그림 3.15는 그림 3.14에 표시한 각 설계 영역에서 (3.14)와 (3.16)을 이용해 계산한 스위치 전압($v_{ds,S1}$) 파형을 그린 것이다. 이때 그림 3.15(나)와 (라)에서 점선은 이론적으로 계산한 결과를 나타내고, 실선은 실제로 스위치 S_1이 MOSFET으로 구현될 때 바디 다이오드(body diode)에 의해 스위치가 역방향으로 도통되어 $v_{ds,S1}$이 음수가 되지 않고 0 V로 고정되는 실제 상황을 고려한 것이다.

그림 3.15에서 볼 수 있듯이 영역 A, B, D에서 설계할 때는 ZVS가 일어나지만, C에서는 ZVS가 일어나지 않는다. 영역 D의 경우 C와 마찬가지로 (3.26)이 성립하지 않아 (3.22)의 조건을 만족하지 않고, 따라서 계산상으로는 그림 3.15(라)의 점선처럼 턴-온 시 $v_{ds,S1}$이 0이 아니다. 그러나 그림 3.13에서 볼 수 있듯이 D_{inv} = 0.5일 때의 영역 D는 더 높은 D_{inv}일 때의 영역 A에 해당하므로 스위치가 켜지기 전에 스위치 전압이 0 V로 떨어져 실제로는 바디 다이오드가 먼저 켜지므로 턴-온 순간에 ZVS를 얻을 수 있다. 반면에 영역 C는 더 낮은 D_{inv}일 때의 영역 A에 해당하므로 D_{inv} = 0.5일 때는 턴-온 시점 이후에 스위치 전압이 0 V로 떨어져 그림 3.15(다)처럼 ZVS가 일어나지 않는다.

영역 A와 B에서는 (3.22)의 조건을 만족하도록 설계할 수 있으며 그림 3.15(가)와 (나)의 점선처럼 턴-온 순간 $v_{ds,S1}$이 0이다. 하지만 두 영역에서 ZVS가 일어나는 양상은 다르다. 영역 A에서는 스위칭 시점 이전에 스위치가 역방향으로 도통되는 구간이 없지만, 영역 B에서는 역방향 도통 구간이 있다. 이 차이를 스위치 턴-온 순간 스위치 전압의 dv/dt 부호가 다른 것으로 설명할 수 있다. 그림 3.16은 턴-온 시점에서의 $dv_{ds,S1}/dt$를 아래의 (3.27)을 이용해 계산한 결과를 보여준다.

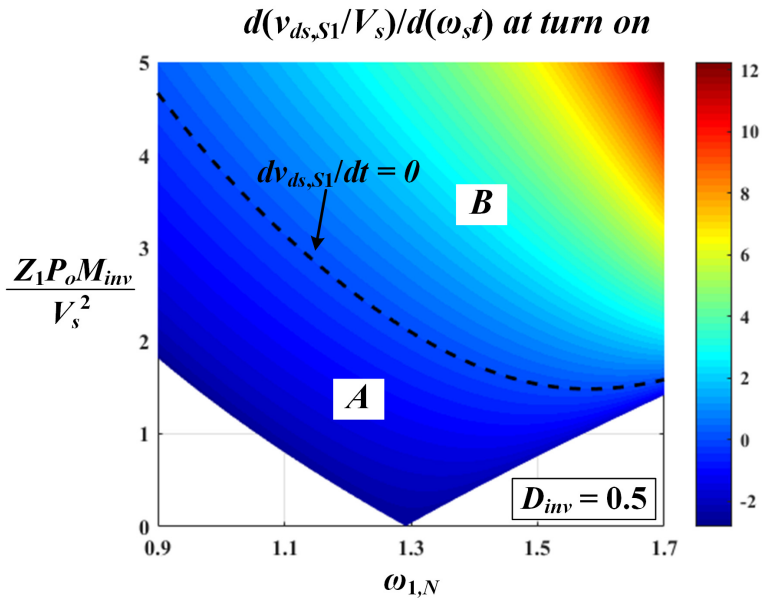


그림 3.16 $D_{inv}=0.5$일 때 턴-온 시 스위치 전압의 dv/dt

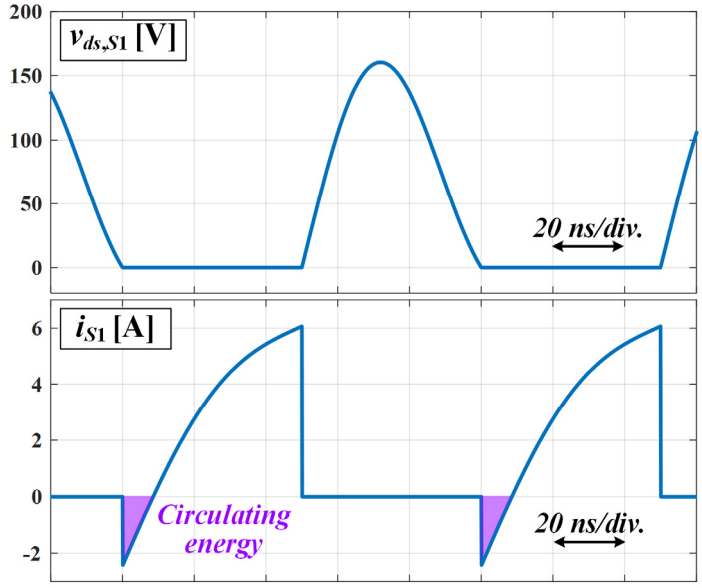
$$\left.\frac{d\left(v_{ds,S1}/V_s\right)}{d\left(\omega_s t\right)}\right|_{\omega_s t=A_1}=\omega_{1,N}\sin B_1+\frac{M_{inv}Q_1\omega_{1,N}\cos B_1\sin\varphi_r}{1+\omega_{1,N}}$$
$$+\omega_{1,N}Q_1\left(\frac{I_{1,off}}{I_s}\right)\cos B_1-\frac{M_{inv}Q_1\omega_{1,N}}{1-\omega_{1,N}^{\ 2}}\left\{\sin\left(A_1+\varphi_r\right)-\omega_{1,N}\sin\left(B_1+\varphi_r\right)\right\}. \quad (3.27)$$

그림 3.16에서 볼 수 있듯이 $dv_{ds,S1}/dt=0$이 되는 선을 경계로 영역 A에서는 $dv_{ds,S1}/dt$가 0보다 작고, B에서는 0보다 크다. 그러므로 영역 A에서는 그림 3.15(가)와 같이 스위칭 이전에는 $v_{ds,S1}$이 0보다 크고 스위치 전압이 0 V로 떨어지는 동시에 스위치가 턴 온 되므로 그 전에 역방향으로 도통되는 구간이 없다. 이와 달리 영역 B에서 계산된 $dv_{ds,S1}/dt$는 0보다 크므로 그림 3.15(나)의 점선처럼 스위치 턴-온 전에 $v_{ds,S1}$은 0보다 작아야 하며, 따라서 바디 다이오드에 의해 역방향으로 도통되는 구간이 있다.

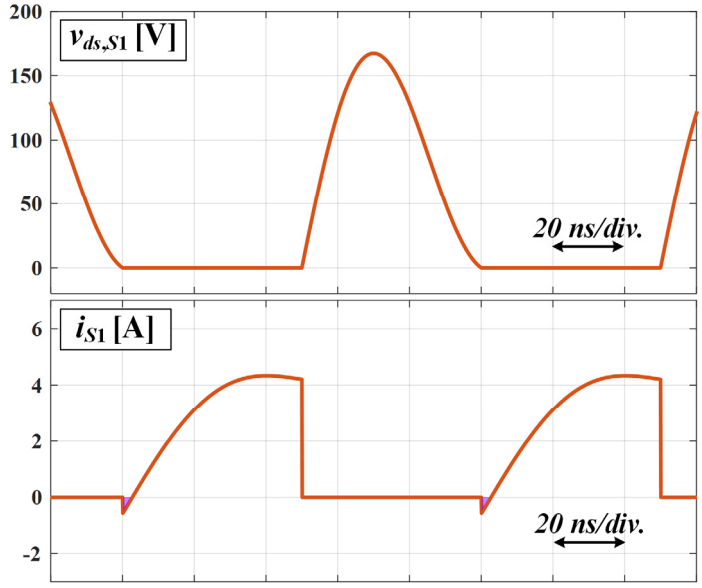
정리하면, 영역 A, B, D에서 설계하는 경우에 ZVS가 가능하지만, B와 D에서는 게이트 신호 인가 전에 바디 다이오드에 의해 역방향으로 도통

되는 구간이 있다는 점에서 A와 차이가 있다. 이렇게 턴-온 이전에 스위치에 역방향으로 전류가 흐르는 구간이 있는 설계에는 2가지 단점이 있다. 첫째로 그림 3.15(나)와 (라)에서 볼 수 있듯이 역방향으로 도통되는 구간만큼 스위치의 시비율이 증가한 것처럼 생각할 수 있고, 이 때문에 스위치의 전압 스트레스가 높아지는 문제가 있다. 둘째로 일반적으로 MOSFET의 경우 게이트 신호 인가 없이 역방향으로 전류가 흐르면 전압 강하가 크므로 역방향 도통 구간이 늘어날수록 전도 손실이 커진다. 특히, 최근 많은 고주파 컨버터 연구에 적용되는 enhancement-mode(E-mode) GaN FET에는 바디 다이오드가 없고 채널을 통해 역방향 전류가 흐르는데, 기존 Si MOSFET의 바디 다이오드보다 전압 강하가 크다고 알려져 있다. 보통 Si MOSFET 바디 다이오드의 전압 강하가 0.7 V인 것에 비해서 E-mode GaN FET의 역방향 전압 강하는 1.5 V 이상으로 크다 [3], [12]. 따라서 ZVS가 가능하면서 스위치 턴-온 이전에 역방향 도통 구간이 없는 영역 A에서 설계하는 것이 스위치의 전압 스트레스와 전도 손실 면에서 유리하다.

그렇다면 영역 A에서 스위치 턴-온 시 $dv_{ds,S1}/dt$가 어떤 값을 가져야 최적인지 따져볼 필요가 있다. 그림 3.17은 입력 전압이 48 V, 출력 전력이 72 W, 스위칭 주파수가 10 MHz일 때 $dv_{ds,S1}/dt$가 다른 3가지 설계에 대한 스위치 전압($v_{ds,S1}$)과 스위치 전류(i_{S1})의 시뮬레이션 파형을 보여준다. 세 경우 모두 $D_{inv} = 0.5$이고 $M_{inv} = 1.25$이다.

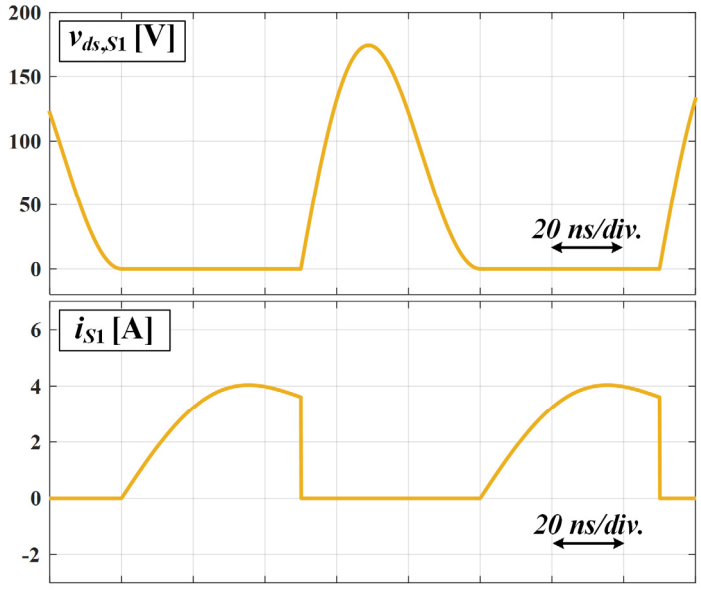


(가)



(나)

(다음 페이지에 그림 계속)



(다)

그림 3.17 $dv_{ds,S1}/dt$에 따른 스위치 전압과 스위치 전류 파형

(가) $d(v_{ds,S1}/V_s)/d(\omega_s t) = -1.5$, (나) $d(v_{ds,S1}/V_s)/d(\omega_s t) = -0.64$,

(다) $d(v_{ds,S1}/V_s)/d(\omega_s t) = 0$.

표 3.1 턴-온 시 $dv_{ds,S1}/dt$ 값에 따른 인덕터와 스위치의 RMS 전류, 스위치 전압 스트레스 비교

	그림 3.17(가)	(나)	(다)
$d(v_{ds,S1}/V_s)/d(\omega_s t)$	-1.49	-0.64	0
L_1의 RMS 전류, $I_{L1,rms}/I_s$	2.39	1.59	1.38
S_1의 RMS 전류, $I_{S1,rms}/I_s$	1.84	1.58	1.52
S_1의 전압 스트레스, $V_{S1,max}/V_s$	3.34	3.49	3.63

그림 3.17(가)는 $d(v_{ds,S1}/V_s)/d(\omega_s t) = -1.5$일 때로 i_{S1}을 보면 스위치가 켜진 이후로 i_{S1}이 음수인 구간이 있다. 이 구간에서의 전류는 ZVS를 위해 쓰

고 남는 에너지에 의한 것으로 전력 전달에 기여하지 않는 순환 전류에 해당한다. 이 때문에 스위치 전류의 피크가 증가하는 것을 볼 수 있다. $d(v_{ds,S1}/V_s)/d(\omega_s t)$가 –0.6로 크기가 감소하면 그림 3.17(나)와 같이 i_{S1}이 음수인 부분이 줄어들며 $d(v_{ds,S1}/V_s)/d(\omega_s t)$ = 0이 되면 그림 3.17(다)와 같이 이러한 부분이 없어진다. 이에 따라 스위치의 피크 전류도 감소한다.

표 3.1은 이 3가지 설계에 대해 시뮬레이션 상으로 측정한 L_1의 RMS 전류($I_{L1,rms}$), S_1의 RMS 전류($I_{S1,rms}$), 그리고 S_1의 피크 전압($V_{S1,max}$)을 비교한 것이다. $dv_{ds,S1}/dt$가 0에 가까워질수록 스위치의 전압 스트레스는 다소 증가하지만, 순환 전류가 감소함에 따라 $I_{L1,rms}$와 $I_{S1,rms}$은 각각 42%, 17% 만큼 감소한다. 따라서 $dv_{ds,S1}/dt$ = 0일 때 ZVS를 위한 순환 전류로 인한 RMS 전류, 전도 손실이 최소가 되며 이때가 최적 스위칭 조건이다.

식 (3.27)을 이용해 스위치 턴-온 시 $dv_{ds,S1}/dt$ = 0인 조건을 아래의 (3.28)과 같이 쓸 수 있다.

$$\begin{aligned}&\sin B_1+\omega_{1,N}Q_1\left(\frac{I_{1,off}}{I_s}\right)\cos B_1+\frac{M_{inv}Q_1}{1+\omega_{1,N}}\cos B_1\sin\varphi_r\\&-\frac{M_{inv}Q_1}{1-\omega_{1,N}{}^2}\left\{\sin\left(A_1+\varphi_r\right)-\omega_{1,N}\sin\left(B_1+\varphi_r\right)\right\}=0.\end{aligned}\tag{3.28}$$

그러면 앞의 (3.19), (3.20), (3.22) 조건과 함께 (3.28)을 연립하면 φ_r을 다음과 같이 유도할 수 있다.

$$\varphi_r=\operatorname{atan2}\left[n_1\left(D_{inv,}\omega_{1,N}\right),-d_1\left(D_{inv,}\omega_{1,N}\right)\right],\tag{3.29}$$

$$\begin{aligned}&d_1\left(D_{inv,}\omega_{1,N}\right)=\\&\left(\sin B_1+2\pi\omega_{1,N}D_{inv}\cos B_1\right)\left[\cos A_1\sin B_1-\frac{\omega_{1,N}\sin B_1}{1+\omega_{1,N}}-\frac{\omega_{1,N}\left(\sin A_1-\sin B_1\right)}{1-\omega_{1,N}{}^2}\right]\\&\left(\cos B_1-1-2\pi\omega_{1,N}D_{inv}\sin B_1\right)\left[\cos A_1\cos B_1-\frac{\omega_{1,N}\cos B_1}{1+\omega_{1,N}}-\frac{\cos A_1-\omega_{1,N}\cos B_1}{1-\omega_{1,N}{}^2}\right].\end{aligned}$$

$$n_1\left(D_{inv},\omega_{1,N}\right)=$$

$$\left(\sin B_1+2\pi\omega_{1,N}D_{inv}\cos B_1\right)\left[\sin A_1\sin B_1+\frac{\omega_{1,N}\left(\cos A_1-\cos B_1\right)}{1-{\omega_{1,N}}^2}\right]$$

$$\left(\cos B_1-1-2\pi\omega_{1,N}D_{inv}\sin B_1\right)\left[\sin A_1\cos B_1-\frac{\sin A_1-\omega_{1,N}\sin B_1}{1-{\omega_{1,N}}^2}\right].$$

또한, Q_1과 M_{inv}에 관한 식을 아래와 같이 쓸 수 있다.

$$Q_1=K_1\left[\frac{\cos\varphi_r-\cos\left(A_1+\varphi_r\right)}{2\pi}+D_{inv}\sin\left(A_1+\varphi_r\right)\right]+\pi\omega_{1,N}{D_{inv}}^2. \quad (3.30)$$

$$M_{inv}=K_1/Q_1. \quad (3.31)$$

$$K_1=\frac{-\left(\sin B_1+2\pi\omega_{1,N}D_{inv}\cos B_1\right)}{\sin\left(A_1+\varphi_r\right)\cos B_1-\frac{\omega_{1,N}\cos B_1\sin\varphi_r}{1+\omega_{1,N}}-\frac{\sin\left(A_1+\varphi_r\right)-\omega_{1,N}\sin\left(B_1+\varphi_r\right)}{1-{\omega_{1,N}}^2}}.$$

그리고 턴-오프 스위치 전류 $I_{1,off}$도 아래의 (3.32)처럼 계산된다.

$$\frac{I_{1,off}}{I_s}=M_{inv}\left\{\sin\left(A_1+\varphi_r\right)-\sin\varphi_r\right\}+\frac{2\pi\omega_{1,N}D_{inv}}{Q_1}. \quad (3.32)$$

그림 3.18–그림 3.21은 각각 D_{inv} = 0.2–0.8, $\omega_{1,N}$ = 0.5–2일 때 (3.29)–(3.32)를 이용해 스위치 턴-온 시 ZVS와 $dv_{ds,S1}/dt$ = 0를 만족하는 φ_r, Q_1, M_{inv}, 그리고 $I_{1,off}/I_s$를 계산한 결과다.

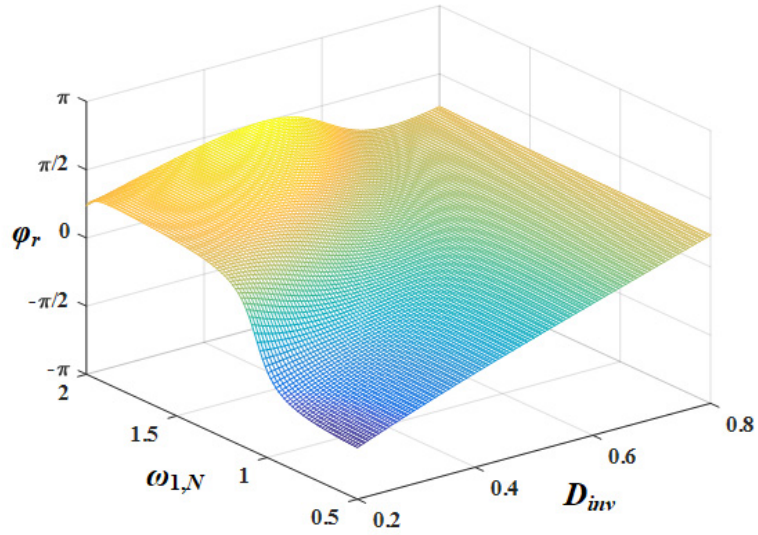


그림 3.18 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 φ_r

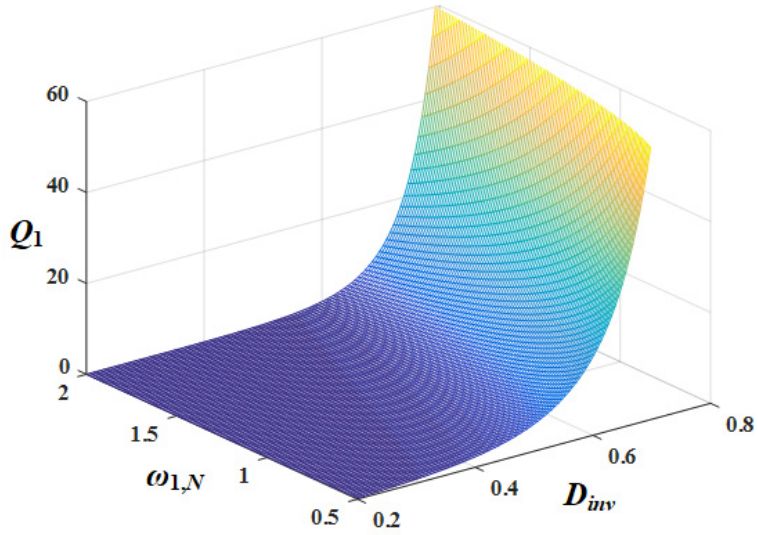


그림 3.19 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 Q_1

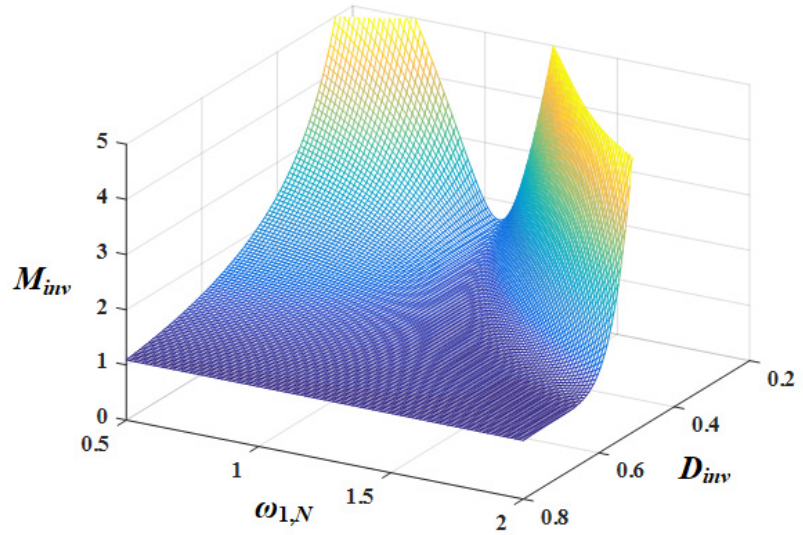


그림 3.20 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 M_{inv}

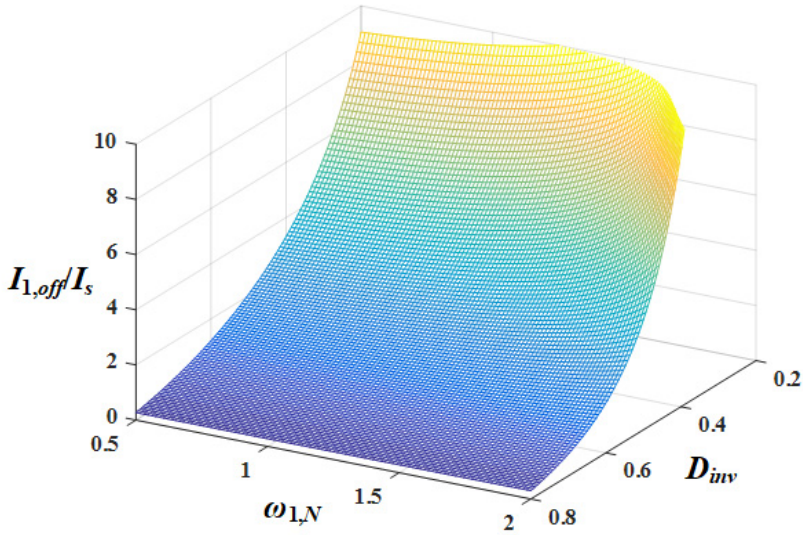


그림 3.21 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족하는 $I_{1,off}/I_s$

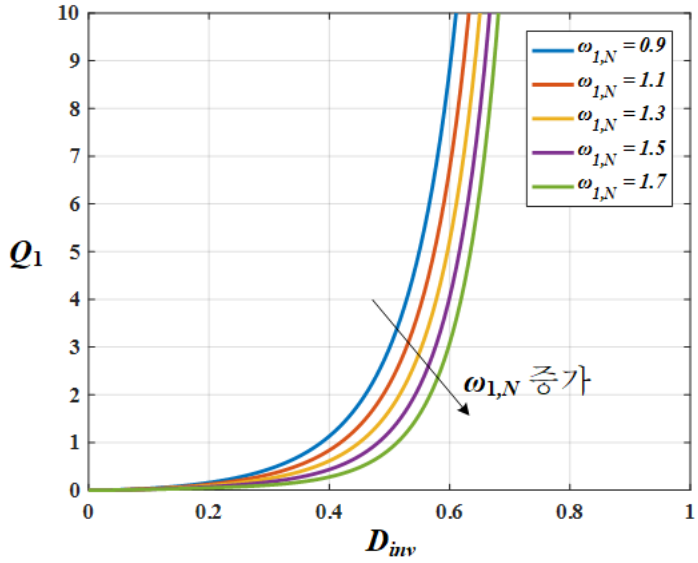


그림 3.22 $\omega_{1,N}$ = 0.9:0.2:1.7일 때 D_{inv}에 따른 Q_1

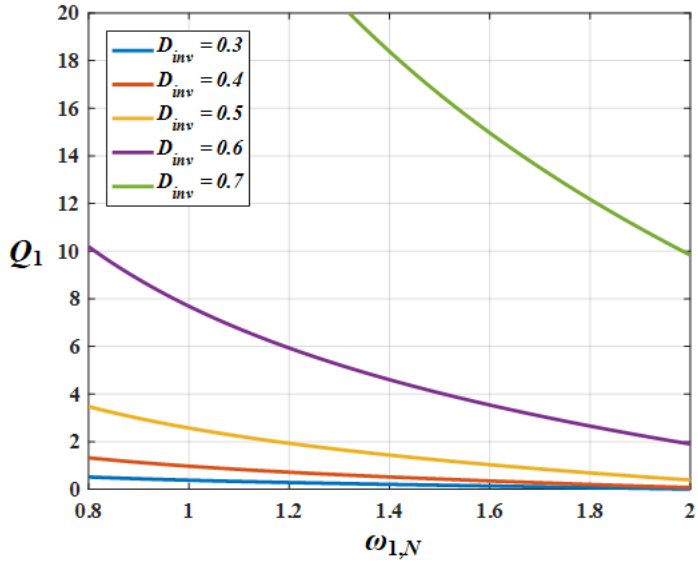


그림 3.23 D_{inv} = 0.3:0.1:0.7일 때 $\omega_{1,N}$에 따른 Q_1

D_{inv}와 $\omega_{1,N}$에 따른 Q_1의 변화를 좀 더 자세히 보기 위해 그림 3.19의 그래프를 D_{inv}–Q_1 평면과 $\omega_{1,N}$–Q_1 평면에 평행하게 자르면 각각 그림 3.22와 그림 3.23처럼 그려진다. 그림 3.22를 보면 D_{inv}가 증가함에 따라 Q_1

값이 급격하게 증가하고 $\omega_{1,N}$에 따라서는 감소하는 경향이 있다. 이를 그림 3.23에서도 확인할 수 있는데 $\omega_{1,N}$가 증가할수록 Q_1이 감소하며 D_{inv} 값이 클수록 $\omega_{1,N}$에 따른 Q_1의 감소폭이 커진다.

Q_1에 대한 그래프는 L_1과 C_1의 설계에 직접 사용되므로 중요한 의미를 가진다. (3.12)와 $\omega_{1,N}$과 Q_1의 정의를 이용해 L_1과 C_1의 설계 식을 다음과 같이 쓸 수 있다.

$$L_1 = \frac{Z_1}{\omega_1} = \frac{Q_1\left(V_s/I_s\right)}{\omega_{1,N}\omega_s}, \quad C_1 = \frac{1}{\omega_1 Z_1} = \frac{1}{Q_1\left(V_s/I_s\right)\omega_{1,N}\omega_s}. \tag{3.33}$$

ω_s와 V_s/I_s는 인버터의 스위칭 주파수와 입력 전압, 입력 전류로 결정되므로 $\omega_{1,N}$과 Q_1 값이 정해지면 (3.33)으로부터 L_1과 C_1이 계산된다.

이와 마찬가지로 그림 3.24와 그림 3.25는 그림 3.20의 M_{inv}-그래프를 D_{inv}–M_{inv} 평면과 $\omega_{1,N}$–M_{inv} 평면에 평행하게 자른 것이다. D_{inv}가 증가할수록 그림 3.24와 같이 M_{inv}는 감소한다. (3.32)의 정의에 따라 M_{inv}가 감소한다는 것은 같은 입력 전류 I_s에 대해 필요한 공진 전류 i_r의 크기 I_{rm}이 작아진다는 의미이다. 다시 말해서 같은 출력 전력일 때 스위치 턴-온 시 ZVS와 $dv_{ds,S1}/dt$ = 0의 조건을 만족하기 위한 I_{rm}이 작다는 것이므로 D_{inv} 값이 클수록 효율적으로 전력을 전달할 수 있다. 또한, $\omega_{1,N}$가 증가함에 따라 M_{inv}는 감소했다가 증가하는 모양으로 M_{inv}가 최솟값을 가진다. 그래서 정해진 D_{inv} 값에 대해서 M_{inv}가 최소가 되는 $\omega_{1,N}$ 값으로 설계하면 필요한 I_{rm} 값을 최소로 할 수 있다. 이러한 특징을 이용한 인버터의 설계 방법은 3.3에서 자세히 다룬다.

한편, D_{inv}와 $\omega_{1,N}$에 따른 턴-오프 스위치 전류 $I_{1,off}$의 변화는 각각 그림 3.26과 그림 3.27에서 볼 수 있다. D_{inv} 값이 커질수록 그림 3.26에서처럼 같은 입력 전류 I_s 대비 $I_{1,off}$는 줄어든다. $\omega_{1,N}$에 따라서는 변화가 거의 없지만 $\omega_{1,N}$가 증가함에 따라 다소 증가한다. 그림 3.27에서 볼 수 있듯이

D_{inv} 값이 작을 때는 $\omega_{1,N}$에 따라 $I_{1,off}/I_s$가 증가하는 기울기가 크지만, D_{inv} 값이 클 때는 거의 일정하다.

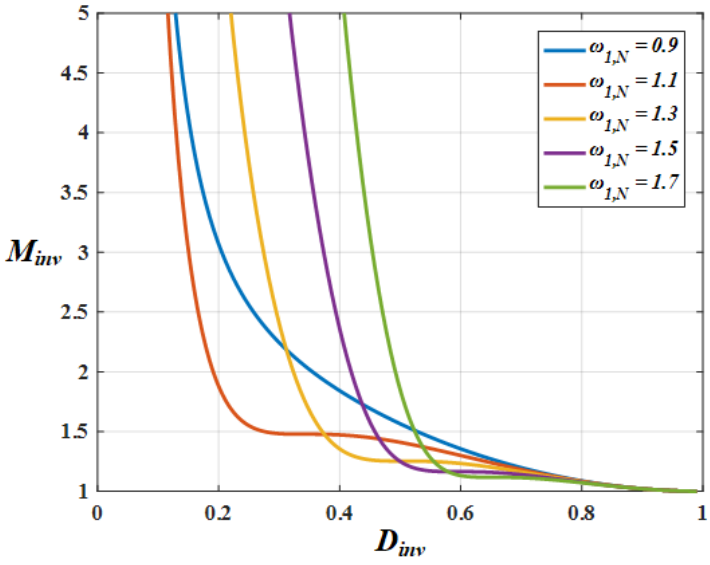


그림 3.24 $\omega_{1,N}$= 0.9:0.2:1.7일 때 D_{inv}에 따른 M_{inv}

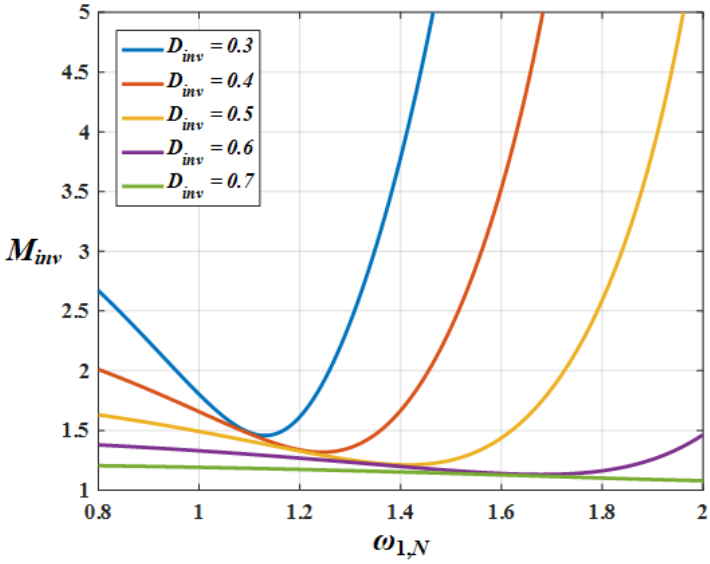


그림 3.25 D_{inv} = 0.3:0.1:0.7일 때 $\omega_{1,N}$에 따른 M_{inv}

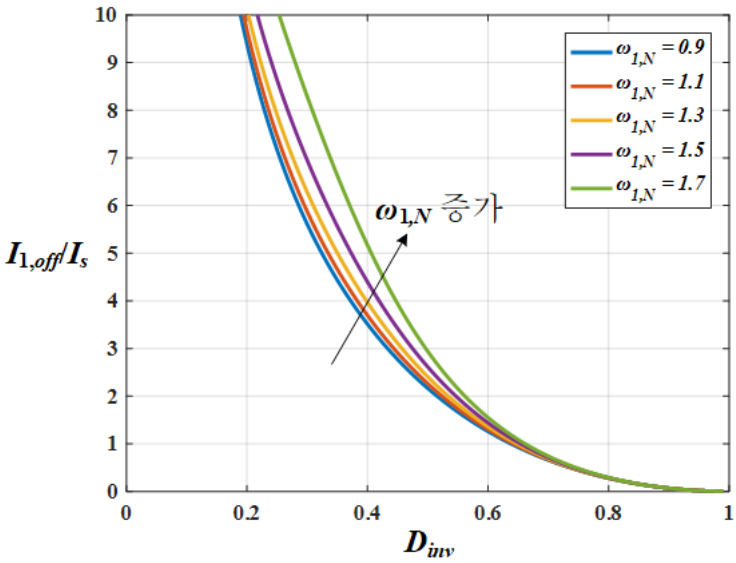


그림 3.26 $\omega_{1,N}$= 0.9:0.2:1.7일 때 D_{inv}에 따른 $I_{1,off}/I_s$

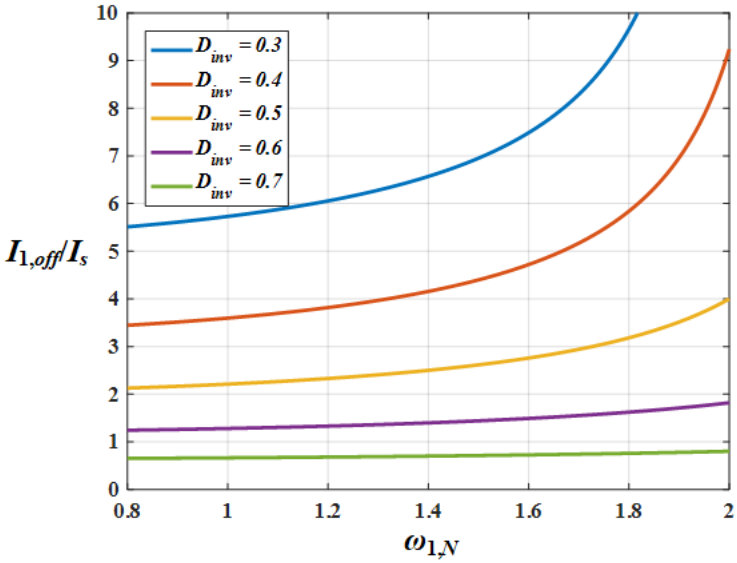


그림 3.27 D_{inv} = 0.3:0.1:0.7일 때 $\omega_{1,N}$에 따른 $I_{1,off}/I_s$

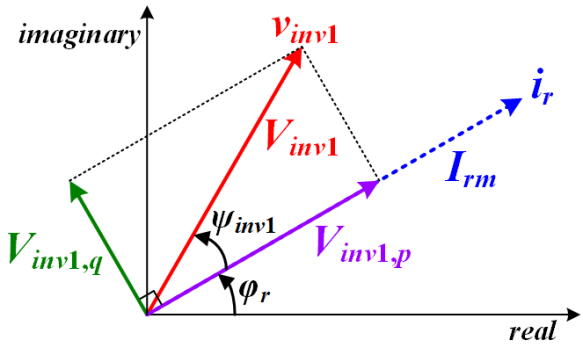


그림 3.28 인버터 출력의 기본파 성분 v_{inv1}과 공진 전류 i_r의 페이저(phasor) 다이어그램

다음으로 앞의 분석을 이용해 인버터 기본파 전압 v_{inv1}의 크기와 위상을 계산할 수 있다. v_{inv1}은 아래의 식처럼 표현된다.

$$\begin{aligned} v_{inv1}(t) &= V_{inv1}\sin(\omega_s t+\varphi_r+\psi_{inv1}) \\ &= V_{inv1,p}\sin(\omega_s t+\varphi_r)+V_{inv1,q}\cos(\omega_s t+\varphi_r). \end{aligned} \tag{3.34}$$

여기서 ψ_{inv1}은 v_{inv1}과 공진 전류 i_r의 위상 차를 의미한다. v_{inv1}은 (3.34)에서 볼 수 있듯이 i_r을 기준으로 동상 성분(in-phase component) $V_{inv1,p}$와 직교 위상 성분(quadrature component) $V_{inv1,q}$로 분해된다. 이들의 관계를 그림 3.28의 페이저(phasor) 다이어그램으로 나타낼 수 있다.

먼저, $V_{inv1,p}$은 유효 전력 P_o와 관계되므로 전력 균형(power balance) 조건으로 유도할 수 있다. 인버터에서의 손실을 무시한다고 가정하면 입력 전력과 출력 전력이 같으므로 $V_sI_s=V_{inv1,p}I_{rm}/2$이고, 정리하면 $V_{inv1,p}/V_s$는 다음과 같다.

$$\frac{V_{inv1,p}}{V_s}=\frac{2}{M_{inv}}. \tag{3.35}$$

또한, $V_{inv1,q}$은 아래처럼 Fourier series를 이용해 유도된다.

$$V_{inv1,q}=\frac{1}{\pi}\int_0^{2\pi} v_{inv}(t)\cos(\omega_s t+\varphi_r)\,d(\omega_s t). \tag{3.36}$$

그림 3.1에서 볼 수 있듯이 이 경우 인버터의 출력 전압은 스위치 S_1의 전압 $v_{ds,S1}$과 같다 ($v_{inv} = v_{ds,S1}$). 그러므로 (3.13)과 (3.16)을 (3.36)에 대입하면 $V_{inv1,q}/V_s$는 다음과 같이 계산된다.

$$\begin{aligned}\frac{V_{inv1,q}}{V_s} &= \frac{1}{\pi}\left\{\sin\left(A_1+\varphi_r\right)-\sin\varphi_r\right\}-K_{q1} \\ &\quad +K_{q2}\left\{Q_1\left(\frac{I_{1,off}}{I_s}\right)+\frac{M_{inv}Q_1\sin\varphi_r}{1+\omega_{1,N}}\right\}+\frac{M_{inv}Q_1\omega_{1,N}}{1-\omega_{1,N}{}^2}\left(K_{q3}-K_{q4}\right),\end{aligned} \tag{3.37}$$

$$2\pi K_{q1} = \frac{\sin\left(A_1+B_1+\varphi_r\right)-\sin\varphi_r}{1+\omega_{1,N}}+\frac{\sin\left(A_1-B_1+\varphi_r\right)+\sin\varphi_r}{1-\omega_{1,N}},$$

$$2\pi K_{q2} = \frac{\cos\varphi_r-\cos\left(A_1+B_1+\varphi_r\right)}{1+\omega_{1,N}}-\frac{\cos\varphi_r-\cos\left(A_1-B_1+\varphi_r\right)}{1-\omega_{1,N}},$$

$$2\pi K_{q3} = 2\pi\left(1-D_{inv}\right)+\left\{\sin\left(2A_1+2\varphi_r\right)-\sin 2\varphi_r\right\}/2,$$

$$2\pi K_{q4} = \frac{1}{1+\omega_{1,N}}\left\{\sin\left(A_1+B_1+2\varphi_r\right)-\sin 2\varphi_r\right\}+\frac{\sin\left(A_1-B_1\right)}{1-\omega_{1,N}}.$$

그러면 (3.34)에서의 등호 관계를 이용하여 V_{inv1}/V_s와 ψ_{inv1}을 아래와 같이 $V_{inv1,p}$와 $V_{inv1,q}$에 관해 나타낼 수 있다.

$$\frac{V_{inv1}}{V_s} = \sqrt{\left(\frac{V_{inv1,p}}{V_s}\right)^2+\left(\frac{V_{inv1,q}}{V_s}\right)^2},\quad \psi_{inv1} = \tan^{-1}\left(V_{inv1,q}/V_{inv1,p}\right). \tag{3.38}$$

D_{inv} = 0.2–0.8, $\omega_{1,N}$ = 0.5–2일 때 스위치 턴-온 시 ZVS와 $dv_{ds,S1}/dt$ = 0을 만족하는 φ_r, Q_1, M_{inv}, $I_{1,off}/I_s$ 값을 (3.35), (3.37), (3.38)에 대입해 V_{inv1}/V_s와 ψ_{inv1}를 계산하면 각각 그림 3.29와 그림 3.30과 같다.

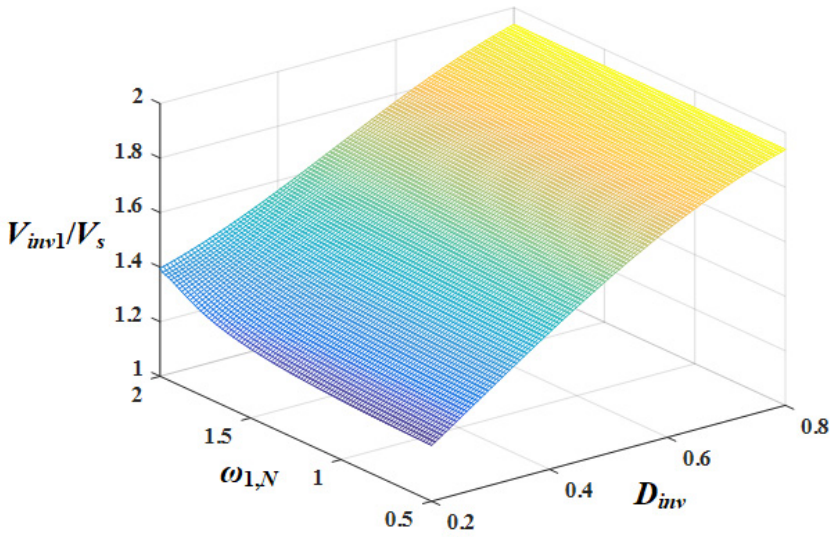


그림 3.29 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족할 때 V_{inv1}/V_s

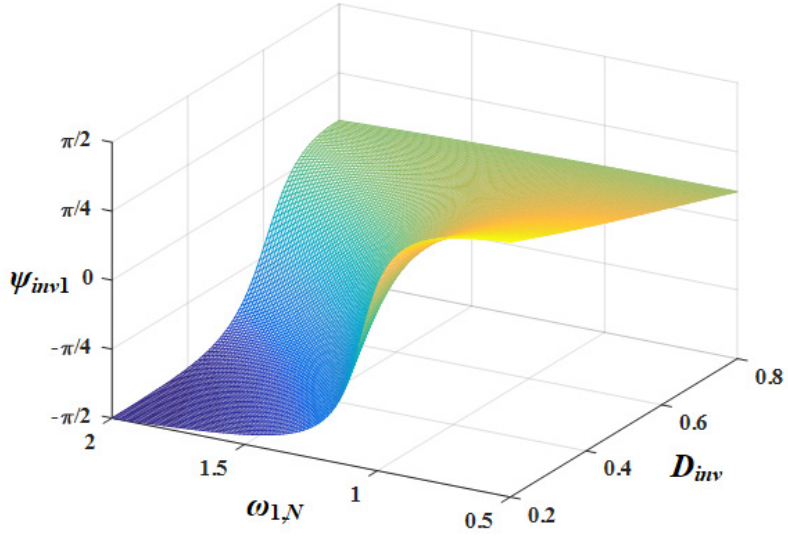


그림 3.30 턴-온 시 ZVS와 $dv_{ds,S1}/dt = 0$을 만족할 때 ψ_{inv1}

앞서 분석한 것처럼 그림 3.29의 그래프도 D_{inv}–V_{inv1}/V_s 평면과 $\omega_{1,N}$–V_{inv1}/V_s 평면에 평행하게 잘라서 D_{inv}와 $\omega_{1,N}$에 따른 변화를 관찰할 수 있다. 그림 3.31을 보면 D_{inv}가 증가할수록 V_{inv1}/V_s도 증가한다. D_{inv} 값이 커

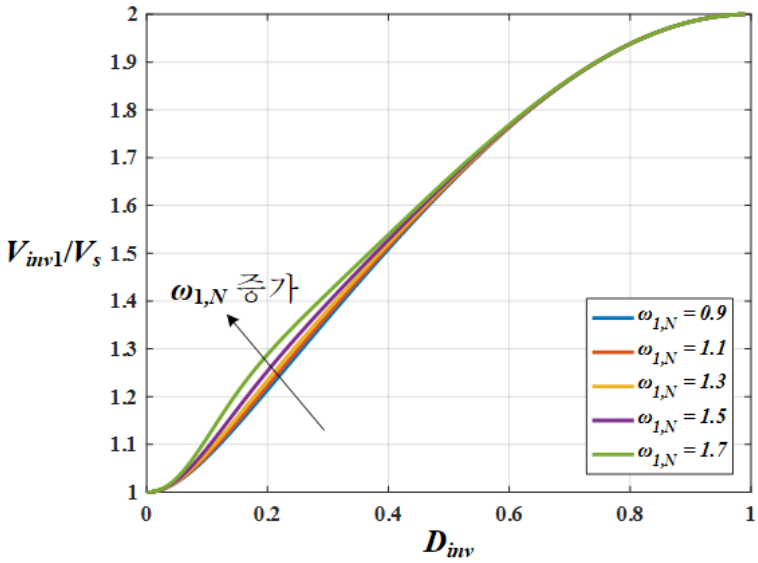


그림 3.31 $\omega_{1,N}$= 0.9:0.2:1.7일 때 D_{inv}에 따른 V_{inv1}/V_s

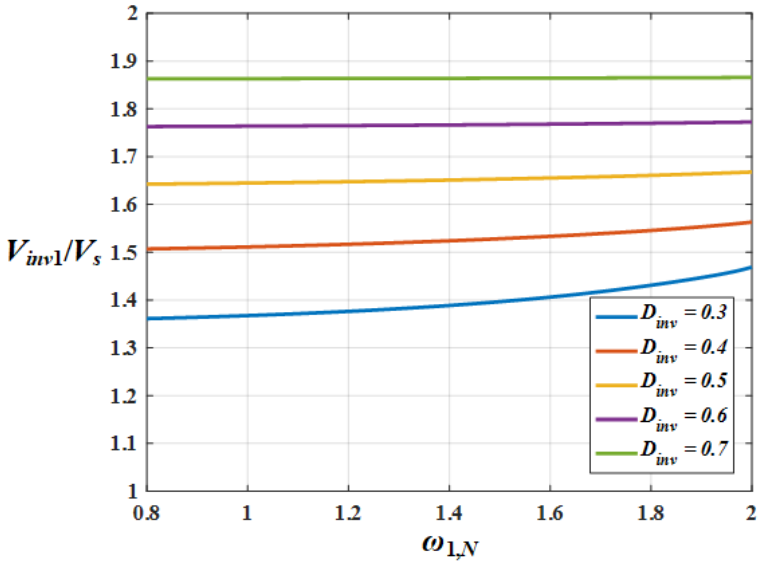


그림 3.32 D_{inv} = 0.3:0.1:0.7일 때 $\omega_{1,N}$에 따른 V_{inv1}/V_s

지면 $v_{ds,S1}$ 값이 0인 구간이 길어지지만, 그럼에도 V_{inv1}/V_s가 증가한 것은 턴-오프 동안 $v_{ds,S1}$가 V_s에 비해 매우 높아지기 때문이다. 또한, V_{inv1}/V_s는 주로 D_{inv} 값에 의해 바뀌며 그림 3.32처럼 $\omega_{1,N}$ 값에 따라서 약간 증가하기는 하지만 거의 변화 없다.

그림 3.33과 그림 3.34는 각각 그림 3.30의 그래프를 D_{inv}–ψ_{inv1} 평면과 $\omega_{1,N}$–ψ_{inv1} 평면에 평행하게 자른 것이다. 그림 3.33을 보면 $\omega_{1,N} < 1$일 때는 D_{inv}가 증가함에 따라 ψ_{inv1}이 $\pi/2$에서 0으로 감소한다. 반면에 $\omega_{1,N} > 1$일 때는 ψ_{inv1}이 $-\pi/2$에서 양수인 값까지 증가하다가 감소하여 $D_{inv}\rightarrow 1$일 때 0에 가까워진다. 여기서 주목할 점은 $\omega_{1,N} < 1$일 때는 ψ_{inv1}이 항상 0보다 크지만, $\omega_{1,N} > 1$일 때는 ψ_{inv1}이 어떤 D_{inv} 값에 대해서 0이 될 수도 있으며 0보다 클 수도 있고 작을 수도 있다. 이는 그림 3.34에서도 확인할 수 있다. $\omega_{1,N}$이 증가할수록 ψ_{inv1}은 양수인 값에서 $-\pi/2$로 감소한다. 또한, D_{inv} 값이 클수록 $\psi_{inv1} = 0$을 만족하는 $\omega_{1,N}$ 값은 1에 가까워지며 $\omega_{1,N} < 1$일 때는 이러한 D_{inv} 값이 존재하지 않으며 ψ_{inv1}이 항상 0보다 크다.

ψ_{inv1}은 i_r에 대한 v_{inv1}의 위상 차로 정의되므로 $\psi_{inv1} > 0$이면 공진회로가 유도성 임피던스, $\psi_{inv1} < 0$이면 용량성 임피던스, $\psi_{inv1} = 0$이면 저항성 임피던스를 가진다. 따라서 기존 Class E 인버터[32]는 $\omega_{1,N}\rightarrow 0$인 경우이므로 공진 회로가 항상 유도성 임피던스를 갖지만, 제안하는 설계에서는 공진 회로의 리액턴스 성분이 0이 되도록 즉, $\psi_{inv1} = 0$을 만족하도록 $\omega_{1,N}$ 값으로 설계할 수 있다.

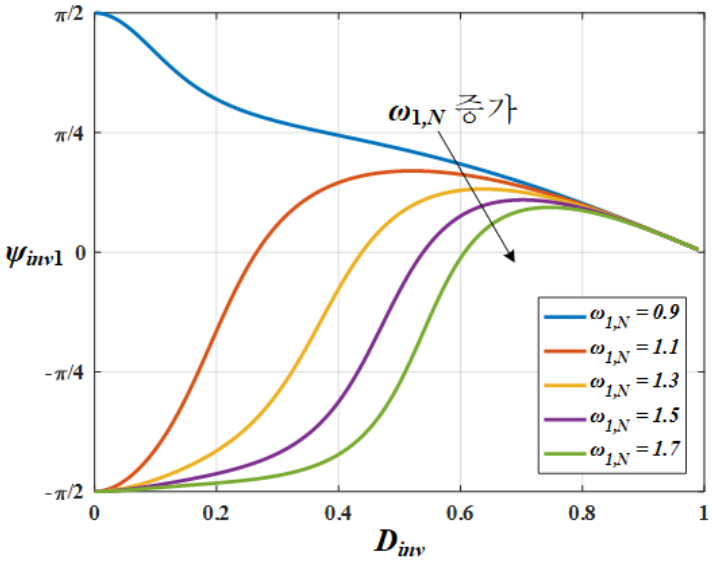


그림 3.33 $\omega_{1,N}$= 0.9:0.2:1.7일 때 D_{inv}에 따른 ψ_{inv1}

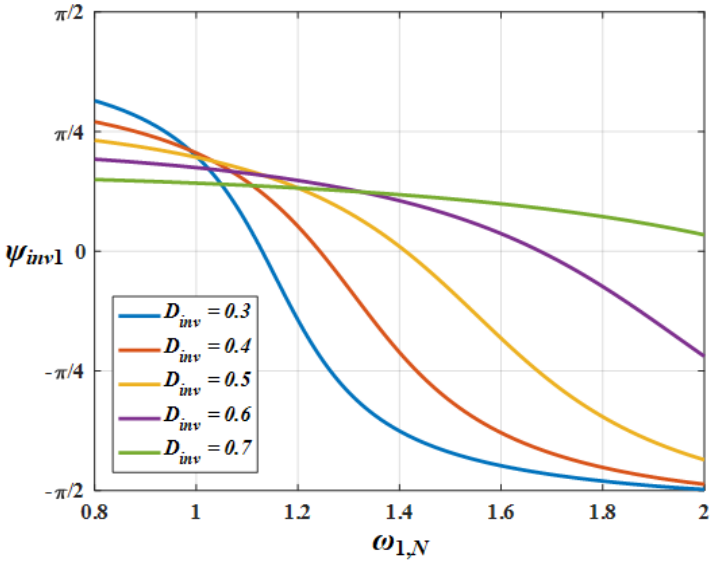
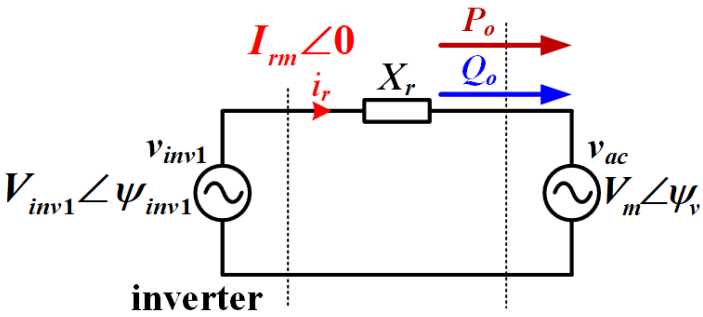
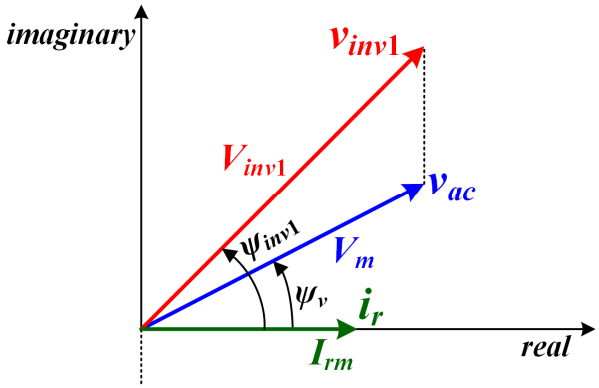


그림 3.34 D_{inv} = 0.3:0.1:0.7일 때 $\omega_{1,N}$에 따른 ψ_{inv1}



(가)



(나)

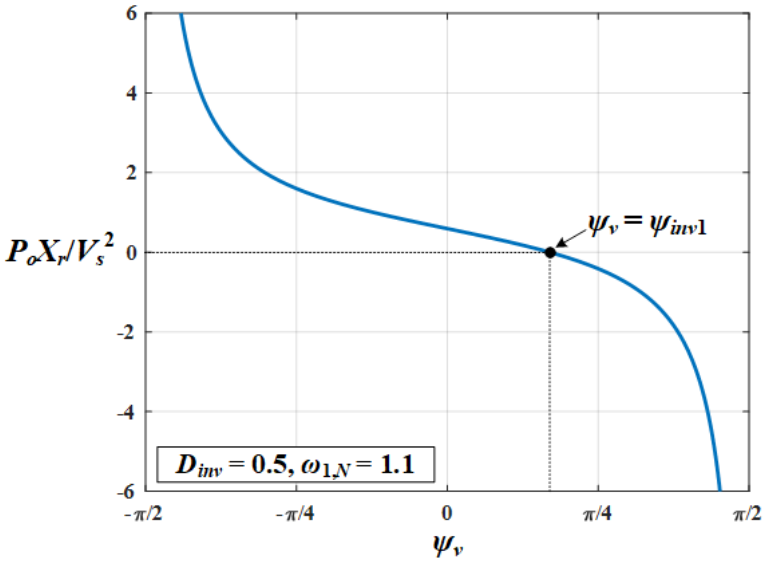
그림 3.35 공진 전류의 위상 각에 동기한 경우 (가) 기본파 주파수 모델. (나) 페이저(phasor) 다이어그램.

그림 3.2의 기본파 주파수 모델을 공진 전류 i_r의 위상 각 φ_r에 동기화하면 그림 3.35와 같이 나타낼 수 있다. 인버터의 기본파 전압 v_{inv1}과 전압원 v_{ac}의 위상은 각각 ψ_{inv1}과 $\psi_v\,(=\varphi_v-\varphi_r)$로 표시된다.

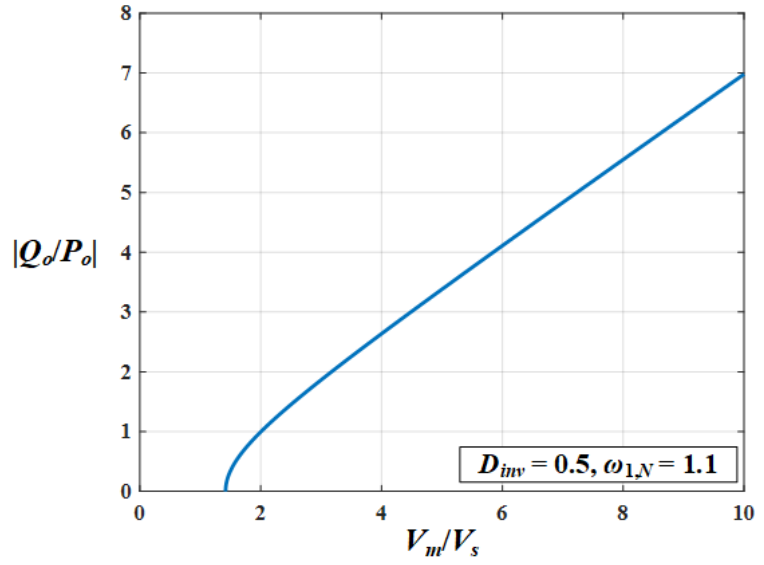
먼저 v_{inv1}이 출력하는 유효 전력과 v_{ac}가 받는 유효 전력이 P_o로 같아야 하므로 다음의 조건을 만족해야 한다.

$$V_{inv1,p}=V_m\cos\psi_v. \tag{3.39}$$

인버터의 D_{inv}와 $\omega_{1,N}$에 따라 (3.35)를 이용해 $V_{inv1,p}$를 계산할 수 있고, 그러면 V_m과 ψ_v의 관계는 (3.39)처럼 정해진다.



(가)



(나)

그림 3.36 $D_{inv} = 0.5$, $\omega_{1,N} = 1.1$일 때 V_m/V_s와 ψ_v에 따른 (가) 유효 전력 P_o. (나) 유효 전력에 대한 무효 전력의 비율 $|Q_o/P_o|$.

그리고 주어진 D_{inv}와 $\omega_{1,N}$에 대해 (3.38)로 V_{inv1}과 ψ_{inv1}이 정해지면, (3.3)과 (3.4)에서 볼 수 있듯이 V_m과 ψ_v에 따라 유효 전력 P_o와 무효 전력 Q_o

가 달라진다. 예를 들어 D_{inv} = 0.5, $\omega_{1,N}$ = 1.1일 때 V_{inv1}/V_s = 1.646, ψ_{inv1} = 0.532이다. 이때 그림 3.36은 V_m/V_s와 ψ_v에 따른 P_o와 Q_o의 변화를 보여준다. ψ_v가 ψ_{inv1}와의 차이가 커질수록 유효 전력이 증가하며 $\psi_v < \psi_{inv1}$일 때는 $P_o > 0$이고 $\psi_v > \psi_{inv1}$일 때는 $P_o < 0$이다. 또한, V_m/V_s가 증가할수록 유효 전력에 대한 무효 전력의 비율 $|Q_o/P_o|$가 증가한다.

V_m/V_s와 ψ_v가 정해지면 P_o와 Q_o를 출력하기 위한 리액턴스 X_r 값이 결정된다. 리액턴스가 L_r–C_r 직렬 공진 회로로 구현되는 경우 공진 회로의 주파수 ω_r과 특성 임피던스 Z_r은 다음과 같이 정의된다.

$$\omega_r \equiv \frac{1}{\sqrt{L_r C_r}}, \quad Z_r \equiv \sqrt{\frac{L_r}{C_r}}. \tag{3.40}$$

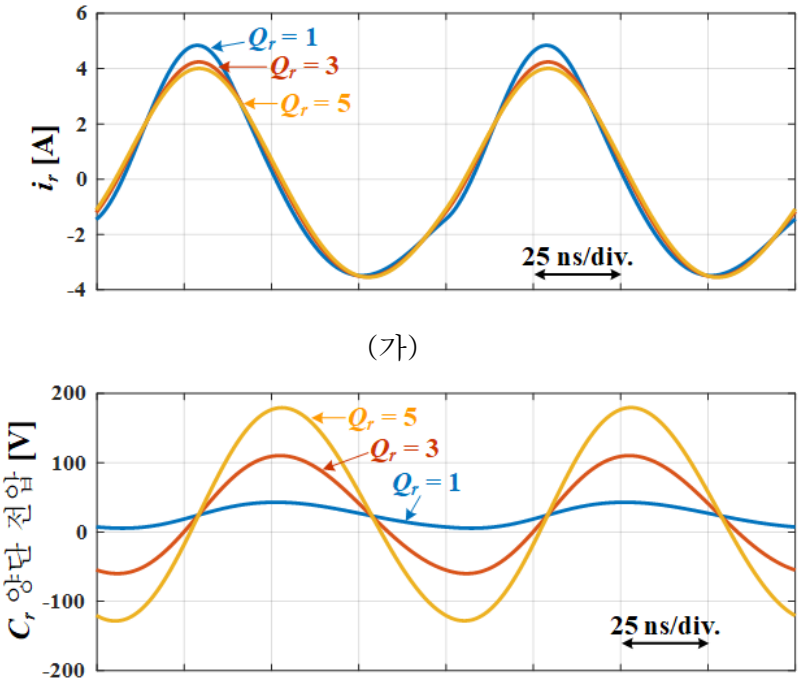


그림 3.37 Q_r 값에 따른 모의실험 결과. (가) 공진 전류 i_r. (나) C_r 양단의 전압. (V_s = 24 V, P_o = 60 W, Q_o = −60 VAR, f_s = 10 MHz)

그리고 공진 회로의 Q-지수 Q_r은 아래와 같이 정의된다[31].

$$Q_r \equiv 2\pi \frac{\text{공진 주파수일 때 저장된 전체 자기 에너지와 전기 에너지}}{\text{공진 주파수일 때 한 주기 동안 소모되는 에너지}}. \quad (3.41)$$

식 (3.41)에서의 정의를 적용해 Q_r을 다음과 같이 쓸 수 있다.

$$Q_r \equiv \omega_r \frac{L_r\left(I_{rm}{}^2/2\right)}{P_o} = \frac{Z_r}{2P_o/I_{rm}{}^2}. \quad (3.42)$$

한편, L_r–C_r 직렬 공진 회로의 리액턴스 성분이 X_r과 같아야 하므로 아래의 조건을 만족해야 한다.

$$Z_r\left\{\left(\omega_s/\omega_r\right)-\left(\omega_r/\omega_s\right)\right\} = X_r. \quad (3.43)$$

식 (3.43)을 풀면 공진 회로의 공진 주파수 ω_r/ω_s는 아래처럼 구해진다.

$$\omega_r/\omega_s = \frac{1}{2}\left\{-\left(X_r/Z_r\right)+\sqrt{\left(X_r/Z_r\right)^2+4}\right\}. \quad (3.44)$$

그리고 (3.40)에서의 정의에 따라 L_r과 C_r을 아래와 같이 계산할 수 있다.

$$\omega_s L_r = \frac{Q_r\left(2P_o/I_{rm}{}^2\right)}{\left(\omega_r/\omega_s\right)},\ \omega_s C_r = \frac{1}{\left(\omega_r/\omega_s\right)Q_r\left(2P_o/I_{rm}{}^2\right)}. \quad (3.45)$$

여기서 Q_r 값은 임의로 설정할 수 있는데, Q_r 값이 클수록 공진 전류 i_r이 이상적인 정현파에 가까워지고 고조파 성분에 의한 영향이 적어진다. 그러므로 Q_r을 충분히 크게 정해야 한다. 하지만 Q_r 값이 너무 커지면 (3.45)에서 볼 수 있듯이 C_r이 작게 설계돼 C_r 양단의 피크 전압이 너무 높아진다.

이를 그림 3.37의 모의실험 결과를 통해 확인할 수 있다. Q_r 값이 1일 때는 공진 전류 파형이 고조파 성분에 의해 왜곡되지만, Q_r이 증가할수록 정현파에 가깝게 된다. 그러나 C_r 양단의 피크 전압은 Q_r에 비례해서 증가한다. 따라서 이를 고려해 일반적으로 Q_r은 3에서 7 사이의 범위에서 설정한다.

3.2.2 스위칭 셀의 정류기 동작 분석

앞서 언급한 대로 싱글 엔디드 공진형 스위칭 셀의 인버터 동작에서 전력 방향을 반대로 하고 스위치를 다이오드로 바꾸면 그림 3.38과 같이 공진형 정류기 회로가 유도될 수 있다. 본 항에서는 이 공진형 정류기 회로의 동작에 관해 설명한다.

3.2.1에서와 마찬가지로 리액턴스 X_r이 공진 회로로 구현될 때 Q-인자가 충분히 커서 공진 전류 i_r이 이상적인 정현파에 가깝게 된다고 가정한다. 또한, 공진형 정류기의 인덕터 L_2는 기존 Class E 정류기[63]와 달리 큰 필터 인덕터가 아닌 공진 인덕터로 기능한다. 그럼으로써 용량성(capacitive) 입력 임피던스를 가질 수밖에 없는 기존 Class E 정류기의 본질적인 한계점을 해결하고 저항성(resistive) 입력 임피던스를 갖도록 설계할 수 있다. 또한, 앞에서 설명한 것처럼 다이오드에 병렬로 연결된 캐패시터 C_2는 다이오드의 접합 캐패시턴스를 흡수하거나 또는 그것만으로 구현될 수 있으므로 기생 성분에 의한 부정적 영향이 줄어든다.

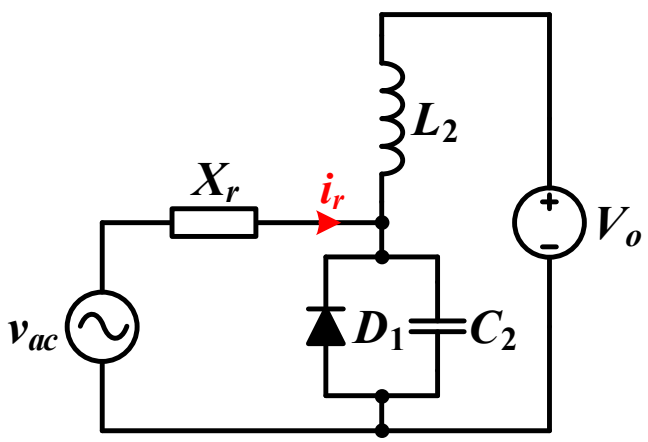


그림 3.38 공진형 정류기 회로

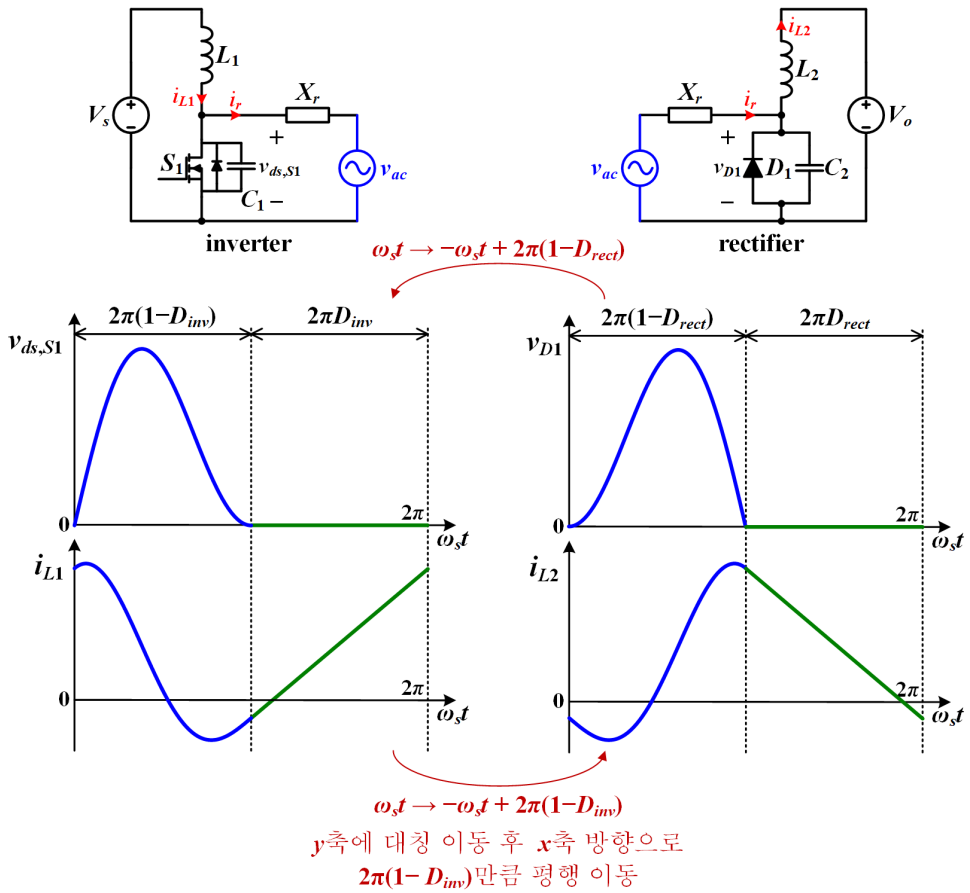


그림 3.39 인버터와 정류기 사이의 쌍대성(duality) 관계

그림 3.39에서 볼 수 있듯이 그림 3.38의 공진형 정류기는 인버터 회로와 좌우 대칭 구조로 쌍대성(duality) 관계가 있다. L_2와 C_2의 공진 주파수와 특성 임피던스가 L_1과 C_1의 공진 주파수와 특성 임피던스와 같다면, 다이오드의 시비율이 스위치의 시비율과 같다. 그러면 그림에서 볼 수 있듯이 다이오드의 전압 v_{D1}과 인덕터 L_2의 전류 i_{L2}는 인버터 회로에서의 스위치 전압 $v_{ds,S1}$과 인덕터 L_1의 전류 i_{L1}에서 y축에 대해 대칭 이동한 후 x축 방향으로 $2\pi(1-D_{inv})$만큼 평행 이동한 것과 같다. 따라서 공진 전류의 위상 φ_r이 $-\varphi_r+\pi(2D_{inv}-1)$로 바뀐다면 스위치와 다이오드가 똑같이 t=0일 때 꺼질 뿐만 아니라 모든 동작 특성이 같아진다.

다만, 다이오드는 스위치와 달리 낮은 전류에서도 다이오드의 문턱 전압(threshold voltage) 때문에 일정한 전압 강하가 있다. 여기서는 다이오드가 켜질 때 전압 강하를 V_F라고 하고 이를 회로 분석에 포함해 V_F가 회로의 동작과 성능에 미치는 영향을 살펴본다.

분석을 위해 정류기의 동작 모드는 다이오드 D_1의 개폐에 따라 Mode I과 II로 구분된다. 다이오드의 시비율을 D_{rect}라고 하면 Mode I은 다이오드가 OFF인 모드로 $0 \le \omega_s t \le 2\pi(1-D_{rect})$인 구간이며, Mode II는 다이오드가 ON인 모드로 $2\pi(1-D_{rect}) \le \omega_s t \le 2\pi$일 때이다.

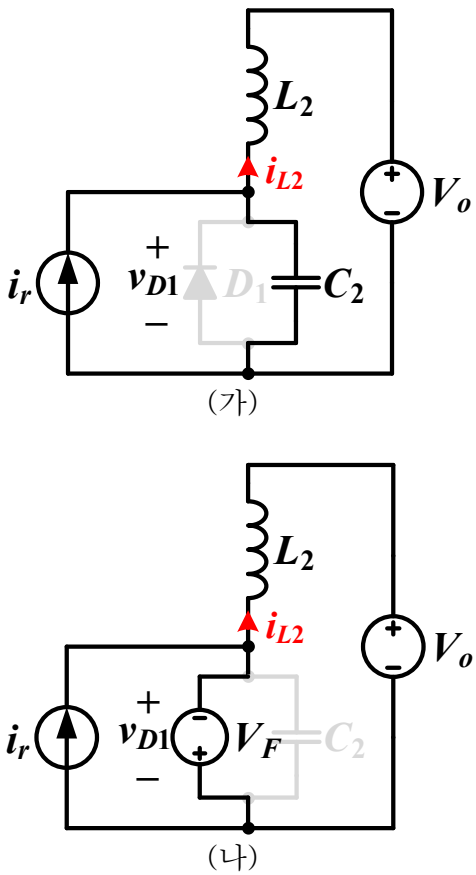


그림 3.40 각 동작 모드에서 정류기 셀의 등가 회로

(가) Mode I (D_1: OFF). (나) Mode II (D_1: ON).

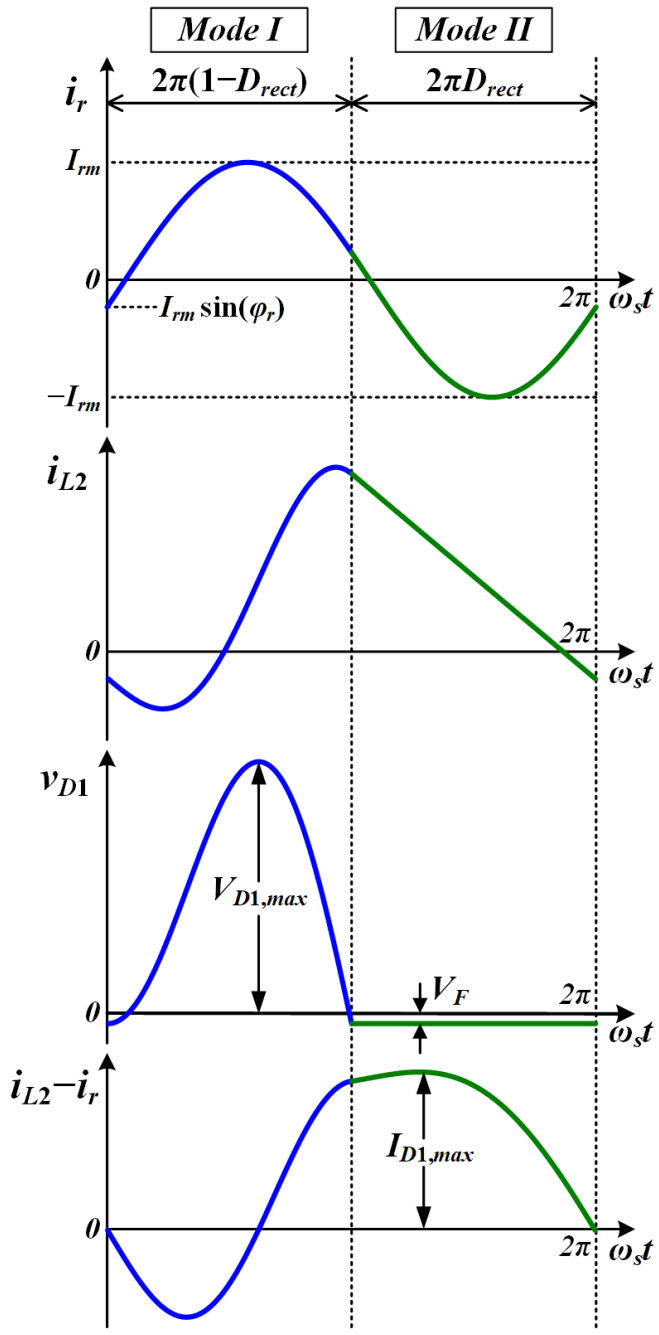


그림 3.41 정상 상태에서 공진형 정류기의 주요 동작 파형

그러면 Mode I과 II에서 정류기의 등가 회로를 그림 3.40과 같이 나타낼 수 있다. 그리고 그림 3.41은 한 스위칭 주기 동안 정류기의 주요 동작 파형을 보여준다. 먼저 Mode I에서는 다이오드가 턴 오프 되고 그림 3.40(가)와 같이 L_2와 C_2의 공진 회로가 형성된다. 그러므로 그림 3.41에서 볼 수 있듯이 다이오드 D_1 양단의 전압 v_{D1}이 공진으로 반파 정류된 정현파 모양에 가까워진다. 또한, L_2의 전류 i_{L2}에서 공진 전류 i_r을 뺀 $i_{L2} - i_r$만큼의 전류가 C_2로 흐른다. 처음에는 $i_{L2} - i_r$가 음수이므로 C_2의 전압 즉, v_{D1}이 증가하는 방향으로 흘러서 다이오드의 역방향 전압이 증가하며 $i_{L2} - i_r$이 0이 될 때 최댓값 $V_{D1,max}$를 가진다. 그 이후에는 $i_{L2} - i_r$가 양수가 되어 v_{D1}이 점차 감소하다가 $-V_F$에 도달하면 다이오드가 켜지고 Mode II가 시작된다. Mode II에서는 다이오드가 턴 온 되어 그림 3.40(나)와 같이 v_{D1}이 $-V_F$로 고정되므로 i_{L2}는 $V_o + V_F$에 의해 선형적으로 감소한다. 또한, $i_{L2} - i_r$만큼의 전류가 다이오드로 흐르고 그 전류의 최댓값이 다이오드의 피크 전류 $I_{D1,max}$에 해당한다.

여기서 주목해야 할 점은 다이오드가 턴 온 또는 턴 오프 되는 순간에 공진으로 $|dv/dt|$가 작아진다는 것이다. 특히, 그림 3.41에서 보듯이 다이오드가 턴 오프 될 때 $i_{L2} - i_r$가 0이므로 영전류 스위칭(zero current switching, ZCS)가 가능할 뿐만 아니라 dv_{D1}/dt가 0이다. 그러므로 높은 dv/dt로 발생하는 기생 공진이 완화되어 기존 반파 정류기나 브릿지 정류기보다 스위칭 손실과 노이즈가 적다는 장점이 있다[57], [60]. 게다가 다이오드 전류(Mode II에서 $i_{L2} - i_r$)를 보면 다이오드가 턴 오프 되기 전에 작은 $|di/dt|$를 가지므로 역 회복 전류도 줄어들 수 있다[63].

그림 3.40의 등가 회로로부터 각 동작 모드에서 i_{L2}와 v_{D1}에 관한 미분 방정식을 아래와 같이 유도할 수 있다. 이때 Mode I과 II에서의 i_{L2}, v_{D1}은 각각 $i_{L2,I}$, $v_{D1,I}$과 $i_{L2,II}$, $v_{D1,II}$로 표시된다.

Mode I:

$$\begin{cases} L_2 \dfrac{di_{L2,I}}{dt} = v_{D1,I} - V_o \\ C_2 \dfrac{dv_{D1,I}}{dt} = I_{rm} \sin\left(\omega_s t + \varphi_r\right) - i_{L2,I} \end{cases} \qquad 0 \le \omega_s t \le 2\pi\left(1 - D_{rect}\right). \quad (3.46)$$

Mode II:

$$\begin{cases} L_2 \dfrac{di_{L2,II}}{dt} = -\left(V_o + V_F\right) \\ v_{D1,II} = -V_F \end{cases} \qquad 2\pi\left(1 - D_{rect}\right) \le \omega_s t \le 2\pi\,. \quad (3.47)$$

그리고 다이오드가 턴-오프 되는 순간, 즉 $t = 0$일 때 다이오드 전압은 순방향 전압 V_F와 같고 전류는 0이므로 Mode I에서의 초기 조건은 아래와 같이 쓸 수 있다.

$$i_{L2,I}\left(0\right) = I_{rm} \sin\varphi_r\,,\ \ v_{D1,I}\left(0\right) = -V_F\,. \quad (3.48)$$

식 (3.48)을 이용해 (3.46)을 Laplace 변환하면 다음과 같다.

$$sL_2 I_{L2,I}\left(s\right) = L_2 I_{rm} \sin\varphi_r + V_{D1,I}\left(s\right) - \frac{V_o}{s}, \quad (3.49)$$

$$sC_2 V_{D1,I}\left(s\right) = -C_2 V_F - I_{L2,I}\left(s\right) + I_{rm} \frac{\omega_s \cos\varphi_r + s\sin\varphi_r}{s^2 + {\omega_s}^2}. \quad (3.50)$$

그러고 나서 (3.49)와 (3.50)을 연립하여 $V_{D1,I}(s)$를 아래처럼 구할 수 있다.

$$V_{D1,I}\left(s\right) = \frac{-sV_F}{s^2 + {\omega_2}^2} + \frac{{\omega_2}^2 V_o}{s\left(s^2 + {\omega_2}^2\right)} - \frac{\omega_2 Z_2 I_{rm} \sin\varphi_r}{s^2 + {\omega_2}^2} + \omega_2 Z_2 I_{rm} \frac{s\omega_s \cos\varphi_r + s^2 \sin\varphi_r}{\left(s^2 + {\omega_s}^2\right)\left(s^2 + {\omega_2}^2\right)}. \quad (3.51)$$

여기서 ω_2와 Z_2는 L_2와 C_2의 공진 주파수와 특성 임피던스를 뜻하고 다음과 같이 정의된다.

$$\omega_2 \equiv \frac{1}{\sqrt{L_2 C_2}}\,,\ \ Z_2 \equiv \sqrt{\frac{L_2}{C_2}}\,. \quad (3.52)$$

그러면 (3.51)의 Laplace 역변환으로 아래의 (3.53)처럼 Mode I에서의 다이

오드 전압 $v_{D1,I}$을 구할 수 있다.

$$v_{D1,I}(t) = V_o - (V_o + V_F)\cos\omega_2 t - \frac{Z_2 I_{rm}\sin\varphi_r}{1+(\omega_2/\omega_s)}\sin\omega_2 t \\ -\frac{Z_2 I_{rm}(\omega_2/\omega_s)}{1-(\omega_2/\omega_s)^2}\left\{\cos(\omega_s t+\varphi_r)-\cos(\omega_2 t+\varphi_r)\right\}. \tag{3.53}$$

그리고 (3.53)을 (3.46)에 대입하면 다음과 같이 $i_{L2,I}$이 계산된다.

$$i_{L2,I}(t) = -\frac{V_o+V_F}{Z_2}\sin\omega_2 t + \frac{I_{rm}\sin\varphi_r}{1+(\omega_2/\omega_s)}\cos\omega_2 t \\ -\frac{I_{rm}(\omega_2/\omega_s)}{1-(\omega_2/\omega_s)^2}\left\{\frac{\omega_2}{\omega_s}\sin(\omega_s t+\varphi_r)-\sin(\omega_2 t+\varphi_r)\right\}. \tag{3.54}$$

같은 방법으로 Mode II에서의 $i_{L2,II}$와 $v_{D1,II}$도 구할 수 있다.

$$i_{L2,II}(t) = i_{L2,I}\left[(1-D_{rect})T_s\right] - \frac{\omega_2(V_o+V_F)}{Z_2}\left\{t-(1-D_{rect})T_s\right\}, \tag{3.55}$$

$$v_{D1,II}(t) = -V_F. \tag{3.56}$$

정상 상태에서의 동작을 가정하면, (3.53)-(3.56)의 $i_{L2,I}$, $v_{D1,I}$, $i_{L2,II}$, $v_{D1,II}$는 다음과 같은 경계 조건을 만족해야 한다.

1) 다이오드 D_1이 턴 온 되기 위해서 양단 전압이 V_F 이상이 되어야 하므로 Mode I과 II의 경계에서 $v_{D1,I}$이 $-V_F$까지 감소해야 한다.

$$v_{D1,I}\left[2\pi(1-D_{rect})\right] = -V_F. \tag{3.57}$$

2) 한 스위칭 주기 동안 인덕터 L_2의 평균 전압은 0이다. 즉, t = 0일 때와 $t = T_s$일 때 인덕터 전류 i_{L2} 값이 동일하다.

$$i_{L2,I}(0) = i_{L2,II}(T_s). \tag{3.58}$$

3) 한 스위칭 주기 동안 다이오드의 평균 전류는 출력 전류 I_o와 같다.

$$\int_{2\pi(1-D_{rect})}^{2\pi}\left\{i_{L2,II} - I_{rm}\sin(\omega_s t+\varphi_r)\right\}d(\omega_s t) = 2\pi I_o. \tag{3.59}$$

그러면 (3.53)–(3.56)을 (3.57)–(3.59)에 대입하면 아래와 같이 경계 조건을 다시 쓸 수 있다. 이때 $A_2 \equiv 2\pi(1-D_{rect})$, $B_2 \equiv 2\pi\omega_{2,N}(1-D_{rect})$이다.

$$\begin{aligned} &M_{rect}\left(1+V_F/V_o\right)\cos B_2+\frac{Q_2\sin\varphi_r}{1+\omega_{2,N}}\sin B_2 \\ &+\frac{Q_2\omega_{2,N}}{1-\omega_{2,N}{}^2}\left\{\cos\left(A_2+\varphi_r\right)-\cos\left(B_2+\varphi_r\right)\right\}=M_{rect}\left(1+V_F/V_o\right), \end{aligned} \tag{3.60}$$

$$2\pi\omega_{2,N}D_{rect}M_{rect}\left(1+V_F/V_o\right)-Q_2\left\{\frac{i_{L2,I}\left[\left(1-D_{rect}\right)T_s\right]}{I_{rm}}-\sin\varphi_r\right\}=0, \tag{3.61}$$

$$\begin{aligned} &\left\{\cos\varphi_r-\cos\left(A+\varphi_r\right)\right\}+2\pi D_{rect}\frac{i_{L2,I}\left[\left(1-D_{rect}\right)T_s\right]}{I_{rm}} \\ &-2\pi^2 D_{rect}{}^2\omega_{2,N}\frac{M_{rect}\left(1+V_F/V_o\right)}{Q_2}=2\pi M_{rect}. \end{aligned} \tag{3.62}$$

여기서 $\omega_{2,N}$은 ω_s로 정규화된 L_2와 C_2의 공진 주파수이다 ($\omega_{2,N} \equiv \omega_2/\omega_s$). 또한, M_{rect}와 Q_2는 각각 정류기의 전류 이득과 유효 Q-인자를 의미하고 아래와 같이 정의된다.

$$M_{rect} \equiv \frac{I_o}{I_{rm}},\quad Q_2 \equiv \frac{Z_2}{\left(V_o/I_o\right)}=\frac{1}{\left(V_o/I_o\right)}\sqrt{\frac{L_2}{C_2}}. \tag{3.63}$$

식 (3.61)과 (3.62)에 포함된 $i_{L2,I}[(1-D_{rect})T_s]/I_{rm}$은 (3.54)를 이용해 아래와 같이 쓸 수 있다.

$$\begin{aligned} \frac{i_{L2,I}\left[\left(1-D_{rect}\right)T_s\right]}{I_{rm}}=&-\frac{M_{rect}\left(1+V_F/V_o\right)}{Q_2}\sin B_2+\frac{\sin\varphi_r}{1+\omega_{2,N}}\cos B_2 \\ &-\frac{\omega_{2,N}\left\{\omega_{2,N}\sin\left(A_2+\varphi_r\right)-\sin\left(B_2+\varphi_r\right)\right\}}{1-\omega_{2,N}{}^2}. \end{aligned} \tag{3.64}$$

식 (3.64)를 고려하면 (3.60)–(3.62) 모두 D_{rect}, $\omega_{2,N}$, M_{rect}, Q_2, φ_r의 5개 변수로 표현된다. V_F/V_o는 다이오드 소자 특성에 의해서 주어지는 값이므로 해를 구해야 할 변수는 아니다. $\omega_{2,N}$, M_{rect}, Q_2는 각각 ω_s, I_o, V_o/I_o로 정규화

된 변수로서 이들로 표현된 (3.60)–(3.62)는 정류기의 구동 주파수, 출력 전압, 출력 조건과 무관하다. 그러므로 이를 이용한 분석의 결과는 정류기의 구동 조건과 관계없이 적용할 수 있다.

변수가 5개, 식이 3개이므로 자유도는 2이다. 본 논문에서는 설계가 가능하고 값의 범위가 넓지 않은 D_{rect}와 $\omega_{2,N}$가 임의의 값으로 주어진다고 하고 (3.60)–(3.62)를 연립하여 나머지 3개 변수의 해를 D_{rect}와 $\omega_{2,N}$에 관해서 구할 수 있다.

첫번째로 (3.60)과 (3.61)을 연립하면 φ_r은 다음과 같이 구해진다.

$$\varphi_r = \operatorname{atan2}\left\{ sign\left(1-{\omega_{2,N}}^2\right) n_2, sign\left(1-{\omega_{2,N}}^2\right) d_2 \right\}, \tag{3.65}$$

$$\begin{aligned} n_2\left(D_{rect},\omega_{2,N}\right) &= \omega_{2,N}\left(\cos B_2-\cos A_2\right)\left(2\pi\omega_{2,N}D_{rect}+\sin B_2\right) \\ &\quad +\omega_{2,N}\left(\omega_{2,N}\sin A_2-\sin B_2\right)\left(\cos B_2-1\right). \end{aligned}$$

$$\begin{aligned} d_2\left(D_{rect},\omega_{2,N}\right) &= \left(\sin B_2-\omega_{2,N}\sin A_2\right)\left(2\pi\omega_{2,N}D_{rect}+\sin B_2\right) \\ &\quad +\left\{\left(\cos B_2-1\right)-{\omega_{2,N}}^2\left(\cos A_2-1\right)\right\}\left(\cos B_2-1\right), \end{aligned}$$

여기서 $sign(\cdot)$은 괄호 안의 변수가 0보다 크면 1, 작으면 −1, 0이면 0이다. 다음으로 (3.60)-(3.62)를 연립하여 아래와 같이 M_{rect}을 유도할 수 있다.

$\cos B_2 \neq 1$일 때

$$\begin{aligned} &2\pi M_{rect} = \\ &\cos\varphi_r-\cos\left(A_2+\varphi_r\right)+2\pi D_{rect}\sin\varphi_r \\ &+\frac{2\pi^2{D_{rect}}^2\omega_{2,N}}{1-\cos B_2}\left[\frac{\sin B_2\sin\varphi_r}{1+\omega_{2,N}}+\frac{\omega_{2,N}\left\{\cos\left(A_2+\varphi_r\right)-\cos\left(B_2+\varphi_r\right)\right\}}{1-{\omega_{2,N}}^2}\right]. \end{aligned} \tag{3.66}$$

$\cos B_2 = 1$일 때

$$\begin{aligned} &2\pi M_{rect} \\ &=\cos\varphi_r-\cos\left(A_2+\varphi_r\right)+2\pi D_{rect}\sin\varphi_r-\frac{\pi D_{rect}{\omega_{2,N}}^2\left\{\sin\left(A_2+\varphi_r\right)-\sin\varphi_r\right\}}{1-{\omega_{2,N}}^2}. \end{aligned} \tag{3.67}$$

마지막으로 (3.62)를 이용해 Q_2에 관한 식을 다음과 같이 쓸 수 있다.

$$Q_2 = \frac{2\pi^2 {D_{rect}}^2 \omega_{2,N} M_{rect}\left(1+V_F/V_o\right)}{2\pi M_{rect} + \cos\left(A_2+\varphi_r\right) - \cos\varphi_r - 2\pi D_{rect}\sin\varphi_r}. \tag{3.68}$$

식 (3.66)–(3.68)을 보면 M_{rect}와 Q_2가 D_{rect}와 $\omega_{2,N}$으로만 표현되지 않는다. 그렇지만 D_{rect}와 $\omega_{2,N}$이 주어지면 φ_r과 더불어 M_{rect}와 Q_2도 하나의 값으로 정해진다. (3.65)에 의해 계산된 φ_r 값과 (3.66) 또는 (3.67)을 이용해 M_{rect}를 구한 다음에 (3.68)을 통해 Q_2를 계산할 수 있다.

그림 3.42–그림 3.44는 각각 D_{rect} = 0.2–0.8, $\omega_{2,N}$ = 0.5–2일 때 (3.65)–(3.68)을 통해 계산한 φ_r, Q_2, M_{rect}을 도시한 것이다. 일단 여기서는 V_F/V_o = 0으로 계산하여 다이오드의 순방향 전압에 의한 영향은 무시한다.

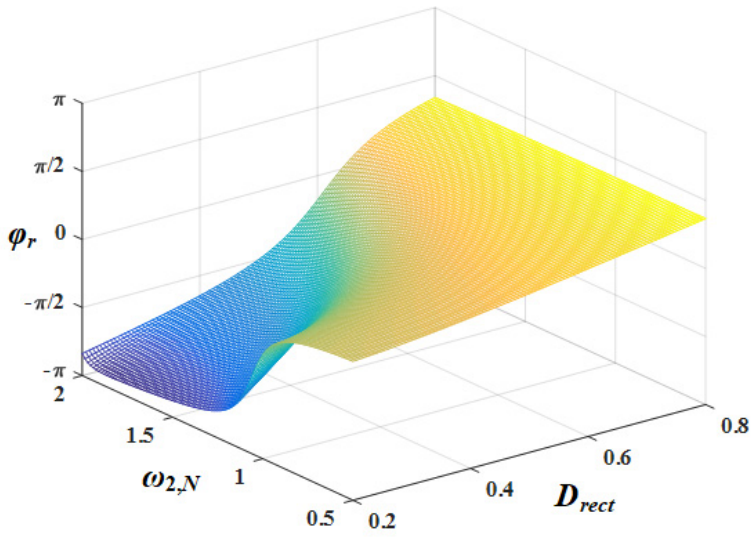


그림 3.42 D_{rect}와 $\omega_{2,N}$에 따른 입력 전류의 위상 φ_r

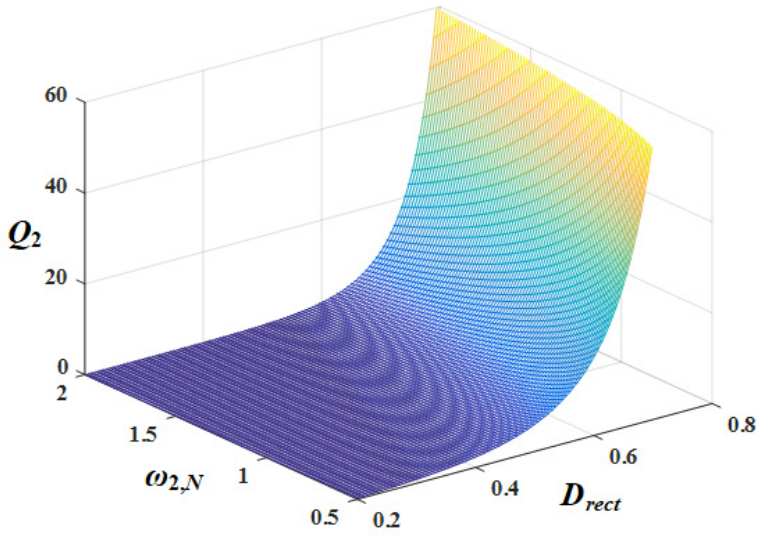


그림 3.43 D_{rect}와 $\omega_{2,N}$에 따른 loaded Q-인자 Q_2

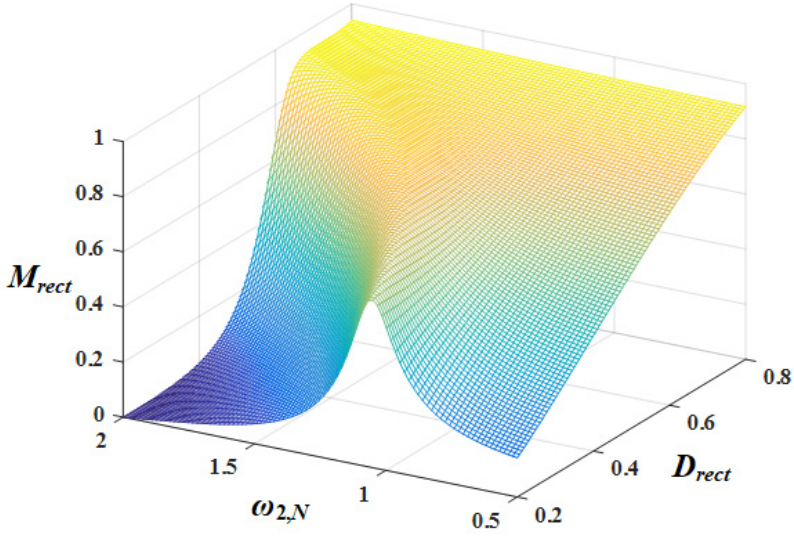


그림 3.44 D_{rect}와 $\omega_{2,N}$에 따른 정류기의 전류 이득 M_{rect} ($V_F/V_o = 0$)

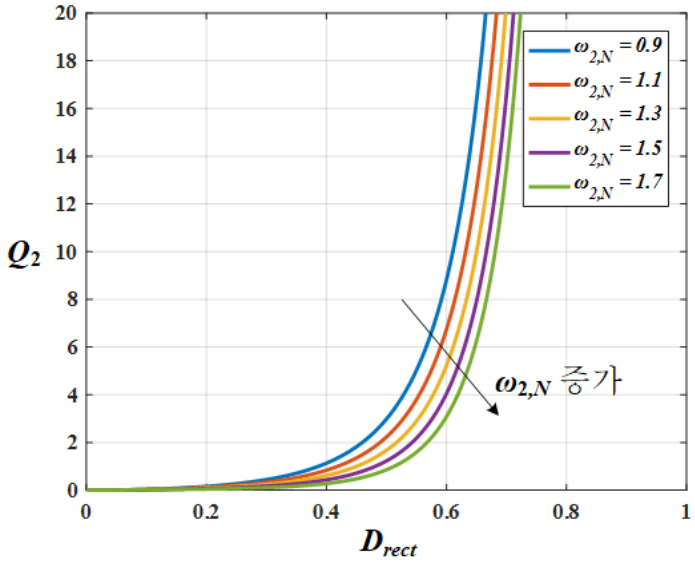


그림 3.45 $\omega_{2,N}$ = 0.9:0.2:1.7일 때 D_{rect}에 따른 Q_2 (V_F/V_o = 0)

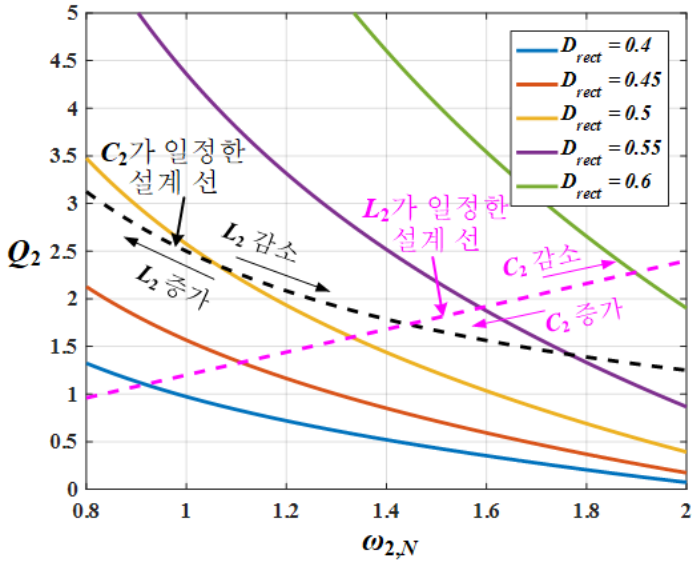


그림 3.46 D_{rect} = 0.4:0.05:0.6일 때 $\omega_{2,N}$에 따른 Q_2 (V_F/V_o = 0)

그림 3.45는 고정된 $\omega_{2,N}$ 값에 대해서 D_{rect}–Q_2 평면에 평행하게 그림 3.43의 Q_2-그래프를 자른 것이다. 그림 3.45에서 볼 수 있듯이 D_{rect}가 증가함에 따라 Q_2가 급격하게 증가한다. 또한, 그림 3.46은 고정된 D_{rect} 값

에 대해서 $\omega_{2,N}$–Q_2 평면에 평행하게 자른 것으로 $\omega_{2,N}$가 증가할수록 Q_2는 감소하는 경향이 있다는 것을 볼 수 있다.

여기서 중요한 것은 Q_2는 L_2와 C_2의 설계에 직접적인 연관이 있다는 점이다. (3.52)와 (3.63)을 이용하여 L_2와 C_2의 설계 식을 아래와 같이 유도할 수 있다.

$$L_2 = \frac{Z_2}{\omega_2} = \frac{Q_2\left(V_o/I_o\right)}{\omega_{2,N}\omega_s}, \quad C_2 = \frac{1}{\omega_2 Z_2} = \frac{1}{\omega_{2,N}\omega_s Q_2\left(V_o/I_o\right)}. \tag{3.69}$$

식 (3.69)의 ω_s 와 V_o/I_o는 정류기의 구동 주파수와 출력 전압, 출력 전력 조건에 의해 결정되므로, $\omega_{2,N}$과 Q_2가 설계로 정해지면 L_2와 C_2를 계산할 수 있다. 앞서 언급한 것처럼 설계 자유도는 2이므로 $\omega_{2,N}$뿐만 아니라 D_{rect}도 같이 고려하여 Q_2를 정하고 L_2와 C_2 값을 설계한다.

식 (3.69)를 보면 L_2는 $Q_2/\omega_{2,N}$에 비례하고 C_2는 $\omega_{2,N}Q_2$에 반비례한다. 그러므로 L_2와 C_2가 각각 일정한 설계 선 두 개를 그림 3.46에서처럼 표시할 수 있다. C_2가 고정된 상황에서 L_2가 감소하는 경우 C_2가 일정한 선을 따라 설계 점이 오른쪽으로 이동하므로 D_{rect}가 증가한다. 마찬가지로 L_2가 고정된 상황에서 C_2가 감소하면 L_2가 일정한 선을 따라 오른쪽으로 이동하므로 D_{rect}가 증가한다. 따라서 높은 D_{rect}를 위해서는 L_2와 C_2 둘 중 하나가 감소하면 된다.

그림 3.45와 그림 3.46에서와 같은 방법으로 그림 3.44의 M_{rect}-그래프도 D_{rect}–M_{rect} 평면과 $\omega_{2,N}$–M_{rect} 평면에 평행하게 자르면 각각 그림 3.47과 그림 3.48과 같다. 그림 3.47에 따르면 D_{rect}가 증가함에 따라 M_{rect}도 증가하는 것을 볼 수 있다. 이를 정성적으로 해석해보면, 같은 입력 전류에 대해서 한 주기 동안 다이오드가 턴 온 되는 시간이 늘어날수록 부하로 흐르는 평균 전류가 증가할 것이기 때문에 M_{rect}가 증가한다고 생각할 수 있다. 또한, 그림 3.48은 고정된 D_{rect} 값에 대해서 M_{rect}가 최대가 되는

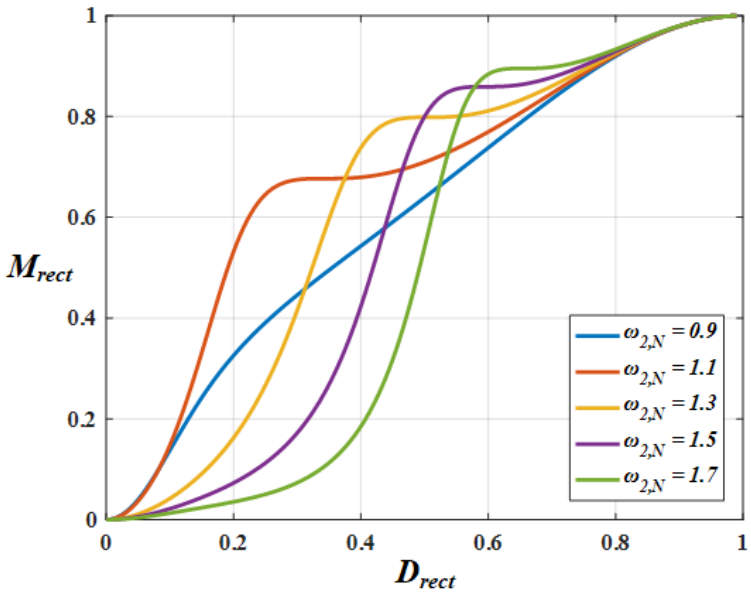


그림 3.47 $\omega_{2,N}$ = 0.9:0.2:1.7일 때 D_{rect}에 따른 M_{rect}

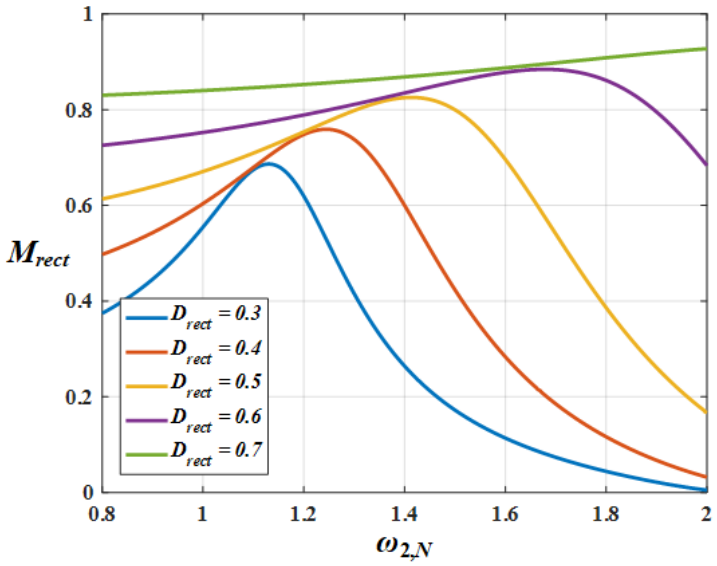


그림 3.48 D_{rect} = 0.3:0.1:0.7일 때 $\omega_{2,N}$에 따른 M_{rect}

$\omega_{2,N}$ 값이 존재함을 보여준다. (3.63)에서 정의한 바와 같이 M_{rect}가 최대라는 의미는 같은 부하 조건에서 필요한 입력 전류의 크기가 최소가 되므로 효율적으로 전력을 전달할 수 있다는 것이다.

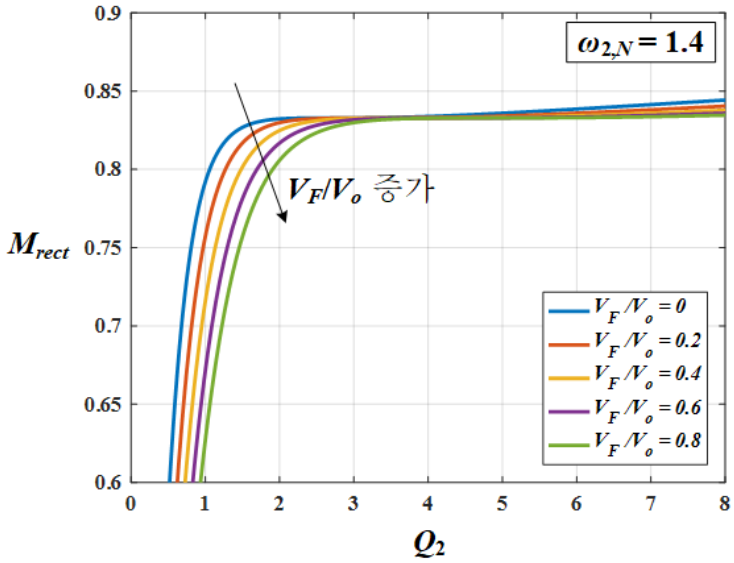


그림 3.49 $\omega_{2,N} = 1.4$일 때 V_F/V_o에 따른 Q_2-M_{rect} 곡선의 변화

다음으로 다이오드 D_1의 순방향 전압 V_F의 영향을 분석해보고자 한다. (3.68)을 보면 Q_2는 $(1+V_F/V_o)$에 비례하므로 V_F가 증가하면 Q_2도 증가한다. 그림 3.49는 $\omega_{2,N}$ = 1.4일 때 여러 V_F/V_o 값에 대해서 Q_2-M_{rect} 곡선들을 그린 것이다. V_F/V_o가 증가함에 따라 그래프가 아래로 이동하는 것을 볼 수 있다. 따라서 고정된 $\omega_{2,N}$과 Q_2 값에 대해서, 즉 설계된 정류기의 L_2와 C_2의 값이 고정된 상황에서 사용하는 다이오드의 순방향 전압 V_F가 높을수록 입력 전류 대비 출력 전력이 줄어든다. 또한, 이를 다르게 해석하면 V_F/V_o가 증가할수록 같은 M_{rect}를 위한 Q_2 값이 커져야 한다는 것이다. 하지만 특정 $\omega_{2,N}$ 값에 대한 Q_2의 최댓값은 C_2의 최솟값인 다이오드의 접합 캐패시턴스로 제한되기 때문에 V_F/V_o가 클수록 구현할 수 있는 M_{rect}의 범위가 좁아진다.

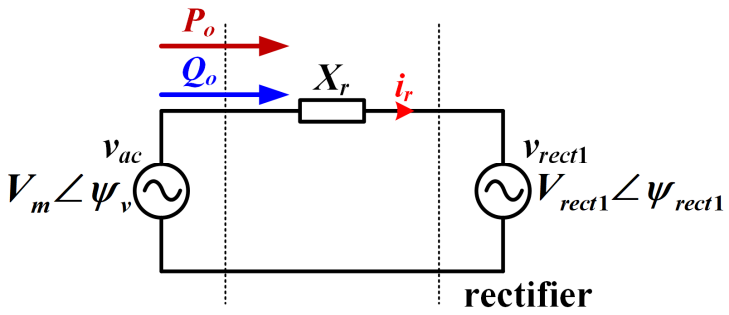


그림 3.50 기본파 주파수에서 바라본 정류기의 등가 회로

그림 3.50은 기본파 주파수에서 바라본 정류기 회로의 모델을 나타낸 것이다. v_{rect1}은 정류기 입력 전압 v_{rect}의 기본파 성분을 나타낸 것으로 v_{rect1}의 크기와 위상은 각각 V_{rect1}과 ψ_{rect1}으로 표시한다. 앞서 인버터 기본파 전압을 분석한 것처럼 v_{rect1}을 공진 전류 i_r과 동상인 성분 $V_{rect1,p}$와 직교 위상인 성분 $V_{rect1,q}$으로 분해할 수 있다.

$V_{rect1,p}$는 전력 균형 조건으로부터 간단히 유도할 수 있다. V_F에 의한 다이오드의 전도 손실을 제외한 다른 손실을 무시하면 정류기의 입력 전력은 아래와 같이 출력 전력과 다이오드의 전도 손실의 합으로 표현된다.

$$\frac{V_{rect1,p} I_{rm}}{2} = V_o I_o + V_F I_o. \tag{3.70}$$

(3.70)을 이용해서 $V_{rect1,p}/V_o$를 아래와 같이 쓸 수 있다.

$$\frac{V_{rect1,p}}{V_o} = 2M_{rect}\left(1+\frac{V_F}{V_o}\right). \tag{3.71}$$

$V_{rect1,p}/V_o$는 M_{rect}와 $(1+V_F/V_o)$에 비례한다.

그리고 입력 리액턴스 $V_{rect1,q}$를 계산하기 위해 아래처럼 Fourier series를 이용한다.

$$V_{rect1,q} = \frac{1}{\pi}\int_0^{2\pi} v_{rect}(t)\cos(\omega_s t+\varphi_r)\,d(\omega_s t). \tag{3.72}$$

정류기의 입력 전압은 다이오드 전압과 같으므로, (3.53)과 (3.56)을 (3.72)에 대입하여 계산하여 $V_{rect1,q}/V_o$를 아래와 같이 유도할 수 있다.

$$\frac{V_{rect1,q}}{V_o}=\frac{-\omega_{2,N}Q_2}{M_{rect}\left(1-\omega_{2,N}{}^2\right)}\left(K_{q1}-K_{q2}\right)+\frac{Q_2\sin\varphi_r}{M_{rect}\left(1+\omega_{2,N}\right)}K_{q3} \\ -\left(1+V_F/V_o\right)K_{q4}+\left(1+V_F/V_o\right)\left\{\sin\left(A+\varphi_r\right)-\sin\varphi_r\right\}/\pi. \tag{3.73}$$

$$2\pi K_{q1}=2\pi\left(1-D_{rect}\right)+\left\{\sin\left(2A_2+2\varphi_r\right)-\sin 2\varphi_r\right\}/2,$$

$$2\pi K_{q2}=\frac{\sin\left(A_2+B_2+2\varphi_r\right)-\sin 2\varphi_r}{1+\omega_{2,N}}+\frac{\sin\left(A_2-B_2\right)}{1-\omega_{2,N}},$$

$$2\pi K_{q3}=\frac{\cos\left(A_2+B_2+\varphi_r\right)-\cos\varphi_r}{1+\omega_{2,N}}-\frac{\cos\left(A_2-B_2+\varphi_r\right)-\cos\varphi_r}{1-\omega_{2,N}},$$

$$2\pi K_{q4}=\frac{\sin\left(A+B+\varphi_r\right)-\sin\varphi_r}{1+\omega_{2,N}}+\frac{\sin\left(A_2-B_2+\varphi_r\right)-\sin\varphi_r}{1-\omega_{2,N}}.$$

그러면 V_{rect1}과 ψ_{rect1}은 다음과 같다.

$$V_{rect1}=\sqrt{V_{rect1,p}{}^2+V_{rect1,q}{}^2},\ \psi_{inv1}=\tan^{-1}\left(V_{rect1,q}/V_{rect1,p}\right). \tag{3.74}$$

그림 3.51과 그림 3.52는 각각 D_{rect} = 0.2–0.8, $\omega_{2,N}$ = 0.5–2일 때 (3.74)를 이용해 계산한 V_{rect1}/V_o와 ψ_{rect1}을 도시한 것이다. 여기서는 V_F/V_o= 0으로 계산하였다.

그림 3.29의 인버터 기본파 전압 크기와 비교하면 V_{rect1}/V_o은 V_{inv1}/V_s와 같다. 이것은 인버터와 정류기 사이의 쌍대성 관계를 보여주는 하나의 예시가 된다. 또한, 그림 3.30과 그림 3.52를 비교하면 알 수 있듯이 ψ_{rect1}와 ψ_{inv1}가 크기는 같고 부호만 반대이다. 이는 인버터와 정류기의 전력 방향이 서로 반대인 결과이다.

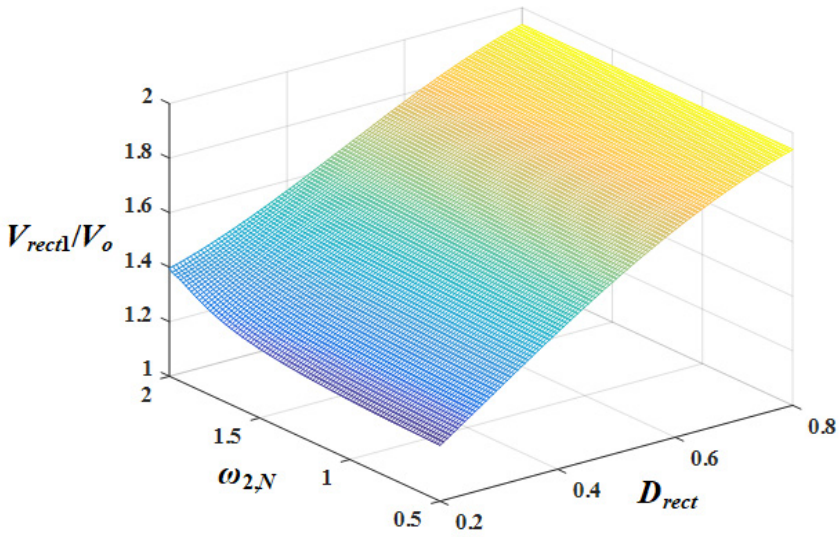


그림 3.51 D_{rect}와 $\omega_{2,N}$에 따른 V_{rect1}/V_o ($V_F/V_o = 0$)

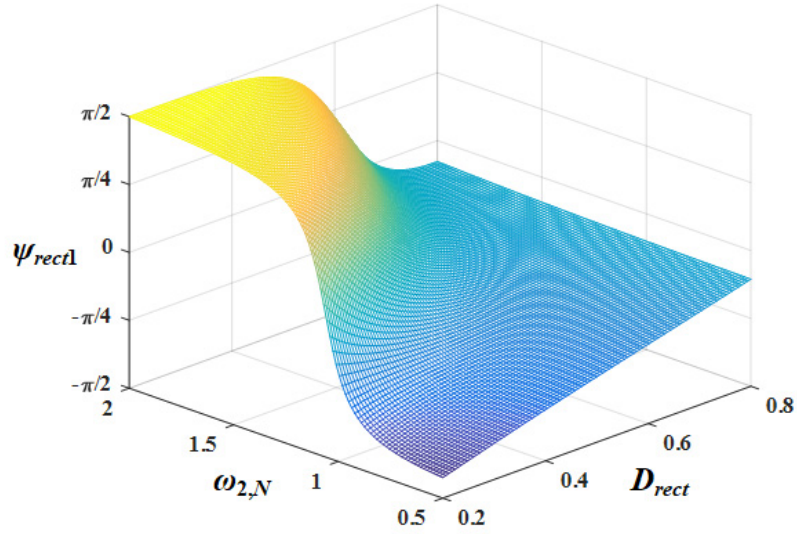


그림 3.52 D_{rect}와 $\omega_{2,N}$에 따른 ψ_{rect1} ($V_F/V_o = 0$)

D_{rect}와 $\omega_{2,N}$에 따른 ψ_{rect1}의 변화를 좀 더 자세하게 보기 위해 그림 3.52의 그래프를 D_{rect}–ψ_{rect1} 평면과 $\omega_{2,N}$– ψ_{rect1} 평면에 평행하게 자르면 각각 그림 3.53과 그림 3.54처럼 그려진다. 그림 3.53과 그림 3.54에서 볼 수

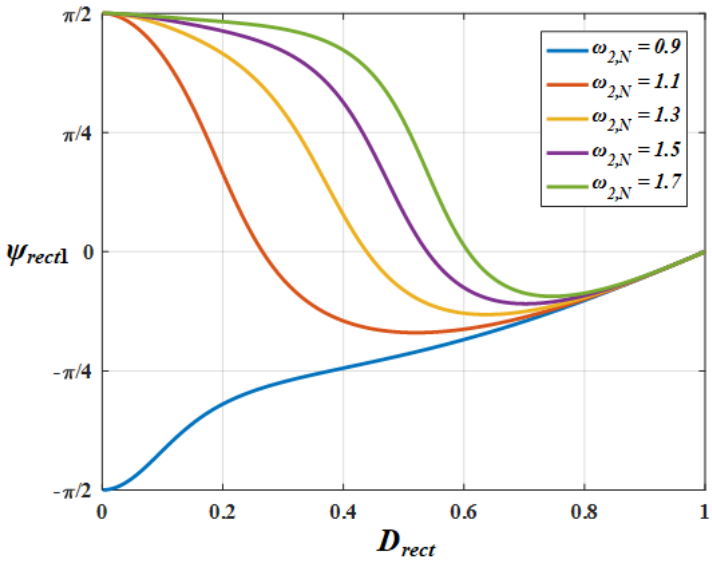


그림 3.53 $\omega_{2,N}$ = 0.9:0.2:1.7일 때 D_{rect}에 따른 ψ_{inv1} (V_F/V_o = 0)

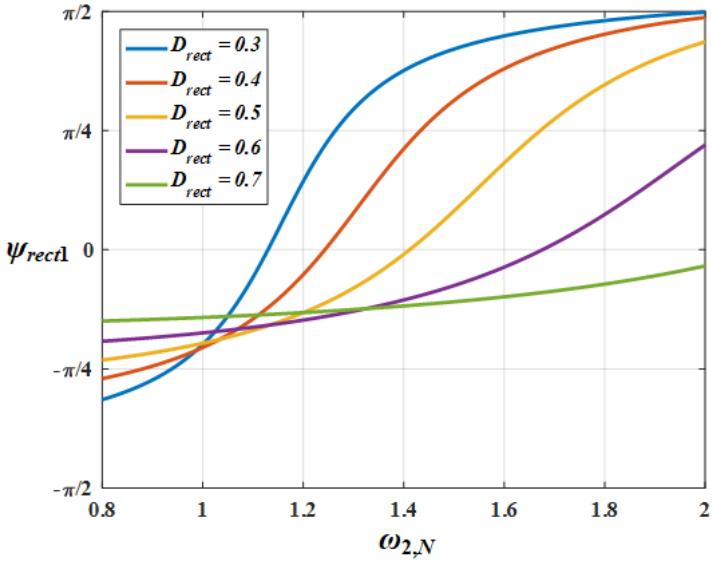


그림 3.54 D_{rect} = 0.3:0.1:0.7일 때 $\omega_{2,N}$에 따른 ψ_{inv1} (V_F/V_o = 0)

있듯이 $\omega_{2,N} > 1$이면 $\psi_{rect1} = 0$이 되는 D_{rect}가 존재한다. 그리고 그림 3.53을 보면 $\omega_{2,N}$가 작아질수록 $\psi_{rect1} = 0$을 만족하는 D_{rect}가 감소한다.

여기서 주목해야 할 점은 $\omega_{2,N} < 1$이면 $\psi_{rect1} = 0$이 되는 D_{rect}가 존재하지 않고 모든 D_{rect}에 대해서 $\psi_{rect1} < 0$이라는 것이다. 따라서 L_2를 큰 필터 인덕터로 사용하는 Class E 정류기[63]는 $\omega_{2,N} \rightarrow 0$인 경우이므로 앞서 언급한 대로 용량성 임피던스를 가질 수밖에 없고 저항성 임피던스를 갖도록 설계할 수 없다는 한계를 가진다. 반면, 본 논문에서처럼 L_2를 공진 인덕터로 설계하면 정류기가 저항처럼 보이도록 설계할 수 있고 유도성, 용량성 임피던스를 모두 구현할 수 있는 자유도가 있다. 그림 3.54에서도 이를 확인할 수 있다. 실제로 구현 가능한 D_{rect}에서 $\psi_{rect1} = 0$이 되는 $\omega_{2,N}$은 항상 1보다 크다. 또한, $\psi_{rect1} = 0$일 때의 $\omega_{2,N}$보다 작은 $\omega_{2,N}$에 대해서는 $\psi_{rect1} < 0$으로 용량성 임피던스를 갖고, 그보다 큰 $\omega_{2,N}$에 대해서는 $\psi_{rect1} > 0$으로 유도성 임피던스를 가진다.

그림 3.55와 그림 3.56은 다이오드의 순방향 전압 V_F에 의한 영향을 보기 위해 $\omega_{2,N} = 1.4$일 때 V_F/V_o에 따른 V_{rect1}/V_o와 ψ_{rect1}의 변화를 그린 것이다. 그림에서 x축은 Q_2로 설정하여 x축에 수직인 선 위의 점들은 같은 $\omega_{2,N}$, Q_2 값을 가지므로 같은 L_2, C_2 값으로 설계할 때 V_F/V_o에 따른 입력 임피던스의 변화를 알 수 있다. 그림 3.55와 그림 3.56을 보면, V_F/V_o가 증가함에 따라 V_{rect1}/V_o은 일정하게 증가하고 ψ_{rect1}은 거의 변하지 않는다. V_F/Vo에 따라 V_{rect1}/V_o는 근사적으로 $(1+V_F/V_o)$배 증가한다. 따라서 Q_2를 정하고 L_2와 C_2를 설계하는 데 V_F/V_o가 V_{rect1}/V_o에 미치는 영향이 중요하게 고려돼야 한다.

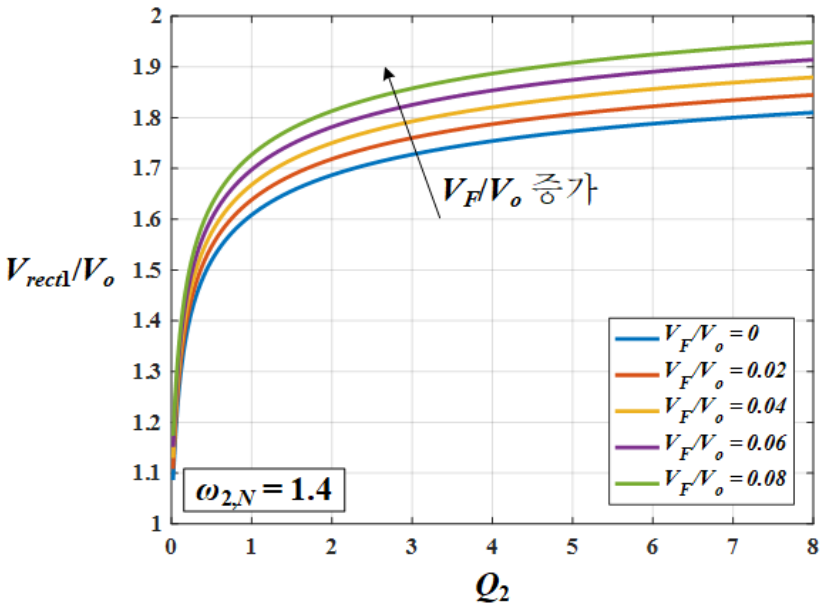


그림 3.55 $\omega_{2,N} = 1.4$일 때 V_F/V_o에 따른 V_{rect1}/V_o의 변화

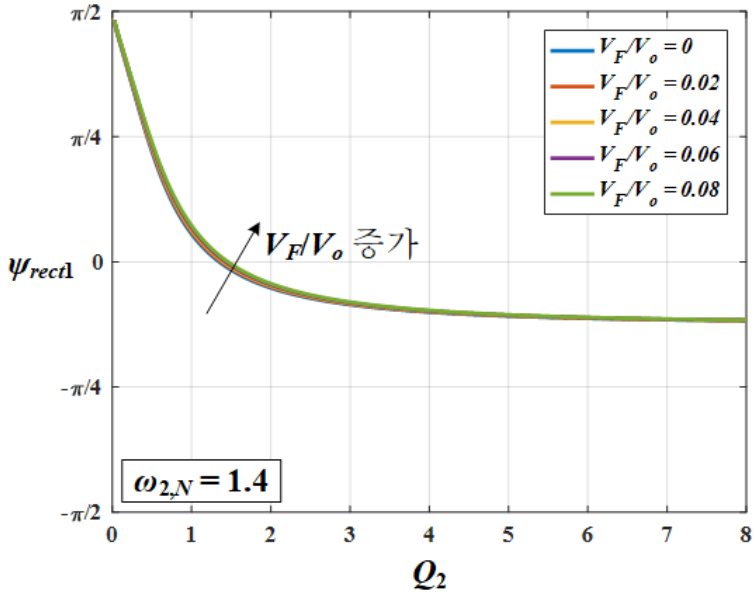


그림 3.56 $\omega_{2,N} = 1.4$일 때 V_F/V_o에 따른 ψ_{rect1}의 변화

표 3.2 인버터 셀과 정류기 셀 사이의 쌍대성(duality) 관계

인버터 셀	정류기 셀	쌍대성 관계
D_{inv}	D_{rect}	$D_{rect} = D_{inv}$
$\omega_{1,N}$	$\omega_{2,N}$	$\omega_{2,N} = \omega_{1,N}$
Q_1	Q_2	$Q_2 = Q_1(1+V_F/V_o)$
$M_{inv} = I_{rm}/I_s$	$M_{rect} = I_o/I_{rm}$	$M_{rect} = 1/M_{inv}$
t =0에서 스위치가 꺼지기 위한 φ_r	t =0에서 다이오드가 꺼지기 위한 φ_r	$-\varphi_r + \pi(2D_{inv} - 1)$
V_{inv1}	V_{rect1}	$V_{rect1} \approx V_{inv1}(1 + V_F/V_o)$
ψ_{inv1}	ψ_{rect1}	$\psi_{rect1} \approx -\psi_{inv1}$

표 3.2는 앞에서 설명한 인버터와 정류기의 변수들 사이에 쌍대성 관계를 정리한 것이다. 인버터로 설계된 공진형 스위칭 셀을 표에 적힌 대응 관계를 참고해 전력 방향이 반대인 정류기 셀로 쉽게 바꿀 수 있다. 이때 정류기 셀에서는 Q_2와 V_{rect1}만 V_F의 영향을 받는다. V_F가 증가할수록 Q_2는 $(1+V_F/V_o)$배 증가하고, V_{rect1}는 근사적으로 $(1+V_F/V_o)$배 증가한다.

3.3 제안하는 공진형 스위칭 셀의 설계

본 절에서는 3.2에서의 분석을 기반으로 그림 3.1의 싱글 엔디드 공진형 스위칭 셀의 설계 방법을 제안한다. 설계 방법은 2가지로 나뉘는데 첫 번째는 $M_{inv}(= I_{rm}/I_s)$를 최소화하는 것이고 두 번째는 L_1의 RMS 전류와 공진 전류 i_r의 RMS 값의 제곱 합 $I_{rms,tot}$를 최소화하는 것이다. 최소화하는 목적 함수는 다르지만, 두 방법 모두 전도 손실을 저감한다는 측면에서 설계 방향이 같다.

3.3.1 M_{inv}를 최소화하는 설계 방법

턴-온 시 ZVS를 위해서는 일정 크기 이상의 공진 전류 i_r이 필요한데 M_{inv}가 최소일 때 같은 입력 전류 I_s에 대해 필요한 i_r의 크기 I_{rm}이 최소가 된다. 그래서 같은 출력 전력 조건에서 효율적으로 전력을 전달할 수

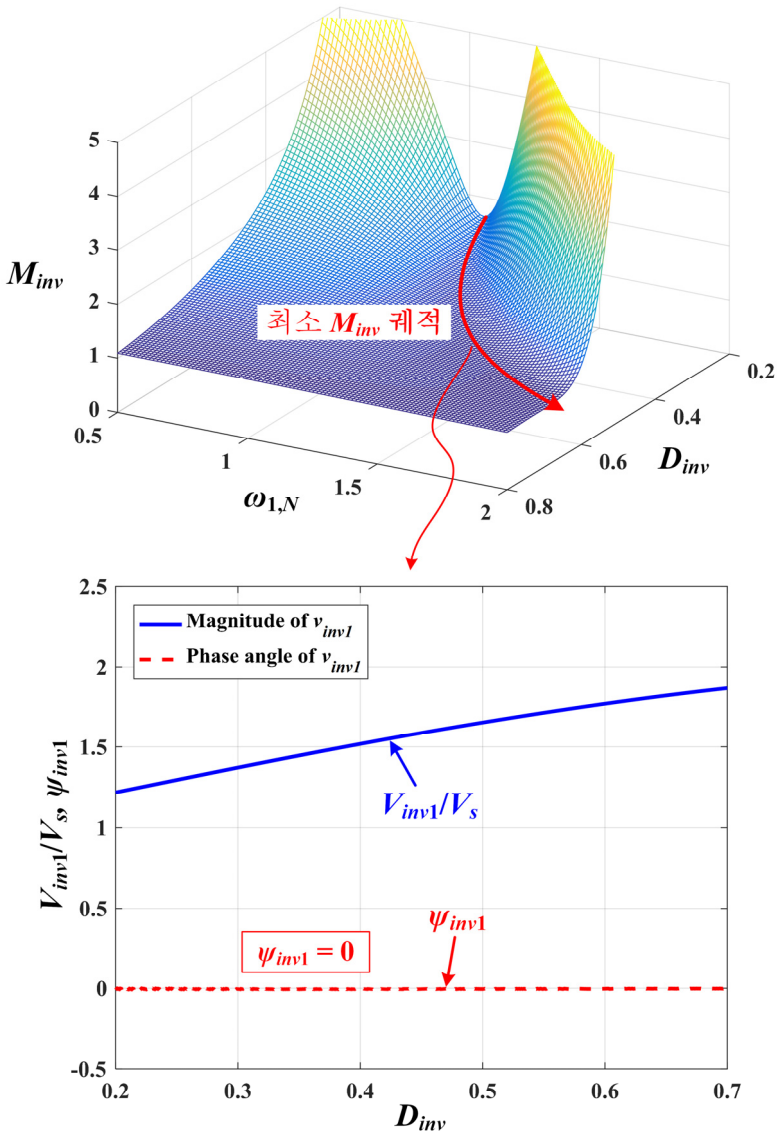


그림 3.57 M_{inv}가 최소일 때 V_{inv1}/V_s와 ψ_{inv1}

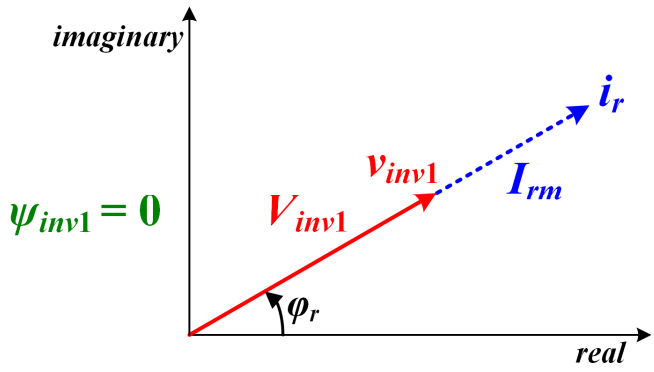


그림 3.58 $\psi_{inv1} = 0$일 때 v_{inv1}과 i_r의 페이저(phasor) 다이어그램

있다. 앞서 설명한 것처럼 어떤 D_{inv} 값에 대해 M_{inv}가 최소가 되는 $\omega_{1,N}$ 값이 1보다 큰 범위에서 존재한다.

그림 3.57은 M_{inv}가 최소가 되는 (D_{inv}, $\omega_{1,N}$) 값의 궤적 상에서 (3.34)을 이용해 V_{inv1}/V_s과 ψ_{inv1}을 계산한 것이다. 여기서 주목할 점은 모든 D_{inv}에 대해 ψ_{inv1}이 항상 0이 된다는 것이다. 결론적으로 M_{inv}가 최소가 되는 조건은 ψ_{inv1}이 0이 되는 조건과 일치한다.

이를 다음과 같이 정성적으로 해석할 수 있다. ψ_{inv1}가 0이면 그림 3.58의 페이저(phasor) 다이어그램에 나타낸 것처럼 v_{inv1}과 i_r이 동상이므로 인버터 출력 단에서는 무효 전력 없이 유효 전력만 전달된다. 그러면 같은 유효 전력을 전달하기 위한 I_{rm} 값이 최소가 되며 M_{inv}가 최소인 것과 의미가 상통한다.

그런데 기존 Class E 인버터의 경우에는 ψ_{inv1} = 0이 되도록 설계할 수 없다. 3.2.1에서 분석한 바와 같이 $\omega_{1,N}$가 1보다 작을 때는 항상 $\psi_{inv1} > 0$인데 입력 인덕터 L_1이 필터 인덕터로 기능하는 기존 Class E 인버터에서는 $\omega_{1,N}$이 0에 가까운 값을 가지기 때문이다.

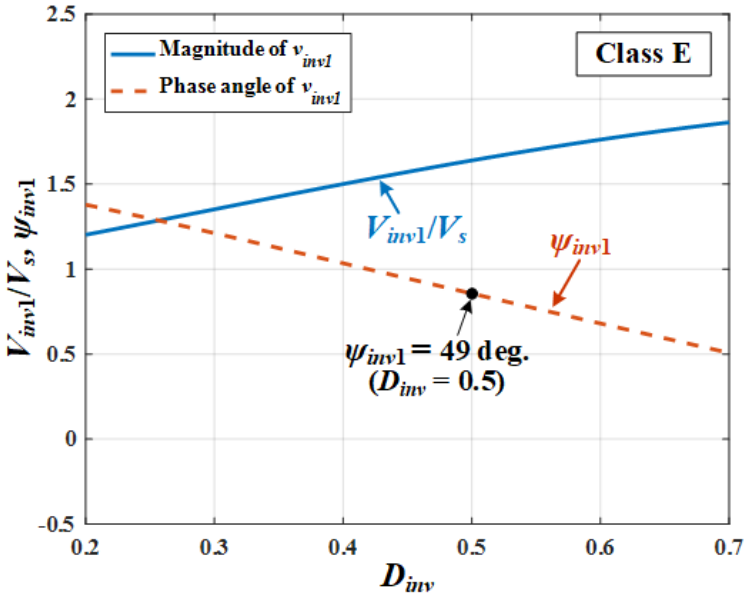


그림 3.59 기존 Class E 인버터에서 D_{inv}에 따른 V_{inv1}/V_s와 ψ_{inv1}

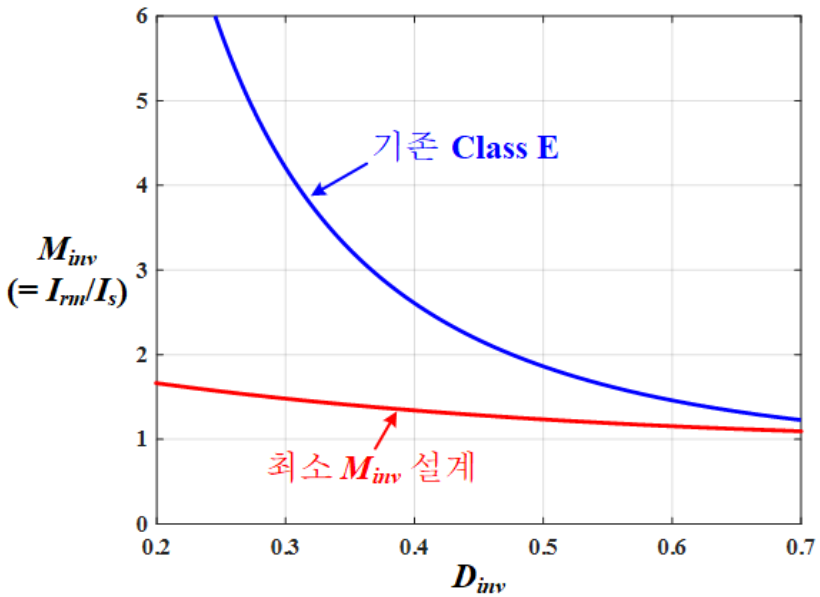


그림 3.60 최소 M_{inv} 설계와 기존 Class E 인버터의 M_{inv} 비교

Class E 인버터의 경우에 부록 A.2에서 유도한 식 (A.8)을 이용해 그림 3.59와 같이 D_{inv}에 따른 V_{inv1}/V_s과 ψ_{inv1} 값을 도시할 수 있다. 모든 D_{inv}에 대해서 $\psi_{inv1} > 0$로 유도성 임피던스를 가지며, $D_{inv} = 0.5$일 때 ψ_{inv1}은

49도이다. 그러므로 유효 전력이 같은 조건에서 I_{rm} 값이 $\psi_{inv1} = 0$일 때의 I_{rm} 값보다 더 커진다. 이를 그림 3.60에서 확인할 수 있다. $D_{inv} = 0.5$일 때 Class E 인버터에서는 $M_{inv} = 1.862$인 반면에, 최소 M_{inv} 설계 방법을 따르면 $M_{inv} = 1.211$로 줄어든다. 따라서 입력 전류 I_s가 같다면 Class E 인버터에 비해서 I_{rm} 값을 35%만큼 줄일 수 있다.

M_{inv}가 최소가 되는 (D_{inv}, $\omega_{1,N}$) 값을 (3.26)에 대입해 Q_1 값을 계산하면 (3.29)로부터 L_1과 C_1의 설계 값을 얻을 수 있다. 그림 3.61과 그림 3.62는 D_{inv}에 따라 $\omega_s L_1/(V_s/I_s)$와 $\omega_s C_1(V_s/I_s)$를 그린 것이다. 이때 ω_s와 V_s/I_s은 스위칭 주파수와 입력 DC 전압, 입력 DC 전류에 의해 주어지는 값이다. D_{inv} 값이 클수록 큰 값의 L_1과 작은 값의 C_1이 필요하다. 또한, 그림 3.63은 (3.29)를 통해 계산한 공진 전류의 위상 φ_r을 나타낸다.

그림 3.61–그림 3.63에서 볼 수 있듯이 D_{inv} 값이 정해져야 L_1, C_1, R_{ac}, L_r, 그리고 C_r이 1개의 설계 값으로 결정된다. D_{inv} 값을 정하는 데는 다음의 3가지가 고려된다: 1) 스위치의 턴-오프 전류 $I_{1,off}$, 2) 스위치의 전압 스트레스 $V_{S1,max}$와 전류 스트레스 $I_{S1,max}$, 3) 인버터의 효율 η_{inv}.

그림 3.64는 (3.28)을 이용해 계산한 $I_{1,off}/I_s$를 그린 것이다. D_{inv}가 증가할수록 $I_{1,off}/I_s$가 감소하며, $I_{1,off}$가 클수록 턴-오프 스위칭 손실이 감소하므로 큰 값의 D_{inv}일수록 턴-오프 스위칭 손실이 줄어든다.

또한, 그림 3.65는 (3.9)의 $v_{ds,S1,I}$과 (3.11)의 $i_{L1,II}$을 이용해 $V_{S1,max}/V_s$와 $I_{S1,max}/I_s$를 계산한 결과를 보여준다. D_{inv}가 증가함에 따라 $V_{S1,max}/V_s$는 증가하는 반면, $I_{S1,max}/I_s$는 감소한다. 따라서 D_{inv}에 대해 스위치의 전압 스트레스와 전류 스트레스 사이에 trade-off가 있다.

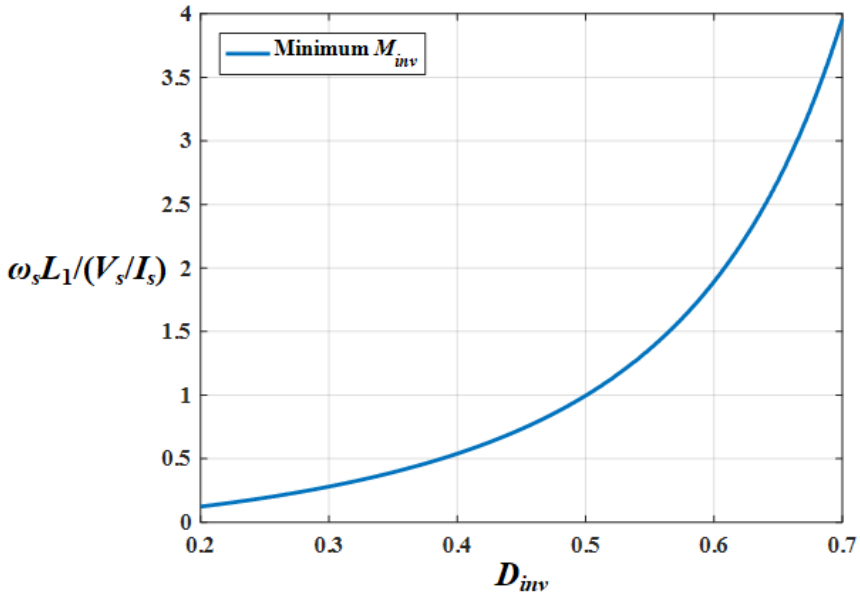


그림 3.61 최소 M_{inv} 설계 방법일 때 $\omega_s L_1/(V_s/I_s)$

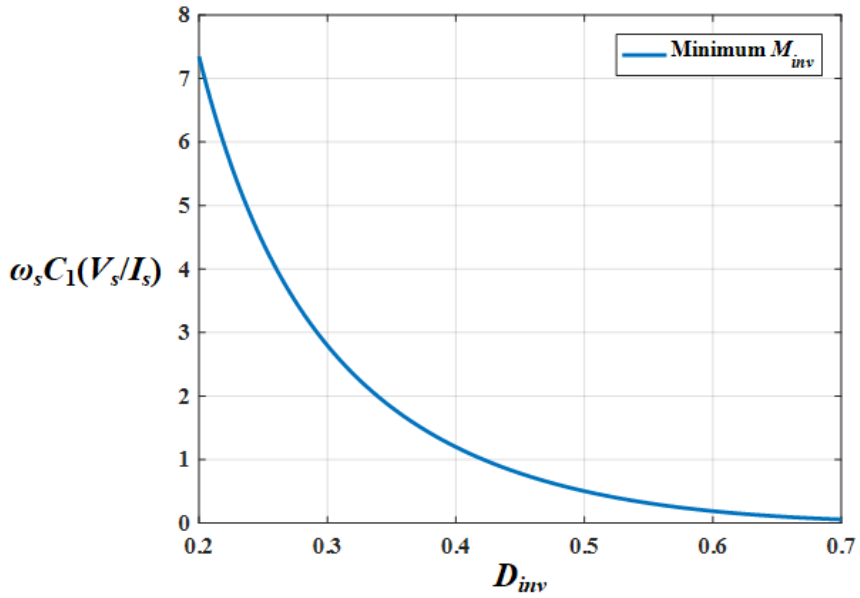


그림 3.62 최소 M_{inv} 설계 방법일 때 $\omega_s C_1(V_s/I_s)$

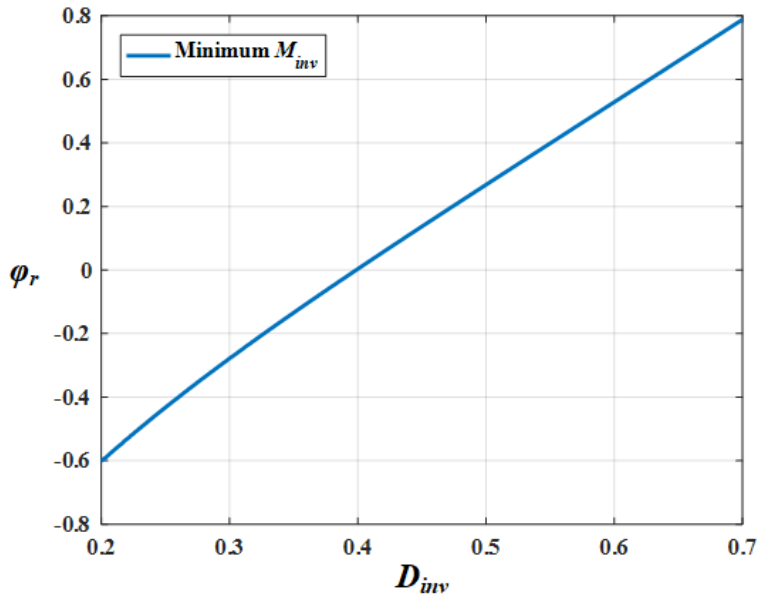


그림 3.63 최소 M_{inv} 설계 방법일 때 φ_r

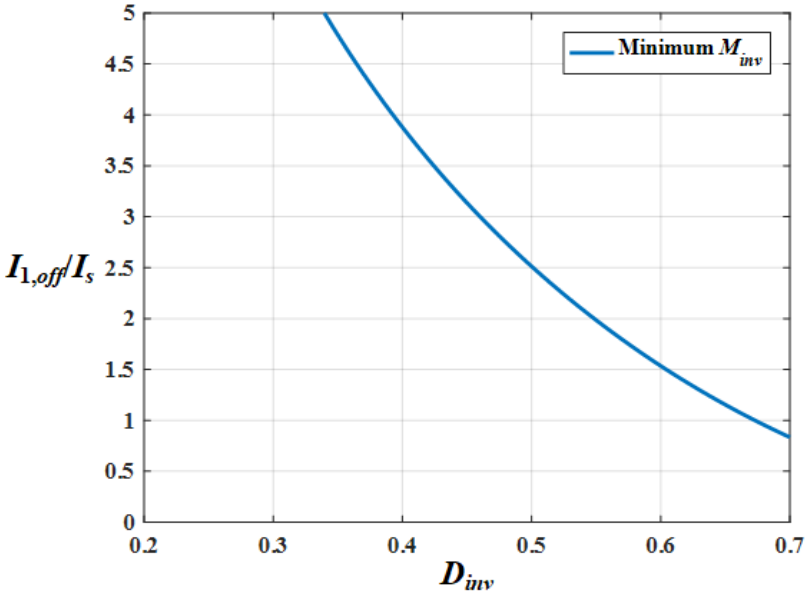


그림 3.64 최소 M_{inv} 설계 방법일 때 $I_{1,off}/I_s$

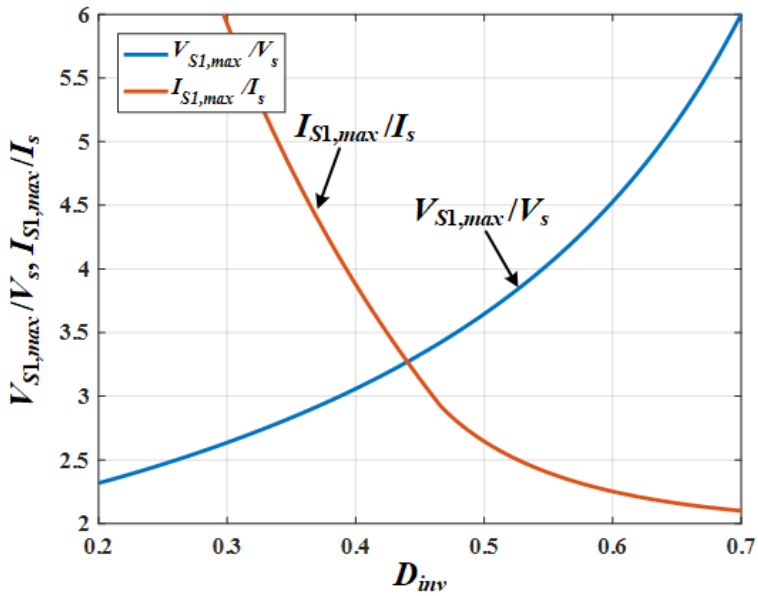


그림 3.65 최소 M_{inv} 설계 방법일 때 $V_{S1,max}/V_s$와 $I_{S1,max}/I_s$

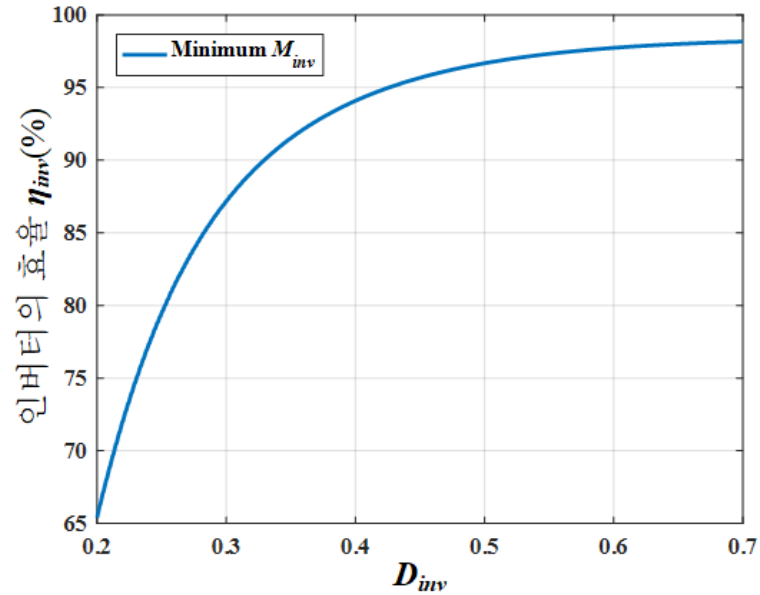


그림 3.66 최소 M_{inv} 설계 방법일 때 인버터의 효율 η_{inv} [$r_{Xr}/(V_s/I_s)$=0.01, $r_{L1}/(V_s/I_s)$=0.01, $r_{S1}/(V_s/I_s)$=0.001]

마지막으로 D_{inv}에 따른 인버터의 효율 η_{inv}의 변화는 그림 3.66에서 볼 수 있다. 이때 η_{inv}을 계산하는 데는 아래와 같이 인덕터 L_1과 L_r에서의 전도 손실과 스위치 S_1에서의 전도 손실만 고려한다.

$$\eta_{inv} = \frac{1}{1+\left(\frac{r_{Xr}}{V_s/I_s}\right)\frac{M_{inv}^{\ 2}}{2}+\left(\frac{r_{L1}}{V_s/I_s}\right)\left(I_{L1,rms}/I_{rm}\right)^2+\left(\frac{r_{S1}}{V_s/I_s}\right)\left(I_{S1,rms}/I_{rm}\right)^2}. \quad (3.75)$$

r_{Xr}과 r_{L1}은 각각 X_r과 L_1의 등가 직렬 저항(Equivalent Series Resistance, ESR)을 의미하고, r_{S1}은 스위치 S_1의 턴-온 시 저항 $R_{ds(on)}$과 같다. 또한, $I_{L1,rms}$와 $I_{S1,rms}$는 각각 L_1과 스위치 S_1의 RMS 전류를 나타낸다. 그림 3.66에서 볼 수 있듯이 D_{inv} 값이 클수록 η_{inv}은 증가한다. 이는 D_{inv}가 증가하면 입력 전류 대비 RMS 전류의 비율이 감소하기 때문이다.

정리하면 턴-오프 스위치 전류, 스위치의 전류 스트레스, 그리고 효율 면에서는 D_{inv}가 큰 값일수록 유리하다. 하지만 D_{inv} 값이 너무 크면 스위치의 전압 스트레스가 너무 높아진다. 그러면 정격 전압이 높은 소자가 일반적으로 $R_{ds(on)}$이 크기 때문에 오히려 전도 손실이 커질 수 있다. 따라서 주어진 입력 전압과 출력 전력 조건을 고려해서 D_{inv}를 정해야 한다.

표 3.3은 최소 M_{inv} 설계 방법에서 D_{inv} 값에 따른 설계 파라미터 값을 정리한 것이다.

표 3.3 최소 M_{inv} 설계 방법일 때 설계 파라미터

D_{inv}	$\omega_s L_1/(V_s/I_s)$	$\omega_s C_1(V_s/I_s)$	I_{rm}/I_s	V_{inv1}/V_s	ψ_{inv1}
0.35	0.3928	1.8216	1.3824	1.4468	
0.4	0.5393	1.1973	1.3175	1.5181	
0.45	0.7331	0.7825	1.2607	1.5864	
0.5	0.9959	0.5025	1.2112	1.6512	0
0.55	1.3626	0.3135	1.1681	1.7122	
0.6	1.8919	0.1876	1.1308	1.7686	
0.65	2.6902	0.1060	1.0988	1.8201	

3.3.2 L_1의 RMS 전류와 i_r의 RMS 값의 제곱 합을 최소로 하는 설계 방법

Class E 인버터에서는 입력 인덕터 L_1이 필터 인덕터이므로 L_1의 전류는 DC 전류에 가깝다. 반면에 본 논문에서는 L_1을 공진 인덕터로 구현하므로 L_1의 전류에 리플 성분이 있고 L_1의 RMS 전류 $I_{L1,rms}$가 증가한다. 이것을 고려하면 3.3.1에서 설명한 것처럼 M_{inv}를 최소화하여 공진 전류 i_r의 크기를 최소로 할 수는 있지만, 반대급부로 L_1이 작게 설계됨으로써 $I_{L1,rms}$가 증가하여 오히려 전체 전도 손실이 증가할 수 있다.

이를 분석하기 위해 먼저 $I_{L1,rms}$를 다음과 같이 계산할 수 있다.

$$\begin{aligned}\frac{I_{L1,rms}}{I_s} &= \sqrt{\frac{1}{2\pi}\left\{\int_0^{2\pi(1-D_{inv})}\left(\frac{i_{L1,I}}{I_s}\right)^2 d(\omega_s t)+\int_{2\pi(1-D_{inv})}^{2\pi}\left(\frac{i_{L1,II}}{I_s}\right)^2 d(\omega_s t)\right\}} \\ &= \sqrt{\left(I_{L1,rms,I}/I_s\right)^2+\left(I_{L1,rms,II}/I_s\right)^2}.\end{aligned} \tag{3.76}$$

여기서 $I_{L1,rms,I}$과 $I_{L1,rms,II}$는 각각 Mode I과 II에서 L_1의 RMS 전류를 나타낸다. 먼저 (3.14)를 이용해 $I_{L1,rms,I}$을 아래와 같이 유도할 수 있다.

$$\begin{aligned}&2\pi\left(\frac{I_{L1,rms,I}}{I_s}\right)^2 \\ &= \frac{A_1\left(p^2+q^2\right)}{2}-\frac{\left(p^2-q^2\right)\sin 2B_1}{4\omega_{1,N}}+r^2\left({\omega_{1,N}}^2 K_{L1}+K_{L2}-\omega_{1,N}K_{L3}\right) \\ &+\frac{pq\left(1-\cos 2B_1\right)}{2\omega_{1,N}}-qr\left(\omega_{1,N}K_{L5}-K_{L6}\right)-rp\left(\omega_{1,N}K_{L7}-K_{L8}\right),\end{aligned} \tag{3.77}$$

$$p=\frac{1}{Q_1},\quad q=\left(\frac{I_{1,off}}{I_s}\right)+\frac{M_{inv}\sin\varphi_r}{1+\omega_{1,N}},\quad r=\frac{M_{inv}\omega_{1,N}}{1-{\omega_{1,N}}^2},$$

$$K_{L1}=\frac{A_1}{2}-\frac{1}{4}\left\{\sin\left(2A_1+2\varphi_r\right)-\sin 2\varphi_r\right\},$$

$$K_{L2}=\frac{A_1}{2}-\frac{1}{4\omega_{1,N}}\left\{\sin\left(2A_1+2\varphi_r\right)-\sin 2\varphi_r\right\},$$

$$K_{L3}=\frac{\sin\left(A_1-B_1\right)}{1-\omega_{1,N}}-\frac{\sin\left(A_1+B_1+2\varphi_r\right)-\sin 2\varphi_r}{1+\omega_{1,N}},$$

$$K_{L4}=\frac{\cos\varphi_r-\cos\left(A_1+B_1+\varphi_r\right)}{1+\omega_{1,N}}+\frac{\cos\varphi_r-\cos\left(A_1-B_1+\varphi_r\right)}{1-\omega_{1,N}},$$

$$K_{L5}=\frac{\cos\varphi_r-\cos\left(2B_1+\varphi_r\right)}{2\omega_{1,N}}+A_1\sin\varphi_r,$$

$$K_{L6}=\frac{\sin\varphi_r-\sin\left(A_1+B_1+\varphi_r\right)}{1+\omega_{1,N}}-\frac{\sin\varphi_r-\sin\left(A_1-B_1+\varphi_r\right)}{1-\omega_{1,N}},$$

$$K_{L7}=A_1\cos\varphi_r-\left\{\sin\left(2B_1+\varphi_r\right)-\sin\varphi_r\right\}\Big/\left(2\omega_{1,N}\right).$$

그리고 (3.15)를 이용해 $I_{L1,rms,II}$를 계산하면 다음과 같다.

$$\begin{aligned}&2\pi\left(\frac{I_{L1,rms,II}}{I_s}\right)^2\\&=\left(2\pi D_{inv}\right)\left[\left(I_{L1,on}/I_s\right)^2+\left(2\pi D_{inv}\right)\frac{\omega_{1,N}\left(I_{L1,on}/I_s\right)}{Q_1}+\left(2\pi D_{inv}\right)^2\frac{{\omega_{1,N}}^2}{3{Q_1}^2}\right],\end{aligned}\tag{3.78}$$

$$I_{L1,on}/I_s=M_{inv}\sin\left(A_1+\varphi_r\right).$$

그림 3.67은 최소 M_{inv} 설계 방법에 따라 설계했을 때 (3.43)과 (3.44)를 이용해 계산한 $I_{L1,rms}$를 그린 것이다. 기존 Class E 인버터의 경우에는 전류 리플이 무시될 만큼 L_1이 충분히 크다고 가정하면 $I_{L1,rms}/I_s$ = 1이다. 따라서 이를 기준으로 비교하면 D_{inv} = 0.5일 때 최소 M_{inv} 설계에서 $I_{L1,rms}/I_s$는 약 1.6배 증가하고 D_{inv} 값이 작을수록 $I_{L1,rms}/I_s$는 급격히 증가한다.

따라서 여기서 제안하는 설계 방법은 $I_{L1,rms}$의 증가를 고려해 아래의 (3.79)와 같이 정의되는 $I_{rms,tot}$를 최소화한다.

$$I_{rms,tot}\equiv\sqrt{k_1\left({I_{rm}}^2/2\right)+k_2{I_{L1,rms}}^2}.\tag{3.79}$$

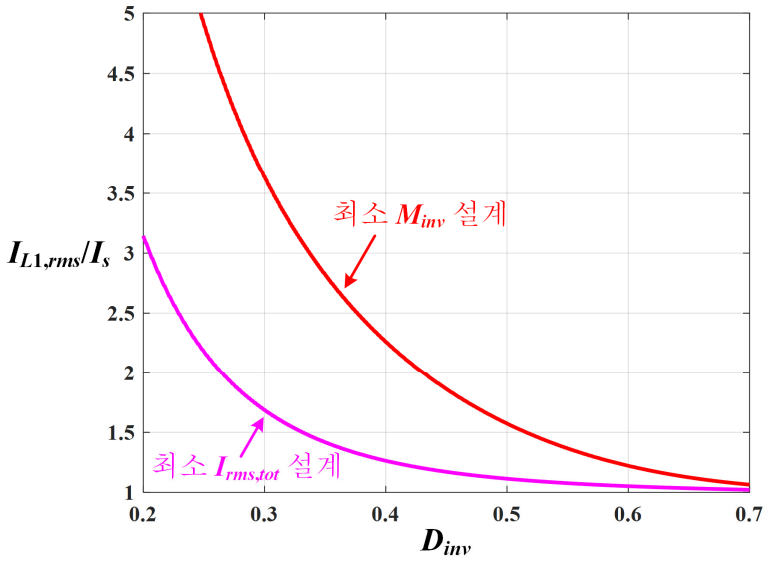


그림 3.67 최소 $I_{rms,tot}$ 설계일 때 $I_{L1,rms}/I_s$ 값을 최소 M_{inv} 설계일 때와 비교

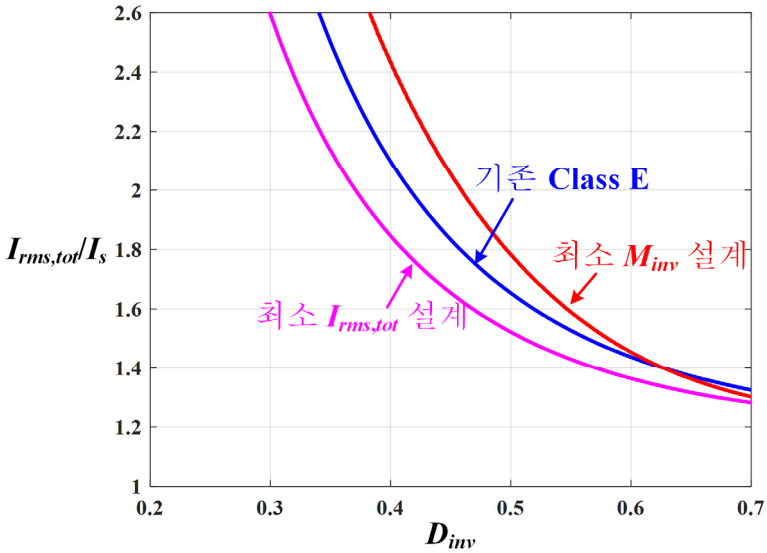


그림 3.68 최소 $I_{rms,tot}$ 설계일 때의 $I_{rms,tot}/I_s$ 값을 최소 M_{inv} 설계일 때와 기존 Class E 인버터일 때와 비교

(3.79)에서 k_1과 k_2는 I_{rm}과 $I_{L1,rms}$가 전도 손실에 기여하는 정도에 따라 값을 다르게 설정할 수 있다. 3.3.1에서 설명한 M_{inv}를 최소로 하는 설계는

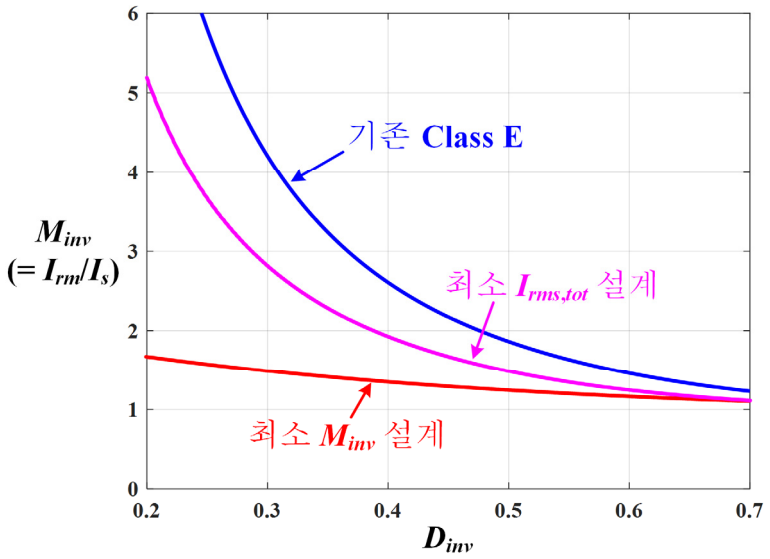


그림 3.69 최소 $I_{rms,tot}$ 설계일 때의 M_{inv} 값을 최소 M_{inv} 설계일 때와 기존 Class E 인버터일 때와 비교

$k_2 = 0$인 경우로 생각할 수 있다. 여기서는 $k_1 = 1$, $k_2 = 1$으로 하고 $I_{rms,tot}$가 최소로 되는 $(D_{inv}, \omega_{1,N})$ 값으로 설계를 진행한다.

최소 $I_{rms,tot}$ 설계에서의 $I_{L1,rms}$ 값을 그림 3.67에 표시하여 최소 M_{inv} 설계일 때와 비교하면, $I_{L1,rms}$가 감소한 것을 확인할 수 있다. $D_{inv} = 0.5$일 때 최소 M_{inv} 설계보다 $I_{L1,rms}$가 30% 감소하고 $I_{L1,rms}/I_s$가 1에 가까우므로 Class E 인버터의 경우와 거의 차이가 없다.

그림 3.68은 $I_{rms,tot}$를 최소화한 설계에서의 $I_{rms,tot}$ 값을 기존 Class E 인버터일 때와 최소 M_{inv} 설계일 때와 비교한 것이다. 최소 $I_{rms,tot}$ 설계를 적용하면 $D_{inv} = 0.5$일 때 Class E 인버터에 비해 $I_{rms,tot}$ 값이 7.7% 감소한다. 반면, 최소 M_{inv} 설계에서는 $D_{inv} = 0.5$일 때 Class E 인버터의 $I_{rms,tot}$ 값보다 오히려 8.3% 증가한다. 이는 앞서 언급한 대로 I_{rm}은 최소로 되지만 $I_{L1,rms}$가 더 크게 증가한 결과라고 해석할 수 있다. 그렇지만 최소 M_{inv}일 때의 $I_{rms,tot}$ 값은 D_{inv}가 증가할수록 최소 $I_{rms,tot}$ 값과 점점 비슷해지며 어느 D_{inv}

값 이상에서는 Class E 인버터의 경우보다 작아진다.

또한, 그림 3.69에서 볼 수 있듯이 최소 $I_{rms,tot}$ 설계 방법에서의 M_{inv} 값은 최소 M_{inv} 설계에서의 값보다 크지만, Class E 인버터의 M_{inv}보다는 작다. D_{inv} = 0.5일 때 같은 입력 전류 조건에서 Class E 인버터보다 I_{rm} 값이 21% 감소한다.

결론적으로 최소 $I_{rms,tot}$ 설계 방법으로 설계하는 것은 Class E 인버터보다 I_{rm}과 $I_{rms,tot}$ 값 모두 줄어들기 때문에, L_1 값을 작게 함으로써 얻을 수 있는 I_{rm}이 감소하는 효과와 반대급부로 $I_{L1,rms}$ 값이 증가하는 trade-off 관계를 적절하게 반영한다고 볼 수 있다.

3.3.1에서와 같은 방법으로 $I_{rms,tot}$가 최소가 되는 (D_{inv}, $\omega_{1,N}$) 값을 이용해 그림 3.70–그림 3.74와 같이 D_{inv}에 따라 $\omega_s L_1/(V_s/I_s)$, $\omega_s C_1(V_s/I_s)$, φ_r, V_{inv1}/V_s, ψ_{inv1} 값을 구할 수 있다. 표 3.4는 $I_{rms,tot}$가 최소인 설계에서 D_{inv} 값에 대한 설계 파라미터 값을 정리한 것이다.

이와 더불어 최소 M_{inv} 설계일 때와 마찬가지로 D_{inv}가 증가함에 따라 스위치의 턴-오프 전류와 전류 스트레스는 감소하고, 스위치의 전압 스트레스는 증가하는 것을 그림 3.75와 그림 3.76에서 볼 수 있다.

표 3.4 최소 $I_{rms,tot}$ 설계 방법일 때 설계 파라미터

D_{inv}	$\omega_s L_1/(V_s/I_s)$	$\omega_s C_1(V_s/I_s)$	I_{rm}/I_s	V_{inv1}/V_s	ψ_{inv1}
0.35	1.0216	1.5089	2.2731	1.4350	0.9108
0.4	1.4056	0.9651	1.9143	1.5080	0.8054
0.45	1.8780	0.6179	1.6607	1.5782	0.7027
0.5	2.4551	0.3919	1.4755	1.6449	0.6023
0.55	3.1650	0.2437	1.3377	1.7076	0.5042
0.6	4.0594	0.1468	1.2347	1.7655	0.4090
0.65	5.2289	0.0845	1.1579	1.8181	0.3174

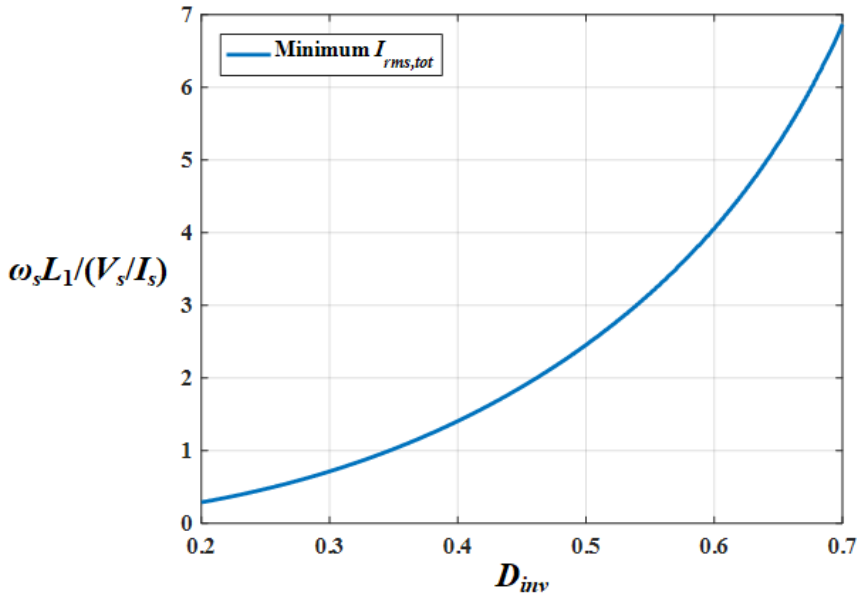


그림 3.70 최소 $I_{rms,tot}$ 설계 방법일 때 $\omega_s L_1/(V_s/I_s)$

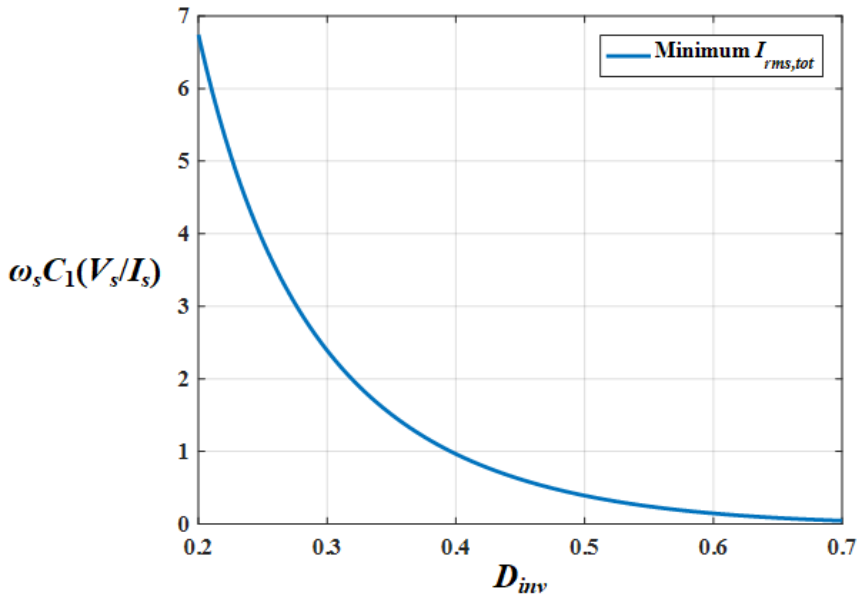


그림 3.71 최소 $I_{rms,tot}$ 설계 방법일 때 $\omega_s C_1(V_s/I_s)$

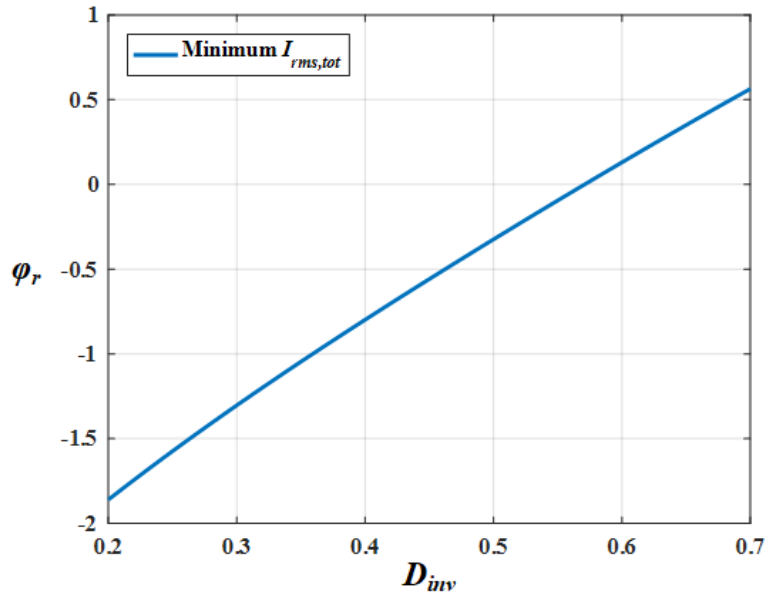


그림 3.72 최소 $I_{rms,tot}$ 설계 방법일 때 φ_r

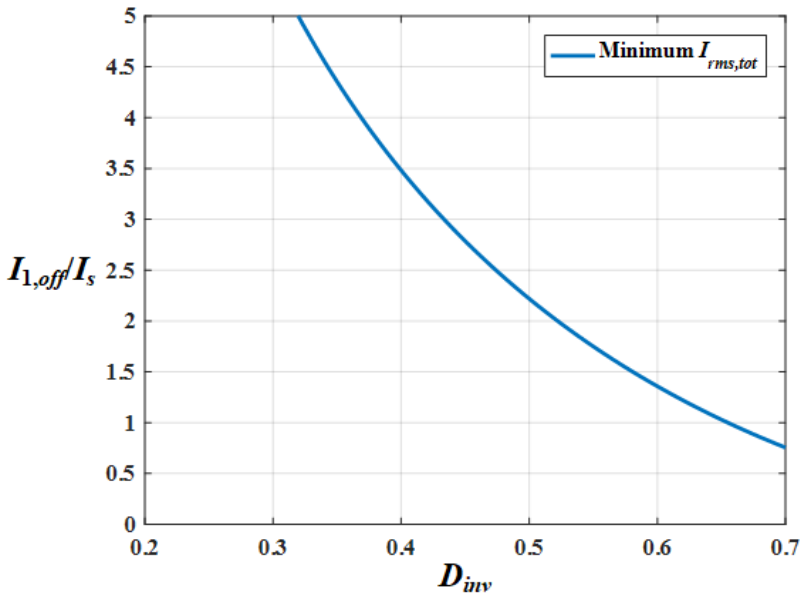


그림 3.73 최소 $I_{rms,tot}$ 설계 방법일 때 $I_{1,off}/I_s$

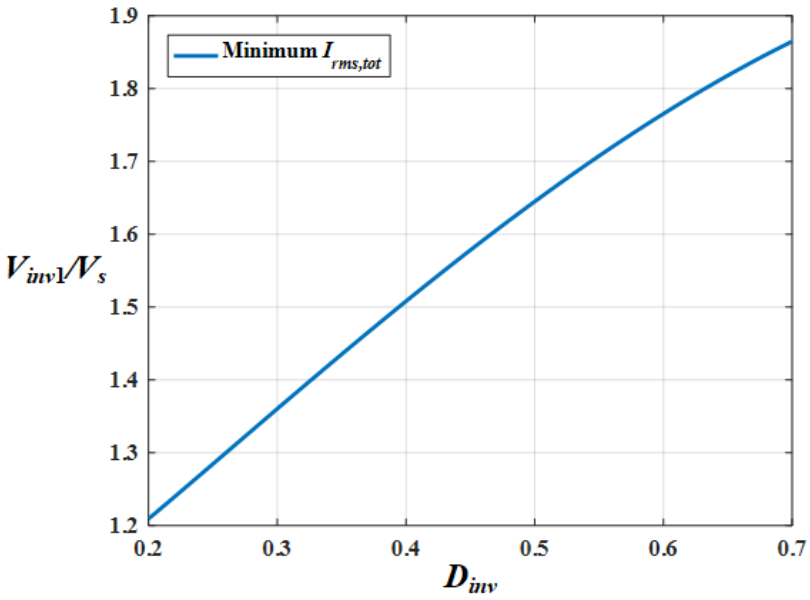


그림 3.74 최소 $I_{rms,tot}$ 설계 방법일 때 V_{inv1}/V_s

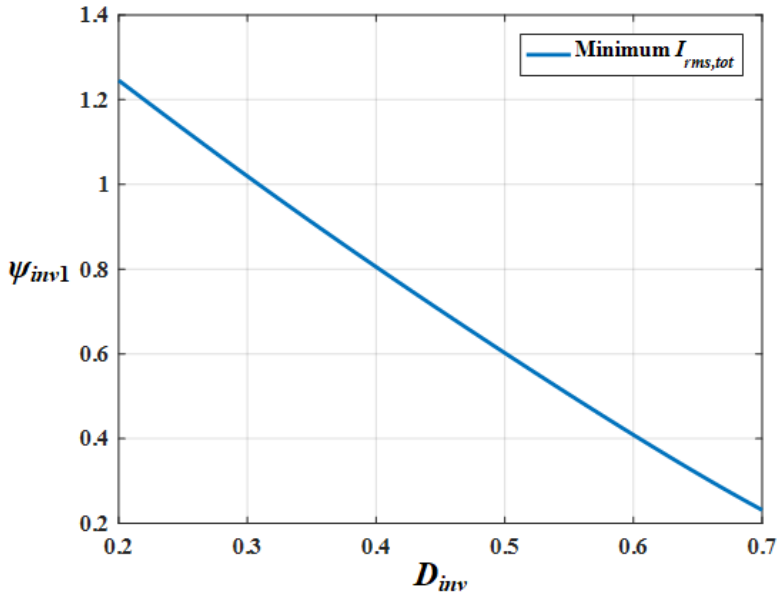


그림 3.75 최소 $I_{rms,tot}$ 설계 방법일 때 ψ_{inv1}

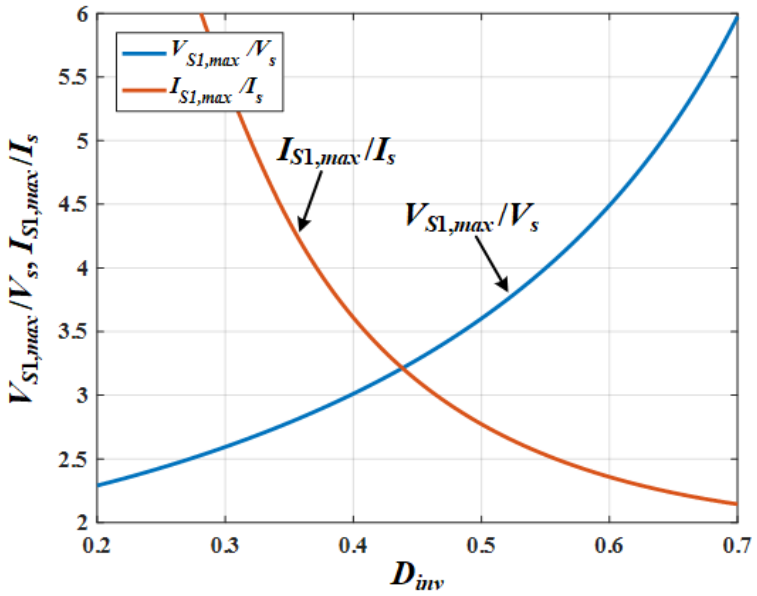


그림 3.76 최소 $I_{rms,tot}$ 설계 방법일 때 $V_{S1,max}/V_s$와 $I_{S1,max}/I_s$

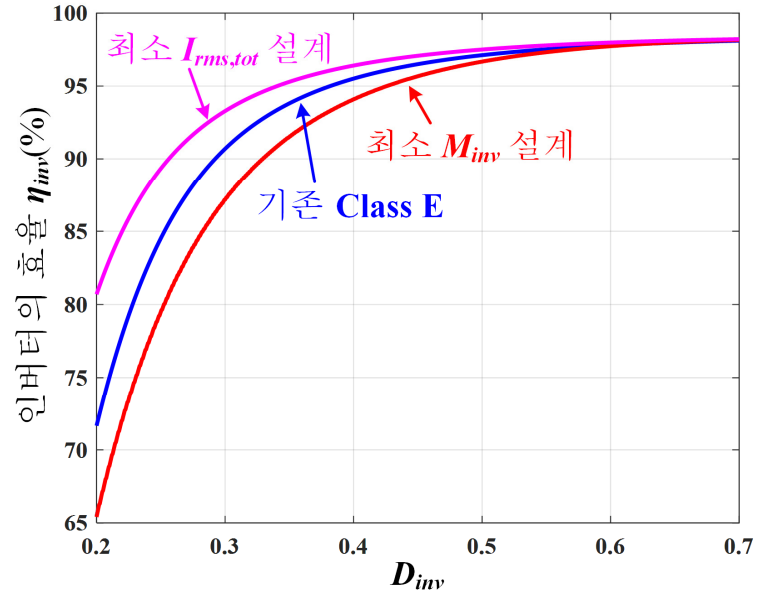


그림 3.77 최소 $I_{rms,tot}$ 설계 방법일 때 인버터의 효율 η_{inv}을 최소 M_{inv} 설계일 때와 기존 Class E 인버터일 때와 비교 [$r_{Lr}/(V_s/I_s)$=0.01, $r_{L1}/(V_s/I_s)$=0.01, $r_{S1}/(V_s/I_s)$=0.001]

그림 3.77은 $r_{Lr}/(V_s/I_s)$=0.01, $r_{L1}/(V_s/I_s)$=0.01, $r_{S1}/(V_s/I_s)$=0.001일 때 (3.75)를 이용해 최소 $I_{rms,tot}$ 설계, 최소 M_{inv} 설계, 그리고 기존 Class E 인버터일 때의 인버터 효율 η_{inv}을 비교한 것이다. 최소 $I_{rms,tot}$ 설계, 기존 Class E 인버터, 그리고 최소 M_{inv} 설계 순으로 η_{inv}가 높다. 여기서는 r_{L1}과 r_{Lr}이 같은 값이므로 그림 3.68의 경향을 따라간다. 그렇지만, r_{Lr}이 r_{L1}보다 더 크거나 인버터와 정류기 사이에 변압기를 사용하는 경우처럼 공진 전류 i_r이 거치는 ESR이 더 크면 M_{inv}가 최소인 것이 전도 손실을 줄이는 데 더 도움이 되므로 η_{inv}의 대소 관계가 바뀔 수 있다.

3.3.3 공진형 정류기 회로의 설계

3.3.1과 3.3.2에서 제안된 설계 방법은 공진형 스위칭 셀의 인버터 동작을 가정한 것이다. 그렇지만 인버터 셀과 정류기 셀 사이의 쌍대성 관계를 이용해 그림 3.38의 공진형 정류기 회로도 같은 조건으로 설계할 수 있다. 표 3.2의 인버터 셀과 정류기 셀 간 변수 대응 관계를 고려해 3.3.1의 최소 M_{inv} 설계 방법으로 정류기 셀을 설계하면 M_{rect}가 최대가 된다. 또한, (3.79)로 정의된 $I_{rms,tot}$는 정류기 셀에서는 입력 전류인 i_r의 RMS 값과 인덕터 L_2의 RMS 전류 값 $i_{L2,rms}$의 제곱 합에 해당하며 3.3.2에서 설명한 방법대로 설계하면 그 값이 최소가 된다.

다만, 앞서 언급한 대로 정류기 셀에서는 다이오드의 순방향 전압 V_F가 설계에 영향을 미친다. 그림 3.78–그림 3.80은 최대 M_{rect} 설계 방법일 때 $\omega_s L_2/(V_o/I_o)$, $\omega_s C_2(V_o/I_o)$, V_{rect1}/V_o, ψ_{rect1}와 V_F에 의한 변화를 그린 것이다. V_F/V_o = 0일 때는 3.3.1에서와 비교하면 인버터 셀의 설계 변수와 같다. 여기서는 V_F의 영향을 보기 위해 최대 M_{rect} 방법일 때만 그렸지만, 최소 $I_{rms,tot}$ 방법일 때의 설계 변수도 V_F/V_o = 0일 때는 3.3.2에서의 인버터 셀

변수와 같으며 V_F에 대해 최대 M_{rect} 방법일 때와 같은 경향으로 변한다.

(3.68)에 따르면 Q_2는 V_F/V_o가 증가함에 따라 $(1+V_F/V_o)$배 커진다. 그러므로 (3.69)에서 알 수 있듯이 설계해야 할 L_2 값은 $(1+V_F/V_o)$배 증가하고 C_2 값은 $1/(1+V_F/V_o)$배 감소한다. 이러한 경향을 각각 그림 3.78과 그림 3.79에서 확인할 수 있다. 즉, L_2와 C_2 설계 시 $\omega_s L_2/(V_o/I_o)$는 표 3.3이나 표 3.4에서의 $\omega_s L_1/(V_s/I_s)$ 값에서 $(1+V_F/V_o)$를 곱해주면 되고, $\omega_s C_2(V_o/I_o)$는 $\omega_s C_1(V_s/I_s)$ 값에서 $1/(1+V_F/V_o)$를 곱해주면 된다.

또한, 그림 3.80을 보면 3.2.2에서 분석한 것처럼 ψ_{rect1}은 V_F/V_o에 의해 거의 달라지지 않지만, V_{rect1}/V_o가 V_F/V_o가 증가할수록 $(1+V_F/V_o)$배 정도로 증가한다. 이것은 정류기 자체의 설계와는 관련이 없지만, 정류기 회로를 다른 회로와 연결할 때 중요하게 고려돼야 한다.

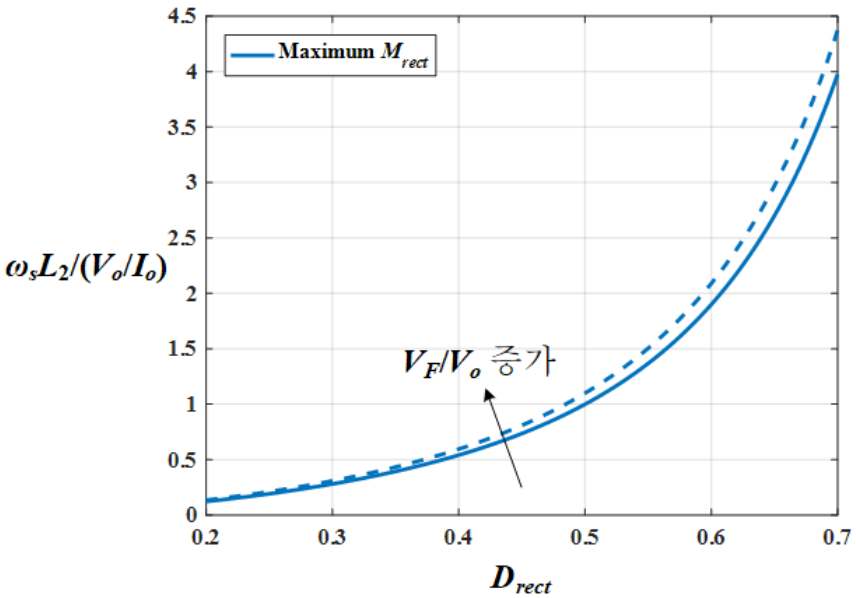


그림 3.78 최대 M_{rect} 설계 방법일 때 $\omega_s L_2/(V_o/I_o)$

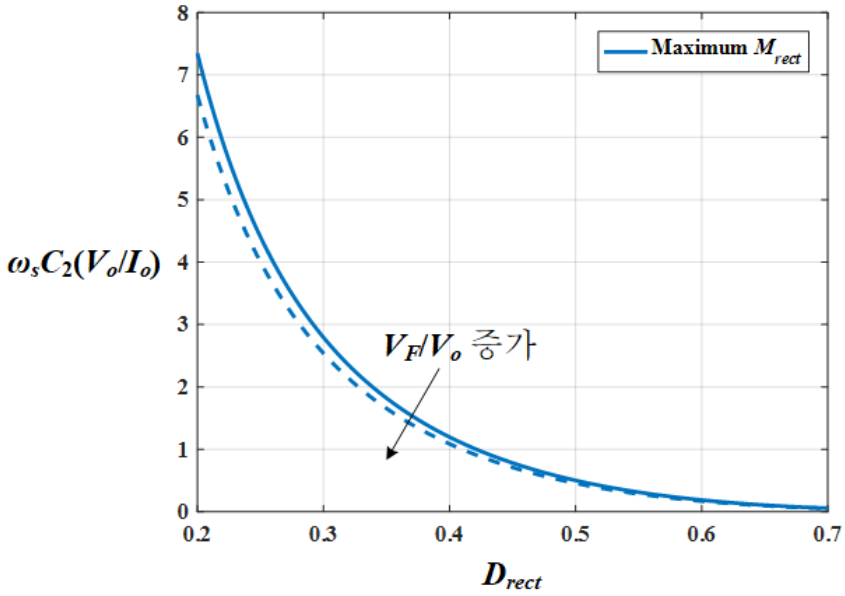


그림 3.79 최대 M_{rect} 설계 방법일 때 $\omega_s C_2(V_o/I_o)$

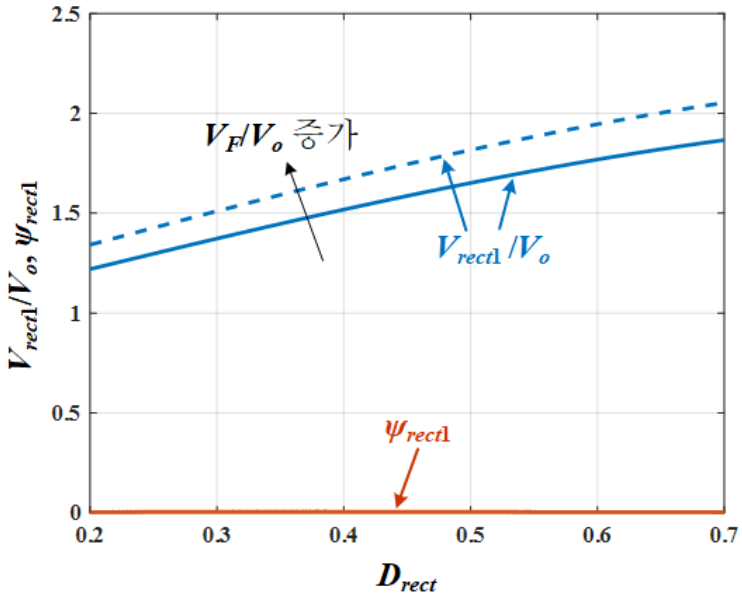


그림 3.80 최대 M_{rect} 설계 방법일 때 V_{rect1}/V_o과 ψ_{rect1}

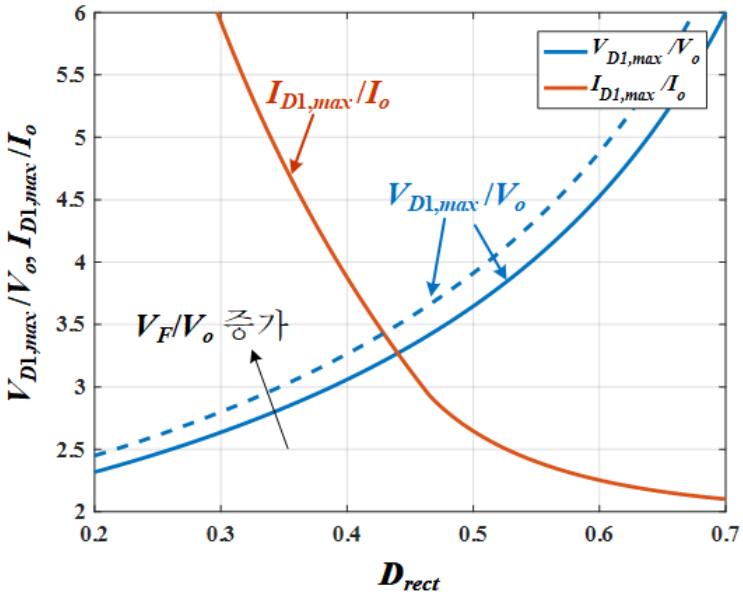


그림 3.81 최대 M_{rect} 설계 방법일 때 $V_{D1,max}/V_o$와 $I_{D1,max}/I_o$

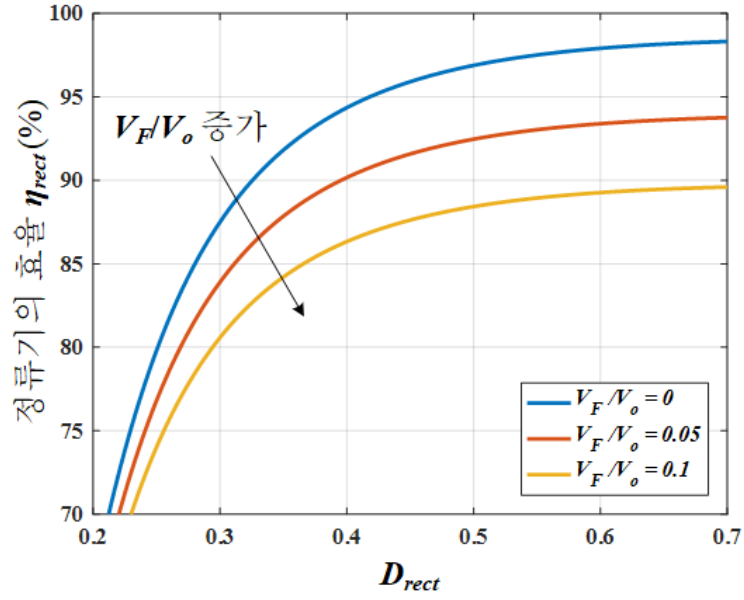


그림 3.82 최대 M_{rect} 설계 방법일 때 정류기의 효율

$[r_{L2}/(V_o/I_o) = 0.01, r_{Xr}/(V_o/I_o) = 0.01]$

그림 3.81은 다이오드의 전압 스트레스 $V_{D1,max}$와 전류 스트레스 $I_{D1,max}$를 나타낸 것이다. V_F/V_o에 따라 변하는 Q_2대로 L_2와 C_2를 설계하면 같은 출력 전류에 대해 회로의 전류 모양은 바뀌지 않으므로 $I_{D1,max}$는 변화가 없지만, $V_{D1,max}$는 V_F/V_o가 증가함에 따라 증가한다. 그래서 다이오드 소자를 선정할 때 정격 전압에 마진을 여유롭게 둘 필요가 있다.

또한, 그림 3.82는 (3.81)로 계산한 정류기의 효율 η_{rect}를 그린 것이다.

$$\eta_{rect} = \frac{1}{1 + V_F/V_o + \left(\frac{r_{L2}}{V_o/I_o}\right)\left(\frac{I_{L2,rms}}{I_o}\right)^2 + \left(\frac{r_{Xr}}{V_o/I_o}\right)\left(\frac{1}{2M_{rect}}\right)^2}. \qquad (3.80)$$

D_{rect}가 증가할수록 M_{rect}는 증가하고 $I_{L2,rms}$는 감소하므로 그림 3.82에서처럼 η_{rect}가 증가한다. V_F/V_o가 증가함에 따라서 M_{rect}와 $I_{L2,rms}$는 달라지지 않지만, 다이오드의 전도 손실이 증가하므로 η_{rect}가 감소한다.

3.4 DC-DC 컨버터의 설계

그림 3.83은 그림 3.5처럼 인버터 셀과 정류기 셀을 결합해 구성한 DC-DC 컨버터의 기본파 주파수에서의 등가 회로를 그린 것이다. 앞서

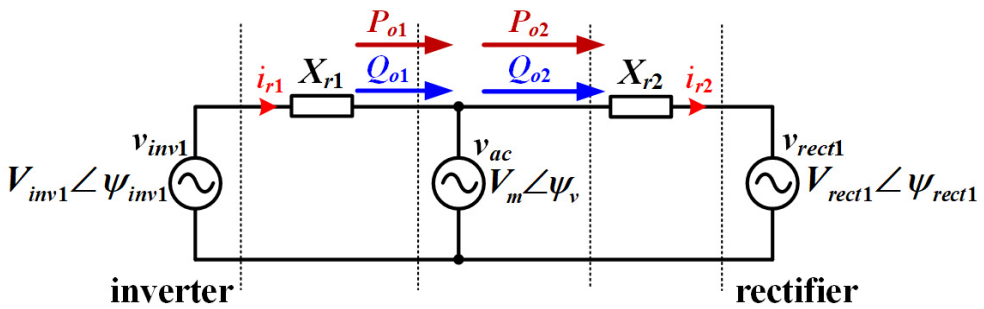


그림 3.83 인버터 셀과 정류기 셀을 결합한 DC-DC 컨버터의 기본파 주파수에서의 등가 회로

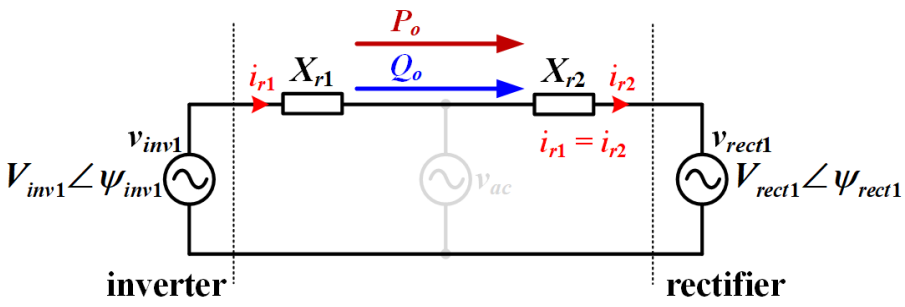


그림 3.84 두 셀의 유효 전력, 무효 전력이 매칭될 때 등가 회로

분석한 대로 인버터 회로는 크기가 V_{inv1}, 위상이 ψ_{inv1}인 AC 전압원 v_{inv1}으로, 정류기 회로는 크기가 V_{rect1}이고 위상이 ψ_{rect1}인 AC 전압 싱크로 표현된다. 3.1에서 설명한 것처럼 인버터 셀이 출력하는 유효 전력 P_{o1}과 무효 전력 Q_{o1}이 정류기 셀이 받는 유효 전력 P_{o2}와 무효 전력 Q_{o2}가 서로 같다면 ($P_{o1} = P_{o2}$, $Q_{o1} = Q_{o2}$), 두 셀의 공진 전류는 같고, 즉 $i_{r1} = i_{r2}$이고 AC 전압원 v_{ac}를 그림 3.84와 같이 없앨 수 있다. 이러한 조건은 그림 3.84를 참고해 다음과 같이 유도된다.

1) 유효 전력 매칭 조건 ($P_{o1} = P_{o2}$): 두 셀의 공진 전류가 같다면 v_{inv1}와 v_{rect1}에서 공진 전류와 동상인 성분이 서로 같아야 한다.

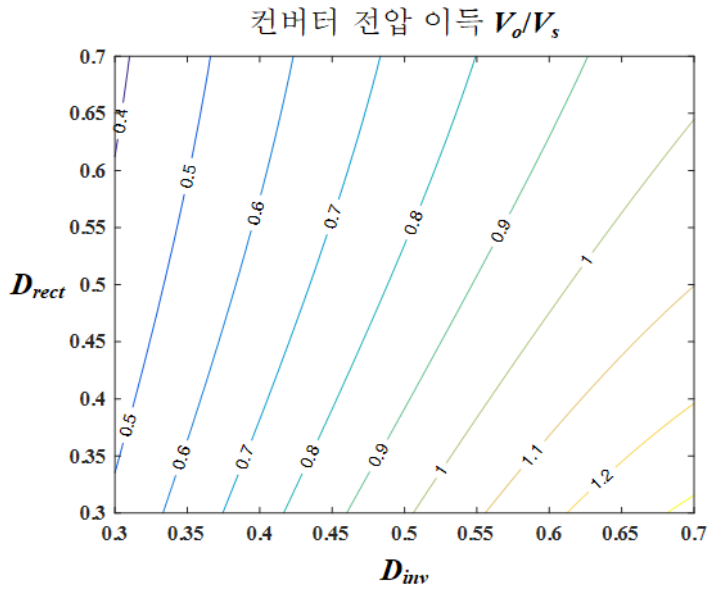
$$V_{inv1,p} = V_{rect1,p}. \tag{3.81}$$

2) 무효 전력 매칭 조건 ($Q_{o1} = Q_{o2}$): v_{inv1}와 v_{rect1}에서 공진 전류에 대한 직교 위상 성분의 차이가 리액턴스 X_{r1}과 X_{r2}의 전압 강하와 같아야 한다.

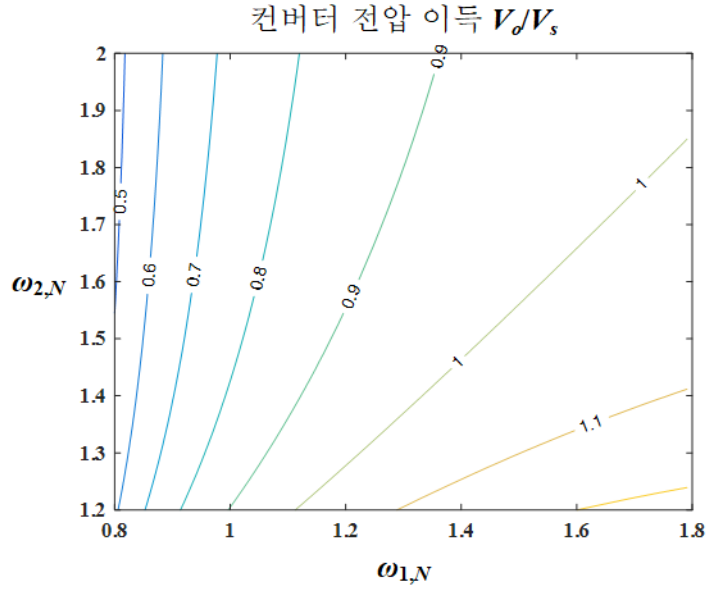
$$V_{inv1,q} - V_{rect1,q} = \left(X_{r1} + X_{r2}\right) I_{rm}. \tag{3.82}$$

식 (3.81)과 (3.82)를 만족하면 v_{ac}를 없애고 X_{r1}과 X_{r2}를 X_r 하나로 합쳐서 그림 3.6과 같이 DC-DC 컨버터를 구성할 수 있다.

식 (3.35)의 $V_{inv1,p}/V_s$ 식과 (3.71)의 $V_{rect1,p}/V_o$ 식을 이용하면 (3.81)로부터 컨버터의 DC 전압 이득(= V_o/V_s)는 다음과 같이 계산된다.



(가)



(나)

그림 3.85 컨버터의 DC 전압 이득 V_o/V_s.

(가) D_{inv}–D_{rect} 평면. (나) $\omega_{1,N}$–$\omega_{2,N}$ 평면.

$$\frac{V_o}{V_s} = \frac{1}{M_{inv} M_{rect} \left(1 + V_F / V_o\right)}. \tag{3.83}$$

인버터 셀의 전류 이득 M_{inv}와 정류기 셀의 전류 이득 M_{rect}을 곱한 것에 반비례하고, V_F/V_o가 증가할수록 전압 이득이 낮아진다.

인버터 셀을 3.3.2에서 설명한 것처럼 $I_{rms,tot}$가 최소가 되도록 설계하고, 정류기 셀을 3.3.1에서처럼 M_{rect}가 최대가 되도록 설계할 때 (3.83)을 이용해 컨버터의 DC 전압 이득을 계산하면 그림 3.85와 같다. 그림 3.85(가)에서 볼 수 있듯이 일정 전압 이득 선이 D_{inv}–D_{rect} 평면에서 양의 기울기를 가지고, 높은 D_{inv}, 낮은 D_{rect} 쪽으로 갈수록 전압 이득이 높아지는 반면, 낮은 D_{inv}, 높은 D_{rect} 쪽으로 갈수록 전압 이득이 낮아진다. 0.3–0.7의 D_{inv}와 0.3–0.7의 D_{rect} 범위에서 대략 0.4에서 1.3까지의 전압 이득을 얻을 수 있다. 더 높거나 더 낮은 전압 이득을 얻기 위해서는 D_{inv}나 D_{rect}가 너무 높거나 낮아져야 하는데, 이때는 스위치나 다이오드의 전압 또는 전류 스트레스가 너무 높아지고 효율이 낮아지는 설계 점이다. 그러므로 인버터 셀과 정류기 셀을 직접 붙이는 구성 대신에 앞서 언급한 대로 그림 3.9와 같이 변압기와 같은 임피던스 변환을 이용하면 두 셀의 공진 전류의 크기를 다르게 하여 더 높거나 낮은 전압 이득을 더 효율적으로 얻을 수 있다. 또한, 각 설계 방법에서의 시비율과 공진 주파수의 관계를 이용하면 컨버터의 DC 전압 이득은 $\omega_{1,N}$–$\omega_{2,N}$ 평면에서 그림 3.85(나)처럼 그려진다.

설계 조건으로 주어지는 컨버터 전압 이득에 대해서 D_{inv}와 D_{rect} 값을 적절하게 정해야 한다. 3.3에서 설명한 것처럼 시비율이 높아질수록 턴오프 스위치 전류가 감소하고 전도 손실 비율이 낮아져 효율이 높아지지만, 소자의 전압 스트레스가 높아진다. 따라서 소자의 정격 전압이 허용되는 범위 안에서 시비율을 최대한 높여야 한다.

주어진 컨버터 전압 이득을 만족하는 (D_{inv}, D_{rect})와 ($\omega_{1,N}$, $\omega_{2,N}$) 값이 정해지면 (3.37)과 (3.73)을 이용해 $V_{inv1,q}$와 $V_{rect1,q}$를 계산할 수 있다. 그러면 (3.82)에 따라 필요한 리액턴스 X_r의 크기는 아래와 같다.

$$\frac{X_r}{(V_s/I_s)} = \frac{X_{r1}+X_{r2}}{(V_s/I_s)} = \frac{(V_{inv1,q}/V_s)-(V_{rect1,q}/V_s)}{(I_{rm}/I_s)}. \tag{3.84}$$

앞서 언급한 대로 X_r은 다양한 인덕터 또는 캐패시터의 조합으로 구현할

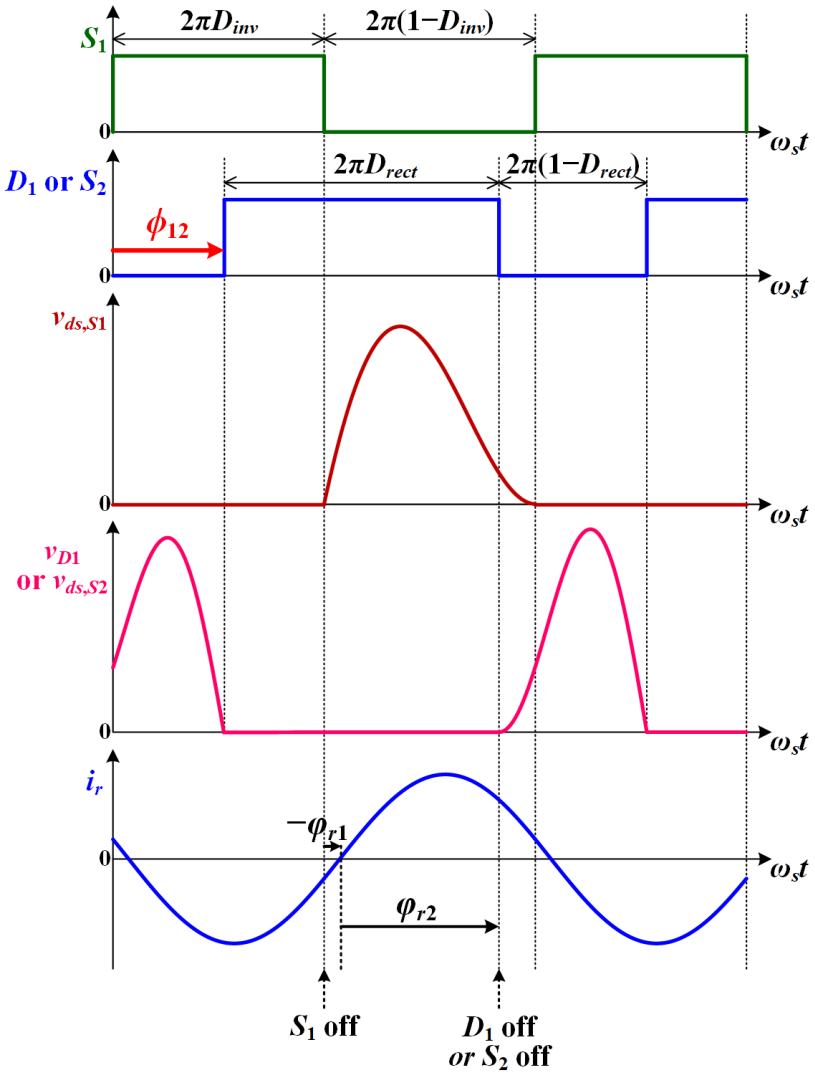


그림 3.86 그림 3.6의 싱글 엔디드 공진형 컨버터의 주요 동작 파형

수 있다. 그렇지만 본 논문에서는 i_r을 이상적인 정현파로 가정하므로 X_r을 Q-인자가 충분히 큰 L_r–C_r 직렬 공진 회로로 구현한다. X_r 값이 (3.84)를 통해 계산되면 3.2.1에서 설명한 것처럼 (3.45)를 이용해 L_r과 C_r을 설계할 수 있다.

그림 3.1의 공진형 스위칭 셀이 가진 장점 중 하나는 그림 3.6(나)처럼 동기 정류기(Synchronous Rectifier, SR)를 사용하는 구성과 양방향 DC-DC 컨버터 구성으로 쉽게 확장할 수 있다는 것이다. 그리고 그 분석과 설계에 스위칭 셀 하나의 분석과 설계를 확장해 적용할 수 있다.

그림 3.86은 그림 3.6의 싱글 엔디드 공진형 컨버터의 주요 동작 파형을 보여준다. 앞의 분석에서는 스위치 또는 다이오드가 꺼지는 시점을 t=0으로 정하고 공진 전류의 위상 φ_r을 정의한다. 즉, 턴-오프 시점과 공진 전류가 0이 되는 시점의 위상 차가 $-\varphi_r$이다. 따라서 인버터 셀과 정

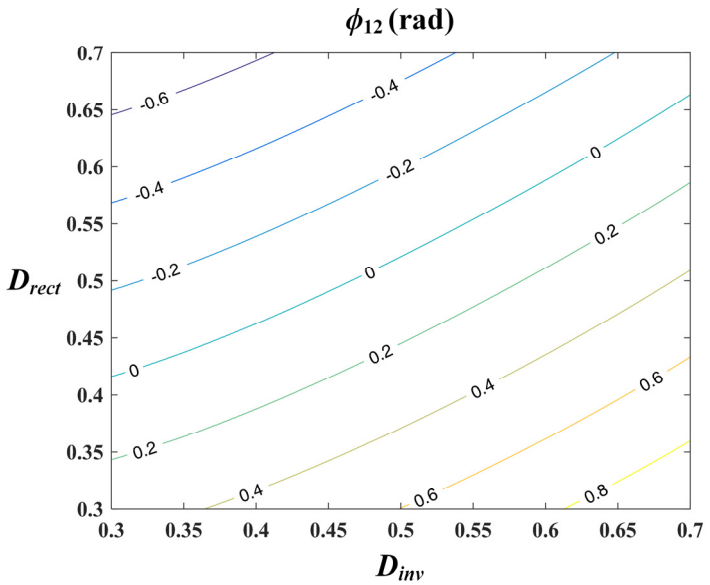


그림 3.87 스위치 S_1과 다이오드 D_1 또는 스위치 S_2의 턴 온 시점 사이의 위상 차 ϕ_{12}

류기 셀에서 설계된 공진 전류의 위상을 각각 φ_{r1}과 φ_{r2}로 표시하면 S_1의 턴 오프 시점과 D_1 또는 S_2의 턴 오프 시점 사이의 위상 차는 그림 3.86에서 볼 수 있듯이 $\varphi_{r2} - \varphi_{r1}$이다. 그러면 S_1과 D_1 또는 S_2의 턴 온 시점 사이의 위상 차 ϕ_{12}는 아래와 같이 구해진다.

$$\phi_{12} = 2\pi\left(D_{inv} - D_{rect}\right) - \varphi_1 + \varphi_2. \tag{3.85}$$

다이오드 D_1 대신 동기 정류기 스위치 S_2로 구현한다면 ϕ_{12}를 S_1과 S_2의 게이트 신호 간의 위상 지연으로 생각할 수 있다. 그림 3.87은 D_{inv}–D_{rect} 평면상에서 ϕ_{12}를 그린 것이다.

또한, 양방향 DC-DC 컨버터에서는 스위치 S_1과 S_2의 위상 차 ϕ_{12}만 다른 값으로 하면 같은 전력 P_o를 정방향/역방향으로 전달할 수 있다. 역방향일 때는 정방향일 때의 인버터가 정류기로, 정류기가 인버터로 동작한다. 그러므로 정방향일 때 ϕ_{12}가 (3.85)처럼 구해지면, 표 3.2에서 인버터와 정류기의 쌍대성 관계에 따라 바뀌는 φ_r을 고려해 역방향일 때 ϕ_{12}는 아래와 같이 구할 수 있다.

$$\begin{aligned}\phi_{12} &= 2\pi\left(D_{inv} - D_{rect}\right) - \left\{-\varphi_1 + \pi\left(2D_{inv} - 1\right)\right\} + \left\{-\varphi_2 + \pi\left(2D_{rect} - 1\right)\right\} \\ &= \varphi_1 - \varphi_2.\end{aligned} \tag{3.86}$$

만일 $D_{inv} = D_{rect}$이면 위상 차의 부호만 다르게 하는 것으로 반대로 전력을 전달할 수 있다.

제 4 장 모의실험 및 실험 결과

본 장에서는 모의실험과 실험 결과를 통해 3장에서 제안한 싱글 엔디드 공진형 DC-DC 컨버터의 분석과 설계의 효용성을 검증한다.

컨버터의 설계 조건은 다음과 같다. 입력 전압 V_s는 24 V, 출력 전압 V_o는 12 V, 출력 전력 P_o는 48 W, 그리고 스위칭 주파수 f_s는 10 MHz이다.

4.1 모의실험 및 실험 조건 설계

4.1.1 제안하는 컨버터 설계

여기서 설계 대상이 되는 컨버터는 그림 4.1에 나타낸 것과 같이 그림 3.6(가)에서 리액턴스 X_r을 L_r–C_r 직렬 공진 회로로 구현한 싱글 엔디드 공진형 DC-DC 컨버터이다. 3.4에서 설명한 것처럼 다음의 설계 단계에 따라 그림 4.1의 컨버터를 설계한다.

(단계 1) 주어진 DC 전압 이득을 만족하는 D_{inv}와 D_{rect} 값 설계

인버터 셀은 $I_{rms,tot}$ 값을 최소로, 정류기 셀은 M_{rect} 값을 최대로 설계한

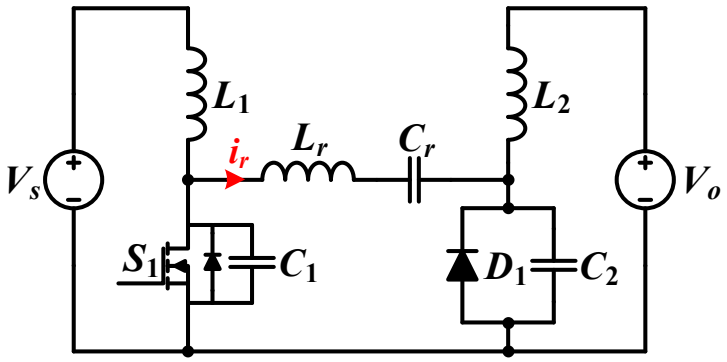


그림 4.1 설계 대상이 되는 싱글 엔디드 공진형 DC-DC 컨버터 구성

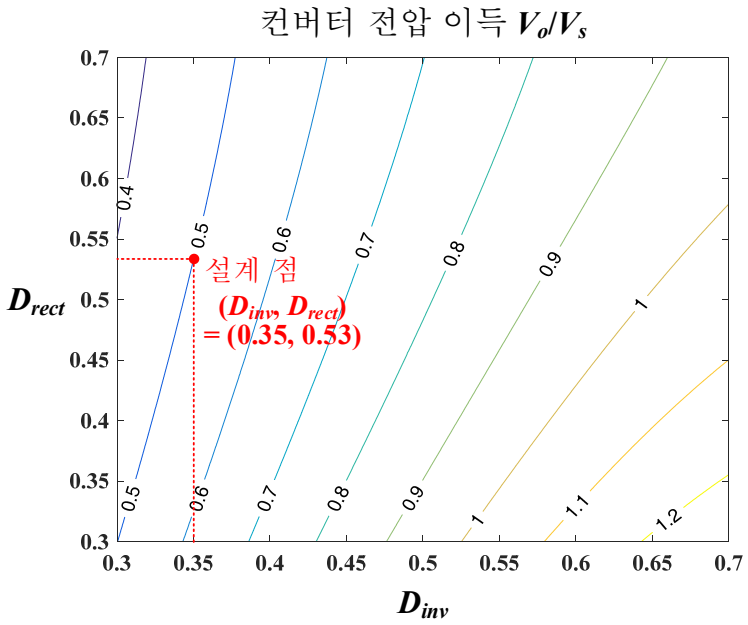


그림 4.2 $V_F/V_o = 1.04$일 때 컨버터의 DC 전압 이득과 설계 점

다고 하면 (3.83)을 이용해 그림 4.2와 같이 컨버터의 DC 전압 이득을 나타낼 수 있다. 이때 V_F는 400~500 mV 정도라고 하고 $V_F/V_o = 1.04$로 계산한다. 그러면 DC 전압 이득(= V_o/V_s)이 0.5(=12 V/24 V)가 되는 선 위에 있는 (D_{inv}, D_{rect})로 설계 점을 정할 수 있다. 여기서는 다이오드의 전압 스트레스가 너무 높아지지 않도록 $D_{inv} = 0.35$, $D_{rect} = 0.533$으로 정한다.

(단계 2) 각 셀에서 설계 방법에 따라 L_1, C_1, L_2, C_2를 설계

인버터 셀은 최소 $I_{rms,tot}$ 설계 방법으로, 정류기 셀은 최대 M_{rect} 설계 방법으로 설계되므로 3.3에서 설명한 설계 방법에 따라 인버터 셀에서는 $\omega_{1,N} = 0.8056$, $Q_1 = 0.822$이고, 정류기 셀에서는 $\omega_{2,N} = 1.4857$, $Q_2 = 1.8243$이다. 그러므로 주어진 입출력 전압, 전력 조건에서 L_1 = 188 nH, C_1 = 2 nF, L_2 = 61 nH, C_2 = 1.88 nF으로 설계된다.

(단계 3) 계산된 리액턴스 X_r 값으로 L_r–C_r직렬 공진 회로 설계

단계 1, 2에서 정해진 D_{inv}, $\omega_{1,N}$, D_{rect}, $\omega_{2,N}$ 값을 이용하면 인버터 셀에서

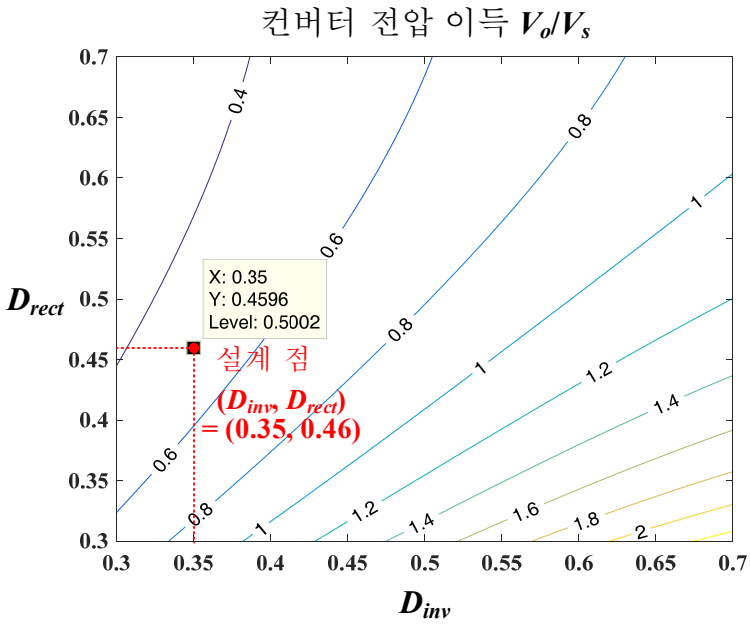


그림 4.3 Class E 컨버터의 DC 전압 이득과 설계 점

의 $V_{inv1,q}/V_s$은 1.1336으로, 정류기 셀에서의 $V_{rect1,q}/V_s$는 0으로 계산된다. 그리고 $M_{inv} = I_{rm}/I_s = 2.27$이므로 (3.84)에 의해서 $X_r = 5.755\ \Omega$으로 구해진다. $Q_r = 5$로 가정하면 (3.45)에 의해 $L_r = 400$ nH, $C_r = 810$ pF으로 정해진다.

4.1.2 비교군 컨버터 설계

제안하는 싱글 엔디드 컨버터 설계와 비교를 위해 기존 Class E 컨버터를 비교군 컨버터로 설정하였다. Class E 컨버터는 그림 4.1의 컨버터 구성과 동일하지만 입력 인덕터 L_1가 큰 인덕턴스를 가진 필터 인덕터 L_{dc}로 바뀐 것이다.

3.3에서 언급한 것처럼 공진 전류의 크기와 RMS 전류의 제곱 합은 D_{inv}에 따라 감소하므로 공정한 비교를 위해서 Class E 컨버터에서의 D_{inv}는 제안하는 설계와 동일하게 0.35로 설정하였다 ($D_{inv} = 0.35$).

Class E 컨버터의 입력 인덕터 L_{dc}는 입력 전류 리플 ΔI_s가 (4.1)에 따라

입력 전류의 10% 정도가 되도록 L_{dc} = 5 μH로 설계하였다.

$$L_{dc} > \frac{V_s}{\Delta I_s} D_{inv} T_s = \frac{24}{0.1 \times 2}(0.35)(0.1\mu) = 4.2[\mu\text{H}]. \quad (4.1)$$

그리고 스위치에 병렬로 연결된 C_1은 주어진 입력 전압과 출력 전력 조건에서 부록 A.2의 (A.4)를 이용해 설계할 수 있다.

또한, 정류기 셀이 $I_{rms,tot}$가 최소가 되는 방법에 따라 설계된다고 하면 컨버터의 DC 전압 이득(=V_o/V_s)은 그림 4.3과 같다. 그러면 D_{inv} = 0.35일 때 DC 전압 이득이 0.5가 되는 D_{rect}가 0.46으로 결정된다. 정류기 셀의 L_2와 C_2, 그리고 L_r–C_r 직렬 공진 회로는 4.1.1에서와 같은 과정을 통해 설계된다.

4.1.3 컨버터의 제어 방법

본 논문에서는 컨버터의 출력 전압 제어를 위해 온-오프 제어를 사용한다. 온-오프 제어는 최근 많은 고주파 컨버터 연구에서 사용되고 있다 [88]-[96]. 온-오프 제어기는 부하 변동에 대해 컨버터 자체를 켜고 끔으로써 컨버터의 출력 전압을 일정하게 유지한다. 따라서 제어기가 부하 변동을 감당하므로 컨버터가 켜져 있는 동안에는 회로의 LC 공진이 부하 변동의 영향을 받지 않는다. 따라서 스위칭 주파수나 스위치의 시비율 변화 없이 ZVS와 효율 등의 컨버터 동작 특성이 넓은 부하 범위에서 유지된다는 장점이 있다.

그림 4.4와 그림 4.5는 각각 온-오프 제어기 루프와 온-오프 제어 동작을 나타낸다. 온-오프 제어기는 센싱한 출력 전압 V_o로부터 컨버터가 켜지는 시간 T_{on}과 꺼지는 시간 T_{off}를 계산해 출력한다. 그리고 이 T_{on}과 T_{off}로부터 PWM 모듈은 게이트 드라이버의 Enable 신호를 출력한다. 결과적으로 그림 4.5에서처럼 컨버터는 T_{on} 동안 켜지고 T_{off} 동안 꺼진다.

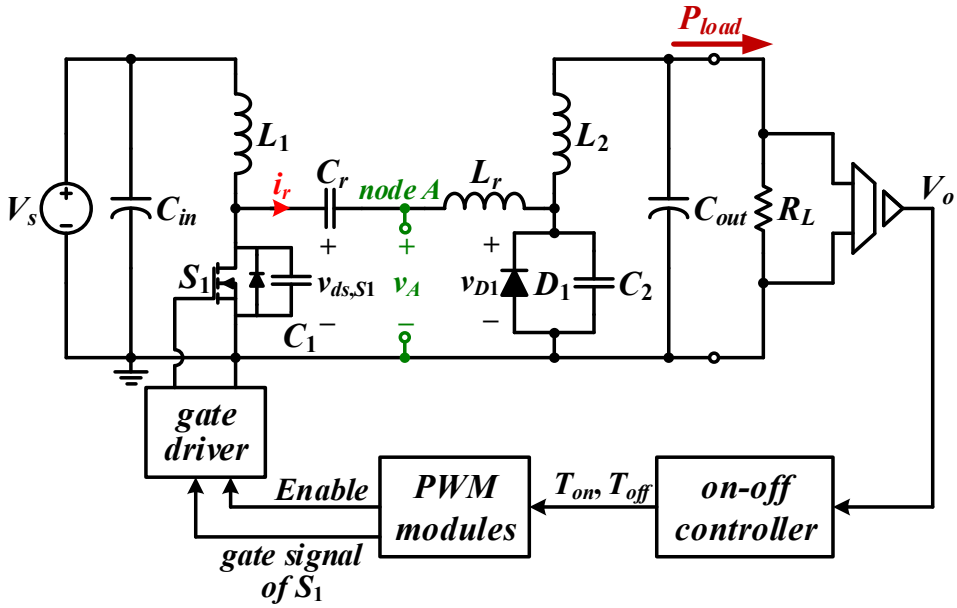


그림 4.4 제안하는 DC-DC 컨버터 구성과 온-오프 제어기

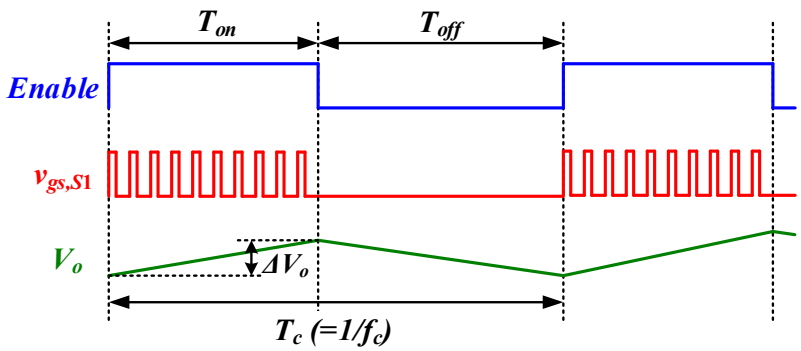


그림 4.5 온-오프 제어 동작

컨버터가 켜지고 꺼지는 주파수를 $f_c(=1/T_c)$라고 할 때 그림 4.5에서 볼 수 있듯이 출력 전압에 f_c로 맥동하는 성분이 생긴다. f_c는 스위칭 주파수보다 매우 낮으므로 온-오프 제어를 사용하지 않을 때보다 출력 전압 맥동을 억제하는 데 필요한 출력 캐패시터 C_{out}이 커진다는 단점이 있다. 따라서 온-오프 제어 시 생기는 출력 전압 맥동의 크기 $\Delta V_o/V_o$와 C_{out}의 설계에 대해 분석할 필요가 있다.

그림 4.5에 표시한 바와 같이 부하 전력을 P_{load}라고 하면 T_{off} 동안에는 컨버터가 공급하는 전력은 0이고 C_{out}에 저장된 에너지가 P_{load}를 모두 감당하므로 $\Delta V_o/V_o$는 아래와 같이 계산된다.

$$\frac{\Delta V_o}{V_o} = \frac{P_{load}}{C_{out} V_o^2} T_{off}. \tag{4.2}$$

또한, T_{on} 동안 컨버터가 $P_{o,conv}$만큼의 전력을 공급하면 $P_{o,conv}$와 P_{load}의 관계는 다음과 같다.

$$\frac{P_{load}}{P_{o,conv}} = \frac{T_{on}}{T_c}. \tag{4.3}$$

(4.3)을 (4.2)에 대입하면 $\Delta V_o/V_o$를 다음과 같이 구해진다.

$$\frac{\Delta V_o}{V_o} = \frac{T_{on}}{C_{out} V_o^2}\left(P_{o,conv} - P_{load}\right). \tag{4.4}$$

온-오프 제어의 구현에는 여러 방법이 있지만, 본 논문에서는 T_{on}이 일정하고 T_{off}를 조절해 출력 전압을 제어하는 온-오프 제어를 사용한다. 그러

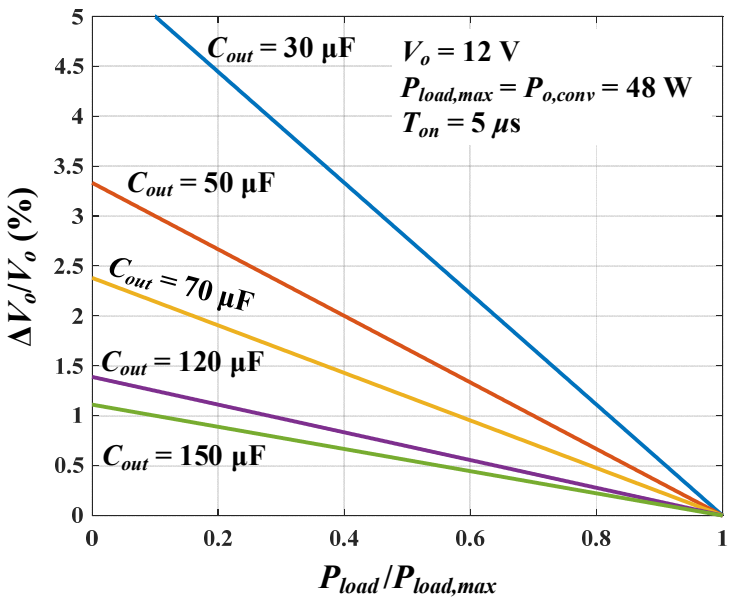


그림 4.6 여러 C_{out}에 대한 P_{load}/P_o에 따른 $\Delta V_o/V_o$의 변화

면 (4.4)에서 알 수 있듯이 P_{load}가 증가함에 따라 출력 전압 맥동이 줄어들고, 일반적으로 $P_{o,conv}$를 정격 부하 전력 $P_{load,max}$ 근처로 설정하므로 정격 부하에서는 온-오프 제어에 의한 출력 전압 맥동이 거의 없다.

그림 4.6은 여러 C_{out} 값에 대한 P_{load}에 따른 $\Delta V_o/V_o$의 변화를 보여준다. P_{load}가 감소함에 따라서 $\Delta V_o/V_o$가 증가하므로 C_{out} 설계 시 worst case는 P_{load}가 가장 작을 때이다. 그러므로 C_{out}을 설계하는 데는 부하 범위를 의미하는 $P_{load,min}/P_{load,max}$와 허용하는 출력 전압 맥동의 최댓값 $(\Delta V_o/V_o)_{\max}$가 영향을 미친다. 예를 들어 $P_{load,min}/P_{load,max}$ = 0.4이고 $(\Delta V_o/V_o)_{\max}$ = 2% 일 때 그림 4.6에서 볼 수 있듯이 C_{out}이 50 μF 이상이어야 한다. (4.4)로부터 출력 전압 맥동이 $(\Delta V_o/V_o)_{\max}$보다 작기 위해 필요한 C_{out}의 최솟값 $C_{out,min}$을 다음과 같이 구할 수 있다.

$$C_{out} \geq C_{out,min} = \frac{T_{on}\left(P_o - P_{load,\min}\right)}{V_o^{\,2}\left(\Delta V_o/V_o\right)_{\max}}. \tag{4.5}$$

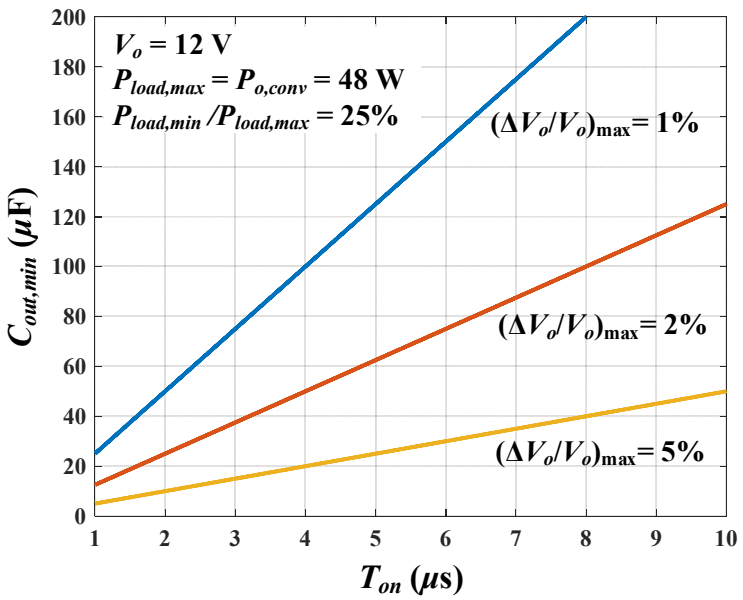


그림 4.7 T_{on}에 따른 $C_{out,min}$ 값의 변화

그림 4.7은 T_{on}에 따른 $C_{out,min}$의 변화를 보여준다. T_{on}이 길수록 $C_{out,min}$이 증가하고 출력 캐패시턴스가 커져야 한다. 따라서 C_{out} 값을 작게 설계하기 위해 T_{on}을 줄여야 하며 일반적으로 컨버터를 켜고 나서 정상 상태로 도달하는 데 걸리는 최소 시간으로 T_{on}을 정한다. 그래서 정상 상태로 도달하는 시간이 짧을수록 C_{out} 값을 작게 설계할 수 있다.

4.2 모의실험 결과

제안하는 설계의 싱글 엔디드 DC-DC 컨버터와 Class E 컨버터의 동작을 확인하기 위해 LTspice를 이용해 모의실험을 진행하였다.

표 4.1과 표 4.2는 각각 제안하는 설계와 Class E 컨버터의 10-MHz 프로토타입 설계 사항을 정리한 것이다. 공정한 비교를 위해 두 컨버터 모두 동일한 스위치 소자와 다이오드 소자로 구현되었다. 스위치 S_1은 EPC 사의 E-mode GaN 소자인 EPC2010C를 사용하였고, 다이오드 D_1은

표 4.1 제안한 설계 방법에 따른 10-MHz 프로토타입 설계 사항

파라미터	값
L_1	180 nH
C_1	1.47 nF (S_1과 병렬로 연결)
S_1	EPC2010C (E-mode GaN FET)
L_r	430 nH
C_r	810 pF
L_2	66 nH
C_2	690 pF (D_1과 병렬로 연결)
D_1	2x FSV20100V (Schottky diode)
C_{in}	14.1 μF
C_{out}	50 μF

표 4.2 비교군 컨버터 (Class E 컨버터) 설계 사항

파라미터	값
L_{dc}	5 μH
C_1	1.33 nF (S_1과 병렬로 연결)
S_1	EPC2010C (E-mode GaN FET)
L_r	220 nH
C_r	2.2 nF
L_2	90 nH
C_2	2 nF (D_1과 병렬로 연결)
D_1	2x FSV20100V (Schottky diode)
C_{in}	14.1 μF
C_{out}	50 μF

Schottky 다이오드 FSV20100V 2개를 병렬로 연결해 사용하였다. 모의실험에서 스위치와 다이오드는 각 제조사에서 제공하는 LTspice 모델로 추가하였다. 그렇게 함으로써 기생 캐패시턴스와 순방향 전압 강하 등 실제 스위치와 다이오드 소자의 비이상적인 특성을 모의실험에 반영할 수 있다. 또한, 표에서 C_1과 C_2는 실제 스위치와 다이오드 소자의 출력 캐패시턴스를 고려해 추가로 병렬 연결한 값이다.

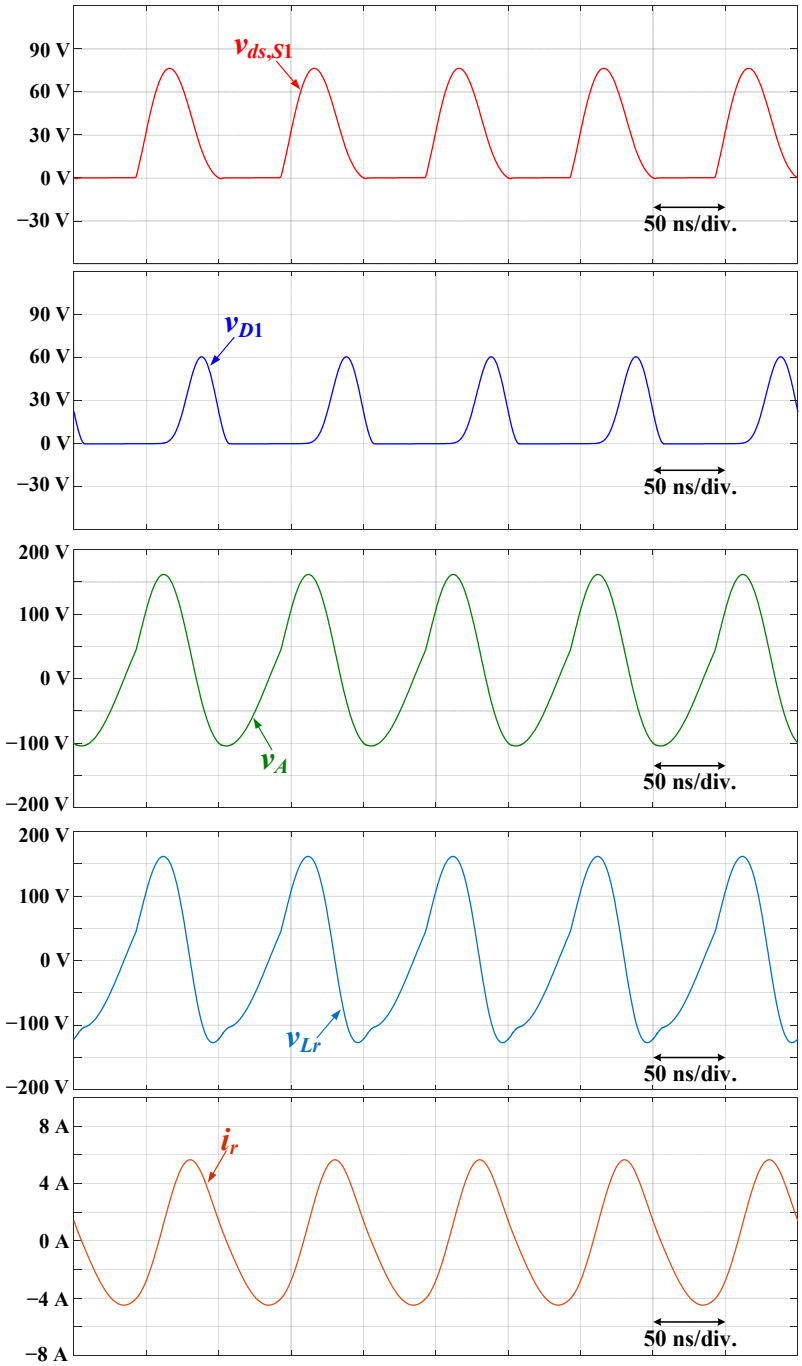


그림 4.8 V_s = 24 V, V_o = 12 V, P_o = 48 W, f_s = 10 MHz일 때 제안하는 설계의 싱글 엔디드 컨버터 모의실험 파형

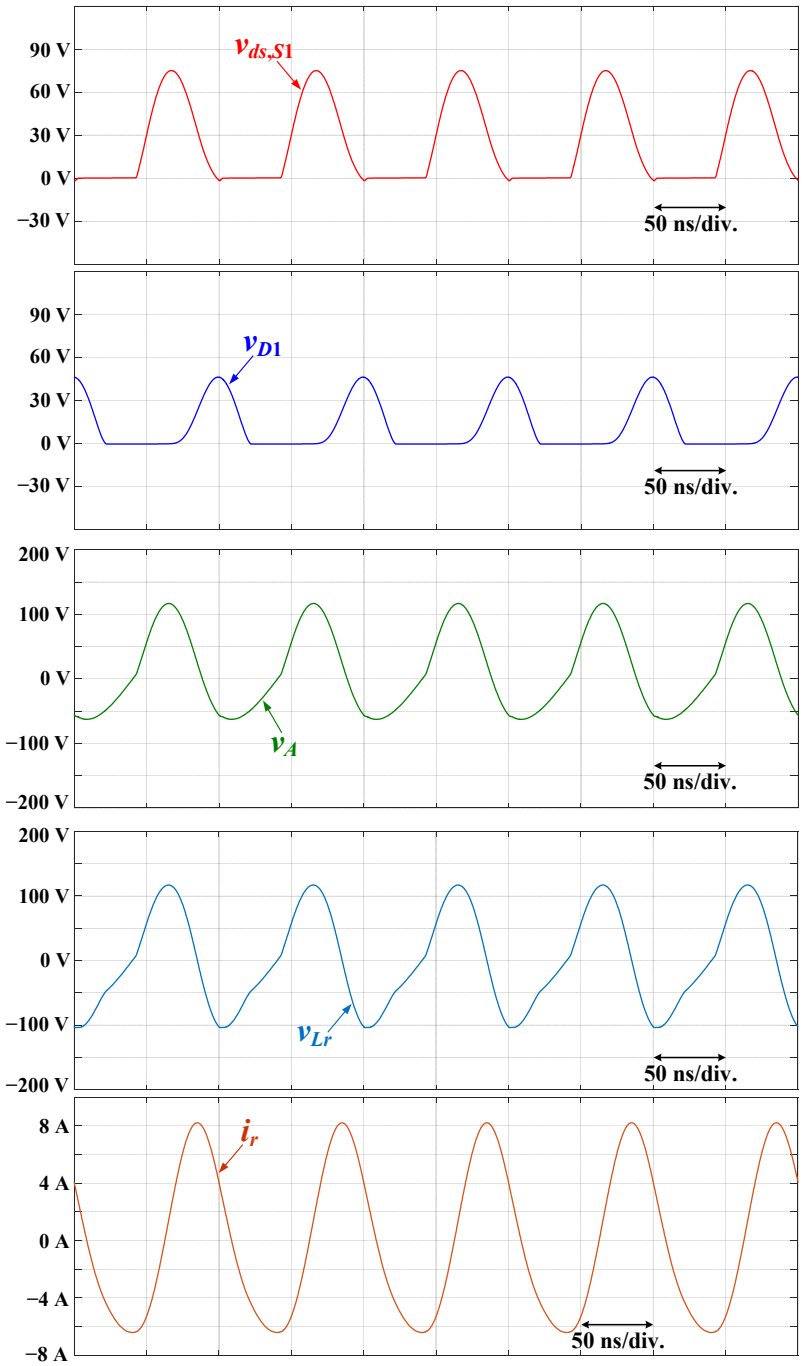


그림 4.9 V_s = 24 V, V_o = 12 V, P_o = 48 W, f_s = 10 MHz일 때
Class E 컨버터 모의실험 파형

표 4.3 제안하는 설계와 Class E 컨버터의 I_r, $I_{L1,rms}$, $I_{rms,tot}$ 값 비교

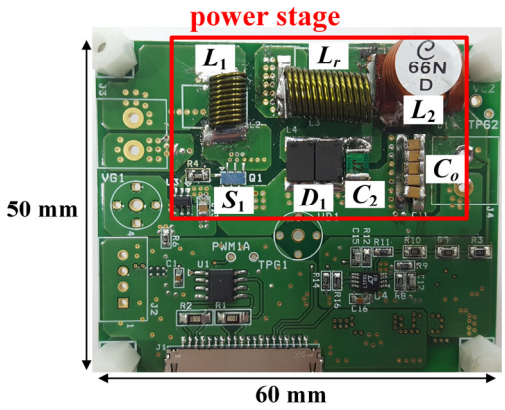
	제안하는 설계		Class E	
	측정 값	이론 값	측정 값	이론 값
공진 전류의 RMS 값 $I_{r,rms}$ [A]	3.489	3.214	5.248	4.582
L_1의 RMS 전류 $I_{L1,rms}$ [A]	3.352	2.836	2.238	2
$I_{rms,tot} = \sqrt{(I_{r,rms}{}^2+I_{L1,rms}{}^2)}$ [A]	4.838	4.286	5.705	5

그림 4.8과 그림 4.9는 각각 정격 부하에서 제안하는 설계의 싱글 엔디드 컨버터와 Class E 컨버터의 동작 파형을 보여준다. 스위치 전압 $v_{ds,S1}$ 파형을 보면 두 컨버터 모두 설계한 대로 스위치가 켜질 때 ZVS가 일어나는 것을 볼 수 있다. 또한, 다이오드 전압 파형 v_{D1}에서 볼 수 있듯이 그림 4.2와 그림 4.3에 표시한 설계 점대로 제안하는 설계의 D_{rect}가 Class E 컨버터의 D_{rect}보다 더 크다. D_{rect}가 클수록 다이오드의 전압 스트레스가 증가하므로 제안하는 설계에서 다이오드 전압 파형의 폭이 좁고 피크 전압은 높다. 마지막으로 공진 전류 i_r의 크기는 제안하는 설계가 Class E 컨버터보다 더 작다.

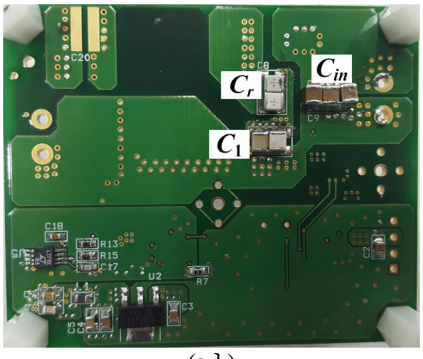
표 4.3은 모의실험 결과를 통해 공진 전류의 RMS 값 $I_{r,rms}$와 L_1의 RMS 전류 $I_{L1,rms}$, 그리고 이 두 RMS 값의 제곱 합 $I_{rms,tot}$를 비교한 것이다. 제안하는 설계에서 L_1을 작게 설계함으로써 L_1의 RMS 전류는 더 크지만, 공진 전류의 RMS 값과 RMS 전류의 제곱 합은 Class E 컨버터보다 각각 34%, 15% 감소한다. 한편, RMS 값들이 분석 모델로 예측한 이론 값보다 더 큰데 이는 모의실험 파형에서 볼 수 있듯이 실제로는 공진 전류에 고조파 성분이 포함돼 있기 때문이다.

4.3 실험 결과

실험 조건은 모의실험 조건과 동일하게 하였다. 그림 4.10은 본 논문에서 제안하는 설계 방법에 따라서 표 4.1의 설계 사항 대로 제작된 10-MHz 프로토타입 사진을 보여준다. 표 4.1에서 볼 수 있듯이 L_1, L_2, L_r의 인덕턴스 값이 수십 nH 또는 수백 nH이기 때문에 공심(air-core) 인덕터를 사용하였다. 그러므로 주파수에 따라 급격하게 증가하는 철손의 영향이 없어진다.



(가)



(나)

그림 4.10 제안하는 설계의 10-MHz 프로토타입 (가) 앞면. (나) 뒷면.

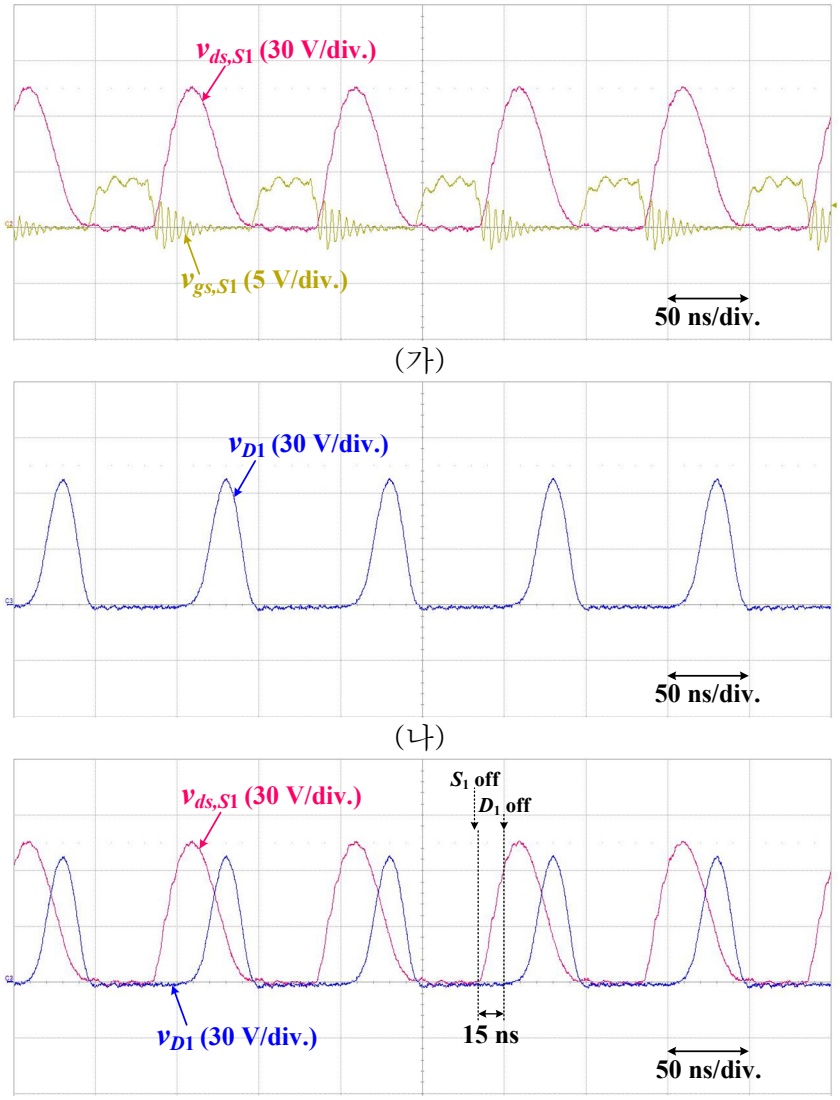


그림 4.11 정격 부하(V_o = 12 V, P_o = 48 W)일 때 제안하는 싱글 엔디드 컨버터 설계의 실험 파형

(가) $v_{gs,S1}$과 $v_{ds,S1}$. (나) v_{D1}. (다) $v_{ds,S1}$과 v_{D1}.

그림 4.11은 정격 부하 조건 즉, V_o = 12 V, P_o = 48 W일 때 제안하는 싱글 엔디드 컨버터 설계의 실험 파형을 나타낸 것이다. 그림 4.11(가)의 스위치 전압 $v_{ds,S1}$과 게이트 전압 $v_{gs,S1}$을 보면 설계한 대로 ZVS가 일어난

다. 또한, 그림 4.11(가)의 스위치 전압과 그림 4.11(나)의 다이오드 전압 파형을 그림 4.8의 모의실험 파형과 비교해보면 다이오드 전압의 피크만 제외하고 거의 유사하다. 실험에서 다이오드 피크 전압은 모의실험에서보다 약 10 V 정도 더 컸는데, 이는 그림 3.81에서 볼 수 있듯이 다이오드의 순방향 전압 강하 V_F에 의한 영향 때문이라고 생각된다. 실제 실험에서의 V_F와 모의실험에서의 V_F가 달라서 생긴 문제일 수 있다. 또한, 모의실험에서 반영하지 못한 회로 내 기생 인덕턴스와 캐패시터 성분도 오차의 원인이 된다.

그림 4.11(다)에서 스위치와 다이오드의 턴 오프 시점 간 시간 지연이 15 ns 정도 있다. 이 값은 3.4에서의 분석을 이용해 아래와 같이 계산되는 이론 값과 거의 일치한다.

$$\frac{\varphi_{r2}-\varphi_{r1}}{\omega_s}=\frac{-0.1430-\left(-1.0459\right)}{2\pi\times 10e^{6}}=14.4[\text{ns}]. \tag{4.6}$$

한편, 그림 4.11은 $V_o=12$ V일 때 반파 정류기의 다이오드 전압 파형을 보여준다. 그림에서 볼 수 있듯이 다이오드의 턴 온 또는 턴 오프 순간에 기생 공진이 발생하는 것을 볼 수 있다. 이는 높은 dv/dt로 인해 다이오드의 접합 캐패시턴스가 회로 내 기생 인덕턴스 성분과 일으키는 기생

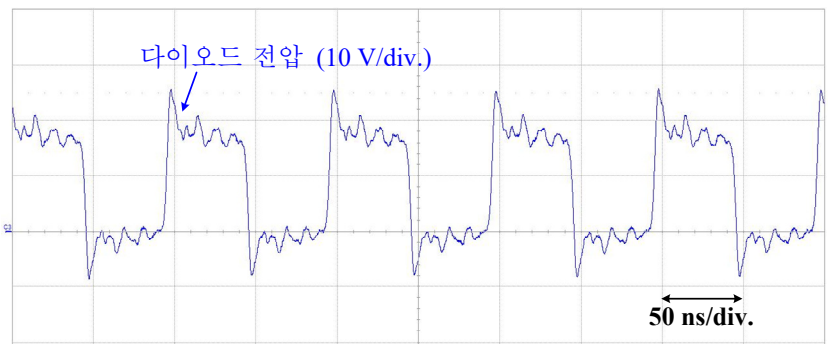


그림 4.12 반파 정류기 회로에서 다이오드 전압 실험 파형

공진 때문이다. 반면에 본 논문에서 DC-DC 컨버터에 사용하는 공진형 정류기에서는 다이오드의 접합 캐패시턴스를 공진 소자에 흡수하여 공진에 이용하므로 다이오드의 턴-온 또는 턴-오프 때 *dv*/*dt*가 낮으며 그림 4.11(나)에서처럼 기생 공진이 없어진다.

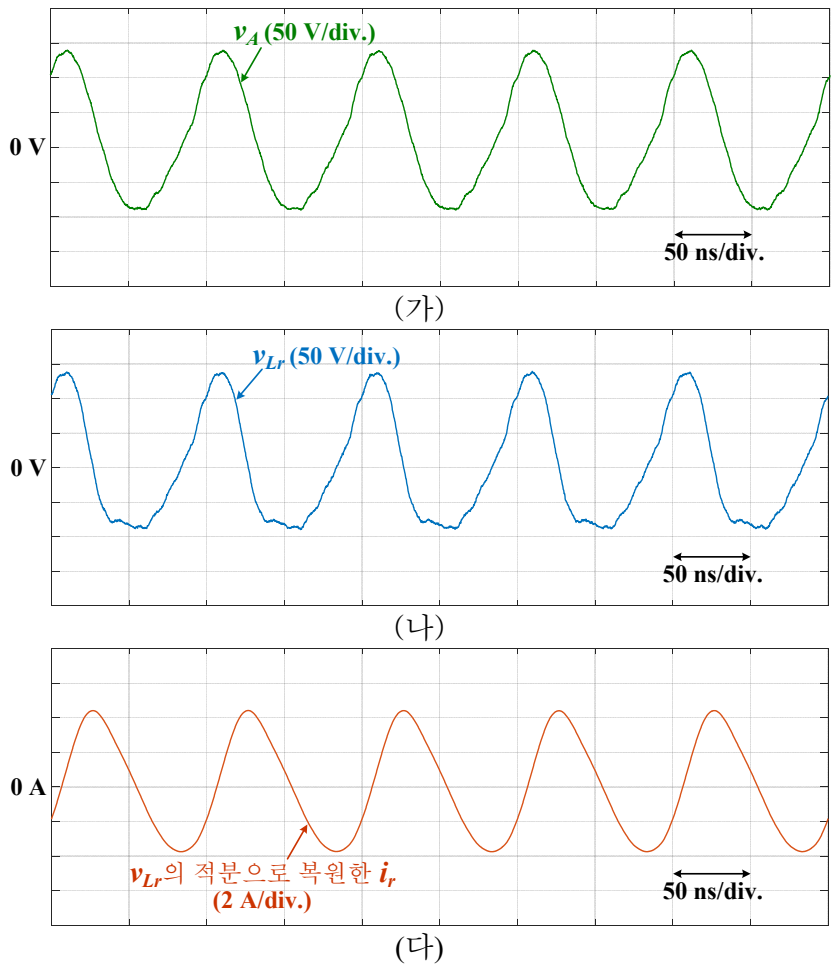
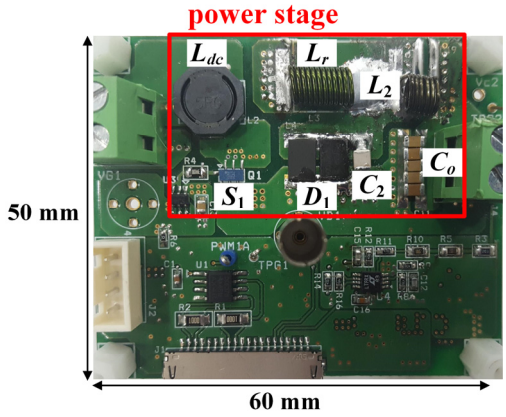


그림 4.13 정격 부하(V_o = 12 V, P_o = 48 W)일 때 제안하는 싱글 엔디드 컨버터 설계의 실험 파형

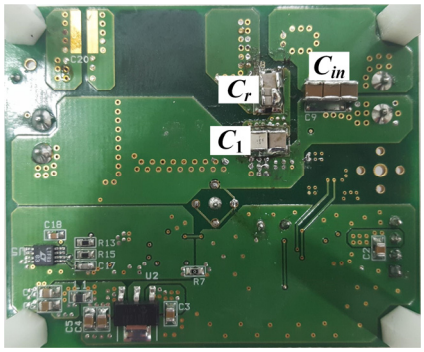
(가) node A 전압 v_A. (나) 인덕터 L_r 양단 전압 v_{Lr}.

(다) v_{Lr}의 적분으로 복원한 공진 전류 i_r.

공진 전류 i_r의 파형을 얻기 위해 인덕터 L_r 양단의 전압 v_{Lr}을 적분하는 방법을 이용하였다. v_{Lr}은 그림 4.4에 표시한 node A 전압 v_A에서 다이오드 전압 v_{D1}을 뺀 것과 같다. 그러므로 v_A와 v_{D1}을 각각 그림 4.13(가)와 그림 4.11(나)와 같이 측정하고 이 두 파형의 차이로 그림 4.13(나)와 같이 v_{Lr}을 얻을 수 있다. 그러면 v_{Lr}를 적분한 후 인덕터 L_r 값으로 나누어 그림 4.13(다)처럼 공진 전류 i_r을 복원할 수 있다.



(가)

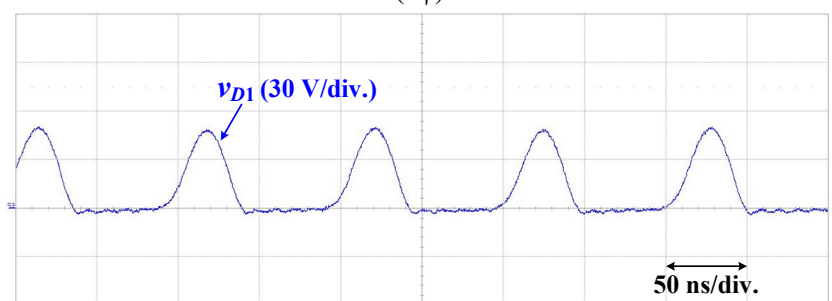


(나)

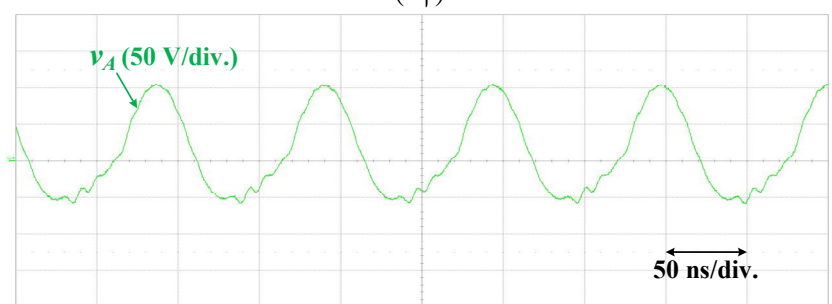
그림 4.14 Class E 컨버터의 10-MHz 프로토타입 (가) 앞면. (나) 뒷면.

다음으로 표 4.2의 설계 사항에 따라 비교군으로서 그림 4.14와 같이 10-MHz Class E 컨버터 프로토타입을 제작하였다. L_r과 L_2는 인덕턴스 값이 작아 공심 인덕터로 구현하였지만, 입력 인덕터 L_{dc}는 5 μH이므로 공심 인덕터로 구현하면 권선 수가 너무 많아져 손실이 증가하거나 부피가 커지므로 자성 코어를 사용하였다. 그렇지만 입력 전류에 리플 성분이 거의 없으므로 자성 코어의 철손은 거의 무시할 수 있다.

(가)



(나)



(다)

(다음 페이지에서 그림 계속)

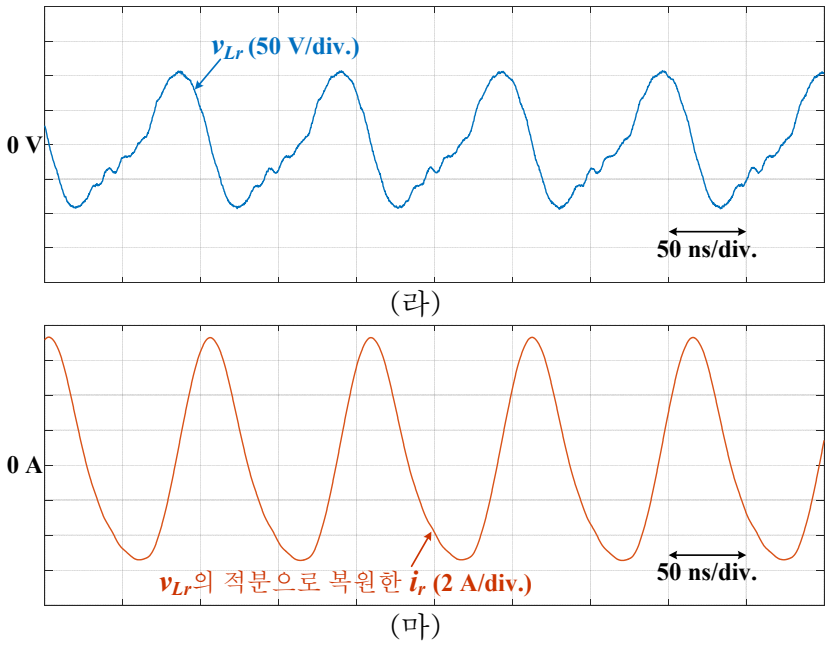


그림 4.15 정격 부하(V_o = 12 V에서 P_o = 48 W)일 때
Class E 컨버터의 실험 파형
(가) $v_{ds,S1}$. (나) v_{D1}. (다) v_A. (라) v_{Lr}. (마) v_{Lr}의 적분으로 복원한 i_r.

표 4.4 정격 부하 조건에서 효율 비교

	f_s	효율
제안하는 설계	10 MHz	83.0%
Class E	9.67 MHz	82.1%

그림 4.15는 정격 부하 조건에서 Class E 컨버터의 실험 파형을 나타낸다. 그림 4.9의 모의실험 파형과 유사함을 볼 수 있다. 그림 4.15(가)와 (나)를 보면, 모의실험에서처럼 스위치 턴 온 시 ZVS가 일어나고 제안하는 설계보다 다이오드의 D_{rect}가 낮아 다이오드 피크 전압이 더 낮은 것을 확인할 수 있다. 또한, 앞에서와 마찬가지로 v_{Lr}의 적분을 통해 그림

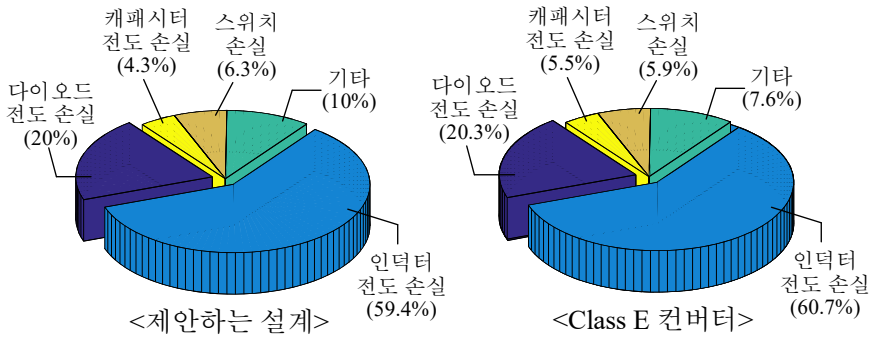


그림 4.16 정격 부하 조건에서 손실 분포 비교

표 4.5 수동 소자에 저장되는 전기 에너지 또는 자기 에너지 비교

	부피가 큰 수동 소자	인덕터에 저장되는 자기 에너지의 합 $\Sigma(LI_{pk}^2/2)$	캐패시터에 저장되는 전기 에너지의 합 $\Sigma(CV_{pk}^2/2)$
제안하는 설계	없음	13.7 μJ	9.8 μJ
Class E	L_{dc}	26 μJ	10.5 μJ

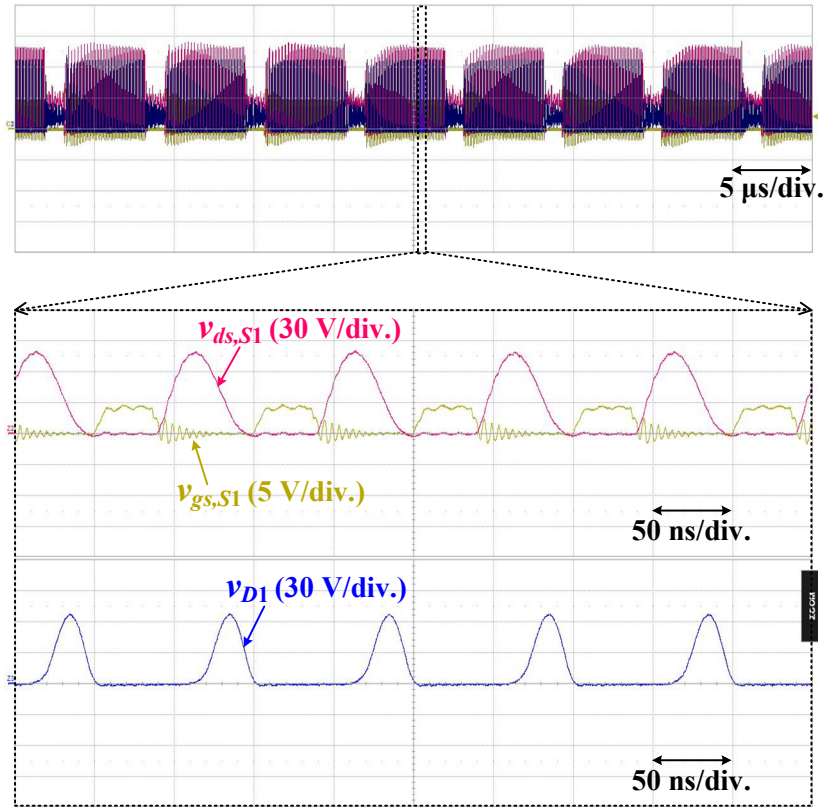
4.15(마)와 같이 공진 전류 i_r을 복원할 수 있다. 그림 4.13(다)와 비교해 보면 제안하는 설계의 경우 Class E 컨버터보다 공진 전류 크기가 줄어드는 것을 확인할 수 있다. 공진 전류의 RMS 값은 36% 감소하며 모의실험에서의 감소율과 거의 차이가 없다. 하지만 두 컨버터 모두 모의실험보다 공진 전류의 크기가 작다. 이는 전류 복원 시 계산에 사용되는 인덕턴스 값의 오차나 회로 내 기생 성분에 의한 영향으로 생각된다.

표 4.4는 제안하는 싱글 엔디드 컨버터와 Class E 컨버터의 효율을 정격 부하 조건에서 비교한 것이다. 출력 전력 조건을 맞추기 위해 Class E 컨버터의 스위칭 주파수가 9.67 MHz로 낮아졌지만, 제안하는 설계가 Class E 컨버터보다 효율이 1% 정도 더 높다.

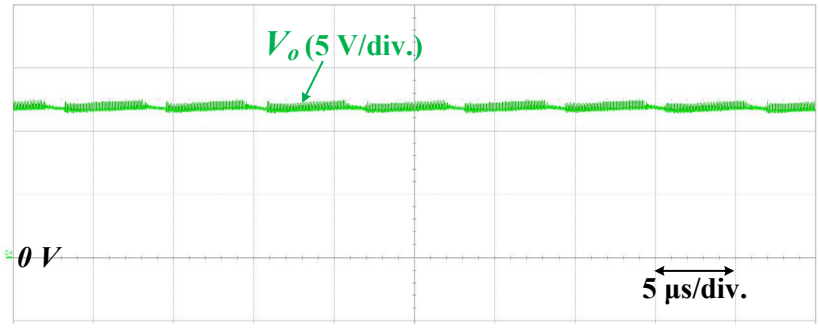
그림 4.16은 정격 부하 조건에서 제안하는 설계와 Class E 컨버터의 손

실 분포를 비교한 것이다. 두 경우 모두 전체 손실에 대한 인덕터 전도 손실의 비율이 60% 정도로 가장 높고, 다이오드 전도 손실은 20% 정도 차지한다. 제안하는 설계에서는 공진 전류의 크기 또는 RMS 전류 합이 줄어들어 Class E 컨버터보다 인덕터 전도 손실의 비율이 감소한다. 그렇지만 인덕터 전도 손실뿐만 아니라 다이오드 전도 손실도 전체 손실에서 큰 비율을 차지한다. 특히, 수 MHz~수십 MHz에서는 다이오드의 순방향 회복(forward recovery) 때문에 다이오드 턴 온 시 순간적으로 높은 전압 강하가 발생해 다이오드에서의 손실이 예상보다 커지는 문제가 있다 [5]. 결과적으로 이러한 다이오드 전도 손실로 인해서 인덕터 전도 손실을 줄인 것만으로 효율 상승이 크지 않았다고 생각된다.

표 4.5는 제안하는 설계와 Class E 컨버터에서 수동 소자에 저장되는 에너지를 비교한 것이다. 대체로 저장되는 에너지가 클수록 수동 소자의 크기는 커진다. 캐패시터에 저장되는 전기 에너지의 합 $\Sigma(CV_{pk}^2/2)$은 거의 차이가 없는 반면에 인덕터에 저장되는 자기 에너지의 합 $\Sigma(LI_{pk}^2/2)$은 Class E 컨버터가 거의 2배 정도 높다. 이것은 입력에 부피가 큰 필터 인덕터를 사용하기 때문이다. 따라서 제안하는 컨버터 설계가 수동 소자의 크기를 줄일 수 있고 전도 손실도 줄어들어 효율이 증가한다.



(가)

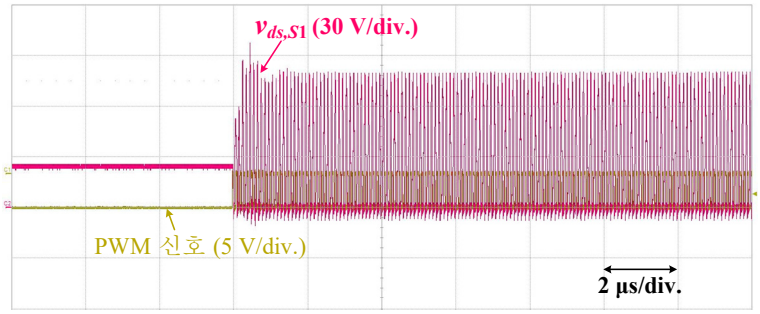


(나)

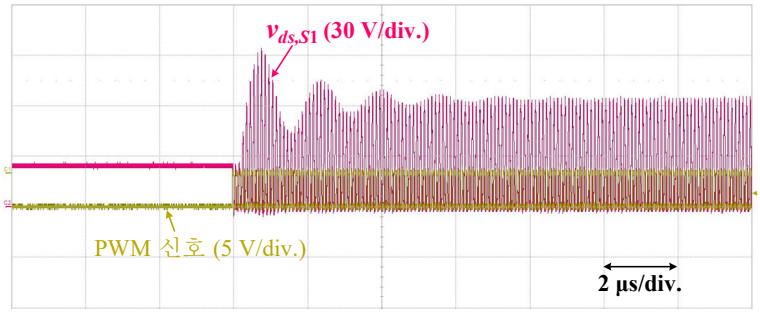
그림 4.17 부하 = 80%일 때 컨버터의 온-오프 제어 결과

(가) 스위치 전압 $v_{ds,S1}$과 다이오드 전압 v_{D1}. (나) 출력 전압.

그림 4.17은 제안하는 컨버터 설계의 온-오프 제어 동작을 보여준다. 부하가 80%로 줄어들면 온-오프 제어기의 동작으로 컨버터가 꺼지는 시간 비율이 늘어난다. 그렇지만 컨버터가 켜져 있는 동안의 스위치 전압과 다이오드 전압을 그림 4.11과 비교해보면 정격 부하에서의 파형과 일



(가)



(나)

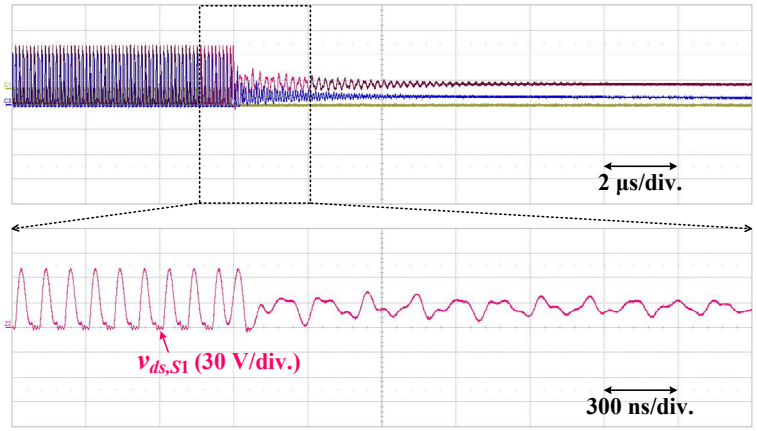
그림 4.18 컨버터의 턴-온 과도 상태 동작 비교

(가) 제안하는 설계의 싱글 엔디드 컨버터. (나) Class E 컨버터.

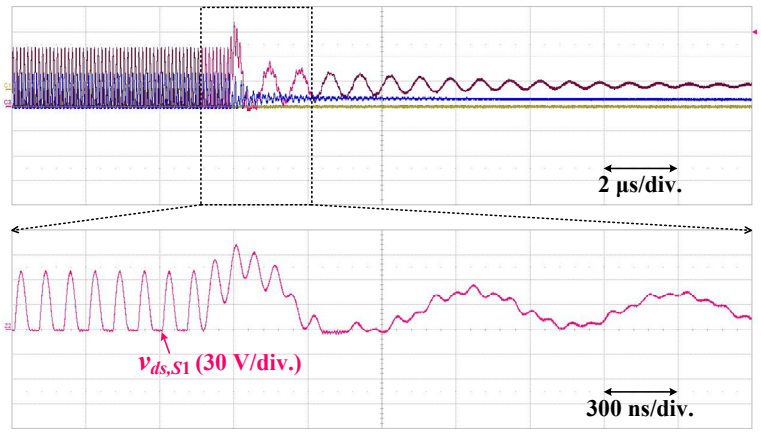
치하며 ZVS가 일어나는 것을 볼 수 있다.

또한, 이때의 효율은 81.5%로 측정되었다. 온-오프 제어를 사용하면 이론적으로는 부하와 관계없이 정격 부하에서의 효율이 그대로 유지되지만, 효율이 다소 감소한 것은 컨버터가 켜지고 꺼질 때 과도 상태에서의 손실이 관여하기 때문으로 생각된다.

그림 4.18과 그림 4.19는 각각 컨버터 턴-온 과도 상태 동작과 턴-오프 과도 상태 동작을 나타낸다. 제안하는 설계의 싱글 엔디드 컨버터는 Class E 컨버터보다 컨버터를 턴-온 시키고 나서 정상 상태에 도달하는 시간이 빠른 것을 볼 수 있다. 이는 Class E 컨버터의 큰 필터 인덕터가 과도 응답 특성을 느리게 하기 때문이다. 또한, 그림 4.19를 보면 컨버터 턴-오프 시 Class E에서는 순간적으로 스위치 전압이 튀고 낮은 주파수의



(가)



(나)

그림 4.19 컨버터의 턴-오프 과도 상태 동작 비교

(가) 제안하는 설계의 싱글 엔디드 컨버터. (나) Class E 컨버터.

공진이 계속 이어지지만, 제안하는 설계에서는 스위치 전압이 튀는 현상이 없고 빠르게 정상 상태의 값으로 도달한다. 따라서 제안하는 설계가 Class E 컨버터보다 온-오프 제어 시 더 우수한 성능을 나타낼 수 있다.

제 5 장 결론 및 향후 연구

5.1 연구 결과

본 논문에서는 공진형 스위칭 셀을 기반으로 한 싱글 엔디드 공진형 DC-DC 컨버터의 모델링 및 설계를 제안하였다. 제안한 공진형 스위칭 셀은 양방향 전력 흐름을 모두 설명할 수 있으므로 인버터로서의 동작뿐만 아니라 정류기 회로 동작도 쌍대성(duality) 관계로 똑같이 분석하고 설계할 수 있다. 따라서 스위칭 셀 하나의 분석과 설계가 인버터 셀과 정류기 셀을 결합한 여러 DC-DC 컨버터에 적용되는 확장성을 가진다.

제안한 공진형 스위칭 셀은 작은 입력 또는 출력 인덕턴스를 이용한 싱글 엔디드 공진형 컨버터 대상으로, 모델링과 설계를 위한 분석적 모델로 사용되었다. 기존 연구와 달리 스위치의 시비율이나 회로의 공진 주파수를 특정 값으로 고정하지 않고 스위칭 셀을 분석하였으며, 이러한 분석을 토대로 스위칭 셀의 설계 최적화 방법을 제안하였다. 수 MHz~수십 MHz로 구동할 때는 표피 효과나 근접 효과로 인해 인덕터나 변압기에서의 전도 손실이 예상보다 커져 전체 손실의 대부분을 차지하는 문제가 있다. 그러므로 설계 최적화의 목적 함수는 공진 전류 크기와 전도 손실의 최소화로 설정하였다. 이에 따라 제안하는 설계는 기존 Class E 컨버터보다 모든 스위치 시비율 값보다 공진 전류와 인덕터 전류의 RMS 제곱 합이 작아질 수 있고 인덕터의 전도 손실이 줄어들 수 있다.

본 연구의 연구 결과는 다음과 같이 요약된다.

1) MHz 대역의 높은 스위칭 주파수에서 기존 공진형 DC-DC 컨버터의 성능을 공진 전류 크기 관점에서 분석하였다. 기존 Class E 컨버터에서는 브릿지 공진형 컨버터와 달리 공진 전류 크기가 주파수

에 의존하지는 않지만, 입력에 큰 필터 인덕터 때문에 ZVS를 위해 항상 큰 공진 전류가 필요한 한계점이 있다. 반면에 본 논문에서는 작은 인덕턴스를 사용해 입력 전류 리플이 허용함으로써 공진 전류의 크기가 줄어들 수 있는 조건을 확인하였다.

2) 작은 입·출력 인덕턴스를 이용한 싱글 엔디드 공진형 DC-DC 컨버터의 분석적 모델로서 싱글 엔디드 공진형 스위칭 셀을 제안하였다. 이 스위칭 셀을 이용해 양방향 전력 흐름을 모두 설명할 수 있으므로 제안한 방법대로 설계한 인버터 셀과 정류기 셀을 결합해 여러 형태의 DC-DC 컨버터를 구성할 수 있다. 결과적으로 스위칭 셀 하나의 분석과 설계를 DC-DC 컨버터의 분석과 설계로 확장해서 적용할 수 있음을 입증하였다.

3) 싱글 엔디드 공진형 스위칭 셀의 분석은 기존 연구와 달리 스위치의 시비율이나 회로의 공진 주파수를 특정 값으로 한정하지 않음으로써 본 논문에서 다루고자 한 공진 전류 크기와 전도 손실 최소화를 통한 설계 최적화가 가능하도록 하였다. 또한, 분석과 설계가 설계 조건과 관계없이 적용될 수 있도록 설계 조건에 의존하지 않는 변수를 정의해 분석과 설계에 사용하였다.

4) 제안하는 공진형 스위칭 셀의 분석을 토대로 공진 전류의 크기를 최소화하는 설계 방법을 제안하였다. 그러나 입력 인덕턴스가 작아져 인덕터 전류의 RMS가 증가하므로 이를 고려해 전체 전류의 RMS 제곱 합을 최소화하는 설계 방법을 제안하였다. 이 방법에서는 시비율이 0.5일 때 Class E 컨버터보다 RMS 전류의 제곱 합은 7.7%, 공진 전류의 크기는 21% 감소한다.

5) 스위칭 셀이 인버터로 동작할 때의 분석과 설계를 쌍대성(duality) 관계에 있는 정류기 셀에도 똑같이 적용할 수 있도록 변수 간 대

응 관계를 정리하였다. 이때 정류기 동작 분석에서는 다이오드의 순방향 전압 강하에 의한 영향을 분석하였다.

6) 인버터 셀과 정류기 셀을 결합해 DC-DC 컨버터를 구성할 때 두 스위칭 셀을 직렬 리액턴스 하나로만 연결할 수 있는 유효 전력, 무효 전력 매칭 조건에 관해 분석하였다.

7) 모의실험 및 실험을 통해 제안하는 싱글 엔디드 DC-DC 컨버터 설계의 동작과 성능을 입증하였다. 모의실험에서는 제안하는 설계가 정격 부하에서 Class E 컨버터보다 RMS 전류 합이 15%, 공진 전류의 RMS 값이 34% 감소하는 것을 확인하였다. 또한, GaN 소자를 이용한 10-MHz 프로토타입의 실험에서는 정격 부하에서 Class E 컨버터보다 공진 전류의 RMS 값이 36% 감소하고 효율이 1% 더 높게 측정되었다.

5.2 향후 연구

본 연구의 향후 연구는 다음과 같다.

1) 본 논문에서는 전류의 기본파 성분만 고려하여 분석과 설계를 진행했다. 그러나 공진 전류가 기본파 성분만 포함하면 실제 전압에 포함된 고조파 성분은 유효 전력 생성에 기여하지 못하고 무효 전력을 만든다. 따라서 [97]에서 제안한 것처럼 전류에 고조파 성분을 주입하면 고조파 성분의 전압도 유효 전력을 전달하게 되므로 전도 손실을 더 줄일 수 있을 것으로 생각된다. 이를 위해서는 제안한 싱글 엔디드 공진형 스위칭 셀의 전압원 v_{ac}와 리액턴스 X_r에서 고조파 성분까지 고려한 연구가 필요하다.

2) 본 논문에서는 공진 전류가 이상적인 정현파에 가깝게 되도록 리

액턴스 X_r을 높은 Q-인자를 가진 LC 직렬 공진 회로로 구현하였다. 그러나 공진 회로의 Q-인자가 낮으면 공진 전류 파형이 왜곡되지만, 캐패시터 하나로도 구현될 수 있어 수동 소자의 개수를 줄일 수 있고 전도 손실 면에서도 더 유리할 것으로 생각된다. 그러므로 낮은 Q-인자를 가진 공진 회로일 때 왜곡된 공진 전류가 스위칭 셀의 분석과 설계에 미치는 영향을 분석할 필요가 있다.

3) 컨버터의 손실 분포를 분석한 결과 인덕터 손실뿐만 아니라 다이오드의 전도 손실도 전체 손실에서 큰 비율을 차지했다. 그래서 인덕터 손실을 줄인 것만으로 효율이 크게 상승하지 않았다고 생각된다. 기존에 연구된 바와 같이 MHz 대역의 고주파에서는 다이오드의 순방향 회복으로 인해 다이오드 전도 손실이 예상보다 커지므로 중요하게 고려돼야 한다 [3], [5]. 이를 위해 컨버터에서 다이오드 대신에 동기 정류기를 사용하는 연구가 필요하다.
4) 제안하는 설계에서는 입력 인덕턴스를 줄임으로써 컨버터의 전도 손실을 줄일 수 있지만, 입력 전류 리플이 증가하므로 컨버터의 입력 필터가 커질 수 있다. 따라서 계통 연계의 경우 EMI 규정을 만족하기 위한 필터 크기를 고려해 전체 전력 밀도를 해치지 않도록 입력 전류 리플에 제한을 두고 입력 인덕턴스를 설계하는 연구도 가능할 것으로 생각된다.
5) 본 논문에서는 입력 전압 변동을 고려하지 않았다. 온-오프 제어를 사용하면 입력 전압이 변해도 출력 전압을 제어하는 데는 문제가 없지만, 컨버터가 켜져 있는 동안 ZVS가 일어나지 않거나 전류가 증가해 효율이 낮아질 수 있다. 따라서 입력 전압 변동에도 효율적으로 구동하기 위한 제어나 설계에 관해 연구할 필요가 있다.

부 록

A.1 공진형 스위칭 셀의 인버터 동작 분석에서 Q_1(또는 M_{inv}), $I_{1,off}/I_s$ 유도

본 논문에서 제안하는 공진형 스위칭 셀의 분석적 모델은 다음의 6개 변수, D_{inv}, $\omega_{1,N}$, M_{inv}, Q_1, $I_{1,off}/I_s$, φ_r로 표현된다. 각 변수의 정의는 3.2.1에서 설명된다. 여기서는 D_{inv}, $\omega_{1,N}$, $M_{inv}Q_1$ (= $Z_1P_oM_{inv}/V_s^2$) 값이 주어질 때, (3.19), (3.20), (3.23)으로 표현되는 3개의 조건을 만족하는 Q_1(또는 M_{inv}), $I_{1,off}/I_s$, φ_r에 관한 식을 유도한다.

먼저, φ_r은 (3.24) 또는 (3.25)로 계산된다. 그리고 이를 이용해 나머지 변수 Q_1(또는 M_{inv})과 $I_{1,off}/I_s$도 주어진 D_{inv}, $\omega_{1,N}$, $M_{inv}Q_1$ 값에 대해 계산할 수 있다. 식 (3.22)로부터 Q_1과 $I_{1,off}/I_s$의 곱은 아래와 같이 유도된다.

$\cos B_1 \neq 1$일 때

$$Q_1\left(\frac{I_{1,off}}{I_s}\right)=\frac{\cos B_1-1}{\sin B_1}-\frac{M_{inv}Q_1\sin\varphi_r}{1+\omega_{1,N}}-\frac{M_{inv}Q_1\omega_{1,N}\left\{\cos\left(A_1+\varphi_r\right)-\cos\left(B_1+\varphi_r\right)\right\}}{\sin B_1\left(1-\omega_{1,N}{}^2\right)}. \tag{A.1}$$

$\cos B_1 = 1$일 때

$$Q_1\left(\frac{I_{1,off}}{I_s}\right)=\frac{M_{inv}Q_1\left\{\sin\left(A_1+\varphi_r\right)-\sin\varphi_r\right\}}{1-\omega_{1,N}{}^2}. \tag{A.2}$$

또한, (3.22)를 (3.23)에 대입하면 Q_1은 다음과 같이 쓸 수 있다.

$$Q_1=M_{inv}Q_1\frac{\left\{\cos\varphi_r-\cos\left(A_1+\varphi_r\right)\right\}}{2\pi}+D_{inv}\frac{i_{L1,I}\left[\left(1-D_{inv}\right)T_s\right]}{V_s/Z_1}+\pi D_{inv}{}^2\omega_{1,N}. \tag{A.3}$$

이때 $i_{L1,I}[(1-D_{inv})T_s]/(V_s/Z_1)$은 (3.23)처럼 D_{inv}, $\omega_{1,N}$, $M_{inv}Q_1$, 그리고 $Q_1(I_{1,off}/I_s)$로 표현된다. D_{inv}, $\omega_{1,N}$, $M_{inv}Q_1$ 값이 주어지면 $Q_1(I_{1,off}/I_s)$은 (A.1) 또는 (A.2)와 같이 계산되므로, 이를 고려하면 (A.3)에서 볼 수 있듯이 주어진 D_{inv},

$\omega_{1,N}$, $M_{inv}Q_1$ 값에 대해 Q_1을 얻을 수 있다.

이렇게 얻은 Q_1 값을 이용해 (A.1) 또는 (A.2)로 계산한 $Q_1(I_{1,off}/I_s)$ 값으로부터 $I_{1,off}/I_s$을 구할 수 있다. 그리고 M_{inv}도 주어진 $M_{inv}Q_1$ 값을 Q_1으로 나눔으로써 계산할 수 있다.

A.2 기존 Class E 인버터의 출력 전압 기본파 성분 분석

Class E 인버터에서 스위치 전압 $v_{ds,S1}$은 (2.10)에서 볼 수 있듯이 $\omega_s C_1$에 반비례한다. 따라서 인버터 출력 전압의 기본파 성분을 분석하기 위해서는 먼저 $\omega_s C_1$을 계산해야 한다. 정상 상태에서 한 스위칭 주기에 대한 스위치 전압의 평균이 입력 전압 V_s와 같아야 하므로 (2.10)을 이용해 P_o/V_s^2으로 정규화된 값인 $\omega_s C_1 V_s^2/P_o$을 아래와 같이 구할 수 있다.

$$\frac{\omega_s C_1 V_s^2}{P_o} = \pi\left(1-D_{inv}\right)^2 + \left(I_{rm}/I_s\right)\left\{\frac{\sin\left[2\pi\left(1-D_{inv}\right)-\psi_r\right]+\sin\psi_r}{2\pi} - \left(1-D_{inv}\right)\cos\psi_r\right\}. \tag{A.4}$$

그림 A.1은 (A.4)를 이용해 D_{inv}에 따른 $\omega_s C_1 V_s^2/P_o$의 값을 계산한 결과다. (A.4)에서 I_{rm}/I_s와 ψ_r은 2.3.2에서 구한 값을 이용한다. 같은 입력 전압과

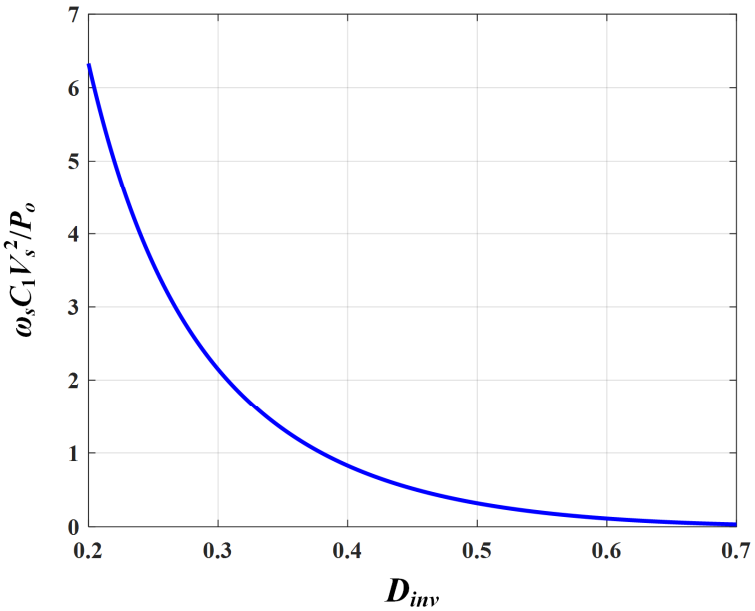


그림 A.1 시비율 D_{inv}에 따른 $\omega_s C_1 V_s^2/P_o$ 값

출력 전력일 때 D_{inv}가 증가할수록 $\omega_s C_1$은 작아지는 것을 볼 수 있다.

3.2.1에서의 분석과 마찬가지로 인버터의 기본파 전압을 공진 전류에 대해 동상인 성분 $V_{inv1,p}$와 직교 위상인 성분 $V_{inv1,q}$로 분해해서 계산할 수 있다. 먼저, $V_{inv1,p}$는 유효 전력 균형 조건으로부터 아래와 같이 구해진다.

$$\frac{V_{inv1,p}}{V_s} = \frac{2}{I_{rm}/I_s}. \tag{A.5}$$

$V_{inv1,q}$는 (A.6)처럼 Fourier series를 이용하면 (A.7)와 같이 유도된다.

$$V_{inv1,q} = \frac{1}{\pi}\int_0^{2\pi} v_{ds,S1}\cos\left(\omega_s t - \psi_r\right) d\left(\omega_s t\right). \tag{A.6}$$

식 (2.10)을 (A.6)에 대입하면 다음과 같이 $V_{inv1,q}$가 계산된다.

$$\frac{V_{inv1,q}}{V_s} = \frac{P_o}{\pi\omega_s C_1 {V_s}^2}\left\{K_1 + \left(I_{rm}/I_s\right)\left(K_2 - K_3\cos\psi_r\right)\right\}. \tag{A.7}$$

$$K_1 = 2\pi\left(1-D_{inv}\right)\sin\left[2\pi\left(1-D_{inv}\right)-\psi_r\right] + \cos\left[2\pi\left(1-D_{inv}\right)-\psi_r\right] - \cos\psi_r.$$

$$K_2 = \pi\left(1-D_{inv}\right) + \left\{\sin\left[4\pi\left(1-D_{inv}\right)-2\psi_r\right] + \sin 2\psi_r\right\}/4.$$

$$K_3 = \sin\left[2\pi\left(1-D_{inv}\right)-\psi_r\right] + \sin\psi_r.$$

그러면 (A.5)와 (A.7)로 계산된 $V_{inv1,p}$와 $V_{inv1,q}$를 이용해 인버터 기본파 전압의 크기 V_{inv1}과 위상 ψ_{inv1}를 다음과 같이 구할 수 있다.

$$V_{inv1} = \sqrt{{V_{inv1,p}}^2 + {V_{inv1,q}}^2},\ \psi_{inv1} = \tan^{-1}\left(V_{inv1,q}/V_{inv1,p}\right). \tag{A.8}$$

참고 문헌

[1] A. Knott *et al.*, “Evolution of very high frequency power supplies,” *IEEE J. Emerging and Selected Topics in Power Electronics*, vol. 2, no. 3, pp. 386–394, Sept. 2014.

[2] D. J. Perreault *et al.*, “Opportunities and challenges in very high frequency power conversion,” in *Proc. Appl. Power Electron. Conf. Expo.*, 2009, pp. 1–14.

[3] Z. Zhang, X. –W. Zou, Z. Dong, Y. Zou, and X. Ren, “A 10-MHz eGaN isolated Class-Φ_2 DCX,” *IEEE Trans. Power Electron.,* vol. 32, no.3, pp. 2029–2040, Mar. 2017.

[4] D. Xu, Y. Guan, Y. Wang, and W. Wang, “Topologies and control strategies of very high frequency converters: a survey,” *CPSS Trans. Power Electron. Appl.*, vol. 2, no. 1, pp. 28–38, Mar. 2017.

[5] X. Ren, Y. Zhou, D. Wang, X. Zou, and Z. Zhang, “A 10-MHz isolated synchronous class-Φ_2 resonant converter,” *IEEE Trans. Power Electron.*, vol. 31, no. 12, pp. 8317–8328, Dec. 2016.

[6] Z. Zhang, J. Lin, Y. Zhou, and X. Ren, “Analysis and decoupling design of a 30 MHz resonant SEPIC converter,” *IEEE Trans. Power Electron.*, vol. 31, no. 6, pp. 4536–4548, Jun. 2016.

[7] W. Liang, J. Glaser, and J. Rivas, “13.56 MHz high density DC-DC converter with PCB inductors,” *IEEE Trans. Power Electron.*, vol. 30, no. 8, pp. 4291–4301, Aug. 2015.

[8] E. A. Jones, F. Wang, and D. Costinett, “Review of commercial GaN power devices and GaN-based converter design challenges,” *IEEE J. Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 707–719, Sept. 2016.

[9] A. Lidow, J. Strydom, M. de Rooij, and D. Reusch, *GaN Transistors for Efficient Power Conversion*, 2nd ed. New York, NY, USA: Wiley, 2014.

[10] X. Huang, T. Liu, B. Li, F. C. Lee, and Q. Li, “Evaluation and applications of

600V/650V enhancement-mode GaN devices," in *Proc. Workshop on Wide Bandgap Power Devices Appl.*, 2015, pp. 113–118.

[11] X. Huang, Z. Liu, Q. Li, and F. C. Lee, "Evaluation and application of 600 V GaN HEMT in cascode structure," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2453–2461, May 2014.

[12] Z. Zhang, Z. Dong, X. –W. Zou, and X. Ren, "A digital adaptive driving scheme for eGaN HEMTs in VHF converters," *IEEE Trans. Power Electron.*, vol. 32, no. 8, pp. 6197–6205, Aug. 2017.

[13] D. Reusch and J. Strydom, "Evaluation of gallium nitride transistors in high frequency resonant and soft-switching DC-DC converters," *IEEE Trans. Power Electron.*, vol. 30, no. 9, pp. 5151–5158, Sept. 2015.

[14] W. Zhang, F. Wang, D. J. Costinett, L. M. Tolbert, and B. J. Blalock, "Investigation of gallium nitride devices in high-frequency LLC resonant converters," *IEEE Trans. Power Electron.*, vol. 32, no.1, pp. 571–583, Jan. 2017.

[15] Z. –W. Xu, Z. Zhang, Z. Dong, and X. Ren, "2-MHz GaN PWM isolated SEPIC converters," in *Proc. Appl. Power Electron. Conf. Expo.*, 2017, pp. 149–156.

[16] A. Hariya, K. matsuura, H. Yanagi, S. Tomioka, Y. Ishizuka, and T. Ninomiya, "Five-Megahertz PWM-controlled current-mode resonant DC-DC step-down converter using GaN-HEMTs," *IEEE Trans. Ind. Appl.*, vol. 51, no. 4, pp. 3263–3272, Jul./Aug. 2015.

[17] M. Mu and F. C. Lee, "Design and optimization of a 380-12 V high-frequency, high-current LLC converter with GaN devices and planar matrix transformers," *IEEE J. Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 854–862, Sept. 2016.

[18] Y. Wang, W. Kim, Z. Zhang, J. Calata, and K. D. T. Ngo, "Experience with 1 to 3 megahertz power conversion using eGaN FETs," in *Proc. Appl. Power*

Electron. Conf. Expo., 2013, pp. 532–539.

[19] S. Bandyopadhyay and J. Morroni, "Quasi-square wave converters–Modeling and performance benefits of GaN over Silicon," in *Proc. Appl. Power Electron. Conf. Expo.*, 2017, pp. 2700–2705.

[20] L. Liu, Y. Yan, K. D. T. Ngo, and G. –Q. Lu, "NiCuZn ferrite cores by gelcasting: processing and properties," in *Proc. Energy Convers. Cong. Expo.*, 2016, pp. 1–5.

[21] A. J. Hanson, J. A. Belk, S. Lim, C. R. Sullivan, and D. J. Perreault, "Measurements and performance factor comparisons of magnetic materials at high frequency," *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7909–7925, Nov. 2016.

[22] Y. Han, G. Cheung, A. Li, C. R. Sullivan, and D. J. Perreault, "Evaluation of magnetic materials for very high frequency power applications," *IEEE Trans. Power Electron.*, vol. 27, no. 1, pp. 425–435, Jan. 2012.

[23] M. M. Jovanovic, "Merits and limitations of resonant and soft-switched converters," in Proc. *Int. Telecommun. Energy Conf.*, 1992, pp. 51–58.

[24] R. L. Steigerwald, "A comparison of half-bridge resonant converter topologies," *IEEE Trans. Power Electron.*, vol. 3, no. 2, pp. 174–182, Apr. 1988.

[25] R. P. Severns, "Topologies for three-element resonant converters," *IEEE Trans. Power Electron.*, vol. 7, no. 1, pp. 89–98, Jan. 1992.

[26] B. Yang, F. C. Lee, A. J. Zhang, and G. Huang, "LLC resonant converter for front end DC/DC conversion," in *Proc. Appl. Power Electron. Conf. Expo.*, 2002, pp. 1108–1112.

[27] K. –H. Liu and F. C. Lee, "Zero-voltage switching technique in DC/DC converters," *IEEE Trans. Power Electron.*, vol. 5, no. 3, pp. 293–304, Jul. 1990.

[28] W. A. Tabisz, P. M. Gradzki, and F. C. Lee, "Zero-voltage-switched quasi-

resonant buck and flyback converter – Experimental results at 10 MHz," *IEEE Trans. Power Electron.*, vol. 4, no. 2, pp. 194–204, Apr. 1989.

[29] W. A. Tabisz and F. C. Lee, "Zero-voltage-switching multiresonant technique–a novel approach to improve performance of high-frequency quasi-resonant converters," *IEEE Trans. Power Electron.*, vol. 4, no. 4, pp. 450–458, Oct. 1989.

[30] W. A. Tabisz, M. M. Jovanovic, and F. C. Lee, "High-frequency multi-resonant converter technology and its applications," in *Proc. Int. Conf. Power Electron. Variable Speed Drives*, 1990, pp. 1–8.

[31] M. K. Kazimierczuk and D. Czarkowski, *Resonant Power Converters*, 2nd ed. Hoboken, NJ, USA: Wiley, 2011.

[32] N. O. Sokal and A. D. Sokal, "Class E – A new class of high efficiency tuned single ended switching power amplifier," *IEEE J. Soild-State Circuits*, vol. SC-10, no. 3, pp. 168–176, Jun. 1975.

[33] F. Raab, "Idealized operation of the class E tuned power amplifier," *IEEE Trans. Circuits Syst.*, vol. CAS-24, no. 12, pp. 725–735, Dec. 1977.

[34] F. Raab and N. O. Sokal, "Transistor power losses in the class E tuned power amplifier," *IEEE J. Solid State Circuits*, vol. SC-13, no. 6, pp. 912–914, Dec. 1978.

[35] M. K. Kazimierczuk, *RF Power Amplifiers*, 2nd edition. New York, NY, UsA: Wiley, 2014.

[36] N. Bertoni *et al.*, "An analytic approach for the design of class-E resonant DC-DC converters," *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7701–7713, Nov. 2016.

[37] M. Madsen, A. Knott, and M. A. E. Andersen, "Low power very high frequency switch-mode power supply with 50 V input and 5 V output," *IEEE Trans. Power Electron.*, vol. 29, no. 12, pp. 6569–6580, Dec. 2014.

[38] J. M. Rivas, R. S. Wahby, J. S. Shafran, and D. J. Perreault, "New

architectures for radio-frequency DC-DC power conversion," *IEEE Trans. Power Electron.*, vol. 21, no. 2, pp. 380–393, Mar. 2006.

[39] Y. Guan, Y. Wang, W. Wang, and D. Xu, "Analysis and design of high frequency DC/DC converter based on resonant rectifier," *IEEE Trans. Ind. Electron.*, vol. 64, no. 11, pp. 8492–8503, Nov. 2017.

[40] J. M. Rivas *et al.,* "Design considerations for very high frequency dc-dc converters," in *Proc. Power Electron. Specialists Conf.*, 2006, pp. 1–11.

[41] R. J. Gutmann, "Application of RF circuit design principles to distributed power converters," *IEEE Trans. Ind. Electron. Control Instrum.*, vol. IECI-27, no. 3, pp. 156–164, Aug. 1980.

[42] R. Redl, B. Molnar, and N. O. Sokal, "Class E resonant regulated DC/DC power converters: Analysis of operations, and experimental results at 1.5 MHz," *IEEE Trans. Power Electron*, vol. PE-1, no. 2, pp. 111–120, Apr. 1986.

[43] R. Redl and N. O. Sokal, "A new class-E DC/DC converter family with reduced parts count: Derivation, topologies, and design considerations," in *Proc. High Frequency Power Conversion Conf.*, 1989, pp. 395–415.

[44] W. C. Bowman et al., "A resonant DC-to-DC converter operating at 22 megahertz," in *Proc. Appl. Power Electron. Conf. Expo.*, 1988, pp. 3–11.

[45] M. K. Kazimierczuk and X. T. Bui, "Class-E DC/DC converters with a capacitive impedance inverter," *IEEE Trans. Ind. Electron.*, vol. 36, no. 3, pp. 425–433, Aug. 1989.

[46] M. K. Kazimierczuk and X. T. Bui, "Class E DC/DC converters with an inductive impedance inverter," *IEEE Trans. Power Electron.*, vol. 4, no. 1, pp. 124–135, Jan. 1989.

[47] T. Nagashima *et al.*, "Steady-state analysis of isolated class-E^2 converter outside nominal operation," *IEEE Trans. Ind. Electron.*, vol. 64, no. 4, pp. 3227–3238, Apr. 2017.

[48] C. Deng, G. Zhu, and R. D. Lorenz, "MHz frequencies, kW, 30 cm gap

wireless power transfer with low air gap flux density and high efficiency using surface spiral winding coils," in *Proc. Appl. Power Electron. Conf. Expo.*, 2017, pp. 1606–1613.

[49] M. Liu, Y. Qiao, and C. Ma, "Analysis and design of a robust class E^2 DC-DC converter for megahertz wireless power transfer," *IEEE Trans. Power Electron.*, vol. 32, no. 4, pp. 2835–2845, Apr. 2017.

[50] S. Liu, M. Liu, S. Yang, C. Ma, and X. Zhu, "A novel design methodology for high-efficiency current-mode and voltage-mode class-E power amplifiers in wireless power transfer systems," *IEEE Trans. Power Electron.*, vol. 32, no. 6, pp. 4514–4523, Jun. 2017.

[51] M. Fu, H. Yin, M. Liu, and C. Ma, "Loading and power control for a high-efficiency class E PA-driven megahertz WPT system," *IEEE Trans. Ind. Electron.*, vol. 63, no. 11, pp. 6867–6875, Nov. 2016.

[52] M. Pinuela, D. C. Yates, S. Lucyszyn, and P. D. Mitcheson, "Maximizing DC-to-load efficiency for inductive power transfer," *IEEE Trans. Power Electron.*, vol. 28, no. 5, pp. 2437–2447, May 2013.

[53] M. Liu, M. Fu, and C. Ma, "Low-harmonic-contents and high-efficiency class E full-wave current-driven rectifier for megahertz wireless power transfer systems," *IEEE Trans. Power Electron.*, vol. 32, no. 2, pp. 1198–1209, Feb. 2017.

[54] M. Liu, M. Fu, and C. Ma, "Parameter design for a 6.78-MHz wireless power transfer system based on analytical derivation of class E current-driven rectifier," *IEEE Trans. Power Electron.*, vol. 31, no. 6, pp. 4280–4291, Jun. 2016.

[55] I. D. de Vries, J. H. Van Nierop, and J. R. Greene, "Solid state class DE RF power source," in *Proc. IEEE Symp. Ind. Electron.*, 1998, pp. 524–529.

[56] W. Zhang, X. Huang, F. C. Lee, and Q. Li, "Gate drive design considerations for high voltage cascode GaN HEMT," in *Proc. Appl. Power Electron. Conf.*

Expo., 2014, pp. 1484–1489.

[57] W. A. Nitz *et al.*, "A new family of resonant rectifier circuits for high frequency DC-DC converter applications," in *Proc. Appl. Power Electron. Conf. Expo.*, 1988, pp. 12–22.

[58] G. Kkelis, D. C. Yates, and P. D. Mitcheson, "Class-E half-wave zero *dv/dt* rectifiers for inductive power transfer," *IEEE Trans. Power Electron.*, vol. 32, no. 11, pp. 8322–8337, Nov. 2017.

[59] J. A. Santiago-Gonzalez, K. M. Elbaggari, K. K. Afridi, and D. J. Perreault, "Design of class E resonant rectifiers and diode evaluation for VHF power conversion," *IEEE Trans. Power Electron.*, vol. 30, no. 9, pp. 4960–4972, Sept. 2015.

[60] M. K. Kazimierczuk and J. Jozwik, "Class E zero-voltage-switching and zero-current-switching rectifier," *IEEE Trans. Circuits Syst.*, vol. 37, no. 3, pp. 436–444, Mar. 1990.

[61] M. K. Kazimierczuk, "Analysis of class E zero-voltage-switching rectifier," *IEEE Trans. Circuits Syst.*, vol. 37, no. 6, pp. 747–755, Jun. 1990.

[62] S. Birca-Galateanu and A. Ivascu, "Class E low dv/dt and low di/dt rectifiers: energy transfer, comparison, compact relationships," *IEEE Trans. Circuits Syst. I*, vol. 48, no. 9, pp. 1065–1074, Sept. 2001.

[63] M. K. Kazimierczuk, "Class E low dv_D/dt rectifier," *Proc. Inst. Elec. Eng., Part B, Electric Power Appl.*, vol. 136, no. 6, pp. 257–262, Nov. 1989.

[64] A. Ivascu, M. K. Kazimierczuk, and S. Birca-Galateanu, "Class E resonant low dv/dt rectifier," *IEEE Trans. Circuits Syst. I,* vol. 39, no. 8, pp. 604–613, Aug. 1992.

[65] M. K. Kazimierczuk and J. Jozwik, "Class E zero-voltage-switching rectifier with a series capacitor," *IEEE Trans. Circuits Syst.*, vol. 36, no. 6, pp. 926–928, Jun. 1989.

[66] M. K. Kazimierczuk and W. Szaraniec, "Analysis of a class E rectifier with a

series capacitor," *Proc. Inst. Elect. Eng. G.*, vol. 139, no. 3, pp. 269–276, Jun. 1992.

[67] A. Reatti, M. K. Kazimierczuk, and R. Redl, "Class E full-wave low dv/dt rectifier," *IEEE Trans. Circuits Syst. I*, vol. 40, no. 2, pp. 73–85, Feb. 1993.

[68] M. Bartoli, A. Reatti, and M. K. Kazimierczuk, "Class-E current-driven center-tapped low *dv/dt* rectifier," in *Proc. IAS Annual Meeting, Ind. Appl. Conf.*, 1995, pp. 874–881.

[69] S. Birca-Galateanu and J. –L. Cocquerelle, "Class E half-wave low dv/dt rectifier operating in a range of frequencies around resonance," *IEEE Trans. Circuits Syst. I*, vol. 42, no. 2, pp. 83–94, Feb. 1995.

[70] M. K. Kazimierczuk, B. Tomescu, and A. Ivascu, "Class E resonant rectifier with a series capacitor," *IEEE Trans. Circuits Syst. I*, vol. 41, no. 2, pp. 885–890, Dec. 1994.

[71] S. Birca-Galateanu, "Low peak current class E resonant full-wave low dv/dt rectifier driven by a voltage generator," in *Proc. Power Electron. Specialists Conf.*, 1999, pp. 469–474.

[72] M. K. Kazimierczuk and J. Jozwik, "DC/DC converter with class E zero-voltage-switching inverter and class E zero-current-switching rectifier," *IEEE Trans. Circuits Syst.*, vol. 36, no. 11, pp. 1485–1488, Nov. 1989.

[73] M. K. Kazimierczuk and J. Jozwik, "Resonant dc/dc converter with class-E inverter and class-E rectifier," *IEEE Trans. Ind. Electron.*, vol. 36, no. 4, pp. 568–578, Nov. 1989.

[74] J. Jozwik and M. K. Kazimierczuk, "Analysis and design of class-E^2 dc/dc converter," *IEEE Trans. Ind. Electron.*, vol. 37, no. 2, pp. 173–183, Apr. 1990.

[75] M. K. Kazimierczuk and J. Jozwik, "Class E^2 narrow-band resonant DC/DC converters," *IEEE Trans. Instrum. Meas.*, vol. 38, no. 6, pp. 1064–1068, Dec. 1989.

[76] M. K. Kazimierczuk and J. Jozwik, "Optimal topologies of resonant DC/DC

converters," *IEEE Trans. Aerosp. Electron. Syst.*, vol. 25, no. 3, pp. 363–372, May 1989.

[77] M. K. Kazimierczuk and J. Jozwik, "Class E^2 resonant DC/DC power converter," *Proc. G., Circuits Devices Syst.*, vol. 137, no. 3, pp. 193–196, Jun. 1990.

[78] R. E. Zulinski and J. W. Steadman, "Class E power amplifiers and frequency multipliers with finite DC-feed inductance," *IEEE Trans. Circuits Syst.*, vol. CAS-34, no. 9, pp. 1074–1087, Sept. 1987.

[79] G. H. Smith and R. E. Zulinski, "An exact analysis of class E amplifiers with finite dc-feed inductance at any output Q," *IEEE Trans. Circuits Syst.*, vol. 37, no. 4, pp. 530–534, Apr. 1990.

[80] C. P. Avaratoglou, N. C. Voulgaris, and F. I. Ioannidou, "Analysis and design of a generalized class E tuned power amplifier," *IEEE Trans. Circuits Syst.*, vol. 36, no. 8, pp. 1068–1079, Aug. 1989.

[81] L. Roslaniec, A. S. Jurkov, A. Al Bastami, and D. J. Perreault, "Design of single-switch inverters for variable resistance/load modulation operation," *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3200–3214, Jun. 2015.

[82] D. Milosevic, J. van der Tang, and A. van Roermund, "Explicit design equations for class-E power amplifiers with small DC-feed inductance," in *Proc. European Conf. Circuit Theory Design*, 2005, pp. III/101–III/104.

[83] D. K. Choi and S. I. Long, "Finite DC feed inductor in class E power amplifiers – A simplified approach," in *Proc. IEEE MTT-S Int. Microwave Symp.*, 2002, pp. 1643–1646.

[84] A. V. Grebennikov and H. Jaeger, "Class E with parallel circuit – a new challenge for high-efficiency RF and microwave power amplifiers," in *Proc. IEEE MTT-S Int. Microwave Symp.*, 2002, pp. 1627–1630.

[85] M. Acar, A. J. Annema, and B. Nauta, "Analytical design equations for class-E power amplifiers," *IEEE Trans. Circuits Syst. I*, vol. 54, no. 12, pp. 2706–

2717, Dec. 2007.

[86] H. Koizumi, M. Iwadare, and S. Mori, “Class E^2 DC-DC converter with second harmonic resonant class E inverter and class E rectifier,” in *Proc. Appl. Power Electron. Conf. Expo.*, 1994, pp. 1012–1018.

[87] M. Iwadare, S. Mori, and K. Ikeda, “Even harmonic resonant class E tuned power amplifier without RF choke,” *Electron. Commun. Japan, Part 1*, vol. 79, no. 1, pp. 23–30, 1996.

[88] J. Hu *et al.*, “High-frequency resonant SEPIC converter with wide input and output voltage ranges,” *IEEE Trans. Power Electron.*, vol. 27, no. 1, pp. 189–200, Jan. 2012.

[89] J. M. Burkhart, R. Korsunsky, and D. J. Perreault, “Design methodology for a very high frequency resonant boost converter,” *IEEE Trans. Power Electron.*, vol. 28, no. 4, pp. 1929–1937, Apr. 2013.

[90] H. Mousavian, A. Bakhshai, and P. Jain, “An improved PDM control method for a high frequency quasi-resonant converter,” in *Proc. Energy Convers. Cong. Expo.*, 2016, pp. 1–8.

[91] W. Cai and Z. Zhang, “Analysis and design of a 30 MHz resonant boost converter,” in *Proc. Int. Power Electron. Motion Control Conf.*, 2012, pp. 1905–1909.

[92] R. C. N. Pilawa-Podgurski, A. D. Sagneri, J. M. Rivas, D. I. Anderson, and D. J. Perreault, “Very-high-frequency resonant boost converters,” *IEEE Trans. Power Electron.*, vol. 24, no. 6, pp. 1654–1665, Jun. 2009.

[93] J. M. Rivas, O. Leitermann, Y. Han, and D. J. Perreault, “A very high frequency DC-DC converter based on a class Φ_2 resonant inverter,” *IEEE Trans. Power Electron.*, vol. 26, no. 10, pp. 2980–2992, Oct. 2011.

[94] A. D. Sagneri, D. I. Anderson, and D. J. Perreault, “Transformer synthesis for VHF converters,” in *Proc. Int. Power Electron. Conf.*, 2010, pp. 2347–2353.

[95] M. Kovacevic, A. Knott, and M. A. E Anderson, “A VHF interleaved self-

oscillating resonant SEPIC converter with phase-shift burst-mode control," in *Proc. Appl. Power Electron. Conf. Expo.*, 2014, pp. 1402–1408.

[96] W. Inam, K. K. Afridi, and D. J. Perreault, "High efficiency resonant DC/DC converter utilizing a resistance compression network," *IEEE Trans. Power Electron.*, vol. 29, no. 8, pp. 4126–4135, Aug. 2014.

[97] D. Fu, *Topology Investigation and System Optimization of Resonant Converters*, Ph.D. Dissertation, Virginia Tech, 2010.

[98] M. K. Kazimierczuk, *High-Frequency Magnetic Components*, 2nd ed. New York, NY, USA: Wiley, 2014.

ABSTRACT

This dissertation proposes an analysis and design of high-frequency single-ended resonant DC-DC converters with small inductance. The single-ended converters with a single ground-referenced switch feature simpler gate driving circuitry compared to bridge-type converters. The Class E converter, one of the single-ended resonant converters, is commonly used in several tens-MHz applications. It is because it exhibits not only low turn-on switching loss and noise due to zero voltage switching (ZVS) at turn-on but also low turn-off switching loss. However, the large input filter inductance of the classical Class E converter hampers achieving higher power density and faster dynamic response.

Therefore, to address the disadvantages of the Class E converter, this dissertation investigates the single-ended resonant converter with small input inductance. The main contribution of this work is to propose a single-ended resonant switching cell as an analytic model and analyze the resonant switching cell without confining the duty ratio of the switch or the resonant frequency of the resonant network to the specific values. By doing so, it is possible to optimize the design of the resonant switching cell based on the analysis. The objective function for design optimization in this work is set to minimize the resonant current magnitude and conduction loss. The conventional Class E converter necessarily requires the large resonant current for ZVS since the input current is DC due to the large input filter inductor. On the other hand, reducing the input inductance can decrease the magnitude of the resonant current if the phase angle of the input current ripple is adjusted suitably. Thus, the design method presented in this dissertation focuses on finding this design condition to minimize the resonant current magnitude and conduction loss.

Besides, the analysis and design of the proposed single-ended resonant switching cell account for both forward and reverse power flows; the resonant inverter and rectifier can be analyzed and designed in the same manner by duality principle.

Consequently, the analysis and design of one resonant switching cell can be applied to those of the single-ended resonant DC-DC converter configured by cascading the inverter and the rectifier cells. Furthermore, the analysis and design based on the proposed resonant switching cell allow simple implementation of synchronous rectification (SR) or bidirectional DC-DC converters.

The simulation results and the experiment results from a 10-MHz GaN-based prototype demonstrate the effectiveness and superiority of the proposed analysis and design for single-ended resonant DC-DC converters.

Keywords : Resonant switching cell, Single-ended resonant DC-DC converter, Zero voltage switching (ZVS)

Student Number : 2013-20839