



공학전문석사 학위 연구보고서

Poly-Si TFT와 IGZO TFT를 이용한 AMOLED 디스플레이용 디지털 집적회로 연구

Study on Digital Integrated Circuits for AMOLED Display Using Poly-Si TFTs and IGZO TFTs

2021년 2월

서울대학교 공학전문대학원 응용공학과 응용공학전공

김 광 민

Poly-Si TFT와 IGZO TFT를 이용한 AMOLED 디스플레이용 디지털 집적회로 연구

Study on Digital Integrated Circuits for AMOLED Display Using Poly-Si TFTs and IGZO TFTs

지도교수 황 철 성

이 논문을 공학전문석사 학위논문으로 제출함 2021년 2월

> 서울대학교 공학전문대학원 응용공학과 응용공학전공 김 광 민

김광민의 공학전문석사 학위논문을 인준함 2021년 2월



본 연구는 AMOLED¹ 디스플레이의 CMOS² 구동회로를 p-type의 LTPS³ TFT⁴와 n-type의 AOS⁵ TFT의 hybrid 구조로 구현한 내용을 주제로 한다. LTPS TFT는 ELA 결정화를 통해 형성된 poly-si를 반도체 물질로 사용하였고, AOS TFT는 IGZO⁶를 반도체 물질로 사용하였다. 이와 같은 hybrid 구조로 inverter 및 ring oscillator 회 로를 설계 및 제작하였고, 각각의 TFT 소자와 회로 특성을 측정하였다. Hybrid의 구조의 CMOS inverter가 full-swing 동작을 하는 것을 확인하였고, ring-oscillator 가 150µs주기로 oscillation함을 확인하였다. 이를 통해 TFT소자 특성이 좀 더 개선 된다면 더 다양한 AMOLED용 구동회로를 저전력의 hybrid CMOS 구조로 제작할 수 있음을 보였다.

주요어: AMOLED, Poly-Si TFT, IGZO TFT, Inverter, Ring Oscillator, Shift Register

학번: 2019-22569

¹Active-matrix organic light emitting diode

²Complementary metal oxide semiconductor

³Low-temperature poly-crystalline silicon

⁴Thin-film transistor

⁵Amorphous oxide semiconductor

⁶Indium-gallium-zinc oxide

목차

I.	서	론		1
II.	관	련 연구		4
	2.1	AMOL	.ED 디스플레이와 TFT소자	4
		2.1.1	Low Temperature Poly-Si TFT	6
		2.1.2	비정질 산화물 반도체 TFT	10
		2.1.3	LTPS AOS TFT Hybrid 구조	11
III	[. 본	문		13
	3.1	TFT 및	! 인버터의 구조 및 동작	13
		3.1.1	TFT의구조 및 동작	13
		3.1.2	인버터의 구조 및 동작	15
	3.2	제작 .		17
	3.3	측정 .		22
		3.3.1	TFT 특성 측정	22
		3.3.2	Inverter 특성 측정	29
		3.3.3	Ring Oscillator 특성 측정	31
	3.4	시뮬레	이션	33
		3.4.1	TFT modeling	33
		3.4.2	Shift Register	37
IV	. 결	론		41
참	고문	헌		42

Abstract	45
----------	----

표목차

표 2.1.	LTPS TFT와 a-Si TFT 특성 비교	8
표 3.1.	LTPS TFT의 특성 파라미터	23
표 3.2.	IGZO TFT의 특성 파라미터	25
표 3.3.	Inverter의 특성 파라미터	30
표 3.4.	Tri-state inverter 진리표	40

그림목차

그림 2.1.	AMOLED 디스플레이의 기본 화소 : 2 Transistors, 1 Capacitor	5
그림 2.2.	ELA 결정화	7
그림 2.3.	비정질 실리콘, 다결정 실리콘과 단결정 실리콘의 구조 비교	7
그림 2.4.	T ₂ 의 누설전류로 인한 C _{ST} 전압 왜곡	9
그림 2.5.	LTPS TFT 누설전류로 인한 1 frame 동안의 휘도 변화	10
그림 2.6.	TFT별 On-Off 전류 비율	11
그림 3.1.	박막 트랜지스터의 대표적인 구조	13
그림 3.2.	n형 TFT의 일반적인 Transfer Curve (a) 및 Output Curve (b).	14
그림 3.3.	CMOS 인버터 회로도	16
그림 3.4.	^β _ρ 에 의한 인버터 특성 변화	17
그림 3.5.	가속전압과 poly-si 면저항	19
그림 3.6.	5 mask Fabrication Process Flow (a) Poly-Si patterning (b) self-	
	aligned gate for p-channel (c) IGZO patterning (d) contact hole	
	patterning (e) Source/drain electrode	21
그림 3.7.	LTPS p-type TFT I-V Transfer 특성 및 Field-Effect Mobility .	23
그림 3.8.	LTPS p-type TFT I-V Transfer 특성 및 게이트 누설 전류	24
그림 3.9.	IGZO n-type TFT의 I-V Transfer 특성 및 Field-Effect Mobility	25
그림 3.10.	IGZO n-type TFT I-V Transfer 특성 및 게이트 누설 전류	26
그림 3.11.	웨이퍼에서 제작한 IGZO n-type TFT의 I-V Transfer 특성 및	
	Field-Effect Mobility	27
그림 3.12.	웨이퍼에서 제작한 IGZO n-type TFT I-V Transfer 특성 및 게	
	이트 누설 전류	28
그림 3.13.	Inverter 광학현미경 이미지	29

그림 3.14. Inverter의 Voltage Transfer 특성 및 Gain	30
그림 3.15. 9-stage Ring Oscillator 회로도	32
그림 3.16. 9-stage Ring Oscillator	32
그림 3.17. Ring Oscillator 출력 특성	33
그림 3.18. LTPS p-type TFT I-V Transfer Curve Fitting	34
그림 3.19. IGZO n-type TFT I-V Transfer Curve Fitting	35
그림 3.20. Inverter의 Voltage Transfer 특성 측정 결과와 시뮬레이션 결과	36
그림 3.21. Ring Oscillator 출력 특성 시뮬레이션	37
그림 3.22. Shift Register 회로도1	38
그림 3.23. Shift Register 회로도2	39
그림 3.24. Shift Register 동작 파형	39
그림 3.25. Shift Register 출력 특성 시뮬레이션	40

제1장

서론

Active-matrix organic light emitting diode (AMOLED) 디스플레이는 각각의 화소에 존재하는 OLED 소자에 알맞은 전류를 흘려서 원하는 밝기의 빛을 내는 장치이다. OLED에 적절한 전류를 흘리기 위해서는 전기신호를 제어하는 화소 회 로가 있어야 한다.[1] 화소 회로는 다수의 thin-film transistor(TFT)로 구성된다. 화 소를 구성하는 TFT는 역할에 따라 Driving TFT와 Switching TFT로 나누어진다. Driving TFT는 OLED에 전류를 흘리는 역할을 하고, Switching TFT는 On/Off동 작을 통해 Driving TFT가 전류를 흘려야 할때 Driving TFT에 알맞은 전압을 인가 하는 역할을 한다. 비교적 짧은 시간동안 OLED에 전류가 흐르게 하기 위해서는 Driving TFT가 전류를 흘리는 능력이 좋아야 하므로 높은 전자이동도 특성을 가지 는 Driving TFT가 요구된다.[2][3] Low-temperature poly-silicon (LTPS) TFT는 높은 전자이동도 특성을 가지고 있어 현재까지 AMOLED 디스플레이장치에서 중 요한 TFT소자로 사용되어 왔다. TFT의 크기를 작게 만들더라도 비교적 많은 전류 를 흘릴 수 있기 때문에 LTPS TFT는 고해상도의 높은 개구율을 가지는 AMOLED 디스플레이 제작을 가능하게 한다.

최근 VRR (Variable Refresh Rate) 기술이 각광을 받고 있다. VRR은 움직이 는 영상에서는 구동 주파수를 높여 화면에 잔상이 생기는 Motion blur를 개선하고, 정지된 이미지가 오랜 시간 바뀌지 않는 경우 구동 주파수를 최대한 낮추어 디스 플레이 전력 소모를 줄이는 구동 방식이다. 그런데 VRR을 구현하는데 있어 LTPS TFT는 한계를 가지고 있다. 같은 밝기의 전압값을 화소에 입력하더라도 Switching TFT로 사용되는 LTPS TFT는 비교적 높은 off current 특성을 가지기 때문에 frame 의 길이에 따라 실제로는 입력값의 의도와는 다른 밝기를 출력하게 된다. frame의 길이가 길어질수록 off current로 인해 본래 의도한 밝기와의 차이가 더욱 커지게 되고, 결국 왜곡된 정보를 표시하게 된다. 낮은 off current 특성은 디스플레이의 휘도가 1frame 동안 일정하게 유지되기 위해 switching TFT 소자가 가져야 하는 중요한 특성이다.

Amorphous oxide semiconductor (AOS) thin-film transistor(TFT)는 매우 낮은 off current 특성의 장점을 지니고 있다. 이로 인해 AOS TFT에 대한 관심이 높아 지고 있다. 특히 Indium-gallium-zinc oxide (IGZO)는 AOS 중에서 가장 널리 사용 되고 있는 반도체 재료 중 하나이다.[4] 하지만 IGZO TFT의 전자이동도와 구동 안정성 특성은 기존에 AMOLED 디스플레이 장치에 널리 사용되던 LTPS TFT가 가지는 특성에 비해 열등하다. 그렇기 때문에 Driving TFT로 전류 특성이 뛰어난 LTPS TFT를 사용하고 Switching TFT로 Off current 특성이 뛰어난 IGZO TFT를 사용하고 Switching TFT로 Off current 특성이 뛰어난 IGZO TFT를 사용하는 구조가 등장하였다. [5]

LTPS TFT와 IGZO TFT로 구성되는 hybrid 구조는 각각의 TFT 소자가 가지 는 장점을 활용할 수 있는 구조이다. 이 구조는 화소회로가 VRR을 구현할 수 있게 해 줄뿐만 아니라 AMOLED 디스플레이 장치에 다양한 회로적인 가능성을 열어준 다. 특히 p-type의 LTPS TFT와 n-type의 AOS TFT를 결합한 CMOS 디지털 회로를 구현할 수 있다는 점은 매우 주목할만한 부분이다. [6][7] 왜냐하면 CMOS 디지 털 회로는 PMOS나 NMOS 소자로만 구성되는 uni-polar pseudo CMOS회로에 비 해 구성되는 소자의 수가 적고 전력소모가 훨씬 낮은 장점을 지니기 때문이다.[8] 그러므로 본 연구는 앞으로 AMOLED 디스플레이 장치에 주로 사용될 것이라고 기대되는 LTPS TFT와 AOS TFT의 hybrid 구조를 이용한 CMOS 디지털 집적회로 에 대한 내용을 주제로 한다. 구체적으로 Excimer laser annealing (ELA) 결정화를 통한 p-type LTPS TFT와 Sputter를 통해 적층된 n-type의 AOS TFT를 제작하여 각각의 소자의 특성을 확인하였다. 또한 LTPS TFT와 AOS TFT가 결합된 구조의 CMOS Inverter 및 9단 Ring Oscillator회로를 제작하고 회로의 전기적 특성을 측정 하였다. 이를 통해 LTPS TFT와 AOS TFT로 구성된 hybrid CMOS 회로의 성능을 확인하고, 디스플레이 구동회로로서의 적용 가능성을 살펴보고자 하였다.

제2장

관련 연구

2.1 AMOLED 디스플레이와 TFT소자

AMOLED 디스플레이는 스스로 빛을 내는 OLED 소자를 사용하기 때문에 별 도의 광원(BLU, Backlight Unit)이 필요하지 않다. 그렇기 때문에 AMOLED 디스 플레이의 두께는 BLU가 필요한 LCD 디스플레이의 두께보다 얇다. 이는 AMOLED 디스플레이를 채용한 스마트폰 등의 장치가 더 나은 디자인과 성능을 가질 수 있게 한다. 디스플레이 두께가 얇아지면 모바일 장치를 보다 얇은 디자인으로 제작할 수 있고, 같은 두께의 스마트폰 이라면 배터리 용량을 더욱 확장할 수 있기 때문이 다. 또한 자발광 소자를 사용하기 때문에 기판(Backplane)을 플라스틱 등의 유연한 소재로 제작할 경우 flexible 디스플레이가 가능하다는 것도 AMOLED 디스플레이 장치가 갖는 장점 중의 하나이다. AMOLED 디스플레이가 갖는 이와 같은 강점 들로 인해 지난 10여년간 AMOLED 디스플레이 시장이 폭발적으로 성장하였고 AMOLED 디스플레이는 대부분의 하이엔드급 모바일 기기에 채용되어 고급 디스 플레이 장치로 자리매김하였다.[9]

AMOLED 디스플레이의 핵심 소자인 OLED는 흐르는 전류의 크기만큼 빛을 내는 유기물 LED 소자이다. 각각의 화소는 OLED가 필요로 하는 전류를 흘릴 수 있는 회로로 구성된다. AMOLED 디스플레이의 기본 화소의 회로 구성은 그림 2.1 과 같다.



그림 2.1: AMOLED 디스플레이의 기본 화소 : 2 Transistors, 1 Capacitor

그림 2.1에서 T₁은 Driving TFT, T₂는 Switching TFT, C_{ST}는 Storage Capacitor 를 나타낸다. V_{SCAN}에 의해 T₂가 켜지면 V_{DATA}가 C_{ST}에 저장이 된다. 그리고 T₁ 이 V_{DATA} 전압 값에 해당하는 전류를 OLED에 흘린다. AMOLED 디스플레이가 밝은 휘도를 내기 위해서는 T₁이 짧은 시간동안 많은 전류를 흘릴 수 있어야 한다. 그러므로 높은 전자 이동도를 가진 Poly-Si TFT가 AMOLED 디스플레이용 소자로 많이 사용되어 왔다.

2.1.1 Low Temperature Poly-Si TFT

AMOLED 디스플레이는 주로 저온 다결정 실리콘 (Low Temperature polycrystalline silicon, LTPS) TFT를 사용해 왔다. 높은 해상도의 디스플레이를 구현하 기 위해서는 transistor가 매우 짧은 시간동안 동작을 해야 하기 때문에 전자 이동도 특성이 중요하기 때문이다. poly-si TFT 연구는 1980년대 초부터 평판 디스플레 이 산업이 발전하면서 활발히 이루어졌다. 1982년에 최초로 poly-si TFT를 사용한 Seiko-Epson사의 3inch TFT-LCD 제품이 출시되었다. 이후로 poly-si TFT 연구 및 개발이 가속화 되었고 엑시머 레이저 어닐링 결정화 (Excimer Laser Annealing, ELA)를 이용하여 poly-si을 제작하는 방식이 도입되었다.[10] ELA 결정화 방식은 650°C이하에서 결정화가 가능하므로 유리 기판이 변형되지 않는 장점을 가지고 있다. 이로 인해 주요 평판 디스플레이 생산 업체들이 ELA 결정화 방식을 채택하 였다. 그림 2.2¹는 ELA를 이용한 poly-si 결정화 공정을 보여준다. ELA를 이용하여 비정질 실리콘을 결정화하면 수많은 실리콘 결정립(grain)을 갖는 다결정 실리콘이 만들어진다. 그림 2.3²은 비정질 실리콘과 다결정 실리콘, 그리고 단결정 실리콘의 구조를 보여준다. 결정립 내에서의 전자 이동도는 단결정 실리콘과 유사한 빠른 전자 이동도를 갖기 때문에 다결정 실리콘의 전자 이동도는 비정질 실리콘의 전자 이동도보다 훨씬 증가하게 된다. 표2.1[11]의 내용과 같이 보통 다결정 실리콘의 전자 이동도는 비정질 실리콘의 전자 이동도보다 50배 이상 크다.

¹https://www.industrial-lasers.com/surface-treatment/article/16485088/silicon-annealing-enablesadvanced-displays

²https://news.samsungdisplay.com/21270



그림 2.2: ELA 결정화



그림 2.3: 비정질 실리콘, 다결정 실리콘과 단결정 실리콘의 구조 비교

	LTPS TFT	a-Si TFT	
Mobility	50~200	0.5~1	
Type of TFT	PMOS and NMOS	NMOS	
TFT uniformity	Worse	Better	
Numbers of Process	9mask \sim 10mask	4 mask ~ 5 mask	
Cost (array only)	High	Low	
Cost (module)	Low (Built-in Driver)	High (External Driver)	
Equipment Investment	High	Low	
Yield	Low	High	
Overall cost	Cheaper in small size panel	Lower cost in large size panel	
Output Current Stability	High	Low	
OLED degradation	Not sensitive	Sensitive	

표 2.1: LTPS TFT와 a-Si TFT 특성 비교

LTPS TFT는 전자 이동도의 장점을 가진 반면 TFT가 Off 상태일 때 소스와 드 레인 간에 흐르는 누설 전류가 크다는 단점을 가지고 있다. 최근 각광을 받는 VRR (Variable Refresh Rate) 기술은 1frame의 시간을 변화시키면서 Motion blur를 개 선하고, 디스플레이 전력 소모를 줄이는 구동 방식이다. LTPS TFT는 비교적 높은 누설 전류 특성을 가지기 때문에 LTPS TFT로만 구성된 화소로 VRR기술을 구현하 는데는 어려움이 있다. 그림 2.4와 같이 T₂의 누설전류가 비교적 크기 때문에 C_{ST} 에 기록된 V_{DATA} 전압 정보는 한 frame의 시간동안 변경되어 OLED에 흐르는 전 류의 크기를 왜곡하고 결국 OLED가 내는 빛의 양을 왜곡하게 된다. 특히 frame의 길이가 길어질수록 더 많은 누설전류가 발생하여 휘도 왜곡이 심화된다. 시간에 따 른 디스플레이의 밝기 변화 예시는 그림 2.5에 표현되어 있다. 이와 같은 LTPS TFT 의 한계로 인해 새로운 TFT소자에 대한 필요성이 대두되었고, 누설전류 특성이 탁 월한 비정질 산화물 반도체 TFT 소자를 AMOLED 디스플레이 화소에 도입하게 되었다.[12]



그림 2.4: T₂의 누설전류로 인한 C_{ST} 전압 왜곡



그림 2.5: LTPS TFT 누설전류로 인한 1 frame 동안의 휘도 변화

2.1.2 비정질 산화물 반도체 TFT

비정질 산화물 반도체(Amorphous Oxide Semiconductor, AOS) TFT의 Off 누 설 전류는 LTPS TFT에 비해 매우 적다. 왜냐하면 TFT 가 off된 상태에서는 TFT 의 게이트 전극에 음전위가 가해지고 이로 인해 전도대 휘어짐이 발생하여 소스 전극에서 전자로 구성된 열적 확산 전류가 채널 영역으로 흐를 수 없기 때문이다. 또한 산화물 반도체는 비교적 넓은 밴드갭을 가지기 때문에 정공에 의한 확산 전 류 또한 발생하기 어렵다. 정공에 의한 터널링 전류 또한 발생하기 어려운데 이는 정공이 10정도의 매우 큰 유효질량을 갖기 때문이다.[13] 단결정 실리콘 반도체 소 자의 누설전류보다 10⁹배나 적은 누설전류를 갖는 비정질 반도체 소자가 보고된 바도 있다.[14] 그림2.6³는 LTPS TFT, a-Si과 IGZO TFT의 On, Off 전류를 나타낸 그래프이다.

 $^{^{3}} https://www.displaydaily.com/paid-news/ldm-mdm/technology/panel-makers-looking-at-ltps-oxide-hybrids$



그림 2.6: TFT별 On-Off 전류 비율

2.1.3 LTPS AOS TFT Hybrid 구조

Apple사에서 최근 LTPS TFT로 구성된 AMOLED 화소에서 switching TFT만 비정질 산화물 반도체 TFT로 바꾸어 누설 전류 특성을 개선하는 hybrid 구조를 발표하였다. Apple사는 이 hybrid 구조를 LTPO⁴라고 명명하였다. Apple Watch Series 4를 LTPO구조로 대량생산하였다고 보고한 Apple사는 어떠한 화질 결함없이 LTPO기술로 1-60Hz의 VRR를 구현하였다고 발표하였다.[5] LTPS TFT와 IGZO TFT로 구성되는 hybrid 구조는 각각의 TFT 소자가 가지는 장점을 활용할 수 있는 구조로 다양한 회로적인 가능성을 열어준다. 특히 p-type의 LTPS TFT와 n-type의 AOS TFT를 결합한 CMOS 디지털 회로를 구현할 수 있다는 점은 저전력의 복잡

⁴Low-temperature Poly-Crystalline Silicon and Oxide

도가 낮은 AMOLED 구동회로로의 전환이 가능하다는 점에서 매우 고무적이다. [8] 이 부분에 주목하여 LTPS TFT와 AOS TFT의 hybrid 구조를 이용한 CMOS 디 지털 집적회로를 설계 제작하였다. 각각의 소자의 특성을 확인하였고, LTPS TFT 와 AOS TFT가 결합된 구조의 CMOS Inverter 및 9-Stage Ring Oscillator회로를 제작하여 회로의 전기적 특성을 측정하였다. 이를 통해 LTPS TFT와 AOS TFT로 구성된 hybrid CMOS 회로의 성능을 확인하고, 디스플레이 구동회로로서의 적용 가능성을 살펴보고자 하였다.

제3장

본문

3.1 TFT 및 인버터의 구조 및 동작

3.1.1 TFT의 구조 및 동작

TFT는 반도체층, 절연막층, 전극층의 적층 순서에 따라 다양한 구조를 갖는 다. 그림 3.1은 TFT의 대표적인 구조를 나타낸다.



그림 3.1: 박막 트랜지스터의 대표적인 구조

Staggered 구조는 게이트 전극층과 소스/드레인층이 반도체층을 사이에 두고 서로 다른 층에 적층된 구조이다. Staggered 구조와 Inverted staggered 구조는 게 이트 전극층이 먼저 적층되는지 소스/드레인 전극층이 먼저 적층되는지에 따라 구 분된다. Coplanar 구조는 게이트 전극층과 소스/드레인층이 반도체층을 기준으로 같은 평면에 적층된 구조이다. Coplanar 구조와 Inverted coplanar구조는 반도체층 이 먼저 적층되는지 전극층이 먼저 적층되는지에 따라 구분된다. 본 연구에서는 Coplanar 구조와 Inverted coplanar 구조를 사용하여 TFT를 제작하였다.

그림3.2은 n형 TFT의 일반적인 Transfer curve 및 output curve를 나타낸다.



그림 3.2: n형 TFT의 일반적인 Transfer Curve (a) 및 Output Curve (b)

TFT의 게이트 노드와 소스 노드 사이의 전압인 V_{gs} 가 문턱전압 V_{th} 보다 클 경 우 반도체와 게이트 절연체 사이의 계면에 현저한 양의 carrier가 축적되고, 소스와 드레인 사이에 많은 양의 전류 I_{ds} 가 흐르게 된다. 이 때 I_{ds} 의 크기는 V_{ds} 의 크기에 따라 변화되고, 이 상태를 On-state라고 한다. V_{ds} 와 V_{gs} 의 크기 관계에 따라 Onstate를 두 가지 영역으로 나눌 수 있다. 첫째는 선형 영역으로 $V_{ds} < V_{gs} - V_{th}$ 일 경우에 해당한다. 이 때 전류 I_{ds} 의 크기는 식 (3.1)과 같다.

$$I_{ds} = \mu_{FE} C_{ox} \frac{W}{L} \left[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right]$$
(3.1)

식 (3.1)에서 μ_{FE} 는 전계효과 이동도, C_{ox} 는 게이트 절연막의 단위 면적당 커패시 턴스, W는 채널의 폭, L은 채널의 길이를 의미한다. 두번 째는 포화 영역으로 V_{ds} > V_{gs} - V_{th} 일 경우에 해당한다. 이 때 I_{ds}는 V_{ds}의 크기에 거의 영향을 받지 않는
것처럼 보이게 되고, 식(3.2)과 같이 V_{gs}의 크기에만 의존하게 된다.

$$I_{ds} = \frac{1}{2} \mu_{sat} C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$
(3.2)

전류식을 통해 전계효과 이동도에 대해 정리하면 다음과 같은 식이 도출된다.

$$\mu_{FE} = \frac{g_m}{C_{ox} \frac{W}{L} V_{ds}} \tag{3.3}$$

여기서 트랜스컨덕턴스 gm은 다음과 같다.

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \bigg|_{V_{ds} < V_{ds}(sat)}$$
(3.4)

TFT의 중요한 특성 파라미터 중 또 다른 하나는 subthreshold swing(SS)이다. 이는 V_{th}이하 영역에서 I_{ds}를 10배 증가시키기 위한 V_{gs} 변화량으로 SS를 통해 트랜지 스터의 스위칭 특성을 알 수 있다. SS를 구하는 수식은 다음과 같다.

$$SS = \frac{\partial V_{gs}}{\partial (\log I_{ds})} \tag{3.5}$$

3.1.2 인버터의 구조 및 동작

인버터는 가장 대표적인 디지털 회로 중 하나로 True(1) 입력에 대해서 False(0) 를 출력하고 False(0) 입력에 대해서는 True(1)를 출력하여 논리적으로 NOT의 기 능을 하는 회로이다. 다양한 인버터 회로 중 P형 트랜지스터와 N형 트랜지스터로 구성된 CMOS 인버터는 가장 단순한 회로 구조를 가지고 있으며 저전력, 고성능의 장점을 가진다. CMOS 인버터의 회로도는 그림 3.3에 나타나 있다.



그림 3.3: CMOS 인버터 회로도

인버터를 설계할 때 중요한 파라미터는 베타(β)이다. 베타는 수식 (3.6)으로 표현된다.

$$\beta_{n,p} = \mu_{n,p} C_{ox} \frac{W}{L} \tag{3.6}$$

n형과 p형 반도체의 β 비율에 의해 출력의 전이가 일어나는 지점이 결정되며, 이 지점을 구동 전압의 중심 값의 위치로 설정할 때 잡음 여유도를 최적화 할 수 있다. 이는 그림 3.4으로 표현 된다.



그림 3.4: 🖧 에 의한 인버터 특성 변화

본 연구에서는 선행 연구들의 문헌 정보에 의거하여 poly-si TFT의 전계효과 이동도를 IGZO TFT의 전계효과 이동도의 10배라고 가정하여 실험을 진행하였다. 따라서 IGZO TFT의 W를 poly-si TFT의 W보다 10배로 크게 설계하여 β 비율을 최적화 하였다.

3.2 제작

그림 3.6은 hybrid CMOS 회로의 제작 공정을 보여준다. p-type의 LTPS TFT 는 top-gate co-planar 구조로 제작되었고, n-type의 IGZO TFT는 bottom gate의 inverted staggered 구조로 제작되었다. 자세한 공정의 내용은 아래와 같다. 먼저 유리기판에 SiO₂와 SiN_x로 구성된 buffer층 및 a-Si박막을 PECVD로 형성한 후 ELA를 이용한 결정화를 진행하였다. 결정화를 통해 poly-Si을 형성하였다. Photolithography 공정으로 PR patterning을 진행하였고 reactive ion etching (RIE)로 poly-Si을 건식 식각하여 island형태의 활성층(active layer)을 형성하였다.[15] RIE는 RF 파워 30W, 사용 압력 50mTorr, Ar 10sccm, SF₆ 5sccm 조건에서 31초 동안 진행되었 고, 이 조건에서 poly-si의 etch rate는 약 15Å/s 이었다. 게이트 절연막으로 사용된 SiO₂ 박막은 PECVD를 통해 100nm두께로 형성되었다. 게이트 전극은 3nm두께의 Ti금속과 210nm두께의 W금속을 사용한 W/Ti 2중막 전극으로 형성되었으며, liftoff 공정으로 패턴을 형성하였다. 이 때 형성된 게이트 패턴은 LTPS TFT의 상부 게이트역할과 동시에 IGZO TFT의 하부 게이트 역할을 하였다. 게이트 전극 형성 후 소스/드레인 영역의 게이트 절연막 제거 공정 없이 100nm의 SiO₂가 poly-si을 덮은 상태에서 소스/드레인 영역에 boron을 ion implantation 방식으로 주입하였다. 소스/드레인 영역 이온 주입을 위한 별도의 photo 공정을 추가하지 않았고, Selfaligned process로 진행하였다.[16] 최적의 projected range를 확인하기 위해 그림 3.5와 같이 가속 에너지를 30~45keV 범위로 조절하여 실험하였으며 적정 가속에 너지는 42~43keV인 것을 확인하였다. 이온의 농도는 10¹⁵, Beam 전류는 약 57μA 로 진행되었다. 이온 주입 이후 poly-si 층의 Activation을 위해 RTA에서 600°C로 45초동안 열처리하였다.



그림 3.5: 가속전압과 poly-si 면저항

LTPS TFT의 interlayer dielectric으로 150nm의 SiO2 박막을 PECVD로 적층 하였고 이 층은 동시에 IGZO TFT의 게이트 절연막의 역할을 하였다. IGZO층은 sputter 공정을 통해 50nm 두께로 SiO2 박막 위에 형성되었고 photolithography공정 과 HF를 이용한 습식 식각으로 island 형태의 active pattern을 형성하였다. Poly-Si 의 source/drain영역에 금속 전극을 연결하기 위한 contact hole 공정은 6:1 buffered oxide etchant (BOE)를 이용한 습식 식각으로 SiO2 박막을 제거하는 것으로 진행 되었다. 소스/드레인 전극은 게이트 전극과 동일하게 3nm두께의 Ti금속과 210nm 두께의 W금속으로 Sputtering한 후 Lift-off 공정으로 LTPS TFT와 IGZO TFT의 전 극을 동시에 형성하였다. [17]그리고 350°C, 대기에서 1시간동안 Furnace로 열처 리를 진행하였다.[18] 총 5mask 공정으로 소자를 제작하였고, 모든 Photo 공정은 반도체공동연구소의 Maskless Patterning System 장비(DL-1000 HP)로 진행되었 다. 전자의 전계 효과 이동도 비율을 고려하여 LTPS TFT의 channel width/length는 6µm/6µm, IGZO TFT의 channel width/length는 60µm/6µm로 제작되었다.











그림 3.6: 5 mask Fabrication Process Flow (a) Poly-Si patterning (b) self-aligned gate for p-channel (c) IGZO patterning (d) contact hole patterning (e) Source/drain electrode

3.3 측정

5mask 공정으로 제작된 p형 및 n형 TFT, 인버터, 링 오실레이터의 출력 특성 을 측정하였다. 측정에는 HP사의 4155B Semiconductor Parameter Analyzer, Tektronix사의 AFG3011C Arbitrary Function Generator 및 Teledyne LeCroy사의 WaveSurfer® 62MXs-B 오실로스코프가 사용되었다.

3.3.1 TFT 특성 측정

그림 3.7는 인버터에 사용된 p-type LTPS TFT (Width/Length = 6µm/6µm)의 I-V transfer curve이다. p-type TFT 소자의 On-Off ratio는 ~ 10^6 (@V_d = 5.1V)이고 threshold voltage (V_{th})는 -5.3V, subthreshold swing (SS)는 1.064V/dec, field effect mobility는 57.5cm²/V·s로 측정되었다.



그림 3.7: LTPS p-type TFT I-V Transfer 특성 및 Field-Effect Mobility

	W/L	V_{th}	SS	μ_{FE}
	μ m]	[V]	[V/dec]	$[cm^2/V \cdot s]$
LTPS TFT	6/6	-5.3	1.064	57.5

표 3.1: LTPS TFT의 특성 파라미터

표 3.1는 LTPS TFT의 특성 파라미터를 추출하여 정리한 표이다.



그림 3.8: LTPS p-type TFT I-V Transfer 특성 및 게이트 누설 전류

그림 3.8은 poly-si TFT의 게이트 누설 전류 곡선을 추가한 그래프이다. 이 그래프를 통해 PECVD로 형성한 SiO₂ 유전 박막이 높은 게이트 전위에서 많은 누 설 전류를 야기하는 것을 볼 수 있다. 이로 인해 off current가 더욱 증가한 것으로 보이며, 트랜지스터의 On/Off 특성이 저하되었다고 생각할 수 있다.

Inverter의 n-type 소자로 사용된 IGZO TFT(Width/Length = 60µm/6µm)의 I-V transfer curve는 그림 3.9와 같다. n-type TFT 소자의 On-Off ratio는 ~ 2x10⁶ (@Vd = 5.1V)이고 Vth는 1.67V, SS는 1.136V/dec, saturation mobility는 19.48cm²/V·s로 측정되었다.



그림 3.9: IGZO n-type TFT의 I-V Transfer 특성 및 Field-Effect Mobility

	W/L	V_{th}	SS	μ_{FE}
	[µm]	[V]	[V/dec]	$[cm^2/V \cdot s]$
IGZO TFT	60/6	1.67	1.136	19.48

표 3.2: IGZO TFT의 특성 파라미터

표 3.2는 IGZO TFT의 특성 파라미터를 추출하여 정리한 표이다.



그림 3.10: IGZO n-type TFT I-V Transfer 특성 및 게이트 누설 전류

그림 3.8은 IGZO TFT의 게이트 누설 전류 곡선을 추가한 그래프이다. 이 그 래프를 통해 poly-si TFT와 마찬가지로 PECVD로 형성한 SiO₂ 유전 박막이 높은 게이트 전위에서 많은 누설 전류를 야기하는 것을 볼 수 있다. 특히 off 영역에서 누설 전류가 더욱 크게 발생하였고, 이로 인해 일반적으로 알려진 산화물 TFT의 누설 전류 수준보다 큰 수준의 off 전류가 발생한 것으로 생각된다. 이를 확인하 기 위해 P++ heavily doped silicon 웨이퍼 상에 PECVD로 SiO₂ 게이트 절연층을 만들어 IGZO TFT 특성을 측정하였다. 측정된 Transfer Curve는 그림 3.11과 같다. 게이트 누설전류 특성은 그림 3.12에 나타나 있다.



그림 3.11: 웨이퍼에서 제작한 IGZO n-type TFT의 I-V Transfer 특성 및 Field-Effect Mobility



그림 3.12: 웨이퍼에서 제작한 IGZO n-type TFT I-V Transfer 특성 및 게이트 누설 전류

그림 3.11 및 그림 3.12를 보면, off 영역에서 V_g의 크기가 증가함에 따라 게이 트 전위에 의한 누설 전류가 크게 증가하는 것을 볼 수 있다. 이는 LPCVD에 의해 oxidaton으로 형성된 SiO₂ 유전박막을 사용한 TFT에서는 보기 어려운 특성으로 실험에서 사용된 PECVD에 의한 게이트 누설 전류가 비교적 많이 발생하는 것을 알 수 있다.

하지만 측정을 통해 LTPS TFT 및 IGZO TFT가 각각 P형 및 N형 트랜지스 터의 기능을 하는 것을 확인하였고 각각의 소자들이 CMOS 회로의 구성 소자로 동작하는데 무리가 없없다.

3.3.2 Inverter 특성 측정

그림 3.13 는 제작된 inverter의 광학 현미경 이미지이고 그림 3.3은 제작된 inverter의 schematic을 나타낸다.



그림 3.13: Inverter 광학현미경 이미지



그림 3.14: Inverter의 Voltage Transfer 특성 및 Gain

	NM_H	NM_L	Gain	
	[V]	[V]	[V/V]	
Inverter	7.5	1.4	32	

표 3.3: Inverter의 특성 파라미터

그림 3.14은 p-type LTPS TFT와 n-type IGZO TFT로 구성된 hybrid 형태 inverter의 voltage transfer 특성을 보여준다. 10V 구동 전압 조건에서 (VDD =10V, VSS = 0V) 전체 동작을 측정하였고, full swing 작동을 하는 것을 확인하였다. Noise margin high (NM_H)는 7.5V, noise margin low (NM_L)는 1.4V이다. Voltage gain은 32V/V로 측정되었다. NM_H가 NM_L보다 상대적으로 큰 이유는 인버터를 설계할 때 가정한 β_p, β_n의 비율이 실제 제작한 소자가 보이는 β_p, β_n의 비율과 다 르기 때문이다. P형 TFT의 전계 효과 이동도가 N형 TFT의 전계 효과 이동도 대비 10배라고 가정하고 β를 산정하였으나 제작한 소자에서는 3배가량의 차이를 보였 다. 이로 인해 ^V/₂보다 왼쪽으로 크게 치우친 지점에서 인버터 스위칭이 일어났고 NM_L이 1.4V로 작게 나오게 되었다. 그러나 전체 잡음 여유도는 약 8.9V로 큰 값 을 가지기 때문에 TFT의 W를 조절하여 β 비율을 최적화한다면 NM_L, NM_H 모두 비교적 큰 값을 얻을 수 있을 것이라고 생각된다. 표 3.3는 제작된 Inverter의 특성 을 정리한 표이다. LTPS TFT와 IGZO TFT의 hybrid CMOS구조의 인버터는 full swing 동작을 보이고 32V/V의 비교적 큰 전압 이득 성능을 보인다. 이를 통해 더 욱 다양한 AMOLED 디스플레이용 디지털 회로를 hybrid CMOS구조로 제작할 수 있을 것으로 판단되고 CMOS 회로가 가지는 단순한 회로 구조와 낮은 전력소모의 장점을 가진 디스플레이 장치를 구현할 수 있을 것으로 기대된다.

3.3.3 Ring Oscillator 특성 측정

Hybrid CMOS구조 인버터의 dynamic 특성 및 delay 특성을 확인하기 위해 9-stage 링 오실레이터를 제작하였다. 그림 3.15은 링 오실레이터의 회로도이다. 9 개의 인버터가 직렬로 연결된 구조이고 파형을 측정하기 위해 fanout 4기준으로 버퍼 2단을 각각 M=4, M=16 크기로 연결하였다. 링 오실레이터의 인버터에 사 용된 소자의 크기는 n형 W/L=60µm/6µm, p형 W/L=8µm/6µm이고, 첫번째 버퍼 에 사용된 소자의 크기는 n형 W/L=240µm (60µm x4)/6µm, p형 W/L=32µm(8µm x4)/6µm, 두번째 버퍼에 사용된 소자의 크기는 n형 W/L=960µm(60µm x16)/6µm, p형 W/L=128µm(8µm x16)/6µm이었다. 제작된 9-stage ring oscillator는 그림3.16 에 나타나 있다.



그림 3.15: 9-stage Ring Oscillator 회로도



그림 3.16: 9-stage Ring Oscillator

9-stage ring oscillator의 측정결과는 그림3.17에 나타나 있다. 9개의 inverter series가 Vdd 10V, Vss -10V에서 150µs주기로 oscillation하는 것을 확인하였다. 발 진 주파수는 6.7kHz이었다. 링 오실레이터를 구성하는 각각의 소자 특성을 측정하 기는 어렵기 때문에 발진 주파수가 비교적 낮게 나온 원인을 찾기는 쉽지 않지만, 링 오실레이터를 구성하는 poly-si TFT 제작 공정시 boron 주입 공정 형태가 높은 gain을 얻은 인버터를 제작했던 이온 주입공정과는 다르게 진행된 점을 생각할 수 있다. 이 차이를 확인하기 위해 인버터를 구성하는 TFT를 모델링하여 추가 시뮬레 이션을 진행하였고 관련 내용은 3.4 시뮬레이션 파트에 기술하였다.



그림 3.17: Ring Oscillator 출력 특성

3.4 시뮬레이션

제작된 TFT소자의 모델링을 진행하였고, 이를 기반으로 Shift Register 시뮬 레이션을 진행하여 회로의 동작 특성 및 성능을 확인해 보고자 하였다.

3.4.1 TFT modeling

그림 3.18은 LTPS TFT를 모델링한 curve를 나타낸다. on영역에서의 fitting은 비교적 정확하게 진행되었고, off영역에서는 gate leakage 특성을 반영하기 어려웠 다. 하지만 구동전압 범위 내에서는 큰 차이가 없이 모델링 되었다.



그림 3.18: LTPS p-type TFT I-V Transfer Curve Fitting

그림 3.19은 IGZO TFT를 모델링한 curve를 나타낸다. LTPS TFT의 경우와 마 찬가지로 on영역에서의 fitting은 비교적 정확하게 진행되었고, off영역에서는 gate leakage 특성을 반영하기 어려웠다. 하지만 구동전압 범위 내에서는 큰 차이가 없이 모델링 되었다.



그림 3.19: IGZO n-type TFT I-V Transfer Curve Fitting

모델링을 진행한 TFT소자로 인버터를 구성하여 Voltage Transfer 특성을 시뮬 레이션하였다. 시뮬레이션 결과는 그림 3.20과 같이 측정결과와 매우 유사한 형태 를 보였다. 이를 통해 회로를 시뮬레이션하는데 큰 문제가 없이 TFT소자가 모델링 된 것이라고 볼 수 있다.



그림 3.20: Inverter의 Voltage Transfer 특성 측정 결과와 시뮬레이션 결과



그림 3.21: Ring Oscillator 출력 특성 시뮬레이션

모델링을 진행한 TFT소자로 링 오실레이터를 구성하여 시뮬레이션을 진행하 였다. 시뮬레이션 결과는 그림 3.21와 같다. 시뮬레이션 상에서 보이는 링 오실레 이터의 동작 주기는 26.9µs, 발진 주파수는 37.1kHz이었다. 이를 통해 개선된 ion 주입공정의 poly-si TFT로 링 오실레이터를 제작할 경우 더욱 좋은 성능의 회로를 제작할 수 있다고 생각된다.

3.4.2 Shift Register

그림 3.22은 AMOLED 디스플레이에 사용할 수 있는 CMOS shift register의 회로도를 나타낸다.



그림 3.22: Shift Register 회로도1

shift register 회로는 그림 3.23와 같이 다시 표현할 수 있으며, shift register가 2개의 tri-state 인버터와 1개의 인버터로 구성되는 것을 볼 수 있다.



Tri-state inverter2

그림 3.23: Shift Register 회로도2

그림 3.24은 shift register의 동작 파형을 나타낸다. 표 3.4는 shift register를 구성하는 각각의 tri-state 인버터의 진리표이다.



그림 3.24: Shift Register 동작 파형

Tri-s	Tri-state inverter 1				Tri-state inverter 2		
CLK	SR IN Q			CLKB	SR OUT	Q	
0	Х	Hi-Z		0	Х	Hi-Z	
1	0	1		1	0	1	
1	1	0		1	1	0	

표 3.4: Tri-state inverter 진리표



그림 3.25: Shift Register 출력 특성 시뮬레이션

그림 3.25은 모델링한 TFT를 기반으로 구성한 shift register의 시뮬레이션 결과이다. 116kHz의 입력 파형에 따라 출력 파형이 4.32µs마다 shift 되어 출력되는 것을 확인할 수 있다. 이는 QHD급 해상도를 가진 AMOLED 디스플레이 장치를 구동할 수 있는 성능이다.

제4장

결론

p-type LTPS TFT와 n-type IGZO TFT를 동일한 기판에 형성하여 inverter와 ring oscillator 회로를 제작하였고, inverter는 full swing 동작 특성을 보여주었다. 이를 통해 LTPS TFT와 AOS TFT의 hybrid 구조의 AMOLED용 CMOS 구동회로 의 적용 가능성을 확인하였다. LTPS TFT의 off current를 줄이고, LTPS, IGZO TFT 각각의 소자의 SS 특성을 더욱 개선한다면 더 좋은 성능의 회로 동작 특성을 얻을 수 있고, 이를 통해 저전력의 AMOLED 회로를 얻을 수 있을 것으로 기대한다. 또 한 inverter 뿐만 아니라 AMOLED display용 digital 회로인 gate driver 등을 hybrid CMOS 구조로 구현하고 전력소모를 줄일 수 있을 것이라고 생각된다.

참고 문헌

- R. Dawson, Z. Shen, D. Furst, S. Connor, J. Hsu, M. Kane, R. Stewart, A. Ipri, C. King, P. J. Green, *et al.*, "The impact of the transient response of organic light emitting diodes on the design of active matrix oled displays," in *International Electron Devices Meeting 1998. Technical Digest (Cat. No. 98CH36217)*, pp. 875–878, IEEE, 1998.
- [2] G. Gu and S. R. Forrest, "Design of flat-panel displays based on organic lightemitting devices," *IEEE Journal of selected topics in quantum electronics*, vol. 4, no. 1, pp. 83–99, 1998.
- [3] Z. Meng and M. Wong, "Active-matrix organic light-emitting diode displays realized using metal-induced unilaterally crystallized polycrystalline silicon thinfilm transistors," *IEEE Transactions on electron devices*, vol. 49, no. 6, pp. 991– 996, 2002.
- [4] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Roomtemperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors," *nature*, vol. 432, no. 7016, pp. 488–492, 2004.
- [5] T.-K. Chang, C.-W. Lin, and S. Chang, "39-3: Invited paper: Ltpo tft technology for amoleds," in *SID Symposium Digest of Technical Papers*, vol. 50, pp. 545– 548, Wiley Online Library, 2019.
- [6] H. Kim, D. Y. Jeong, S. Lee, and J. Jang, "A high-gain inverter with lowtemperature poly-si oxide thin-film transistors," *IEEE Electron Device Letters*, vol. 40, no. 3, pp. 411–414, 2019.
- [7] C. Chen, B.-R. Yang, C. Liu, X.-Y. Zhou, Y.-J. Hsu, Y.-C. Wu, P.-Y. Lu, M. Wong, H.-S. Kwok, H.-P. D. Shieh, *et al.*, "Integrating poly-silicon and ingazno thin-film transistors for cmos inverters," *IEEE Transactions on Electron Devices*, vol. 64, no. 9, pp. 3668–3671, 2017.
- [8] M. Takabatake, J.-i. Ohwada, Y. A. Ono, K. Ono, A. Mimura, and N. Konishi, "Cmos circuits for peripheral circuit integrated poly-si tft lcd fabricated at

low temperature below 600 degrees c," *IEEE transactions on electron devices*, vol. 38, no. 6, pp. 1303–1309, 1991.

- [9] B. Raikes, "Where's the display market headed?," *Information Display*, vol. 36, no. 5, pp. 34–38, 2020.
- [10] T. Sameshima and S. Usui, "Pulsed laser-induced melting followed by quenching of silicon films," *Journal of applied physics*, vol. 74, no. 11, pp. 6592–6598, 1993.
- [11] J.-J. Lih, C.-F. Sung, C.-H. Li, T.-H. Hsiao, and H.-H. Lee, "57.1: Invited paper: Comparison of a-si and poly-si for amoleds," in *SID Symposium Digest of Technical Papers*, vol. 35, pp. 1504–1507, Wiley Online Library, 2004.
- [12] S. Steudel, J.-L. P. van der Steen, M. Nag, T. H. Ke, S. Smout, T. Bel, K. Van Diesen, G. de Haas, J. Maas, J. de Riet, *et al.*, "Power saving through state retention in igzo-tft amoled displays for wearable applications," *Journal of the Society for Information Display*, vol. 25, no. 4, pp. 222–228, 2017.
- [13] Y. Kobayashi, S. Matsuda, D. Matsubayashi, H. Suzawa, M. Sakakura, K. Hanaoka, Y. Okazaki, T. Yamamoto, S. Hondo, T. Hamada, *et al.*, "Electrical characteristics and short-channel effect of c-axis aligned crystal indium gallium zinc oxide transistor with short channel length," *Japanese Journal of Applied Physics*, vol. 53, no. 4S, p. 04EF03, 2014.
- [14] H. Inoue, T. Matsuzaki, S. Nagatsuka, Y. Okazaki, T. Sasaki, K. Noda, D. Matsubayashi, T. Ishizu, T. Onuki, A. Isobe, *et al.*, "Nonvolatile memory with extremely low-leakage indium-gallium-zinc-oxide thin-film transistor," *IEEE journal of solid-state circuits*, vol. 47, no. 9, pp. 2258–2265, 2012.
- [15] L. E. Forget, R. A. Gdula, and J. C. Hollis, "Selective reactive ion etching of polysilicon against sio2 utilizing sf6-cl2-inert gas etchant," July 29 1980. US Patent 4,214,946.
- [16] M. Hatano, H. Akimoto, and T. Sakai, "A novel self-aligned gate-overlapped ldd poly-si tft with high reliability and performance," in *International Electron Devices Meeting. IEDM Technical Digest*, pp. 523–526, IEEE, 1997.

- [17] P. Revesz, J. Gyimesi, and E. Zsoldos, "Growth of titanium silicide on ionimplanted silicon," *Journal of Applied Physics*, vol. 54, no. 4, pp. 1860–1864, 1983.
- [18] H.-s. Bae, J.-H. Kwon, S. Chang, M.-H. Chung, T.-Y. Oh, J.-H. Park, S. Y. Lee, J. J. Pak, and B.-K. Ju, "The effect of annealing on amorphous indium gallium zinc oxide thin film transistors," *Thin Solid Films*, vol. 518, no. 22, pp. 6325– 6329, 2010.

Abstract

Study on Digital Integrated Circuits for AMOLED Display Using Poly-Si TFTs and IGZO TFTs

KIM Kwang Min Department of Engineering Practice Graduate School of Engineering Practice Seoul National University

In this paper, hybrid complementary metal oxide semiconductor (CMOS) digital circuits composed of p-type low-temperature poly-crystalline silicon (LTPS) thin-film transistor (TFT) using excimer laser annealing(ELA) of amorphous Si and n-type amorphous indium-gallium-zinc oxide (a-IGZO) TFT are reported. The inverter exhibits a full swing output and a large noise margin. The ring oscillator exhibits 150μ s oscillation frequency. With these hybrid TFT circuit components, more powerefficient CMOS digital circuits for active-matrix organic light emitting diode display can be implemented.

Keywords : AMOLED, Poly-Si TFT, IGZO TFT, Inverter, Ring Oscillator, Shift Register

Student Number : 2019-22569