creative commons

COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

석사 학위논문

적절한 포획단면을 활용한 3차원 낸드 플래시 메모리에서의 새로운 GIDL erase 컴팩트 모델

2022 년 2 월

서울대학교 대학원
전기정보공학부
이 걸

A new GIDL erase compact model of 3D NAND flash memory with proper capture cross section

적절한 포획단면을 활용한 3차원 낸드 플래시 메모리에서의 새로운 GIDL erase 컴팩트 모델

지도 교수 신형철

이 논문을 공학석사 학위논문으로 제출함

2022 년 2 월

서울대학교 대학원

전기정보공학부

이 걸

이걸의 공학석사 학위논문을 인준함

2022 년 2 월

위 원 장 이 수 연 (인)

부위원장 신 형 철 (인)

위 원 송 익 현 (인)

초 록

3차원 수직 channel 낸드 플래시 메모리는 bit density를 향상시키는 방향으로 진화되어왔다. 최근에는 3차원 낸드 플래시 메모리의 bit density를 더욱 향상시키기 위해 CMOS under array 구조가 사용된다. 이러한 구조에서는 GIDL(gate-induced-drain-leakage) erase 방식이 사용되는데, 이는 select 트랜지스터에서 발생하는 GIDL 전류를 통해 channel의 전위를 높여 cell을 erase 방식이다.

이 논문에서는 TCAD를 활용하여 기존에 제시된 GIDL erase 컴팩트 모델에 대한 검증을 시도하였다. 그 과정에서 컴팩트 모델에서 사용되는 포획 단면이 기존의 포획 단면과 다른 물리적 의미로 사용된 것을 확인하였다. 따라서, TCAD를 활용하여 컴팩트 모델을 적절히 검증하기 위해서는 적절히 변환된 포획단면을 사용하여야 하며 이번 연구는 이러한 변환 방법에 대해 설명한다.

또한, 검증된 컴팩트 모델이 실제적인 이슈들을 고려할 수 있도록 개선한다. Polysilicon channel로 인한 효과와 tapered angle로 인한 효과에 대해 평가하고 이를 포함할 수 있는 컴팩트 모델을 제시한다. 제시된 컴팩트 모델을 통해 분석한 결과, 동일 스택 내의 최상단 cell과 최하단 cell 사이에서 2.8V의 문턱전압차이가 발생하는 것으로 확인되며 이러한 차이는 channel의 직경이 작아질수록 더욱 커지는 경향을 나타낸다.

주요어 : 3차원 낸드 플래시 메모리, 지우기 동작, 컴팩트 모델, GIDL, 포획단면
학 번 : 2019-20322

목 차

제 1 장 서 론 1

제 2 장 Erase 컴팩트 모델..... 4
제 1 절 GIDL erase 컴팩트 모델의 설명.....4
제 2 절 SPICE를 통한 컴팩트 모델의 구현.....10

제 3 장 컴팩트 모델 검증.....12
제 1 절 시뮬레이션 설정.....12
제 2 절 포획단면의 차이점.....16
제 3 절 단일 cell에 대한 검증 결과.....22
제 4 절 스트링에서의 검증 결과.....26

제 4 장 컴팩트 모델 개선.....28
제 1 절 Polysilicon channel의 효과.....30
제 2 절 Tapered angle로 인한 효과 및 개선 모델.....32
제 3 절 결과 및 논의.....35

제 5 장 결론.....38

참고문헌.....40

Abstract 44

표 목차

[표 1] 15
[표 2] 15
[표 3] 26
[표 4] 29

그림 목차

[그림 1] 4
[그림 2] 5
[그림 3] 7
[그림 4] 10
[그림 5] 14
[그림 6] 16
[그림 7] 17
[그림 8] 20
[그림 9] 22
[그림 10] 24
[그림 11] 25
[그림 12] 27
[그림 13] 28
[그림 14] 31
[그림 15] 33
[그림 16] 34
[그림 17] 35
[그림 18] 36

제 1 장 서 론

3차원 수직 channel 구조는 낸드 플래시 메모리의 지속적인 bit density 향상을 가능하게 했다[1, 2, 3, 4, 5]. 이 구조는 개별 cell의 사이즈를 줄이지 않고도 bit density 스케일링을 가능하게 했으며, 기존 평면구조 대비 program/erase 및 retention 특성 또한 개선시켰다 [6, 7, 8, 9]. 하지만 3차원 수직 channel 구조는 막대한 공정 비용을 요구하며, random telegraph noise(RTN)와 cycling induced charge trapping/detrapping과 같은 신뢰도 문제를 갖는다 [10].

3차원 수직 channel 구조에 더해, 최근에는 CMOS Under Array(CUA) 구조가 추가적인 bit density 향상을 위해 사용되고 있다. CUA 구조는 NAND 배열 아래에 CMOS logic 회로를 두어 cell 면적 및 die 크기를 줄이는 것을 가능하게 한다 [11, 12]. 이 구조에서는 select 트랜지스터에서의 gate-induced-drain leakage (GIDL) 전류를 활용하여 erase 동작을 수행하게 되는데 이로 인해, GIDL erase에 대한 연구의 필요성이 최근 더욱

부각되고 있다.

이 논문에서는 컴팩트 모델을 활용하여 GIDL erase에 대한 연구를 진행하게 된다. 컴팩트 모델을 통한 분석은 일반적으로 연구에 사용되는 Technology Computer Aided Design (TCAD) 분석 대비 계산 비용을 상당히 줄여주며, 회로 혹은 시스템 수준에서의 분석을 가능하게 해주는 장점이 있다 [13].

GIDL erase에 대한 컴팩트 모델은 기존에 연구 및 개발된 바 있다 [14, 15]. 하지만 해당 연구에서는 모델을 충분히 검증하지 못하였을 뿐 아니라 모델이 최신 낸드의 구조를 반영하지 못하고 있는 것으로 확인되었다. 따라서, 이번 연구에서는 기존 개발된 모델을 검증하고 최신 소자에서 사용할 수 있도록 모델을 개선하는 것에 주안점을 둔다.

2장에서는 기존의 컴팩트 모델을 설명하고 SPICE를 통해 이를 구현하는 과정을 소개한다. 3장에서는 TCAD를 이용해 컴팩트 모델에 대한 검증을 시도한다. 본 연구는 이 과정에서 포획단면이 서로 다르게 정의되고 있는 것을 확인하였는데, 이를

해결하고자 포획단면을 적절히 상호변환 할 수 있는 식을 유도하였다. 끝으로 4장에서는 최신 3차원 낸드 플래시 메모리 구조의 특징인 polysilicon channel과 tapered angle로 인한 효과를 평가하고 컴팩트 모델에 반영한다[16, 17]. 또한, 개선된 모델을 통해 동일 스택 내에서 발생하는 문턱전압의 차이를 살피고 경향성을 확인한다.

제 2 장 Erase 컴팩트 모델

제 1 절 GIDL erase 컴팩트 모델의 설명

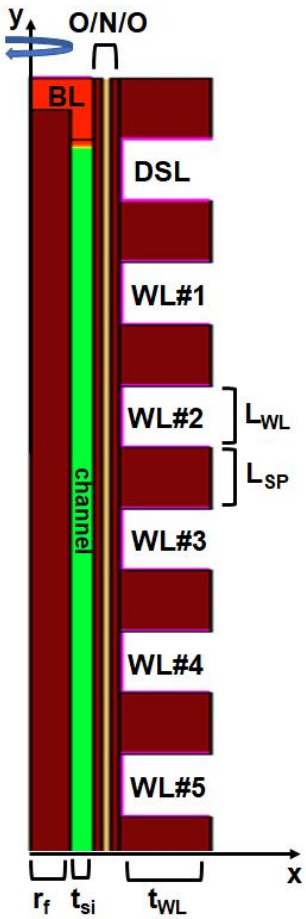


그림 1. 2장에서 사용된 스트링 구조의 단면. 스트링은 x축 기준으로 대칭이다 (N_{WL}=10).

그림 1은 3차원 수직 channel 낸드 스트링의 단면을 보여준다. 현재 그림은 스트링의 절반만을 나타내고 있으며 3차원 구조는 해당 단면을 y축에 대해 회전시켜 얻을 수 있다. 현재 구조는 Si-SiO_2-

$Si_3N_4-SiO_2-Si$ (SONOS) 구조 및 macaroni channel 구조로 되어 있다. 또한, channel은 monocrystalline silicon channel로 가정한다. Bitline(BL)은 높은 농도의 n-type($5\times10^{19}cm^{-3}$)으로 도핑되어 있으며 실리콘 channel은 낮은 농도의 n-type($1\times10^{15}cm^{-3}$)으로 도핑되어 있다. r_f는 filler의 반지름을 의미한다. t_{si}, t_{to}, t_n, t_{bo} 및 t_{WL}은 각각 channel, tunneling oxide, nitride, blocking oxide 및 wordline(WL) 두께를 의미한다. L_{SG}, L_{SP} 및 L_{WL}은 각각 select 트랜지스터, spacer 및 WL의 길이를 의미하고, 끝으로 N_{WL} 은 WL의 개수를 의미한다.

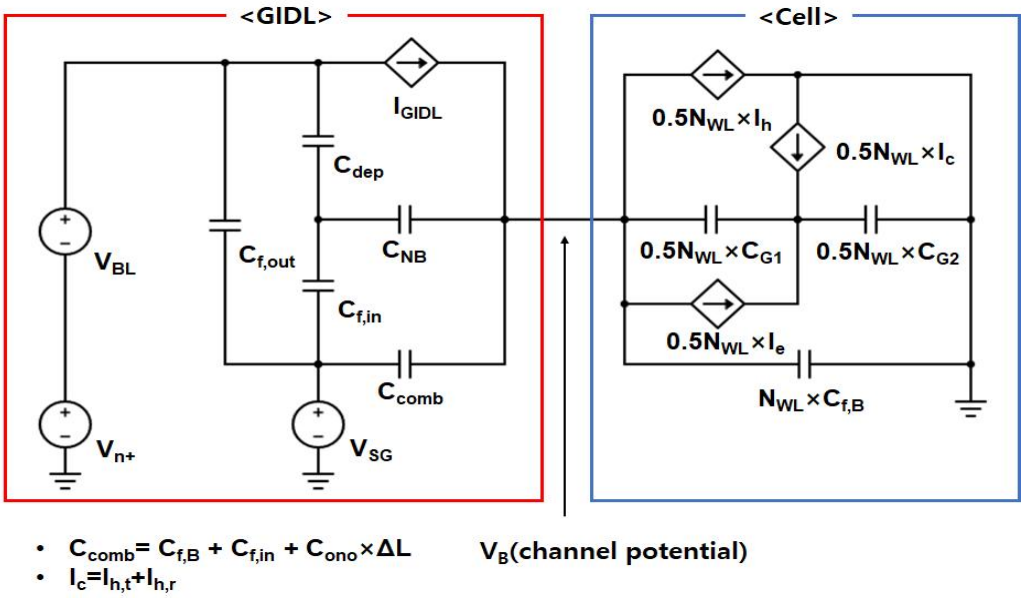


그림 2. 기존의 GIDL erase 컴팩트 모델 [14, 15].

그림 2는 기존의 GIDL erase 컴팩트 모델로서 그림 1의 스트링을 모델링하고 있다 [14, 15]. 모델은 몇몇 전류원과 커패시턴스로 구성되는데, GIDL 회로와 Cell 회로로 나누어 살펴볼 수 있다. GIDL 회로는 band-to-band tunneling에 기반한 GIDL 전류원과 select transistor 근처의 기생 커패시턴스를 포함하고 있다[23]. 이때 GIDL 전류 (I_{GIDL})는 다음과 같이 모델링한다 [18]:

$$I_{GIDL} = S \times \mathrm{q}A(V_{BL} + V_{n^+} - V_B - \frac{E_g}{q})F_{max}^{3/2} e^{-\frac{F_0}{F_{max}}} \quad (1)$$

이때 $A = 4 \times 10^{14} cm^{-\frac{1}{2}} s^{-1} V^{-\frac{5}{2}}$, $F_0 = 3.1 \times 10^7 V cm^{-1}$, $S = \pi\left((r_f + t_{si})^2 - r_f^2\right)$ 로 정의된다. F_{max} 는 BL과 channel 사이 공핍영역에서의 최대 electric field를 의미한다.

GIDL 회로에서 V_{BL} 은 BL에 인가된 전압, V_{n^+} 는 초기 전위, V_B 는 channel 전위를 나타낸다. $C_{f,B}$는 WL의 측벽과 channel 사이의 커패시턴스이며, $C_{f,out}$은 select transistor의 게이트 측벽과 BL 사이의 커패시턴스이다. C_{ono}는 단위 길이당 ONO 층의 커패시턴스이며, C_{NB}와 C_{dep}는 BL과 channel의 경계영역에서 생기는 공핍영역으로 인해

형성되는 커패시턴스이다. $C_{f,in}$은 select transistor의 게이트와 공핍영역의 끝단 사이에 생기는 커패시턴스이다. 기존 모델에 대한 더욱 자세한 설명 및 구체적인 계산 방법은 [14, 15]에서 확인할 수 있다.

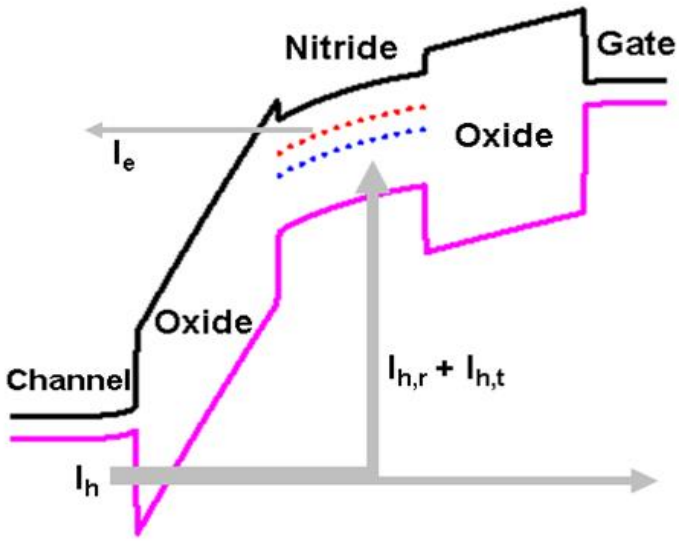


그림 3. 컴팩트 모델에서 가정하고 있는 erase 메커니즘

Cell 회로는 그림 3과 같은 nitride와 channel 사이의 전하 이동 메커니즘을 회로적으로 모델링한 것이다. Channel의 전위가 상승하게 되면 정공은 Fowler-Nordheim(FN) tunneling (I_h)에 의해 nitride로 주입된 후에 빈 트랩 ($I_{h,t}$)에 포획되거나 트랩 된 전자와 재결합($I_{h,r}$)한다 [19]. 이때, $I_{h,r}$ 과 $I_{h,t}$ 는 Shockley-Read-Hall (SRH) recombination 이론에 의거 다음과 같이 계산된다:

$$I_{h,r} = \frac{I_h \sigma_r N_{t,e}}{2\pi(r_f + t_{si} + t_{bo} + {}^{t_n}/_2) L_{WL}} \quad (2)$$

$$I_{h,t} = \frac{I_h \sigma_t (N_{total,h} - N_{t,h})}{2\pi(r_f + t_{si} + t_{bo} + {}^{t_n}/_2) L_{WL}} \quad (3)$$

이때, $N_{t,e}$, $N_{t,h}$와 $N_{total,h}$는 트랩 된 전자의 수, 트랩 된 정공의 수 그리고 트랩 될 수 있는 총 정공 트랩의 수를 나타낸다. σ_r은 정공이 트랩 되어있는 전자와 재결합할 때의 포획단면을 의미하며, σ_t는 정공이 빈 정공 트랩에 트랩될 때의 포획단면을 의미한다.

트랩 된 전자들은 Poole-Frenkel (PF) emission에 의해 방출되며, 포획되지 않은 정공들은 게이트를 통해 빠져나간다고 가정하고 있다 [20].

재결합, 트래핑 그리고 방출은 트랩 된 전자 농도 ($n_{t,e}$) 및 트랩된 정공 농도 ($n_{t,h}$)에 영향을 주는데, 이러한 관계는 다음과 같은 balance equation으로 나타낸다 [18].

$$\frac{dn_{t,e}}{dt} = -e_n n_{t,e} - \frac{J_h \sigma_r n_{t,e}}{q} \quad (4)$$

$$\frac{dn_{t,h}}{dt} = \frac{J_h \sigma_h (n_{total,h} - n_{t,h})}{q} \quad (5)$$

이때, $n_{total,h}$ 총 정공 트랩 농도를 의미하며, e_n 은 PF equation에 의해 계산되는 방출비를 나타낸다. J_h 는 FN tunneling으로 인한 전류밀도를 의미하며 I_h 에서 쉽게 추출 가능하다. 이때, 영향을 받은 $n_{t,e}$와 $n_{t,h}$는 field에 영향을 주어 I_h를 감소시킨다.

끝으로, C_{G1}과 C_{G2}는 각각 nitride 중앙과 channel 사이의 커패시턴스와 nitride 중앙과 WL 사이의 커패시턴스를 의미한다.

제 2 절 SPICE를 통한 컴팩트 모델의 구현

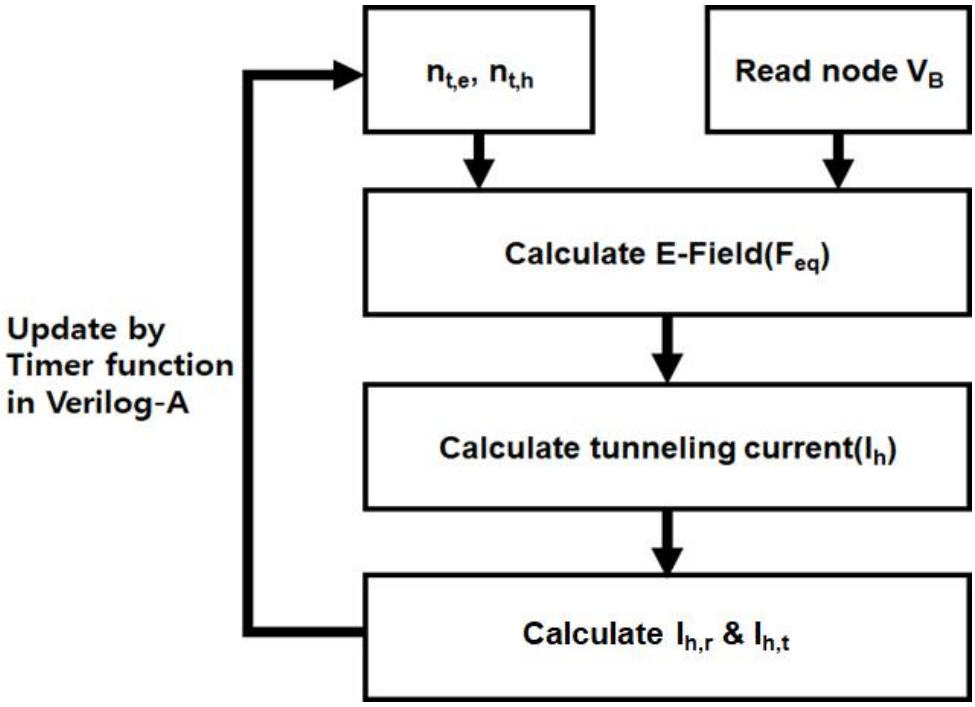


그림 4. SPICE와 Verilog-A를 활용한 컴팩트 모델 계산 순서도

GIDL 회로에서 커패시턴스 성분들은 전압이 인가되면 시간에 따라 변화하며, 이를 계산하기 위해서는 베셀 함수를 포함하는 방정식을 해결해야 한다 [15]. 하지만, 이 방정식을 Verilog-A 의 기능만으로는 해결을 할 수 없어서 MATLAB 을 통해 해당 방정식의 근을 구하여 그 결과를 Verilog-A 에 넣어주었다. Cell 회로를 풀기 위해서는 식(4)와 식(5)로 이루어진 연립미분방정식을 풀어야만 한다. 그리고 이는 그림 4 에서 보는 바와 같이 $n_{t,e}$, $n_{t,h}$, tunneling oxide 의 electric field, V_B ,

tunneling current 로 이어지는 복잡한 관계를 포함한다. 이를 해결하기 위해 Verilog-A 내의 Timer 함수를 이용하여 각 시간마다 $n_{t,e}$ 와 $n_{t,h}$ 를 업데이트하는 불연속적인 방식을 사용하였다.

제 3 장 컴팩트 모델 검증

기존 컴팩트 모델의 GIDL 회로는 이전 논문에서 TCAD의 결과와의 비교를 통해 검증된 바 있다. 하지만 Cell 회로를 포함하는 전체 컴팩트 모델은 아직 검증되지 않은 상황이다. 모델을 개선하기에 앞서 이번 장에서는 기존의 모델을 TCAD 결과와의 비교를 통해 단일 cell 수준, 스트링 수준에서의 검증을 시도하며, 그 과정에서 서로 다르게 정의된 포획단면에 대해 살펴본다.

제 1 절 시뮬레이션 설정

Synopsys TCAD 가 컴팩트 모델 검증을 위해 사용된다 [21]. 그림 5(a)는 연구에 사용된 단순화된 단일 낸드 cell 구조를 보여준다. 일반적인 구조와는 다르게 소스, 드레인, 게이트를 높은 농도의 p-type 으로 도핑하였는데, 이는 built-in 전위를 제거하고 터널링 및 트랩 메커니즘에 집중하기 위해서이다.

임의의 베리어에 대해 터널링을 계산할 수 있는 nonlocal tunneling (NT) mechanism 이 channel 과 nitride 사이의 전하 교환을 위해 가정되었다. 또한, 최근 기술 동향을 고려하여 게이트로부터 터널링

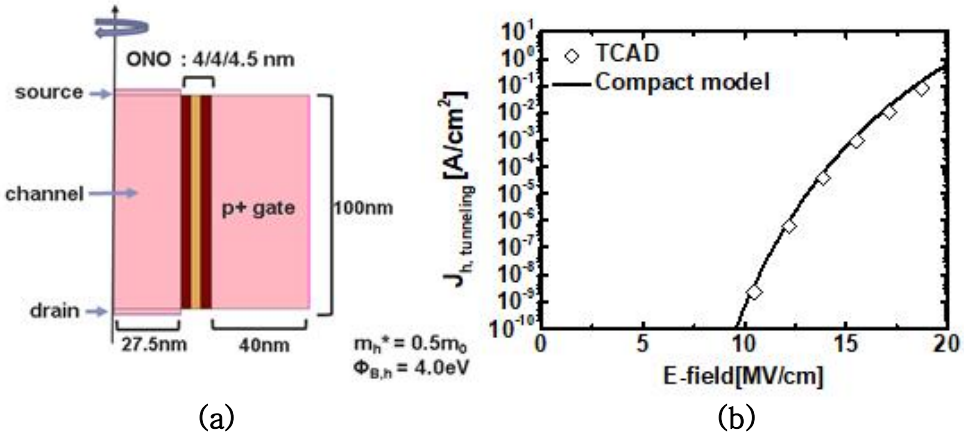
되어 들어오는 전자는 무시하였다. 실리콘과 산화막 사이의 정공에 대한 터널링 베리어 높이는 4eV 로 설정하였으며, 터널링 유효 질량($m_{h,ox}$*)은 $0.5m_0$ (m_0 은 자유전자 질량)로 설정하였다 [22, 23]. Nitride 의 억셉터 트랩과 도너 트랩의 에너지 레벨은 각각 전도대역에서 1.5eV 와 2.5eV 아래로 설정하였으며, 실리콘에서는 Shockley-Read-Hall (SRH) recombination 과 속도 포화 효과를 고려하였다. 또한 erase 동작을 위해 0.1ms 의 rise time 을 갖는 15V 의 펄스를 소스와 드레인에 동시에 인가해주었다.

그림 5(b)는 TCAD 의 NT 메커니즘을 통해 계산된 터널링 전류 결과와 컴팩트 모델에서 사용되는 FN tunneling 결과 값을 tunneling oxide 에 걸린 electric field 에 따라 나타낸 결과이다. 그 결과 두 메커니즘은 동일한 electric field 에 대해 유사한 터널링 전류를 보이는 것으로 확인되었다. 이때 사용된 FN tunneling 모델의 파라미터(A, B)는 다음과 같은 식에 의해 이론적으로 계산된 값이다 [24, 25].

$$A = \frac{q^3 S}{16\pi^2 \hbar \Phi_{h,TO}} \qquad (6)$$

$$B = \frac{4\sqrt{2m^*}\Phi_{h,TO}^{\frac{3}{2}}}{3\hbar} \qquad (7)$$

이때, $\hbar$는 플랑크 상수를 나타내며, S는 터널링이 발생되는 단면의 넓이를 의미한다. 이외에 파라미터들은 표 1과 표 2를 따른다.



(a) (b)

그림 5. (a)단순화된 단일 cell 구조 및 (b)TCAD에서의 nonlocal 터널링 전류와 컴팩트 모델에서의 FN 터널링 전류 비교

표 1. 컴팩트 모델에서 사용되는 치수 파라미터. [16]

Parameter	Value
r_f	27.5 nm
t_{Si}	10 nm
$t_{to}/t_n/t_{bo}$	4/4/4.5 nm
t_{WL}	40 nm
$L_{WL}=L_{SG}=L_{SP}$	100 nm
$N_A^{Source}=N_A^{Drain}$	1×10^{20} cm^{-3}
N_D^B	10^{15} cm^{-3}
Φ_m	4.8 eV

표 2. 컴팩트 모델에서 사용되는 물리 파라미터[16]

Parameter	Value
A(for hole FN tunneling)	3.81×10^{-17} A cm^2/V^2
B(for hole FN tunneling)	3.86×10^{8} V/cm
$\Phi_{B,h}$ (hole barrier height)	4 eV
ν_0	5×10^{8} s^{-1}
E_T (electron trap level)	1.5 eV
β	2.7×10^{-4}eV cm^{½}/V^{½}
σ_h (hole capture cross section)	10^{-15} cm^2
σ_r (recombination cross section)	10^{-15} cm^2
$n_{total,h}$ (total hole trap)	3×10^{19} cm^{-3}
$n_{t,e}$(t=0) (trapped electron at t=0)	4.2×10^{19} cm^{-3}
$n_{t,h}$(t=0) (trapped hole at t=0)	0.5×10^{19} cm^{-3}

제 2 절 포획단면의 차이점

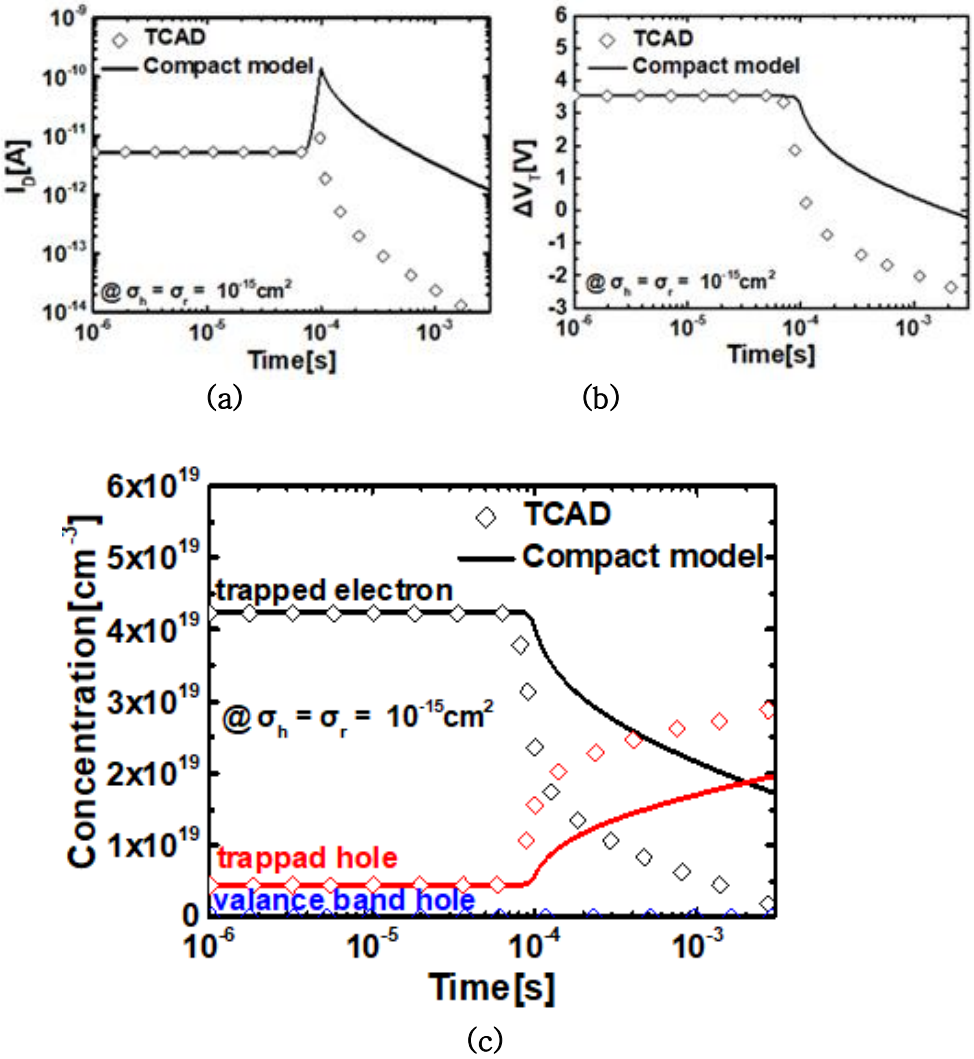
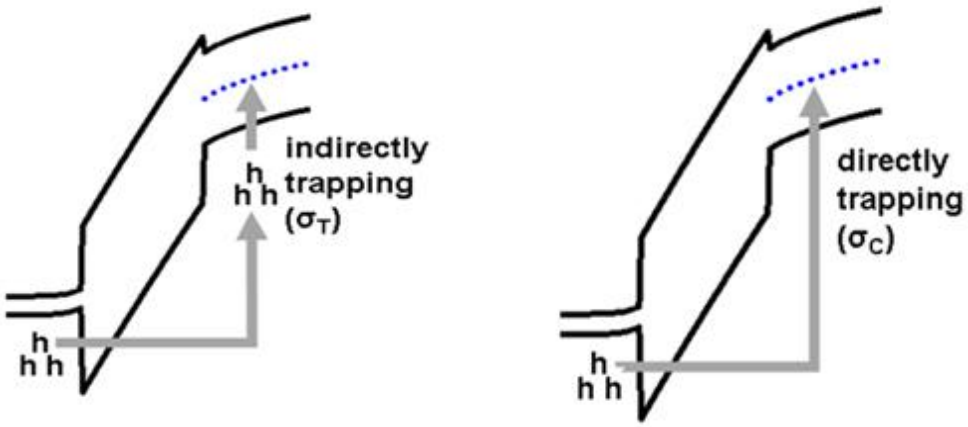


그림 6. (a)드레인 전류 (b)문턱전압변화와 (c)트랩된 전자와 정공 농도에 대한 검증 결과

그림 6(a)와 6(b)는 TCAD 와 컴팩트 모델에서 동일한 포획단면을 사용했을 때의 드레인 전류 및 문턱전압변화에 대한 결과들을 보여준다. 앞 절을 통해 확인한 바와 같이 동일한 양의 정공이 nitride 로 터널링이

되지만 두 결과는 심각한 차이를 나타낸다. 그림 6(c)는 트랩된 전자와 정공 농도에 대한 TCAD 와 컴팩트 모델의 결과이다. 전자와 정공 둘 모두 TCAD 에서 트랩이 컴팩트 모델 대비 더욱 활발히 일어나는 것으로 나타난다. 만약 이를 보정하기 위해 단순히 FN tunneling 과 관련된 상수들을 tunneling 이 더 잘 일어나는 방향으로 변경해준다면, 드레인 전류에서 터널링 전류가 더욱 커져 불일치도가 더욱 커지는 결과를 초래하게 될 것이다.



(a) (b)

그림 7. (a)TCAD 와 (b)컴팩트 모델에서 정의하고 있는 포획단면에 대한 개념도

결국, 이러한 불일치의 원인은 TCAD 와 컴팩트 모델에서 서로 다르게 포획단면을 정의하는데 기인한다. 그림 7 은 둘의 서로 다른 포획단면의 개념을 그림으로 보여준다.

가장 대중적인 TCAD 인 Synopsis 및 Silvaco TCAD 에서는 nitride 트랩의 포획률을 다음과 같이 계산한다 [21]:

$$c = \sigma_T v_{th}^p p \qquad (9)$$

이때, c는 포획률을 의미하며 σ_T는 TCAD 에서 사용되는 포획단면을 의미한다. v_{th}^p 는 정공의 열속도인 1.56×10^7cm/s 를 의미하며, p 는 nitride 의 가전자대역에서의 정공 농도를 의미한다. 식에 따르면, 그림 7(a)에서와 같이 TCAD 에서는 포획단면이 가전자대역의 정공에 대해 적용되고 있는 것을 확인할 수 있다.

반면 컴팩트 모델에서는 다음과 같이 포획률을 계산한다:

$$c = \frac{J_h \sigma_C}{q} \qquad (10)$$

이때, J_h는 정공의 터널링 전류밀도를 나타내며 σ_C는 컴팩트 모델에서 사용하는 포획단면을 나타낸다.

식에 따르면 컴팩트 모델에서는 그림 7(b)에서와 같이 포획단면이 터널링되는 전류에 대해 정의된다. 정리하면, TCAD 와 컴팩트 모델의 포획단면은 서로 다른 위치에 있는 정공에 대해 정의되고 있다. TCAD 는 nitride 의 가전자대역 위의 정공, 컴팩트 모델은 터널링 되어 들어오는 전류에 대해 정의를 한다. 따라서, 이 둘은 구분하여 사용되어야 하며 검증을 위해서는 적절히 상호변환 되어야 한다.

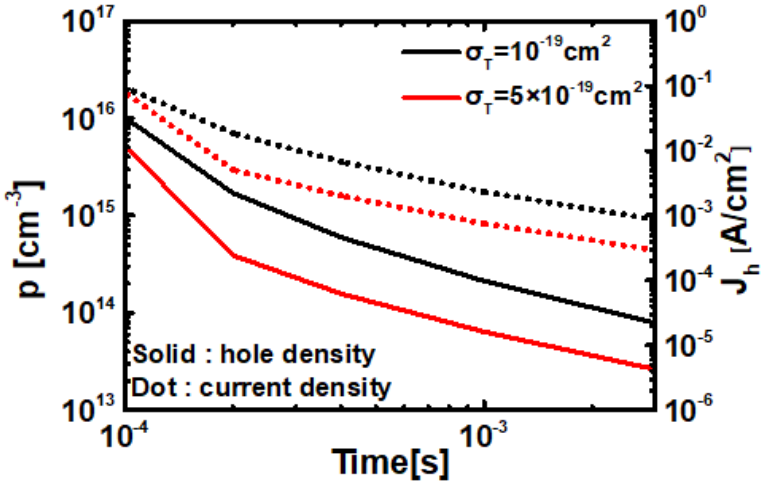
물리적으로 동일한 구조에 대해서는 동일한 포획률을 가지는 것이 옳다. 이를 식으로 놓고 정리하면 다음과 같다 (즉, 식 (9)와 식(10)을 같다고 놓는다):

$$Conversion\ ratio(CR) = \frac{\sigma_C}{\sigma_T} = k\frac{qv_{th}^{p}p}{J_h} \qquad (11)$$

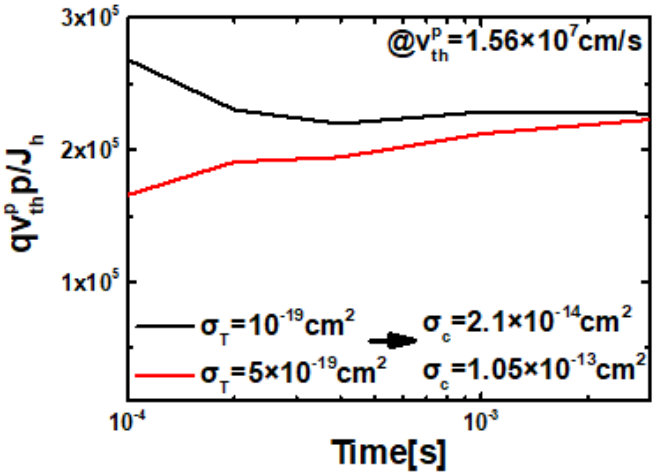
(k: 보정 상수)

이때, q 와 v_{th}^{p} 가 상수라는 점을 고려할 때, CR 은 nitride 의 가전자대역에 정공 농도와 터널링 되어 들어오는 정공으로 인한 전류의 비에 비례하게 된다.

p 와 J_h 는 TCAD 시뮬레이션을 통해 추출할 수 있다. 이때 p 는 tunneling oxide 근처에서 추출한다. 재결합 포획단면과 정공 트랩의 포획단면은 동일하다고 가정하였다. 그림 8(a)는 추출된 p 와 J_h 를 두 경우에 대해 보여주고 있다. 이들은 erase 가 진행됨에 따라 점차 감소하는 경향을 보이는데, 이는 포획된 정공들이 tunneling oxide 의 electric field 를 약화시키기 때문에 나타나는 현상이다. 그림 8(b)는 최종적으로 계산된 CR 을 보여주고 있다. 이는 컴팩트 모델에서는 CR 을 적용하여 TCAD 대비 약 2.1×10^{5} 배 큰 포획단면을 사용해야 TCAD 와 적절히 비교할 수 있음을 의미한다.



(a)



(b)

그림 8. CR 에 대한 (a)계산 과정 및 (b)결과

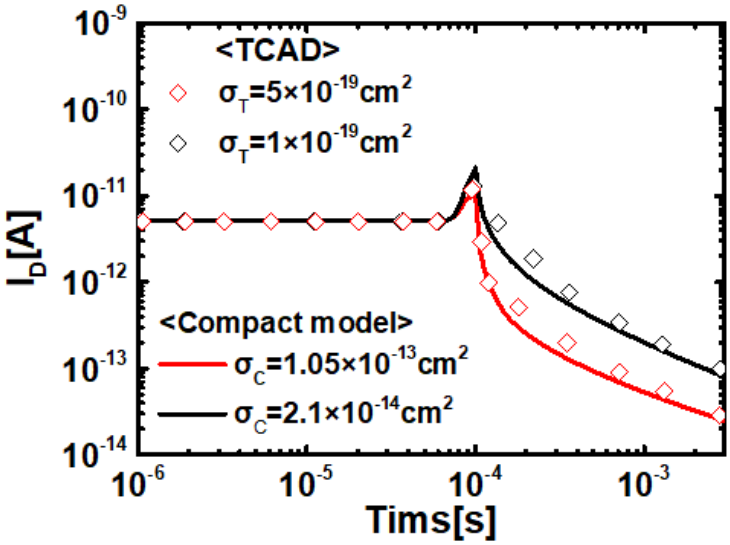
추가적으로, 증가된 포획단면을 사용하게 되면 컴팩트 모델에서 비물리적인 상황이 발생할 수 있게 된다. 식(2)와 식(3)에 의해 계산되는 재결합 혹은 트랩되는 정공의 수가 터널링되어 nitride 로

들어가는 총 정공의 수보다 커지는 경우이다. 이를 해결하기 위해 $I_h < I_{h,r} + I_{h,t}$ 인 경우에 대해, 다음과 같은 모델링을 추가한다.

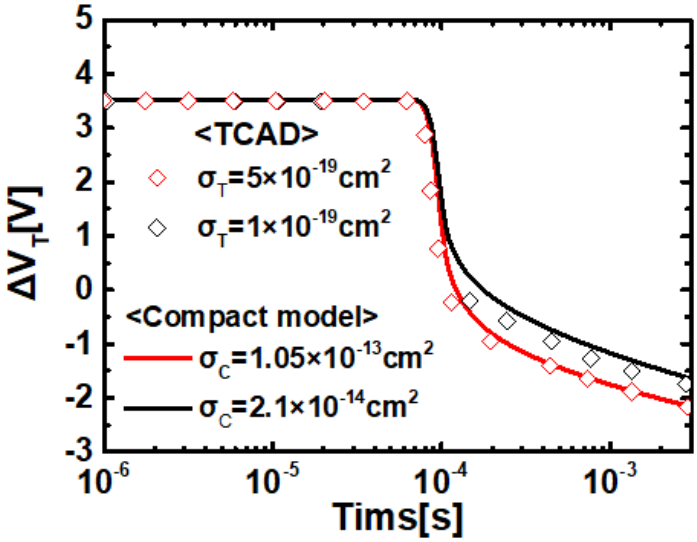
$$I_{h,r} = I_h \times \frac{\sigma_r n_{t,e}}{\sigma_h (N_{t,h} - n_{t,h}) + \sigma_r n_{t,e}} \qquad (8)$$

$$I_{h,t} = I_h \times \frac{\sigma_h (N_{t,h} - n_{t,h})}{\sigma_h (N_{t,h} - n_{t,h}) + \sigma_r n_{t,e}} \qquad (9)$$

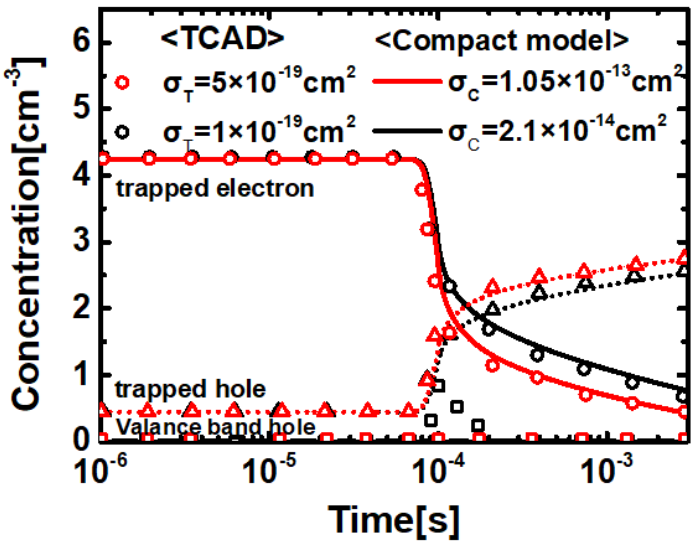
제 3 절 단일 cell에 대한 검증 결과



(a)



(b)



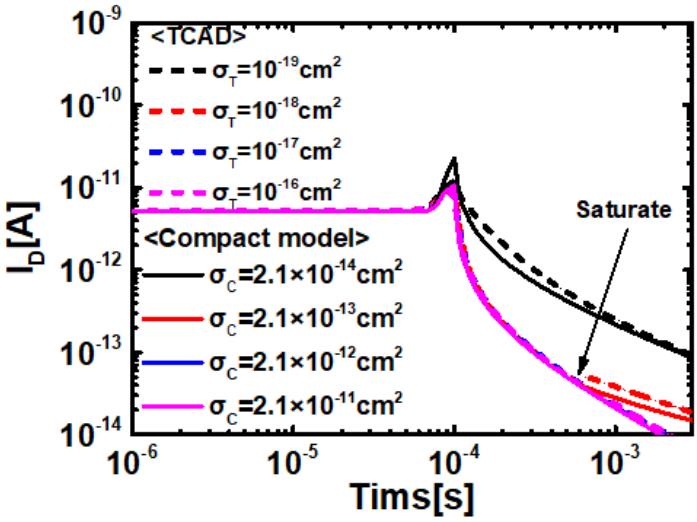
(c)

그림 9. CR 을 적용하여 단일 cell 에서 (a)드레인 전류 (b)문턱전압 변화 및 (c)트랩된 전자/정공 농도에 대한 시뮬레이션을 진행한 결과

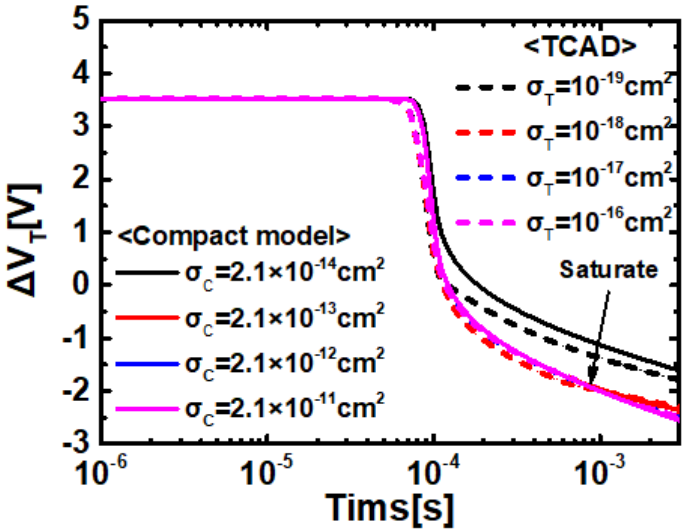
그림 9 는 변환된 포획단면을 적용한 컴팩트 모델의 결과와 TCAD 시뮬레이션 결과를 비교하고 있다. 드레인 전류, 문턱전압 변화 그리고

트랩된 전자/정공 농도에 대한 결과가 서로 잘 일치하고 있는 것을 확인할 수 있다.

다음은 추가적인 시뮬레이션을 통해 얻은 CR 의 적용범위에 대해 알아본다. 그림 10 은 포획단면을 10 배씩 증가시키며 변환된 포획단면을 활용하여 TCAD 결과와 컴팩트 모델 결과를 비교하고 있다. 이를 통해 포획단면이 특정 값 이상 커지게 되면 erase 특성들이 더 이상 포획단면의 영향을 받지 않는 것을 TCAD 와 컴팩트 모델 모두에서 확인할 수 있다. 즉, 이들의 특성이 universal curve 를 형성한다.



(a)



(b)

그림 10. 서로 다른 포획단면에서의 (a)드레인 전류와 (b)문턱전압 변화에 대한 시뮬레이션 결과

이러한 현상은 그림 11 을 통해 보다 직관적으로 이해할 수 있다. 그림 11 에서의 원은 포획단면을 나타낸다. 기존의 실선 크기였던 포획단면이 커지게 되면 점선과 같은 단면을 이룬다. 포획단면이 아무리 넓어지더라도 그 넓이는 결국 nitride 의 단면 넓이에 의해 제한되게 되므로 이와 같은 포화 효과가 나타난다. 따라서, 이러한 구간에서는 CR 을 사용하지 않아도 TCAD 와 컴팩트 모델이 같은 결과를 나타내는 경우가 발생한다.

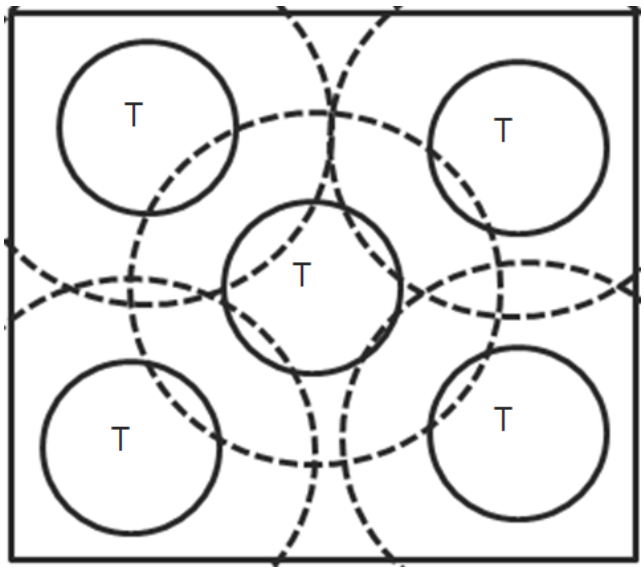


그림 11. 단순화한 nitride 의 단면. 각 원은 nitride 내의 트랩을 의미한다.

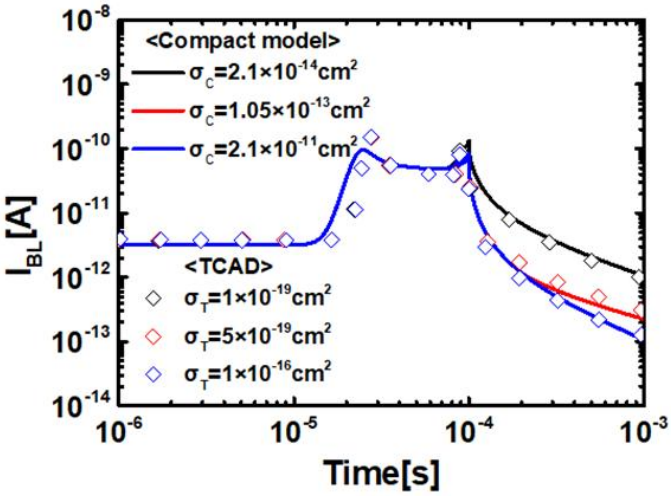
제 4 절 스트링에서의 검증 결과

그림 12 는 스트링 수준에서의 GIDL erase 컴팩트 모델에 대한 검증 결과를 보여주고 있다. CR 을 적용하게 되면 BL 전류와 문턱전압변화가 잘 일치하는 것을 확인할 수 있다. 이로써 변환시킨 포획단면을 활용하여 기존의 GIDL erase 컴팩트 모델을 TCAD 를 이용하여 완전히 검증하는데 성공하였다. 앞 절과는 다르게 Cell 회로뿐 아니라 GIDL 회로 또한 결과에 반영되어 있다. 이 시뮬레이션은 10 단에 대한 결과를 나타내고 있으며, 스트링 수준의 분석을 위해

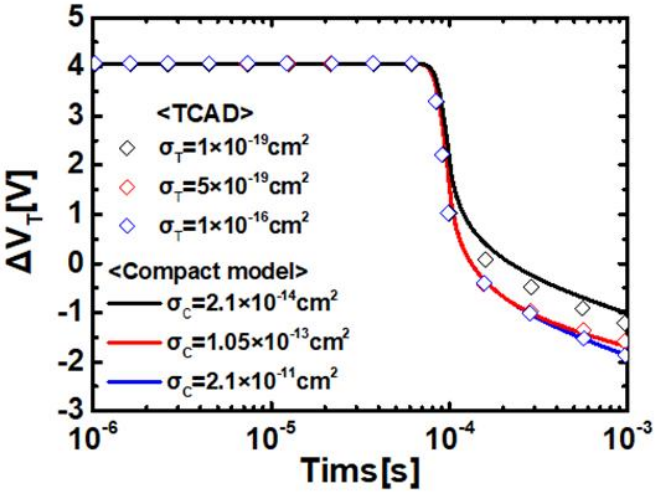
짧아진 게이트 길이를 가정하였다. 수정된 파라미터들은 표 3 에서 확인할 수 있다.

표 3. 스트링 수준의 검증에서 사용된 파라미터

Parameter	Value
$L_{WL}=L_{SG}=L_{SP}$	50 nm
$N_D^{BL}=N_D^{SL}$	5×10^{19} cm^{-3}
$n_{t,e}$(t=0) (trapped electron at t=0)	4.7×10^{19} cm^{-3}
$n_{t,h}$(t=0) (trapped hole at t=0)	0.1×10^{19} cm^{-3}



(a)



(b)

그림 12. CR을 적용하여 스트링 수준에서의 (a)BL 전류(I_{BL}) 및 (b)문턱전압 변화(ΔV_T)에 대해 시뮬레이션한 결과

제 4 장 컴팩트 모델 개선

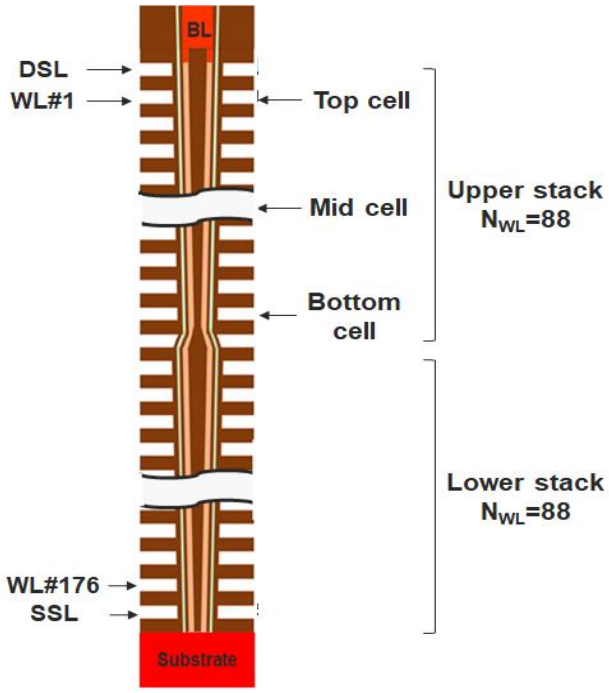


그림 13. Tapered angle 을 반영한 2 개의 스택으로 구성된 176 단 3 차원 낸드 스트링의 단면

지난 장에서 검증한 컴팩트 모델은 monocrystalline channel 을 가정하고 제안된 모델이다. 또한, 기존 모델에서는 일정한 channel 직경, 즉, 상하가 대칭인 구조를 가정하고 있으며 상하에 위치한 select 트랜지스터(DSL 과 SSL)에서 동시에 정공이 생성된다고 가정하고 있다. 하지만 실제 공정을 거쳐 만들어지는 3 차원 낸드 플래시 메모리는 이런 가정을 따르지 않는다. 그림 13 은 보다 현실적인 3 차원 낸드 스트링의 단면을 보여준다. 실제의 3 차원 낸드는 공정의 한계로 grain boundary (GB)를 포함하는 polysilicon channel 을 가지며 channel 이 스트링 하단으로 갈수록 줄어드는 tapered 구조를 갖는다. 그리고, DSL 만을 이용한 GIDL erase 동작이 이루어진다. 이번 장에서는 이러한 효과들을 평가하고 선택적으로 반영할 것이다 [26, 27, 28]. 또한, 표 4 에 기록된 보다 최신 소자의 사이즈에서 연구를 진행한다.

표 4. 4장에서 사용된 치수 파라미터.

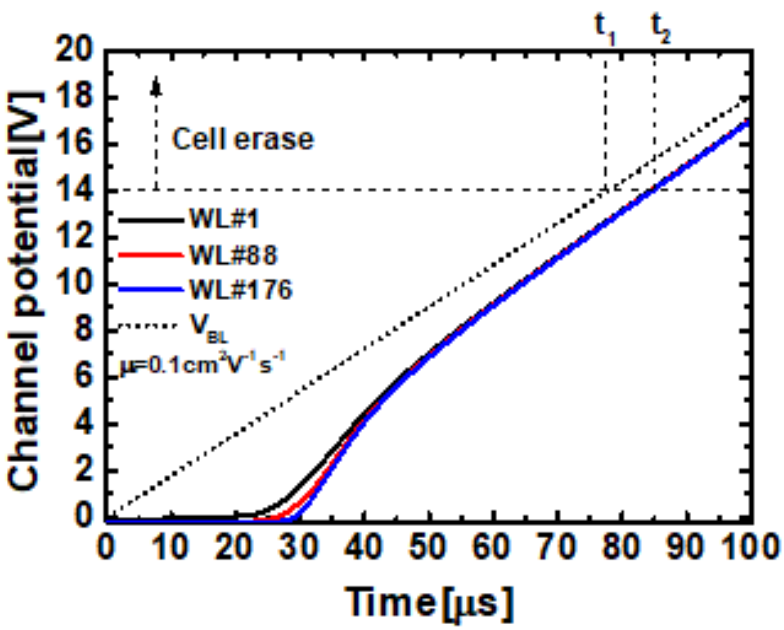
Parameter	Value
r_f(top, mid, bottom cell)	40, 27.5, 15 nm
t_{si}	10 nm
$t_{to}/t_n/t_{bo}$	5/5/10 nm
t_{WL}	40 nm
$L_{WL}=L_{SG}=L_{SP}$	28 nm
Tapered angle	0.29°

제 1 절 Polysilicon channel의 효과

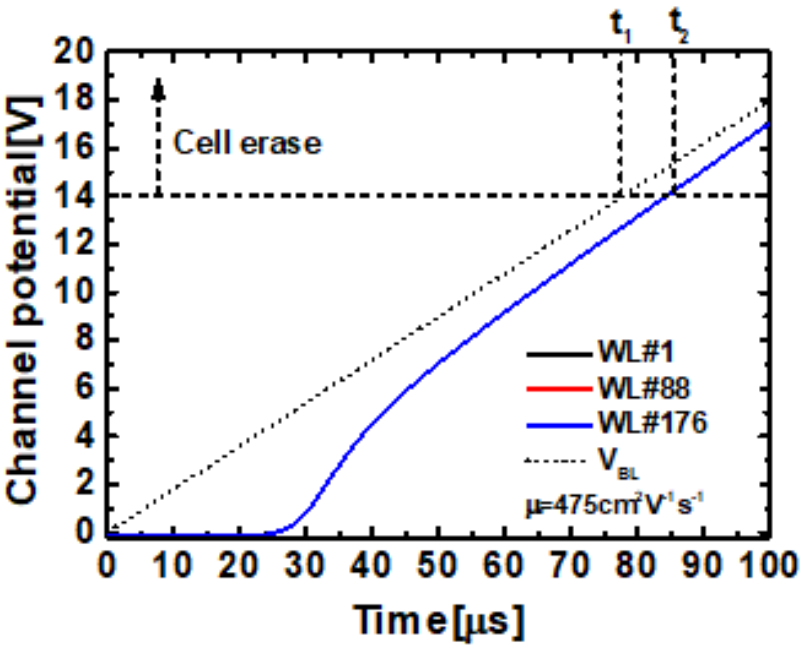
Polysilicon channel 에서는 GB 로 인해 mobility degradation 이 발생한다. 일반적으로 이러한 degradation 으로 인한 효과는 effective mobility 를 channel 에 적용하여 동작을 예측해 볼 수 있다. 기존의 연구에 따르면 GB 로 인한 effective mobility 는 channel 전위가 올라감에 따라 증가한다. 이번 연구에서는 최악의 경우를 고려하여 $\mu_{eff}=0.1cm^2V^{-1}s^{-1}$ 를 적용한다 [29]. 1 절에서는 아직 tapered 및 double stack 으로 인한 구조 변화는 고려하지 않는다.

그림 14 (a)와 (b)는 각각 polysilicon channel 에서 effective mobility 를 반영한 channel 의 전위 변화와 monocrystalline channel 의 전위 변화를 보여준다. Effective mobility 를 적용하면 30μs 부근에서 WL#1, WL#88 and WL #176 의 channel 전위 사이에 지연이

발생하는 것을 볼 수 있으며 지연은 BL 에서 멀수록 커지는 경향성을 나타낸다. 하지만 이러한 효과는 컴팩트 모델에서 반영하지 않는다. 왜냐하면 실제 erase 가 발생하기 시작하는 14V 지점 근처에서는 지연이 거의 사라지기 때문이다. V_{BL} 과 channel 전위가 14V 에 도달하는데 걸리는 시간 차(t_2-t_1) 를 살펴보면 이를 보다 정확히 알 수 있는데, 그림 14(a)와 (b) 모두에서 7μs 로 동일한 값을 나타낸다. 또한, 현재 연구에서는 최악의 경우를 가정했지만, channel 전위가 증가함에 따라 μ_{eff} 는 약 10 $cm^2V^{-1}s^{-1}$ 까지 (약 100 배) 증가하게 되는데 이 경우 이러한 지연효과과 더욱 작아지게 된다.



(a)



(b)

그림 14. TCAD 시뮬레이션을 통해 (a) polysilicon channel 과 (b) monocrystalline channel 에 대해 얻은 최상단, 중단, 최하단 cell 의 channel 전위 변화.

제 2 절 Tapered angle로 인한 효과 및 개선 모델

Tapered angle 은 그림 1 에 나타나 있는 모든 회로 요소들에 영향을 미친다. C_{G1}, C_{G2} 그리고 $C_{f,B}$ 는 r_f 가 감소하게 되면 함께 감소하게 된다. 또한, I_h, $I_{h,r}$, $I_{h,t}$ 와 I_e 또한 변화하는데 이 또한 r_f 가 감소하면서 터널링이 발생하는 단면의 넓이 및 electric field 변화하기 때문이다. 즉, Tapered angle 로 인해 결국 모든 cell 들은 서로 다른 커패시턴스와 전류를 나타내게 된다.

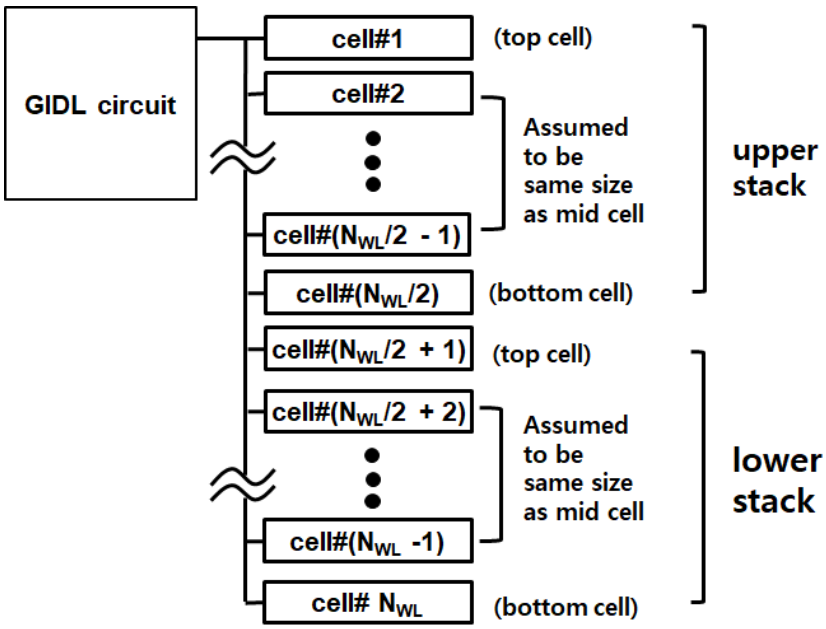


그림 15. Tapered된 경우를 반영하기 위해 변형된 GIDL erase 컴팩트 모델

이러한 효과를 반영하게 되면 그림 1 의 모델은 그림 15 의 모델로 변화하게 된다. 그림 15 는 하나의 GIDL 회로에 N_{WL} 개의 서로 다른 Cell 회로가 연결되어 있는 것을 보여준다. 하지만, 이러한 회로는 N_{WL} 개의 연립미분방정식을 풀어야 하기 때문에 높은 계산 비용을 수반한다. 따라서, 보다 간략하게 이 회로를 수정해야한다. 그림 16 은 그림 15 에 몇 가지 가정을 통해 보다 단순화한 회로를 보여준다. 첫번째 가정은 최상단, 최하단 cell을 제외하고는 모두 중단 cell과 같은 크기를 갖는다고 가정한다. 이러한 가정은 일반적으로 cell 의 특성을 판단할 때 양 끝에 있는 cell 을 기준으로 하기 때문에 가능하다.

다음으로는 위, 아래 스택이 완전히 동일하다고 가정한다. 이 두 가정을 통해 그림 16 은 한 개의 GIDL 회로와 3 개의 Cell 회로로 tapered angle 을 반영할 수 있게 된다. 각 Cell 회로에 WL 전압원을 추가하였는데 이것은 이후 절에서 논의한다.

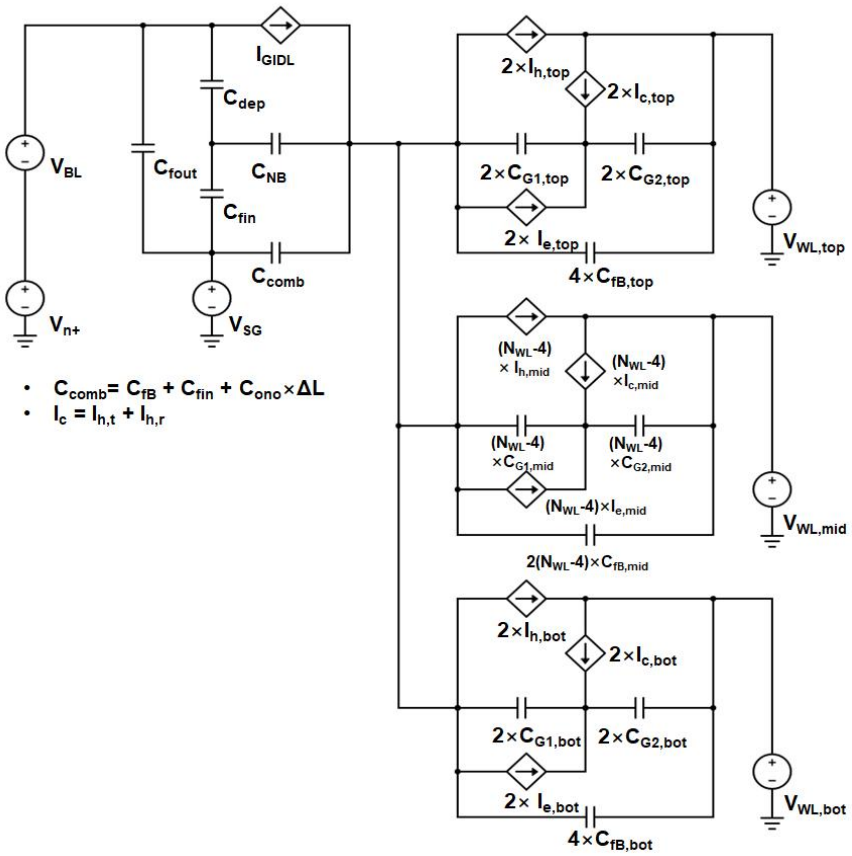


그림 16. 그림 15 를 단순화 시켜 개선된 GIDL erase 컴팩트 모델

제 3 절 결과 및 논의

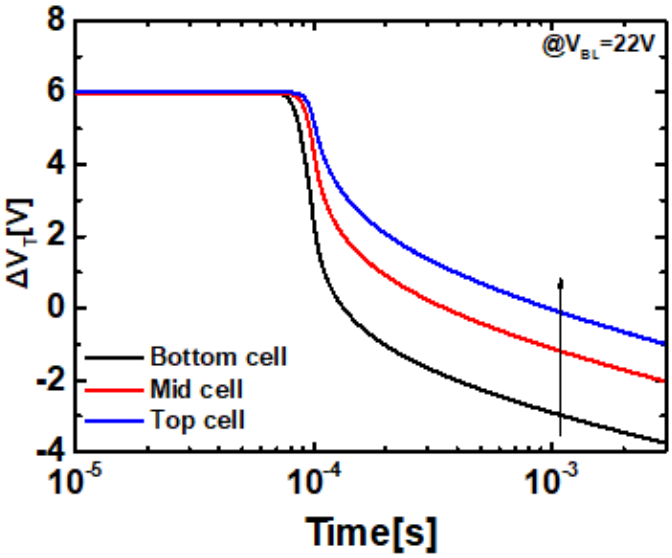
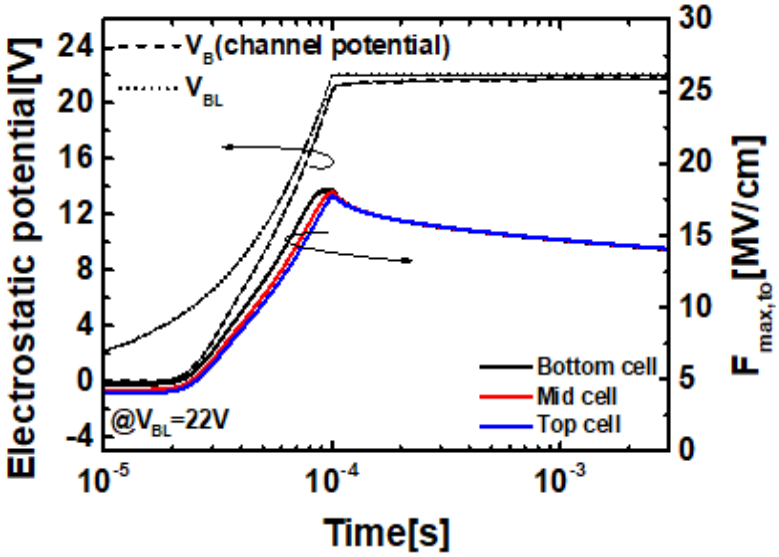
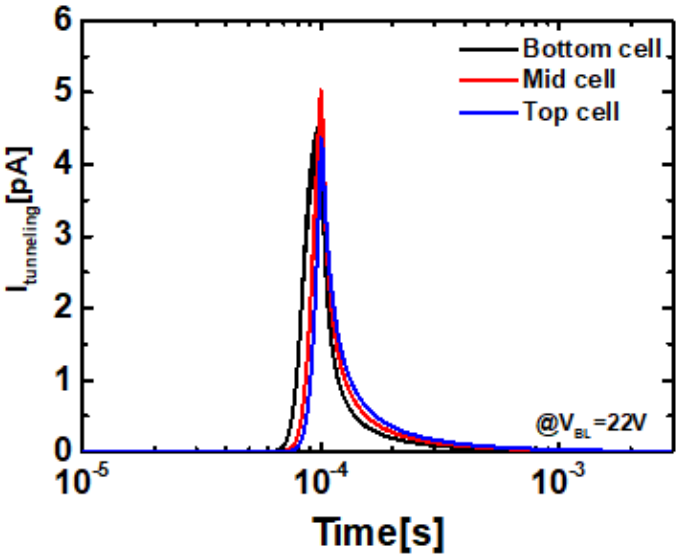


그림 17. 스택 내에서 최상단, 중단, 최하단 cell에서의 문턱전압변화

그림 17은 개선된 GIDL erase 컴팩트 모델의 결과를 보여준다. 동일 스택 내의 최상단, 중단, 최하단 cell의 문턱전압변화를 보여주고 있는데 최하단 cell이 최상단 cell 대비 2.8V, 중단 cell 대비 1.8V 더 큰 문턱전압변화를 보인다. 이는 비록 tapered angle이 0.29° 밖에 되지 않지만 적층이 수가 늘어남에 따라 cell의 크기가 크게 변화하기 때문에 발생한다.



(a)



(b)

그림 18. 개선된 컴팩트 모델로 얻은 (a) tunneling oxide에 걸린 최대 electric field 및 channel 전위와 (b) 각 cell에서 정공 터널링 전류

그림 18은 개선된 컴팩트 모델을 통해 추출한 각 cell에서의 tunneling oxide에 걸리는 electric field와 터널링 전류를 나타낸다.

최하단 cell의 tunneling oxide에서 가장 이른 시간에 강한 electric field와 전류가 발생하는데 이는 최하단 cell의 지름이 가장 작기 때문이다.

추가적으로, 그림 17을 통해 최상단 cell과 중단 cell보다 중단 cell과 최하단 cell 사이의 문턱전압 차이가 더욱 큰 것을 알 수 있는데, 이는 동일한 tapered angle에 대해서도 channel 반지름이 작아질수록 문턱전압 차이가 더욱 커지는 것을 보여준다. 따라서, 스택당 단수가 늘어나는 최근 상황에서는 WL을 통한 보상동작이 반드시 필요함 의미하기도 하며 이는 WL의 전압원을 추가하여 시뮬레이션 할 수 있다.

이 모델의 사용자는 임의로 Cell 회로를 추가하거나 뺌으로써 더욱 빠르거나 더욱 정밀한 시뮬레이션을 선택적으로 수행할 수 있다. Cell 회로를 추가하게 된다면 기존 컴팩트 모델 대비 추가적인 시뮬레이션 시간이 요구되겠지만, 이는 수 백시간이 걸리는 TCAD 분석보다는 더욱 빠른 분석을 제공할 수 있다.

제 5 장 결 론

동일한 터널링 전류 및 포획단면을 적용하여 컴팩트 모델과 TCAD에서의 erase 동작을 비교한 결과 둘은 매우 큰 차이를 보였다. 이 원인은 TCAD의 경우 포획단면을 nitride의 가전자대역에 있는 정공에 대해 정의하지만 컴팩트 모델의 경우 정공의 터널링 전류 밀도에 대해 정의하고 있기 때문인 것으로 확인되었다. 따라서 TCAD와 컴팩트 모델의 적절한 비교를 위해서는 본문에서 제안한 식을 통해 적절히 변환된 포획단면을 사용하여야 한다. 연구에 사용된 소자에서는 컴팩트 모델에서 TCAD보다 약 2.1×10^{5}배 큰 포획단면을 사용해야 한다.

나아가 polysilicon channel로 인한 효과와 tapered angle로 인한 효과를 평가하고 모델에 반영시켰다. TCAD를 통해 분석한 결과, polysilicon channel에서는 channel 전위 상승이 지연되는 현상이 보였다. 하지만, 이러한 효과는 erase 초기에 국한되며 동작이 실질적으로 일어나는 구간에서는 이러한 지연이 erase 동작에 거의 효과를 미치지 못하는 것으로 확인되었다. Tapered angle의 경우 동일 스트링 내 cell들의 치수 파라미터들을 서로 다르게 변화시키는데, 이는 변화하는 파라

미터들을 고려하여 기존 컴팩트 모델에 Cell 회로를 추가함으로써 반영하였다.

개선된 모델을 통해 두 개의 스택으로 이루어진 176단 NAND에서 erase 동작을 수행한 결과, 동일 스택 내 최상단 cell과 최하단 cell 사이에서 2.8V의 문턱전압 차이가 발생하는 것을 확인하였으며, 이러한 스택 내 차이는 동일 tapered angle이라도 channel 반지름이 작아질수록 더욱 심화되는 것으로 확인되었다. 이는 문턱전압의 원치 않는 변화를 제어하기 위해서는 WL 전압을 활용한 보상동작이 필수적임을 의미한다.

이 연구를 통해 밝힌 포획단면 간의 관계가 이후 컴팩트 모델의 개발과 검증에 기여할 것으로 기대한다. 또한, 개선된 GIDL erase 컴팩트 모델이 최신 낸드 플래시 메모리의 erase 동작 분석에 큰 기여를 할 수 있을 것으로 기대한다.

참고 문헌

[1] R. Katsumata *et al.*: “Pipe-shaped BiCS flash memory with 16 stacked layers and multi-level-cell operation for ultra high density storage devices” *Symposium on VLSI Technology* (2009).

[2] Y. Fukuzumi *et al.*: “Optimal integration and characteristics of vertical array devices for ultra-high density, bit-cost scalable flash memory” *IEEE International Electron Devices Meeting* (2007).

[3] A. Hubert *et al.*: “A stacked SONOS technology, up to 4 levels and 6nm crystalline nanowires, with Gate-All-Around or independent gates (φ-Flash), suitable for full 3D integration” *IEEE International Electron Devices Meeting* (2009).

[4] Jiyoung Kim *et al.*: “Novel Vertical-Stacked-Array-Transistor (VSAT) for ultra-high-density and cost-effective NAND Flash memory devices and SSD (Solid State Drive)” *Symposium on VLSI Technology* (2009).

[5] Wonjoo Kim *et al.*: “Multi-layered Vertical Gate NAND Flash overcoming stacking limit for terabit density storage” *Symposium on VLSI Technology* (2009).

[6] K. H. Yeo *et al.*: “Gate-all-around single silicon nanowire MOSFET with 7 nm width for SONOS NAND flash memory” *Symposium on VLSI Technology* (2008).

[7] J. Fu *et al.*: “Trap layer engineered gate-all-around vertically stacked twin Si -nanowire nonvolatile memory” *IEEE International Electron Devices Meeting* (2007).

[8] G.-Q. Lo *et al.*: “Integration of high-κ dielectrics and metal gate on gate-all-around Si-nanowire-based architecture for high-speed nonvolatile charge-trapping memory” *IEEE*

Electron Device Lett. **30** (2009) 662.

[9] M. Chen *et al.*: "Vertical-Si-Nanowire SONOS Memory for Ultrahigh-Density Application" *IEEE Electron Device Lett*. **30** (2009) 879.

[10] H. Tanaka *et al.*, "Bit cost scalable technology with punch and plug process for ultra high density flash memory" *IEEE Symposium on VLSI Technology* (2007).

[11] K. Parat and C. Dennison: "A floating gate based 3D NAND technology with CMOS under array*" IEEE International Electron Devices Meeting* (2015).

[12] C. Caillat *et al.*: "3DNAND GIDL-assisted body biasing for erase enabling CMOS under array (CUA) architecture" *IEEE International Memory Workshop* (2017)

[13] S. Sahay and D. Strukov: "A behavioral compact model for static characteristics of 3D NAND flash memory" *IEEE Electron Device Lett*. **40** (2019) 558.

[14] G. Malavena *et al.*: "Compact modeling of GIDL-assisted erase in 3-D NAND Flash strings" *J. Comput. Electron.* **18** (2019) 561.

[15] G. Malavena *et al.*: "Investigation and compact modeling of the time dynamics of the GIDL-assisted increase of the String potential in 3-D NAND flash arrays" *IEEE Trans. Electron Devices* **65** (2018) 2804.

[16] D. Resnati *et al.*: "Characterization and modeling of temperature effects in 3-D NAND flash arrays—part I: Polysilicon-induced variability" *IEEE Trans. Electron* Devices **65** (2018) 3199.

[17] H. Kim *et al.*: "Evolution of NAND flash memory: From 2D to 3D as a storage market leader" in Proc. *IEEE Int. Memory Workshop* (2017).

[18] G. A. M. Hurkx: "On the modelling of tunnelling currents in reverse-biased p-n

junctions" *Solid State Electron* **32** (1989).

[19] S. M. Amoroso *et al.*: "Semi-analytical model for the transient operation of gate-all-around charge-trap memories" *IEEE Trans. Electron Devices* **58** (2011) 3116.

[20] C. M. Compagnoni *et al.*: "Physical modeling for programming of TANOS memories in the Fowler–Nordheim regime" *IEEE Trans. Electron Devices* **56**(2009) 2008.

[21] Sentaurus Device User Guide (Version K-2015.06, June 2015).

[22] J. L. Alay and M. Hirose: "The valence band alignment at ultrathin SiO2/Si interfaces" *Journal of Applied Physics* **81** (1997): 1606.

[23] W. C. Lee and Chenming Hu.: "Modeling CMOS tunneling currents through ultrathin gate oxide due to conduction-and valence-band electron and hole tunneling" *IEEE Transactions on Electron Devices* **48** (2001) 1366.

[24] M. Lenzlinger and E. H. Snow: "Fowler-Nordheim tunneling into thermally grown SiO2" *J. Appl. Phys.* **40** (1969) 278.

[25] Y. L. Chiou *et al.*: "Determination of the Fowler–Nordheim tunneling parameters from the Fowler–Nordheim plot" *Solid State Electron.* **45** (2001) 1787.

[26] A. Subirats *et al.*: "Experimental and theoretical verification of channel conductivity degradation due to grain boundaries and defects in 3D NAND" *IEEE International Electron Devices Meeting* (2017).

[27] J. Jang *et al.*: "Vertical cell array using TCAT(Terabit Cell Array Transistor) technology for ultra high density NAND flash memory" *Symposium on VLSI Technology* (2009).

[28] K. T. Kim *et al.*: "The effects of taper-angle on the electrical characteristics of vertical NAND flash memories" *IEEE Electron Device Lett*. **38** (2017) 1375.

[29] X. Zhou and W. Mingxiang: "An analytical subthreshold model of polycrystalline silicon thin-film transistors based on Meyer-Neldel rule" *IEEE Transactions on Electron Devices* **61** (2014) 863.

Abstract

A new GIDL erase compact model of 3D NAND flash memory with proper capture cross section

Kul Lee

Department of Electrical and Computer Engineering

The Graduate School

Seoul National University

As the CMOS-under-array structure is used in 3D NAND flash memory to improve bit density, the gate-induced-drain-leakage (GIDL) erase method is being used. GIDL erase is a method of erasing the cell by increasing the potential of the channel by using the GIDL current occurring in the select transistor.

In this thesis, conventional GIDL erase compact model is validated using TCAD. In the process, it is confirmed that the capture cross section in the compact model is used in a physical meaning different from the existing capture cross section. Therefore, in order to properly validate the compact model, an appropriately converted capture cross section must be used. This thesis describes the conversion method.

In addition, the validated compact model is improved so that practical issues can be considered. An improved compact model is proposed in consideration of the effect of a polysilicon channel and a

tapered angle. The analysis through the proposed compact model shows that a threshold voltage difference of 2.8 V occurs in the same stack, and this difference tends to increase as the radius of the channel decreases.

Keywords : 3D NAND flash memory, erase, compact model, GIDL, capture cross section
Student Number : 2019-20322