



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

석사학위논문

논리&산술 연산이 가능한
OTS 기반 뉴로모픽 소자 연구

2022년 08월

서울대학교 대학원

재료공학부 하이브리드 재료 전공

이재상(李在祥)

논리&산술 연산이 가능한
OTS 기반 뉴로모픽 소자 연구

지도 교수 김 상 범

이 논문을 석사 학위논문으로 제출함
2022년 08월

서울대학교 대학원
재료공학부 하이브리드재료전공
이 재 상

이재상의 석사 학위논문을 인준함
2022년 08월

위 원 장 _____ (인)

부위원장 _____ (인)

위 원 _____ (인)

목 차

I. 서론.....	1
1 Neuromorphic computing의 배경	1
2 현 Neuromorphic computing의 문제점.....	3
3 이론적 배경	5
3.1 비정질 칼코지나이드 재료 기반 OTS.....	5
3.2 Simple artificial neuron based on OTS	10
II. 본론.....	13
1 Neural operator.....	13
1.1 Boolean logic operator.....	19
1.1.1 Boolean logic operator?.....	19
1.1.2 XOR.....	21
1.1.3 AND.....	25
1.1.4 OR.....	27
1.1.5 NOR	29
1.1.6 NAND	31
1.1.7 Flip-flop.....	33
1.2 Arithmetic operator.....	35
1.2.1 Arithmetic operator?	35
1.2.2 SUM.....	36

1.2.3 Parallel.....	39
1.3 인간 뇌의 L2/3 층 Pyramidal 뉴런의 dCaAP 모사.....	41
1.4 요약 및 논의	43
2 OTS 소자의 전기적 형성(Electro-forming) 완화 연구.....	44
2.1 현 OTS 소자의 문제점과 해결 방안	44
2.2 Sn 도핑된 GeSe OTS 소자 제작 및 검증 방법.....	48
2.3 GSS film OTS 소자와 검증	51
2.3.1 OTS의 전기적 형성 과정 전, 후 수송 특성 변화 ...	51
2.3.2 Sn 도핑 GeSe 설계와 결합 구조 분석.....	55
2.3.3 OTS의 전기적 형성 전압 완화와 모델	64
2.4 요약 및 논의	70
III. 결 론.....	72
참 고 문 헌.....	76

표 목차

표 1 GSS 박막의 XRF 조성 분석 결과.....	49
-------------------------------	----

그림 목차

그림 1. OTS 소자의 구조.....	6
그림 2. OTS 소자의 전기적 특성.....	9
그림 3. OTS 소자를 응용한 인공 뉴런.....	12
그림 4. 생물학적 neuron의 구조와 기능.....	14
그림 5. XOR 연산이 가능한 인간 뇌의 L2/3 pyramidal neuron.....	17
그림 6. OTS 소자를 응용한 XOR 논리 연산 뉴런.....	22
그림 7. OTS 소자를 응용한 AND 논리 연산 뉴런.....	26
그림 8. OTS 소자를 응용한 OR 논리 연산 뉴런.....	28
그림 9. OTS 소자를 응용한 NOR 논리 연산 뉴런.....	30
그림 10. OTS 소자를 응용한 NAND 논리 연산 뉴런.....	32
그림 11. OTS 소자를 응용한 Flip-flop 논리 연산 뉴런.....	34
그림 12. Rate coding을 통한 OTS 기반의 SUM 산술 연산 뉴런.....	38
그림 13. Rate coding을 통한 OTS 기반의 PARALLEL 산술 연산 뉴런.	40

그림 14. OTS 기반의 인공 L2/3 pyramidal neuron.	42
그림 15. OTS 소자의 전기적 형성 과정.	46
그림 16. 전기적 형성 과정 이후의 OTS 소자.	49
그림 17. Sn 영역의 GSS 박막 XPS 측정 결과.	56
그림 18. Ge 영역의 GSS 박막 XPS 측정 결과.	57
그림 19. XPS 결과를 통한 결합 구조 분석.	59
그림 20. GSS 박막 Raman 측정 결과.	61
그림 21. Raman 결과를 통한 결합 구조 분석.	62
그림 22. GSS 박막을 이용한 OTS의 전류-전압 특성.	65
그림 23. 낮은 전기장 영역에서 GSS-OTS의 전류-전압 특성.	66
그림 24. 트랩 밀도와 전기적 형성 전압과의 상관 관계.	67
그림 25. GSS 박막의 광학적 밴드갭 측정 결과.	69

보존용 학위논문 정오표

페이지	정정 전	정정 후
p. 39 : 4	$a \square b$	$a \parallel b$

국 문 초 록 (Abstract)

에너지 비효율적인 폰 노이만 컴퓨팅 방식의 한계를 극복하기 위해, 뉴로모픽 컴퓨팅의 필요성이 제기되면서 신경을 모사하려는 연구가 활발히 진행되고 있다. 1943년, 인간의 뇌는 '논리 연산이 가능한' 뉴런 네트워크로 구성되어있다는 가설이 제안되었고, 그 중에서도 XOR 연산은 인간의 학습과 기억에서 중요한 역할을 한다고 알려져 있었다. 그리고, 최근 인간 뇌의 일부 가지 돌기(dendrite)가 XOR 연산을 하고 있음이 실험적으로 밝혀지면서, 뉴런이 연산을 수행할 수 있는 하나의 단위라는 가설을 뒷받침하였다. 이처럼 논리 연산이 가능한 뉴런의 필요성에 비해, 이를 모사하는 인공 뉴런에 대한 연구는 부족한 상황이다. 우리는 OTS(Ovonic threshold switch) 소자를 활용하여 비선형적인 XOR 연산이 가능한 단순 인공 뉴런 회로와 더불어, 비선형적 논리 연산 및 산술 연산자를 최초로 제안한다.

첫 번째로, XOR 연산 뉴런은 기존 OTS 인공 뉴런의 회로를 활용하여, 두 개의 펄스 입력을 받고 연산 결과를 뉴런 스파이크 형태로 출력한다. 실험 결과, 5V의 입력 펄스 전압에 대한 연산 결과는 4MHz 주파수의 뉴런 스파이크로 출력이 가능함을 확인했다. 뿐만 아니라, XOR 연산 뉴런 2개를 활용해 대뇌 피질의 2-3층에 존재하는 피라미드 뉴런(L2/3 pyramidal neuron)에서 보이는 동일한 특성을 시뮬레이션 상으로 구현했다. 비슷한 원리를 응용하여, 선형적인 연산(NOT, AND, OR, NAND, NOR)이 가능한 인공 뉴런과 함께, 실제 뉴런에서 자주 발견되는 특성인 flip-flop 도 실험적으로 구현했다. 이처럼 다양한 논리 연산 뉴런들은 스파이크 기반의 부울 논리 연산이 가능함과 동시에, 인공 뉴런을 구

성하는 데에 있어서 하나의 빌딩 블록으로 사용할 수 있음을 보여준다.

두 번째로, 입력 전압의 합을 뉴런 스파이크 주파수의 크기로 출력이 가능한 Rate coding 기반의 인공 산술 연산 뉴런을 제안한다. 이 인공 뉴런은 OTS 소자와 가변 저항처럼 동작하는 FET를 조합하였고, FET의 각 게이트를 입력 단자로 사용한다. 실험 결과, 각 입력 전압의 합(-2V~4V)은 스파이크 주파수의 크기(0.03~0.62MHz)에 대해 선형적으로 비례하는 것을 확인하였다. 위 산술 뉴런은 대뇌 피질의 5층에 존재하는 피라미드 뉴런(L5 pyramidal neuron)의 특성을 동일하게 모사할 수 있음을 보여주었다.

앞서 언급한 인공 뉴런들은 모두 OTS 소자를 기반으로 하는데, 이 소자는 필연적으로 '전기적 형성(electro forming)' 과정을 가진다. 이 과정은 OTS 소자의 내구성 문제뿐만 아니라, 추가적인 구동 회로를 요구하기 때문에 인공 뉴런 네트워크 설계에서 큰 장애물로 작용한다. 우리는 전기적 형성 과정을 완화하기 위해, 기존 GeSe 기반의 칼코지나이드 재료에서의 전기적 형성 전, 후로 수송 특성을 비교하였다. 전기적 형성 이후 $E_C - E_F$ 값이 1.34eV에서 0.26eV로, 트랩 사이의 거리(Δz)가 26.5nm에서 13.5nm로 크게 감소한 것이 확인되었다. 우리는 이러한 변화가 재료 내 결합 상태 변화에 의해 발생한 것이라고 판단하였으며, 전기적 형성 과정을 완화하기 위한 재료를 설계하였다. 비정질 칼코지나이드 재료 내 트랩의 기원으로 알려진 VAP (Valence alternation pair) 모델을 기반으로, 국소 결합 구조의 변화를 통해 트랩 밀도를 증가시킬 수 있는 Sn을 치환 도핑했다. 우리는 GSS ($Ge_{1-x}Sn_xSe_1$) 박막을 농도 별로 제작하였고($x=0-0.47$), XPS 및 Raman 분석을 통해 예상한 결합 구조의 변화를 검증하였다. GSS 박막 OTS의 전류-전압 특성을 분석한

결과, Sn 농도가 증가할수록 전기적 형성 전압(V_{form})이 9V-6.5V 으로 점차 감소하였고, Δz 는 26.5nm에서 17.5nm로 점진적으로 감소하는 것이 확인되었다. 위 결과는 OTS의 전기적 형성 과정이 Δz 와 관련이 있음을 보여주며, 궁극적으로 전기적 형성 과정이 없는 OTS를 개발하는데에 실마리가 될 것으로 보인다.

본 연구에서는, 다양한 논리 및 산술 연산 뉴런들을 통해 뇌에서 영감을 받은 컴퓨팅(뉴로모픽 컴퓨팅) 시스템 개발을 위해 필수적인 구성 요소를 제공한다. 또, OTS 소자의 '전기적 형성' 문제를 완화시킬 수 있는 재료를 설계하면서, 인공 신경망 설계를 더 단순화할 수 있는 기반이 될 것으로 기대한다.

I. 서 론

1 Neuromorphic computing의 배경

지난 1965년 무어의 법칙(Moores' law) [1] 과 같이 수십년간 CMOS (Complementary metal oxide semiconductor)를 기반으로한 폰 노이만 방식의 컴퓨팅 성능은, 고집적화 공정이 가능해짐에 따라 점점 증가해왔다. 하지만, CMOS 소자의 소형화(공정적 또는 물리적) 한계로 인해 시간이 지남에 따라 성능 증가율은 점점 감소해오고 있다고 전해진다. 게다가, 4차 산업 혁명과 관련된 인공 지능 반도체의 필요성이 제기됨에 따라 방대한 데이터 저장량과 처리 속도를 요구하지만, 폰 노이만 병목 현상¹과 글로벌 클럭(Global clock)에 의해 사용되는 전력의 양은 기하급수적으로 증가하고 있다. 2016년, 인간과 컴퓨터의 능력을 시험해보는 알파고(Alpha go, Google Deepmind)와 이세돌의 대국에서, 알파고가 승리를 거머쥔 사건이 있었다. 대중들은 인간의 패배라고 생각했을지도 모르겠지만, 위 사례는 폰 노이만 컴퓨팅 방식의 구조적 한계를 잘 보여준다. 알파고는 딥러닝(Deep learning)을 기반으로한 폰 노이만 컴퓨팅 방식을 차용하였으며, 실제로 1200여개의 CPU와 170여개의 GPU²를 사용하여, 수많은 저장과 연산 량을 소화하였다. 하지만, 이 모두를 돌리기

¹ Von-Neumann bottleneck 연산과 저장이 분리된 구조에서, 명령어를 순차적으로 처리함에 따라 버스(bus)에서의 지연 현상.

² 김은정, 2017 급부상 및 한계돌파형 기술(산업) 동향 분석, 2017.12, 한국과학기술기획평가원

위해 필요한 전력은 173kW^3 로, 고작 20W 의 전력만을 소비하는 인간 [2]에 비해 매우 비효율적인 방법임에는 틀림이 없다.

우리는 뉴런들로 이루어진 인간의 뇌에서 힌트를 얻었으며, 뉴로모픽 컴퓨팅에 대한 최초의 수학적 해석은 1943년 Warren S. McCulloch와 Walter Pitts에 의해 수행되었다[3]. 이는 뉴런이 부울 논리 게이트 (Boolean logic gate) 역할을 하고, 인공 뉴런으로 구성된 작은 네트워크가 간단한 논리 연산부터 높은 수준에 이르는 계산 능력을 모방할 수 있다고 했다. 위 연구 이후로, 뇌의 기본 원리 또는 신경 모사 기술(소자 또는 알고리즘)을 기반으로 한 인공지능 프레임워크(architecture)를 만들고자 하였으며, 이는 생물학적으로 그럴듯한 인공 뉴런 소자 개발에 새로운 가능성을 열어주었다.

³ $1202 \times 100\text{W (CPU)} + 176 \times 300\text{W (GPU)} = 173\text{kW}$

2 현 Neuromorphic computing의 문제점

현대의 뉴로모픽 뉴런과 시냅스 모델은 1940-1950년대에 제안된 "명칭한 뉴런 (Dumb neuron)" 개념에 기초하고 있는데, 여기서 뉴런은 시냅스 입력의 단순한 적분자(integrator)로 여겨진다.[4-6] 따라서 단일 뉴런은 단순한 산수와 논리 연산만 가능할 수 있는 것으로 생각되어 왔다. 하지만, 누적된 신경과학적 연구에 따르면, 뉴런들의 계산 능력은 단순하지 않고, 다재 다능하다는 증거들이 제시되었다[4].

그리고 최근, A. Gidon 등은 실제 인간 뇌의 L2/3(2, 3 Layer)에 존재하는 dCaAP(Calcium-mediated dendritic action potentials, 칼슘 매개 가지 돌기 활동 전위)가 기본적인 AND/OR 논리 게이트처럼 동작하는 것과 달리, 선형적으로 분리할 수 없는 XOR 함수⁴를 스스로 계산할 수 있음이 밝혀졌다[7]. 지금까지의 XOR 함수는 적어도 두 개 이상의 계산 층과 더 많은 접합을 필요로 했으며, 지난 수십 년 동안 단일 뉴런에서 불가능한 것으로 여겨졌다[8]. 단일 뉴런에서의 XOR 계산은 생물물리학적으로 현실적인 뉴런 모델에 기초하여 제안된 것은 꽤 최근의 일이다[9]. 이러한 중요성에도 불구하고 생물학적으로 신뢰할 수 있는 인공 뉴런 소자를 기반으로 하는 인공 신경 논리 게이트 또는 신경 연산자의 하드웨어 구현은 많이 탐구되지 않았다.

⁴ 디지털 입력 단이 x 와 y 이고, 출력 값을 $f(x,y)$ 라고 정의하자. 그리고, x 축과 y 축이 각각 0과 1로 이루어진 그래프를 그려보면, $f(0, 0)=0$, $f(1, 0)=f(0, 1)=1$, $f(1, 1)=0$ 이므로, $f(x, y)$ 값(0, 1)을 선 하나로는 분리할 수 없다.

따라서, 에너지 효율적인 뇌에서 영감을 받은 컴퓨팅 시스템(뉴로모픽 컴퓨팅)을 개발하기 위해서, 생물학적 뉴런 연산 방식을 모방할 뉴로모픽 소자는 반드시 필요하다. 비슷한 연구로 [10], VO_2 소자를 이용해 Izhikevich의 20가지 뉴런 거동 [11]을 모사하는 연구가 있었지만, 생물학적 뉴런의 거동을 단순히 모사하는 데에 집중하였으며, 논리 게이트에 관한 논의는 하지 않았다.

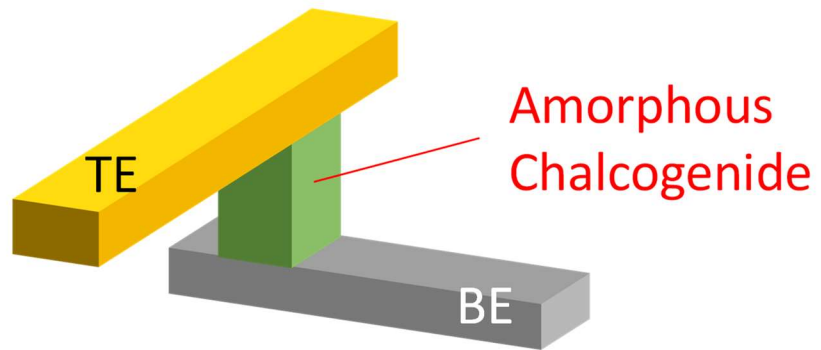
3 이론적 배경

3.1 비정질 칼코지나이드 재료 기반 OTS

OTS(Ovonic threshold switch) 소자는 Ovshinky [12]에 의해 처음 발견된 멤리스트 소자의 일종으로, 빠른 스위칭 속도와 높은 전류 용량, 고집적 공정을 특징으로 하는 가역적 스위칭 소자이다[13, 14]. 최근 OTS 소자는 Selector로의 응용을 가능하게 할 뿐만 아니라, Neuromorphic 시스템 개발에서 인공 뉴런 소자로 활용될 수 있는 방안이 보고되었고, 생체 뉴런과 유사한 거동을 모사하는 것이 확인되어 관심을 받고 있다[15, 16].

일반적으로 OTS 소자는 비정질 칼코지나이드 재료를 기반으로 하고, 그림1(a)와 같이 상부 전극과 하부 전극으로 둘러싸인 샌드위치 구조의 2단자 소자이다. 실제 소자의 구조를 보기 위해, 실험에서 사용되는 OTS 소자의 단면 투과 전자 현미경(TEM) 이미지를 그림1(b)에 나타내었다. OTS 소자의 특징은 양단의 전위차(V_{OTS})가 소자가 가지는 고유 문턱 전압(V_{th})보다 작을 때($V_{OTS} < V_{th}$)는 고 저항 상태($\sim 10^8 \Omega$)를 가지고, 소자가 가지는 문턱 전압보다 클 때($V_{OTS} > V_{th}$) 저 저항 상태($\sim 10^2 \Omega$)로의 급격한 저항 변화가 발생하는데, 이를 Ovonic threshold switching 현상이라고 한다. 또 다른 중요한 특징은 입력 전압이 충분히 커서($V_{in} > V_{th}$) OTS 소자가 한번 켜짐 상태(저저항)가 된 이후, 입력 전압이 V_{th} 가 아닌 V_h ($V_h < V_{th} < V_{in}$) 보다 낮을 때 꺼짐 상태(고저항)가 된다는 점이다.

a)



b)

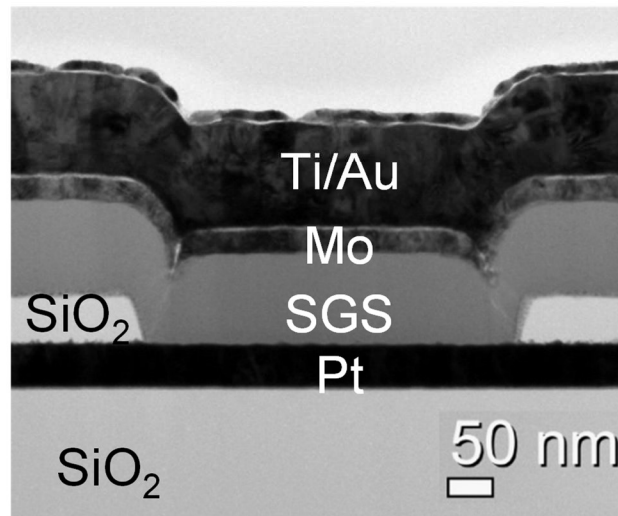


그림 1. OTS 소자의 구조. a) OTS의 소자의 간략도. b) 실험에 사용된 OTS 소자의 TEM 단면도.

실제 OTS 소자의 전류-전압 특성을 보기 위해 그림2(a)와 같은 회로를 구성하였다. 그림2(b)는 입력전압(V_{in})을 x축, 소자에 흐르는 전류($I_{OTS}=I_R$)를 y축으로 그렸을 때, 문턱전압(V_{th} , 4~4.5V)과 홀딩전압(V_h , ~1V)을 볼 수 있다. 또는, 그림2(b)처럼 x축을 OTS에 인가된 전압(V_{OTS}), y축을 I_{OTS} 로 OTS의 전류-전압 곡선을 보여주기도 한다. 이와 같이, 히스테리시스(Hysteresis)곡선이 나타나며, 이는 OTS 소자가 비휘발성(non volatile) 멤리스터(memristor)로 불리는 이유이다.

사용된 OTS 소자는 그림1(b)와 같이 기공형 구조⁵이며, 본 실험에서는 주로 $d_{pore}=20\mu m$ 의 OTS를 사용한다. 하부 전극과 상부전극은 백금(Pt) 100 nm, 몰리브덴(Mo) 50nm 을 사용했고, 사이에 끼워진 비정질 칼코지나이드는 GSS ($Sn_9Ge_{41}Se_{50}$)⁶ 100 nm 를 사용한다. 전극용 금속(Pt, Mo)은 E-beam evaporator, 비정질 칼코지나이드(GSS)는 RF magnetron sputter로 증착한다.

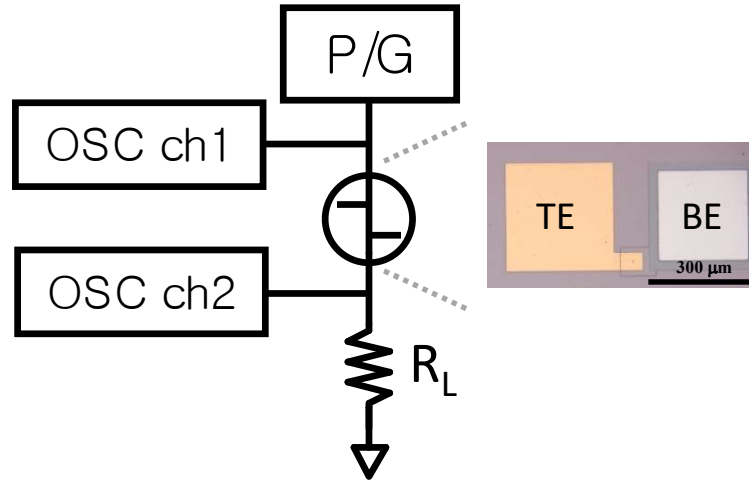
그림2(b), (c)에서 나타낸 OTS 소자의 전류-전압 곡선은 20회 반복 측정을 통해 기록한 것이며, 이는 20개의 삼각형 펄스 트레인을 사용하여 측정한다. 측정할 때, 소자에 흐르는 최대 전류를 낮추기 위해 저항(R_L) 500 Ω 을 사용했다. 펄스 트레인을 줄 때, 임의 파형 발생기(Arbitrary function generator, AFG-3101, Tektronix Inc.)로 상승 시간, 하강 시간, 중간 파형 길이는 각각 500 ns, 500 ns, 1 us 인 파형을

⁵ Pore type, 하부 전극에 기공 면적만 노출시키고, 이를 제외한 부분은 부도체(SiO_2)로 막는 구조. 소자 제작 시, 기공의 직경(d_{pore})은 200nm~20 μm 로 구성하였음.

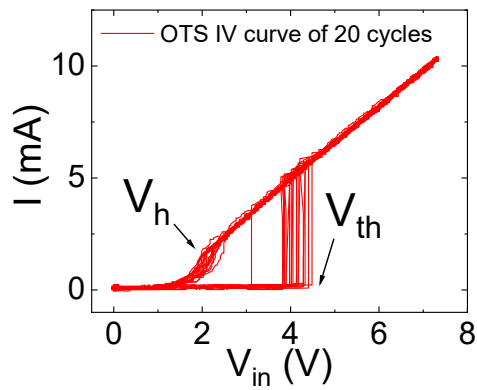
⁶ XRF 분석을 통해 구한 조성. XRF 분석결과에 관한 내용은 2.3.2절에 나타내었음.

8 us의 주기(Period)로 20회 인가하였다. 그리고, 다중 채널 오실로스코프(DPO-5104, Tektronix Inc.)를 사용하여 입력 단(OTS의 앞 단)과 출력 단(OTS의 뒷 단)의 전압을 측정한다(그림2(a) 참고).

a)



b)



c)

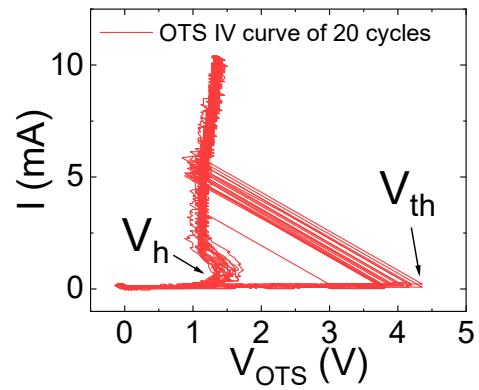


그림 2. OTS 소자의 전기적 특성. a) OTS 전류-전압 특성을 측정하기 위한 회로. b) 위 회로를 구성하여, 20번 반복 측정을 통해, 입력 전압에 대한 OTS 소자의 전류를 본 그래프. c) 동일한 방법으로, OTS에 인가된 전압에 대해 전류를 본 그래프. b), c) 에서 문턱전압(V_{th})과 홀딩 전압(V_h)을 볼 수 있음.

3.2 Simple artificial neuron based on OTS

이전 연구에서 [15], 우리는 칼코지나이드 기반의 OTS 소자와 커패시터 및 저항과 같은 몇 가지 수동 소자로 구성된 인공 뉴런 소자를 제시한 바가 있고, 인공 뉴런은 Leaky integrate & fire (LIF) 동작뿐만 아니라 비선형 역학으로 설명되는 chaotic 활동⁷도 잘 보여준다.

위 인공 뉴런 회로는 RC 지연 현상을 응용하는데, 원리를 이해하기 위해 우리는 동일한 뉴런 회로를 그림 3(a)와 같이 구성하였다. 만약 입력 전압(V_{in})이 인가되면, 꺼짐 저항이 큰 OTS로는 전하가 흐를 수 없기 때문에 축전기에 전하가 축전되기 시작하며 축전기의 전위(또는 막전위, V_{mem} , Membrane potential)는 점점 증가한다. 이때 축전기의 전위는 식(1)로 표현된다.

$$V_{mem} = V_{in} \cdot (1 - e^{-\frac{t}{R_d C_{mem}}}) \quad (1)$$

만약 축전기의 전위가 OTS의 문턱 전압($V_{mem} > V_{th}$)보다 커지게 되면, OTS의 문턱 전압 스위칭이 발생하며, 축전기에 축전된 전하가 OTS로 흐르게 된다. 하지만, OTS의 홀딩 전압(V_h) 이하에서는 다시 꺼짐 상태가 되기 때문에, 축전기 내 모든 전하가 빠져나갈 수 없다. 따라서 그림 3(b)의 아래와 같이 축전기의 전위는 홀딩 전압(V_h)에서 유지되는 모습

⁷ 무질서처럼 불규칙해 보이는 성질이나, 그 안에서 논리적 법칙을 가진다는 이론. 초기 값에 따라 크게 변하는 성질(나비 효과)과 예측 불가능성을 보임. 예시로, 연기의 확산, 태풍의 발생 등이 있음.

을 보여준다. 또, 축전기의 전위가 문턱전압(V_{th})에 도달하면, 그림3(b)의 위에서 스파이크 전류(I_s)가 발생하는 것으로 보아, I&F (Integrate&Fire) 동작이 가능함을 보여준다.

뿐만 아니라, 그림3(a)의 회로를 바탕으로 레이트 코딩(Rate coding) 기능도 보여줄 수 있다. 식(1)에서, 입력 전압(V_{in})의 세기가 커지면 축전기의 전위(V_{mem})가 문턱전압(V_{th})에 도달하는 시간(t)가 점점 줄어드는 것을 확인할 수 있다. 시간 t 가 줄어든다는 것은 활동 전위의 주기가 점점 줄어들고, 활동 전위의 주파수(활동 전위 주기의 역수)는 증가한다는 것을 의미한다. 실제 실험결과, 입력 전압 증가에 따라 활동 전위의 주파수(Spike frequency)가 증가하는 동작을 육안으로 확인 하였으며, 그림3(c)에서 그 결과를 보여준다.

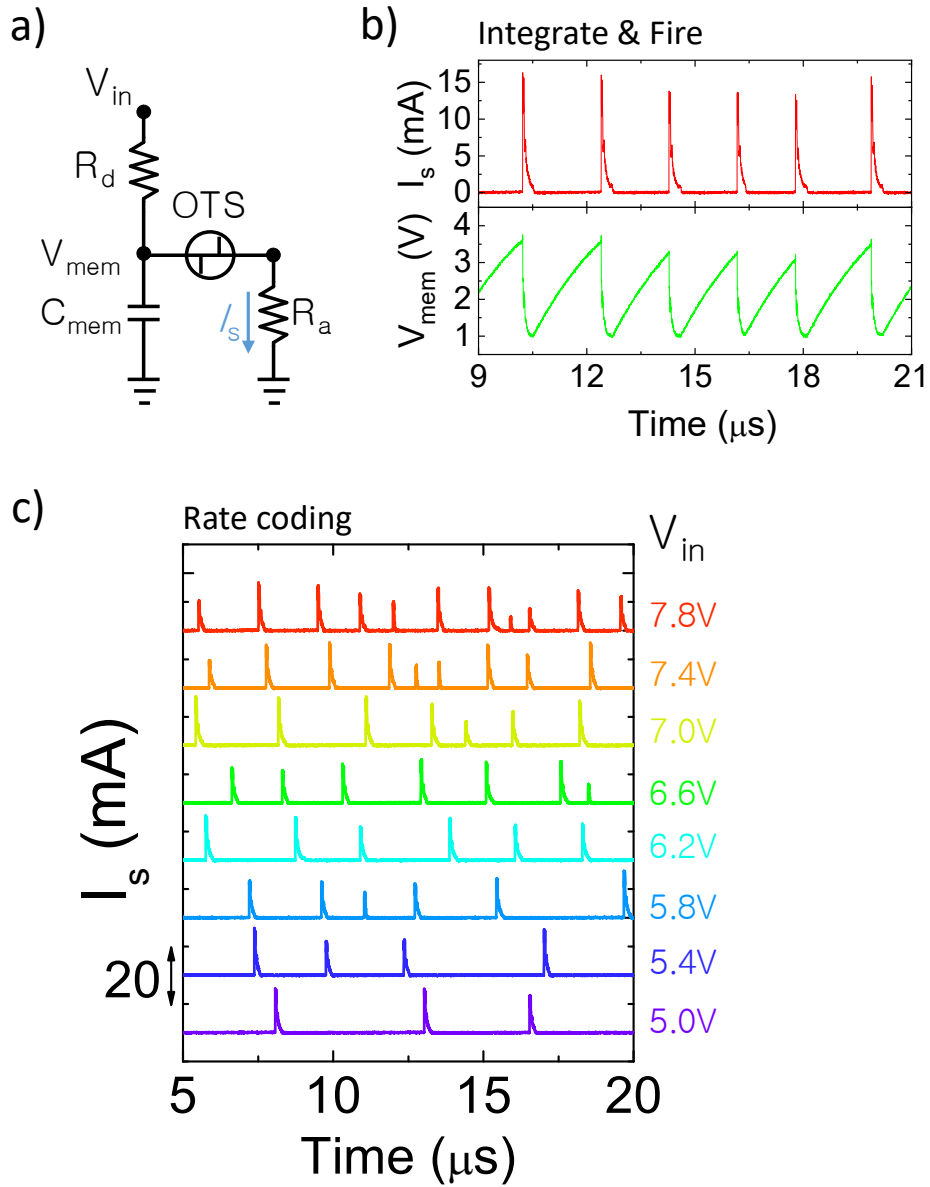


그림 3. OTS 소자를 응용한 인공 뉴런. a) OTS 소자를 이용한 인공 뉴런 회로. 이때, $R_d=9.1k\Omega$, $R_a=100\Omega$, $C_{mem}=100pF$ 로 구성하였음. b) 아랫 그림은 막 전위(membrane potential)을 나타내며, 막 전위가 역치를 넘을 때 스파이크 전류가 나타나는 것을 윗 그림에 나타내었음. c) 입력 전압에 따라 스파이크 발생 빈도가 높아지는 레이트 코딩(rate coding) 기능을 보여줌.

II. 본 론

1 Neural operator

뉴로모픽 컴퓨팅과 관련된 신경과학의 일반적인 합의는 신경들이 연산을 하고 있다는 개념이다. 뇌는 단순한 논리 게이트로 구성되어 있고, 이들이 유기적으로 연결되어 컴퓨터처럼 신경 정보를 처리한다고 주장한다[17-20]. 그림4와 같이, 잘 알려진 뉴런의 구조를 살펴보면, 가지돌기(Dendrite), 세포체(Soma), 축삭(Axon), 그리고 시냅스(Synapse)로 구성된다. 가지돌기는 이전 뉴런(Pre-neuron)에서 입력된 전기적 신호(전압 또는 전류)를 받아들이고, 세포체는 입력 신호를 합하여 역치(Threshold)를 기준으로 활동 전위(Action potential)를 축삭으로 전달한다. 뉴런마다 다르지만, 예를 들어, 역치가 낮은 뉴런의 경우 이전 뉴런으로부터 들어온 활동 전위를 대부분 다음 뉴런으로 전달하는 기능을 할 수 있다. 즉, 하나의 신호만 들어와도 다음 뉴런으로 활동전위를 만들어낼 수 있는 'OR' 논리연산이 가능하다. 반면, 역치가 높은 뉴런의 경우, 이전 뉴런으로부터 들어온 하나의 신호로는 역치를 넘을 수 없기에 최소 2개 이상의 입력이 필요한데, 이는 'AND' 논리 연산과 동일한 기능을 보여준다. 시냅스는 뉴런의 말단에 위치한 것으로, 다음 뉴런과의 연결 강도를 담당한다. 뉴런과 다르게 시냅스는 전기적 신호가 아닌 화학적 방법으로 전달을 한다고 알려지는데, 이는 기억 및 학습과 밀접한 관련이 있다[14].

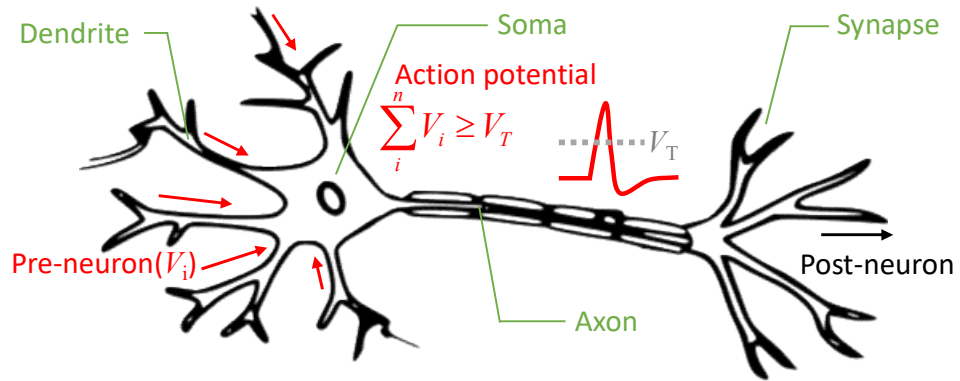


그림 4. 생물학적 neuron의 구조와 기능. 뉴런은 크게 이전 뉴런(Pre-neuron) 으로부터의 신호를 받는 가지 돌기(dendrite), 수신된 신호를 조합하여 새로운 스파이크 패턴을 발생시키는 핵(soma), 발생된 스파이크 패턴을 다음 뉴런 (Post-neuron)으로 전달하는 axon(축삭 돌기)로 구성됨.

이와 같이, 시냅스 외 구조(가지돌기, 세포체, 축삭) 및 시냅스가 하는 특징적인 역할을 바탕으로, 뉴로모픽 컴퓨팅에서 크게 뉴런과 시냅스로 나누어 연구가 되고 있다[14]. 이번 연구에서는 뉴런의 논리 연산에 관한 이야기를 해보고자 한다.

앞에서 말한 바와 같이, 뉴런들은 논리 연산(AND, OR)의 기본 단위로 간주되고, 뉴런들은 유기적으로 연결된 신경망을 이루고 있기 때문에 높은 수준의 컴퓨팅이 가능하다고 전해진다. 뉴런(또는 뉴로모픽) 컴퓨팅에 대한 최초의 수학적 해석은 1943년 Warren S. McCulloch와 Walter Pitts에 의해 수행되었으며, 이는 뉴런이 부울 논리 게이트(Boolean logic gate) 역할을 하고, 인공 뉴런으로 구성된 작은 네트워크가 간단한 논리 연산부터 높은 수준에 이르는 계산 능력을 모방할 수 있다고 제안했다[3]. 획기적인 연구 이후, 뇌의 기본 원리 또는 신경 모사 기술(소자 또는 알고리즘)을 기반으로한 인공지능 프레임워크/framework)를 만들고자 하였으며, 이는 생물학적으로 그럴듯한 인공 뉴런 소자 개발에 새로운 가능성을 열어주었다.

놀랍게도, 현대의 뉴로모픽 뉴런과 시냅스 모델은 1940-1950년대에 제안된 "멍청한 뉴런 (Dumb neuron)" 개념에 기초하고 있는데, 여기서 뉴런은 시냅스 입력의 단순한 적분자(integrator)로 여겨진다. 따라서 단일 뉴런은 단순한 산수와 논리 연산만 가능할 수 있는 것으로 생각되어왔다[4-6]. 하지만, 누적된 신경과학적 연구에 따르면, 뉴런들의 계산 능력은 단순하지 않고, 다재 다능하다는 증거들이 제시되었다[4]. 이는 단일 뉴런이 복잡한 논리 연산을 수행을 위한 멀티모달(multimodal) 연산이 가능함을 암시한다. 이를 뒷받침하는 증거로 B. Sharif 등은 쥐의

C-fiber의 하위 개체군이 시냅스 입력의 유형에 따라 뚜렷한 행동 출력을 보인다는 것을 입증했고[21], 이는 뉴런이 여러 신경전달물질을 방출할 수 있다고 주장하는 새로운 패러다임과도 일치한다[22, 23]. 게다가, 가지 돌기 수용체(receptor)의 일부(AMPA 및 NMDA 수용체)는 뉴런 출력을 조절하는 데에 있어서 중요한 역할을 한다는 보고도 존재한다[24].

그리고 최근, A. Gidon 등은 실제 인간 뇌의 L2/3(2, 3 Layer)에 존재하는 dCaAP(Calcium-mediated dendritic action potentials, 칼슘 매개 가지 돌기 활동 전위)가 기본적인 AND/OR 논리 게이트처럼 동작하는 것과 달리, 선형적으로 분리할 수 없는 XOR 함수를 스스로 계산할 수 있음이 밝혀졌다[7].(그림5 참고) 지금까지의 XOR 함수는 적어도 두 개 이상의 계산 층과 더 많은 접합을 필요로 했으며, 지난 수십 년 동안 단일 뉴런에서 불가능한 것으로 여겨졌다[8]. 단일 뉴런에서의 XOR 계산은 생물 물리학적으로 현실적인 뉴런 모델에 기초하여 제안된 것은 꽤 최근의 일이다[9]. 이러한 중요성에도 불구하고 생물학적으로 신뢰할 수 있는 인공 뉴런 소자를 기반으로 하는 인공 신경 논리 게이트 또는 신경 연산자의 하드웨어 구현은 많이 탐구되지 않았다.

에너지 효율적인 뇌에서 영감을 받은 컴퓨팅 시스템(뉴로모픽 컴퓨팅)을 개발하기 위해서, 생물학적 뉴런 연산 방식을 모방할 뉴로모픽 소자는 매우 필요하다. 비슷한 연구로[10], VO_2 소자를 이용해 Izhikevich의 20가지 뉴런 거동[11]을 모사하는 연구가 있었지만, 생물학적 뉴런의 거동을 단순히 모사하는 데에 집중하였으며, 논리 게이트에 관한 논의는 하지 않았다.

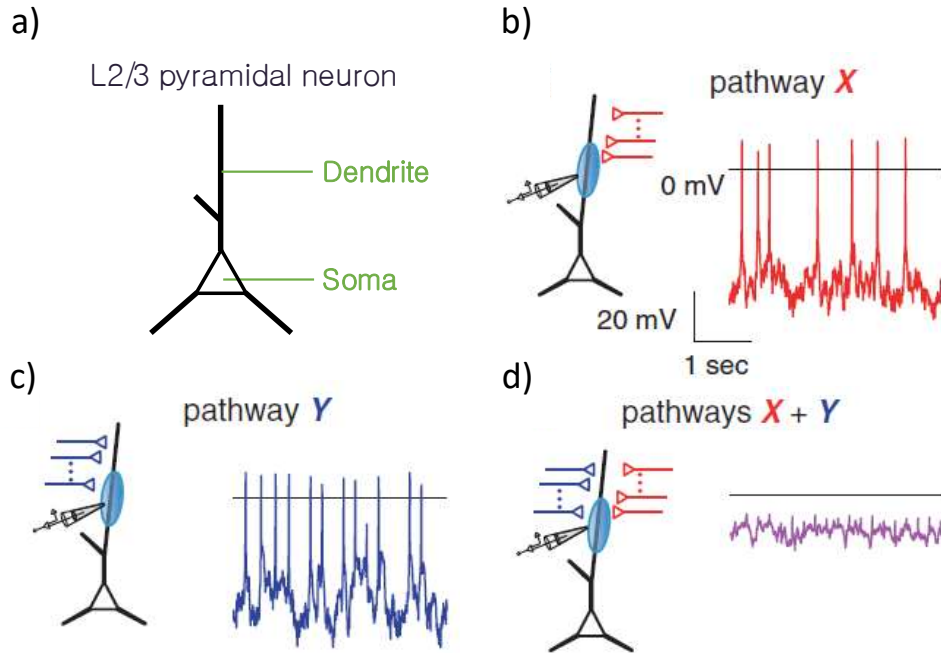


그림 5. XOR 연산이 가능한 인간 뇌의 L2/3 pyramidal neuron. a)는 pyramidal neuron의 간략도. b), c) 에서 X 또는 Y에 excitatory neuron 입력이 들어왔을 때의 dCaAP. d) X와 Y에 동시에 excitatory neuron 입력이 들어올 때의 dCaAP. 위 그림으로 보아, XOR 연산이 가능함을 알 수 있음.

본 연구에서는 OTS를 활용하여 신경 연산자로 작동할 수 있는 여러 회로, 1) AND, OR, NOT, NOR, XOR, FLIP-FLOP과 같은 부울 논리 게이트(Boolean logic gate), 2) SUM 및 PARALLEL과 같은 아날로그 산술 연산자(Analog arithmetic operator)를 제안한다. 1), 2)와 같은 회로에서 값이나 정보가 스파이크(spike)의 비율로 표현된다는 점에서 "신경망"이라고 불리며, 이는 생물학적 시스템의 인코딩 방법 중 하나인 "rate coding"이 가능하다[25]. 이 연구는 "멍청한 뉴런" 개념을 넘어서, 복잡한 논리/산술 연산 능력을 가진 인간에서의 "스마트 뉴런" 개념[26]을 뒷받침할 수 있다고 믿는다.

1.1 Boolean logic operator

1.1.1 Boolean logic operator?

논리 회로(logic gate)는 하나 또는 둘 이상의 논리적 입력 값에 대해 논리 연산을 수행하여 하나의 논리적 출력 값을 얻는 전자회로를 말한다. 이때, 부울 논리 회로(Boolean logic gate)는 부울 대수⁸(Boolean)로 표현된 입력 값과 출력 값을 가진다. 예를 들어, 'AND' 논리회로는 두 개의 입력 단에서 참이 들어왔을 때만 참으로 출력하고, 하나의 입력이라도 거짓이면 거짓으로 출력한다. 실제로, 프로세서는 CMOS로 구성된 부울 논리 회로들의 조합으로 복합적인 논리 기능을 수행하고 있으며, 전가산기(Full adder)⁹의 경우 XOR 2개, AND 2개 그리고 OR 1개로 구현된다. 이처럼 부울 논리 회로는 논리 연산에 있어서 가장 기본적인 연산 단위(Unit)이다.

본 연구에서는, 위와 같이 디지털(0, 1) 방식의 논리 회로를 이루는 것이 아니라, 스파이크 기반 부울 논리 회로를 구현했다는 점을 주목해야 한다. 우리가 제안하는 스파이크 기반 부울 논리 회로는 디지털 입력을 받았을 때 출력 값으로 스파이크를 내보낸다. 이를테면, 출력 값이 스파이크를 보이지 않으면, 거짓(0) 그리고 스파이크를 보이면, 참(1)으로 간주한다. 그림3에서 LIF 및 레이트 코딩이 가능하다는 점으로 보아,

⁸ 참 또는 거짓 값을 말하며, 일반적으로 0은 거짓, 1은 참을 뜻한다.

⁹ 자리 올림을 고려한 가산기로 입력 값 2개와 자리 올림 수 1개의 입력을 받는다.

뉴런의 두 가지 특성을 지닌 인공 뉴런 논리 회로를 제안한다. 다음 절에서는 스파이크 기반 부울 논리회로인 XOR, AND, OR, NOR, NAND 그리고 flip-flop 에 대한 시뮬레이션과 그에 따른 실험 결과를 보여준다.

1.1.2 XOR

1.1절에서 설명한 것과 같이, 뉴런의 특징(LIF, 레이트 코딩)을 가지면서, XOR 논리 연산이 가능한 하드웨어를 구현하는 것은 매우 의미있는 일이라고 강조한 바가 있다. 우선, XOR 논리 연산이란, 'Exclusive OR'의 줄임말로, 'OR'의 진리표를 그려보면, 입력으로 참(1), 참(1)이 들어왔을 때, 출력으로 참(1)을 하는 것이 아니라 거짓(0)을 출력한다(그림6(a)참고). XOR 연산은 비선형적 생물학적 특성[9] 외에도, 가산기(Adder)[27] 또는 암호화 및 복호화(Encryption, Decryption)에서도 매우 중요한 역할을 한다고 알려져있다[28].

우리는 XOR 연산을 구현하기 위한 방법으로, OTS의 동작 특성에 주목하였다. OTS 소자는 양단의 전위차(V_{OTS})에 의해 켜지기도($V_{OTS} > V_{th}$)하고, 꺼져있기도 하는($V_{OTS} < V_{th}$)데, 만약 OTS의 양단에 동일한 전압($V_{in1} = V_{in2} = V_0$)이 인가되면, 켜지지 않는다는 점($V_{OTS} = V_0 - V_0 = 0$)을 이용해보고자 하였다. 우리는 그림 6(b)과 같은 회로를 구성하였고, LTspice 활용한 시뮬레이션을 진행한다.

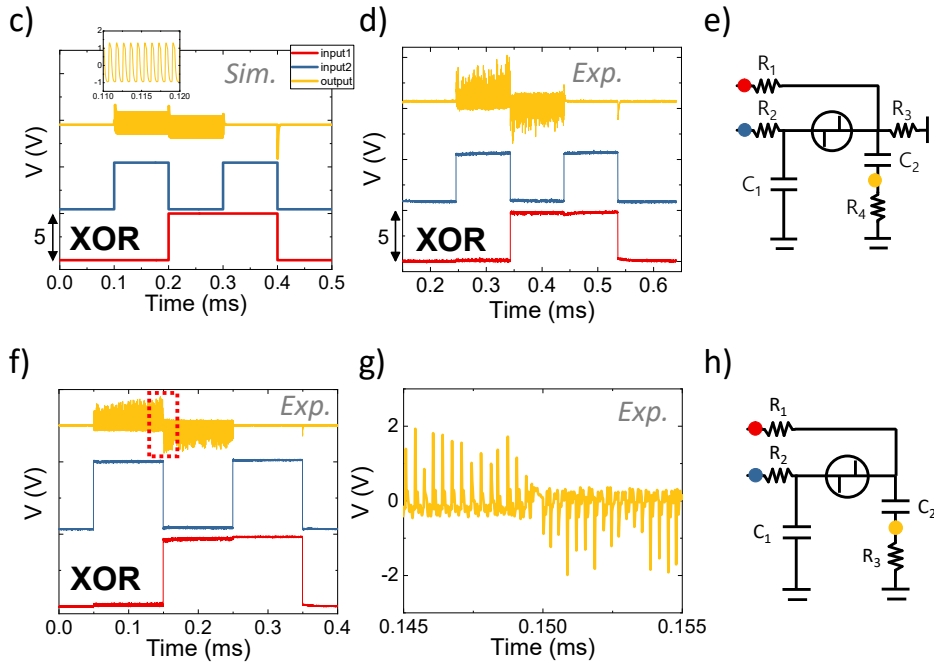
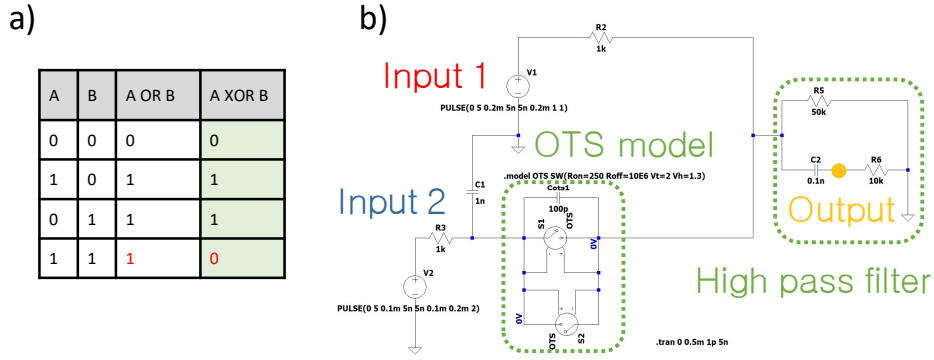


그림 6. OTS 소자를 응용한 XOR 논리 연산 뉴런. a) OR과 XOR의 진리 표. b) LT spice 내에서, OTS 모델을 이용한 XOR 회로도. c) 시뮬레이션으로 얻은 파형 d) 실험적으로 얻은 파형과 회로도를 e)에 나타내었음. $R_1=R_2=1k\Omega$, $C_1=1nF$, $C_2=100pF$, $R_3=50k\Omega$, $R_4=10k\Omega$. f) XOR 회로에서, 누설 전류 성분을 제거한 회로로 실험하여 얻은 파형. g) f)그림에서 빨간색으로 그린 부분을 확대한 그림. h) 누설 전류 성분을 제거한 XOR 회로. $R_1=R_2=900\Omega$, $C_1=1nF$, $C_2=100pF$, $R_3=5k\Omega$.

LT spice 에서 OTS 와 동일한 특성을 보이는 모델을 구현하기 위해서, 전압 조절 형 스위치 모델(Voltage controlled switch model)과 소자 내에 존재하는 기생 축전 용량 성분을 고려하여 병렬로 축전기를 추가하여 만들었다. 결과적으로 V_{th} , V_h , R_{on} , 그리고 R_{off} 를 정의할 수 있는 OTS 모델을 제작하였다. 그리고 XOR 회로를 구현하기 위해, 양단에 입력 전압(V_{in})이 각각 들어오게 했고, 그림3에서 얻었던 뉴런 스파이크 특성을 얻기 위해, 축전기를 위치시켰다. 마지막으로, OTS 뒷 단 또는 앞 단에는 고주파 성분만 나올 수 있도록 저항과 축전기로 구성된 고주파 통과 필터(high pass filter)를 배치하였고, 구성한 LT spice 회로를 그림6(b)에 같이 나타내었다. 구성한 XOR 회로 시뮬레이션 결과, 두 입력 값이 모두 들어올 때($V_{in1}=V_{in2}=5V$)는 스파이크가 발생하지 않고 (0), 두 입력 값 둘 중 하나만 들어올 때($V_{in1}=5V, V_{in2}=0V$ or $V_{in1}=0V, V_{in2}=5V$), 스파이크가 발생하는 시뮬레이션 결과를 그림6(c)에 나타내었다. 시뮬레이션 결과를 바탕으로, 진리 표를 그려보면 그림6(a)와 같이 XOR 동작을 잘 하고 있음이 확인된다. 궁극적으로, 시뮬레이션 데이터를 바탕으로 실제 실험에서도 동일한 결과를 보이는 것에 성공하였으며, 사용한 회로와 실험 결과를 그림6(d), (e)에 나타내었다.

그러나, 입력 1번과 2번(input 1, input 2)이 동시에 들어온 경우를 생각해보자. OTS는 스위칭이 발생하지 않는 대신, 입력 1번에서 R3 저항으로 빠지는 누설 전류가 발생한다. 저전력을 목표로 하는 뉴로모픽 컴퓨팅에서 누설 전류는 장애물로 작용하여, 이를 해결하고자 하였다. XOR 연산 원리에 의하면, 축전기(C2)와 저항 성분(R4)만 있어도 고주파 필터 역할을 충분히 수행할 수 있기 때문에, R3 성분을 제거해도 유사한 결과를 얻을 수 있다.

한편, XOR 논리 회로를 응용해서, NOT 논리 회로를 똑같이 구현할 수 있는데 입력단자 한쪽(V_{in2})을 V_{dd} 로 항상 고정해놓으면, 다른 입력단자(V_{in1})에 입력이 들어오기 전에는 항상 참(1)을 나타내고, 입력이 들어오면 거짓(0)을 나타낸다. 이는 NOT 논리 회로로도 활용할 수 있고, 또는 해석에 따라서, 흥분성 뉴런(V_{in2})이 들어오는 상황에서 억제성 뉴런의 입력(V_{in1})이 들어오는 경우로도 해석할 수 있다.

1.1.3 AND

AND 논리 연산이란, 그림7(a)의 진리표에서 입력으로 참(1), 참(1)이 들어왔을 때만 출력으로 참(1)을 반환하는 논리 연산자를 말한다. 우리는 스파이크 기반의 AND 논리 회로를 구현하기 위해 키리히호프의 법칙(전류 및 전압 법칙)을 적용한다. 그림3의 뉴런 회로에서 하나였던 입력 단을 두 개로 나누고, 같은 크기의 저항(OTS의 off 저항보다 충분히 작은)을 하나씩 위치시켜 그림7(b)과 같은 회로를 구성한다. 만약 두 입력 단 중 하나에만 높은 전압($V_{th} < V_{in} < 1.2V_{th}$)이 들어오게 되면, 같은 크기의 저항 두 개에 각각 동일한 크기의 전압 분배가 발생한다. 이는 OTS의 off 저항이 매우 크기 때문에, 대부분의 저항은 저항체($R_1=R_2$)가 지배(병렬 연결된 저항에서의 합성 저항)하기 때문이다. 그리고, $V_{in}(=5V)$ 에 대해 OTS 앞 단 전위는 $V_{in}/2$ 로($V_{in}/2 < 0.6V_{th}$), V_{th} 를 넘을 수 없기 때문에, 스파이크가 발생하지 않는다. 즉, 둘 중 하나 만의 신호가 들어오게 되면, 스파이크가 발생하지 않는다. 반면, 두 입력 단에 전압이 동시에 들어오게 되면, 두 입력 단이 모두 고 전위($V_{in1}=V_{in2}=5V$)이기 때문에 입력 단의 저항체로 전류가 흐를 수 없다. 즉, 두 저항체와 전압을 나눠가질 수 없기 때문에, OTS 앞 단 전위는 5V만큼 인가되면서, OTS의 문턱 전압(V_{th})보다 크게 되어 스파이크가 발생한다. 이 회로를 검증하기 위해 시뮬레이션을 진행했으며, 결과 파형을 그림7(c)에 나타내었고, 그림7(a)의 진리 표를 잘 만족하는 AND 논리 동작을 보여준다. 마지막으로, 그림7(d), (e)에서 실험적 검증결과와 사용된 회로를 나타내었다.

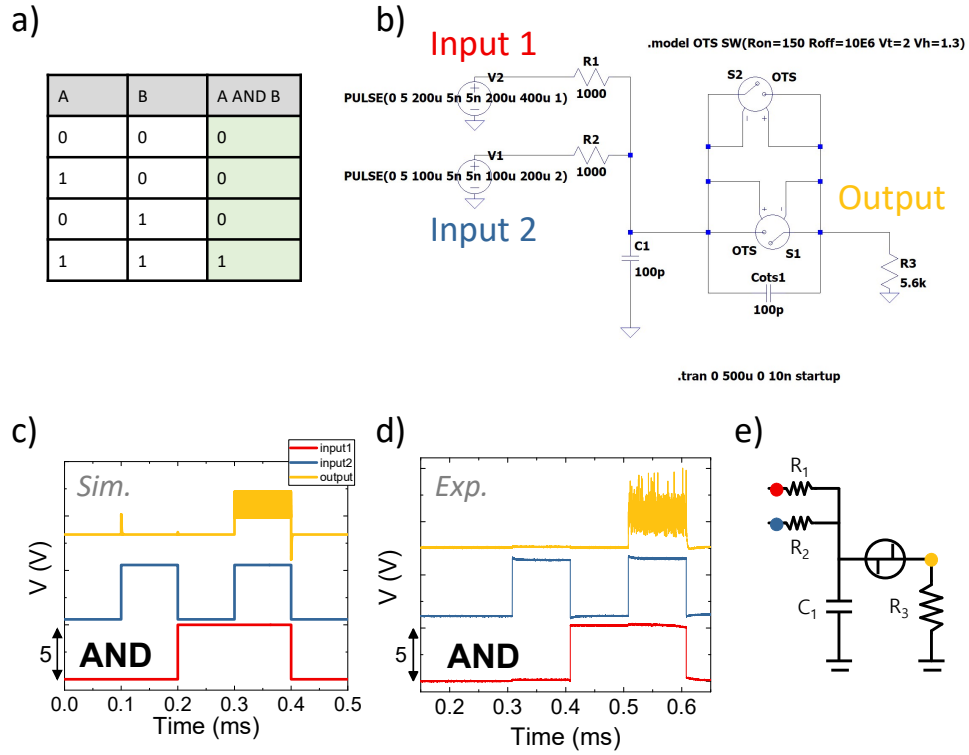


그림 7. OTS 소자를 응용한 AND 논리 연산 뉴런. a) AND의 진리 표. b) LT spice 내에서, OTS 모델을 이용한 AND 회로도. c) 시뮬레이션으로 얻은 파형. d) 실험적으로 얻은 파형과 회로도를 e)에 나타내었음. $R_1=R_2=900\Omega$, $C_1=100\text{pF}$, $R_3=5\text{k}\Omega$.

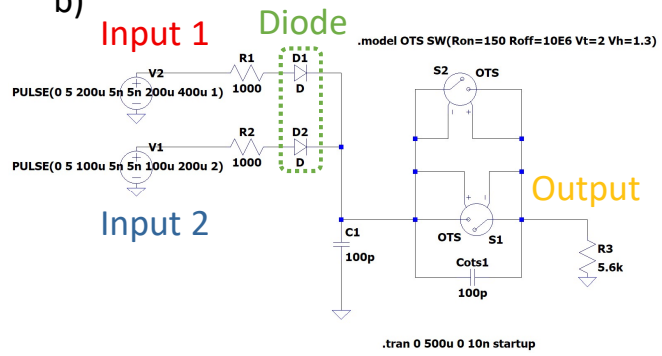
1.1.4 OR

OR 논리 연산이란, 진리 표와 같이 입력으로 거짓(0), 거짓(0)이 들어왔을 때만 거짓(0)을 출력하고, 그 외에는 모두 참(1)을 반환하는 논리 연산자를 말한다(그림8(a) 참고). 스파이크 기반의 OR 연산자를 만들기 위해, 우리는 다이오드가 역방향으로는 높은 저항을 가지지만, 순방향($V_{diode} > V_{th, diode}$)으로는 낮은 저항을 가지는 특성을 이용한다. 그림 8(b)와 같이 다이오드를 두 입력 단에 하나씩 위치시키고, 한쪽 입력 단($V_{in1} = 5V$ or $V_{in2} = 5V$)에만 전압이 인가되었다고 생각해보자. 입력한 방향에서는 순방향이었던 다이오드가 다른 입력 단에서는 역방향이므로, 높은 전압이 OTS 앞 단에 분배된다. 이는 병렬로 연결된 OTS와 역방향 다이오드의 합성저항이 입력 단 저항에 비해 매우 크기 때문이다. 만약 두 입력 단 중 하나의 전압만 인가되어도, OTS의 문턱 전압을 충분히 뛰어 넘을 수 있는 상태이기 때문에, 스파이크가 발생한다. 반면, 두 입력 단에 모두 전압이 인가되면($V_{in1} = V_{in2} = 5V$), AND 논리 회로 동작 원리와 상황이 비슷해진다. OTS 앞 단에 V_{th} 이상의 충분한 전압(5V)이 인가되기 때문에 스파이크 발생한다. 이를 검증하기 위한 시뮬레이션 결과를 그림8(c)에 나타내었고, 실험적 검증 결과 및 회로를 그림8(b), (e)에서 나타내며, 진리 표를 그려보면 그림8(a)와 같이 정의를 잘 만족함을 알 수 있다.

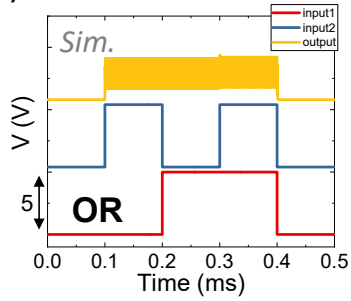
a)

A	B	A OR B
0	0	0
1	0	1
0	1	1
1	1	1

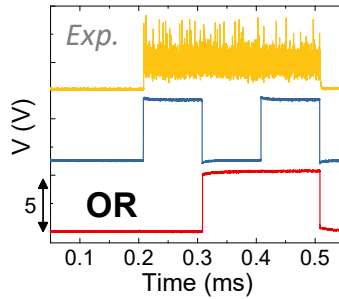
b)



c)



d)



e)

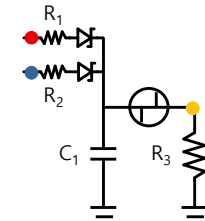


그림 8. OTS 소자를 응용한 OR 논리 연산 뉴런. a) OR의 진리 표. b) LT spice 내에서, OTS 모델을 이용한 OR 회로도. c) 시뮬레이션으로 얻은 파형. d) 실험적으로 얻은 파형과 회로도를 e)에 나타내었음. $R_1=R_2=900\Omega$, $C_1=100\text{pF}$, $R_3=5\text{k}\Omega$, Diode=1N4744A.

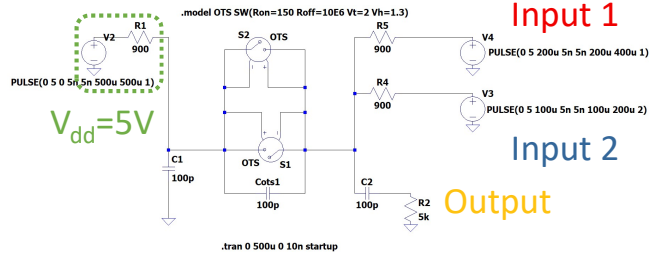
1.1.5 NOR

NOR 논리 연산이란, NOT-OR 연산자로 OR에 NOT을 취한 것과 동일하다. OR의 진리 표와 NOR의 진리 표를 비교해보면, NOR는 입력으로 거짓(0), 거짓(0)이 들어왔을 때만 참(1)을 출력하고, 그 외에는 모두 거짓(0)을 반환하는 논리 연산자를 말한다(그림9(a) 참고). AND 논리 회로에서 두 입력 단(V_{in1} , V_{in2}) 중 한 개 이상 5V의 입력이 들어오는 경우, 가질 수 있는 OTS의 전위차는 5V 또는 2.5V로 구해진다. 이때, 그림9(b)와 같이 두 입력 단이 위치한 OTS 앞 단이 아닌 뒷 단에 $V_{dd}=5V$ 의 직류 전원을 위치시켜보자. 그러면, OTS 양 단의 전위차(V_{OTS})는 하나 이상의 입력이 들어오면 절대로 스파이크가 발생할 수 없는 구조($V_{OTS}=0V$, $2.5V < V_{th}$)를 갖는다. 하지만, 입력 단에서 그 어떤 전압도 인가되지 않는 경우에만 OTS의 전위차는 항상 5V가 되고, 스파이크가 발생한다. 따라서, 어떤 입력도 받지 않은 상태에서는 스파이크가 발생하고, 하나 이상의 입력이 들어오면 스파이크가 발생하지 않는 것으로 보아, NOR 게이트 동작을 잘 하고 있음을 확인할 수 있다. 이를 검증하기 위한 시뮬레이션 결과를 그림9(c)에 나타내었고, 실험적 검증 결과 및 회로를 그림9(d), (e)에서 보여준다. 결과를 바탕으로 진리 표를 그려보면 그림9(a)와 같이 정의를 잘 만족함을 알 수 있다.

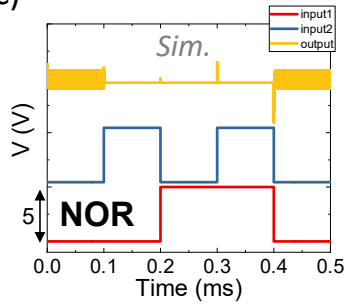
a)

A	B	A OR B	A NOR B
0	0	0	1
1	0	1	0
0	1	1	0
1	1	1	0

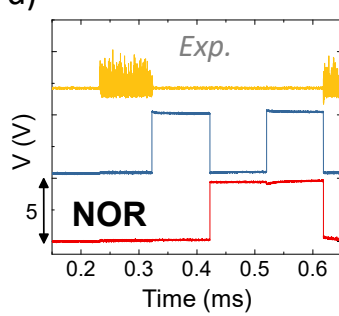
b)



c)



d)



e)

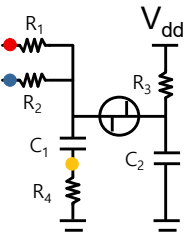


그림 9. OTS 소자를 응용한 NOR 논리 연산 뉴런. a) NOR의 진리 표. b) LT spice 내에서, OTS 모델을 이용한 NOR 회로도. c) 시뮬레이션으로 얻은 파형. d) 실험적으로 얻은 파형과 회로도를 e)에 나타내었음. $R_1=R_2=R_3=900\Omega$, $C_1=C_2=100\text{pF}$, $R_4=5\text{k}\Omega$, $V_{dd}=5\text{V}$.

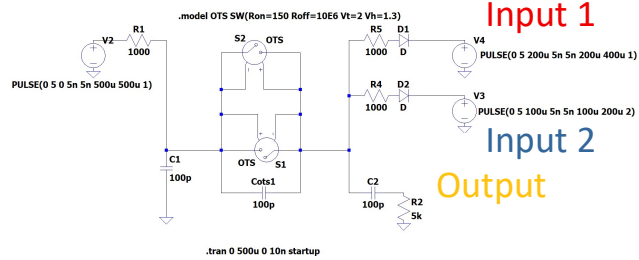
1.1.6 NAND

NAND 논리 연산이란, NOT-AND 연산자로 AND에 NOT을 취한 것과 같다. AND 진리 표와 NAND의 진리 표를 비교해보면, NAND는 입력으로 참(1), 참(1)이 들어왔을 때만 거짓(0)을 출력하고, 그 외에는 모두 참(1)을 반환하는 논리 연산자를 말한다(그림10(a) 참고). NAND 회로를 구현하기 위해 NOR 논리 연산 회로와 동일하게 V_{dd} 를 OTS 뒷단에 항상 인가하고, 입력 단에는 OR과 동일하게 다이오드를 위치시킨다(그림10(b) 참고). 이때, NAND 회로의 특징적인 것은 입력 방향에 대해서 다이오드를 역방향으로 위치시킨다. 두 입력 단 중 하나의 입력만($V_{in1}=5V$ or $V_{in2}=5V$) 들어올 때는, 입력 단 앞에 역방향 다이오드가 있기 때문에 OTS 꺼짐 저항(R_{off})과 역방향 다이오드 저항과의 전압 분배가 발생한다. 역방향 다이오드의 저항이 OTS 꺼짐 저항보다 더 크게 되면, 대부분의 저항은 다이오드에 인가된다. 그 결과, 하나 이하의 입력이 들어오게 되면, OTS 뒷단의 전위는 항상 0에 가깝게 유지되기 때문에, OTS의 문턱 전압을 넘으며($V_{th} > V_{dd} - 0$), 스파이크가 발생한다. 반면, 두 개의 입력이 동시에 들어오면, 키리히호프 법칙에 의해 OTS 뒷단의 전위는 5V가 되고, 앞단에 5V의 V_{dd} 를 고려하면, V_{OTS} 는 0V이 되고 스파이크가 발생하지 않는다. 따라서 두 개의 입력이 동시에 들어오는 경우를 제외하면, OTS는 항상 스파이크를 발생시킨다. 시뮬레이션 결과를 그림10(c)에, 실험적으로 얻은 결과 및 회로를 그림10(d), (e)에 나타내었다. 위 결과는 똑같이, 진리 표(그림10(a) 참고)의 정의에 잘 부합하고 있음을 확인할 수 있다.

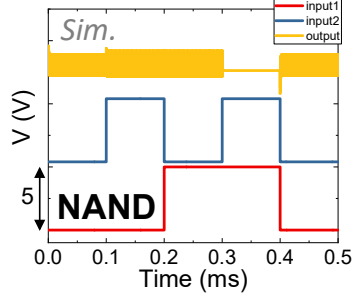
a)

A	B	A AND B	A NAND B
0	0	0	1
1	0	0	1
0	1	0	1
1	1	1	0

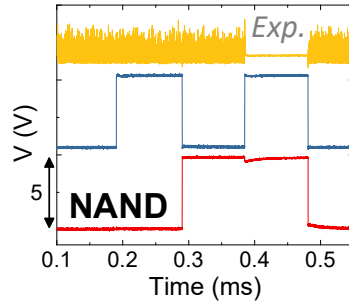
b)



c)



d)



e)

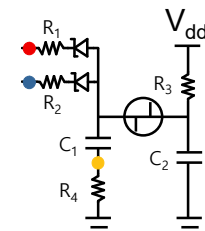


그림 10. OTS 소자를 응용한 NAND 논리 연산 뉴런. a) NAND의 진리 표. b) LT spice 내에서, OTS 모델을 이용한 NAND 회로도. c) 시뮬레이션으로 얻은 파형. d) 실험적으로 얻은 파형과 회로도를 e)에 나타내었음. $R_1=R_2=R_3=900\ \Omega$, $C_1=C_2=100\text{pF}$, $R_4=5\text{k}\Omega$, Diode=1N4744A, $V_{dd}=5\text{V}$.

1.1.7 Flip-flop

마지막으로, 신경계, 소뇌 Purkinje 세포 및 신피질 피라미드 세포에서 자주 발견되는 공통 기능인 SR(set-reset) 래치 Flip-flop 동작의 구현을 보여준다. 이는 흥분성 및 억제성 시냅스 입력의 균형 잡힌 상호작용의 결과로도 볼 수 있다[29]. Flip-flop의 기능은 입력단자 2개와 출력단자 2개로 구성되며, 입력 단자 2개 중 1개(S)에만 입력이 들어오면, 출력 단자 2개 중 연결된 1개(Q)만 켜지고, 다른 입력(R)이 들어오면, 다른 출력 단(\bar{Q})만 켜지는 것이다(그림11(a)의 진리표 참고).

Flip-flop 기능은 FET 2개를 사용해서 보여줄 수 있으며 그림 11(b)와 같은 회로로 구성한다. 특징적인 것은 입력 단자 1개와 FET 입력단자 1개가 각각 연결되어 있다. 만약 입력 단자 1개가 켜지면, 연결된 FET는 저저항 상태가 되고, 입력되지 않은 반대쪽 FET는 고저항 상태를 보인다. 이때의 스파이크 발생 빈도는 두 FET의 병렬 합성 저항 크기(R_{tot})에 의해서 결정되며, 스파이크의 발생 원리는 1.1.2절에 자세히 설명 되어있다. 저 저항 상태의 FET 에서는 낮은 저항으로 인해 전압 분배가 크지 않는 반면, 고 저항 상태의 FET 에서는 고 저항으로 인해 전압 분배가 크다. 따라서 고 저항 상태의 FET에만 스파이크 전위가 발생하며, 저 저항 상태의 FET에는 낮은 전위를 보이는데, 실험 결과를 그림11(c)에서 보여준다.

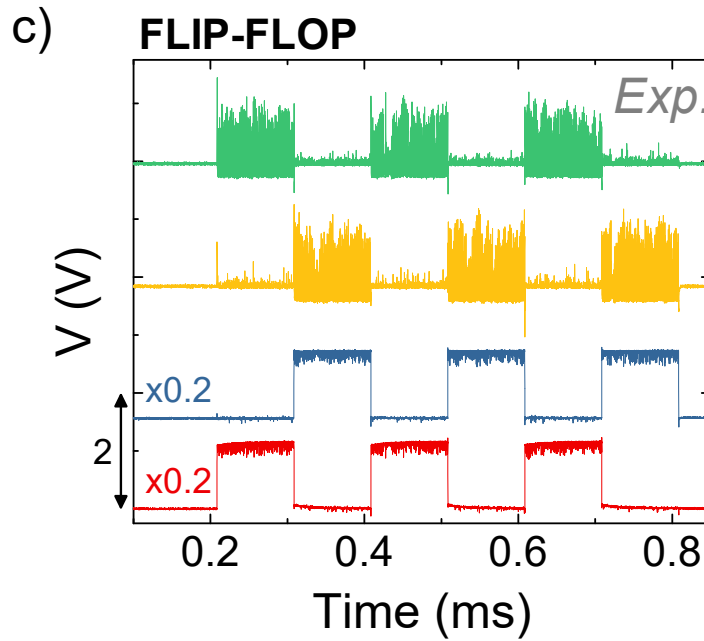
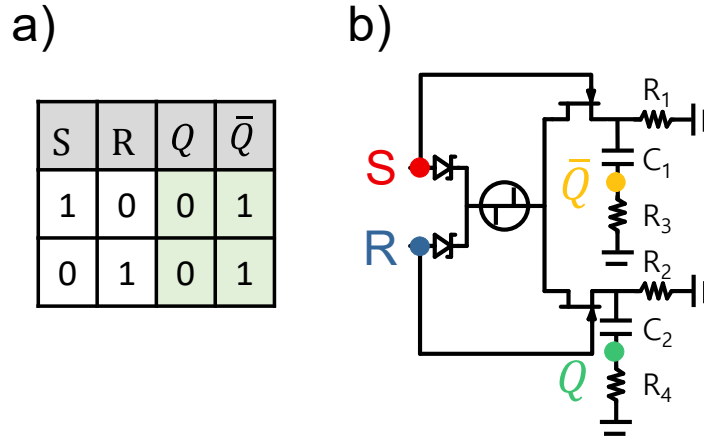


그림 11. OTS 소자를 응용한 Flip-flop 논리 연산 뉴런. a) Flip-flop의 진리 표. b) 실험에 사용된 회로도 ($R_1=R_2=3k\Omega$, $C_1=C_2=100pF$, $R_3=R_4=900\Omega$, FET=LND150N3-G)와 실험결과를 c)에 나타내었음.

1.2 Arithmetic operator

1.2.1 Arithmetic operator?

1.2절에서는 스파이크의 발생 유무(또는 Spike frequency)에 따라 0과 1을 표현하는 부울 논리 회로를 구현했다면, 이번 절에서는 레이트 코딩 기반의 연산자를 구현하는 연구를 진행한다. 산술 연산자란 사칙 연산을 다루는 연산자를 말하며, 이번 절에서는 가산기(Sum operator)¹⁰, 병렬 연산자(Parallel operator)¹¹를 구현할 수 있는 아이디어와 그에 따른 실험 결과를 제시한다. 기존의 디지털 연산자의 경우, 0과 1을 전압의 높고 낮음으로 정의하며, 입·출력이 모두 이진수(0,1)로 나타난다[30]. 반면, 본 연구의 연산자는 두 아날로그 입력에 대한 출력을 스파이크 빈도로 보여준다. 이처럼 OTS 기반의 인공 뉴런은 단순한 논리(1.2절)뿐만 아니라, 산술 연산에서도 스파이크 빈도(Spike frequency)로 정보를 전달한다는 점에서, 뉴런의 특징인 레이트 코딩(rate coding)을 잘 모사함을 보여준다[5].

¹⁰ $a + b$

¹¹ $a || b$

1.2.2 SUM

1.1절에서 보인 뉴런 회로(그림3 참고)에서, 스파이크 빈도(Spike frequency)는 입력 전압의 크기(V_{in})에 따라 달라짐을 보여주었다. 이를 응용하여 두 입력 전압의 합($V_{in1}+V_{in2}$)을 스파이크 발생 빈도로 나타내는 연산자 구현 방법에 대한 아이디어와 실험적 결과를 보여준다.

식(1)과 같이, 입력 전압(V_{in})이 일정하다면 스파이크 발생 빈도는 RC 지연에 크게 의존함을 알 수 있다. 저항 값을 입력 전압에 대해 선형적으로 바꿀 수 있는 FET 소자를 사용한다면, 두 FET를 직렬 연결했을 때의 스파이크 발생 빈도는 식(2)로 정의된다.

$$frequency = \frac{1}{RC} = \frac{1}{C} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) = \frac{1}{C} (G_1 + G_2) \approx \alpha (V_{g1} + V_{g2}) \quad (2)$$

전도도(Conductance)는 저항의 역수이고, 스파이크를 게이트 전압의 합으로 표현이 가능하다는 뜻이다. 우리는 FET 소자 2개를 직렬 연결하여 그림12(a)와 같은 회로를 구성하고, 전도도가 선형적으로 바뀌는 FET 소자¹²로 실험한다. 측정한 소자의 전달 특성 곡선(Transfer curve)을 그림12(b)에서 보여준다. 그림12(b)는 게이트 전압(V_{gs})이 약 $-1V$ 에서 $2V$ 까지 드레인 전류(I_{drain})가 선형적으로 변하는 구간이며, 전도도($=I_d/V_{gs}$)가 선형적으로 변하고 있음을 보여준다.

우리는 저항이 선형적으로 변하는 구간을 활용하기 위해, 각 FET의 게이트 전압(V_{gs1} , V_{gs2})을 $-1V$ 부터 $2V$ 까지 인가한다. 이때 두 게이트

¹² LND150N3-G

전압의 차이를 0.375V로 고정하고, 출력 주파수 변화를 관찰한다. 스파이크 주파수(f_{out})를 게이트 전압의 합($V_{in1}+V_{in2}$)에 대해 그려보면 그림 12(c)과 같으며, 선형적으로 나타는 것을 알 수 있다. 즉, 게이트 전압의 합($V_{gs1}+V_{gs2}$)을 출력 주파수의 크기(f_{out})로 레이트 코딩(rate coding)이 가능함을 증명한다. 그림 12(c)는 5번 연속 측정된 출력 파형을 푸리에 변환(Fourier transform)¹³을 진행한 결과이다. 실제 측정 파형은 그림 12(d)에 나타내었고, 두 입력 전압의 합($V_{in1}+V_{in2}$)이 증가할수록 출력 주파수(f_{out})가 선형적으로 증가하는 것이 육안으로도 관찰된다.

한편, 대뇌 피질의 5층에 존재하는 피라미드 뉴런(L5 pyramidal neuron)에서는 억제성 뉴런의 입력 세기가 커질수록 출력 스파이크 주파수의 크기가 감소하는 특성을 보여주는데 [5], 이는 산술 뉴런을 통해 동일한 특성 구현이 가능하다. 만약 두 입력 전압(V_{in1} , V_{in2}) 중 하나의 입력을 억제성 뉴런 입력($V_{in}<0$)이라고 가정한다면, 그 세기($|V_{in}|$)를 높일수록 출력 주파수의 크기를 선형적으로 감소시킬 수 있다. 이와 같이, 우리는 OTS 기반 산술 뉴런을 통해 L5 피라미드 뉴런의 특성을 동일하게 모사할 수 있음을 보였다.

¹³ 파동을 여러 사인 함수의 합이라고 가정하고, 모든 주파수에 대한 진폭으로 변환하는 것. 진폭이 가장 크게 나오는 주파수를 알면, 그 파동의 지배적인 주파수를 알 수 있음.

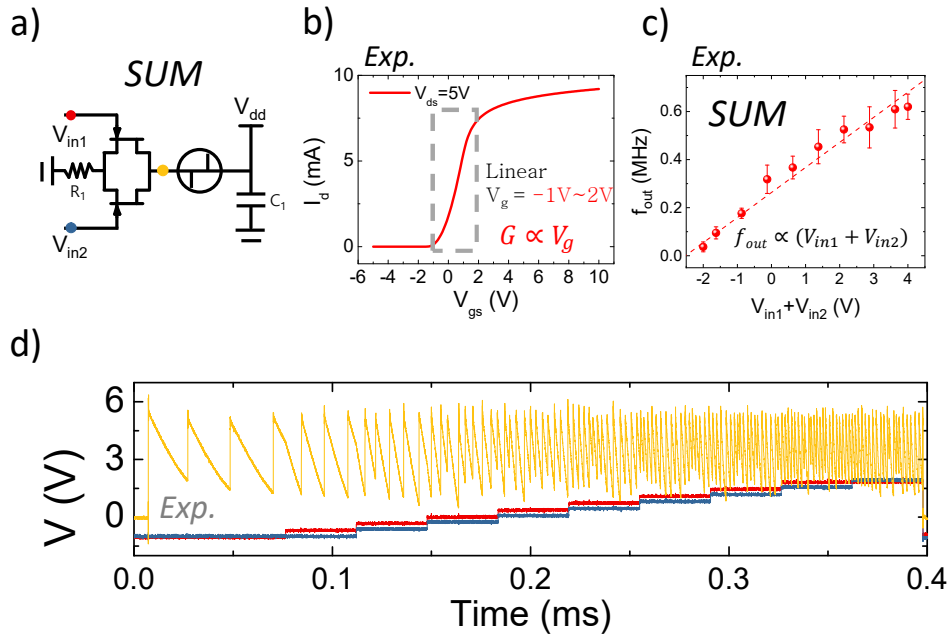


그림 12. Rate coding을 통한 OTS 기반의 SUM 산술 연산 뉴런. a) OTS 소자로 구성된 SUM 회로도 ($V_{dd}=5V$, $C_1=100pF$, $R_1=5k\Omega$ FET=LND150N3-G). b) 실험에 사용된 FET(LND150N3-G)의 전달 특성 측정 결과. c) 실험적으로, 레이트 코딩(rate coding)으로 더하기(SUM) 산술 연산이 가능함을 보이는 그래프. d) 실제 실험 결과 파형.

1.2.3 Parallel

병렬 연산자란 식(3)으로 정의되는 연산자를 의미한다. 이를테면, 병렬 연결된 저항의 크기를 구할 때 사용되는 식으로, a와 b가 병렬 연결된 저항의 크기라고 한다면, 합성 저항의 크기는 $a || b$ 로 정의한다.

$$a || b = \frac{1}{\frac{1}{a} + \frac{1}{b}} = \frac{ab}{a+b} \quad (3)$$

1.3.2절에서, 전도도가 선형적으로 변하는 FET를 똑같이 사용하되, 병렬이 아닌 직렬로 연결했을 때, 출력 주파수의 역수($1/f$) 값은 식(4)으로 정의된다.

$$1 / \text{frequency} = RC = C(R_1 + R_2) = \frac{1}{C} \left(\frac{1}{G_1} + \frac{1}{G_2} \right) \approx \alpha \left(\frac{1}{V_{g1}} + \frac{1}{V_{g2}} \right) \quad (4)$$

동일한 방법으로 실제 측정 회로를 그림13(a)에 나타내었으며, 5번 반복 측정에 대한 푸리에 변환 결과를 그림13(b)에 나타내었다. 우리는 주파수의 역수($1/f_{out}$) 값이 입력 전압 역수의 합($1/V_{in1} + 1/V_{in2}$)과 선형적으로 비례한다는 점에서 병렬 연산을 수행하고 있음을 증명한다. 또, 실제 측정 파형을 그림13(c)에 나타내었다.

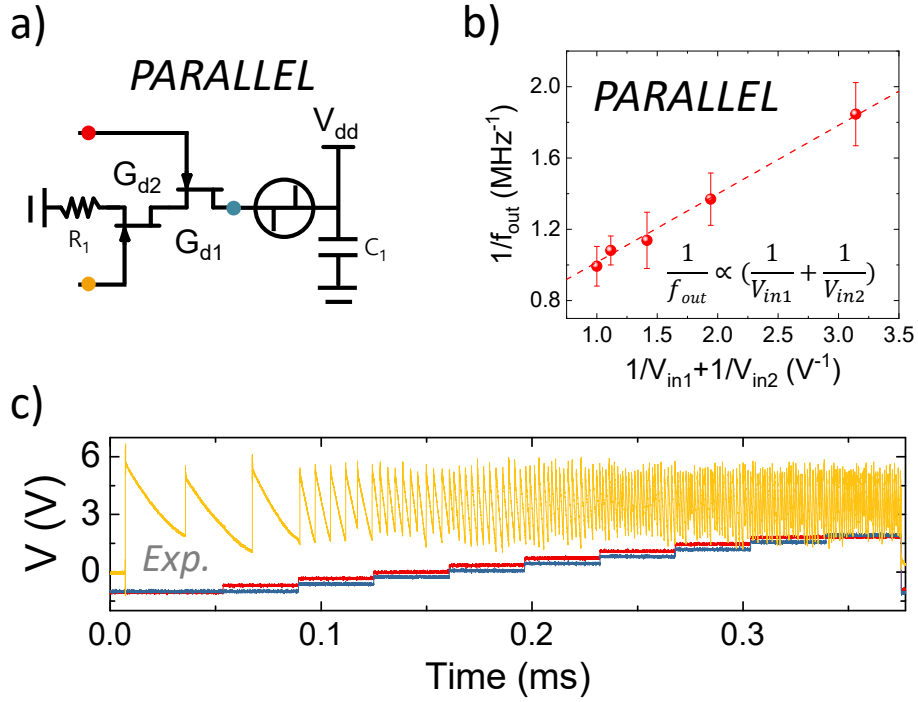
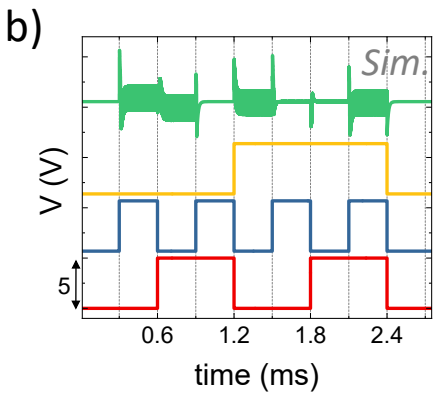
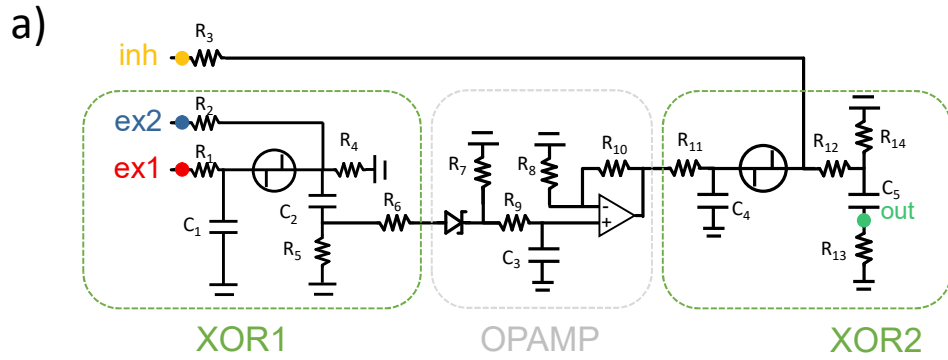


그림 13. Rate coding을 통한 OTS 기반의 PARALLEL 산술 연산 뉴런. a) OTS 소자로 구성된 PARALLEL 회로도 ($V_{dd}=5V$, $C_1=100pF$, $R_1=5k\Omega$, FET=LND150N3-G). b) 실험적으로, 레이트 코딩(rate coding)으로 병렬 (PARALLEL) 산술 연산이 가능함을 보이는 그래프. c) 실제 실험 결과 파형.

1.3 인간 뇌의 L2/3 층 Pyramidal 뉴런의 dCaAP 모사

A. Gidon의 결과[7]에서 보여줬던 L2/3층 가지 돌기는 두 개의 흥분성 뉴런으로부터 들어온 입력(excitatory input)에 대해서 XOR 연산을 실험적으로 보여주었다. 뿐만 아니라, 시뮬레이션에 의하면 흥분성 입력이 두 개, 억제성 뉴런 입력(inhibitory neuron input) 한 개가 동시에 Dendrite에 들어올 때, 출력 스파이크는 억제된다는 계산 결과를 보고했다. 위 논문의 실험 결과는 두 개의 XOR을 연결했을 때 유사한 결과를 얻을 수 있고, 더 나아가, 1절에서 보여준 부울 논리 회로들을 단계적으로(Cascade) 조합했을 때도 잘 동작하는 지도 확인할 수 있는 실험이다.

우리는 두 개의 XOR 회로를 조합하여 spice 시뮬레이션을 진행한다. XOR 연산자에 OTS가 1개씩 들어가기 때문에, XOR1의 연산 결과를 XOR2에 충분히 전달하기 위해 전압 증폭용 OPAMP를 위치시켰고, 회로를 그림14(a)에, 결과를 그림14(b)에서 보여준다. 두 XOR 연산이 원활하게 동작하고 있음을 그림14(c)의 진리 표에서 보여줄 뿐만 아니라, 위 결과는 L2/3층 가지 돌기에서 보여주는 특성을 잘 흉내 내고 있음을 보여준다.



c)

Ex 1	Ex 2	Inh	XOR1 = $ex1 \oplus ex2$	XOR2 = $XOR1 \oplus inh$
0	0	0	0	0
1	0	0	1	1
0	1	0	1	1
1	1	0	0	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	0	1

그림 14. OTS 기반의 인공 L2/3 pyramidal neuron. a) OTS 소자 2개와 OPAMP로 구성된 L2/3 pyramidal 인공 뉴런의 spice 회로도. b) 시뮬레이션 결과 파형 c) 동작 결과에 대한 진리 표.

1.4 요약 및 논의

에너지 효율적인 뇌에서 영감을 받은 컴퓨팅 시스템 개발을 위해, 부울 논리 게이트 역할을 수행할 수 있는 인공 뉴런 소자는 반드시 필요하다[3]. 실제로 인간 뇌의 L2/3(2, 3 Layer)의 가지 돌기에서 XOR 함수를 스스로 계산할 수 있음이 실험적으로 검증되면서[7], 논리 게이트 역할의 뉴런이 필요함에도 불구하고, 하드웨어 구현은 충분히 이루어지지 않았다. 본 연구에서는, OTS 소자 및 수동소자들(저항 및 축전기)을 이용하여 레이트 코딩을 기반으로한, XOR 부울 논리 회로를 제안하고 실험적으로 보여줬다. 게다가, 다양한 부울 논리회로(AND, OR, NAND, NOR, Flip-flop) 및 산술 연산자(SUM, PARALLEL)도 보여주었다. 제안된 회로들은 신경학적으로 다양한 기능을 가진 빌딩 블록(Building block)을 제공할 수 있어서, 인공 신경망의 설계를 단순화하는 데 중요한 역할을 할 것이다. 또, 두 연산자를 연결하여 단계적 동작(Cascade)이 가능함을 시뮬레이션에서 확인할 수 있을 뿐만 아니라, 인간 뇌의 dCaAP를 모사할 수 있는 인공 뉴런도 가능하다는 것을 보여준다. 우리는 이러한 결과가 생물학적 신경 시스템의 계산 메커니즘을 이해하고 뇌에서 뉴로모픽 컴퓨팅 시스템을 개발하는 데 중요한 돌파구를 제시한다고 믿는다.

2 OTS 소자의 전기적 형성(Electro-forming) 완화 연구

2.1 현 OTS 소자의 문제점과 해결 방안

최근 뉴로모픽 소자 연구가 활발한 가운데, 문턱 스위칭 소자는 생물학적 뉴런의 행동을 모방할 수 있는 능력으로 인해 많은 관심을 받고 있다[10, 15, 31, 32]. 문턱 스위칭 소자는 모트(Mott) 절연체의 금속-절연체 전이[33] 및 비정질 칼코게나이드[12, 34]에서의 아발란치 증식(Avalanche multiplication)과 같은 일부 물질의 고유한 문턱 스위칭을 기반으로 한다. 그 중에서도 상단과 하단의 금속 전극 사이에 끼인 비정질 칼코게나이드로 구성된 오보닉 문턱 전압 스위치(OTS)는 에너지 효율과 집적도가 좋다는 점에서 높게 평가된다[16]. 이런 OTS의 특성은 스위칭 메커니즘에 기인하며, 이는 칼코지나이드 물질에 존재하는 많은 트랩 상태와 관련이 있다고 여겨진다[34, 35].

하지만 회로(선택 소자¹⁴ 또는 1절에서 사용한 논리 및 산술연산 회로)에서 사용될 때, OTS의 활용을 위해 해결해야 하는 문제 중 하나는 이른바 전기적 형성(Electro-forming) 또는 1차 소성 공정(First-firing)이 필요하다는 것이다. 보통 스위칭 전압이 낮은 값(V_{th})으로 포화되는 반면, OTS 소자의 초기 상태에서는 더 높은 바이어스 전압(V_{form})에서

¹⁴ 시냅스 크로스바 배열(crossbar array)에서 원하는 시냅스만을 선택할 수 있게 도와주는 소자. 또는 sneak path를 막는 용도로 사용됨. 이때 낮은 누설 전류와 높은 on/off 특성을 요구.

발생한다는 것을 의미한다. 예를 들어, 본 연구에서 GeSe를 사용한 OTS 소자의 경우 그림15(a)과 같이, 전기적 형성 공정에는 V_{th} 의 몇 배만큼 높은 V_{form} 을 필요로 한다[36–38]. 이러한 형성 공정은 주변 회로에 부담을 줄 뿐만 아니라 큰 서지 전류[39]로 인해 소자의 수명에도 해롭기 때문에, 그 원인을 분석하고, 전기적 형성 과정이 필요하지 않은 OTS 소자를 개발하기 위한 노력이 기울여지고 있다[36, 40].

한편, 유사한 현상은 저항성 랜덤 액세스 메모리(ReRAM) 소자[41]에서 잘 알려져 있으며, 여기서 전기적 형성 과정은 전도성 필라멘트(Conductive filament)의 첫 번째 형성 과정으로 설명된다. 물질 내부에 브릿지를 형성한 후, 브릿지의 작은 부분을 연결/분리하여 연속적인 커짐/꺼짐 스위칭을 수행하게 되는데, 이는 전기적 형성 과정에서 요구되는 에너지보다 훨씬 적은 에너지를 필요로 한다. 하지만, 이런 설명은 전도성 필라멘트를 포함하지 않는 휘발성 스위치, OTS 소자에는 적용에 어려움이 있다.

전기적 형성 과정과 관련된 연구에 따르면, 어닐링($\sim 250^{\circ}\text{C}$) 공정에 의해 전기적 형성 전압(V_{form})을 낮춘 결과가 있는데, 이는 추가적인 공정이 필요할 뿐만 아니라 안정성 온도가 $250\text{--}400^{\circ}\text{C}$ 인 칼코게나이드 소재에 영향을 미칠 수 있다는 점을 고려할 때, 열처리하는 OTS 소자 제작에 있어서 부적합할 것으로 예상된다.[42] 상기와 같은 문제점을 해결하기 위해 어닐링 공정 없이 재료만 변화시켜 전기적 형성 전압을 감소시킬 수 있는 방법을 찾는 데 도움을 줄뿐만 아니라, 전기적 형성 과정의 기원을 알아내는 데에 실마리도 제공할 수 있을 것으로 보인다.

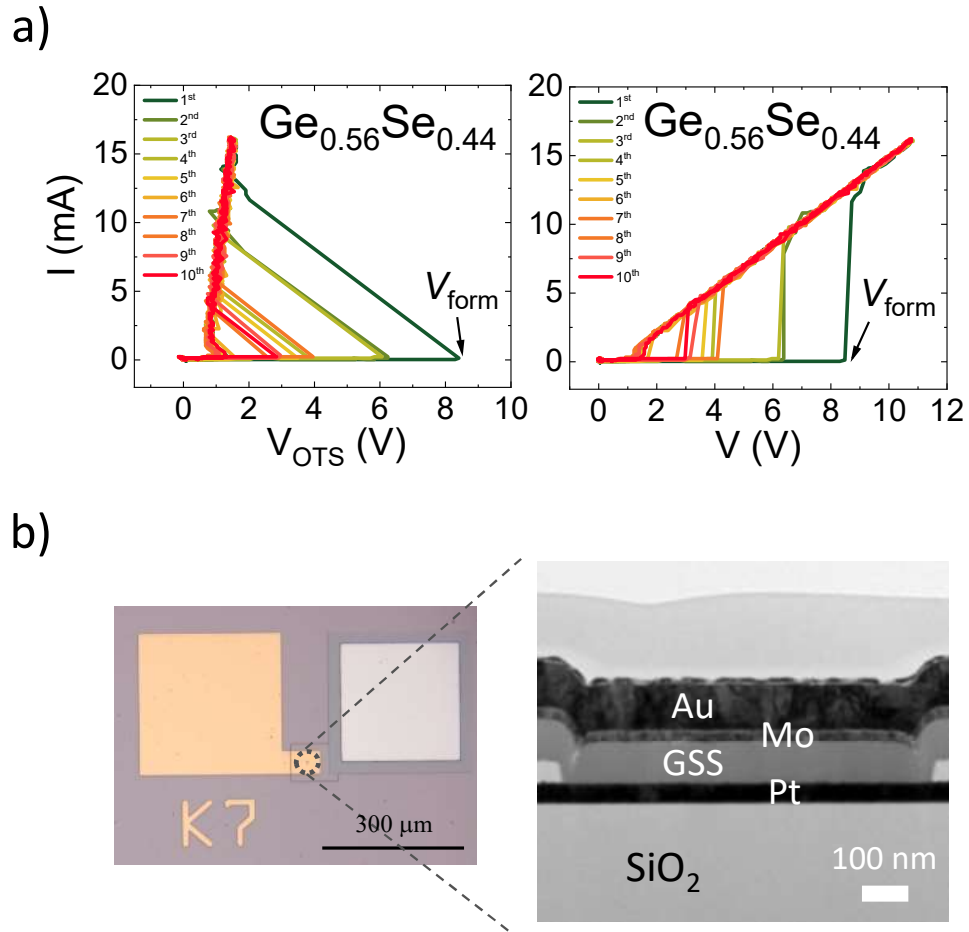


그림 15. OTS 소자의 전기적 형성 과정. a) GeSe 재료($\text{Ge}_{0.56}\text{Se}_{0.44}$) 기반 OTS 소자의 전류-전압 그래프. 왼쪽 그래프는 OTS에 인가된 전압(V_{OTS})과 전류(I_{OTS}) 사이의 관계에 대한 그래프이고, 오른쪽은 입력 전압(V_{in})과 전류(I_{OTS}) 사이의 관계를 나타냄. b) 왼쪽은 실제 사용된 소자의 광학 현미경 사진이고, 오른쪽 그림은 소자의 단면 TEM(전자 투과 현미경) 사진.

실제로, 본 연구에서 살펴볼 OTS 소자에서, 전기적 형성 과정의 기원에 대해서는 여전히 불분명하다. 하지만, OTS 소자의 스위칭이 트랩 상태(Trap state)와 밀접한 관련이 있는 모델[43]을 기반으로, 전기적 형성 공정의 전, 후로 온도 의존적 전송 특성(Transport)을 통해 트랩 상태(trap state)의 변화를 살펴본다. 우리는 발견을 바탕으로, 스위칭 재료를 설계하여 전기적 형성 공정을 완화하려는 시도를 한다.

2.2 Sn 도핑된 GeSe OTS 소자 제작 및 검증 방법

OTS 소자는 1절에서 언급한 구조와 동일한 기공형 구조(Pore structure)이며, TEM 촬영 단면 그림과 광학 현미경 사진을 그림15(b)에 나타내었다. 여기서 기공의 크기(d)는 1 μ m에서 40 μ m의 포토리소그래피(Photo-lithography)로 제작된다. 스위칭 재료는, 조성이 Ge_{1-x}Sn_xSe₁(GSS, x_{Sn}=Sn/(Ge+Sn)=0, 0.1, 0.2, 0.3, 0.4)인 100 nm 두께의 층을 사용했으며, Sn, Ge 및 GeSe₂ 물질(Target)을 이용하여 공동 스퍼터링(co-sputtering)방식으로 증착된다. 바닥 전극은 Pt, 상단 전극은 Mo를 사용하며, 정확한 GSS의 조성은 표1에 나타낸 X선 형광(XRF, ZSX Primus II, Rigaku) 분광법을 이용하여 조사하였다.

또한 밴드갭(E_g) 변화의 영향을 제거하기 위해, UV-Vis 흡수 분광기(UV-Vis-NIR, Cary 5000, Agilent)를 사용했으며, 1800nm 부터 250nm까지 파장으로 흡광도(Absorbance) 결과를 얻었다. 광학적 밴드갭(optical band gap)은 측정 파장과 흡광도 결과를 이용하여, Tauc 플롯에 의해 계산된다. Tauc 플롯은 측정한 파장에 대해 y축을 ($\alpha h\nu$)ⁿ, x축을 $h\nu$ 로 얻은 그래프를 말하는데, 여기서 α , h 및 ν 는 각각 입사 광자에 대한 흡수 계수(absorption coefficient), 플랑크(Planck) 상수 및 측정 파장에 대한 주파수를 말한다. 그리고, Tauc 플롯에서 흡수가 급격하게 일어나는 부분에서, 선형 근사 법을 통해 광학적 밴드 갭을 구할 수 있다.

표 1. GSS 박막의 XRF 조성 분석 결과.

Material	Ge ₅₆ Se ₄₄	Sn ₈ Ge ₄₇ Se ₄₅	Sn ₁₃ Ge ₄₁ Se ₄₆	Sn ₁₈ Ge ₃₄ Se ₄₈	Sn ₂₃ Ge ₂₆ Se ₅₁
Sn [at%]	0.00	7.67	12.77	18.32	22.88
Ge [at%]	55.77	46.85	41.51	33.59	26.21
Se [at%]	44.23	45.48	45.72	48.08	50.91
x_{Sn}	0	0.14	0.24	0.35	0.47

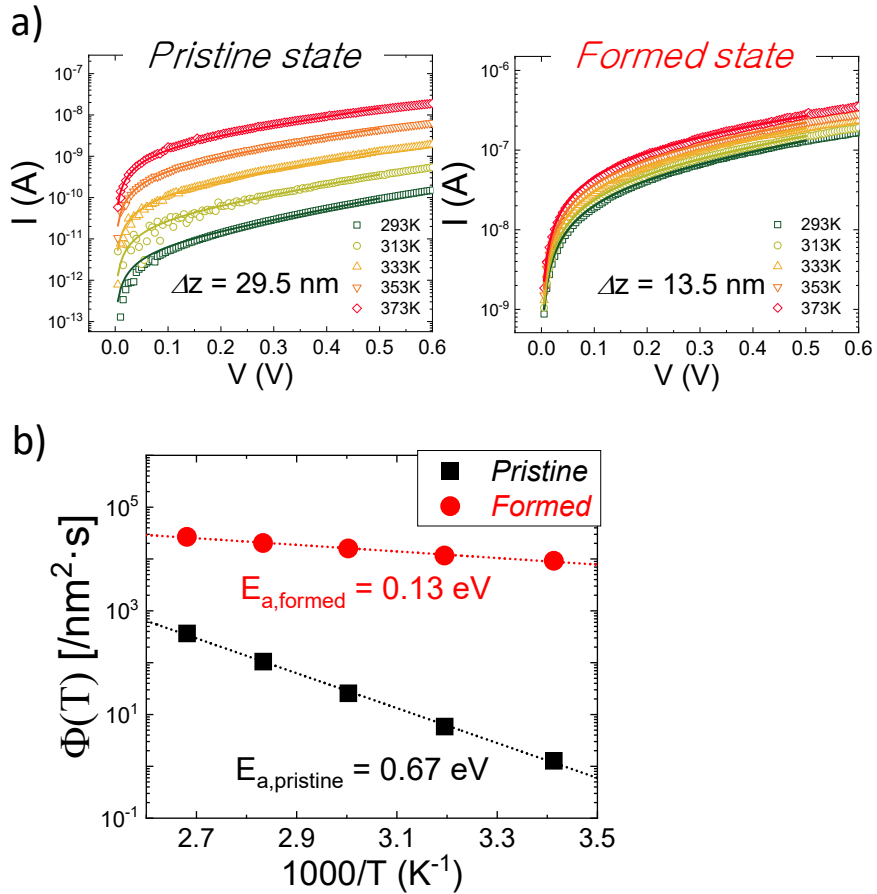


그림 16. 전기적 형성 과정 이후의 OTS 소자. a), b) GeSe 재료(Ge_{0.56}Se_{0.44}) 기반 OTS의 전기적 형성 과정 전/후에 대한 문턱 전압 이하 영역 전류-전압 그래프. 이때 다양한 온도(293K~373K)에 대해 측정했음. c) 온도 값으로부터 Arrhenius 형태의 그래프를 나타냄.

GSS 필름의 국소 결합 구조의 변화는 라만 분광법(Invia raman microscope, Resnishaw)과 X선 광전자 분광법(XPS, Nexsa, Thermofish scientific)을 이용하여 조사된다.

OTS 소자의 스위칭 전압(V_{form} , V_{th}) 특성은 1절의 그림2(a)에서와 같이 펄스 폭, 상승 및 하강 시간이 각각 $1\mu s$, $500ns$, $500ns$ 인 기존의 펄스 측정 설정을 이용하여 측정하였다. 이 시스템은 임의 함수 발생기 (AFG-3101, Tektronix Inc.)와 다중 채널 오실로스코프(DPO-5104, Tektronix Inc.)를 사용했다. 마찬가지로, 500Ω 의 저항은 최대 전류를 감소시키는 역할을 한다. 또한, 문턱 전압 이전(Sub-threshold region)의 전송 특성을 조사하기 위해, 소스-측정 장비(2635B, Keithley Inc.)를 활용하여, OTS 소자의 전기적 형성의 전, 후 상태를 비교한다. 이때, 온도(T) 의존 전류-전압 특성도 관찰하기 위해 $20^\circ C$ 간격으로 온도 ($20^\circ C \sim 100^\circ C$)를 변화시키는 Thermo-chuck 시스템(TP-03010A, Temptronic Inc.)을 사용하여 측정을 같이 진행한다.

2.3 GSS film OTS 소자와 검증

2.3.1 OTS의 전기적 형성 과정 전, 후 수송 특성 변화

앞서 설명한 그림15(a)는 $\text{Ge}_{0.56}\text{Se}_{0.44}$ 로 구성된 대표적인 OTS 소자의 측정 사이클에 따른 전류-전압(I-V) 곡선의 변화를 나타낸다. 스위칭 전압은 $V_{\text{form}} \sim 9\text{V}$ 에서 $V_{\text{th}} \sim 2\text{V}$ 까지 사이클에 따라 점차 감소하는 것을 보여준다. 스위칭 전압이 전기적 형성 과정 전, 후에 차이가 존재하는 원인에 대한 힌트를 얻기 위해, 문턱 전압 이전(Sub-threshold)의 온도(T) 의존 I-V 곡선을 조사했다. 이는 문턱 전압 이전 영역의 전류-전압 특성은 박막에 존재하는 트랩 상태에 대한 정보를 제공하는 것으로 알려져있기 때문이다[35, 44]. OTS 소자에서의 캐리어의 수송은 Poole-Frenkel 효과[45]를 기반으로한 D.Ielmini의 모델로 설명된다[Ref]. 이는 트랩 간 거리(Δz) 사이가 에너지 장벽으로 구분된 시스템에서, 열 에너지($E=3kT$) 또는 전기적 바이어스(bias)에 의한 캐리어의 호핑으로 설명된다[43]. 이렇게 단순화된 모델을 바탕으로, 문턱 전압 이하 영역의 I-V 곡선은 아래 식(5)과 같이 주어진다.

$$I(V;T) = 2eAN_T \frac{\Delta z}{\tau_0} e^{-(E_C - E_F)/kT} \sinh\left(\frac{q}{2kT} \frac{\Delta z}{u_a} V\right) = eA\Phi(T) \sinh\left(\frac{q}{2kT} \frac{\Delta z}{u_a} V\right) \quad (5)$$

여기서, e , A , N_T , τ_0 , E_C , E_F , k 및 u_a 는 각각 전자 전하, 채널의 단면적, 페르미 수준 이상 트랩의 밀도, 탈출 시도 시간($\sim 10^{-15}$ sec), 전도대 최소값, 페르미 레벨, 볼츠만 상수 및 비정질 칼코지나이드층의 두께이다. 식(5)은 온도에만 의존하는 인자(= \sinh 함수의 계수)와, 전압(V)과 온

도(T) 둘 다에 의존하는 인자(=sinh 함수의 정의역)의 곱으로 표현된다. 이때 계수는, 온도(T)에서의 "트랩상태의 유량(flux of trap state)"으로 정의한 $\Phi(T)$ 를 이용하여 $eA\Phi(T)$ 로 표현할 수 있다. 여기서 우리는 $I(V;T)$ 에서 전압(V) 의존성과 $\Phi(T)$ 의 온도 의존성을 반영하여 식(5)의 가장 우측에 정리하여 나타내었으며, 여기서 Δz 와 $E_C - E_F$ 에 대한 정보를 구할 수 있다.

그림 16(a), (b)는 OTS 소자($d=8\mu\text{m}$)의 처음(Pristine) 상태와 전기적 형성 과정 이후(Formed) 상태에 대한 대표적인 $I(V;T)$ 곡선을 각각 나타내며, 이때 전기적 형성 상태는 40회 이상 스위칭시킨 이후의 상태이다. 육안으로 비교해보면, 전기적 형성 이후 처음 상태 대비 전류 레벨이 두 차수(2 order) 이상 증가하는 것이 관찰되었다. 또, D.Ielmini 모델(식(5) 참고)로 계산한 곡선도 겹쳐서 나타내었는데, 두 상태 모두 측정 값과 계산 값이 잘 일치하는 것으로 보아 캐리어 수송 메커니즘이 유사하다는 것을 암시한다. 게다가, 그림16(a), (b)에서 볼 수 있듯이 다양한 온도 범위(293K~373K)에서도 측정했다. 식(5)에서, Δz 는 온도(T)에 대해서 독립적이기 때문에 상온(293K)에서 얻은 Δz 를 고정 후 계산했다. 계산한 Δz 에 따르면, 29.5 nm(처음 상태)에서 13.5nm(전기적 형성 과정 이후)로 감소하였으며, 이는 전기적 형성 과정이 트랩 상태를 증가시킨 것으로 해석된다.

온도(T)의 함수로 얻은 또 다른 변수인 $\Phi(T)$ 는 그림16(c)과 같이, Arrhenius 형태로 나타내었는데, 이는 $\Phi(T)$ 가 OTS의 상태에 관계없이 식(5)에서 정의한 Arrhenius의 법칙을 잘 따르는 것을 보여준다. 하지

만, $\Phi(T)$ 로부터 기울기와 y -절편을 구해보면, 육안으로 크게 차이가 나는 것을 볼 수 있으며, 전기적 형성 과정의 전후를 명확하게 구분할 수 있다. $\Phi(\infty)$ 는 그림16(c)에서 y -절편으로, $2N_T\Delta z/\tau_0 \sim 2/\Delta z^2\tau_0$ 로 정의되며(식(5) 참고), Δz 값을 도출할 수 있다. 우리는 두 파라미터(Φ , sinh 함수)로 구한 $N_T(\sim\Delta z^3)$ 를 각각 비교하였고, 두 값의 Δz 가 잘 일치하는 것으로 나타났다(비교 데이터는 2.3.3절에서 설명 예정). 즉, 전기적 형성 과정의 전, 후를 D.Ielmini 모델로 해석하는 것은 합리적임을 보여준다.

또, 아레니우스 법칙의 활성화 에너지(E_a , 기울기)는 식(5)에서 $-(E_C-E_F)/k$ 로 주어진다. 비정질 칼코지나이드에서의 페르미 레벨(E_F)은 에너지 갭의 중간($E_g/2$) [46]에 고정되어 있는 것으로 알려져 있으며, 기울기는 E_g 에 대한 정보를 제공한다. 처음 상태의 기울기로부터 $E_C-E_F=0.67\text{eV}$ 임을 알 수 있고, $E_{g,\text{pristine}}=1.34\text{eV}$ 로 유추할 수 있다. 이 결과는 광흡수 분광법에서 얻은 $E_{g,\text{opt}}=1.27\text{eV}$ 와 일치하며, 실제 $E_{g,\text{pristine}}$, $E_{g,\text{opt}}$ 의 값에 대해서는 2.3.3절에서 자세히 나타낼 예정이다. 반면, 전기적 형성 과정 이후 상태의 기울기는 0.13eV 으로 계산되었으며, $E_{g,\text{formed}}=0.26\text{eV}$ 로 처음 상태보다 훨씬 낮아졌음을 확인할 수 있다.

비정질 재료의 E_g 는 결합 구조에 따라 결정되는 원자들의 궤도 중첩에 의해 결정된다. 또한, 비정질 칼코지나이드에서의 트랩 상태는 칼코지나이드 원자들의 결합 재배열의 결과이며, 결합 구조의 변화에 민감하게 반응하는 원자가 교대쌍(VAP, Valence alternation pair) [47]에서 기인한다고 여겨진다. 위에서 관찰된 N_T 의 증가와 E_g 의 감소는 GeSe의

결합 구조 변화가 나타난 것으로 보인다. 이러한 발견을 바탕으로, 우리는 스위칭 재료를 서로 다른 결합 구조를 갖도록 설계하여 전기적 형성 공정을 완화(또는 전기적 형성 전압을 감소)시키고자 한다. 이는 바로 다음 절에서 자세히 설명하겠다.

2.3.2 Sn 도핑 GeSe 설계와 결합 구조 분석

우리는 결합 구조를 변화시키는 것을 목표로, GeSe 화합물에서 Ge를 대체하는 다른 원소를 도핑하는 방법으로 접근한다. 다른 원소의 도핑 농도를 조절함으로써 Ge-Ge, Ge-Se 및 Se-Se 결합의 상대적인 부분을 조절할 수 있다. 동시에, 끊어진 결합(Dangling bond)과 같은 다른 요인에서 발생하는 트랩을 피하기 위해, 도펀트(Dopant)는 4족(IV) 내에서 고려한다. 위 조건들을 바탕으로 Sn 원소를 선택하였으며, 선택의 이유는 Sn-Se(4.16 eV)의 결합 에너지가 Ge-Se(5.02 eV)의 결합 에너지보다 낮아 Se-Se 결합의 상대적인 부분을 상승시킬 수 있기 때문이다. 이러한 Se-Se 사슬은 위에서 언급한 바와 같이 트랩 상태의 근 원으로 작용하는 원자가 교대 쌍(VAP)을 형성한다고 여겨진다[47, 48]. 상기 이유로, GeSe에서 Sn을 도핑하면 더 많은 트랩 상태가 생성되고, 전기적 형성 공정이 완화될 것으로 예상된다.

Sn이 도핑된 GeSe(GSS)의 결합 구조 변화를 조사하기 위해, Sn 농도($x_{\text{Sn}} = \text{Sn}/(\text{Ge} + \text{Sn})$)를 0~0.47까지의 다양한 GSS 필름에 대해 XPS(X-ray photoelectron spectroscopy) 및 Raman spectroscopy 분석을 수행한다. 모든 조성에 대한 Sn 3d_{5/2} 및 Ge 3d에 해당하는 에너지 영역의 XPS 분석 데이터를 그림 17과 18에서 자세히 보여준다. 이 그림에서는 측정 데이터와 가우스 및 로렌츠 함수를 혼합한 피크 함수로 분리하여 함께 나타낸다.

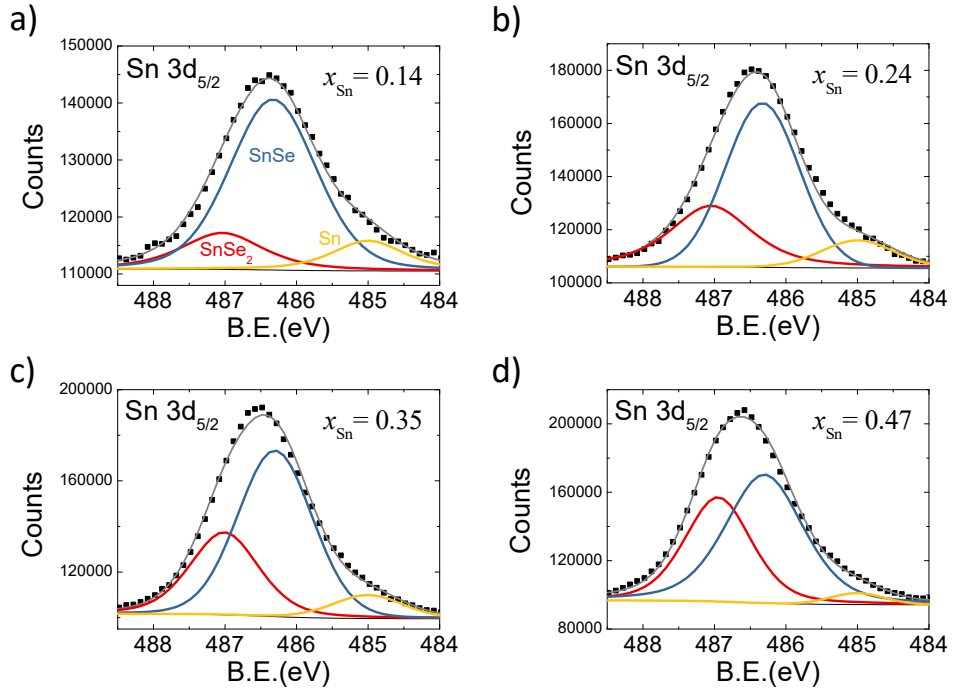


그림 17. Sn 영역의 GSS 박막 XPS 측정 결과. a)~d)는 모든 조성에 대해 Sn3d_{5/2} 영역의 XPS 결과 값을 보여줌. 이때, $x_{Sn}=0$ 인 경우 피크가 관찰되지 않았음.

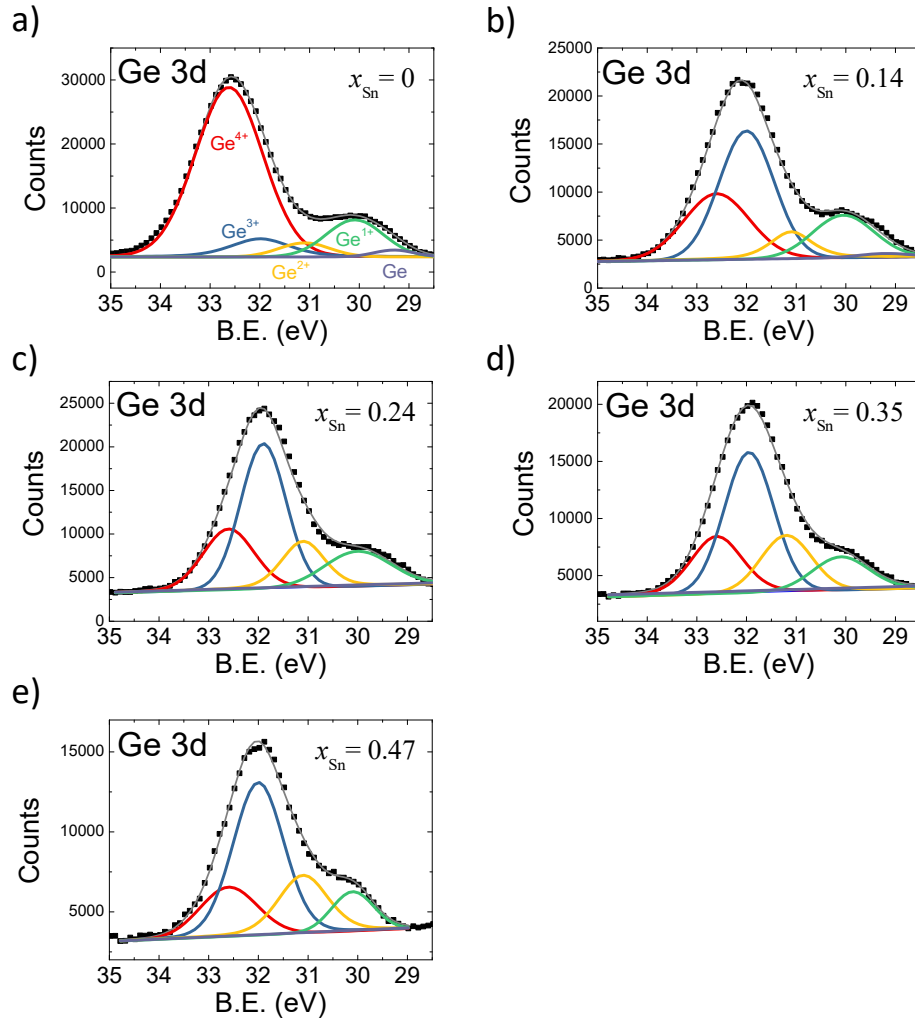


그림 18. Ge 영역의 GSS 박막 XPS 측정 결과. a)–e)는 모든 조성에 대해 Ge3d 영역의 XPS 결과 값을 보여줌.

그림19(a)는 GSS 박막의 조성별 Sn 3d_{5/2} 및 Ge 3d 피크를 한 번에 보여준다. x_{Sn}이 증가할수록, Sn3d_{5/2} 피크는 더 높은 에너지 쪽으로 이동하지만, Ge3d 피크는 반대의 거동을 보이는 것으로 관찰된다. SnSe_x에서는 SnSe와 SnSe₂에서 Sn3d_{5/2} 피크가 각각 486.33eV와 487.04eV에서 나타난다고 보고되었다[49]. 이를 미루어 보아, 관찰된 Sn3d_{5/2} 피크의 변화는 x_{Sn}이 증가함에 따라 SnSe 구조가 점차 SnSe₂ 구조로 변형됨을 의미하는 것으로 보인다. 또, 결합 팔(Bonding arm)의 수가 1개에서 4개로 증가할수록 Ge 3d 피크는 29.30~32.60eV에서 나타나는 것으로 보고되었다[50, 51]. 위 보고에 따르면, Ge 3d 피크의 변화는 x_{Sn}이 증가함에 따라, Ge 원자의 결합 상태가 Ge⁴⁺에서 Ge³⁺로 변화하고 있음을 보여준다. 또한 그림19에서 굵은 선과 가는 선은 측정된 데이터와 분리된 피크 함수를 함께 나타내었다. SeSe, SnSe₂, Ge³⁺ 및 Ge⁴⁺에 해당하는 분리된 피크의 면적을 식(6), 식(7)로부터 결합 비율 (α_i, β_j)을 구할 수 있으며, x_{Sn}에 따른 결합 비율을 그림19(b)에 나타내었다.

$$\alpha_i = S_i / \sum_i^n S_i \times 100[\%], i = \text{SnSe, SnSe}_2 \quad \text{식 (6)}$$

$$\beta_j = S_j / \sum_j^n S_j \times 100[\%], j = \text{Ge}^{3+}, \text{Ge}^{4+} \quad \text{식 (7)}$$

그림19(b)에 따르면, x_{Sn}이 증가할수록 SnSe₂ 구조 및 Ge³⁺ 비율이 증가하는 반면, SeSe 구조 및 Ge⁴⁺의 비율이 감소하는 것으로 관찰된다. 이 결과를 해석해보면, 도핑되지 않은 GeSe에서, x_{Sn}이 증가함에 따라 결합 팔이 4개인 국소 Monoclinic 구조(사면체 구조)에서 결합 팔이 3개인 국소 Orthorhombic 구조로 점차 변화하는 것으로 보인다[52].

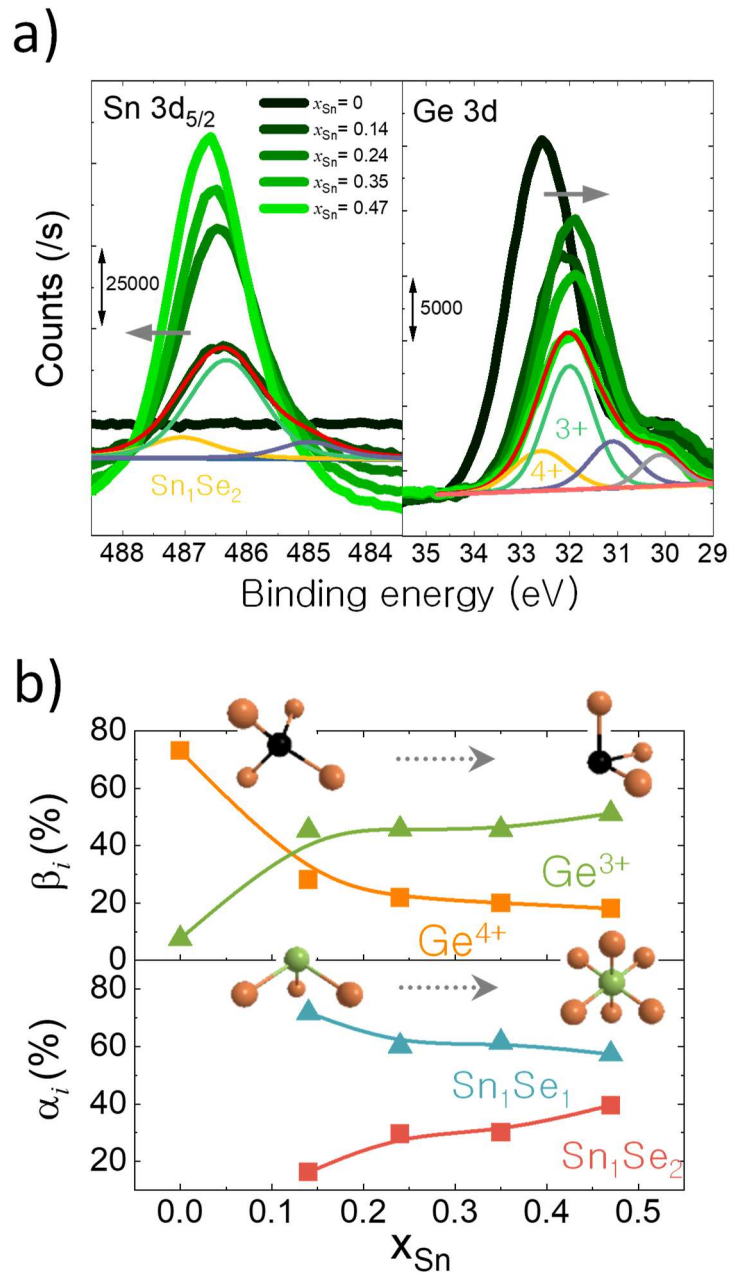


그림 19. XPS 결과를 통한 결합 구조 분석. a)는 모든 조성에 대해, Sn3d_{5/2}(왼쪽)과 Ge3d 영역의 XPS 결과 값을 보여줌. b)는 본문에서 언급한 식(7),(8)을 기반으로, 결합 비율 변화를 조성에 따라 그린 그래프.

또한 SnSe의 국소 Monoclinic 구조는 결합 팔이 6개인 Hexagonal 구조(SnSe_2)로 변화하는 것으로 해석된다[49, 53].

그림20은 GSS 박막의 모든 조성에 대한 라만(Raman) 분광법 결과를 보여준다. 도핑되지 않은 GeSe 필름에서는 $\text{Ge}(\text{Se}_{1/2})_4$ 사면체 구조, $\text{GeSe}(\text{Ge}_2\text{Se}_6)$ 에테인 구조, $\text{Ge}(\text{Se}_{1/2})_4$ 모서리 공유(Corner sharing) 구조, $\text{GeSe}(\text{Ge}_2\text{Se}_6)$ 에테인(Ethane) 구조에 해당하는 약 114, 134, 165, 198, 280(cm^{-1})에서 5개의 뚜렷한 피크가 공통적으로 관찰된다 [42, 54]. 측정된 라만 스펙트럼은 앞에서 말한 피크 위치에서의 가우스 함수로 분리하여 함께 나타내었다. 그림21(a)에서는 모든 조성에 대한 라만 스펙트럼을 한 번에 그렸다. 그림21(a)에서 보이는 것처럼, x_{Sn} 이 증가함에 따라, 160(cm^{-1}) 부근의 피크가 점차 낮아지는 것은 Ge-Se 결합에서 Sn-Se 결합으로의 변화[55]로 해석되며, 280(cm^{-1}) 부근의 피크 진폭이 감소하는 것 또한 잘 부합한다. 그림20(b)는 피크의 이동이 잘 관찰되는 160 및 198(cm^{-1})에 대해서, 피크의 위치를 x_{Sn} 의 함수로 나타내었다. 이는 Monoclinic 구조에 대응하는 국부 모서리 공유(Corner sharing) GeSe 구조에서 Hexagonal 구조에 대응하는 SnSe_2 [55]로의 점진적 구조 변화가 발생한 것으로 보이며, SnSe_2 구조의 비율이 증가한다는 점에서 XPS의 결과와도 잘 일치한다. 이러한 구조적 변화는 Se 원자 사이의 거리가 더 가까워지고, Se-Se 사슬 구조를 더 많이 생성함에 따라 VAP 모델에 의해 트랩 밀도가 증가할 것으로 보인다.

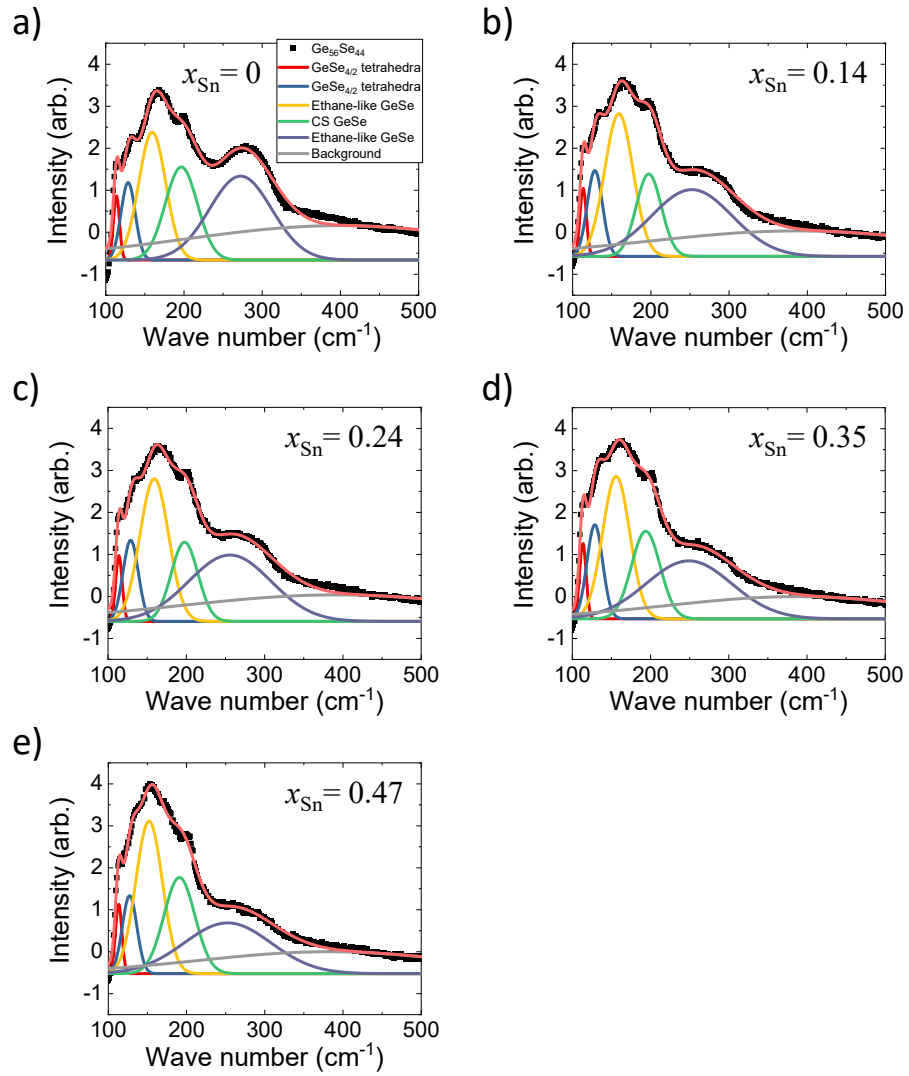


그림 20. GSS 박막 Raman 측정 결과. a) -e)는 모든 조성에 대한 Raman 결과 값.

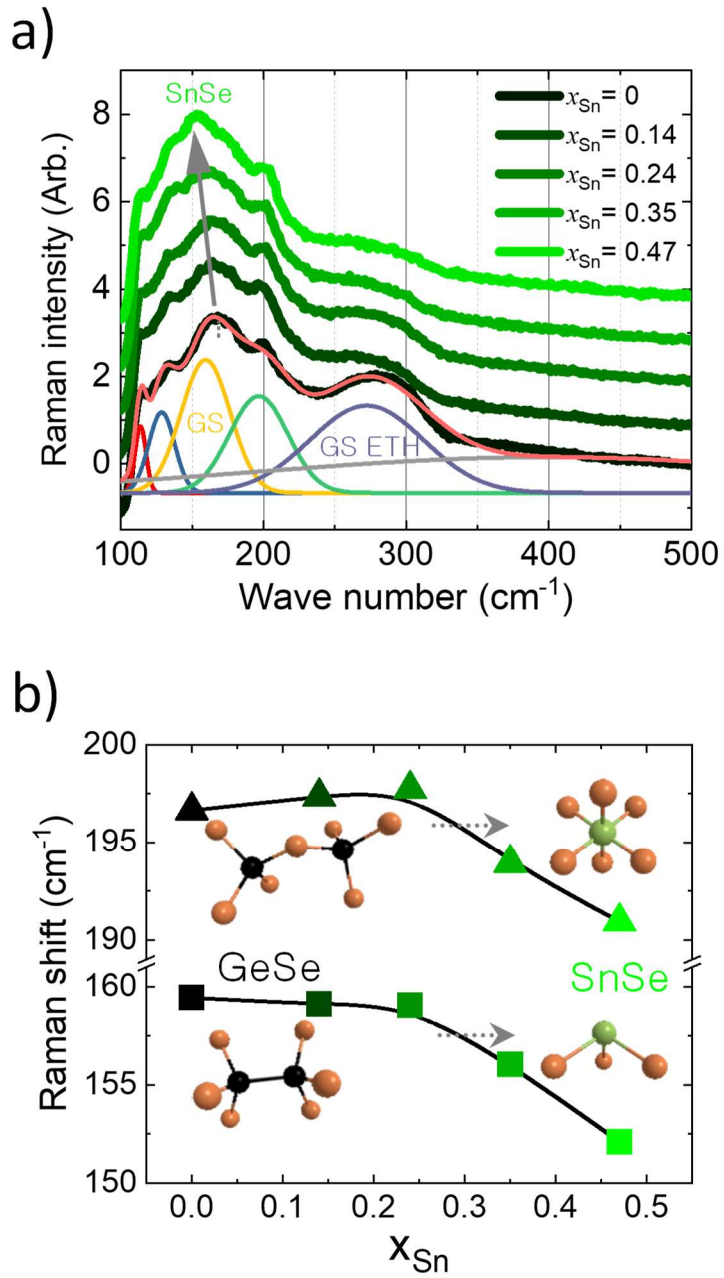


그림 21. Raman 결과를 통한 결합 구조 분석. a)는 모든 조성에 대한 Raman 결과 값. b)는 그림20을 기반으로 피크의 위치 변화를 조성에 따라 본 그래프.

또 다른 해석으로는, 최근 칼코젠(Se)뿐만 아니라 4족 원소(Ge, Sn)도 VAP를 형성할 수 있다는 것이 보고되었으며, 이를 칼코젠 원자에 기반한 원래 VAP와 구별하기 위해 T-VAP라고 부르겠다[56]. T-VAP는 T_3^- 및 T_5^+ 로 표현될 수 있으며, 여기서 T는 IV족 원소를 나타낸다. T_3^- 표기법은 과소배위(Under-coordinated) 상태를 의미하며, T는 5개의 원자가 전자를 가진다. T는 한 쌍의 전자를 가진 세 개의 칼코젠 원자(Se)와 결합하고, 이 국부 구조의 결합 각(Se-Ge-Se)은 약 109도인 정사면체에 가까워진다. 반면, T_5^+ 표기법은 과다배위(Over-coordinated) 상태를 의미하며, 전자 1개의 손실로 인해 3개의 원자가 전자만을 가진다. T는 한 쌍의 전자 없이 세 개의 칼코젠 원자(Se)와 결합하고, 결합 각이 90도인 삼각쌍뿔 형태의 구조를 가진다고 전해진다[56]. T_5^+ 에 결합되어 있던 전자가 이웃한 T_3^- 에 전자를 제공하며 교대 전자쌍(T-VAP)을 형성할 수 있을 것으로 보이고, 결합 팔이 3개인 4족 원소(Ge 및 Sn)가 이러한 T-VAP를 형성하는 것과는 일치한다. 결과적으로, 이러한 관찰된 구조적 변화는 다음 절에서 설명하는 것처럼 OTS 소자의 전기적 형성 과정을 GSS 재료를 통해 완화시킬 수 있다.

2.3.3 OTS의 전기적 형성 전압 완화와 모델

그림22(a)–(e)에서는 GSS 박막을 사용한 OTS 소자에서, 각 x_{Sn} 에 대해 스위칭에 따른 I–V 곡선의 변화를 나타내었다. 그리고, 그림22(f)에서는 각 x_{Sn} 에 대한 V_{form} 과 10번의 스위칭 이후 V_{th} 를 보여준다. 이때 각 조성 별로 10개의 셀(cell)에 대해 측정하여 중간 값과 표준 편차에 대한 통계를 내어 같이 그림22(f)에 나타내었다.

2.3.2절의 구조 분석에서 예상한 바와 같이, x_{Sn} 이 0에서 0.47로 증가함에 따라, V_{form} 은 9V에서 6.5V로 점진적 감소 경향이 관찰된다. x_{Sn} 에 대한 트랩 상태의 의존성을 조사하기 위해, 조성 별로 그림23에서 나타낸 것과 같이 온도에 따른 I–V 수송 특성을 나타내었다. 그리고 비교를 위해 그림24(a)와 같이 상온(293K)에서의 I–V 곡선을 비교하였으며, 특징적인 것은 같은 온도에서 x_{Sn} 이 증가할수록 전류 레벨이 점점 증가하는 것이 확인된다. 한편, N 도핑된 GSS(Ge–Se–Sb) 기반 OTS 소자에 대한 연구에 따르면[57], V_{form} 의 증가는 I_{leak} 의 감소와도 관련이 있는 것으로 보이고, 우리의 실험 결과와도 부합하는 경향이 관찰된다.

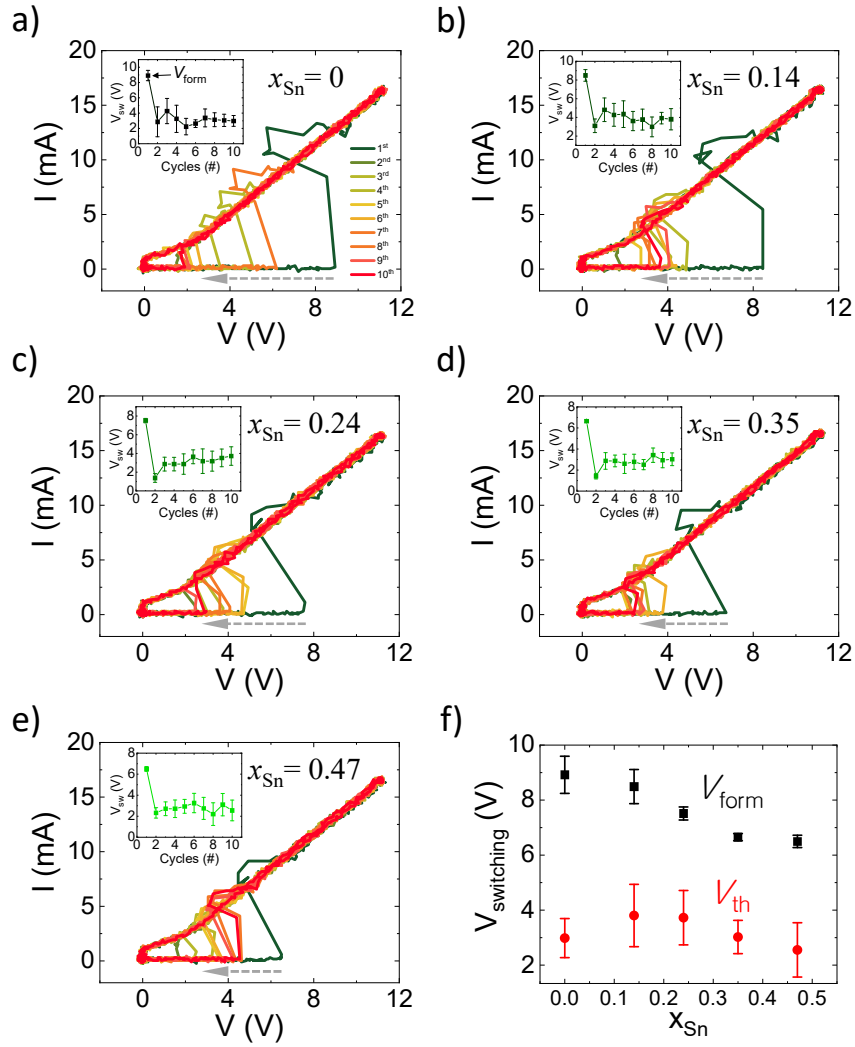


그림 22. GSS 박막을 이용한 OTS의 전류-전압 특성. a)–e) 각 조성에 따라 처음 상태에서, 10회 연속 측정에 따른 전류-전압 특성 그래프. f) 전기적 형성 전압과 10번째 스위칭 전압을 조성에 따라 통계낸 그래프.(조성 별로 10개의 소자가 사용되었으며, 점은 중간 값, 오차 막대는 표준 편차를 나타냄.)

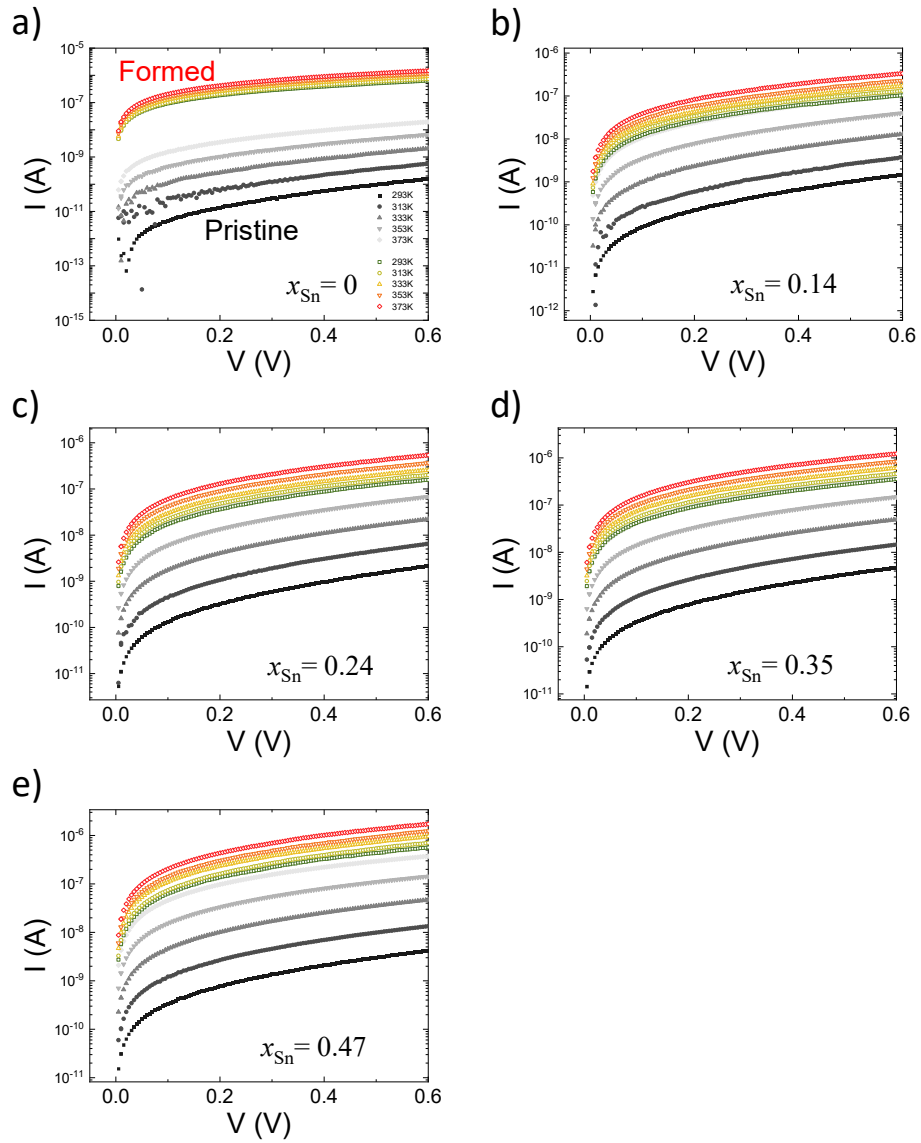


그림 23. 낮은 전기장 영역에서 GSS-OTS의 전류-전압 특성. a)–e) 각 조성
 에 따라 전기적 형성 전/후, 문턱 전압 이전 영역에 대한 전류-전압 특성 그래프.
 채색 그래프는 전기적 형성 이후, 무채색 그래프는 전기적 형성 이전을 나타냄.

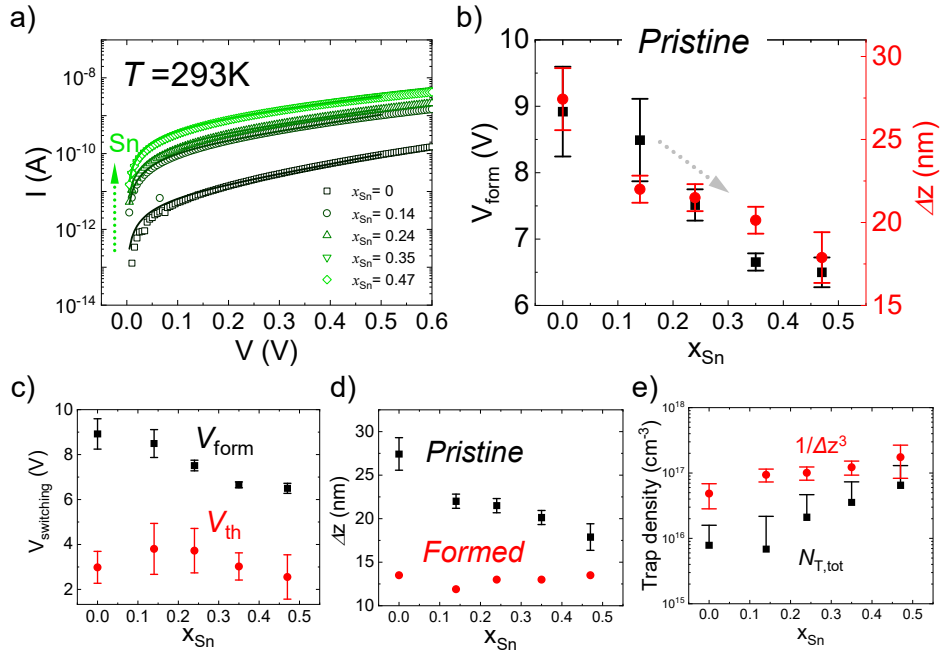


그림 24. 트랩 밀도와 전기적 형성 전압과의 상관 관계. a)는 그림23에서 상온 (293K)에 대한 값을 모든 조성에 대해 나타낸 문턱 전압 이전 영역의 전류-전압 그래프. b) 조성에 따라 전기적 형성 전압(V_{form})과 트랩 사이의 거리(Δz)를 함께 나타낸 그래프. c) 조성에 따른 전기적 형성 전압(V_{form})과 10번째 스위칭 전압(V_{th})에 대한 통계 그래프. d) 그림 23에서 구한 트랩 사이의 거리(Δz)를 조성에 대해 그린 그래프. e) 트랩 사이의 거리(Δz) 세제곱의 역수(트랩 밀도, trap density)와 Arrhenius 그래프로 구한 트랩 밀도를 비교한 그래프.

뿐만 아니라, 식(5)를 사용하여 계산된 값과 측정된 I-V 곡선 값을 그림24(a)에 실선으로 같이 나타내었고, 두 값은 잘 일치하는 것으로 보인다. 2.3.1절과 같은 방식으로, 식(5)로 계산된 값으로부터 구한 Δz 를 x_{Sn} 에 대해 그려보면 그림24(b)와 같다. 이 결과는 x_{Sn} 에 따라 트랩 상태의 밀도가 증가함을 보여주며, 구조 분석 결과와도 일치하는 것으로 해석된다. 게다가, Δz 와 V_{form} 값을 같이 그렸을 때도 강한 연관성이 있음이 보인다(그림24(b) 참고).

스위칭 전압은 처음 상태 또는 전기적 형성 이후 상태에 관계없이 스위칭 재료의 E_g 에 비례하는 것으로 알려져 있다. 우리는 E_g 에 의한 영향을 같이 관찰하기 위해, GSS 필름의 모든 조성에 대해 2.2절에 설명한 방법으로 광학 흡수 분광법을 사용하여 E_g 를 구하고자 했다. 파장에 따른 흡광 계수를 구하고, 그림25(a)–(e)에 나타내었으며, 선형 근사법을 통해 E_g 를 계산한다. 우리는 x_{Sn} 에 따라 계산된 E_g 의 변화 경향을 그림 25(f)에서 보여주는데, E_g 로 인한 V_{form} 의 지속적인 감소를 설명할 수 없음이 확인된다. 따라서, 우리는 GSS를 사용하는 OTS 소자에서 관찰된 V_{form} 의 감소는 주로 트랩 밀도의 증가에 의한 요인이며, 이는 Se과 결합하는 Ge과 Sn의 결합 에너지 차이에서 오는 국소 구조의 변화로 인해 유도된 것으로 보인다.

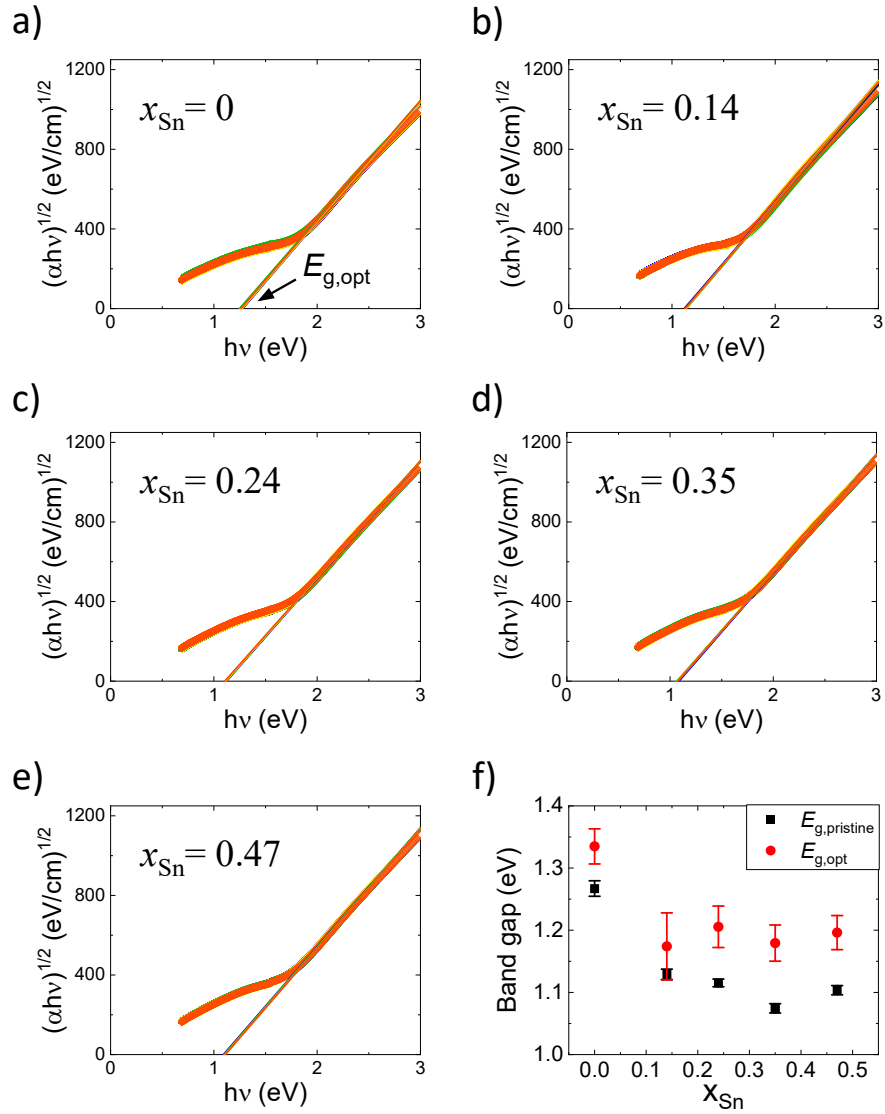


그림 25. GSS 박막의 광학적 밴드갭 측정 결과. a)–e) 각 조성 별로 흡광도(광 흡수 분광 측정)를 통해 구한 Tauc 플롯 그래프. f) 흡광도 값으로 구한 광학적 밴드 갭과 식(5)를 통해 구한 밴드갭을 비교한 그래프.

2.4 요약 및 논의

본 연구에서는 OTS 소자가 필연적으로 가지는 전기적 형성 공정의 기원을 탐구하였다. 전기적 형성 공정은 OTS와 연결된 회로에 부담을 준다는 점에서 응용을 어렵게할 뿐만 아니라, 기원에 대한 탐구가 충분히 이루어지지 않았다. 우리는 D.Ielmini 기반의 수송 모델을 기반으로 OTS의 전기적 형성 전, 후의 온도 의존 I-V 특성을 조사함으로써, 전기적 형성 이후 상태는 트랩 밀도의 증가와 E_g 감소가 관찰되었고, 이는 국부 구조에 변화가 일어났음을 암시한다. 이러한 발견을 바탕으로 트랩 밀도를 증가시킬 수 있는 스위칭 재료를 설계하고자 하였고, 전기적 형성 전압의 감소를 유도하였다. 본 연구에서 스위칭 물질로 GeSe에 Sn을 치환 도핑한 재료(GSS)를 사용했는데, 이는 지배적인 결합 팔이 4개인 Monoclinic 구조에서 결합 팔이 6개인 Hexagonal 구조로의 변화를 유도한 것으로 보여진다. 후자는 Se-Se 사슬의 증가 또는 두 개의 4족 원자에 의해 형성된 T-VAP 모델에 의해 트랩 밀도를 증가시켰을 가능성이 있다. 다양한 Sn 농도에서 온도 의존성 I-V 곡선을 분석한 결과, Sn 도핑 과정이 트랩 밀도 증가와 형성 전압 감소를 보였으며, 둘 사이에 강한 연관성을 찾을 수 있었다.

위 발견으로부터, SnSe_2 구조의 생성은 국부적으로 결합 팔이 6개인 Hexagonal 구조의 형태가 지배적일 것으로 예상되기 때문에, 거의 전기적 형성이 필요 없는 스위칭 재료로 활용할 수 있는 것이 흥미로울 수 있다. 하지만, 안타깝게도 230°C 부근의 낮은 결정화 온도로 인해, OTS 소자에 적용하기에는 너무 낮다. 또, 결정 상태[58]에서 저항이 낮아 상변화 메모리 소자에 적용하기에는 좋지만, OTS 소자에 적용하기에는 좋

지 않을 것으로 예상된다. 그럼에도 불구하고, 본 연구 결과는, 전기적 형성 과정이 없는 OTS 스위칭 재료를 설계함에 있어서 유용한 힌트를 제공할 것이라 믿는다.

III. 결 론

우리는 인간의 뇌에서 영감을 얻은 컴퓨팅을 구현하기 위해, 실제 신경을 모사하려는 연구를 진행했다. 1943년, 인간의 뇌가 '논리 연산이 가능한' 뉴런 네트워크로 구성되어있다는 가설과, 그 중에서도 XOR 연산은 인간의 학습과 기억에서 중요한 역할을 한다고 알려져 있었다. 그리고, 최근 인간 뇌의 일부 가지 돌기(dendrite)가 XOR 연산을 하고 있음이 실험적으로 밝혀졌다. 이 연구 결과는 논리 연산이 가능한 단위로서의 뉴런 가설에 뒷받침하였고, XOR 연산 뉴런의 필요성은 더욱 높아졌다. 우리는 OTS(Ovonic threshold switch) 소자를 활용하여 비선형적인 XOR 연산과 더불어, 다양한 비선형적 논리 연산 및 산술 연산이 가능한 인공 뉴런을 최초로 제안한다. 그리고 OTS 인공 뉴런을 활용함에 있어서 장애물이 되는 OTS의 전기적 형성 과정을 억제할 수 있는 아이디어를 제시하였고, OTS 인공 뉴런의 활용도를 높이는 연구를 진행했다.

첫 번째로, XOR 연산 뉴런은 기존 OTS 인공 뉴런의 회로를 활용하여, 두 개의 펄스 입력을 받고 연산 결과를 뉴런 스파이크 형태로 출력한다. 실험 결과, 5V의 입력 펄스 전압에 대한 연산 결과는 4MHz 주파수의 뉴런 스파이크로 출력이 가능함을 확인했다. 뿐만 아니라, XOR 연산 뉴런 2개와 OPAMP를 활용해 대뇌 피질의 2-3층에 존재하는 피라미드 뉴런(L2/3 pyramidal neuron)에서 보이는 특성을 시뮬레이션 상으로 동일하게 구현했다. 비슷한 원리를 응용하여, 선형적인 연산(NOT, AND, OR, NAND, NOR)이 가능한 인공 뉴런과 함께, 실제 뉴런에서 자주 발견되는 특성인 flip-flop 도 실험적으로 구현했다. 이처럼 다양한 논리

연산 뉴런들은 스파이크 기반의 부울 논리 연산이 가능함과 동시에, 인공 뉴런을 구성하는 데에 있어서 하나의 빌딩 블록으로 사용할 수 있음을 보여준다.

두 번째로, 입력 전압의 합을 뉴런 스파이크 주파수의 크기로 출력이 가능한 Rate coding 기반의 인공 산술 연산 뉴런을 제안한다. 이 인공 뉴런은 OTS 소자와 가변 저항처럼 동작하는 FET를 조합하였고, FET의 각 게이트를 입력 단자로 사용한다. 실험 결과, 각 입력 전압의 합(-2V~4V)은 스파이크 주파수의 크기(0.03~0.62MHz)에 대해 선형적으로 비례하는 것을 확인하였다. 위 산술 뉴런은 대뇌 피질의 5층에 존재하는 피라미드 뉴런(L5 pyramidal neuron)의 특성을 동일하게 모사할 수 있음을 보여주었다.

앞서 언급한 인공 뉴런들은 모두 OTS 소자를 기반으로 하는데, 이 소자는 필연적으로 '전기적 형성(electro forming)' 과정을 가지기 때문에 인공 뉴런 네트워크 설계에서 큰 장애물로 작용한다. 우리는 전기적 형성 과정을 이해하기 위해, 기존 GeSe 기반의 칼코지나이드 재료에서의 전기적 형성 전, 후 수송 특성을 D.Iemlini model 을 활용해 비교하였다. 전기적 형성 이후 $E_C - E_F$ 값이 1.34eV에서 0.26eV로, 트랩 사이의 거리(Δz)가 26.5nm에서 13.5nm로 크게 감소한 것이 확인되었다. 우리는 이러한 변화가 재료 내 결합 상태 변화에 의해 발생한 것이라고 판단하였으며, 전기적 형성 과정을 완화하기 위한 재료를 설계하였다. 비정질 칼코지나이드 재료 내 트랩의 기원으로 알려진 VAP (Valence alternation pair) 모델을 기반으로, 국소 결합 구조의 변화를 통해 트랩 밀도를 증가시킬 수 있는 방법을 시도하였다. Sn은 Ge과 같은 4족 원소이지만, GeSe₂는 Orthorhombic 구조인 반면 SnSe₂는 Hexagonal 구조

를 가지고, SnSe₂ 구조에서 짧은 거리의 Se 원자들은 VAP에 의한 트랩 밀도를 증가시킬 것이라고 생각하였다. 본 연구에서는, GeSe 에 Sn을 치환 도핑한 GSS (Ge_{1-x}Sn_xSe₁) 박막을 농도 별로 제작하였고(x=0-0.47), XPS 및 Raman 분석으로부터 SnSe₂ 결합 구조가 점진적으로 증가하고 있음을 검증하였다. 제작한 박막의 OTS로 전류-전압 특성을 분석한 결과, Sn 농도가 증가할수록 전기적 형성 전압(V_{form})이 9V-6.5V로, Δz 는 26.5nm에서 17.5nm로 점진적으로 감소하는 것이 확인되었다. 위 결과는 OTS의 전기적 형성 과정이 Δz 와 관련이 있음을 보여주며, 궁극적으로 전기적 형성 과정이 없는 OTS를 개발하는 데에 실마리가 될 것으로 보인다.

우리는 비선형(XOR) 및 선형 연산(NOT, AND, OR, NAND, NOR)이 가능한 인공 뉴런들은 입력 펄스에 대한 반응만을 살펴봤으나, 이들을 실제로 조합했을 때 어떤 연산 과정에서 에너지적으로 효율적인지에 대한 실험과 분석은 더 필요해 보인다. 또, 대뇌 피질의 2-3층에 존재하는 피라미드 뉴런(L2/3 pyramidal neuron)을 모사하는 데에 사용되었던 OPAMP는 회로 설계에 있어서 부피가 커진다는 단점이 존재하기 때문에 이를 해결할 수 있는 방법에 대한 연구가 같이 수행된다면, 설계를 단순화하는 데에 더 큰 의미가 있을 것으로 보인다. 마지막 연구로, 전기적 형성 과정을 완화할 수 있는 GSS 기반 재료는 결정화 온도가 230도로 낮으며, 결정화 시 낮은 비저항을 가지기 때문에 실제 소자로 응용되기에는 어려움이 있을 것으로 보인다. 그럼에도 불구하고, OTS 소자가 가지는 전기적 형성 문제를 완화시킬 수 있는 아이디어를 제시함과 동시에, 우리가 연구한 뉴런 소자(논리 연산이 가능한 인공 뉴런)의 활용도를 크게 높였다. 결론적으로, OTS 인공 뉴런으로 제안된 회로들은

뉴로모픽 컴퓨팅 시스템을 개발하는 데에 필요한 빌딩 블록(Building block)이 됨과 동시에 단순한 인공 신경망 설계의 기반이 될 것으로 기대한다.

참 고 문 헌

- [1] G.E. Moore, Cramming more components onto integrated circuits, Reprinted from *Electronics*, volume 38, number 8, April 19, 1965, pp.114 ff, *IEEE Solid-State Circuits Society Newsletter* 11(3) (2006) 33-35.
- [2] R. Douglas, K. Martin, Recurrent neuronal circuits in the neocortex, *Annual Review of Neuroscience* 27 (2007).
- [3] W.S. McCulloch, W. Pitts, A logical calculus of the ideas immanent in nervous activity, *The Bulletin of Mathematical Biophysics* 5(4) (1943) 115-133.
- [4] S. Blomfield, Arithmetical operations performed by nerve cells, *Brain Research* 69(1) (1974) 115-124.
- [5] R.A. Silver, Neuronal arithmetic, *Nature Reviews Neuroscience* 11(7) (2010) 474-489.
- [6] J. Woo, S.H. Kim, K. Han, M. Choi, Characterization of dynamics and information processing of integrate-and-fire neuron models, *Journal of Physics A: Mathematical and Theoretical* 54(44) (2021) 445601.
- [7] A. Gidon, T.A. Zolnik, P. Fidzinski, F. Bolduan, A. Papoutsis, P. Poirazi, M. Holtkamp, I. Vida, M.E. Larkum, Dendritic action potentials and computation in human layer 2/3 cortical neurons, *Science* 367(6473) (2020) 83-87.
- [8] P. Fromherz, V. Gaede, Exclusive-OR function of single arborized neuron, *Biological Cybernetics* 69(4) (1993) 337-344.
- [9] R.D. Cazé, M. Humphries, B. Gutkin, Passive Dendrites Enable Single Neurons to Compute Linearly Non-separable Functions, *PLoS Computational Biology* 9(2) (2013) e1002867.
- [10] W. Yi, K.K. Tsang, S.K. Lam, X. Bai, J.A. Crowell, E.A. Flores, Biological plausibility and stochasticity in scalable VO2 active memristor neurons, *Nature Communications* 9(1) (2018).
- [11] E.M. Izhikevich, Which Model to Use for Cortical Spiking Neurons?,

- IEEE Transactions on Neural Networks 15(5) (2004) 1063-1070.
- [12] S.R. Ovshinsky, Reversible Electrical Switching Phenomena in Disordered Structures, *Physical Review Letters* 21(20) (1968) 1450-1453.
- [13] G.W. Burr, R.S. Shenoy, K. Virwani, P. Narayanan, A. Padilla, B. Kurdi, H. Hwang, Access devices for 3D crosspoint memory, *Journal of Vacuum Science & Technology B, Nanotechnology and Microelectronics: Materials, Processing, Measurement, and Phenomena* 32(4) (2014) 040802.
- [14] Q. Xia, J.J. Yang, Memristive crossbar arrays for brain-inspired computing, *Nature Materials* 18(4) (2019) 309-323.
- [15] M. Lee, S.W. Cho, S.J. Kim, J.Y. Kwak, H. Ju, Y. Yi, B.-K. Cheong, S. Lee, Simple Artificial Neuron Using an Ovonic Threshold Switch Featuring Spike-Frequency Adaptation and Chaotic Activity, *Physical Review Applied* 13(6) (2020).
- [16] J. Lee, S. Kim, S. Park, J. Lee, W. Hwang, S.W. Cho, K. Lee, S.M. Kim, T.Y. Seong, C. Park, S. Lee, H. Yi, An Artificial Tactile Neuron Enabling Spiking Representation of Stiffness and Disease Diagnosis, *Advanced Materials* (2022) 2201608.
- [17] G. Bugmann, Biologically plausible neural computation, *Biosystems* 40(1-2) (1997) 11-19.
- [18] G.E. Hinton, Computation by neural networks, *Nature Neuroscience* 3(S11) (2000) 1170-1170.
- [19] A.M. Zador, The basic unit of computation, *Nature Neuroscience* 3(S11) (2000) 1167-1167.
- [20] G. Piccinini, A. Scarantino, Information processing, computation, and cognition, *Journal of Biological Physics* 37(1) (2011) 1-38.
- [21] B. Sharif, A.R. Ase, A. Ribeiro-Da-Silva, P. Séguéla, Differential Coding of Itch and Pain by a Subpopulation of Primary Afferent Neurons, *Neuron* 106(6) (2020) 940-951.e4.
- [22] A.J. Granger, M.L. Wallace, B.L. Sabatini, Multi-transmitter neurons in the mammalian central nervous system, *Current Opinion in Neurobiology* 45 (2017) 85-91.

- [23] T.S. Hnasko, R.H. Edwards, Neurotransmitter Corelease: Mechanism and Physiological Role, *Annual Review of Physiology* 74(1) (2012) 225-243.
- [24] C. Li, A.T. Gullledge, NMDA Receptors Enhance the Fidelity of Synaptic Integration, *eneuro* 8(2) (2021) ENEURO.0396-20.
- [25] S. Terada, Y. Sakurai, H. Nakahara, S. Fujisawa, Temporal and Rate Coding for Discrete Event Sequences in the Hippocampus, *Neuron* 94(6) (2017) 1248-1262.e4.
- [26] S. Thill, H. Svensson, T. Ziemke, Modeling the Development of Goal-Specificity in Mirror Neurons, *Cognitive Computation* 3(4) (2011) 525-538.
- [27] A.A. Fayed, M.A. Bayoumi, A low power 10-transistor full adder cell for embedded architectures, *IEEE*.
- [28] A. Nag, J.P. Singh, S. Khan, S. Ghosh, S. Biswas, D. Sarkar, P.P. Sarkar, Image encryption using affine transform and XOR operation, *IEEE*.
- [29] D.A. McCormick, Neuronal Networks: Flip-Flops in the Brain, *Current Biology* 15(8) (2005) R294-R296.
- [30] M. Aguirre-Hernandez, M. Linares-Aranda, CMOS Full-Adders for Energy-Efficient Arithmetic Applications, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 19(4) (2011) 718-721.
- [31] S. Kumar, J.P. Strachan, R.S. Williams, Chaotic dynamics in nanoscale NbO₂ Mott memristors for analogue computing, *Nature* 548(7667) (2017) 318-321.
- [32] Y. Bo, P. Zhang, Z. Luo, S. Li, J. Song, X. Liu, NbO₂ Memristive Neurons for Burst-Based Perceptron, *Advanced Intelligent Systems* 2(8) (2020) 2000066.
- [33] A.P. G Stefanovich, D Stefanovich, Electrical switching and Mott transition in VO₂, *Journal of Physics: Condensed Matter* 12 (2000) 8837-8845.
- [34] D. Adler, H.K. Henisch, S.N. Mott, The mechanism of threshold switching in amorphous alloys, *Reviews of Modern Physics* 50(2) (1978) 209-220.
- [35] D. Ielmini, Threshold switching mechanism by high-field energy gain

in the hopping transport of chalcogenide glasses, *Physical Review B* 78(3) (2008).

[36] T. Kim, D. Lee, J. Kim, H. Sohn, Firing voltage reduction in thermally annealed Ge–As–Te thin film with ovonic threshold switching, *Journal of Vacuum Science & Technology B* 38(3) (2020) 032213.

[37] Y. Koo, H. Hwang, Zn_{1-x}Te Ovonic Threshold Switching Device Performance and its Correlation to Material Parameters, *Scientific Reports* 8(1) (2018).

[38] G. Jang, M. Park, D.S. Hyeon, W. Kim, J. Yang, J. Hong, Bidirectional-nonlinear threshold switching behaviors and thermally robust stability of ZnTe selectors by nitrogen annealing, *Scientific Reports* 10(1) (2020).

[39] C. Yu-Sheng, W. Tai-Yuan, T. Pei-Jer, C. Pang-Shiu, H.-Y. Lee, L. Cha-Hsin, F. Chen, T. Ming-Jinn, Forming-free HfO₂ bipolar RRAM device with improved endurance and high speed operation, *IEEE*.

[40] S. Lee, J. Lee, M. Kwak, O. Mosendz, H. Hwang, Understanding of forming and switching mechanism using trap distribution model for ovonic threshold switch device, *Applied Physics Letters* 118(21) (2021) 212103.

[41] P. Lorenzi, R. Rao, F. Irrera, Forming Kinetics in HfO_2 -Based RRAM Cells, *IEEE Transactions on Electron Devices* 60(1) (2013) 438-443.

[42] J.B. Dory, C. Castro-Chavarria, A. Verdy, J.B. Jager, M. Bernard, C. Sabbione, M. Tessaire, J.M. Fédéli, A. Coillet, B. Cluzel, P. Noé, Ge–Sb–S–Se–Te amorphous chalcogenide thin films towards on-chip nonlinear photonic devices, *Scientific Reports* 10(1) (2020).

[43] D. Ielmini, Y. Zhang, Analytical model for subthreshold conduction and threshold switching in chalcogenide-based memory devices, *Journal of Applied Physics* 102(5) (2007) 054517.

[44] S. Lee, D.S. Jeong, J.-H. Jeong, W. Zhe, Y.-W. Park, H.-W. Ahn, B.-K. Cheong, A study on the temperature dependence of the threshold switching characteristics of Ge₂Sb₂Te₅, *Applied Physics Letters* 96(2) (2010)

023501.

- [45] J. Frenkel, On Pre-Breakdown Phenomena in Insulators and Electronic Semi-Conductors, *Physical Review* 54(8) (1938) 647-648.
- [46] K. Tanaka, K. Shimakawa, *Amorphous Chalcogenide Semiconductors and Related Materials*, 2011, pp. 195-228.
- [47] M. Kastner, D. Adler, H. Fritzsche, Valence-Alternation Model for Localized Gap States in Lone-Pair Semiconductors, *Physical Review Letters* 37(22) (1976) 1504-1507.
- [48] A.V. Kolobov, P. Fons, Insights into the physics and chemistry of chalcogenides obtained from x-ray absorption spectroscopy, *Semiconductor Science and Technology* 32(12) (2017) 123003.
- [49] D. Lu, C. Yue, S. Luo, Z. Li, W. Xue, X. Qi, J. Zhong, Phase controllable synthesis of SnSe and SnSe₂ films with tunable photoresponse properties, *Applied Surface Science* 541 (2021) 148615.
- [50] M. Shang, X. Chen, B. Li, J. Niu, A Fast Charge/Discharge and Wide-Temperature Battery with a Germanium Oxide Layer on a Ti₃C₂ MXene Matrix as Anode, *ACS Nano* 14(3) (2020) 3678-3686.
- [51] S. Jia, H. Li, T. Gotoh, C. Longeaud, B. Zhang, J. Lyu, S. Lv, M. Zhu, Z. Song, Q. Liu, J. Robertson, M. Liu, Ultrahigh drive current and large selectivity in GeS selector, *Nature Communications* 11(1) (2020).
- [52] Y.H. S Hosokawa, T Kouchi, I Ono, H Sato, M Taniguchi, A Hiraya, Y Takata, N Kosugi, M Watanabe, Electronic structures and local atomic configurations in amorphous GeSe and GeTe, *Journal of Physics: Condensed Matter* 10 (1998) 1931–1950.
- [53] M. Micoulaut, W. Welnic, M. Wuttig, Structure of the liquid and the crystal of the phase-change material SnSe₂: First-principles molecular dynamics, *Physical Review B* 78(22) (2008).
- [54] A.-A. Ahmed Simon, B. Badamchi, H. Subbaraman, Y. Sakaguchi, M. Mitkova, Phase change in Ge–Se chalcogenide glasses and its implications on optical temperature-sensing devices, *Journal of Materials Science:*

Materials in Electronics 31(14) (2020) 11211-11226.

[55] P.A. Fernandes, M.G. Sousa, P.M.P. Salomé, J.P. Leitão, A.F. Da Cunha, Thermodynamic pathway for the formation of SnSe and SnSe₂ polycrystalline thin films by selenization of metal precursors, CrystEngComm 15(47) (2013) 10278.

[56] S. Clima, D. Garbin, K. Opsomer, N.S. Avasarala, W. Devulder, I. Shlyakhov, J. Keukelier, G.L. Donadio, T. Witters, S. Kundu, B. Govoreanu, L. Goux, C. Detavernier, V. Afanas'Ev, G.S. Kar, G. Pourtois, Ovonic Threshold-Switching Ge_xSe_y Chalcogenide Materials: Stoichiometry, Trap Nature, and Material Relaxation from First Principles, physica status solidi (RRL) – Rapid Research Letters 14(5) (2020) 1900672.

[57] A. Verdy, M. Bernard, J. Garrione, G. Bourgeois, M.C. Cyrille, E. Nolot, N. Castellani, P. Noe, C. Socquet-Clerc, T. Magis, G. Sassine, G. Molas, G. Navarro, E. Nowak, Optimized Reading Window for Crossbar Arrays Thanks to Ge-Se-Sb-N-based OTS Selectors, IEEE.

[58] K.-M. Chung, D. Wamwangi, M. Woda, M. Wuttig, W. Bensch, Investigation of SnSe, SnSe₂, and Sn₂Se₃ alloys for phase change memory applications, Journal of Applied Physics 103(8) (2008) 083523.