



공학박사학위논문

3 차원 낸드 플래시 메모리의 리텐션 동작에서의 Lateral Migration 메커니즘 에 대한 분석

Analysis of Lateral Migration Mechanism during the Retention Mode in 3-D NAND Flash Memory

2022년 8월

서울대학교 대학원

전기 · 정보공학부

김 신 근

3 차원 낸드 플래시 메모리의 리텐션 동작에서의 Lateral Migration 메커니즘에 대한 분석

Analysis of Lateral Migration Mechanism during the Retention Mode in 3-D NAND Flash Memory

지도 교수 신 형 철

이 논문을 공학박사 학위논문으로 제출함 2022년 8월

서울대학교	대학원
전기·정보	공학부
김 신	근

김신근의 공학박사 학위논문을 인준함 2022년 8월

위육	녠장_	최우	2 영	(인)
부위	원장	신 형	형 철	(인)
위	원	김지	∦준	(인)
위	원	김	윤	(인)
위	원	송 으	l 현	<u>(인)</u>

초 록

기존 2차원 평판 구조의 낸드 플래시 메모리의 소자의 소형화 및 집적화가 한계에 도달함에 따라, 전하 트랩 층 (CTL)을 사용하는 수직 구조의 3차원 낸 드 플래시 구조가 채택되고 있다. 공정 상의 한계 및 코스트로 인해 3차원 낸 드 플래시는 각 낸드 셀의 전하 트랩 층을 서로 공유하는 구조와 poly-Si 채널 등을 채택하게 되었다. 이로 인해, 2차원 평판 구조에서 야기되지 않던 새로운 신뢰성 문제들이 보고되고 있다. 그중에서도 리텐션 동작 중, 서로 공유된 CTL로 인해 program 후 word-line (WL)에 저장된 전자들이 전하 트랩 층 내에 서 측 방향으로 이동하는 메커니즘이 기존 2차원 평판 구조에서 보고된 전하 손실 메커니즘들에 더하여 추가적인 문제가 되고 있다.

번드 플래시 메모리에서 리텐션 동작 중 발생하는 다양한 전하 손실 메커니 즘들은 혼재되어 발생하기 때문에 기존 고온-가속 평가 방법으로 추출된 겉 보기 활성화 에너지 (*E*aa)의 roll-off 현상을 야기시켜 낸드 플래시 메모리의 정 확한 수명을 예측하지 못하고 큰 오차를 발생시킨다. 따라서 TCAD 시뮬레이 션 및 전하 손실 함수의 사용을 통한 전하 손실 메커니즘을 개별적으로 분리 하여 분석하는 것이 중요하다. 전하 손실/이득 모델을 사용하여 분리된 개별 메커니즘들의 *E*a를 분석함으로써 낸드 플래시 메모리의 정확한 수명 예측이 가능하다.

- i -

본 논문에서는 3차원 낸드 플래시 구조에서 특히 문제가 되고 있는 리텐션 동작 중 target WL에 저장된 전자가 측 방향으로 이동하는 메커니즘을 중점적 으로 분석하였다. 측 방향 이동 (Lateral Migration, LM) 메커니즘은 리텐션 기간 동안 낮은 전압으로 program 됨에 따라 남아있는 잔여 홀에 의해서 영향을 받 고 이것은 잔여 홀이 없는 (높은 전압으로 program 된) 경우의 LM 메커니즘과 별개의 메커니즘으로 분리될 수 있다. 또한 LM 메커니즘은 리텐션 동작 중 target WL의 전하 손실뿐만 아니라 전하 이득 성분이 포함된 간섭 현상이 혼재 되어 있는 것으로 분석되었다. 이러한 간섭 현상은 target WL에 인접한 WL에 저장된 전하의 종류 및 양에 따라서 달라지며 이로 인해 LM에 의한 전하 손 실은 과소평가되거나 혹은 과대평가될 수 있다. 리텐션 동작 중 나타나는 셀 패턴 의존성이 간섭 현상 속 포함된 전하 이득 성분이 연관이 있음을 확인하 였다. 마찬가지로, LM 메커니즘 속 포함된 간섭 현상을 전하 손실/이득 메커 니즘으로 정의하고 LM에 의한 전하 손실로부터 해당 성분을 전하 손실 함수 를 사용하여 분리하였다.

주요어 : 3 차원 낸드 플래시 메모리, 측 방향 이동 메커니즘, 리텐션, 간섭 현 상, 셀 패턴 의존성, P/E cycle 스트레스

학 번:2016-20874

- ii -

목 차

초	록	j
---	---	---

제 1 장 서 론 1.1. 연구 배경 ------1 1.2. 연구 내용 -----7 1.3. 논문 구성 -----9

제 2 장 3차원 낸드 플래시 메모리의 리텐션 동작 중의 전하 손실 메커니즘

2.1. 장기 리텐션 동작 중의 전하 손실 메커니즘	11
2.1.1 De-trapping 메커니즘	12
2.1.2 Trap-Assisted Tunneling 메커니즘	15
2.1.3 Interface Trap Recovery 메커니즘	18
2.1.4 장기 Lateral Migration 메커니즘	21
2.2. 단기 리텐션 동작 중의 전하 손실 메커니즘	24
2.2.1 De-trapping (Bandgap Engineering) 메커니즘	26
2.2.2 Vertical Redistribution 메커니즘	28
2.2.3 단기 Lateral Migration 메커니즘	30
2.3. 전하 손실/이득 모델	

제 3 장 장기 리텐션 분석

3.1. 낸드 플래시 메모리의 장기 리텐션 동작	35
3.2. TCAD 시뮬레이션을 통한 전하 손실 메커니즘 및	
제한 조건 검증	36
3.2.1 De-trapping 메커니즘	-40
3.2.2 Trap-Assisted Tunneling 메커니즘	-41
3.2.3 Interface Trap Recovery 메커니즘	-43
3.2.4 Lateral Migration 메커니즘	-45
3.3. 장기 리텐션 특성 분석	47
3.4. 요 약	56

제 4 장 단기 리텐션 분석

4.1. 낸드 플래시 메모리의 단기 리텐션 동작	57
4.2. Low Progrm Verifiy (PV) level에서 단기 리텐션	
동작 중의 전하 손실 메커니즘	59
4.3. 단기 리텐션 특성 분석 (54
4.4. 요 약 ?	71

제 5 장 잔여 홀에 의한 Lateral Migration 메커니즘

5.1.	리텐션	동작	중	잔여	홀의	영향		72	,
------	-----	----	---	----	----	----	--	----	---

5.2. 잔여 홀의 거동에 대한 TCAD 시뮬레이션 결과 73
5.3. 잔여 홀의 영향을 고려한 Lateral Migration
메커니즘 분석 80
5.4. 요 약 86
제 6 장 Lateral Migration 메커니즘에 의한 간섭 현상
6.1. 낸드 플레시 메모리의 간섭 현상87
6.2. TCAD 시뮬레이션을 통한 Effective Trapped
Charge 추출 93
6.3. 리텐션 동작 중 포함되는 간섭 현상 성분 분리 98
6.4. 요 약109
제 7 장 결 론112
참고 문헌114
Abstract 124
之见 卫己 10/
호친 ㅋㅋ120

표 차례

표 3.1 3차원 낸드 플래시 메모리의 장기 리텐션 분석을 위한 전하 손실/이득 모델의 파라미터 제한 조건 -----40 표 3.2 TCAD 시뮬레이션에서 사용된 각 메커니즘에 대한 물리적 모델 파라미 터 -----42 표 5.1 TCAD 시뮬레이션에서 사용된 3차원 낸드 플래시 메모리의 구조 파라 미터 -----76 표 5.2 TCAD 시뮬레이션에서 사용된 리텐션 동작 중 CTL 내부의 전하들의

표 5.2 ICAD 시뮬레이션에서 사용된 디렌션 공작 중 CIL 내우의 신아들의 이동을 구현하기 위한 메커니즘들의 물리적 파라미터 ------76

그림 차례

제 1 장

 그립 1.1 2차원 평판 낸드 플래시 메모리 구조에서 축소화에 의해 발생하는 다양한 신뢰성 문제.
 1

 그립 1.2 2차원 평판 구조에서 3차원 낸드 플래시 메모리 구조 변화.
 2

 그립 1.3 낸드 플래시 메모리의 Program과 리텐션 동작에서의 바이어스 조건과 Pulse sequnce.
 3

 그립 1.4 리텐션 동작 중 발생하는 전하 손실에 의한 셀 산포 변화 및 혼재된 전하 손실 메커니즘들에 의한 *E*aa roll-off 현상.
 4

 그립 1.5 3k P/E cycle 스트레스가 가해진 2차원 평판 구조와 3차원 수직 구조 낸드플 래시에서 T = 125 ℃인 경우의 리텐션 시간에 따른 ΔV_h 변화 비교.
 5

 그립 1.6 2차원과 3차원 구조 낸드플래시에서 리텐션 시간에 따른 V_h 변화.
 5

 그립 1.7 리텐션 동작 중 발생하는 V_h 감소를 예측하여 조절된 read 전압을 사용하는 advanced read scheme에 대한 대략적인 설명.
 7

제 2 장

그림 2.1 장기 리텐션 동작 중 발생할 것으로 예상되는 네 가지 전하 손실 메커니즘
의 에너지 밴드 다이어그램에서의 전하 손실 거동12
그림 2.2 (a) 낸드 플래시 메모리에서 de-trapping 메커니즘을 설명하기 위한 밴드 다이
어 그램.(b) 트랩 위치의 물리적 거리에 따른 de-trapping 메커니즘 비교13
그림 2.3 외부 전계가 가해지는 경우의 퍼텐셜 장벽 변화 및 PF effect 발생에 대한 대
략적인 묘사14
그림 2.4 Metal-Insulator-Semiconductor 에너지 밴드 다이어그램 상에서 PF emission 발
생에 대한 대락적인 묘사14
그림 2.5 하나 혹은 두 개 이상의 트랩의 도움을 받아 tunnling 하는 메커니즘인 SILC
모델의 통계적인 모델에 대한 대략적인 에너지 다이어그램16

그림 2.6 De-trapping 메커니즘과 TAT 메커니즘의 비교를 위한 물리적 위치와 대략적 인 에너지 밴드 다이어 그램 상에서의 비교.-----17 그림 2.7 (a) 실리콘 표면에서 공유 결합이 깨진 실리콘 원자와 Nit. (b) 산화 공정 이후 그림 2.8 (a) 평탄 전압 조건에서 실리콘 기판의 에너지 밴드 다이어그램. (b) V_h 조건 에서 실리콘 기판의 에너지 밴드 다이어그램.-----20 그림 2.9 일반적인 MOSFET 소자에서 측정된 20 min 동안 85℃ bake 시간이 지난 상 태의 FN 스트레스 인가 전과 후의 I-V 커브.-----20 그림 2.10 3차원 낸드 플래시 메모리의 구조적인 특징에 의한 리텐션 동작 중의 CTL 에서 발생하는 전자의 Lateral Migration 메커니즘에 대한 묘사. ------21 그림 2.11 (a) Nitride에서의 PF emisson, ThAT, 그리고 direct tunneling에 대한 대략적인 그림. (b) Thermal excitation 에너지의 함수로 표현된 Fn에 따른ThAT emisson rate. (c) Thermal excitation 에너지의 함수로 표현된 E,에 따른ThAT emisson rate. ------23 그림 2.12 3차원 낸드 플래시 메모리의 단기 리텐션 동작 중 발생하는 전하 손실에 의한ΔVth 측정 결과. (a) PV3, S/P. (b) PV7, S/P. (c) PV3, C/P. (d) PV7, C/P.-----25 그림 2.13 3차원 낸드 플래시 메모리의 단기 리텐션 동작 중 발생하는 전하 손실/이득 그림 2.14 Tunneling oxide에 BE가 적용된 다양한 CTL 소자에서 Nitride (SiN) 물질에서 발생하는 얕은 트랩에서의 단기 리텐션 동작 중 de-trapping mechanism. ------26 그림 2.15 Tunneling oxide에 BE가 적용된 SONOS 소자에서 program 동작 직후 단기 리텐션 동작 중 발생한 전하 손실.(a) WL 방향의 ONO가 잘려진 경우.(b) WL 방향의 그림 2.16 PV3와 PV7에서 단기 리텐션 동작에서 발상하는 VR 성분을 나타내는 전하 손실 함수의 온도에 따른 거동 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃). -------29 그림 2.17 (a) 에너지 레벨에 따라 추출된 Nitride 물질의 트랩 밀도. (b) 얕은 E의 트 그림 2.18 S/P에서Erase state에 따른 단기 리텐션 동작 동안의 $\Delta V_{\rm th}$ 변화. (a) PV1. (b)

PV2.	(c) PV3						31
그림	2.19 C/P에서Erase	state에	따른 단기	리텐션 동작	동안의 ΔV	/th 변화. (a)	PV1. (b)
PV2.	(c) PV3						32
그림	2.20 β 파라미터	값에따라	달라지는	Characteristic	lifetime에	따른 Weib	ull Failure
Rate.							34

제 3 장

그림 3.1 3차원 낸드 플래시 메모리에서 발생하는 온도 가속 평가 방법에 의해 추출 된 Eaa의 roll-off 현상.------36 그림 3.2 TCAD 시뮬레이션에서 사용된 3차원 낸드 플래시 메모리의 구조 및 디바이 그림 3.3 TCAD상에서 구현된 장기 리텐션 동작 중의 De-trapping 메커니즘에 대한 묘 사 및 tunnel oxide 내부의 리텐션 시간이 지남에 따른 트랩된 전자의 농도 변화.----40 그림 3.4 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 de-trapping 메커니즘 시 뮬레이션 결과와 손실 모델 결과값 비교.-----41 그림 3.5 TCAD상에서 구현된 장기 리텐션 동작 중의 TAT 메커니즘의 tunnel oxide의 트랩 위치 및 tunneling 경로. -----42 그림 3.6 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 TAT 메커니즘 시뮬레 이션 결과와 손실 모델 결과값 비교.-----42 그림 3.7 TCAD상에서 구현된 장기 리텐션 동작 중의 N_{it} recovery 메커니즘에 의한 초 기 수소 농도와 Nit와 recombination 후 감소된 수소 원자 농도.-----44 그림 3.8 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 N_{it} recovery 메커니즘 시 뮬레이션 결과와 손실 모델 결과값 비교.-----44 그림 3.9 TCAD상에서 구현된 program 동작 직후 전자의 분포와 100시간 후 장기 리 텐션 동작 중 발생한 LM 메커니즘에 의해 이동한 전자들의 분포.-------------45 그림 3.10 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 LM 메커니즘 시뮬레 이션 결과와 손실 모델 결과값 비교.-----46 그림 3.11 여러 온도에서 P/E cycle 횟수가 3.0 k인 경우 장기 리텐션 동작 중 발생하

제 4 장

- X -

확장된 전하 손실 모델. (a) LM. (b) LM_H. -----67 그림 4.7 다양한 온도 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃)에서 PV1 level의 단기 리텐션 동작 중 발생하는 전체 전하 손실 전하 모델링을 통해 피팅된 결과. (a) S/P (b) C/P. -------69 그림 4.8 다양한 온도 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃)에서 PV1 level의 단기 리텐션 동작 중 발생하는 전체 전하 손실 모델링을 위해 사용된 전하 손실/이득 모델 파라미터. (a) *τ*_{mechanism(k)}. (b) final *V*_{th(mechanksim)}.-----70

제 5 장

그림 5.1 3차원 낸드 플래시 메모리의 시뮬레이션에서 사용된 erase와 program 시퀀스 의 시간에 따른 pulse 크기. -----74 그림 5.2 Low V_{PGM}에 의해 program된 경우에 보일 것으로 예상되는 전하 분포. (a) S/P. (b) C/P.----74 그림 5.3 시뮬레이션된 program 및 erase 직후 CTL 내 트랩된 전하 분포. (a) program 직후 전자의 분포. (b) erase 직후 정공의 분포.-----76 그림 5.4 TCAD 시뮬레이션된 네 개의 VPGM에 program 동작 직후의 IBL-VWL 커브들과 세 개의 ters에 대한 erase 동작 직후 IBL-VWL 커브들. -----77 그림 5.5 (a) 네 개의 VPGM과 (b) 세 개의 tERS에 대한 program 동작 직후 측 방향 (A-A`)에 따른 전하 분포.-----77 그림 5.6 VPGM = 17 V, T = 85 ℃ 에서 시뮬레이션 된 CTL 내부에서 리텐션 시간에 따른 여러 지점에서 잔여 홀 및 트랩된 전자의 거동. -----78 그림 5.7 측 방향 (A-A`)에서 리텐션 시간에 따른 (a)전자 및 (b) 잔여 홀의 거동.---79 그림 5.8 T = 85 ℃에서 C/P와 S/P인 경우 각각 네 가지 V_{PGM} (17, 18, 19, 그리고 20 V) 에서 리텐션 동작 중 LM에 의해 발생하는 ΔV_{th}.-----80 그림 5.9 T = 85 ℃에서 C/P와 S/P 패턴에 따라 발생할 수 있는 세 가지 LM 메커니즘 의 분리 경우의 수.-----82 그림 5.10 다양한 온도 (T = 25, 40, 55, 70, 그리고 85 ℃)에서 리텐션 동작 중 발생하는 전체 전하 손실 모델링 결과.-----83

그림 5.11 (a) 다양한 온도 (T = 25, 40, 55, 70, 그리고 85 ℃) 및 두 패턴에서 메커니즘 분리를 위해 사용된 전하 손실 모델의 V_{th(mechanism)} 파라미터. (b) *τ*_{mechanism(k)} 로부터 추출 된 V_{PGM}의 크기와 두 패턴에 따른 *E*_a.------85

제 6 장

그림 6.1 V_{PGM} = 20 V이고 target WL에 V_{th}가 인가되고 있는 경우에서 C/P와 S/P 각각에 그림 6.2 (a) 게이트 길이(L_g)와 (b) spacer 길이 (L_s) 감소에 따른 간섭 현상. ------90 그림 6.3 리텐션 동작 중 발생하는 LM 메커니즘에 따른 target WL에서의 Vth 감소와 인접셀로부터의 LM에 의한 Vth 증가.-----91 그림 6.4 기존 리텐션 동작 중 발생하는 LM 메커니즘에 의한 전하 손실 범위와 새롭 게 제안된 LM 메커니즘에 의한 전하 손실 범위.-----92 그림 6.5 TCAD 시뮬레이션에서 사용된 3차원 낸드 플래시 메모리 구조 및 디바이스 파라미터_-----94 그림 6.6 (a) Vth(target_WL)에 대한 CTL 내 전자의 측 방향 위치 의존성 파악을 위한 시뮬 그림 6.7 TCAD 시뮬레이션에 의한 CTL 내의 측 방향 (A-A`)의 전자 및 정공 분포와 그림 6.5의 ratio로 구해진 전자와 정공의 N_{teff}. (a) C/P. (b) S/P. ------97 그림 6.8 리텐션 시간이 지남에 따른 NPN에서 R1에 존재하는 전자의 N_{teff} 변화. -- 100 그림 6.9 리텐션 시간이 지남에 따른 NPN에서 R2에 존재하는 전자의 N_{teff} 변화.--100 그림 6.10 리텐션 시간이 지남에 따라 NPN 패턴에서 발생하는 간섭 현상을 고려하여 그림 6.11 리텐션 시간이 지남에 따라 R1에 존재하는 전자의 N_{teff} 변화. (a) C/P. (b) S/P. ----- 102 그림 6.12 리텐션 시간이 지남에 따라 R2에 존재하는 전자의 N_{teff} 변화. (a) C/P. (b) S/P. ----- 103 그림 6.13 S/P에서 인접 셀 program에 사용된 VPGM의 변화에 따른 LM메커니즘에 의한 리텐션 시간 동안의 ΔVth. ------ 104

그림 6.14 C/P에서 인접 셀 erase에 사용된 ters의 변화에 따른 LM메커니즘에 의한 리
텐션 시간 동안의 ΔV _{th} 104
그림 6.15 C/P에서 인접 셀 erase에 사용된 ters에 따른 정공과 전자의 리텐션 동작 중
의 N _{t,eff} 거동. (a) R2. (b) R1 107
그림 6.16 S/P에서 인접 셀 program에 사용된 V _{ERS} 에 따른 정공과 전자의 리텐션 동작
중의 N _{t,eff} 거동. (a) R2. (b) R1 107
그림 6.17 리텐션 시간이 지남에 따라 C/P에서 발생하는 간섭 현상을 고려하여 전하
손실/이득 함수로 표현된 LM에 의한 ΔV _{th} 108
그림 6.18 리텐션 시간이 지남에 따라 C/P에서 발생하는 간섭 현상을 고려하여 전하
손실/이득 함수로 표현된 LM에 의한 ΔV _{th} 108
그림 6.19 리텐션 시간이 지남에 따라 낸드 스트링의 양 끝단에서 발생하는 비대칭
패턴 (E-P-P 혹은 P-P-E)에서의 간섭 현상 분석110

제1장서 론

1.1 연구 배경

클라우드 컴퓨팅, 사물 인터넷, 스마트폰, 기업용 서버 등 다양한 부분에서 저장 공간에 대한 수요가 급격하게 증가함에 따라 비휘발성 메모리인 낸드 플 래시 메모리의 소자 축소화를 통한 고집적화가 진행되어 왔다 [1]-[5]. 2 차원 평면 구조의 낸드 플래시 메모리 구조에서의 소자 축소화가 진행되면서, 그림 1.1 에서 보이는 바와 같이 다양한 신뢰성 문제들이 발생하기 시작하였고 동일 면적 대비 공정 코스트가 크게 증가하였다. 이러한 문제들을 극복하기 위해 메모리 셀을 옆으로 집적시키는 방식에서 수직으로 쌓는 형태의 3 차원 낸드 플래시 메모리 구조가 채택되었다 [6]-[11].



그림 1.1.2 차원 평판 낸드 플래시 메모리 구조에서 축소화에 의해 발생하는 다양한 신뢰성 문제 [1].



그림 1.2.2 차원 평판 구조에서 3 차원 낸드 플래시 메모리 구조 변화 [11].

그림 1.2 와 같은 3 차원 낸드 플래시 메모리 구조를 실현 시키기 위해서 스 트링 채널 물질로 poly-Si, 그리고 전하 저장층 (CTL) 으로 실리콘 Nitride (Si₃N₄) 산화막이 일반적으로 사용되고 있다 [12]-[16]. 각각의 물질적 특성으로 인해 3 차원 낸드 플래시에서는 2 차원 평판 구조에서 보이지 않던 새로운 신 뢰성 문제들이 새롭게 보고 되고 있다 [17]-[20]. 물질적 특성에 의한 것에 추 가로, CTL 을 사용하는 3 차원 낸드 플래시는 메모리 셀이 서로 격리되어 있지 않고 서로 연결된 구조를 일반적으로 갖고 있다. 이러한 구조적 특징으로 인 해 3 차원 낸드 플래시의 다양한 동작 중에서도 특히 리텐션 동작 중 새로운 문제를 발생시키고 있다. 낸드 플래시 메모리에서 리텐션 동작은 program 혹은 erase 동작 후 메모리 셀에 저장된 전자 혹은 정공들을 외부 바이어스가 인가

- 2 -

되지 않은 상태에서 보존하는 동작을 말한다. 리텐션 동작 동안 메모리 셀에 저장된 전자들은 점차 감소하게 되고 셀의 threshold-voltage (V_{th})를 감소시킨다 [21]. 메모리 셀에 저장된 전하들을 오랜 시간 동안 유지할수록 리텐션 특성이 좋고 소자의 수명이 길다고 정의할 수 있다. 낸드 플래시의 양산을 위해 소자 의 보다 정확한 수명 예측은 가장 중요한 문제이다. 따라서, 공정된 소자의 리 텐션 특성 및 수명을 평가하기 위해 고온-가속 평가 방법으로 겉보기 활성화 에너지 (*E*_{aa})를 추출하여 소자의 수명을 예측해왔다. 그러나 이러한 방식은 단 순히 V_{th}가 감소하는 측정 결과로부터 추출되기 때문에, *E*_{aa} 가 Arrhenius 모델을 따르지 않고 roll-off 되는 현상을 보인다 [22]-[24]. 이렇게 예측된 소자의 수명 은 실제의 수명을 정확하게 반영하지 못하고 큰 오차를 발생시킨다. *E*_{aa} 의 roll-off 현상은 낸드 플래시 메모리의 리텐션 동작 중 다양한 전하 손실 메커 니즘이 혼재되어 메모리 셀의 전하 손실을 야기함을 의미하며, 전하 손실/이득 모델 사용을 통해 전체 전하 손실로부터 각 메커니즘을 분리함으로써 보다 정 확한 수명을 예측할 수 있다.



그림 1.3. 낸드 플래시 메모리의 Program 과 리텐션 동작에서의 바이어스 조건과 Pulse sequnce.



그림 1.4. 리텐션 동작 중 발생하는 전하 손실에 의한 셀 산포 변화 및 혼재된 전하 손실 메커니즘들에 의한 *E*_{aa} roll-off 현상. [21],[25]

*E*_{aa} 의 roll-off 현상이 발생함에도 불구하고 정확한 낸드 플래시 소자의 수명 을 평가하기 위해서는 전하 손실/이득 모델을 사용하여 리텐션 동작 중 발생 하는 여러 가지 혼재된 메커니즘을 분리하는 과정이 필수적이다 [25]-[30]. Nitride 로 이루어진 CTL은 2 차원 평판 구조에서 사용된 floating gate (FG) 보다 tunneling oxide 의 defect 에 둔감하여 상대적으로 두께를 얇게 디자인할 수 있다. 이러한 소자 축소화 관점에서의 이점에도 불구하고 CTL을 사용하는 3차원 낸 드 플래시 메모리는 FG를 사용하는 2차원 평판 낸드 플래시 메모리보다 리텐 션 특성이 좋지 않다. 2 차원 평판 구조의 낸드 플래시 거포에서 기판 혹은 셀 게이트 방향으로 발생하는 주요한 전하 손실 메커니즘들은 de-trapping, trap-assisted tunneling (TAT), interface trap (*N*₄) recovery 으로 보고되어 왔다 [25]. 3 차원 낸드 플래시에서도 언급한 세 가지의 수직 방향 전하 손실 메커니즘이 발생하며 추가적으로 CTL 물질로 사용된 Nitride 특성 및 CTL 을 공유하는 구 조적 특성에 의해 새롭게 발생하는 인접한 셀 방향으로 저장된 전하가 이동하 는 측 방향 이동 (Lateral Migration, LM) 메커니즘이 발생한다 [17]-[19]. 기존 보고된 메커니즘들에 추가적으로 전하 손실 메커니즘이 하나 더 발생하기 때



그림 1.5. 3k P/E cycle 스트레스가 가해진 2 차원 평판 구조와 3 차원 수직 구조 낸 드플래시에서 T = 125 ℃ 인 경우의 리텐션 시간에 따른 ΔV_h 변화 비교.



그림 1.6. 2 차원과 3 차원 구조 낸드플래시에서 리텐션 시간에 따른 V_h 변화 [31].

문에 3 차원 낸드 플래시 메모리의 리텐션 특성은 2 차원 평판 구조보다 좋지 않다 [31]-[34]. 그림 1.5와 1.6에 보이듯이, Nitride 물질 CTL을 사용하는 3차원 낸드 플래시 메모리에서 같은 시간 대비 2차원 평판 낸드 플래시 구조에서 보 다 V_h의 변화량이 더 큰 것을 확인할 수 있다. 이러한 차이는 앞서 언급한 바 와 같이, 셀의 수직 방향 (채널 혹은 셀 게이트 방향)으로 전하가 이동하는 세 가지 손실 메커니즘은 3차원 낸드 플래시에서도 발생하지만 새롭게 전하 손실 메커니즘 하나가 추가적으로 발생하기 때문에 같은 시간 대비 손실되는 전하 의 양이 훨씬 큰 것으로 보인다. 따라서 3 차원 낸드 플래시에서 리텐션 특성 이 2 차원 평판 구조의 낸드 플래시보다 상대적으로 더 악화되었고 이에 대한 자세한 분석이 필요하다. 이러한 3 차원 낸드 플래시 메모리의 리텐션 동작 중 발생하는 메커니즘들의 분리를 통한 수명 예측은 TLC를 넘어 QLC 및 XLC로 기술 발전이 진행됨에 따라 적용되고 있는 advanced read scheme using cell count (ARC) 기술 적용을 위해서 필수적이다 [35].



그림 1.7. 리텐션 동작 중 발생하는 V_{th} 감소를 예측하여 조절된 read 전압을 사용하 는 advanced read scheme 에 대한 대략적인 설명 [35].

1.2 연구 내용

본 연구에서는 3차원 낸드 플래시의 구조적 특성에 의해 리텐션 동작 중 새 롭게 전하 손실에 기여하는 LM 메커니즘에 대한 보다 자세한 분석을 진행하 였다. 2 차원 평판 낸드 플래시 구조에서 사용되는 FG 는 각 셀마다 완전히 격 리되어 측 방향으로의 전하의 이동이 상당히 제한되어 있다. 그러나 3 차원 낸 드 플래시에서 하나의 스트링에 있는 메모리 셀들은 CTL을 서로 공유하고 있 기 때문에 program 동작 후 셀에 저장된 전자들은 리텐션 동작 중 측 방향으

- 7 -

로의 이동이 가능하다. 기존 2 차원 평판 낸드 플래시 메모리의 리텐션 동작 중 주요하게 발생하는 것으로 보고된 수직 방향의 세 가지 전하 손실 메커니 즘 (de-trapping, TAT, N_{it} recovery) [25] 들이 3 차원 낸드 플래시 메모리에서도 기 존에 제안된 전하 손실/이득 모델을 따르는지에 대해 TCAD 시뮬레이션을 통 해 각각 검증을 진행하였다. 또한, 3 차원 낸드 플래시 메모리에서 추가적으로 발생하는 LM 메커니즘 또한 해당 모델을 잘 따르는지에 대한 검증을 진행하 였다. 이에 대한 결과를 바탕으로 전체 전하 손실에서 주요한 네 개의 메커니 즘 분리를 위한 제한 조건을 정의하였고 해당 제한 조건을 바탕으로 장기 리 텐션 동작 중에 발생하는 주요한 메커니즘들의 특성을 전체 전하 손실에서 분 리하고 분석을 진행하였다. 또한 CTL 물질로 Nitride 를 사용하는 3 차원 낸드 플래시 메모리는 단기 리텐션 동작과 장기 리텐션 동작에서 발생하는 전하 손 실 메커니즘이 다른 것으로 알려져 있다 [29]-[30],[36]. 단기 리텐션 동작 중의 전하 손실 메커니즘은 program/erase (P/E) cycle stress 가 인가되지 않은 상태에서 de-trapping, vertical redistribution (VR), LM 메커니즘들이 전하 손실을 발생시키는 것으로 보고 되었다 [29]. 3 차원 낸드 플래시 메모리는 program verify (PV) level 에 따라서 리텐션 특성이 달라지며 특히 PV level 이 감소할수록 erase 동작 후 남아있는 잔여 홀이 LM 메커니즘에 영향을 끼친다 [36]. 본 연구에서는 잔여 홀의 영향을 받는 LM 메커니즘을 새롭게 정의하고 기존 세 가지 단기 전하 손실 메커니즘에 추가하여 총 네 가지 전하 손실 메커니즘으로 리텐션 특성을 분석하였다.

장기 및 단기 리텐션 동작에서 공통적으로 영향을 끼치는 전하 손실 메커니 즘은 de-trapping 과 LM 메커니즘이며, de-trapping 메커니즘의 경우 과거 2 차원 낸드 플래시 메모리에 대한 연구들에서 자세하게 분석되었기 때문에 본 연구 에서는 3차원 낸드 플래시에서 새롭게 등장하여 주요한 영향을 끼치는 LM 메 커니즘에 대해 집중하여 연구를 진행하였다. LM 메커니즘은 단기 리텐션 동작

- 8 -

에서 정의된 잔여 홀에 대한 영향 외에도 인접한 셀에 저장된 전하의 종류 및 양에 따라 달라지는 CTL 내부의 측 방향 전계의 영향을 받는다 [36]-[37]. 또 한 리텐션 동작 중 target 메모리 셀에서 LM 에 의해 인접한 셀 방향으로 이동 하는 전자들은 spacer 영역에 머무르는 기간이 존재하며 spacer 영역에 전자가 존재하는 경우 target word-line (WL) 혹은 인접 WL 의 V_h를 증가시키는 요인으 로 작용한다. 이것은 일종의 간섭 현상으로 정의되어 target WL 에서 LM 에 의 해 발생하는 전하 손실이 패턴에 따라 과소평가되거나 과대평가될 수 있다. 잔여 홀이 LM 메커니즘에 끼치는 영향력과 리텐션 동작 중 LM 에 의한 간섭 현상을 TCAD 시뮬레이션을 통해 확인하고 각각의 영향을 받는 LM 메커니즘 을 기존 LM 메커니즘으로부터 분리하였다. 그리고 각각 다르게 정의된 LM 메커니즘을 전하 손실/이득 모델을 사용하여 리텐션 특성을 분석하였다. 리텐 션 동작 중 발생하는 간섭 현상을 전하 손실/이득 메커니즘으로 정의함으로써 3 차원 낸드 플래시 메모리에서 보이는 셀 패턴 의존성에 대한 새로운 관점을 제공하였다.

1.3 논문 구성

본 논문의 구성은 다음과 같다. 2 장에서 리텐션 동작의 기간에 따라 달라지 는 메커니즘과 이 연구에서 주로 사용된 전하 손실/이득 모델에 대한 대략적 인 소개를 진행하였다. 3 장에서는 TCAD 시뮬레이션을 통한 3 차원 낸드 플래 시 메모리의 장기 리텐션 동작 중 발생하는 주요 메커니즘들의 전하 손실/이 득 모델에 대한 검증을 진행하였고 메커니즘 분리를 위한 모델 파라미터의 제 한 조건을 설정하였다. 제한 조건을 바탕으로 장기 리텐션 특성에 대한 분석 을 P/E cycle 스트레스가 인가된 경우와 인가되지 않은 경우에 대해서 진행하 였다. 4 장에서는 3 차원 낸드 플래시의 PV1 에서 단기 리텐션 분석을 다루었다.

- 9 -

기존 단기 리텐션 동작 중 발생하는 것으로 알려진 세 가지 메커니즘에 low PV level 에서 발생할 것으로 예상되는 잔여 홀의 영향을 받는 LM 메커니즘을 추가적으로 고려하여 총 네 가지 메커니즘으로 PV1 level 에서 단기 리텐션 특 성을 분석하였다. 그 후, 장기 및 단기 리텐션에서 공통적으로 영향을 끼치는 LM 메커니즘에 대한 분석을 다양한 요인에 따라서 분석하였다. 5 장에서 단기 리텐션 분석의 결과인 잔여 홀의 영향을 받는 LM 메커니즘에 대해 리텐션 동 작 중 잔여 홀의 거동 및 LM 메커니즘에 대한 영향력을 TCAD 시뮬레이션을 통한 분석하고 전하 손실/이득 모델을 사용하여 LM 메커니즘에 의한 리텐션 특성을 분석하였다. 6 장은 리텐션 동작 중 LM 메커니즘에 의한 간섭 현상을 보다 자세하게 분석하기 위해서 총 세 가지 패턴에서 target WL 에 영향을 실 제로 끼칠 수 있는 effective trapped charge density ($N_{t,eff}$)를 추출하여 CTL 내부의 전자의 거동을 두 개의 영역으로 나누어 분석하였다. 리텐션 동작 중 발생하는 간섭 현상 역시 전하 손실/이득 모델을 사용하여 주요한 전하 손실 메커니 즘으로 정의하고 LM 메커니즘에서 분리되었다. 마지막으로 7 장에서 본 논문 의 결론을 다루었다.

제 2장 3차원 낸드 플래시 메모리 동작 중의 전하 손 실 메커니즘

3 차원 낸드 플래시 메모리의 리텐션 특성 분석에 앞서, 리텐션 동작 중 전 하 손실을 발생하는 것으로 알려진 다양한 전하 손실 메커니즘들에 대한 물리 적 특성에 대한 이해가 선행되어야 한다. 낸드 플래시 메모리 소자의 신뢰성 문제는 주로 tunneling oxide 와 poly-Si 채널/tunneling oxide 계면에 존재하는 트 랩에 의해서 발생하는 것으로 알려져 있으며, CTL 이 사용되는 3 차원 낸드 플 래시 메모리에서는 CTL 에 있는 트랩으로 인한 추가적인 문제들이 발생한다.

2.1 장기 리텐션 동작 중의 전하 손실 메커니즘

CTL 로 Nitride 물질을 사용하게 됨에 따라 높은 농도의 트랩으로 인해 리텐 션 동작 중 CTL 내의 전자의 이동이 FG 를 사용한 소자보다 쉽게 발생하며, 이에 따라 리텐션 동작 시간에 따라 우세한 전하 손실 메커니즘의 종류가 다 르다 [29]-[30]. 따라서 3 차원 낸드 플래시 메모리의 정확한 리텐션 특성 분석 을 위해서는 리텐션 동작 기간을 구분하여 연구를 진행해야 할 필요성이 있다. 장기 리텐션 동작 중의 리텐션 특성은 낸드 플래시 메모리의 수명을 평가를 위한 가장 중요한 부분이며 이를 위해 고온-가속 평가 방법을 사용한다. 3 차 원 낸드 플래시 메모리의 장기 리텐션 동작 중 2 차원 낸드 플래시 메모리에 서 보고된 세 가지 전하 손실 메커니즘에 추가적으로 LM 이 발생할 것으로 예측된다. 그림 2.1 은 3 차원 낸드 플래시 메모리의 장기 리텐션 동작 중 발생 하는 네 가지의 주요한 전하 손실 메커니즘의 대략적인 모습을 나타낸다.

- 11 -



그림 2.1. 장기 리텐션 동작 중 발생할 것으로 예상되는 네 가지 전하 손실 메커니 즘의 에너지 밴드 다이어그램에서의 전하 손실 거동.

2.1.1 De-trapping 메커니즘

P/E cycle 이 반복되는 경우, 전자들이 tunneling oxide 에 트랩이 될 수 있고 트 랩된 전자들은 target WL 의 $V_{\rm h}$ 변화 및 스트링 전류 감소를 발생시킨다 [38]-[40]. Tunneling oxide 에 트랩 된 전자들은 thermal emisson 과 함께 발생하거 나 혹은 오직 tunneling 에 의해서만 tunneling oxide 에서 de-trap 되어 채널 방향으로 빠져나오게 된다. 고온에서는 tunneling oxide 에 트랩 된 전자들이 높은 열적 에너지를 받아 채널 방향으로 직접 de-trap 될 수 있다 [38]-[39]. 따라서 de-trapping 메커니즘은 다른 전하 손실 메커니즘들 보다 높은 온도 의존성을 보이고 큰 활성화 에너지 ($E_{\rm a}$) 값을 갖는다. Tunnling oxide 에 트랩 된 전하는 percolation path 와는 관계가 없기 때문에, 일반적으로 트랩의 도움 없이 de-trap

- 12 -

된다. 그림 2.2(a)는 낸드 플래시 메모리에서 de-trapping 메커니즘을 설명하기 위한 밴드 다이어그램이다. Poole Frenkel (PF) 모델에 의한 thermal emisson 과 채 널 방향으로의 tunneling 이 동시에 발생하여 de-trapping 메커니즘을 일으킬 수 있다 [39], [41]. 그림 2.2(b)는 de-trapping 메커니즘에 대한 시뮬레이션 결과를 보여준다. 채널에 가까운 트랩일수록 thermal emisson 에 의한 것보다 tunneling 에 의해 de-trap 이 됨을 확인할 수 있는데, tunneling 확률은 에너지 장벽이 낮 을수록 더 커지기 때문이다. 반면 채널에서 트랩이 멀어질수록 tunneling 확률 이 높은 에너지 장벽에 의해 감소하여, 전자는 대부분 thermal emission 에 의해 de-trap 된다.



그림 2.2. (a) 낸드 플래시 메모리에서 de-trapping 메커니즘을 설명하기 위한 밴드 다 이어 그램. (b) 트랩 위치의 물리적 거리에 따른 de-trapping 메커니즘 비교 [39].



그림 2.3. 외부 전계가 가해지는 경우의 퍼텐셜 장벽 변화 및 PF effect 발생에 대한 대략적인 묘사 [42].



그림 2.4. Metal-Insulator-Semiconductor 에너지 밴드 다이어그램 상에서 PF emission 발생에 대한 대락적인 묘사 [42].

2.1.2 Trap Assisted Tunneling 메커니즘

P/E cycle 동안의 큰 전계에 의해서 tunneling oxide 에 발생하는 트랩은 stress-induced leakage current (SILC)로 알려진 과도한 누출 전도를 야기한다. Tunnling oxide 를 가로지르는 SILC는 낸드 플래시 메모리의 tail bit 의 전하 손 실/이득을 발생시켜, tail 셀들은 더 빠른 전하 손실에 의해 수명이 단축되어 전 체 array 의 장애를 발생시킨다 [43]-[46]. 따라서 SILC 의 통계적 분포 분석은 낸드 플래시의 신뢰성 특성을 추정하기 위한 주요한 파라미터이다. TAT 메커 니즘은 SILC 가 발생하는 기전과 같은 것으로 알려져 있다 [47]. 따라서, P/E stress 가 가해진 소자에서 TAT 메커니즘은 낮은 WL 전압에도 누설 전류를 증 가시키기 때문에 리텐션 동작 중 발생하는 TAT 메커니즘에 대한 분석은 중요 하다. TAT 메커니즘은 상대적으로 낮은 온도에서 우세하여, de-trapping 메커니 즘보다 온도 의존성이 낮다. TAT 메커니즘은 주로 복수의 정렬된 트랩을 통해 발생한다.

그림 2.5 는 낸드 플레시 메모리에서 발생하는 SILC 에 대한 대략적인 그림 을 보여준다 [43]. P/E cycle 스트레스가 tunneling oxide 에 걸림에 따라 낮은 전 계에서 게이트 전류 밀도가 증가한다 [47]-[50]. 이러한 SILC 는 스트레스에 의 해 생긴 oxide 결함에 의해서 발생하고 이러한 결함은 트랩의 도움을 받는 tunneling 을 야기한다. SILC 가 영향을 받는 파라미터들은 스트레스 전계, 스트 레스가 인가되는 동안 주입되는 전하의 양, 그리고 tunneling oxide 의 두께가 있다 [43]-[46]. 이러한 누설전류는 tunneling oxide 의 두께가 감소함에 따라서 크게 증가한다. 따라서 tunneling oxide 의 두께 감소와 소자의 신뢰성 사이에는 trade off 관계가 있다.

그림 2.6는 2.1.1절에서 소개된 de-trapping 메커니즘과 TAT 메커니즘 사이의 차이점을 나타낸 그림이다 [51]. 두 메커니즘 모두 채널 방향으로 전하 손실이

- 15 -

발생하고 tunneling oxide 에 존재하는 트랩에 의해 발생한다는 공통점이 있지만 de-trapping 의 E_a 는 ~1.1 eV 정도이고 TAT 의 E_a 는 0.3 eV 미만으로 알려져 있 다 [38],[41],[48],[50]. De-trapping 메커니즘은 평균적으로 더 큰 에너지 장벽으 로 인해 Tunneling oxide 에 트랩 된 전자가 높은 thermal 에너지를 받아 emission 되므로 높은 온도 의존성을 보인다. 반면 TAT 는 정렬된 복수의 트랩 과 연관이 되어있으므로 TAT 메커니즘에 대한 평균적인 에너지 장벽은 de-trapping 메커니즘의 경우보다 훨씬 작고 온도 의존성도 낮다. De-trapping 메 커니즘은 tunnling oxide 내에서 random 하고 상대적으로 unifom 하게 발생하는 반면에 TAT 는 국소적인 위치에서 발생한다.



그림 2.5. 하나 혹은 두 개 이상의 트랩의 도움을 받아 tunnling 하는 메커니즘인 SILC 모델의 통계적인 모델에 대한 대략적인 에너지 다이어그램 [43].



그림 2.6. De-trapping 메커니즘과 TAT 메커니즘의 비교를 위한 물리적 위치와 대략 적인 에너지 밴드 다이어 그램 상에서의 비교 [51].

2.1.3 Nit recovery 메커니즘

P/E cycle 스트레스는 tunnling oxide 의 bulk 부분의 트랩을 발생시킬 뿐만 아니라 채널과 tunnling oxide 사이 interface 의 트랩 또한 발생시킨다. Fowler-Nordheim (FN) tunnling 전류가 흐르는 동안 실리콘의 anode 에서 전자-정 공 쌍이 생성된다 [52]. 생성된 정공의 일정량은 oxide 쪽으로 주입되고 정공 트랩을 생성한다. 채널과 tunnling oxide 계면의 N_{it} 는 수소 원자에 의해 발생하 며 트랩으로부터 홀이 de-trap 하게 된다 [40],[53]-[55]. 이러한 손상을 입게 됨 에 따라, random telegraph noise (RTN) fluctuation [56], I-V curve 의 hysteresis [40], 그리고 subthreshold swing (S.S.) [57]-[58] 등에 의한 V_{th} fluctuiaton 이 증가한다. 이러한 N_{it} 에 의한 열화는 전하의 de-trapping 과 N_{it} 의 annealing 에 의해 부분적 으로 회복되는 경향을 보인다 [38],[40],[53]. 이러한 N_{it} 의 recovery 역시 V_{th} 를 증가시키는 요인 중 하나이며 낸드 플래시 메모리의 리텐션 동작에서 발생하 는 메커니즘이다.

실리콘 결정 구조에서 각 실리콘 원자는 이웃한 원자와 공유결합을 함으로 써 에너지 밴드에서 금지 대역을 형성한다. 그러나 실리콘 표면에서는 이러한 주기적 구조가 깨지게 되어 그림 2.7(a)에서 보이는 것과 같이 active N_{tt} 를 형 성한다. 이 경우에, N_{it} 의 밀도는 약 $D_{it} \approx 10^{14}$ cm⁻²eV⁻¹ 이다. 산화 공정 이후에 대부분의 N_{it} 들이 산소 원자와 본딩 되어 그림 2.7(b)과 같이 변하고 이때의 D_{it} 는 약 10^{12} cm⁻²eV⁻¹가 된다. 수소 annealing 이후에는 그림 2.7(c)에서 보이듯 N_{it} 의 밀도가 더욱 감소하여 D_{it} 의 값이 약 10^{10} cm⁻²eV⁻¹가 된다. 그러나 이러한 Si-H 결합은 낮은 결합 에너지로 인해 스트레스 조건에 따라서 쉽게 깨지고 N_{it} 를 재활성화 시킨다 [59].



그림 2.7. (a) 실리콘 표면에서 공유 결합이 깨진 실리콘 원자와 N_{it}. (b) 산화 공정 이 후 산소 원자와 결합한 대부분의 N_{it}. (c) 수소 annealing 후, 더욱 감소된 N_{it} [60].

그림 2.8 은 N_{it} 와 V_h instabilty 사이의 관계를 설명하기 위한 Si 기판의 에너 지 밴드 다이어그램을 보여준다. N_{it}는 Si 의 밴드갭 전체에 걸쳐 분포한 전기적 으로 활성화된 결함들이다. N_{it}는 밴드갭의 중간에서 위쪽의 acceptor-like 트랩 과 그 아래의 donor-like 트랩으로 구성되어 있다. 채워진 donor-like 트랩과 빈 accptor-like 트랩은 중성이다. 그러나, 채워진 accptor-like 트랩들은 음의 전하를 띄게 되고 빈 donor-like trap 은 양의 전하를 띄게 된다 [59]. 그러므로 미드 갭 과 Fermi level 사이의 N_{it}의 일부분이 계면 전하에 직접적인 원인이 된다. 이러 한 이유로 N_{it}는 평탄 밴드 전압에서는 양의 전하를 띄고 V_{th}에서는 음의 전하 를 띈다.

그림 2.9 는 FN 스트레스가 인가되지 않은 상태에서는 보이지 않던 MOSFET 소자의 I-V 커브의 hysteresis 현상이 FN 스트레스가 인가된 후 관측 됨을 보여주는 그림이다 [40]. 그림 2.8에서 설명한 바와 같이, 평탄 전압 조건 에서 N_{it}는 추가적으로 양의 전하를 띄고 V_{th} 에서는 음의 전하를 띄기 때문에 평탄 전압은 왼쪽으로 이동하고 V_{th}는 왼쪽으로 이동한다. 그러므로 N_{it}가 증가

- 19 -
함에 따라 S.S.와 V_{th} 가 증가한다. 낸드 플래시 메모리에서 P/E cycle 스트레스 가 증가함에 따라 N_{it} 가 증가하지만 이렇게 생성된 N_{it} 는 리텐션 동작 중 부분 적으로 회복이 되어 V_{th} 가 왼쪽으로 이동하게 한다.



그림 2.8. (a) 평탄 전압 조건에서 실리콘 기판의 에너지 밴드 다이어그램. (b) V_h 조 건에서 실리콘 기판의 에너지 밴드 다이어그램 [59].



그림 2.9. 일반적인 MOSFET 소자에서 측정된 20 min 동안 85℃ bake 시간이 지난 상태의 FN 스트레스 인가 전과 후의 I-V 커브 [40].

2.1.4 장기 Lateral Migration 메커니즘

CTL 을 사용하는 3 차원 낸드 플래시 메모리의 구조적 특성으로 인해 program 동작 후 저장된 전자들이 측 방향으로 이동하는 전하 손실 메커니즘 이 발생한다. 2 차원 평판 구조의 낸드 플래시 메모리에서는 각 셀의 FG 가 완 전히 격리되어 있기 때문에 FG 에 저장된 전자가 리텐션 동작 중 측 방향으로 이동하는 성분은 존재하지 않았다. 그러나 3 차원 낸드 플래시에서 사용되는 CTL은 서로 연결되어 있는 구조이기 때문에 WL 바로 아래 저장된 전자가 리 텐션 동작 중 측 방향으로 이동한다. 이러한 차이가 그림 1.5 와 1.6 에서 보인 바와 같이, 2 차원 평판 구조 보다 3 차원 수직 구조의 낸드 플래시 메모리의 리텐션 특성이 더욱 악화된 원인으로 분석된다 [61]. 따라서 리텐션 동작 중 발생하는 LM 메커니즘에 대한 분석은 가장 중요하다.



그림 2.10.3 차원 낸드 플래시 메모리의 구조적인 특징에 의한 리텐션 동작 중의 CTL 에서 발생하는 전자의 Lateral Migration 메커니즘에 대한 묘사 [36].

그림 2.10 은 3 차원 낸드 플래시 메모리 구조에서 발생하는 LM 메커니즘에 의해 발생하는 전자의 이동을 대략적으로 나타낸 그림이다. CTL 내의 전자의 측 방향 이동에 대한 물리적 메커니즘이 아직 명확하게 밝혀지지 않았지만 PF emission [62]-[63]과 thermaly assisted tunnling (ThAT)에 의한 것으로 설명되고 있다. 그림 2.11(a)는 PF 와 ThAT 에 의한 emisson 프로세스를 나타내는 그림이 다. 그림 2.11(b)와 (c)에서 보이듯이 ThAT 의 분포가 끝난 뒤에 direct tunneling 과 FP emission 이 있는 것으로 나타난다. 트랩 된 전자는 가장 효율적인 emission 프로세스를 통해 전도 대역으로 emission 되는 경향을 보인다. 그림 2.11 는 특정 trap level (*E*_t) 및 nitride field (*F*_n)에서 ThAT 의 최대 emission rate 가 FP emission 및 direct tunneling 보다 상당히 높은 것을 보여준다. ThAT 와 FP 의 emission 특성을 비교하면, ThAT 는 전계 의존성이 강하고 열에너지 흡수가 작 다.



그림 2.11. (a) Nitride 에서의 PF emisson, ThAT, 그리고 direct tunneling 에 대한 대략적 인 그림. (b) Thermal excitation 에너지의 함수로 표현된 F_n에 따른 ThAT emisson rate. (c) Thermal excitation 에너지의 함수로 표현된 E_t에 따른 ThAT emisson rate [64].

2.2 단기 리텐션 동작 중의 전하 손실 메커니즘

리텐션 동작 중 메모리 셀에 저장된 전자가 다양한 전하 손실 메커니즘에 의해 감소하여 낸드 플래시 동작에 장애를 일으킨다는 것은 익히 알려져 있다. 따라서 리텐션 동작이 길어질수록 전하 손실량이 증가하기 때문에 장기 리텐 션 특성이 중점적으로 분석되어왔다. 하지만 3 차원 낸드 플래시 메모리에서 program 동작 직후 매우 짧은 리텐션 동작 동안 순간적으로 V_h가 증가하는 비 정상적인 거동이 측정되었다 [29]-[30],[36]. 이러한 거동은 장기 리텐션 동작에 서는 관측되지 않기 때문에 해당 현상은 단기 리텐션 동작에 한다. 그림 2.12 은 3 차원 낸드 플래시 메모리 소자에서 fast I-V 측정을 통해 얻은 단기 리텐 션 동작 중 발생한 Vth의 비정상적 거동을 보여준다. 검은색은 온도가 25℃ 인 경우이며, 빨간색은 55℃인 경우이다. PV7 level 의 단기 리텐션 동작에서 이러 한 Vth 의 비정상적 거동에 의한 변곡점이 뚜렷하게 보이며 온도가 증가한 경 우에는 변곡점이 감소함을 확인할 수 있다. PV3 level 의 경우에는 PV7 에서 보 인 변곡점이 관측되지 않으며 온도에 따른 거동도 PV7 과 장기 리텐션 동작과 는 다른 경향을 보인다. 그림 2.12 에서 보이듯 단기 리텐션 동작은 기존 장기 리텐션 동작에서 보였던 온도 및 시간에 따른 거동이 달라짐을 확인할 수 있 으며, 이를 통해 장기 리텐션 분석에서는 보이지 않던 전하 손실/이득 메커니 즘이 단기 리텐션 동작 중 발생하는 것으로 분석되었다. 따라서 3 차원 낸드 플래시 메모리에서는 정확한 리텐션 특성 분석을 위해서는 리텐션 기간을 장 기와 단기로 구분하고 해당 기간에 발생할 것으로 예상되는 주요한 전하 손실 /이득 메커니즘을 예측하고 측정된 ΔVh를 전하 손실/이득 모델을 사용하여 분 리하는 과정이 필요하다. 그림 2.13 은 3 차원 낸드 플래시 메모리의 단기 리텐 션 동작 중 발생할 것으로 예상되는 세 가지 메커니즘 (de-trapping, VR, LM)에 대한 에너지 밴드에서의 대략적인 움직임을 보여준다.

- 24 -



그림 2.12.3 차원 낸드 플래시 메모리의 단기 리텐션 동작 중 발생하는 전하 손실에 의한 ΔV_{th} 측정 결과. (a) PV3, S/P. (b) PV7, S/P. (c) PV3, C/P. (d) PV7, C/P [29].



그림 2.13.3 차원 낸드 플래시 메모리의 단기 리텐션 동작 중 발생하는 전하 손실/이 득 메커니즘에 대한 에너지 밴드 다이어그램 상의 대략적인 묘사 [29].

2.2.1 De-trapping (Bandgap Engineering) 메커니즘

3 차원 낸드 플래시 메모리에서 program/erase 동작의 효율성을 증대시키기 위해 tunneling oxide 에 nitrogen 을 첨가하는 bandgap engineering (BE) 기술이 적 용되고 있다 [18]. 기존 oxide 로만 구성된 tunneling oxide 에 비해 BE-tunnling oxide 는 산화막의 질이 악화되어 P/E cycle 의 반복으로 인해 발생하는 트랩의 양이 BE-tunnling oxide 에서 더 많이 생성된다. BE-tunnling oxide 에서 생성된 트 랩들은 상대적으로 얕은 *E*t 에서도 분포하여 그림 2.14 와 2.15 에서 보이듯이 1 sec 이내의 단기 리텐션 동작에서도 de-trapping 메커니즘에 의해 전하가 de-trap 되는 것을 확인할 수 있다. 반면 장기 리텐션 동작 중 발생하는 de-trapping 메커니즘은 더 깊은 *E*t 에서 발생하며 10² hrs 범위 내에서 전하들이 de-trap 된다.



그림 2.14. Tunneling oxide 에 BE가 적용된 다양한 CTL 소자에서 Nitride (SiN) 물질에 서 발생하는 얕은 트랩에서의 단기 리텐션 동작 중 de-trapping mechanism [18].



그림 2.15. Tunneling oxide 에 BE가 적용된 SONOS 소자에서 program 동작 직후 단기 리텐션 동작 중 발생한 전하 손실. (a) WL 방향의 ONO가 잘려진 경우. (b) WL 방향의 ONO가 잘려지지 않은 경우 [18].

2.2.2 Vertical Redistribution 메커니즘

그림 2.10 에서 보인 단기 리텐션 동작 중의 발생하는 ΔV_h의 비정상적인 거 동의 가장 주된 원인은 CTL 내에서 발생하는 VR 메커니즘에 의한 전하 이득 성분에 의한 것으로 분석된다 [29]-[30]. Program 동작 동안 FN tunnling 으로 채 널로부터 CTL 에 전자들이 트랩 되고 PF effect 에 의해 de-trapping 과 trapping 이 반복적으로 발생한다. 그 결과, 트랩 된 전자의 전하 중심은 CTL 의 중간 부근에 위치하게 된다 [65]-[68]. 그러나 고온 혹은 high PV level 조건에서 program 동작이 진행된 경우에는 PF effect 가 보다 크게 작용하고 트랩 된 전 자의 전하 중심이 blocking oxide 쪽에 가깝게 형성된다. 리텐션 동작 중, blocking oxide 쪽에 형성되어 있던 전하의 중심이 tunnling oxide 쪽으로 이동하 게 되어 target WL 의 V_h를 증가시키는 거동을 보인다. 따라서, VR 메커니즘은 program 동작 직후 굉장히 빠른 시간 내에 발생하게 되며 일반적인 DC I-V 측 정 방식에 의해서는 거의 관측되지 않는다.

그림 2.16 는 VR 메커니즘에 대한 온도와 PV level 의 영향력을 보여주는 그 림이다. PV3 인 경우에, 저온에서 program 동작 직후 전하 중심이 CTL 의 중간 부근에 형성되지만 고온에서는 보다 blocking oxide 에 더 가깝게 형성되어 리 텐션 동작 중 VR 메커니즘에 의한 V_h의 변화량이 온도가 증가함에 따라 커짐 을 확인할 수 있다. 반면 PV7 에서는, 저온과 고온에서 모두 program 동작 직 후 전하 중심이 blocking oxide 에 가깝게 형성되어 있음을 확인할 수 있다. PV level 이 증가할 경우, program 동작에 의해 CTL 로 주입되는 전자의 양이 증가 하기 때문에 V_h 변화량은 커지지만 온도에 의한 변화는 상대적으로 덜 받는 것을 확인할 수 있다 [29].



그림 2.16. PV3 와 PV7 에서 단기 리텐션 동작에서 발상하는 VR 성분을 나타내는 전 하 손실 함수의 온도에 따른 거동 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃) [29].

2.2.3 단기 Lateral Migration 메커니즘

2.1.4 절에서 소개된 Lateral Migration 메커니즘은 장기 리텐션 동작에서뿐만 아니라 단기 리텐션 동작에서도 발생한다. 2.2.2 절에서 잠시 언급되었듯, 3 차원 낸드 플래시 메모리에서 사용되는 Nitride 물질의 CTL 은 깊은 E 뿐만 아니라 상대적으로 얕은 E, 가 존재한다 [36]. 장기 리텐션 동작에서는 Nitride 의 깊은 Et 에서 LM 메커니즘에 의한 전하 손실이 발생하고 단기 리텐션 동작에서는 얕은 E,에서 발생하는 것으로 분석되고 있다. 그림 2.17(a)는 CTL 물질로 사용 된 Nitride 물질의 에너지 레벨에 따라 추출된 트랩 밀도를 보여준다. 추출된 결과에 의하면 1 sec 내에 반응하는 얕은 E 가 분포하고 있음을 확인할 수 있 다. 그림 2.17(b)는 1 sec 내에 2.15(a)에서 보인 얕은 Et 에 트랩 된 전자가 LM 에 의해 이동한 경우의 CTL 내부의 전자 분포에 대한 그림이다. 그림 2.18 과 2.19 은 fast I-V 측정 방법을 사용하여 단기 리텐션 동작에 의한 ΔV_h 결과를 각각 solid pattern (S/P: P-P-P)와 checker-board pattern (C/P: E-P-E)에서 보여준다. C/P에서, target WL을 제외한 나머지 셀들은 모두 erase 된 상태이고 S/P에서는 target WL과 인접한 n+1과 n-1 셀을 제외한 나머지 셀들이 모두 erase 된 상태이 다. LM 메커니즘은 다른 수직 방향으로 발생하는 전하 손실 메커니즘들에 비 해 CTL 내부의 측 방향 전계의 가장 많이 받는다 [36]-[37]. 따라서, 만약 단기 리텐션 동작에서 LM이 발생하지 않았다면 그림 2.18과 2.19의 리텐션 시간에 따른 ΔV_h의 차이는 거의 보이지 않을 것이다. 그림 2.19 의 C/P 인 경우 CTL 내부의 측 방향 전계가 더 크기 때문에 S/P 보다 같은 리텐션 시간에서 ΔV_h의 값이 더 크다. 결론적으로, 단기 리텐션 동작 중 발생한 ΔVth 가 패턴에 따른 차이를 보이고 erase 동작에 의해 저장된 정공의 영향을 받음에 따라, LM 메커 니즘이 장기 리텐션 뿐만 아니라 단기 리텐션 동작에서도 주요한 전하 손실 메커니즘으로써 발생한다.

- 30 -



그림 2.17. (a) 에너지 레벨에 따라 추출된 Nitride 물질의 트랩 밀도. (b) 얕은 *E*t의 트 랩이 반응할 경우의 CTL 내 전자 분포에 대한 시뮬레이션 결과 [36].



그림 2.18. S/P 에서 Erase state 에 따른 단기 리텐션 동작 동안의 ΔV_{th} 변화. (a) PV1. (b) PV2. (c) PV3 [36].



그림 2.19. C/P 에서 Erase state 에 따른 단기 리텐션 동작 동안의 ΔV_{th} 변화. (a) PV1. (b) PV2. (c) PV3 [36].

2.3 전하 손실/이득 모델

본 연구에서 3 차원 낸드 플래시 메모리의 리텐션 동작 중 혼재되어 발생하 는 다양한 전하 손실/이득 메커니즘을 분리하기 위해서 전하 손실/이득 모델을 사용하였다. 전하 손실/이득 모델은 신뢰성과 관련된 불량 메커니즘을 묘사하 기 위해 일반적으로 사용되는 weibull cumulative distribution function (stretched exponential function) [69]-[72]에 기반한다. 따라서, 전하 손실/이득 메커니즘을 모델은 다음과 같이 표현된다 [26].

$$\Delta V_{\rm th} = V_{\rm th}(t=0) - V_{\rm th}(t_R) \tag{1}$$

$$\Delta V_{\text{th,Total}} = \sum_{k=1}^{n} \Delta V_{\text{th,mechanism}(k)} \left(1 - \exp\left(-\left(\frac{t_R}{\tau_{\text{mechanism}(k)}}\right)^{\beta_{\text{mechanism}(k)}}\right) \right) \quad (2)$$

t_R는 리텐션 기간, t_{mechanism(k)}은 한 개의 메커니즘의 시상수, β_{mechanism(k)}는 함 수 개형에 대한 파라미터이다. n 은 분석 조건에 대한 전하 손실/이득 메커니즘 의 개수를 나타낸다. ΔV_{th}는 program 동작 직후의 V_{th} 에서 t_R 만큼의 시간이 지 난 후의 V_{th}를 뺀 값이다. 리텐션 동작 중 발생하는 전체 전하 손실은 각 메커 니즘들을 표현하는 함수들의 총합으로써 표현된다. 리텐션 동작 중 발생하는 메커니즘들은 리텐션 시간이 지남에 따라 발생 확률이 점차 감소하기 때문에 이를 표현하기 위해서 β_{mechanism(k)}의 값은 항상 0 과 1 사이의 값을 갖는다 [25]. 그림 2.20 은 weibull cumulative distribution function 의 β 값에 대한 함수의 개형을 나타낸 그림이다.





그림 2.20. β 파라미터 값에따라 달라지는 Characteristic lifetime 에 따른 Weibull Failure Rate [72].

또한 β_{mechanism(k)}은 전하 손실 메커니즘의 variation 과 연관이 있으며 β_{mechanism(k)} 이 커질수록 variation 은 감소한다. 본 연구에서 위의 소개된 함수가 3 차원 낸 드 플래시 메모리의 리텐션 동작 중 발생하는 여러 가지 전하 손실 메커니즘 을 잘 표현할 수 있는지에 대한 검증을 TCAD 시뮬레이션을 통해 제 3 장에서 검증을 진행하였다. 검증된 제한 조건을 사용하여 리텐션 동작 기간에 따른 분석 및 LM 메커니즘에 의한 전하 손실 중 특정한 요인에 영향을 받는 메커 니즘들을 분리하고 분석하였다.

제 3장 장기 리텐션 분석

3.1 낸드 플래시 메모리의 장기 리텐션 동작

낸드 플래시 메모리의 중요한 특성 중 하나인 장기 리텐션 특성은 상온에서 오랜 시간 동안 측정을 하기 어렵기 때문에 일반적으로 고온-가속 평가 방법 을 사용하여 *E*aa 를 추출하여 소자의 수명을 평가한다. 고온-가속 평가 방법으 로 추출된 *E*aa는 그림 1.4 와 3.1 에서 보이는 바와 같이 Arrhenius model 을 따르 지 않고 roll-off 되는 현상을 보이며, 이것은 단일 전하 손실 메커니즘에 의해 서 전하 손실이 발생하는 것이 아니라 적어도 2 가지 이상의 전하 손실 메커 니즘에 의해서 발생함을 나타낸다. *E*aa 의 roll-off 현상은 고온-가속 평가 방법 에 의한 Δ*V*th 의 상온에서 time constant (*t*)를 예측하는 데에 있어서 큰 오차를 발생시키고 이것은 낸드 플래시 메모리의 정확한 수명을 평가를 방해한다. 전 하 손실/이득 모델을 사용한 전하 손실 메커니즘들을 Δ*V*th 로 분리하여 분석하 는 것으로 보다 정확한 낸드 플래시 메모리의 수명을 평가할 수 있다.

그림 3.1 에서 보이듯이 *E*aa 의 roll-off 현상은 2 차원 수평 구조의 낸드 플래 시에서뿐만 아니라 3차원 낸드 플래시에서도 관측되고 있다. 따라서 3차원 낸 드 플래시 메모리 역시 장기 리텐션 동작 중 적어도 두 가지 이상의 전하 손 실 메커니즘에 의해서 셀에 저장된 전자가 감소됨을 확인할 수 있다. 2 차원 평판 구조의 낸드 플래시 메모리에서 장기 리텐션 동작 중 전하 손실을 야기 하는 주요한 메커니즘은 세 가지가 있는 것으로 예측되었고 그 메커니즘들은 de-trapping, TAT, *N*_{it} recovery 이다 [26]. 이렇게 예측된 전하 손실 메커니즘들에 대해 제한 조건을 설정하고 전하 손실/이득 모델을 사용하여 2 차원 평판 낸드 플래시 메모리의 장기 리텐션 특성이 분석된 바 있다 [25]-[28]. 정확한 장기

- 35 -

리텐션 특성 분석 및 수명 평가를 위해서 엄격한 전하/손실 이득 모델의 파라 미터에 제한 조건 설정이 필수적이고 이렇게 설정된 제한 조건 하에서 설정된 전하 손실/이득 모델의 파라미터 값으로 메커니즘 분리 및 분석 가능하다 [25]. 따라서 이번 장에서는 2 차원 낸드 플래시 메모리에서 설정된 제한 조건을 기 반으로 3 차원 낸드 플래시 메모리에서 전하 손실 메커니즘 분리를 위한 새로 운 제한 조건을 설정하였고 TCAD 시뮬레이션을 통해 검증을 진행하였다.



그림 3.1.3 차원 낸드 플래시 메모리에서 발생하는 온도 가속 평가 방법에 의해 추 출된 Eaa 의 roll-off 현상.

3.2 TCAD 시뮬레이션을 통한 전하 손실 메커니즘 및 제한 조

건 검증

리텐션 특성의 정확한 분석을 위해 장기 리텐션 동작 중 발생할 것으로 예 상되는 전하 손실 메커니즘들에 대한 물리적 특성을 고려한 전하 손실/이득 델의 파라미터 제한 조건을 설정하는 것이 필수다. 2 차원 평판 구조의 낸드 플래시 메모리에서 설정된 제한 조건을 기반으로 LM 메커니즘의 물리적 특성 을 고려하여 표 3.1 과 같이 3 차원 장기 리텐션 동작에 대한 주요 4 가지 메커 니즘들의 전하 손실/이득 모델에서 사용될 파라미터들에 대한 제한 조건을 설

- 36 -

Limiting Condition For Separation		
• $\Delta V_{\text{th(Nit)}} < \Delta V_{\text{th(De-trapping)}} < \Delta V_{\text{th(TAT)}} < \Delta V_{\text{th(LM)}}$		
• $\Delta V_{\text{th(LT)}} \leq \Delta V_{\text{th(HT)}}$		
• $\beta_{\text{TAT}} < \beta_{\text{De-trapping}} < 1$	• $\ln \tau_{(HT)} \leq \ln \tau_{(LT)}$	
• $\beta_{\text{TAT}} < \beta_{Nit} < 1$	• $\tau_{Nit@125^{\circ}C} < 10$ hrs	
• $\beta_{\rm LM} < \beta_{\rm TAT} < 1$	• $ au_{Nit} < au_{De-trapping} < au_{LM} < au_{TAT}$	
• $\beta_{\text{De-trapping}(125^{\circ}\text{C})} = \beta_{\text{De-trapping}(100^{\circ}\text{C})} = \beta_{\text{De-trapping}(85^{\circ}\text{C})} \dots$		
• $\beta_{Nit(125^{\circ}C)} = \beta_{Nit(100^{\circ}C)} = \beta_{Nit(85^{\circ}C)} \dots$		

표 3.1.3 차원 낸드 플래시 메모리의 장기 리텐션 분석을 위한 전하 손실/이득 모델의 파라미터 제한 조건.

정하였다. 그림 1.5 에서 보였듯이, 2 차원 평판 구조와 3 차원 수직 구조의 리텐 션 특성을 비교하면 3 차원 낸드 플래시에서 리텐션 특성이 더 좋지 않은 것 으로 나타났다. 두 구조는 많은 차이점이 존재하지만 장기 리텐션 동작에서 가장 큰 차이는 LM 메커니즘의 존재 여부이고 그 외에는 2 차원 평판 구조와 비슷하다고 분석되었다. 따라서 표 3.1 의 제한 조건은 2 차원 평판 구조의 장 기 리텐션 분석을 위해서 사용된 제한조건을 기반으로 LM 에 대한 제한 조건 을 추가하는 방식으로 설정되었다. De-trapping 과 N_{it} recovery 메커니즘은 두 메 커니즘의 전하 손실 source 를 생각해 보았을 때 TAT 와 LM 메커니즘 보다 전 하 손실에 적게 기여한다고 분석되었다. TAT 와 LM 은 CTL 에 의도적으로 저 장된 전자로 De-trapping 과 N_{it} recovery 의 soucre 인 의도치 않게 tunnling oxide 에 trap 된 전자나 tunneling oxide 와 poly-Si 채널 사이 interface trap 보다 상당히 많기 때문이다. 따라서, 표 3.1 의 final V_{th(mechanism)} 파라미터의 상대적인 값은 발 생하는 전하의 source 를 기준으로 정해졌고 TAT 와 LM 의 차이는 그림 1.5 에 서 보인 차이를 바탕으로 설정되었다. τ_{LM} 은 $\tau_{De-trapping}$ 보다는 크고 τ_{TAT} 보다는 작을 것으로 보인다. CTL 로부터 빠져나오기 위해서 다른 물질의 장벽을 극복 해야 하는 TAT 메커니즘과는 달리 LM 은 CTL 내부에서만 발생하기 때문에 TAT 메커니즘보다는 빠르게 발생할 것으로 분석되었다. De-trapping 메커니즘 에 비해서는 CTL 에 저장된 전자가 tunnling oxide 에 저장된 양보다 훨씬 많기 때문에 īLM 값이 īDe-trapping 의 값보다 클 것으로 보인다.

이렇게 설정된 3 차원 낸드 플래시 메모리에서의 전하 손실/이득 모델 파라 미터 제한 조건이 실제 물리적 현상을 잘 반영하여 설정되었는지를 확인하기 위해 TCAD 시뮬레이션을 통한 검증을 진행하였다. TCAD 시뮬레이션은 Synopsys 사의 Sentaurus 시뮬레이션 프로그램을 사용하여 진행하였다. 시뮬레 이션을 통한 검증은 우선 설정된 표 3.1 의 제한조건을 바탕으로 전체 전하 손 실에서 분리된 각 메커니즘의 전하 손실 모델 결과값과 TCAD 시뮬레이션 값 을 비교하는 것으로 진행되었다. 그림 3.1 에서 해당 시뮬레이션에서 사용된 3 차원 낸드 플래시 메모리의 단면 그림과 구조에 대한 파라미터 값들이 나와 있다. Spacer length (*L*_s)와 target WL length (*L*_{wL}) 값은 해당 그림의 나와있는 범 위 내에 있는 값을 사용하였다. 시뮬레이션에서 사용된 각 전하 손실 메커니 즘들의 물리적 파라미터의 값은 표 3.2 에 나와있다. 이 장에서, TCAD 시뮬레 이션과 전하 손실 메커니즘 모델의 비교는 하나의 메커니즘을 TCAD 시뮬레 이션 상에서 구현하여 하나씩 비교를 진행하였다.



그림 3.2. TCAD 시뮬레이션에서 사용된 3 차원 낸드 플래시 메모리의 구조 및 디바 이스 파라미터.

Mechanism	parameter	Value
Common	Nt_ctl	1x10 ¹⁹ cm ⁻³
	Et_ctl	1.8 eV
	σctl	10 ⁻¹⁵ cm ²
De-trapping	NT_tunnel.Ox	2.4x10 ¹⁸ cm ⁻³
	$E_{T_tunnel.Ox}$	1.282 eV
	σtunnel.Ox	10 ⁻¹⁴ cm ²
TAT	$E_{T_tunnel.Ox}$	1.24 eV
LM	Et_ctl	0.78eV
	σctl	10 ⁻¹³ cm ²
N _{it} Recovery	N0	5x10 ¹² cm ⁻²
	kF0	70 cm ³ /s
	kro	9.9x10 ⁻⁶ cm ³ /s
	$E_{ m ADH}$	0.2 eV

표 3.2. TCAD 시뮬레이션에서 사용된 각 메커니즘에 대한 물리적 모델 파라미터.

3.2.1 De-trapping 메커니즘

De-trapping 메커니즘은 앞서 2.1.1 절에서 소개된 내용을 바탕으로 TCAD 시 뮬레이션 상에서 해당 메커니즘을 구현하였다. De-trpping 메커니즘은 program 동작 중 의도치 않게 tunnling oxide 에 trap 된 전자들이 리텐션 동작 중 de-trap 된 현상을 말하며 그림 3.3 에서 보이듯이 시간에 따라 주로 채널 방향으로 이 동하는 메커니즘이다. Trap density (*N*_t)는 Δ*V*_{th}(De-trapping</sub>)의 상대적인 값을 참조하여 설정되었다. 이 분석은 TCAD 시뮬레이션 상에서 program 동작 후, tunnel oxide 에 트랩 된 전자가 TCAD 상에서 지원되는 PF 모델과 nonlocal tunneling 모델 을 통해서 빠져나오는 것을 구현하였다. 그림 3.4 에서 보이듯이 TCAD 시뮬레 이션을 통해 나온 결과와 de-trapping 메커니즘을 분리하기 위해서 사용된 전 하 손실 모델의 값이 거의 일치함을 확인할 수 있고 이것은 de-trapping 에 대 한 제한조건이 잘 설정되었음을 보여준다.



그림 3.3. TCAD 상에서 구현된 장기 리텐션 동작 중의 De-trapping 메커니즘에 대한 묘사 및 tunnel oxide 내부의 리텐션 시간이 지남에 따른 트랩된 전자의 농도 변화.



그림 3.4. 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 de-trapping 메커니즘 시뮬레이션 결과와 손실 모델 결과값 비교.

3.2.2 Trap-Assisted Tnneling 메커니즘

CTL 에 저장된 전자들은 tunnling oxide 에 trap 의 도움을 받아 채널 방향으로 더 쉽게 이동할 수 있다. 그림 3.5 에 묘사된 것처럼 TCAD 시뮬레이션 상에서 TAT 메커니즘을 구현하였다. 이 경우에 tunneling 메커니즘은 오직 tunnling oxide 에 존재하는 트랩을 통해서만 발생하고 그 외에 다른 메커니즘은 발생하 지 않는다. De-trapping 의 경우와 같이 ΔV_{th(TAT})의 값을 참고로 하여 CTL 에서 트랩 되는 전자들의 양을 설정하였다. TAT 메커니즘은 CTL 과 tunnling oxide 에 있는 트랩으로의 이동이 nonlocal tunnling 모델에 의해서 발생하도록 설정되었 다. 그림 3.6 에 보이듯이 TCAD 시뮬레이션 결과와 TAT 메커니즘에 대한 전 하 손실 모델의 값이 모든 온도에서 일치하여 해당 메커니즘을 모델이 잘 모 사하고 있음을 확인하였다.

- 41 -



그림 3.5. TCAD 상에서 구현된 장기 리텐션 동작 중의 TAT 메커니즘의 tunnel oxide



의 트랩 위치 및 tunneling 경로.

그림 3.6. 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 TAT 메커니즘 시뮬 레이션 결과와 손실 모델 결과값 비교.

3.2.3 N_{it} recovery 메커니즘

2.1.3절에서 소개되었듯이 P/E cycle 에 의해서 설정된 interface trap 은 장기 리 텐션 동작 동안 수소 원자에 의해서 복구된다. 이 현상은 WL 의 V_h를 감소시 키기 때문에 다른 메커니즘들과 마찬가지로 전하 손실 메커니즘으로 고려된다. 이 메커니즘을 TCAD 시뮬레이션 상에서 구현하기 위해서 프로그램 내부에서 지원되는 multistate configuration (MSC)-hydrogen transport degradation 모델을 사용 하였다. 표 3.2 에 나와있듯이, 초기 Si-H bond density (N₀), forward 와 reverse reaction rate 상수 (k_{F0} 와 k_{R0}), 그리고 확산 활성화 에너지 (E_{ADH}) 값을 N_{it} recovery 메커니즘을 분리하기 위해서 사용된 값들과 비교하여 적절한 값을 사 용하였고 그 외에 값은 기본값을 사용하였다. 그림 3.7 은 TCAD 상에서 구현 된 환경에서 장기 리텐션 동작 중 수소 원자가 N_{it} 와 결합하여 실제로 회복이 되고 있음을 보여준다. 이전의 결과들과 마찬가지로 그림 3.8 은 TCAD 상에서 N_{it} recovery 메커니즘에 의해 발생하는 전하 손실이 모델을 통해서 분리된 값 과 거의 비슷한 경향을 보이는 것을 보여주며, 역시 해당 메커니즘을 모델이 잘 모사할 수 있음을 보여준다.



그림 3.7. TCAD 상에서 구현된 장기 리텐션 동작 중의 N_{it} recovery 메커니즘에 의한 초 기 수소 농도와 Nit 와 recombination 후 감소된 수소 원자 농도.



그림 3.8. 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 N_{it} recovery 메커니즘 시 뮬레이션 결과와 손실 모델 결과값 비교.

3.2.4 Lateral Migration 이동 메커니즘

LM 메커니즘의 장기 리텐션 동안의 TCAD 시뮬레이션에서 CTL 내부의 전 자의 이동은 오직 측 방향으로만 발생하도록 설정되었다. CTL 내부에서 LM 메커니즘을 구현하기 위해 PF 모델이 사용되었다. 그림 3.9은 TCAD 시뮬레이 션 내부에서 target WL 에 저장된 전자들이 장기 리텐션 동작 동안 측 방향으 로의 이동이 잘 구현되었음을 보여준다. 그림 3.10 에서는 LM 메커니즘도 다 른 세 가지 메커니즘들의 결과와 같이 TCAD 시뮬레이션에서의 전하 손실과 전하 손실 모델로 표현된 LM 메커니즘의 경향이 거의 일치함을 보여준다.



그림 3.9. TCAD 상에서 구현된 program 동작 직후 전자의 분포와 100 시간 후 장기 리 텐션 동작 중 발생한 LM 메커니즘에 의해 이동한 전자들의 분포.



그림 3.10. 여러 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)에서 LM 메커니즘 시뮬레 이션 결과와 손실 모델 결과값 비교.

3.3 장기 리텐션 특성 분석

3.2 절에서 TCAD 시뮬레이션을 통해 검증된 표 3.1 의 전하 손실/이득 모델 파라미터의 제한 조건을 바탕으로 3 차원 낸드 플래시 메모리의 장기 리텐션 특성에 대한 분석을 진행하였다. 2.3 절에서 소개된 바와 같이, 리텐션 동작 중 혼재된 여러 전하 손실 메커니즘은 하나의 exponential 함수의 경향을 따르며 전체 전하 손실은 각 메커니즘들에 대한 함수의 합으로 표현될 수 있다. 본 연구에서 사용된 측정 데이터는 3 차원 낸드 플래시 메모리의 main chip 에서 측정된 장기 리텐션 데이터이며 probability level (P level) = 0.1 을 기준으로 추출 된 ΔVth 값으로 분석이 진행되었다. 낸드 플래시의 리텐션 동작 중 발생하는 전하 손실 메커니즘은 P/E cycle 에 의해 영향을 받는다 [25]-[26],[30]. De-trapping 의 경우 tunneling oxide 에 트랩이 새롭게 생성되면서 발생하는 양이 증가할 것으로 예상된다 [38]-[39]. TAT 도 역시 tunneling oxide 에 존재하는 트 랩의 개수에 따라 영향을 받기 때문에 P/E cylce에 의해 늘어난 전자는 TAT가 발생하는 양을 더욱 증가시킬 것으로 보인다 [47]-[50]. N_{it} recovery 의 경우는 P/E cycle 스트레스가 인가되지 않은 경우에는 거의 관측되지 않으며 [40], P/E cycle 에 의해 발생한 N_{it} 가 회복되며 발생하는 전하 손실 메커니즘이다. 따라 서 P/E cycle 이 증가함에 따라 $N_{\rm it}$ 가 증가하고 $N_{\rm it}$ recovery 메커니즘에 의해 발 생하는 전하 손실의 양도 더욱 커질 것으로 예상된다. 반면 LM 메커니즘의 경우 P/E cycle 에 대한 영향력이 다른 세 가지 메커니즘들보다는 적을 것으로 예상된다. 이번 장에서는 P/E cycle 횟수가 0.5k, 1.0k. 3.0k, 그리고 5.0k 인 각각 의 경우에 대해서 총 네 가지 전하 손실 모델을 사용하여 장기 리텐션 동작에 대한 측정 데이터로부터 전하 손실 메커니즘 분리를 진행하였다. P/E cycle 횟 수 조건에 따른 전하 손실 메커니즘 분리를 위해서 대해 사용된 파라미터를 비교함으로써 P/E cycle 횟수에 따른 장기 리텐션 특성을 분석하였다.

- 47 -



그림 3.11. 여러 온도에서 P/E cycle 횟수가 3.0 k 인 경우 장기 리텐션 동작 중 발생하 는 전하 손실에 대한 메커니즘 분리. (a) T = 40 ℃. (b) T = 55 ℃. (c) T = 70 ℃. (d) T = 85 ℃. (e) T = 100 ℃. (f) T = 125 ℃.



그림 3.12. 저온 (40°C)과 고온 (125°C)에서 P/E cycle 횟수에 대한 장기 리텐션 동작 중 발생하는 전하 손실에 대한 메커니즘 분리. (a) T = 40 °C, P/E cycle = 0.5 k. (b) T = 40 °C, P/E cycle = 1.0 k. (c) T = 40 °C, P/E cycle = 5.0 k. (d) T = 125 °C, P/E cycle = 0.5 k. (e) T = 125 °C, P/E cycle = 1.0 k. (f) T = 125 °C, P/E cycle = 5.0 k.

그림 3.11과 3.12는 표 3.1의 제한 조건에 따라 정해진 전하 손실/이득 메커 니즘의 파라미터를 사용하여 전체 리텐션 동작 중 발생하는 전체 전하 손실에 서 각 메커니즘이 다양한 온도 (T = 40, 55, 70, 85, 100, 그리고 125 ℃)와 여러 P/E cycle 횟수 (0.5 k, 1.0 k, 3.0 k, 그리고 5.0 k)에서 분리된 결과를 보여준다. 각 그래프 안에 심벌은 main chip 에서 측정된 결과들을 나타내고 색깔 실선은 시 간에 따른 각 전하 손실 메커니즘들에 의한 ΔVth 를 나타낸다. 또한 검은색 실 선은 각 메커니즘을 나타내는 색깔 실선의 총합으로써, 전체 전하 손실에 대 한 가장 최선의 피팅 결과를 보여준다. 온도가 증가함에 따라 전하 손실에 의 해 발생하는 $\Delta V_{\text{th,total}}$ 의 값은 점차 증가하며 각 메커니즘의 contrubution rate (CR) 역시 시간과 온도에 따라서 변화한다. P/E cycle 횟수가 증가함에 따라, tunneling oxide 및 tunneling oxide 와 채널 사이 interface 의 트랩이 증가하였고 해당 트랩들과 관련된 메커니즘들의 양이 그에 비례하여 전체 전하 손실에 더 욱 크게 기여함을 확인할 수 있다. 그림 3.12 에서 보이듯이 이러한 P/E cycle stress 에 의한 변화는 저온 (T = 40 ℃)에서 보다 고온 (T = 125 ℃)에서 큼을 확 인할 수 있다. 그림 3.12의 (d)-(f)에서 나타나듯이, P/E cycle의 횟수가 증가함에 따라서 각 메커니즘의 CR 이 크게 변하는 것을 확인할 수 있다. P/E cycle 횟수 가 증가와는 관계없이 LM 이 장기 리텐션 동작 중에 가장 크게 전하 손실에 기여하는 것을 확인하였다. 그러나 LM 의 CR 은 다른 메커니즘들과 비교하였 을 때 P/E cycle 횟수가 증가함에 따라 감소하는 경향이 있음을 확인하였고 그 이유는 tunnling oxide 의 열화에 영향을 받는 메커니즘들의 CR 이 P/E cycle 횟 수에 따라 증가하지만 상대적으로 관련이 없는 LM 은 영향을 덜 받기 때문이 다. 예측한 대로 tunneling oxide 의 열화와 관련 있는 De-trapping 과 N_{it} recovery 는 P/E cycle 횟수에 따라 발생하는 양이 크게 변화하는 것을 확인하였고 점점 빠르게 발생하여 전체 전하 손실에 기여함을 확인할 수 있었다. TAT 메커니즘 역시 앞서 언급된 두 메커니즘과 비슷한 경향을 보였다.

- 50 -



그림 3.13. 장기 리텐션 분석을 위한 메커니즘 분리에서 사용된 각 메커니즘들의 β_{mechanism(k)} 값. (a) T = 40 ℃, P/E cycle = 0.5 k. (b) T = 40 ℃, P/E cycle = 3.0 k. (c) T = 125 ℃, P/E cycle = 0.5 k. (d) T = 125 ℃, P/E cycle = 3.0 k.

P/E cycle 횟수에 따라 전하 손실 메커니즘을 분리하기 위해 사용된 파라미 터들을 비교함으로써 tunneling oxide 의 열화에 의해 영향받을 것으로 예상되는 전하 손실 메커니즘들에 대한 분석이 가능하다. 그림 3.13은 저온 (T = 40 ℃) 과 고온 (T = 125 °C)에서 P/E cycle 횟수에 따른 각 메커니즘들의 $\beta_{\text{mechanism}(k)}$ 값 의 비교를 보여준다. 그림 3.13 의 (a)와 (c)는 이전에 발표된 연구 결과 [25]-[28]와 표 3.1 에서 보인 바와 같이 β_{mechanism(k)}가 온도에 대한 의존성이 거 의 없음을 보여준다. 그림 3.13 의 (c)와 (d)를 비교해 보면 P/E cycle 에 대한 의 존성도 거의 없음을 확인할 수 있다. 결과적으로 $\beta_{
m mechanism(k)}$ 는 온도가 증가하더 라도 특정한 P/E cycle 횟수에서는 같은 값을 사용할 수 있다. 전하 손실/이득 함수에서 $\beta_{\text{mechanism}(k)}$ 는 각 메커니즘의 varing contribution 과 연관되어 있고 이는 온도와 거의 상관이 없는 값이다 [25]. 온도와 마찬가지로 P/E cycle 횟수는 각 메커니즘들의 variation 에 영향을 끼치지 않기 때문에 $\beta_{\text{mechanism}(k)}$ 가 P/E cycle 횟 수에 따라 거의 변하지 않는다. 그러므로 장기 리텐션 동작에서, 온도와 P/E cycle 횟수는 전하 손실 메커니즘의 variation 에 영향이 거의 없는 것으로 분석 되었다. FG 를 가진 소자인 경우에는, FG 내의 전자들은 그 안에서 빠르게 퍼 지고 그 퍼텐셜은 같다. 반면 3 차원 낸드 플래시의 CTL 인 경우에, target WL 중심에 저장된 전자들은 spacer 쪽으로 상대적으로 천천히 퍼진다. LM 은 CTL 내부의 퍼텐셜 차이에 의해서 생기는 전계가 약해질 때까지 발생한다. 반면 TAT 메커니즘은 측 방향의 전계가 거의 영향을 끼치게 되지 않더라도, 수직 방향의 전계에 의해 계속해서 발생한다. 결과적으로 LM의 moving path가 TAT 의 수직 방향 path 에 비해서 더 길기 때문에 β_{LM} 이 β_{TAT} 보다 조금 더 작다.



그림 3.14. 장기 리텐션 분석을 위한 메커니즘 분리에서 사용된 각 메커니즘들의 P/E cycle 횟수에 따른 final V_{th(mechanksim)}값. (a) T = 40 ℃. (b) T = 125 ℃.

그림 3.14(a)는 저온 $(T = 40 \ ^{\circ}C)$ 에서 P/E cycle 이 증가함에 따른 final $V_{th(mechanism)}$ 값의 경향을 보여준다. 그림 3.14(b)는 고온 $(T = 125 \ ^{\circ}C)$ 인 경우이다. P/E cycle 횟수가 증가함에 따라 tunneling oxde 의 bulk 에 있는 트랩이 더욱 생 성되기 때문에 de-trapping 메커니즘의 source 가 증가한다. 그러나 이렇게 증가 된 tunneling oxide bulk 내의 트랩들은 상대적으로 온도에 의해서는 영향을 덜 받는다 [25]. 그러므로 $\Delta V_{th(De-trapping)}$ 은 P/E cycle 횟수에 따라서 증가하지만 온도 에 따라서는 거의 영향이 없다. De-trapping 의 경우와 마찬가지로 TAT 도 tunneling oxide 의 열화에 영향을 받는다. 특히 tunnling 현상을 도와주는 트랩의 개수가 늘어날 수 있기 때문에 $\Delta V_{th(TAT)}$ 는 P/E cycle 횟수가 증가함에 따라 중 가한다. 추가적으로 $\Delta V_{th(TAT)}$ 는 $\Delta V_{th(De-trapping)}$ 와 달리 온도가 증가함에 따라 커지는 경향을 보이는데, 그 이유는 전하 손실의 source 가 온도가 증가함에 따라 영향을 한지 않지만 고온에서는 P/E cycle 의 영향력이 커진다. P/E cycle 에 의해서

- 53 -

증가된 N_{it} 는 리텐션 동작 중 고온인 경우에 회복이 더욱 빠르게 발생하기 때 문에 상대적으로 고온인 경우에 더 큰 ΔV_{th(Nit_recovery}) 값을 보인다. N_{it} recovery 메커니즘은 낮은 P/E cycle 및 저온에서는 전하 손실에 크게 기여하지 않지만 높은 P/E cycle 횟수 및 고온에서는 전체 전하 손실에 크게 기여한다. 앞서 언 급된 세 가지 메커니즘은 tunneling oxide 의 열화에 직접적으로 영향을 받는 반 면 LM 메커니즘은 CTL 내부에서만 발생하는 메커니즘이기 때문에 P/E cycle 횟수에 따른 영향력은 거의 받지 않는다. 따라서 그림 3.14 에서 보이듯 ΔV_{th(LM)}은 P/E cycle 이 증가하더라도 거의 변하지 않고 온도에 따라서는 CTL 에 트랩된 전자가 더 쉽게 움직일 수 있기 때문에 고온에서 ΔV_{th(LM)}값은 증가한 다.



그림 3.15. 장기 리텐션 분석을 위한 메커니즘 분리에서 사용된 각 메커니즘들의 P/E cycle 횟수에 따른 τ_{mechanksim(k)}값. (a) T = 40 ℃. (b) T = 125 ℃.

그림 3.15 는 저온 (T = 40 ℃)과 고온 (T = 125 ℃)에서 P/E cycle 이 증가함에 따른 Tmechanism(k) 값을 보여준다. 표 3.1 의 제한 조건에서 소개된 바와 같이 Tmechanism(k)는 온도가 증가함에 따라서 감소하고 전체적으로 P/E cycle 횟수에 영 향을 받지만 온도에 의한 영향력 만큼 크지는 않다. 그림 3.15 는 각 메커니즘 의 E_a 를 추론할 수 있게 한다. De-trapping 의 E_a 는 온도에 따른 $au_{ ext{mechanism}(k)}$ 의 변 화량이 가장 크기 때문에 네 가지 전하 손실 메커니즘들 중 가장 클 것으로 예상된다. TAT 와 LM 메커니즘 모두 트랩과 트랩 간 움직임에 의한 메커니즘 이지만 두 메커니즘의 Ea를 비교해 보았을 때, LM 의 Ea가 TAT 의 것보다 더 클 것으로 분석된다. TAT 메커니즘은 더 큰 수직의 전계를 야기하는 tunneling oxide 의 큰 에너지 장벽 때문에 tunneling에 더 의존하고, 이것은 낮은 온도 의 존성과 더 큰 Trat를 필요로 한다. 반면에 LM 의 경우에, CTL 의 풍부한 트랩 density 로 인해 트랩 간 거리가 짧고 측 방향으로의 이동이 온도 의존성을 크 게 갖는다. 그림 3.15(a)와 (b)의 결과를 종합적으로 고려하였을 때, de-trapping 메커니즘은 다른 메커니즘들과 비교하여 온도에 의해 크게 영향을 받는 것으 로 보인다. De-trapping 메커니즘이 thermal emisson 과 얇은 tunneling oxide 에서 발생하는 direct tunneling 이 동시에 발생하지만 트랩 된 전자가 de-trap 될 확률 은 온도에 의해서 결정되기 때문이다. TAT의 경우에, tunneling oxide 가 열화 됨 에 따라, tunneling 을 도와주는 트랩 site 가 증가할 것으로 예측된다. 트랩 site 의 증가는 TAT 를 발생시키는 path 를 증가시켜주기 때문에 이러한 특성들을 고려할 경우 THAT 는 다른 메커니즘들과 비교해서 더 큰 P/E cycle 의존성을 갖 는다. 반면 TLM 는 P/E cycle 횟수에 크게 영향을 받지 않는데, 초기에 이미 CTL 내에 많은 트랩들이 존재하기 때문이다. TNit recovery 도 P/E cycle 에 크게 영 향을 받지 않는데, 2.1.3 절에서 논의된 바와 같이 Nit recovery 는 빠른 속도의 메커니즘이기 때문에 P/E cycle 횟수가 증가하더라도 전하 손실에 기여하는 양 은 증가하지만 더 빠르게 발생하도록 하지는 않기 때문이다.
3.4 요 약

이 장에서는 3 차원 낸드 플래시 메모리의 장기 리텐션 특성을 분석하기 위 한 측정 데이터로부터 네 가지 주요한 전하 손실 메커니즘을 분리하였다. 2 차 원 평판 구조에서 3 차원 수직 구조로 변함에 따라 야기된 LM 메커니즘을 설 명하기 위해 전하 손실/이득 모델 파라미터의 제한 조건을 새롭게 설정하였다. TCAD 시뮬레이션을 사용하여 새롭게 설정된 제한 조건이 각 전하 손실 메커 니즘들의 물리적 특성을 잘 반영함을 확인하였다. 검증된 제한 조건하에서 사 용된 전하 손실 모델을 통해 3 차원 낸드 플래시 메모리의 장기 리텐션 동작 중 발생하는 전하 손실 메커니즘을 성공적으로 분리하였다. 또한 다양한 P/E cycle 횟수에서 분리된 결과들은 P/E cycle 의 반복에 의해 야기된 tunneling oxide 열화가 장기 리텐션 동작 중 발생하는 전하 손실 메커니즘에 어떻게 영 향을 끼치는지 분석하기 위해서 사용되었다. 장기 리텐션 동작 중 발생하는 메커니즘 분리를 통해 tunneling oxide 와 직접적으로 관련이 있는 세 가지 메커 니즘이 P/E cycle 횟수가 증가함에 따라 전하 손실에 기여하는 양이 증가하고 더욱 빠르게 발생함을 확인하였다.

제 4장 단기 리텐션 분석

4.1 낸드 플래시 메모리의 단기 리텐션 동작

3차원 낸드 플래시 메모리에서 CTL을 채용함에 따라서 발생한 여러 가지 문제점들 중 2.2절에서 언급한 바와 같이 단기 리텐션 동작 중 새롭게 발생하 는 전하 손실/이득 메커니즘들이 있다. 특히 새롭게 발생하는 VR 메커니즘에 의해 단기 리텐션 동작에서 전하 손실에 의한 거동이 일반적인 상황과 다르게 발생하며 이에 대한 분석도 진행되고 있다 [29]-[30],[36]-[37]. 단기간에 발생하 는 전하의 비정상적인 거동을 파악하고 분석하기 위해서 적절한 측정 장비 및 측정 방법을 필요로 한다. 그림 4.1은 단기 리텐션 분석 특성 측정을 위해서 사용된 소자의 회로도 및 pulse scheme에 대한 도표를 나타낸다. fast-IV 측정 방법을 통해 단기 리텐션 분석을 위한 측정을 진행하였다. 그림 4.1(a)와 같이 bit-line (BL) current의 충분한 양을 위해서 100개의 string을 평행하게 연결하여 측정을 진행하였다. 단기 (10 μs~) 리텐션 측정을 위해 Agilent 사의 B1500A 장 비에 wave generater fast measurement unit (WGFMU) 모듈을 연결하고 그림 4.1(b) 에 나온 incremental step pulse programming (ISPP) pulse scheme 및 read pulse scheme을 적용하여 측정을 진행하였다. ISPP pulse 인가 후 read까지 오직 10µs 의 delay만 존재하고 read pulse는 20 μs 동안 인가되는 동안 2 μs 간격의 측정 을 10번 반복하여 평균을 사용해서 보다 정확한 target WL의 전류를 read 하고 측정된 전류를 ΔVm로 변환하였다. 이렇게 측정된 데이터를 2.3절에서 소개된 전하 손실/이득 모델을 사용하여 각각 PV1 level의 S/P와 C/P에서 7개의 온도 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃)인 경우에 따라 분리하고 특성을 분석 하였다.

- 57 -



그림 4.1. (a) 단기 리텐션 측정을 위해서 평행하게 연결된 bit-line (BL) 스트링의 대략 적인 회로도. (b) WGFMU 모듈이 장착된 Agilent B1500A 측정 장비에서 사용된 IV 측 정 용 pulse 도표 [29].

4.2 Low Program Verify (PV) Level 에서 단기 리텐션 동작 중의

전하 손실 메커니즘

4.1절에서 소개된 단기 리텐션 분석을 위한 fast IV pulse 측정을 통해 얻어진 PV1 level의 단기 리텐션 측정 결과는 다른 PV level (PV3, 5, 그리고 7)들과는 다른 거동을 보인다. 그림 4.2는 T = 25 ℃인 경우에 S/P와 C/P에서 각각 PV level에 따른 단기 리텐션 거동에 대한 측정 결과를 보여준다. 두 패턴 모두 PV level이 7에서 3으로 감소함에 따라서 ΔV_{th}값은 같은 시간 대비 점점 커지 게 되는데, 그 이유는 VR 성분이 감소하기 때문이다 [29]. PV1 level에서 단기 리텐션 동작에 의한 ΔV_{th}값은 동일한 시간에서 PV3의 값 보다 더 클 것으로 예상되었으나 오히려 감소하는 경향을 보였다. 따라서, PV1 level에서 발생하는 전하 손실은 기존에 알려진 단기 리텐션 동작 중 발생하는 세 가지 메커니즘 외의 성분이 발생하고 기존이 설정되었던 제한 조건을 새롭게 설정해야 할 것 으로 분석되었다.



그림 4.2. 다양한 PV level (1, 3, 5, 그리고 7)에서 단기 리텐션 동작 중 발생하는 전하 손실에 의한 ΔV_{th}. (a) S/P, T = 25 ℃. (b) C/P, T = 25 ℃.

단기 리텐션 동작 중 BE-detrapping, VR, LM 외에 추가로 발생할 것으로 예 측되는 메커니즘은 낮은 PV level에서 program 동작 후 남아있는 잔여 홀에 의 한 영향이다. 3차원 낸드 플래시에서 initialization 과정 후 erase 상태에서 상대 적으로 낮은 PV level을 목표로 program이 되는 경우 target WL에 저장되는 전 자의 양이 다른 PV level 들에 비해서 상대적으로 작기 때문에 이전에 저장되 어 있던 홀이 완전히 사라지지 않고 CTL 내부에 남아 있을 수 있다. 이러한 잔여 홀은 단기 리텐션 동작에서 영향을 끼치는 것으로 알려져 있다 [36]. 특 히 이러한 잔여 홀의 영향력은 LM에 특히 영향이 있을 것으로 예상되는데, 그 이유는 잔여 홀의 위치가 CTL 내부의 low PV level로 program된 전자의 바 로 옆에 존재할 가능성이 있기 때문이다. 이 장에서는 2.2절에서 소개된 총 네 가지의 전하 손실/이득 메커니즘이 low PV level의 단기 리텐션 동작에서 주요 하게 영향을 끼칠 것으로 예측하고 2.3절에서 소개된 전하 손실/이득 모델을 사용하여 단기 리텐션 특성을 분리하고 분석하였다. 이 장에서 고려하고 있는 메커니즘은 2.2절에서 소개된 바와 같이, BE 기술이 적용된 tunneling oxide에서 발생하는 단기 리텐션 동안의 de-trapping 메커니즘, CTL 내에서 수직 방향으로 이동함에 따라 target WL의 V_h를 증가시키는 전하 이득 메커니즘으로 거동하 는 VR, 하나의 스트링 내에서 CTL을 공유함에 따라 발생하는 LM, 그리고 잔 여 홀에 의해 영향을 받는 LM (LM_H), 총 네 가지 메커니즘이다. 그림 4.3은 PV1의 단기 리텐션 동작 중 발생할 것으로 예상되는 LM과 LM_H의 전자 및 잔여 홀의 거동에 대한 대략적인 그림이다. 단기 리텐션 동작에서도 LM에 의 해서 전하 손실이 발생한다 [36]. Low PV1 level에서 잔여 홀은 target WL에 저 장된 전자 바로 옆에 존재할 것으로 예상되며 잔여 홀의 존재로 인해 기존에 저장된 전자가 잔여 흘과 recombination 되면서 전자에 의해서만 측 방향으로 이동할 때 보다 더 빠르게 이동할 것으로 예상된다. 따라서 잔여 홀이 존재하

- 61 -

지 않는 high PV level (PV3, 5, 그리고 7) 같은 경우에는 단기 리텐션 동작 동안 에 잔여 홀의 영향 없이 전자만 측 방향으로 퍼지는 LM 메커니즘이 발생하고 low PV level (PV1)의 경우에는 잔여 홀의 영향을 받아 상대적으로 빠르게 퍼지 는 LM_H 메커니즘이 있고 전자만 측 방향으로 이동하는 LM 메커니즘이 존재 할 것으로 예상된다.



그림 4.3. PV1 의 단기 리텐션 동작에서 발생할 것으로 예상되는 두 메커니즘의 차이. (a) 밴드 다이어그램에서 LM 메커니즘.(b) 밴드 다이어그램에서 LM_H 메커니즘.(c) 셀 단면적에서 LM 메커니즘.(d) 셀 단면적에서 LM_H 메커니즘.

4.3 단기 리텐션 특성 분석

PV1에서 단기 리텐션 동작 중 발생할 것으로 예상되는 주요한 네 가지 메 커니즘을 바탕으로 전하 손실/이득 모델을 사용하여 단기 리텐션 특성 분석을 진행하였다. High PV level에서의 단기 리텐션 동작 분석을 위해서 설정된 제한 조건 [29]은 그림 4.2에서 보인 바와 같이, 기존의 경향에서 벗어났기 때문에 네 가지 메커니즘을 기준으로 한 분석을 새롭게 진행하였다. 그림 4.4와 4.5는 네 가지 메커니즘에 대한 전하 손실/이득 모델을 사용하여 PV1으로 target WL 이 program된 S/P와 C/P 패턴에서 각각 T = 25 ℃와 85 ℃인 경우에 대해 전체 단기 전하 손실에서 메커니즘들이 분리된 결과를 보여준다. PV1의 단기 리텐 션 특성 분석을 위한 메커니즘 분리에서 사용된 각 메커니즘의 $\beta_{
m mechanism(k)}$ 와 𝚛cchanism(k)는 기존 high PV level에서 분석된 경향성을 바탕으로 예측된 값과 큰 차이를 보이지 않았다. 반면 BE-detrapping과 VR 메커니즘의 final Vth(mechanksim) 값은 마찬가지로 기존의 경향성을 토대로 예측한 값과 큰 차이를 보이지 않았 다. 하지만 LM 메커니즘을 기존처럼 하나의 메커니즘으로 분석하였을 경우 기존의 경향성에 크게 벗어나는 것을 확인하였고 LM_H 메커니즘을 추가하여 기존 경향성에서 벗어나는 부분만큼 값을 설정하여 적절한 값을 사용한 결과 그림 4.4와 4.5에서 보이는 것과 같이 측정 결과와 각 전하 손실/이득 모델로 표현된 메커니즘들의 합이 거의 일치하는 것을 확인할 수 있다. 따라서 PV1 level에서 LM_H 메커니즘을 추가적으로 고려하는 것으로 기존 연구에서 진행된 PV level 감소에 따른 세 가지 메커니즘의 전하 손실/이득 모델 파라미터들에 대한 경향성을 유지하면서 그림 4.2에서 보인 PV1 level의 특이한 거동도 설명 이 가능하게 되었다.



그림 4.4. PV1의 단기 리텐션 동작에서 발생할 것으로 예상되는 네 가지 메커니즘으로 분리된 전체 전하 손실. (a) S/P, T = 25℃. (b) C/P, T = 25℃.



그림 4.5. PV1의 단기 리텐션 동작에서 발생할 것으로 예상되는 네 가지 메커니즘으로 분리된 전체 전하 손실. (a) S/P, T = 85℃. (b) C/P, T = 85℃.

그림 4.6는 S/P에서 각각 LM과 LM_H의 전하 손실 모델을 매우 긴 시간까지 확대하여 전체적인 거동을 예측한 모습니다. PV1 level의 program후 저장되는 전자의 양은 다른 PV level 들에 비해서 상당히 작지만 잔여 홀에 비해서는 상 당히 클 것으로 예상되고 LM_H는 잔여 홀이 target WL으로부터 퍼지는 전자와 완전히 recombination되어 사라지기 때문에 LMH가 완전히 saturation된 후에도 LM은 계속해서 전하 손실에 기여할 것으로 보인다. 따라서 final V_{th(LM)}의 값 은 final V_{th(LMH)}의 값보다 클 것으로 예상되고 7LM 도 7LMH 보다 클 것으로 보인 다. PV1 level의 단기 리텐션 동작 중 발생하는 메커니즘들은 target WL에 저장 되는 전자의 양이 적기 때문에 다른 PV level 들에 비해서 상대적으로 온도에 덜 민감할 것으로 보인다.



그림 4.6. 여러 온도 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃)에서 아주 긴 시간까지 확장된 전하 손실 모델. (a) LM. (b) LM_H.

그림 4.7은 다양한 온도 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃)에서 S/P와 C/P 각각 단기 리텐션 동작 중 발생하는 전하 손실에 의한 ΔV_h를 네 가지 메 커니즘들 각각의 전하 손실/이득 모델의 총합으로 피팅 한 결과를 보여준다. 심벌은 측정 결과이며 각 색깔 실선은 온도에 대한 전체 전하 손실/이득 모델 링 결과 값이다. 모든 결과에서 측정 데이터와 모델 결과 값이 잘 맞는 것을 확인할 수 있으며 네 가지 메커니즘의 β_{mechanism(k)} 값은 모든 온도에서 같은 값 을 사용하였다. 온도가 증가함에 따라서 ΔVn값이 작아지는 것을 확인할 수 있 는데, VR 메커니즘의 Ea가 다른 메커니즘들의 Ea 대비 가장 크기 때문에 이와 같은 현상을 보이는 것으로 분석되었다. 본 연구에서 S/P 패턴은 모두 같은 PV level 로 program되어 있기 때문에 target WL이 PV1이면 인접한 셀 역시 PV1로 program 되어 있다. High PV level의 S/P에서는 인접한 셀에 저장된 전자 가 상당히 많기 때문에 target WL에 큰 영향을 끼치고 PV level이 감소함에 따 라 인접한 셀에 저장된 전자의 양이 상당히 감소하여 target WL에 끼치는 영 향이 상당히 감소한다. PV1에서는 S/P와 C/P의 차이가 거의 보이지 않게 되는 데 이러한 물리적 현상에 대한 예측을 측정 및 전하 손실/이득 모델을 통한 분석을 통해 확인되었다. 그림 4.8은 전체 온도에서 S/P와 C/P 각각에서 사용 된 final $V_{ ext{th(mechanksim)}}$ 값과 $au_{ ext{mechanism(k)}}$ 값을 보여준다. 제한 조건에 따라 모델링 되 었기 때문에 final V_{th(mechanksim)} 값은 높은 온도에서 증가함을 확인할 수 있고 𝚛mechanism(k) 은 높은 온도에서 감소함을 확인할 수 있다 [29]-[30],[37]. 또한, 각 패턴에서 사용된 두 모델 파라미터의 값이 거의 근사함을 확인할 수 있다. 이 를 통해 target WL에 인접한 셀의 저장된 전자의 양이 적어질 경우 셀 패턴 의존성이 감소함을 확인하였다. 그림 4.8에서 보이는 각 파라미터들의 약간의 차이는 PV1의 C/P에서 인접 셀은 erase 동작 후의 홀이 저장되어 있기 때문으 로 보인다.



그림 4.7. 다양한 온도 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃)에서 PV1 level 의 단기 리텐션 동작 중 발생하는 전체 전하 손실 전하 모델링을 통해 피팅된 결과. (a) S/P. (b) C/P.



그림 4.8. 다양한 온도 (T = 25, 40, 55, 70, 85, 100, 그리고 115 ℃)에서 PV1 level 의 단기 리텐션 동작 중 발생하는 전체 전하 손실 모델링을 위해 사용된 전하 손실/이득 모델 파라미터. (a) 7_{mechanism(k)}. (b) final V_{th(mechanksim)}.

4.4 요 약

이 장에서는 3차원 낸드 플래시 메모리의 low PV level (PV1)에서 단기 리텐 션 특성을 분석하기 위한 측정 데이터로부터 잔여 홀의 영향을 받는 새로운 메커니즘을 추가한 총 네 가지 주요한 전하 손실 메커니즘을 분리하였다. PV1 level의 측정 데이터가 기존 high PV (PV3, 5, 그리고 7) level에서의 측정 결과로 부터 벗어남을 확인하였고 그에 따라 기존에 설정된 단기 리텐션 동작에서의 전하 손실/이득 모델의 제한 조건의 경향성 역시 벗어남을 확인하였다. Low PV level에서 존재할 수 있는 잔여 홀에 의한 메커니즘을 추가적으로 고려하는 것으로, PV1의 단기 리텐션 동작 중 발생하는 전하 손실을 총 네 가지 메커니 즘으로 분석할 수 있었다. 또한 전하 손실/이득 메커니즘 모델의 파라미터 분 석을 통해 low PV level에서는 인접한 셀에 저장되는 전자의 양이 상당히 감소 하기 때문에 셀 패턴 의존성이 상당히 감소함을 확인하였다.

제 5 장 잔여 홀에 의한 Lateral Migration 메커니즘

5.1 리텐션 동작 중 잔여 홀의 영향

3 차원 낸드 플래시의 메모리 셀은 TLC 를 넘어 QLC 등으로 PV level 이 세분화되고 있으며 그에 따라 리텐션 동작 중 발생하는 전하 손실 메커니즘 또한 달라짐을 4 장에서 보였다. 3 장과 4 장에서 보인 바와 같이 주요한 전하 손실 메커니즘은 단기 리텐션 혹은 장기 리텐션과 같이 특성 관측 시점에 따라 다르고 PV level 과 셀 패턴과 같은 다른 요인들에 의해서도 달라짐을 확인하였다. LM 메커니즘의 경우 단기 리텐션 및 장기 리텐션 동작 중 공통적으로 주요한 전하 손실 메커니즘으로 발생하며 4 장에서 보인 바와 같이 low PV level 에서 존재하는 잔여 홀의 영향 및 인접한 셀에 저장된 전자의 양과 같은 다양한 요인에 의해서 영향을 받는 것으로 분석되었다. LM 메커니즘은 3 차원 낸드 플래시 구조로 변함에 따라 새롭게 등장하여 다양한 요인에 영향을 받기 때문에 LM 메커니즘을 집중적으로 분석할 필요가 있고 필요에 따라서는 LM 메커니즘에서 특정한 성분의 영향력을 분리해야 한다.

이 장에서는 low PV level 에서 target WL 에 저장되는 전자의 양이 감소함에 따라 WL 아래에 program 동작 이후에도 여전히 남아 있는 잔여 홀 성분이 LM 메커니즘에 끼치는 영향에 대한 보다 자세한 분석을 TCAD 시뮬레이션을 통해 진행하였다. 이전 장에서 잔여 홀은 CTL 내부에서 발생하는 LM 메커니즘에 영향을 끼치고 traget WL 의 중심에 저장되었던 전자와 recombination 함에 따라 LM 에 의한 전자의 이동을 잔여 홀의 영향이 없을 때 보다 더 빠르게 만들 것으로 분석되었고 이 메커니즘을 기존 전자에 의해서 발생하는 LM 에서 분리하여 LM_H로 정의하였다. 잔여 홀의 CTL 내부 거동 및

- 72 -

LM_H의 리텐션 동작 중의 거동을 TCAD 시뮬레이션 내에서 구현하고 LM 에 의한 전하 손실에서 전하 손실/이득 모델을 사용하여 메커니즘을 분리하였다. 또한, LM 에 대한 인접한 셀의 영향력을 TCAD 시뮬레이션 상에서도 관측이 가능하였으며 이에 대한 영향력도 하나의 메커니즘으로 정의하여 기존 LM 메커니즘에서 분리하였다.

5.2 잔여 홀의 거동에 대한 TCAD 시뮬레이션 결과

TCAD 시뮬레이션 상에서 CTL 내부의 잔여 홀의 거동을 구현하였다. 이 장에서 오직 LM 메커니즘 만 TCAD 시뮬레이션 상에서 구현하여 리텐션 동작 중 전하 손실이 발생하도록 설정되었다. 2 장에서 소개하였듯이 리텐션 동작 중 발생하는 전하 손실은 다양한 메커니즘들에 의해서 발생하지만 잔여 홀과 인접 셀의 영향력은 주로 LM 에 영향을 끼치는 것으로 보고 되었기 때문에 이에 대한 영향력을 분리해서 분석하고자 다른 메커니즘들은 최대한 배제되었다 [25]-[30],[36]-[37]. 낸드 스트링에서 BL current (*I*_{BL})의 일반적인 전기적 특성을 반영하기 위해서 Poisson 과 drift/diffusion 방정식을 cylindrical 좌표계에서 계산되도록 적용하였다. 또한, CTL 내부에서 전하들의 측 방향 이동을 구현하기 위해서 PF model 이 사용되었다. 그림 5.1 은 시뮬레이션에서 사용된 erase 와 program 시퀀스의 시간에 따른 pulse 크기를 보여주며 erase voltage (*V*_{ERS})는 20 V, pass voltage (*V*_{PASS})는 6 V 가 사용되었다. Erase 동작이 진행된 후 program 동작에 의해 저장되는 전자의 양에 따라 잔여 홀이 생성되기 때문에 program 동작 전 erase 동작은 필수이다.



그림 5.1.3 차원 낸드 플래시 메모리의 시뮬레이션에서 사용된 erase 와 program 시퀀스의 시간에 따른 pulse 크기.



그림 5.2. Low V_{PGM}에 의해 program 된 경우에 보일 것으로 예상되는 전하 분포. (a) S/P. (b) C/P.

그림 5.2 (a)와 (b)는 각각 S/P 와 C/P 에서 low program voltage (V_{PGM})에 의해 program 된 경우의 target WL 과 인접한 셀의 CTL 에 저장되어 있는 전하들을 나타낸 그림이다. S/P 인 경우는 target WL 과 인접한 셀 모두 같은 V_{PGM} 으로 program 되었다. 그림 5.2 에서 보이듯이, 잔여 홀은 low V_{PGM} 에 의해서 target WL 에 저장된 전자의 바로 옆에 존재할 것으로 보인다. 표 5.1 과 표 5.2 는 리텐션 동작 중 잔여 홀과 인접 셀에 저장된 전자의 양이 LM 에 끼치는 영향을 분석하기 위해 사용된 시뮬레이션 구조 및 물리적 모델 파라미터의 목록을 나타낸다.

Parameters	Value
Oxide filler radius (R_f)	25 nm
Channel Thickness (t_{si})	10 nm
Cell Gate Length (L_{WL})	30 nm
Spacer Length (L_{SP})	30 nm
WL Thickness (t _{WL})	40 nm
Tunneling oxide (t_{TOX}) Thickness	5 nm
Charge-trap nitride (t _{CTL}) Thickness	5 nm
Blocking oxide (tBOX) Thickness	6 nm
The number of WLs	10

표 5.1. TCAD 시뮬레이션에서 사용된 3 차원 낸드 플래시 메모리의 구조 파라미터.

Parameters	Value
Electron trap level (from Conduction band)	0.6 eV
Hole trap level (from Valance band)	1.5 eV
Effective mass of electron in CTL	0.5m0
Effective mass of hole in CTL	$0.5m_0$
Effective tunneling mass of electron in SiO2	$0.42m_0$
Effective tunneling mass of hole in SiO2	0.35m0
Electron trap density	3.0x10 ¹⁹ cm ⁻³
Hole trap density	3.0x10 ¹⁹ cm ⁻³
Electron capture cross-section	1.0x10 ⁻¹⁵ cm ²
Hole capture cross-section	1.0x10 ⁻¹⁵ cm ²

표 5.2. TCAD 시뮬레이션에서 사용된 리텐션 동작 중 CTL 내부의 전하들의 이동을

구현하기 위한 메커니즘들의 물리적 파라미터.

그림 5.3(a)와 (b)는 각각 TCAD 시뮬레이션에서 구현된 구조에서 program 과 erase 동작 후 CTL 내에 트랩 된 전자와 정공의 density 를 보여준다. 그림 5.4 는 네 개의 V_{PGM} 과 세 개의 erase time (*t*_{ERS})에 의한 *I*_{BL}-WL voltage (*V*_{WL}) 커브를 보여준다. 이 장에서 사용된 *V*_h 는 *I*_{BL} = 1 nA 를 기준으로 한다. 그림 5.5(a)는 그림 5.3 의 측 방향 (A-A`) 을 따라 각각의 *V*_{PGM} 에 의해서 program 된 직후 TCAD 시뮬레이션 상의 CTL 에 저장된 전자와 정공의 분포를 보여준다. 상대적으로 낮은 *V*_{PGM} = 17 V으로 프로그램된 경우에 저장된 전자의 양옆에 홀이 남아 있음을 확인하였다. 그림 5.5(b)에서 보이듯이 그림 5.5(a)의 잔여 홀은 *t*_{ERS}를 변화시킴에 따라 양이 조절될 수 있음을 확인할 수 있다.



그림 5.3. 시뮬레이션된 program 및 erase 직후 CTL 내 트랩된 전하 분포. (a) program 직후 전자의 분포. (b) erase 직후 정공의 분포.



그림 5.4. TCAD 시뮬레이션된 네 개의 V_{PGM}에 program 동작 직후의 I_{BL}-V_{WL} 커브들과 세 개의 t_{ERS}에 대한 erase 동작 직후 I_{BL}-V_{WL} 커브들.



그림 5.5. (a) 네 개의 V_{PGM}과 (b) 세 개의 t_{ERS}에 대한 program 동작 직후 측 방향 (A-A`)에 따른 전하 분포.



그림 5.6 은 두 지점에서 리텐션 시간에 따라 트랩 된 전자와 잔여 홀의 변화를 보여준다. a 지점은 target WL 의 중심에서 끝부분까지의 거리의 ½에 위치하고 b 지점은 ¼ 지점에 위치한다. VPGM = 17 V 인 경우에, 상대적으로 많은 잔여 홀이 존재하고 두 포인트 모두에서 리텐션 타임 초기에는 전자보다 홀이 많은 것을 확인할 수 있다. 리텐션 타임이 증가함에 따라, target WL 아래 저장되어 있던 전자들은 측 방향으로 이동하여 a 지점으로 들어온다. 그에 따라 a 지점에 존재하던 잔여 홀들은 들어오는 전자들과 recombination 하여 빠르게 감소하고 전자는 순간적으로 증가하였다가 다시 감소하는 경향을 보인다. b 지점도 a 지점과 비슷한 경향을 보이지만, b 지점은 target WL 의 가장자리에 좀 더 가깝기 때문에 전자가 들어오는 시간이 a 지점보다 상대적으로 늦고 잔여 흘의 농도 a 지점 보다 낮다. 리텐션 타임이 1 초 정도 지난 경우에는 a 와 b 지점 모두 거의 같은 경향으로 전자의 농도가 감소함을 확인할 수 있다. c 지점은 spacer 의 ½인 지점으로, target WL 에서 상대적으로 멀리 떨어져 있기 때문에 잔여 흘은 존재하지 않고 상당히 긴 시간이 지난 후 전자가 해당 지점으로 들어오는 것을 확인할 수 있다.



그림 5.6. V_{PGM} = 17 V, T = 85 ℃ 에서 시뮬레이션 된 CTL 내부에서 리텐션 시간에 따 른 여러 지점에서 잔여 홀 및 트랩된 전자의 거동.

그림 5.7(a)는 리텐션 동작 중 잔여 홀의 유무에 따른 LM 메커니즘의 경향을 보여준다. $V_{PGM} = 17 \text{ V}$ 와 T = 85 °C 인 경우에서 동일한 리텐션 시간이 지났을 때, 잔여 홀이 있는 경우 LM 메커니즘에 의해서 전자가 더 옆으로 이동한 것을 확인할 수 있고 이것은 3 장에서 추측한 바와 같이 잔여 홀이 target WL 으로부터 퍼지는 전자와 recombination 하면서 더 빠르게 이동한다는 예측을 뒷받침한다. 그림 5.7(b)는 동일하게 잔여 홀이 존재하는 경우 홀의 E_{T} 에 따른 잔여 홀의 거동을 보여준다. 깊은 홀 E_{T} 에서 잔여 홀은 리텐션 시간이 증가함에 따라 거의 이동하지 않고 target WL 으로부터 LM 에 의해 이동하는 전자와 recombination 하여 빠르게 사라짐을 확인할 수 있다. 홀의 E_{T} 가 낮아지는 경우에는 깊은 E_{T} 인 경우와 달리, 잔여 홀의 이동이 더 쉽게 발생할 수 있지만 낮은 V_{PGM} 으로 program 이 되어 상대적으로 적은 양의 전자가 target WL 에 저장되어 있다고 하더라도 잔여 홀의 농도보다는 훨씬 크기 때문에 target WL 의 안쪽으로는 이동하지 않고 오히려 LM 에 의해서 전자가 이동하는 방향과 같은 방향으로 잔여 홀이 더 빠르게 이동한다.



그림 5.7. 측 방향 (A-A`)에서 리텐션 시간에 따른 (a)전자 및 (b) 잔여 홀의 거동.

5.3 잔여 홀의 영향을 고려한 Lateral Migration 메커니즘 분석

5.8 은 S/P 와 C/P 에서 각각 네 가지 V_{PGM} 으로 program 된 경우의 리텐션 동작 중 발생하는 전하 손실에 의한 ΔV_h 시뮬레이션 결과를 보여준다. C/P 의 경우 S/P 인 경우보다 같은 시간 대비 전하 손실이 더 크게 발생하는데 그 이유는 측 방향의 전계가 C/P 에서 더욱 크고 LM 메커니즘이 이 영향을 받기 때문이다. Target WL 의 인접한 셀이 program 되면 측 방향의 전계는 그렇지 않은 경우보다 감소한다. 이 장에서 진행된 시뮬레이션은 인접 셀이 program 될 경우, target WL 을 program 하기 위해 사용된 V_{PGM} 과 같은 값을 사용하기 때문에 target WL 의 V_{PGM} 이 감소하는 경우 인접 셀의 영향력도 함께 감소한다.



그림 5.8. T = 85 ℃ 에서 C/P 와 S/P 인 경우 각각 네 가지 V_{PGM} (17, 18, 19, 그리고 20 V) 에서 리텐션 동작 중 LM 에 의해 발생하는 ΔV_{th}.

그림 5.8 의 시뮬레이션 결과를 이전 장에서 연구된 방법과 같이 전하 손실/이득 모델을 사용하여 전체 전하 손실을 여러 메커니즘들로 분리하였다.

- 80 -

이 장의 시뮬레이션에서 CTL 내부에서 발생하는 것은 target WL 에 저장된 전자들이 측 방향으로 이동하는 LM 메커니즘이지만 잔여 홀과 인접 셀의 영향으로 인해 LM 메커니즘을 세분화 시켜 각각의 다른 메커니즘으로 정의할 수 있다. 그림 5.9 는 LM 메커니즘으로부터 잔여 홀의 영향과 인접 셀의 영향을 받는 메커니즘들을 분리한 총 세 가지 메커니즘으로 리텐션 동작 중의 전하 손실로 발생한 ΔV_{th} 를 분리한 결과이다. 심벌은 TCAD 시뮬레이션 결과를 나타내며 색깔 실선은 각 메커니즘들을 나타내는 전하 손실 모델이다. 검은색 실선은 각 메커니즘들의 총합으로 구해진 값이다. High V_{PGM} 으로 program 된 S/P에서, LM은 두 개의 메커니즘으로 분리될 수 있다. Target WL 과 인접 셀에 잔여 홀은 존재하지 않기 때문에 인접 셀에 의한 LM_{adi}와 일반적으로 target WL 에서 퍼지는 LM 두 가지의 메커니즘으로 분리된다. 이 경우에 LM adj.가 먼저 발생한 후 LM 에 의해서 나머지 전하 손실이 발생한다. S/P 에서 V_{PGM} 이 감소함에 따라 잔여 홀이 target WL 및 인접 셀에 존재하게 되고 LM_H를 발생시킨다. S/P에서 low V_{PGM}에 의해 program될 경우, LM_H, LM_{adi}, LM 순서로 전하 손실을 일으킨다. 이때 low V_{PGM} 에서 final V_{th(LMadi.)} 값은 high VPGM 인 경우보다 감소하는데 그 이유는 인접 셀에 저장된 전자가 감소하기 때문이다. C/P 인 경우에는 LMadi. 메커니즘이 모든 VPGM 조건에서 고려되지 않지만 LM_H 는 low V_{PGM} 인 경우에 잔여 홀이 존재하기 때문에 고려되어야 한다. 이 경우도 S/P 에 잔여 홀이 존재하는 경우와 마찬가지로 LM_H가 saturation 된 뒤 LM 이 발생한다. LM_H는 가장 초기에 target WL 에서 퍼지는 전자와 완전히 recombination 되어 saturation 되기 때문에 인접 셀의 영향을 받지 않는 것으로 볼 수 있고 이에 따라, 셀 패턴에 의한 영향력을 나타내는 LM_{adj}는 LM_H가 saturation 된 후 발생한다.



그림 5.9. T = 85 ℃에서 C/P와 S/P 패턴에 따라 발생할 수 있는 세 가지 LM 메커니즘 의 분리 경우의 수.

그림 5.10은 5.9에서 분류된 경우의 수를 바탕으로 다양한 온도 (T = 25, 40, 55, 70, 그리고 85 ℃)에서 총 세 가지 전하 손실 모델을 사용하여 TCAD 시뮬레이션 결과값에 모델링 값을 최적으로 피팅 한 결과를 보여준다. 그림 5.8 과 5.10 에서 S/P 인 경우에만 공통적으로 변곡점이 발생함을 볼 수 있고 VPGM 이 감소함에 따라 변곡점이 사라지는 현상을 고려할 때, 이 변곡점이 LM_{adi}와 연관이 있음을 확인할 수 있다.



그림 5.10. 다양한 온도 (T = 25, 40, 55, 70, 그리고 85 ℃)에서 리텐션 동작 중 발생하는 전체 전하 손실 모델링 결과.

그림 5.11(a)는 V_{PGM} = 17 V으로 target WL 이 program 된 경우 리텐션 동작 중 발생하는 ΔV_{th} 에서 세 가지 메커니즘으로 분리하기 위해 사용된 final $V_{\text{th}(\text{mechanism})}$ 파라미터 값을 보여준다. S/P 인 경우에만 존재하는 $\Delta V_{\text{th}(\text{LMadj.})}$ 는 온도가 증가함에 따라 감소하는데, 그 이유는 target WL 과 인접 셀에 저장된 전자들 모두 높은 온도에서 더 빠르게 이동하기 때문에 target WL 과 인접 셀 사이의 전계가 빠르게 감소하기 때문이다. 따라서, LMadi, 메커니즘은 온도가 증가함에 따라서 적게 발생하는 반면 LM은 증가한다. C/P에서 LM_H의 비율은 거의 변하지 않기 때문에 ΔV_{thILM}은 온도가 증가하더라도 거의 같은 값을 보인다. 잔여 홀의 양은 인접 셀과 온도에 의한 영향을 거의 받지 않기 때문에 패턴과 온도와 상관없이 거의 같은 값을 보인다. 5.11(b)는 각 메커니즘들의 Tmechanism(k) 로부터 추출된 VPGM 의 크기에 따른 Ea 값을 나타낸다. EalLM은 high VPGM 인 경우에 패턴 간의 차이가 크지만 VPGM 이 감소함에 따라 패턴 간의 차이가 감소하여 V_{PGM} = 17 V 에서는 거의 같은 값을 갖는 것을 확인할 수 있다. 이러한 이유는 4 장에서 분석된 결과와 같이 패턴 간의 차이가 감소하였기 때문이다. Low VPGM 으로 program 된 경우 인접 셀과 target WL 사이의 측 방향 전계가 감소하고 이것은 인접 셀의 영향력 감소를 의미한다 따라서 Ea(LMadi.)는 VPGM 이 감소함에 따라서 커진다. Ea(LMH) 는 앞서 언급한 대로 잔여 홀이 존재하는 low V_{PGM} 으로 program 된 경우에만 존재하며 그림 5.11(a)에서도 보였듯이 인접 셀에 영향 또한 받지 않으므로 패턴에 따른 차이도 보이지 않는다.



그림 5.11. (a) 다양한 온도 (T = 25, 40, 55, 70, 그리고 85 ℃) 및 두 패턴에서 메커니즘 분리를 위해 사용된 전하 손실 모델의 V_{th(mechanism)} 파라미터. (b) τ_{mechanism(k)} 로부터 추출 된 V_{PGM}의 크기와 두 패턴에 따른 *E*_a.

5.4 요 약

이 장에서는 LM 메커니즘에 영향을 끼치는 것으로 알려진 잔여 홀과 인접 셀의 영향력이 반영된 LM_H 와 LM_{adj}. 메커니즘을 기존 LM 메커니즘으로부터 분리하여 리텐션 특성을 분석하였다. 잔여 홀과 인접 셀의 영향력 분석은 다 양한 V_{PGM} 과 두 개의 패턴에서 TCAD 시뮬레이션을 통해 진행되었다. TCAD 시뮬레이션을 사용하여 잔여 홀은 CTL 내에 low V_{PGM} 으로 program 되었을 경 우 target WL 에 저장된 전자 바로 옆에 존재할 수 있음을 확인하였고 리텐션 동작 중 LM 메커니즘이 존재하지 않은 경우보다 빠르게 발생하여 잔여 홀이 전자와 recombination되어 완전히 사라질 때까지의 LM을 LM_H로 정의할 수 있 음을 확인하였다. 또한 S/P 에서 보이는 리텐션 동작 중 전하 손실에 의한 ΔV_h 의 변곡점을 통해 인접 셀에 저장된 전자에 따라서 target WL 에서 발생하는 LM 에 영향을 끼침을 확인하였고 인접 셀의 영향을 받으면서 발생하는 LM 을 LM_{adj}로 정의하였다. 이렇게 세분화된 총 세 가지의 LM 과 관련된 메커니즘을 사용하여 리텐션 동작 중 발생하는 전하 손실에 대한 잔여 홀과 인접 셀의 영 향력을 정확하게 고려할 수 있다.

제 6장 Lateral Migration 메커니즘에 의한 간섭 현상

6.1 낸드 플래시 메모리의 간섭 현상

기존 낸드 플래시 메모리에서 간섭 현상은 target WL 에 저장된 전자의 양에 변화가 없더라도 인접한 셀의 퍼텐셜에 의해 target WL 의 V_h가 변하는 현상을 의미했다. 인접 셀의 퍼텐션들은 그림 6.1 와 같이 인접한 셀이 저장된 전하의 종류 및 크기에 의한 영향과 그림 6.2 에서 보이듯이 게이트 길이 (*L*_g) 혹은 spacer 길이 (*L*_s)와 같은 소자의 물리적인 크기가 감소에 의해 영향을 받고 간 섭 현상을 야기시킨다 [73]. 이러한 간섭 현상에 대한 분석은 target WL 에 저 장된 전자의 양이 일정한 상태에서 인접한 셀의 퍼텐셜의 변화를 주어 그 차 이를 비교하는 방식으로 진행되어왔다. 또한 인접한 셀들의 변화도 *V*_{PASS} 를 변 화시키거나 저장된 전하의 종류 혹은 양을 변화시키며 시간 독립적인 분석이 주로 진행되었다.

이 장에서는 기존에 알려진 그림 6.1 과 6.2 에서 나타낸 것과 같은 CTL 내 의 고정된 전하 혹은 바이어스에 의한 간섭 현상보다는 리텐션 동작 중 발생 할 것으로 예상되는 간섭 현상에 대한 분석을 진행하였다. 이전 장들에서 분 석한 바와 같이 3 차원 낸드 플래시 메모리의 리텐션 동작 중 발생하는 LM 메커니즘은 장기 및 단기 리텐션 동작에서 모두 관측되며, 잔여 홀과 인접 셀 에 저장된 전자의 양과 같은 다양한 요인에 의한 영향을 받는 것으로 분석되 었다. 그림 6.3(a)에서 보이는 바와 같이 target WL (WL_n)에서 발생하는 LM 메 커니즘에 의해 초기에 저장된 위치로부터 측 방향으로 이동하여 V_{th(target_WL)} 를 감소를 야기한다. LM 메커니즘은 target WL 뿐만 아니라 인접한 셀 (WL_(n-1 or n+1)) 에서도 발생하며 이동된 전자들은 target WL 에 들어와 V_{th(target_WL})에 영향을 끼

- 87 -

치는 일종의 간섭 현상을 발생시킨다. 그림 6.4 에서는 기존 LM 에 의한 전하 손실이 발생하는 영역과 본 연구에서 새롭게 제안하는 전하 손실 발생 영역을 보여준다. 기존에는 Vth를 고려할 때, target WL 바로 아래에 존재하는 전자들만 고려하여 리텐션 동작 중 발생하는 LM 에 의한 전하 손실을 모델링 하였다. 그러나 LM 에 의하여 target WL 중심에서 저장된 전자들이 한 번에 측 방향으 로 이동하는 것이 아니라 일정 시간 동안 spacer 에 머무르는 기간이 존재한다. Spacer 에서 머무르는 전자들은 $V_{\text{th(target WL)}}$ 를 read 하는 과정에서 커플링에 의해 target WL 의 바깥쪽으로 이동되었음에도 V_{th(target WL}에 기여하여 실제 target WL 에서 LM 에 의해서 이동한 양 대비 V_{th(target WL)}의 값을 크게 측정되도록 만든다. 따라서 LM 에 의한 전하 손실로 야기된 ΔV_h 의 보다 정확한 분석을 위해서는 새롭게 제안된 바와 같이 spacer 및 인접 셀 아래의 CTL 내의 전자들을 추가 적으로 고려해야 한다. 기존과 같이 target WL 바로 아래 부분을 리텐션 동작 중 발생하는 전하 손실 영역으로 고려하고 나머지 spacer와 인접 셀 아래 CTL 영역은 간섭 현상이 발생하는 영역으로 정하여 리텐션 동작 중 target WL에서 발생하는 LM 에 의한 전하 손실 속에 포함된 간섭 현상에 의한 전하 이득 성 분을 분리하였다.



그림 6.1. V_{PGM} = 20 V 이고 target WL 에 V_{th}가 인가되고 있는 경우에서 C/P 와 S/P 각각 에서 CTL 의 측 방향 단면에서의 target WL 과 인접 셀의 surface 퍼텐셜.



그림 6.2. (a) 게이트 길이(Lg)와 (b) spacer 길이 (Ls) 감소에 따른 간섭 현상 [73].



그림 6.3. 리텐션 동작 중 발생하는 LM 메커니즘에 따른 target WL 에서의 V_{th} 감소와 인접셀로부터의 LM 에 의한 V_{th} 증가.


그림 6.4. 기존 리텐션 동작 중 발생하는 LM 메커니즘에 의한 전하 손실 범위와 새롭 게 제안된 LM 메커니즘에 의한 전하 손실 범위.

6.2 TCAD 시뮬레이션을 통한 Effective Trapped Charge 추출

3차원 낸드 플래시 메모리의 리텐션 동작 중 CTL 내의 전자의 거동을 분석 하기 위해 가장 적합한 방법인 TCAD 시뮬레이션을 통해 LM 에 의한 전하 손 실 중 포함된 간섭 현상을 분리하였다. 이 장에서도 Synopsys 사의 Senaturus 시뮬레이션 프로그램을 사용하였고 그림 6.4 에서 간섭 현상의 분석을 위해 사 용된 3 차원 낸드 플래시 구조의 단면과 파라미터가 나와있다. 이 시뮬레이션 에서 사용된 물리적 모델 파라미터는 표 5.2 에 나온 값들과 동일한 값을 사용 하였다. 이전 장에서 진행된 시뮬레이션과 마찬가지로 낸드 스트링에서 BL current (*I*_{BL})의 일반적인 전기적 특성을 반영하기 위해서 Poisson 과 drift/diffusion 방정식이 cylindrical 좌표계에서 계산되도록 적용하였고 CTL 내 부에서 전하들의 측 방향 이동을 구현하기 위해서 PF model이 사용되었다. 리 텐션 동작 중 발생하는 전하 손실에 의한 특정 시간에서의 Vth(target_WL)은 IBL = 1 nA 를 기준으로 설정되었다. 이 장에서 사용되는 총 세 개의 패턴의 정확한 비교를 위해 리텐션 동작에 따른 전하 손실이 saturation 되었을 때의 총 $\Delta V_{\rm th}$ 값이 같도록 program time (tpGM)이 적절하게 조절하였다. 이전 장에서 다양한 외부 요인에 영향을 받는 경우의 LM 메커니즘을 분석할 때와 같이, LM 을 제 외한 나머지 전하 손실 메커니즘들은 TCAD 시뮬레이션 상에서 구현되지 않 았다. 그 이유는 리텐션 동작 중 간섭 현상에 의해 포함되는 전하 이득 성분 은 LM 메커니즘에 의해 이동하는 전자에 의해서 발생하기 때문이다. 간섭 현 상 분석을 위해 이전 장에서 소개된 C/P 와 S/P 외에 NPN 패턴에서의 분석도 진행하였다. NPN 패턴은 CTL 에 전하가 initialization 단계를 시행하지 않은 neutral 상태에서 target WL 에만 program 을 진행한 것으로써 target WL 을 제외 한 모든 셀의 상태가 neutral 이다. 실제 3 차원 낸드 플래시 동작에서는 거의 보이지 않는 패턴이지만 간섭 현상의 정확한 분석을 위해서 도입하였다.

- 93 -



그림 6.5. TCAD 시뮬레이션에서 사용된 3 차원 낸드 플래시 메모리 구조 및 디바이 스 파라미터.

리텐션 동작 중 간섭 현상을 발생시킬 것으로 예상되는 CTL 내부의 spacer 와 인접 셀 아래의 영역에 대해 effective trapped charge (*N*_{Leff})를 TCAD 시뮬레이 션을 통하여 계산하였다. 하나의 전자가 target WL 의 가운데에 위치한다고 가 정했을 때, *V*_{th(target_WL}) 값이 가장 크고 전자가 인접 셀 방향으로 이동할수록 감 소한다. 이러한 위치에 대한 의존성을 반영하지 않고 단순히 spacer 와 인접 셀 아래의 CTL 영역에 존재하는 전자의 절대적인 양을 비교하는 것으로는 간섭 현상의 정확한 분석이 불가능하다. 따라서, CTL 내의 spacer 와 인접 셀 영역 아래의 존재하는 전자의 양과 위치에 따른 의존성을 반영한 *N*_{Leff}를 계산하는 것으로 리텐션 동작 중 발생하는 간섭 현상 분석을 시작하였다.

- 94 -

그림 6.5(a)는 N_{teff} 계산을 위해 측 방향의 위치 의존성을 파악하기 위한 시 뮬레이션 환경을 보여준다. 빨간색으로 표시된 영역은 완전하게 충전된 영역 으로써 target WL 외의 영역에서 정중앙에 있을 때에 V_{th(target WL)} 값과 비교하기 위해서 설정되었다. 전하 영역의 높이는 CTL 의 두께와 같고 측 방향의 길이 는 L_s의 1/10 크기를 사용하였다. 이 영역의 전체 전하는 표 5.2 에서 소개된 전자 트랩 밀도의 값인 3.0x10¹⁹ cm⁻³에 전자가 모두 트랩 되어 완충된 상태와 같다. 하나의 영역을 이동하는 경우 비대칭한 커플링에 의해 실제 LM 메커니 즘의 거동과 차이가 있으므로 두 개의 영역을 설정하고 target WL의 중심에서 부터 동일한 거리로 이동시키며 시뮬레이션을 진행하였다. 그림 6.5(b)는 이렇 게 추출된 V_{th(target_WL)}의 CTL 내 전하의 측 방향 위치에 따른 의존성을 나타내 는 그림이다. 완충된 전하 영역이 target WL 의 중심 바로 아래 있는 경우 Vth(target WL)가 최대치이기 때문에 비율은 1 이다. 전하 영역이 인접 셀 영역으로 이동함에 따라 ratio 는 점차 감소하여 거의 0 에 가까워진다. 이 결과를 통해 spacer 에 LM 메커니즘에 의해 이동한 전자가 존재하는 경우 target WL 바로 아래에 존재하는 만큼은 아니더라도 어느 정도 V_{th(target WL}에 기여함을 확인할 수 있다. 또한 인접 셀 영역에 전자가 존재하는 경우는 상당히 영향력이 감소 할 것으로 보인다. 그림 6.5(b)에서 얻은 위치에 따른 V_{th(target_WL)}의 ratio 를 CTL 내의 트랩된 전자 분포에 곱함으로써 N_{teff}를 얻을 수 있고 그 결과는 그림 6.6 에 나와있다. 그림 6.6 은 각각 C/P 와 S/P 에서 program 동작 직후 계산된 N_{teff} 를 보여준다. 점선은 TCAD 에서 바로 얻은 측 방향 (A-A`) 에서 트랩 된 차 지 분포이고 실선은 그림 6.5(b)의 ratio 가 곱해진 N_{teff} 이다. 두 패턴 모두 인 접 셀의 저장된 전자 혹은 홀은 N_{teff} 로 변환되더라도 상당한 양이 남아있는 것을 확인할 수 있다. Nteff 는 이미 위치에 대한 의존성이 반영된 상태이기 때 문에 spacer 와 인접 셀 영역에서 적분을 통해 Vth(target WL)에 대한 리텐션 동작 중의 간섭 효과의 영향을 계산할 수 있다.

- 95 -



그림 6.6. (a) V_{th(target_WL)}에 대한 CTL 내 전자의 측 방향 위치 의존성 파악을 위한 시 뮬레이션 방법. (b) CTL 내 위치에 따른 V_{th(center)} 대비 V_{th(outside)}.



그림 6.7. TCAD 시뮬레이션에 의한 CTL 내의 측 방향 (A-A`)의 전자 및 정공 분포 와 그림 6.5 의 ratio 로 구해진 전자와 정공의 N_{t.eff}. (a) C/P. (b) S/P.

6.3 리텐션 동작 중 포함되는 간섭 현상 성분 분리

그림 6.7 은 NPN 의 R1 영역에서 리텐션 시간에 따라 N_{teff}를 적분한 값이다. R1 은 target WL 바로 아래의 영역으로 초기에 전자가 대부분 저장되어 있다. R1 에서 N_{teff}는 리텐션 시간이 지남에 따라 LM 메커니즘에 의해서 점차 감소 한다. R1 에서 N_{teff} 의 감소는 전하 손실 메커니즘으로 고려될 수 있는데 V_{th(target WL)}를 감소시키기 때문이다. 따라서 R1 에서 LM 메커니즘에 의해 발생 하는 전하 손실은 ΔV_{th(Retention})으로 정의한다. 그림 6.8 은 NPN 의 R2 영역에서 리텐션 시간이 지남에 따라 N_{teff}를 적분한 값이다. R2 는 spacer 와 인접 셀 바 로 아래의 CTL 영역이며 NPN 패턴의 경우 이 영역에 초기에 존재하는 전하 는 없다. 따라서 R1 에서 LM 에 의해 이동하는 전자들은 리텐션 시간이 지남 에 따라 R2 로 들어오고 R2 로 들어온 양만큼 다시 빠져나가게 된다. R2 로 들 어온 전자의 양은 20 sec. 부근에서 최대에 도달하여 이후 점차 감소하며 이때 감소하는 양은 들어온 양과 정확하게 같다. R2 에 들어오는 전자들은 Vth(target WL)를 증가시키기 때문에 전하 이득 메커니즘으로 정의된다. 20 sec. 이후 에 R2 의 전자는 점차 감소하여 V_{th(target_WL)}를 감소시키기 때문에 이것은 전하 손실 메커니즘으로 정의된다. 따라서 R2 에서 전자의 이동에 따른 Vth(target WL)에 대한 영향력을 전하 손실/이득 모델로 나타내기 위해서는 두 개의 함수를 필 요로 하며 두 함수의 합은 $\Delta V_{\text{th(Interference)}}$ 로 정의한다. 그림 6.7 과 6.8 의 결과를 바탕으로 NPN 패턴에서 리텐션 동작 중 발생하는 LM 메커니즘에 의한 $\Delta V_{
m h}$ 는 총 세 개의 함수로 분리됨을 확인하였다. 그림 6.9 는 리텐션 시간에 따른 $\Delta V_{\rm th}$ 가 R1에서 LM 메커니즘에 의한 $\Delta V_{\rm th(Retention)}$ 과 R2에서의 전하 이득 성분과 전하 손실 성분의 합으로 표현되는 $\Delta V_{th(Interference)}$ 으로 모델링 된 결과를 보여준 다. 그림 6.8 의 결과에서, R2 에 들어온 전자의 양만큼 다시 빠져나가기 때문에 ΔV_{th(Gain)}과 ΔV_{th(Loss)} 파라미터의 값은 같다. 또한 ΔV_{th(Interference)}이 20 sec. 부근에서

- 98 -

최댓값을 가져야 하기 때문에 두 메커니즘의 *τ*_{mechanism(k)} 값을 적절하게 정하였다. NPN 패턴에서 target WL 근처를 제외하고는 CTL 내부에 전계가 존재하지 않기 때문에, 그림 6.9 에서 나온 세 가지 메커니즘의 β_{mechanism(k)}는 모두 같은 값이 사용되었다. LM 에 의해 발생하는 *V*_{th(target_WL)} 감소는 리텐션에 의한 것과 간섭 현상에 의한 것으로 분리될 수 있으며, 간섭 현상은 다시 전하 이득 성분과 전하 손실 성분의 합으로 분리됨을 확인하였고 이는 다음과 같은 식으로 표현된다.

$$\Delta V_{\text{th(total)}} = \Delta V_{\text{th(Retention)}} + \Delta V_{\text{th(interference)}}$$
(3)

$$\Delta V_{\text{th}(\text{interference})} = \Delta V_{\text{th}(\text{Gain})} \times \left[1 - \exp\left(-\left(\frac{t_R}{\tau_{\text{Gain}}}\right)^{\beta_{\text{Gain}}}\right) \right]$$

$$\Delta V_{\text{th}(\text{Loss})} \times \left[1 - \exp\left(-\left(\frac{t_R}{\tau_{\text{Loss}}}\right)^{\beta_{\text{Loss}}}\right) \right]$$
(4)



그림 6.8. 리텐션 시간이 지남에 따른 NPN 에서 R1 에 존재하는 전자의 Nt.eff 변화.



그림 6.9. 리텐션 시간이 지남에 따라 NPN 패턴에서 R2에 들어오고 나가는 전자의 $N_{\rm t,eff}$ 변화.



그림 6.10. 리텐션 시간이 지남에 따라 NPN 패턴에서 발생하는 간섭 현상을 고려하 여 전하 손실/이득 함수로 표현된 LM 에 의한 ΔV_{th}.

그림 6.10 은 R1 에서 각각 S/P 와 C/P 인 경우 리텐션 시간이 지남에 따른 LM 메커니즘에 의해 야기되는 N_{t,eff}의 감소를 보여준다. 두 패턴 모두 R1 에 서의 N_{t,eff} 감소는 V_{th(target_WL)}를 감소시키기 때문에 전하 손실 성분으로 정의된 다. 그림 6.11(a)의 C/P 는 R2 에 있는 정공을 추가적으로 고려해야 한다. 그림 6.6 에 보였듯이, N_{t,eff} 로의 변환에도 불구하고 상당히 많은 양의 정공 혹은 전 자가 R2에 존재함을 확인할 수 있다. 그림 6.11(a)의 전자의 N_{t,eff}는 그림 6.8 에 서의 전자의 거동과 상당히 비슷하지만 손실 성분이 좀 더 급격하게 발생한다.

- 101 -

리텐션 동작 초기 R2 에 존재하던 정공의 N_{teff} 는 R2 로 들어오는 전자들과 recombination 함에 따라서 감소하게 되고 이것은 $V_{\text{th(target_WL)}}$ 를 증가시킨다. 반 면 R2 에서 전자의 N_{teff} 는 R2 로 들어온 만큼 기존에 존재하던 정공과 recombination 되면서 감소한다. 정리하자면, C/P 에서 R2 로 들어오는 전자들은 전하 이득 성분이고 R2에 들어온 전자들이 정공과 recombination 함에 따라 전 하 손실 성분을 야기하지만 동시에 정공을 감소시키고 이것은 $V_{\text{th(target_WL)}}$ 를 증 가시키는 요인이다. 그러므로 C/P 에서는 정공에 의한 이득 성분이 추가되기 때문에 R2 에서는 전체적으로 전하 손실 성분보다 이득 성분이 더 우세하다고 분석하였다. 그림 6.11(b)에서 보이듯, C/P 와 달리 S/P 에서는 전자의 N_{teff} 가 프 로그램 직후부터 존재함에 따라 R1 에서 R2 로 들어가는 전자에 의한 N_{teff} 의 변화는 NPN 이나 C/P 에서의 변화보다 작고 이것은 전하 이득 성분의 감소를 의미한다. 반면 전하 손실 성분은 다른 두 패턴에서보다 클 것으로 예상됨에 따라, S/P 의 R2 에서는 전하 손실 성분이 우세할 것으로 분석되었다.



그림 6.11. 리텐션 시간이 지남에 따라 R1 에 존재하는 전자의 N_{t,eff} 변화. (a) C/P. (b) S/P.



그림 6.12. 리텐션 시간이 지남에 따라 R2 에 존재하는 전자의 N_{t,eff} 변화. (a) C/P. (b) S/P.

그림 6.12 는 S/P 에서 target WL 의 program 동작 중 사용된 V_{PGM}을 20 V 로 고정하고 양옆의 인접 셀들의 V_{PGM}을 감소시킴에 따라 리텐션 시간 동안 변하 는 ΔV_{th(target_WL})를 나타낸 그림이다. 인접 셀의 program 동작 중 사용된 V_{PGM}이 감소함에 따라, 이전 장의 S/P 인 경우에도 보였던 변곡점이 점차 사라지는 경 향을 관측할 수 있었다. 그림 6.13은 C/P에서 마찬가지로 V_{PGM}은 20 V 로 고정 하고 erase voltage (V_{ERS})가 변화함에 따라 관측되는 리텐션 시간에 의한 ΔV_{th(target_WL}) 값을 나타낸 그림이다. 동일한 리텐션 시간이 지났을 때 V_{ERS} 가 중 가할수록 ΔV_{th(target_WL}) 가 커지는 것을 확인하였다. 그림 6.12 와 6.13 에서 보인 결과를 R1 과 R2 의 리텐션 동작 중의 전자와 정공에 대한 N_{t,eff} 의 변화를 관측 하는 것으로 이러한 현상에 대한 분석을 진행하였다.



그림 6.13. S/P 에서 인접 셀 program 에 사용된 V_{PGM}의 변화에 따른 LM 메커니즘에 의한 리텐션 시간 동안의 ΔV_{th}.



그림 6.14. C/P 에서 인접 셀 erase 에 사용된 $t_{\rm ERS}$ 의 변화에 따른 LM 메커니즘에 의한 리텐션 시간 동안의 $\Delta V_{\rm th}$.

그림 6.14(a)는 R2에서 리텐션 시간이 지남에 따른 다양한 V_{FRS}에 의한 정공 의 N_{teff} 변화를 보여준다. 높은 V_{ERS}로 erase 된 경우, 리텐션 시간이 10⁷ sec 에 도달하더라도 상당한 양의 정공이 R2 에 남아있음을 확인하였다. 낮은 V_{ERS} 로 erase 된 경우는, 리텐션 시간이 지남에 따라 빠르게 사라지는데 그 이유는 정 공의 N_{teff}가 상당히 적게 남아있기 때문이다. 그림 6.14(b)는 R1 에서 LM 에 의 해 감소하는 전자의 N_{teff}에 대한 V_{ERS}의 영향을 보인다. 높은 V_{ERS}에 의해 인 접 셀에 저장된 정공의 양이 많아졌기 때문에 측 방향 전계의 크기가 커짐에 따라 R1 에서 R2 로 전자가 더 빠르게 이동한다. 그림 6.15 는 인접 셀의 program 을 위해서 사용된 VPGM 이 감소함에 따라 리텐션 동작 중의 R1 과 R2 에서의 N_{teff} 변화를 보여준다. 인접 셀의 V_{PGM} 이 감소함에 따라 R2 에 저장되 어 있던 전자가 점차 감소하여 R2 의 전하 이득 성분이 증가하는 것을 확인하 였다. 이 결과는 그림 6.12 에서 보인 변곡점이 R2 영역의 전자의 N_{teff}에 의한 전하 손실/이득의 비대칭으로 인해 발생하며, V_{PGM}가 감소함에 따라 이러한 비 대칭이 해소되어 변곡점이 거의 사라짐을 뒷받침한다. 그림 6.15(b)는 S/P 에서 는 C/P 보다 상대적으로 인접 셀에 저장된 전하 량이 R1 에서 LM 에 의해 감 소하는 전하의 거동에 큰 영향을 끼치지 않는다는 결과를 보여준다. 그림 6.16 과 그림 6.17은 지금까지의 C/P와 S/P 각각에서 R1과 R2 에서의 리텐션 시간 에 따른 N_{teff} 변화 분석을 바탕으로 LM 에 의해 발생하는 전하 손실에 대해 간섭 현상을 고려한 전하 손실/이득 모델링 결과를 보여준다. 그림 6.9 의 NPN 패턴에서의 간섭 현상 모델링 결과와 마찬가지로 C/P 와 S/P 도 간섭 현상을 두 개의 메커니즘의 합으로 표현될 수 있음을 확인했다. C/P 에서는 리텐션 동 작 중 R2 에서 전하 손실 성분보다 전하 이득 성분이 더 우세하기 때문에 final V_{th(Gain}의 값을 final V_{th(Loss)} 보다 크게 설정하였다. 반면 S/P 는 R2 에서 전 하 손실 성분이 전하 이득 성분보다 우세하기 때문에 final Vth(Loss)의 값이 전하 이득의 것보다 더 크게 설정되었다. 그림 6.16 에서 간섭 현상이 제외된 LM

- 105 -

메커니즘에 의한 전하 손실은 실제 read 동작을 통해 측정되는 ΔV_h 값보다 더 크게 발생하는 것을 확인할 수 있다. 따라서 C/P의 LM은 실제 target WL에서 발생하는 양 대비 측정되는 값은 과소평가됨을 확인하였다. 반대로 그림 6.17 의 S/P의 경우에는 우세한 전하 손실 성분으로 인해 LM에 의한 ΔV_h가 실제 양 대비 과소평가되어 있음을 확인하였다.



그림 6.15. C/P 에서 인접 셀 erase 에 사용된 t_{ERS}에 따른 전자의 리텐션 동작 중의 N_{t,eff} 거동. (a) R2. (b) R1.



그림 6.16. S/P에서 인접 셀 program에 사용된 V_{ERS}에 따른 정공과 전자의 리텐션 동작 중의 N_{teff} 거동. (a) R2. (b) R1.



그림 6.17. 리텐션 시간이 지남에 따라 C/P에서 발생하는 간섭 현상을 고려하여 전 하 손실/이득 함수로 표현된 LM에 의한 ΔV_{th}.



그림 6.18. 리텐션 시간이 지남에 따라 S/P 패턴에서 발생하는 간섭 현상을 고려하 여 전하 손실/이득 함수로 표현된 LM 에 의한 ΔV_{th}.

그림 6.19 는 위에서 분석된 두 개의 패턴 (S/P, C/P)과 달리 target WL 의 인 접한 두 개의 셀의 저장된 캐리어의 종류가 다른 비대칭한 경우에서의 간섭 현상의 경향을 나타낸다. 낸드 플래시 메모리 스트링에서 WL 이 시작되는 부 분과 끝 부분에는 강전계 효과에 의한 hot carrier effect 등을 경감시키기 위해 dummy WL이 사용된다. dummy WL들은 메모리 셀로 사용되지 않기 때문에 전 자가 저장되지 않음에 따라 낸드 스트링의 양 끝 부분에서는 비대칭한 P-P-E 혹은 E-P-P 패턴이 발생하게 된다. 이러한 비대칭한 경우는 기존의 S/P 와 C/P 에서의 R2 영역에서 발생하는 전하의 거동이 모두 발생하게 된다. 그림 6.19 에 서 보이듯이, 리텐션 시간이 지남에따라, 한 쪽은 C/P의 R2 영역과 마찬가지로 정공에 의해 Gain 성분이 우세하고 다른 한 쪽은 S/P 의 R2 영역처럼 Loss 성 분이 우세한 거동을 보인다. R1 영역은 대칭인 경우와 마찬가지로 저장되어 있 던 전자가 LM 에 의해 이동하므로 Loss 성분만을 보인다. 전계의 크기가 dummy WL 에 저장되어 있는 정공에 의해 반대편 보다 강하기 때문에 R1 영역 에서 LM 에 이동하는 전자의 양은 dummy WL 방향으로 더욱 크게 이동할 것 으로 보인다. 따라서, C/P 의 경우만큼 Gain 성분이 우세하지는 않지만 NPN 패 턴과 비교해서는 Gain 성분이 조금 더 우세할 것으로 분석되었다.



그림 6.19. 리텐션 시간이 지남에 따라 낸드 스트링의 양 끝단에서 발생하는 비대칭 패턴 (E-P-P 혹은 P-P-E)에서의 간섭 현상 분석.

6.4 요 약

이 장에서는 리텐션 동작 중 LM 메커니즘에 의한 target WL 의 ΔV_{th}속에 포 함된 간섭 현상을 분석하고 분리하였다. CTL 내부의 전하의 위치에 따른 의존 성을 전하의 양과 통합적으로 고려하기 위해서 TCAD 시뮬레이션을 통해 전 자와 정공의 N_{teff}를 추출하였다. 총 세 개의 패턴에서 각각 target WL 의 바로 아래 영역과 인접 셀 및 spacer 영역을 구분하여 리텐션 시간 동안의 N_{teff} 거 동을 확인하고 분석하였다. 간섭 현상은 인접 셀 및 spacer 영역에서의 전자 및 정공의 농도 및 위치에 따라 영향을 받으며 target WL 에 대한 전하 손실 및 이득 성분으로 분리가 가능하다. NPN 패턴의 경우 해당 영역에서 전하 손 실과 이득 성분이 같고 C/P 에서는 전하 이득 성분이 더 우세하다. 마지막으로 S/P 에서는 전하 손실 성분이 우세하다. N_{teff} 분석을 통하여 LM 메커니즘에 의 한 ΔV_{th} 속에 포함된 간섭 현상을 전하 손실/이득 모델을 사용하여 총 세 가지 메커니즘에 대한 함수로 분리하고 셀 패턴 의존성으로 알려진 현상에 대한 분 석을 진행하였다.

제 7 장 결 론

본 논문에서는 3 차원 낸드 플래시의 장기 및 단기 리텐션 동작 중 발생하 는 다양한 전하 손실 메커니즘을 전하 손실/이득 모델을 통해 분리하고 분석 을 진행하였다. 3 차원 낸드 플래시의 장기 리텐션 특성은 기존 2 차원 평판 구 조 낸드 플래시 메모리에서 보고된 수직 방향으로 발생하는 세 개의 전하 손 실 메커니즘 (De-trapping, TAT, Nit recovery)에 추가적으로 LM 메커니즘이 발생 한다. 2 차원 평판 구조에서 제시된 세 가지 수직 방향 메커니즘의 전하 손실/ 이득 모델 파라미터의 제한 조건을 바탕으로 LM 을 포함한 새로운 제한 조건 을 설정하고 TCAD 시뮬레이션을 통해 검증하였다. 검증된 제한 조건을 사용 하여 다양한 P/E cycle 횟수에서의 측정 결과에 대해 전하 손실/이득 모델을 통한 모델링을 진행하였고 파라미터 분석을 통해 tunneling oxide 의 열화와 리 텐션 동작 중의 전하 손실 메커니즘 발생량 및 거동을 분석하였다. 3 차원 낸 드 플래시 메모리의 단기 리텐션 동작에서는 기존 보고된 세 가지 메커니즘 (BE-detrapping, VR, LM) 외에 추가로 low PV level 에서 영향을 끼칠 것으로 예 상되는 잔여 홀 성분의 영향을 받는 LM_H 메커니즘을 새롭게 정의하여 기존 LM 메커니즘으로부터 해당 성분을 분리하였다. 총 네 개의 메커니즘을 사용 하여 PV1 level 에서의 단기 리텐션 측정 결과를 모델링하고 해당 레벨에서 C/P 와 S/P 간 차이가 상당히 감소하여, 셀 패턴 의존성이 인접 셀에 저장되는 전하의 양에 따라 달라짐을 확인하였다.

3 차원 낸드 플래시 메모리의 구조적 특성으로 인해 새롭게 발생하는 LM 메커니즘은 장기 및 단기 리텐션 동작에서 공통적으로 발생하는 주요한 전하 손실 메커니즘인 것으로 분석되었다. 따라서, 3 차원 낸드 플래시에서 LM 메커

- 112 -

니즘에 대한 자세한 분석이 필요함을 확인하였다. LM 메커니즘은 단기 리텐션 동작 분석에서 보인 잔여 홀 성분과 같은 3 차원 낸드 플래시에서 발생하는 추가적인 요소들에 대해 영향을 받는다. 이에 대한 자세한 분석을 위해, 리텐 션 동작 중 잔여 홀의 거동 및 영향을 TCAD 시뮬레이션을 통해 확인하고 LM 메커니즘에 대한 영향력을 분석하였다. 잔여 홀에 의한 영향력 외에도 인 접 셀에 저장된 전자 혹은 정공의 양에 따른 측 방향 전계 변화에 의한 셀 패 턴 의존성을 확인하였다. LM 메커니즘에 의해 리텐션 동작 중 발생하는 간섭 현상과 셀 패턴 의존성을 종합적으로 고려하기 위해 CTL 내부의 측 방향 위 치 의존성이 포함된 전자와 정공의 N_{teff} 를 추출하였다. 세 가지 패턴 (NPN, C/P, S/P)에서 리텐션 동작 중 N_{teff}의 변화를 통해 셀 패턴에 따른 LM 에 대한 영향력 및 간섭 현상을 분리하고 분석하였다. 간섭 현상은 주로 인접 셀과 spacer 영역에 존재하는 전자 혹은 정공의 양에 따라 결정되며 Vth(target WL)의 관 점에서 전하 이득 성분과 손실 성분의 합으로 구성됨을 확인하였다. 3 차원 낸 드 플래시 메모리에서 리텐션 동작 중 LM 메커니즘에 의한 전하 손실은 target WL 에서 측 방향으로 전자가 이동하는 성분에 의한 $\Delta V_{\text{th}(Retention)}$ 과 간섭 현상에 의한 $\Delta V_{
m th}(Interference)$ 로 분리되며 $\Delta V_{
m th}(Interference)$ 는 다시 전하 손실과 이득 성 분의 두 개의 함수로 표현된다. 리텐션 동작 중 다양한 요인에 의해 발생하는 전하 손실 메커니즘을 세분화하여 분리함으로써 낸드 플래시의 수명 평가를 위해 일반적으로 사용되는 고온-가속 평가 모델에서 발생하는 Ea roll-off 현상 을 극복하고 정확한 수명을 평가할 수 있다.

참고문 헌

- Y. Park, J Lee, S. S. Cho, G. Jin, and E. Jung, "Scaling and Reliability of NAND Flash Devices", in *Proc. IRPS*, 2014, pp. 2E.1.1–2E.1.4.
- [2] D. Park and J. Lee, "Floating-Gate Coupling Canceller for Multi-Level Cell NAND Flash," *IEEE Transactions on Magnetics*, vol. 47, no. 3, pp. 624–628, 2011.
- [3] J. Y. Seo, Y. Kim, and B.-G. Park, "New program inhibition scheme for high boosting efficiency in three-dimensional NAND array", *Jpn. J. Appl. Phys.*, vol. 53, no. 7, pp. 070304-1–070304-3, Jul., 2014.
- [4] Y. Kim, J. Y. Seo, S.-H. Lee, and B.-G. Park, "A New Programming Method to Alleviate the Program Speed Variation in Three-Dimensional Stacked Array NAND Flash Memory", J. Semicond. Technol. Sci, vol. 14, no. 5, pp. 566–571, Oct., 2014.
- [5] Y. Kim, and M. Kang, "Predictive Modeling of Channel Potential in 3-D NAND Flash Memory", *IEEE Trans. Electron Devices*, vol. 61, no. 11, pp. 3901–3904, Nov., 2014.
- [6] E.-S. Choi and S.-K. Park, "Device considerations for high density and highly reliable 3D NAND flash cell in near future," in *IEDM Tech. Dig.*, Dec. 2012, pp. 9.
- [7] M. Ishiduki, Y. Fukuzumi, R. Katsumata, M. Kito, M. Kido, H. Tanaka, Y. Komori, Y. Nagata, T. Fujiwara, T. Maeda, Y. Mikajiri, S. Oota, M. Honda, Y. Iwata, R. Kirisawa, H. Aochi, and A. Nitayama, "Optimal device structure for pipe-shaped BiCS flash memory for ultra high density storage device with excellent performance and reliability," *in IEDM Tech. Dig.*, Dec. 2009, p. 27.
- [8] J. Jang, H.-S. Kim, W. Cho, Ho Cho, J. Kim, S. I. Shim, Y. Jang, J.-H. Jeong, B-K. Son, D. W. Kim, K. Kim, J.-J. Shim, J. S. Lim, K.H. Kim, S. Y. Yi, J.-Y. Lim, D. Chung, H.-C. Moon, S. Hwang, J.-W. Lee, Y.-H. Son, U.-I. Chung, and W.-S. Lee, "Vertical Cell Array using TCAT Technology for Ultra High Density NAND Flash Memory," *IEEE Symposium on VLSI Tech. Dig.*, T.192-193, 2009.

- [9] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M.Kito, Y.Fukuzumi, M.Sato, Y.Nagata, Y.Matsuoka, Y.Iwata, H.Aochi and A.Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," *IEEE Symposium on VLSI Tech. Dig.*, pp.14-15, 2007.
- [10] Y. Fukuzumi, R. Katsumata, M. Kito, M. Kido, M. Sato, H. Tanaka, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi and A. Nitayama, "Optimal Integration and Characteristics of Vertical Array Devices for Ultra-High Density, Bit-Cost Scalable Flash Memory," in *Proc. IEEE IEDM Tech. Dig.*, pp. 449–452, 2007.
- [11] C. Zambelli, R. Micheloni, and P. Olivo, "Reliability challenges in 3D NAND Flash memories," 2019 IEEE 11th International Memory Workshop, pp. 1-4, 2019.
- [12] C.-Y. Lu, "Future Prospects of NAND Flash Memory Technology-The Evolution from Floating Gate to Charge Trapping to 3D Stacking," *Journal of Nanoscience and Nanotechnology*, vol.12, pp.7604-7618, Oct. 2012.
- [13] M. H. White, D. A. Adams, and J. Bu, "On the go with SONOS," *IEEE Circuits and Devices Magazine*, vol. 16, pp. 22–31, 2000.
- [14] Y. Shin, J. Choi, C. Kang, C. Lee, K. T. Park, J. S. Lee, J. Sel, V. Kim, B. Choi, J. Sim, D. Kim, H. J. Cho, and K. Kim, "A Novel NAND-type MONOS Memory using 63nm Process Technology for Multi-Gigabit Flash EEPROMs," in *Proc. IEEE International Electron Devices Meeting Tech. Dig.*, Dec. 2005.
- [15] H.-T. Lue, S.-C. Lai, T.-H. Hsu, Y.-H. Hsiao, P.-Y. Du, S.-Y. Wang, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, "A critical review of charge-trapping NAND Flash devices," *in IEEE ICSICT Tech. Dig.*, 2008, pp. 807–810.
- [16] W. J. Tsai, S. H. Gu, N. K. Zeus, C. C. Yeh, C. C. Liu, C. H. Chen, T. Wang, S. Pan, and C. Lu, "Cause of data retention loss in a nitride-based localized trapping storage flash memory cell," *IEEE International Reliability Physics Symposium*, 2002, pp. 34–38.
- [17] C. Kang, J. Choi, J. Sim, C. Lee, Y. Shin, J. Park, J. Sel, S. Jeon, Y. Park and K. Kim, "Effect of Lateral Charge Spreading on the Reliability of TANOS

(TaN/AlO/SiN/Oxide/Si) NAND Flash Memory," *IEEE International Reliability Physics Symposium*, pp.167-170, April, 2007.

- [18] C.-P. Chen, H.-T. Lue, C.-C. Hsieh, K.-P. Chang, K.-Y. Hsieh, and C.-Y. Lu, "Study of fast initial charge loss and it's impact on the programmed states Vt distribution of charge-trapping NAND flash," in *IEDM Tech. Dig.*, Dec. 2010, pp. 5.6.1–5.6.4.
- [19] A. Maconi, A. Arreghini, C. M. Compagnoni, G. V. den bosch, A. S. Spinelli, J. V. Houdt, and A. L. Lacaitai, "Impact of lateral charge migration on the retention performance of planar and 3D SONOS devices," *ESSDERC*, 2011.
- [20] N. K. Zous, M. Y. Lee, W. J. Tsai, A. Kuo, L. T. Huang, T. C. Lu, C. J. Liu, T. Wang, W. P. Lu, W. Ting, J. Ku, and C. –Y. Lu, "Lateral Migration of Trapped Holes in a Nitride Storage Flash Memory Cell and Its Qualification Methodology," *IEEE Transactions on Electron Devices*, vol.29, no.9, Sep, 2004.
- [21] S. Aritome, T. Takahashi, K. Mizoguchi and K. Takeuchi, "RTN impact on data-retention failure/recovery in scaled (~1Ynm) TLC NAND flash memories," *IEEE International Reliability Physics Symposium*, 2017, pp. PM-13.1-PM-13.4.
- [22] S. Park, S. Choi, K. S. Jun, H. Kim, S. Rhee, and Y. J. Park, "Investigation on Multiple Activation Energy of Retention in Charge Trapping Memory using Self-Consistent Simulation", in *Proc. ESSDERC*, 2014, pp. 50-53.
- [23] B. Govoreanu, J. V. Houdt, "On the Roll-off of the Activation Energy Plot in High-Temperature Flash Memory Retention Tests and its Impact on the Reliability Assessment," *IEEE Electron Device Letter*, vol. 29, no. 2, pp. 177-179, Feb., 2008.
- [24] B. D. Salvo, G. Ghibaudo, G. Pananakakis, B. Guillaumot, P. Candelier, and G. Reimbold, "A New Extrapolation Law for Data-Retention Time-to-Failure of Nonvolatile Memories," *IEEE Electron Device Letter*, vol. 20, no. 5, pp. 197-199, May. 1999.
- [25] K. Lee, M. Kang, Y. Hwang, and H. Shin, "Accurate Lifetime Estimation of Sub-20-nm NAND Flash Memory," *IEEE Transactions on Electron Devices*, vol. 63, no. 2, pp.659-667, Feb. 2016.

- [26] K. Lee, M. Kang, S. Seo, D. H. Li, J. Kim, and H. Shin, "Analysis of failure mechanisms and extraction of activation energies (*Ea*) in 21-nm NAND flash cells," *IEEE Electron Device Lett.*, vol. 34, no. 1, pp. 48–50, Jan. 2013.
- [27] K. Lee, D. Kang, H. Shin, S. Kwon, S. Kim, and Y. Hwang, "Analysis of failure mechanisms in erased state of sub 20-nm NAND flash memory," in *Proc. 44th Eur. Solid State Device Res. Conf. (ESSDERC)*, Sep. 2014, pp. 58–61.
- [28] D. Kang, K. Lee, S. Kwon, S. Kim, Y. Hwang, and H. Shin, "Analysis of read disturbance mechanism in retention of sub-20 nm NAND flash memory," *Jpn. J. Appl. Phys.*, vol. 54, no. 4, pp. 04DD03-1–04DD03-4, Apr. 2015.
- [29] C. Woo, M. Lee, S. Kim, J. Park, G.-B. Choi, M.-S. Seo, K. H. Noh, M. Kang, H. Shin, "Modeling of Charge Loss Mechanisms during the Short Term Retention Operation in 3-D NAND Flash Memories," *IEEE Symposium on VLSI Tech. Dig.*, T214-T215, 2019.
- [30] C. Woo, S. Kim, J. Park, H. Kim, G. –B Choi, M. –S. Seo, K. H. Noh, M. Kang, and H. Shin, "Modeling of Charge Loss Mechanisms during the Short Term Retention Depending on Program/Erase Cycle Counts in 3-D NAND Flash Memories," in *Proc. IEEE IRPS.*, Apr. 2020.
- [31] M.-M. Shihab, J. Zhang, M. Jung, and M. Kandemir, "ReveNAND: A Fast-Drift-Aware Resilient 3D NAND Flash Design," ACM Transactions on Architecture and Code Optimization, no.17, May 2018.
- [32] W. J. Tsai, N. K. Zous, C. J. Liu, C. C. Liu, C. H. Chen, T. Wang, S. Pan, and C. Lu,
 "Data retention behavior of a SONOS type 2-bit storage flash memory cell," in *Proc. IEEE International Electron Devices Meeting Tech. Dig.*, 2001, pp. 7–10.
- [33] A. Furnemont, M. Rosmeulen, K. V. D. Zanden, J. V. Houdt, K. D. Meyer, and H. Maes, "Root cause of charge loss in a nitride-based localized trapping memory cell," *IEEE Transactions on Electron Devices*, vol. 54, no. 6, pp. 1351–1359, 2007.
- [34] M. Janai and M. C. Lee, "Threshold voltage fluctuations in localized charge-trapping nonvolatile memory devices," *IEEE Transactions on Electron Devices*, vol. 59, no. 3,

pp. 596–601, 2012.

- [35] J. –H. Kim, Y. Yim, J. Lim, H. –S. Kim, E. –S. Cho, C. Yeo, W. Lee, B. You, B. Lee, M. Kang, W. Jang, Y. Kwon, K. Lee, J. Lee, M. –C. Kim, J. –Y. Lee, S. Hur, S. –J. Ahn, H. Hong, Y. –G. Shin, H. –S. Kim, and J. Song, "Highly Manufacturable 7th Gereration 3D NAND Flash Memory with COP strucrue and Double Stack Process," *IEEE Symposium on VLSI Tech. Dig.*, pp. 1-2, Jun. 2021.
- [36] B. Choi, S. H. Jang, J. Yoon, J. Lee, M. Jeon, Y. Lee, J. Han, J. Lee, D. M. Kim, D. H. Kim, C. Lim, S. Park, S.-J. Choi, "Comprehensive evaluation of early retention (fast charge loss within a few seconds) characteristics in tube-type 3-D NAND flash memory," *IEEE Symposium on VLSI Tech. Dig.*, pp. 78-79, Jun. 2016.
- [37] C. Woo, S. Kim, and H. Shin, "Cell Pattern Dependency of Charge Failure Mechanisms During Short-Term Retention in 3-D NAND Flash Memories," *IEEE Electron Device Lett.*, vol. 41, no. 11, pp. 1645-1648, Nov. 2020, doi: 10.1109/LED.2020.3023188.
- [38] C. M. Compagnoni, C. Miccoli, R. Mottadelli, S. Beltrami, M. Ghidotti, A. L. Lacaita, A. S. Spinelli, and A. Visconti, "Investigation of the Threshold Voltage Instability after Distributed Cycling in Nanoscale NAND Flash Memory Arrays", in *Proc. IRPS*, 2010, pp. 5C.2.1.-5C.2.7.
- [39] Z. Xia, D. S. Kim, N. Jeong, Y.-G. Kim, J.-H. Kim, K.-H. Lee, Y.-K. Park, and C. Chung, "Comprehensive Modeling of NAND Flash Memory Reliability: Endurance and Data Retention", in *Proc. IRPS*, 2012, pp. MY.5.1-MY.5.4.
- [40] J.-D. Lee, J.-H. Choi, D. Park, and K. Kim, "Effects of Interface Trap Generation and Annihilation on the Data Retention Characteristics of Flash Memory Cells", *IEEE Trans. Device and Materials Reliability*, vol. 4, no. 1, pp. 110-117, Mar., 2004.
- [41] N. Mielke, H. Belgal, I. Kalastirsky, P. Kalavade, A. Kurtz, Q. Meng, N. Righos, and J. Wu, "Flash EEPROM Threshold Instabilities due to Charge Trapping During Program/Erase Cycling," *IEEE Trans. Device Mater.* Rel., vol. 4, No. 3, pp. 335-344, Sep., 2004.

- [42] Q. F. Pan and Q. Liu, "Poole-Frenkel Emission Saturation and Its Effects on Time-to-Failure in Ta-Ta2O5-MnO2 Capacitors," *Advances in Materials Science and Engineering*, vol. 2019, 9 pages, 2019.
- [43] D. Ielmini, A. S. Spinelli, A. L. Lacaita, A. Modelli, "A Statistical Model for SILC in Flash memories", *IEEE Trans. Electron Devices*, vol. 49, no. 11, pp. 1955-1961, Nov., 2002.
- [44] R. Degraeve, F. Schuler, B. Kaczer, M. Lorenzini, D. Wellekens, P. Hendrickx, M. V. Duuren, G. J. M. Dormans, J. V. Houdt, L. Haspeslagh, G. Groeseneken, and G. Tempel, "Analytical Percolation Model for Predicting Anomalous Charge Loss in Flash Memories", *IEEE Trans. Electron Devices*, vol. 51, no. 9, pp. 1392-1400, Sep., 2004.
- [45] L. Larcher, "Statistical Simulation of Leakage Currents in MOS and Flash Memory Devices With a New Multiphonon Trap-Assisted Tunneling Model", *IEEE Trans. Electron Devices*, vol. 50, no. 5, pp. 1246-1253, May., 2003.
- [46] A. Padovani, L. Larcher, G. Bersuker, and P. Pavan, "Charge Transpoer and Degradation in HfO2 and HfOx Dielectrics", *IEEE Electron Device Letter*, vol. 34, no. 5, pp. 680-682, May., 2013.
- [47] D. J. DiMaria and E. Cartier, "Mechanism for stressinduced leakage currents in thin silicon dioxide films," *Appl. Phys. Lett.*, vol. 78, no. 6, pp. 3883-3894, Sep. 1995.
- [48] G. Bersuker, D. Heh, C. D. Young, L. Morassi, A. Padovani, L. Larcher, K. S. Yew, Y. C. Ong, D. S. Ang, K. L. Pey, W. Taylor, "Mechanism of high-k dielectric-induced breakdown of the interfacial SiO2 layer," in *Proc. Int. Reliability Physics Symp.*, 2010, pp. 373-378.
- [49] P. Riess, G. Ghibaudo, G. Pananakakis, J. Brini, G. Ghidini, "Electric field and temperature dependence of the stress induced leakage current: Fowler-Nordheim or Schottky emission?," J. Non-Cryst. Solids, vol. 245, pp. 48-53, Apr., 1999.
- [50] H. Kameyama, Y. Okuyama, S. Kamohara, K. Kubota, H. Kume, K. Okuyama, Y. Manabe, A. Nozoe, H. Uchida ,M. Hidaka, K. Ogura, "A New Data Retention

Mechanism after Endurance Stress on Flash Memory", in *Proc. Int. Reliability Physics Symp.*, 2000, pp. 194-199.

- [51] K. Lee and H. Shin, "Investigation of Retention Characteristics for Trap-Assisted Tunneling Mechanism in Sub 20-nm NAND Flash Memory," *IEEE Transactions on Device and Materials Reliability*, vol.17, no.4, pp.758-762, Dec. 2017.
- [52] T. P. Chen, S. Li, and K. F. Lo, "Interface Trap Generation by FN Injection under Dynamic Oxide Field Stress", *IEEE Transactions on Electron Devices*, vol. 45, No. 9, pp. 1920-1926, Sep., 1998.
- [53] C.-C. Lu, K.-S. C.-Liao, F.-H. Tsai, C.-C. Li, and T.-K. Wang, "Detection of Stress-Indeced Interface Trap Generation on High-k Gated nMOSFETs in Real Time by Stress-and Sense Charge Pumping Technique", *IEEE Trans. Electron Devices*, vol. 62, no. 5, pp. 1405-1410, May., 2015.
- [54] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. E. Islam, and M. A. Alam, "A Comparative Study of Different Physics-Based NBTI Models", *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 901-916, Mar., 2013.
- [55] A. E. Islam, H. Kufluoglu, D. Varghese, S. Mahapatra, and M. A. Alam, "Recent Issues in Negative-Bias Temperature Instability: Initial Degradation, Field Dependence of Interface Trap Generation, Hole Trapping Effects, and Relaxation", *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2143-2154, Sep., 2007.
- [56] S.-H. Bae, J.-H. Lee, H.-I. Kwon, J.-R. Ahn, J.-C. Om, C.-H. Park, and J.-H. Lee, "The 1/f Noise and Random Telegraph Noise Characteristics in Floating-Gate NAND Flash Memories," *IEEE Transactions on Electron Device*, vol. 56, no. 8, pp. 1624-1630, Aug. 2009.
- [57] R. Shirota, B.-J. Yang, Y.-Y. Chiu, H.-T. Chen, S.-F. Ng, P.-Y. Wang, J.-H. Chang, and I. Kurachi, "New Method to Analyze the Shift of Floating Gate Charge and Generated Tunnel Oxide Trapped Charge Profile in NAND Flash Memory by Program/Erase Endurance", *IEEE Trans. Electron Devices*, vol. 62, no. 1, pp.

114-120, Jan., 2015.

- [58] R. Shirota, B.-J. Yang, Y.-Y. Chiu, H.-T. Chen, S.-F. Ng, P.-Y. Wang, J.-H. Chang, and I. Kurachi, "New Accurate Method to Analyze both Floating Gate Charge and Tunnel Oxide Trapped Charge Profile in NAND Flash Memory", *in Proc. IEEE IMW*, May 2014, pp. 127–128.
- [59] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability:Road to cross in deep submicron silicon semiconductor manufacturing", *Journal of Applied Physics*, vol. 94, no. 1, pp. 1–18, Jul., 2003.
- [60] Robert Enter, "Modeling and Simulation of Negative Bias Temperature Instability" *Dissertation, Technische University Wien*, Apr., 2007.
- [61] H.-J. Kang, N. Choi, S.-M. Joe, J.-H. Seo, E. Choi, S.-K. Park, B.-G. Park, and J.-H. Lee, "Comprehensive Analysis of Retention Characteristics in 3-D NAND Flash Memory Cells with Tube-Type- Poly-Si Channel Structure," *IEEE Symposium on VLSI Tech. Dig.*, T.182-183, 2015.
- [62] Y. Roizin and V. Gritsenko, "ONO structures and oxynitrides in modern microelectronics: Material science, characterization and application," in Dielectric Films for Advanced Microelectronics, M. Baklanov, K. Maex, M. Green, Eds. Chichester, U.K.: Wiley, 2007, pp. 251–295.
- [63] A. Maconi, A. Arreghini, C. M. Compagnoni, G. Van den bosch, A. S. Spinelli, J. Van Houdt, and A. L. Lacaita, "Comprehensive investigation of the impact of lateral charge migration on retention performance of planar and 3D SONOS devices," *Solid-State Electronics*, vol. 74, pp. 64–70, Aug. 2012.
- [64] Y.-H. Liu, C.-M. Jiang, W.-C. Chen, T. Wang, W-J. Tsai, T.-C. Lu, K.-C. Chen, and C.-Y. Lu, "Electric Field Induced Nitride Trapped Charge Lateral Migration in a SONOS Flash Memory," *IEEE Transactions on Electron Devices*, vol. 38. no. 1, pp. 48-51, Jan. 2017.
- [65] C. Sandhya, A. B. Oak, N. Chattar, A. S. Joshi, U. Ganguly, C. Olsen, S. M. Seutter, L. Date, R. Hung, J. Vasi, and S. Mahapatra, "Impact of SiN Composition Variation

on SANOS Memory Performance and Reliability Under NAND (FN/FN) Operation," *IEEE Transactions on Electron Devices*, vol. 56, no.12, pp.3123-3132, Nov. 2009.

- [66] H.-T. Lue, P.Y. Wang, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, "A Study of Gate-Sensing and Channel-Sensing(GSCS) Transient Analysis Method-Part I: Fundamental Theory and Applications to Study of the Trapped Charge Vertical Location and Capture Efficiency of SONOS-Type Devices," *IEEE Transactions on Electron Devices*, vol. 55, no.8, pp.2218-2228, Aug. 2008.
- [67] J.-H. Liao, H.-J. Lin, H.-T. Lue, P.-Y. Du, J.-Y. Hsieh, L.-W. Yang, T. Yang, K.-C. Chen, and C.-Y. Lu, "Study of charge trapping characteristics of SONOS with various trapping layers using gate-sensing and channel-sensing (GSCS) method," *Solid-State Electronics*, vol. 81, pp.51-57, Mar. 2013.
- [68] A. Arreghini, F. Driussi, E. Vianello, D. Esseni, M. J. Duuren, D. S. Golubovic, N. Akil, and R. Schaijk, "Experimental Characterization of the Vertical Position of the Trapped Charge in Si Nitride-Based Non-volatile Memory Cells", *IEEE Transactions on Electron Devices*, vol. 55. no. 5, pp. 1211-1219, May, 2008.
- [69] J. E. Pinder, J. G. Wiener, and M. H. Smith, "The Weibull Distribution: A New Method of Summarizing Survivorship Data", *Ecological Society of America*, vol. 59, no. 1, pp. 175-179, Jan., 1978.
- [70] K. C. Benny Lee, J. Siegel, S. E. D. Webb, S. L.-Fort, M. J. Cole, R. Jones, K. Dowling, M. J. Lever, and P. M. W. French, "Application of the Stretched Exponential Function to Fluorescence Lifetime Imaging", Biophysical Journal, vol. 81, pp. 1265-1274, Sep., 2001.
- [71] J. I. Kim, I.-T. Cho, C.-Y. Jeong, D. Lee, H.-I. Kwon, K. D. Jung, M. S. Park, M. S. Seo, T. Y. Kim, J. H. Lee, and J.-H. Lee, "Local-Degradation-Induced Threshold Voltage Shift in Turned-OFF Amorphous InGaZnO Thin Film Transistors Under AC Drain Bias Stress" *IEEE Electron Device Letter*, vol. 36, no. 6, pp. 579-581, Jun., 2015.
- [72] Failure Mechanisms and Models for Semiconductor Devices, JEDEC Standard

JEP122C, Mar, 2006.

[73] W. -C. Chen, H. -T. Lue, C. -C. Hsieh, Y. -C. Lee, P. -Y. Du, T. -H. Hsu, K. -P. Chang, K. -C. Wang, and C. -Y. Lu, "A Physics-based Quasi-2D Model to Understand the Wordline (WL) Interference Effects of Junction-Free Structure of 3D NAND and Experimental Study in a 3D NAND Flash Test Chip," in *Proc. IEEE International Electron Devices Meeting Tech. Dig.*, Dec. 2017.

ABSTRACT

Analysis of Lateral Migration Mechanism during the Retention Mode in 3-D NAND Flash Memory

Shinkeun Kim

Department of Electrical and Computer Engineering

College of Engineering

Seoul National University

As the scale-down and integration of conventional 2-D planar NAND Flash memory reaches the limit, a 3-D vertical NAND Flash Memory structure using a charge trap layer (CTL) has been adopted. Due to process limitations and costs, the 3-D NAND flash adopts the poly-Si channel and the structure in which CTL of each NAND cell are connected with each other. For these reason, new reliability problems that did not occur in 2-D planar structure have been reported. Among them, a charge loss mechanism is additionally problematic to the charge loss during the retention mode by which electrons stored in the word-line (WL) move laterally in the CTL after the program operation due to CTL shared with each other. Since the various charge loss mechanisms that occur during the retention mode in NAND Flash memory are mixed, apparent activation energy (E_{aa}) extracted by conventional high temperature acceleration evaluation methods fail to predict the exact lifetime of NAND Flash memory and cause a large error. Therefore, it is important to separate and analyze the specific charge loss mechanisms, and the separation

of mechanism using TCAD simulation and charge loss functions enables such analysis.

This thesis analyzed the charge loss mechanism by which electrons stored in WL move in the lateral direction during the retention mode, which is particularly problematic in 3-D vertical structure. This analysis is conducted using TCAD simulation and charge loss functions. 3-D NAND Flash memory has different types of major failure mechanisms that contribute to charge loss depending on the retention time. In particular, it was confirmed that the lateral migration (LM) mechanism is affected by the residual holes when programmed with a low voltage. The LM affected by residual holes could be defined as a mechanism different from the LM. In addition, it has been confirmed that the LM mechanism causes not only the charge loss of WL but also the interference phenomenon. The interference phenomenon depends on the type and amount of charges stored in adjacent cells. The charge loss by LM could be underestimated or overestimated during the retention mode. It was also confirmed that the interference phenomenon is related to the cell pattern dependence. From these results, it was confirmed that the LM mechanism is affected by various factors. In order to measure the life of a 3D NAND flash memory more accurately, it was confirmed that an LM mechanism was defined as a charge loss mechanism by the influence of each factor, and separation from the total charge loss was required.

Keywords: 3-D NAND Flash memory, lateral migration mechanism, retention, interference phenomenon, cell pattern dependency, P/E cycle stress

Student Number: 2016-20874

출판 목록

Journal

[1] **Shinkeun Kim**, Youngsoo Seo, Jangkyu Lee, Myounggon Kang, and Hyungcheol Shin, "GIDL analysis of the process variation effect in gate-all-around nanowire FET," *Solid State Electronics*, vol. 140, no. 2, pp. 59-63, Feb. 2018.

[2] **Shinkeun Kim**, Haesoo Kim, Changbeom Woo, Gil-Bok Choi, Moon-Sik Seo, Hyunyoung Shim, Keum Hwan Noh, and Hyungcheol Shin, "Separation of Lateral Migration Components by Hole during the Short-Term Retention Operation in 3-D NAND Flash Memories," *IEEE Transactions on Electron Devices*, vol. 67, no. 6, pp.2645-2647, Jun. 2020.

[3] **Shinkeun Kim**, Kyunghwan Lee, Changbeom Woo, Yuchul Hwang, and Hyungcheol Shin "Analysis of Failure Mechanisms During the Long-Term Retention Operation in 3-D NAND Flash Memories," *IEEE Transactions on Electron Devices*, vol. 67, no. 12, pp.5472-5478, Dec. 2020.

[4] **Shinkeun. Kim** and Hyungcheol Shin, "Analysis of the Effect of Residual Holes on Lateral Migration During the Retention Operation in 3-D NAND Flash Memory," *IEEE Transactions on Electron Devices*, vol. 68, no. 12, pp.6094-6099, Dec. 2021.

[5] Kyul Ko, Changbeom Woo, Minsoo Kim, Youngsoo Seo, **Shinkeun Kim**, Myounggon Kang and Hyungcheol Shin, "Analysis and Comparison of Intrinsic Characteristics for Single and Multi-channel Nanoplate Vertical FET Devices", *Journal* ofSemiconductor Technology and Science(JSTS), vol. 17, no. 5, pp. 691-695, Oct. 2017.

[6] Youngsoo Seo, **Shinkeun Kim**, Kyul Ko, Changbeom Woo, Minsoo Kim, Jangkyu Lee, Myounggon Kang and Hyungcheol Shin, "Analysis of electrical characteristics and proposal of design guide for ultrascaled nanoplate vertical FET and 6T-SRAM",

Solid-State Electronics(SSE), vol. 140, no. 2, pp. 69-73, Feb. 2018.

[7] Changbeom Woo, **Shinkeun Kim**, and Hyungcheol Shin, "Cell Pattern Dependency of Charge Failure Mechanisms During Short-Term Retention in 3-D NAND Flash Memories," *IEEE Electron Device Lett.*, vol. 41, no. 11, pp. 1645-1648, Nov. 2020.

Conference

[1] 김신근, 서영수, 강명곤, 신형철, "Nanowire FET에서 채널과 기판 사이 산화막두께와 도핑에 따른 GIDL 분석," 대한전자공학회 추계학술대회, 2016.

[2] Shinkeun Kim, Dokyun Son, Youngsoo Seo, Myounggon Kang, and Hyungcheol Shin, "Analysis of Process Variation Effect on 6T-SRAM with Gate All Around Nanowire FET," *International Conference on Semiconductor Physics and Device (ICSPD)*, 2017.

[3] **김신근**, 서영수, 강명곤, 신형철, "3차원 시뮬레이션을 이용한 Gate-All-Around Nanowire FET의 PVE(Process Variation Effect)에 의한 GIDL 분석," *Korean Conference on Semiconductors(KCS)*, 2017.

[4] **Shinkeun Kim**, Dokyun Son, Youngsoo Seo, Myounggon Kang, and Hyungcheol Shin, "Analysis of Two Divided Component of NBTI Framework using TCAD Simulation," *Silicon Nanoelectronics Workshop(SNW)*, 2017.

[5] **Shinkeun Kim**, Dokyun Son, Kyul Ko, Myounggon Kang, and Hyungcheol Shin, "Statistical Analysis of NBTI Considering Trap Position in Nanosheet FET," *Korean Conference on Semiconductors(KCS)*, 2018.

[6] **Shinkeun Kim**, Dokyun Son, Myounggon Kang, Jongwook Jeon, and Hyungcheol Shin, "Analysis of trap characteristics Induced by NBTI in Nanosheet FET," *Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Device (AWAD)*, 2018.
[7] Shinkeun Kim and Hyungcheol Shin, "Analysis of Interface Trap (N_{it}) Recovery Mechanism in 3D NAND Flash Memories" *IEEE Semiconductor Interface Specialists Conference (SISC)*, 2019.

[8] Kyul Ko, Changbeom Woo, Minsoo Kim, Youngsoo Seo, **Shinkeun Kim**, Myounggon Kang and Hyungcheol Shin, "Analysis and Comparison of Intrinsic Characteristics for Single and Multi-channel Nanoplate Vertical FET Devices", *International Conference on Semiconductor Physics and Device (ICSPD)*, 2017.

[9] Youngsoo Seo, Kyul Ko, Changbeom Woo, Minsoo Kim, Shinkeun Kim, Myounggon Kang and Hyungcheol Shin, "Optimal Integration and Electrical Characteristics for Ultra-Scaled Nanoplate Vertical FET, 6T-SRAM", *International Conference on Semiconductor Physics and Device (ICSPD)*, 2017.

[10] 서영수, **김신근**, 강명곤, 신형철, "FinFET, Lateral and Vertical Nanowire FET을 이용한 6T-SRAM 특성 비교 분석 및 최적화," *Korean Conference on Semiconductors(KCS)*, 2017.

[11] Donghyun Ryu, **Shinkeun Kim**, Myounggon Kang, and Hyungcheol Shin, "Gate induced drain leakage Suppression with Additional oxide in the Side region of the Lateral Nanosheet FET," *Korean Conference on Semiconductors(KCS)*, 2018.

[12] Jaeyeol Park, Changbeom Woo, **Shinkeun Kim**, Dongjun Lee, Myounggon Kang, Jongwook Jeon, and Hyungcheol Shin, "Optimization of Vertical Nanowire Transistors for 3.5 nm Technology Node", *Korea Conference on Semiconductor (KCS)*, 2019.

[13] Changbeom Woo, **Shinkeun Kim**, Jaeyeol Park, Dongjun Lee, Myounggon Kang, Jongwook Jeon, and Hyungcheol Shin, "Modeling of Lateral Migration Mechanism During the Retention Operation in 3D NAND Flash Memories", *3rd Electron Devices Technology and Manufacturing (EDTM) Conference*, 2019.

[14] Changbeom Woo, **Shinkeun Kim**, Jaeyeol Park, and Hyungcheol Shin, "Effect of Device Scaling on Lateral Migration Mechanism of Electrons in V-NAND", *Silicon Nanoelectronics Workshop(SNW)*, 2019.

[15] Changbeom Woo, Myeongwon Lee, Shinkeun Kim, Jaeyeol Park, Gil-Bok Choi,

Moon-sik Seo, Keum Hwan Noh, Myounggon Kang, and Hyungcheol Shin, "Modeling of Charge Loss Mechanisms during the Short Term Retention Operation in 3-D NAND Flash Memories," *Symposia on VLSI Technology and Circuits*, 2019.

[16] Jaeyeol Park, Changbeom Woo, **Shinkeun Kim**, and Hyungcheol Shin, "Effect of Cell Scaling on Lateral Migration of Holes in VNAND Flash Memory," *Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Device (AWAD)*, 2019.

[17] Changbeom Woo, **Shinkeun Kim**, Jayeol Park, Haesoo Kim, Gil-Bok Choi, Moon-Sik Seo, Keum Hwan Noh, and Hyungcheol Shin, "Modeling of Charge Fai lure Mechanisms during the Short Term Retention Depending on Program/Erase C ycle Counts in 3-D NAND Flash Memories," in *Proc. IEEE International Reliabili ty Physics Symposium (IRPS) Tech. Dig.*, 2020.