



공학박사 학위 논문

캐패시터 방전 전류 Map을 이용한 선박용 DC 전력 시스템 보호

Protection of DC Shipboard Power System with Capacitor Discharge Current Map

2022년 8월

서울대학교 대학원 전기·정보공학부

이승용

캐패시터 방전 전류 Map을 이용한 선박용 DC 전력 시스템 보호

지도교수설승기

이 논문을 공학박사 학위논문으로 제출함 2022 년 8 월

> 서울대학교 대학원 전기·정보 공학부 이 승 용

이승용의 공학박사 학위논문을 인준함 2022 년 8 월

위원장 하정익 (인)

- 부위원장 설 승 기 (인)
 - 위원 최성 휘 (인)
 - 위원 정일엽(인)
 - 위원 김성민 (인)

초 록

본 논문에서는 선박용 DC 전력시스템 내 단락 고장 발생 시, 캐패시터 방전 전류의 실효 값을 직관적이고 편리하게 참조할 수 있는 정규화된 캐패시터 방전 전류 Map 및 그 이용 방법을 제안한다. 이는 감쇠비(damping ratio)와 정규화된 캐패시터 전압에 따른 캐패시터 방전 *I*t Map 또는 정규화된 캐패시터 방전 시간-전류 특성(time-current characteristic, TCC) Map의 형태로 미리 계산되어 제공된다. 실제 값을 정규화 하거나 역으로 변환할 때는 R-L-C 등가 회로의 파라미터로 계산한 기준값(base value)을 통해 변환할 수 있다.

최근 선박 분야에서는 연료 효율 향상 및 환경 문제 개선을 위해 VSC(voltage source converter)를 적용한 전기 추진 방식을 다수 도입하고 있으며, 더 높은 효율을 위해 다수 VSC의 DC링크 캐패시터들을 연결한 DC 전력시스템이 등장하고 있다. 그런데 모든 전력시스템은 전기의 안전한 사용을 위해 적절한 보호 방식을 갖추어야 하고, 그 설계를 위해서는 먼저 단락 사고시의 고장전류 특성을 분석해야 한다. DC 전력시스템은 AC 전력시스템과 달리 캐패시터 때문에 고장 전류 계산이 복잡하므로, 분석시 IEC 61660-1 표준과 같은 주요 특징점 참조법 또는 컴퓨터를 이용하 수치해석법을 이용할 수 있다. 그러나 해당 표준에는 보호기기의 동작특성과 직접적인 비교를 할 수 있는 *Pt*값이나 시간-전류 특성에 대한 참조 데이터는 제시되어 있지 않으며, 수치해석적인 방법은 직관적인 수치를 제공해주지 못해 파라미터 수정시 반복적인 시뮬레이션을 통해 보호 특성을 확인해야 하는 단점이 있다. 따라서 기존 연구에서는 고장 전류 분석 및 보호 방식 설계시 점진적 반복법(iteration method)을 사용하였지만 본 논문에서 제안된 Map을 이용하면 감쇠비 별 캐패시터 전압에 따른 Pt값과 캐패시터 방전 전류의 시간-전류 특성을 직관적으로 파악할 수 있다. 특히 시간-전류 특성 그래프는 과전류 보호설계 시에 보편적으로 사용되는 표현방식으로, 기존 설계자들에게 좀 더 익숙한 접근이 가능할 것으로 기대된다.

본 논문에서는 초기 캐패시터 전압이 V₀인 단일 R-L-C 회로의 캐패시터 전압, 전류, 시간, *Pt*에 대한 수식을 분석하여 각각을 기준값과 정규화된 항의 곱으로 표현할 수 있음을 보인다. 정규화된 *Pt*항은 감쇠비와 위상각의 함수로

나타낼 수 있는데, 활용도를 높이기 위해 위상각 대신 정규화된 캐패시터 전압으로 대체하여 캐패시터 방전 *Ft* Map으로 나타낼 수 있다. 추가적으로 r.m.s.(root-mean-square) 계산식의 정의를 이용하면, 캐패시터 방전 *Ft* Map과 시간 Map을 시간-전류 평면 상의 캐패시터 방전 시간-전류 특성 Map으로 나타낼 수 있다. 위의 과정을 거쳐 해석적으로 도출된 캐패시터 방전 전류 Map의 정확도를 검증하기 위해 R-L-C 등가 회로에서의 시뮬레이션 및 퓨즈를 포함한 실험을 수행하였으며, 각각의 설계 예시를 제시하였다.

추가적으로 선박에서 적용되고 있는 DC전력시스템의 네트워크 형태에 대해서 분석한다. 버스와 피더의 임피던스 비율에 따라 차단시 선택성이 달라질 수 있음을 보이고, 가장 낮은 공진주파수를 기준으로 다수의 캐패시터와 버스 임피던스를 고장 피더에 대하여 단일 R-L-C 회로로 등가화할 수 있음을 보인다. 이를 선박용 DC전력시스템 축소모델을 기반으로 실험을 통해 검증한다.

주요어 : 선박용 DC전력시스템, 단락 보호 시스템, 캐패시터 방전, 정규화, *Pt* Map, 시간-전류 특성 Map, 기준 값, 기준 점, 참조법

학 번 : 2017-38572

| 제 1장 서론 | | 1 |
|---|---|---|
| 1.1 연구의 배경 | | 1 |
| 1.2 연구의 목적 | 1 | 4 |
| 1.3 논문의 구성 | 1 | 6 |
| 제 2장 선박용 DC 전력시스템의 단락 보호 | 1 | 7 |
| 2.1 단일 VSC의 DC 측 단락 사고시 특성 | 1 | 7 |
| 2.2 DC 보호시스템 설계 시 고려사항 및 상용화 사례 | 3 | 2 |
| 2.2.1 보호시스템의 개요 | 3 | 2 |
| 2.2.2 DC 보호시스템 설계시 고려 사항 | 3 | 4 |
| 2.2.3 상용화된 DC 보호시스템 사례 | 1 | 0 |
| 2.3 다수 캐패시터 및 개별 퓨즈 방식에 대한 기존 연구 | 1 | 9 |
| 2.3.1 고속 퓨즈의 구조 및 동작 특성 | 1 | 9 |
| 2.3.2 다수 캐패시터 및 개별 퓨즈를 이용한 보호 방식 | 5 | 3 |
| 2.3.3 DC 보호시스템 상세 설계에 대한 기존의 연구 | 5 | 6 |
| 제 3장 정규화된 캐패시터 방전 <i>I⁻t</i> Map | 3 | 1 |
| 3.1 캐패시터 방전 특성식의 정규화 | 3 | 1 |
| 3.2 캐패시터 방전 <i>I</i> 't Map의 작성 | 7 | 7 |
| 3.3 I ² t Map 기반의 보호 시스템 파라미터 설계 | 3 | 4 |
| 제 4장 캐패시터 방전 시간-전류 특성 Map | 9 | 6 |
| 4.1 캐패시터 방전 I ² t Map의 시간-전류 특성 Map 변환 | 9 | 6 |
| 4.2 시간-전류 특성 Map 기반 보호 시스템 파라미터 설계 1 (|) | 4 |
| 제 5장 선박용 DC 전력시스템 적용 시 고려사항1 1 | 1 | 5 |
| 5.1 보호 시스템의 선택성을 확보하기 위한 설계 항목1] | 1 | 5 |
| 5.1.1 버스 내 VSC의 수 1 1 | 1 | 6 |
| 5.1.2 버스 임피던스와 피더 임피던스의 비율 및 고장 위치 고려 1] | 1 | 9 |
| 5.1.3 피더 간 C-L-C 공진 억제 1 ź | 2 | 2 |
| 5.1.4 퓨즈 용량 균등화1 ź | 2 | 3 |
| 5.2 DC 전력시스템의 고장 피더 기준 등가회로화 1 2 | 2 | 5 |

목 차

| 제 6장 결론 및 향후연구 | 1 | 3 | 8 |
|----------------|---|---|---|
| 6.1 결론 | 1 | 3 | 8 |
| 6.2 향후 연구 | 1 | 4 | 2 |
| 참고 문헌 | 1 | 4 | 4 |

표 목차

| 표 2-1. 실제 선박용 DC전력시스템 1개 버스의 등가회로 파라미터 3 1 |
|---|
| 표 2-2. 주요 직접 측정 보호 방식의 비교 [67] 3 5 |
| 표 2-3. 다양한 전류센서의 특성 비교 [85] 3 7 |
| 표 2-4. DC전력시스템에 적용 가능한 차단기 비교 3 9 |
| 표 2-5. 주요 제조사의 위치 별 보호기기 및 방식 4 1 |
| 표 3-1. 가변저항 위치에 따른 등가 R-L-C 파라미터 및 감쇠비(C=1 mF). 7 5 |
| 표 3-2. 초기 전압 변화에 따른 캐패시터 방전 <i>Pt</i> 기준 값 (<i>C</i> = 1 mF) 7 5 |
| 표 3-3. 낮은 초기값을 설정했을 때의 수렴시까지의 반복 설계 프로세스 예시 |
| |
| 표 3-4. 높은 초기값을 설정했을 때의 수렴시까지의 반복 설계 프로세스 예시 |
| |
| 표 4-1. 가변저항 위치에 따른 등가 R-L-C 파라미터 및 감쇠비(C' = 2 mF) |
| |
| 표 4-2. 초기 전압 변화에 따른 캐패시터 방전 <i>Pt</i> 기준 값 (<i>C</i> '=2 mF) 1 0 8 |
| 표 5-1.선박용 DC전력시스템 내 선택차단성 확인을 위한 VSC 파라미터 예시 |
| |
| 표 5-2. 축소모델 파라미터 및 단락 위치별 외부 등가 파라미터1 3 2 |
| 표 5-3. 축소모델 단락 시 최종 등가 파라미터 및 기준 값 계산 1 3 4 |

그림 목차

| 그림 1-1. 전기 추진과 기계식 추진의 효율 비교(Fuel to Propeller) [7] 2 |
|---|
| 그림 1-2. 전기 추진 적용이 유리한 선박 예시 [3], [9], [10], [11] |
| 그림 1-3. 선박용 전력시스템의 변화(AC to DC) 4 |
| 그림 1-4. 선박용 DC전력시스템 및 배터리가 적용된 선박 수 5 |
| 그림 1-5. 정상 시 및 일부 버스 고장 시 풍향·풍속 별 DP선박의 위치 제어 |
| 능력[24]6 |
| 그림 1-6. 방사형 AC 전력시스템의 보호기기 배치 예[34] |
| 그림 1-7. 상용화된 선박용 DC전력시스템에서 보호기기의 배치 1 1 |
| 그림 1-8. 전력변환 시스템에서의 주요 고장 부품 및 주요 스트레스 1 2 |
| 그림 1-9. IGBT의 치명적인 고장의 개요[39]1 2 |
| 그림 2-1. 외부 단락사고시 정상 VSC 관점에서의 등가회로 및 사고 단계 별 |
| 주요 전류 경로19 |
| 그림 2-2. 외부 단락사고 시 단계 별 캐패시터 전압, 고장 전류, 고장 Pt 파형 |
| 예시19 |
| 그림 2-3. 고장 1 단계 고장 전류 분석을 위한 단일 R-L-C 등가 회로 2 2 |
| 그림 2-4. 감쇠상수, 고유주파수, 감쇠고유주파수 간 관계 2 4 |
| 그림 2-5. 고장 2단계의 주요 경로 2 7 |
| 그림 2-6. 고장 3단계에서의 단락 전류 유입경로 2 8 |
| 그림 2-7. 고장 단계 별 퓨즈 용단 모의 시험결과 2 9 |
| 그림 2-8. 미 해군 선박의 DC전력시스템 구성도 및 고장지점 [12] 3 0 |
| 그림 2-9. 미 해군 선박 내 인공 단락시 고속 퓨즈 차단 실험결과 [12] 3 0 |
| 그림 2-10. 일반적인 전력시스템 보호 순서 [56] 3 3 |
| 그림 2-11. 계전기, 차단기, 퓨즈 예시 [58]-[60] 3 4 |
| 그림 2-12. DC 전력시스템에 사용 가능한 주요 차단기 형태 3 8 |
| 그림 2-13. 일반적인 DC 전력시스템 구성 4 0 |
| 그림 2-14. ABB사의 DC전력시스템 구조[31] 4 2 |
| 그림 2-15. ABB사 DC전력시스템의 방식 변화 [14] 4 4 |
| 그림 2-16. Siemens 사의 VSC 내부 단락 발생시 단락 사고 보호 시스템[12] |

그림 2-18. 고속 퓨즈의 내부 엘리먼트 구조....... 4 9 그림 2-19. 퓨즈의 용단 시간-전류 특성(TCC) 곡선 및 구간 별 설명.......... 5 0 그림 2-20. EATON사에서 제시한 퓨즈 용단 판별 방법[42]...... 5 1 그림 2-21. Mersen 사에서 제시한 퓨즈 용단 판별 방법[114]...... 5 2 그림 2-22. 개별 퓨즈를 이용한 AC 역률 보상용 캐패시터 과전류 보호 그림 2-23. 단락전류 시뮬레이션 및 퓨즈 용단여부 비교판별[15] 5 5 그림 2-24. IEC 61660-1 고장 전류의 표준 근사함수 5 8 그림 2-25. Kim이 제안한 점진적 반복법을 이용한 추가 캐패시턴스 산정 방식[46]...... 5 9 그림 2-26. Ravyts가 제안한 종합적인 퓨즈 기반 보호 방식 설계 순서도[47] 그림 3-2. 캐패시터 단락 실험 세트...... 7 4 그림 3-3. 단일 R-L-C 회로의 단락시 캐패시터 방전 실험 결과(C=1 mF). 7 6 그림 3-4. 정규화된 캐패시터 방전 I't Map(저감쇠 영역) 3D 곡면 7 8 그릮 3-6. 감쇠비 간 삼각함수 관계...... 8 0 그림 3-7. 저 감쇠시 1단계 종료시점 (vcpu=0)의 캐패시터 방전 It 크기 8 0 그림 3-8. 정규화된 캐패시터 방전 I't Map(0≤ζ≤2) 3D 곡면 8 0 그림 3-9. 실험에 사용된 감쇠비 별 예상 *Pt* 의 곡면 상 경로...... 8 1 그림 3-10. 곡면의 (축에서 바라본 예상경로와 실험값의 비교 (C = 1 mF). 8 1 그림 3-11. 정규화된 캐패시터 방전 *I*⁻t Map(0 ≤ ζ ≤ 2) - 2D 평면 등고선도. 8 2 그림 3-12. 정규화된 캐패시터 방전 *Pt* Map(0 ≤ ζ ≤ 5) - 2D 평면 등고선도. 8 3 그림 3-13. 정규화된 캐패시터 방전 *Pt* Map을 이용한 퓨즈 보호시스템 그림 3-14. 감쇠비 범위 및 최소 캐패시터 전압 지정시 퓨즈의 용단 Pt 설계

그림 3-15. 낮은 초기 캐패시턴스 값을 설정했을 때의 수렴시까지의 반복 그림 3-16. 높은 캐패시턴스 초기값을 설정했을 때의 수렴시까지의 반복 설계 그림 3-17. 단일 R-L-C회로에서 퓨즈 실험(C = 1 mF) 9 3 그림 3-18. 정규화된 캐패시터 방전 *Pt* Map 상에 나타낸 실험 결과 (C = 1 mF) 그림 3-19. 실험에 사용된 퓨즈 A~H...... 9 5 그림 4-1. 감쇠비 별 해당 캐패시터 전압에 도달하는 정규화된 시간 Map.97 그림 4-3. 정규화된 캐패시터 방전 r.m.s. 전류 및 시간 Map - 2D 등고선도 9 9 그림 4-4. 시간-전류 평면에 사영된 정규화된 캐패시터 방전 전류 1 0 0 그림 4-5. 정규화된 캐패시터 방전 시간-전류 특성 Map의 주요 특징 점 1 0 0 그림 4-6. 퓨즈 데이터시트 상에 표시된 실제 스케일 시간-전류 특성 Map의 예시......102 그림 4-7. 기준값 관련 파라미터 변경에 따른 시간-전류 특성 Map의 평행이동 예시.....103 그림 4-8. 캐패시터 방전 시간-전류 특성 Map 및 퓨즈 설계 예시 1 0 5 그림 4-9. 예시 시간-전류 특성 Map의 캐패시턴스 2배 변경시 예상 평행이동 위치 및 퓨즈 용단 위치...... 1 0 7 그림 4-10. 시간-전류 평면 상 퓨즈 용단 실험 결과(C = 1 mF) 1 0 8 그림 4-11. 단일 R-L-C 회로의 단락시 캐패시터 방전 실험 결과(C' = 2 mF) 그림 4-12. 단일 R-L-C회로에서 퓨즈 실험(C'=2mF)..... 1 1 0 그림 4-13. 정규화된 캐패시터 방전 *Pt* Map 상에 나타낸 실험 결과 (C'=2mF) 그림 4-14. 시간-전류 평면 상 퓨즈 용단 실험 결과 (C'=2mF)......1 1 2 그림 4-15. DC 선로의 임의의 지점에서 사고시 등가 모델 1 1 3

그림 4-16. 선로 내 고장지점 위치에 따른 고장전류 영역 및 퓨즈 특성 곡선과 비교......114 그림 5-1. 동일한 파라미터를 가진 N개 피더 중 한 곳(우측)에서 단락사고 발생시 등가회로...... 1 1 6 그림 5-2. 버스 내 VSC 수에 따른 선택차단 가능범위 및 적용된 캐패시터 Pt 그림 5-3. 선박용 DC전력시스템 Demo룸 [15].....1 1 9 그림 5-4. 고장 전류 분석을 위한 시뮬레이션 모델 예시 [15] 1 1 9 그림 5-5. 버스 임피던스(Za)와 피더 임피던스(Zb) 크기에 따른 형태 차이 그림 5-6. Star 형태 버스에서 각 위치 별 단락 시뮬레이션 1 2 1 그림 5-7. Cascade 형태의 버스에서 각 위치별 단락 시뮬레이션 1 2 2 그림 5-8. C-L-C 공진회로..... 1 2 2 그림 5-9. Star 형태의 버스에서 작은 용량 퓨즈(3) 포함시 단락 시뮬레이션 그림 5-10. Star 형태의 버스에서 동일 용량 퓨즈 포함시 단락 시뮬레이셔 그림 5-11. 말단 지점 사고 발생시 Cascade 연결 회로의 등가회로화...... 1 2 5 그림 5-12. Cascade 형태의 버스에서 사고 지점 기준의 전달 행렬과 근사 행렬의 보드 선도 비교.....129 그림 5-13. 중간 지점 사고 발생시 등가회로화...... 1 3 0 그림 5-14. 외부 등가 파라미터와 사고 피더의 임피던스를 고려한 최종 등가회로......131 그림 5-15. 4개의 피더로 구성된 축소모델의 파라미터 및 단락 실험시 측정 위치......132 그림 5-16. 축소모델 단락 시 퓨즈 용단 실험 결과...... 1 3 3 그림 5-17. 축소모델 단락 시 다수 피더 시뮬레이션 및 등가 시뮬레이션 결과 비교......135 그림 5-18. 정규화된 캐패시터 방전 I't Map 상에 나타낸 축소모델 실험 결과

| | 1 | 3 | 6 |
|--|---|---|---|
| 그림 5-19. 계산된 시간-전류 특성 Map과 축소모델 실험 결과 비교 | 1 | 3 | 6 |

제 1장 서론

1.1 연구의 배경

전력전자의 기술의 발전에 의해 성능과 경제성이 확보된 VSC(voltage source converter)는 에너지 효율 향상과 제어의 편의성 등을 장점으로, 가전 제품을 포함한 산업 전반에서 널리 쓰이고 있다. 예를 들면 가정에서는 컴퓨터, 노트북, 태블릿, 핸드폰, 프린터, TV, 전자레인지, LED조명, 에어컨 등이 있으며, 그 외에도 엘리베이터, 크레인과 같은 권상부하(lift), 산업용 팬, 펌프 및 공조장치와 같은 HVAC(heating, ventilation and air conditioning) 분야에도 가변속제어가 가능한 VSC를 적용하여 에너지 효율을 높이고 있다 [1]-[3].

최근 지구온난화나 대기오염같은 환경적인 문제 때문에, 발전 연료로 석탄 대신 더 오염이 적은 LNG를 사용하거나, 화석연료를 이용한 화력발전소 대신 태양광, 수소 연료전지나 배터리를 더 활성화하려는 세계적인 추세가 존재한다. 그런데 태양광이나 리튬전지, 연료전지와 같은 신재생 에너지원은 태생적으로 DC 출력 특성을 가지고 있어 VSC를 사용하여 AC 계통에 전력을 전달하고 있다. 그 외에도 속도가 변하는 풍력발전이나 고속의 마이크로 터빈도 상용 고정 주파수를 가진 AC 계통과 동기화가 어려우므로 DC로의 변환 및 VSC를 통해 AC계통과 연계되고 있다 [4]. 이처럼 DC 발전원과 DC 부하의 연계를 위해 DC를 AC로 변환한 후, 다시 AC를 DC로 변환하는 단계를 거치는 것은 일반적으로 10-25%의 추가 손실을 초래한다 [5].

이와 같이 DC부하와 DC발전원의 수가 많아지면 DC 전력시스템을 사용하여 전력을 전달하는 것이 효율적이지만, 대규모의 AC 전력계통을 모두 DC로 변경하는 것은 지금까지 설치된 AC 전력계통의 규모를 고려했을 때 비현실적이다. 따라서 아직까지 DC 전력시스템은 소규모로 자체적인 전력의 발전, 전송 및 소비가 모두 가능하고, 별도의 주파수로 운용할 수 있는 마이크로 그리드, 자동차, 선박, 비행기 등의 시스템에서 독립적으로 적용하는 추세이다.

1

선박 관련 환경문제를 살펴보면, 일반적인 대형 선박은 중유(heavy oil)를 사용한 디젤엔진을 많이 사용해왔기 때문에 선박의 수는 차량에 비해 적지만 대기오염배출은 국내 전체 발생량의 6.4%를 차지하는 등 문제가 심각하다 [6]. 이를 해결하기 위하여 국제해사기구(International Maritime Organization, IMO)에서는 해상영역에 따른 질소산화물(NO_x), 황산화물(SO_x) 등의 배출량 제한과 신조 선박의 에너지 효율지수(Energy Effeciency Design Index, EEDI), 현존 선박의 에너지 효율지수(Energy Effeciency Design Index, EEDI), 현존 선박의 에너지 효율지수(Energy Efficiency eXisting ship Index, EEXI), CII(Carbon Intensity Indicator) 등 다수의 규제를 시행하고 있다. 이에 따라 선주 및 조선사에서는 선박이 배출하는 오염물질의 양을 줄이기 위하여 기존 시스템에 스크러버를 장착하여 제거하거나, 오염물질 생성량이 적은 저유황유나 LNG를 사용할 수 있는 엔진을 도입하고 있으며, 암모니아 및 수소와 같은 친환경 연료를 활용한 방식을 적극적으로 연구개발 중에 있다.

또한 최근 경부하 시 에너지 사용 효율 향상을 위하여, 기계식 추진 방식 보다 효율적인 전기 추진 방식이 많이 도입되고 있다. 기계식 추진 방식은 내연 기관의 기계적 출력으로 직접 프로펠러를 구동하는 방식이고, 전기 추진 방식은 전기에너지로 전동기 및 프로펠러를 구동하는 방식이다. 전기 추진 방식은 발전원을 다양화하고 운전 중인 발전기의 수를 조절할 수 있기 때문에, 그림 1-1과 같이 기계식 추진 방식보다 경부하 구간에서 효율적이다 [7].



그림 1-1. 전기 추진과 기계식 추진의 효율 비교(Fuel to Propeller) [7]

따라서 경부하 운전이 많은 선박은 전기 추진 방식을 적용하는 것이 유리하다. 해당 선박은 예를 들어 그림 1-2의 (a), (b)와 같이 해상에서 능동 위치 제어 기능 (dynamic positioning, DP)이 필요한 해상지원선(offshore support vessel, OSV)이나 셔틀탱커가 있다. 실제로 해상에서의 능동 위치제어가 필요한 선박은 최대 추력 확보를 위해 대용량 VSC 및 추진전동기를 다수 설치하는데, 실제 운용시에는 대부분 부하율이 높지 않아 경부하 운전 시간이 많다 [8]. 한편, 북유럽을 중심으로 카/여객 페리와 같은 연안선박에는 환경 보호를 위한 무탄소 배출 (zero-emission) 운전에 대한 요구가 높아지고 있다. 이처럼 오염물질을 최소한으로 배출해야 하는 선박은 기계식 추진이나 발전용 디젤엔진을 사용하지 않는 것이 좋다. 이 경우에는 그림 1-2의 (c), (d)와 같이, 배터리나 연료전지를 에너지원으로 한 전기 추진



그림 1-2. 전기 추진 적용이 유리한 선박 예시 [3], [9], [10], [11] (a) 해상지원선(OSV) (b) 셔틀탱커 (a) 카/여객 페리(배터리) (d) 여객선(연료전지)

선박에 전기 추진을 적용하기 위해서는 VSC, 추진용 전동기 뿐만 아니라 이들이 사용할 전력을 안정적으로 공급하기 위한 전력시스템도 필수적이다. 기존에는 육상에서와 같이 AC 전력 시스템을 사용하였으나 실제로 전기 추진용 VSC는 DC 전원을 필요로 하기 때문에 VSC 입력 측에 다권선 변압기 및 정류기를 이용하여 DC 전력을 공급하였다. 하지만 최근 전력시스템에서 선박용 VSC가 차지하는 부하 비중이 늘어나면서 그림 1-3의 우측과 같이 VSC의 DC 입력 측을 공통 버스로 연결한 DC 전력시스템이 등장하고 있다. 이는 기존 VSC 입력 측 다권선 변압기 및 정류기 대신, AC 발전기의 출력에 정류기를 직접 연결하거나 배터리 등의 DC 전원을 DC 버스를 통해 부하에 공급한다. 이러한 변화는 선박 추진용 VSC 제품군을 가진 선진 업체들이 이끌고 있으며 VSC로 구성한 선박용 DC 전력시스템을 통해 2010년대 초반부터 선박 시장에 진출하고 있다 [9], [10], [12]-[17].



그림 1-3. 선박용 전력시스템의 변화(AC to DC)

앞에서 언급한 바와 같이, 선박에 DC 전력시스템을 적용하면 AC로의 변환단계를 거치지 않게 되어 효율을 높일 수 있다. 특히 디젤 발전기를 고정 속도로 운전할 필요가 없어지기 때문에 부하율에 따라 연료소비율(Specific Fuel Oil Consumption, SFOC)이 낮은 속도로도 운전할 수 있고, 이를 통해 경부하에서의 효율 및 연비를 개선할 수 있다 [9], [10]. 위에서 언급한 OSV나 셔틀탱커와 같이 경부하 운전이 많은 선박은 발전기 수 조절 뿐만 아니라 DC 전력시스템까지 적용하여 효율을 추가로 개선할 수 있다. 또한 DC 특성을 가진 배터리와 연료전지를 에너지원으로 하는 선박도 AC로 변환할 필요 없는 DC 전력시스템을 적용하는 것이 유리하다. 그림 1-4에서는 선종 별 DC 전력시스템이 적용된 선박 수와 배터리가 적용된 선박 수를 나타내었는데, 이 중 다수는 경부하 운전이 많은 DP선박이거나, 충전이 가능한 짧은 거리를 오가는 연안 선박임을 알 수 있다. 그리고 DC 전력시스템에서 배터리를 적용하는 사례도 70% 정도로 늘어나고 있다 [18].







이처럼 환경 보호 및 효율 향상을 위해 선박용 DC 전력시스템을 점차 적용하는 추세이지만, 운용 중 발생할 수 있는 전기적인 고장(fault)으로부터 인명이나 정상 기기 등에 미치는 악영향을 최소화하는 것 또한 중요하다. 특히 선박은 바다, 강, 호수 등의 물에서 사람 또는 물건을 운반하거나 작업을 수행하는 구조물이므로 공통적으로 부양성, 이동성, 생존성, 안락성, 안전성 등의 특징을 갖추어야 한다 [19]. 특히 안전성은 운항 중 화재, 폭발, 폭풍, 충돌, 좌초 등으로 인한 피해 발생 가능성을 최소화할 수 있어야 하고, 사고들이 발생하더라도 선박이 완전히 손상되지 않도록 대비하는 기능들이 있어야 한다는 것을 의미한다.

만약 해상 플랜트에서 원유를 싣고 운반하는 셔틀 탱커와 같은 선박이 위치 제어능력을 상실할 경우, 해상에서의 충돌사고와 같은 대형 사고로 이어질 수 있기 때문에 위치 제어 중복성(redundancy)을 확보해야 한다. 이를 위하여 일반적으로 다수의 발전원과 분리 가능한 버스로 이루어진 전력시스템을 사용하여 중복성을 확보한다 [20]. 위험하지 않은 평상시에는 버스 타이를 닫은(closed bus-tie) 상태로 최적 효율을 갖는 발전기 대수로 운전을 할 수 있고, DP모드와 같이 중요한 순간에는 버스 타이를 모두 열어(open bus-tie) 분리한 상태에서 운전함으로써, 어느 한 버스에서 고장이 발생하더라도 다른 버스에는 영향이 없도록 한다. 따라서 정상시에는 그림 1-5의 청색 선과 같이 선박의 각 방향에서 불어오는 바람에 대해서 위치제어를 할 수 있고, 1개 버스 고장 시에는 남은 전력시스템의 추진 능력을 이용하여 주황색 선과 같은 축소된 위치 제어를 할 수 있다 [24]. ABS나 DNV-GL과 같은 선급에서는 이런 중복성을 갖춘 선박을 평가하여 DP 등급을 부여하는데, 최근에는 친환경 고효율 운전이 점차 중요해지고 있어 closed bus 운전을 하더라도 open bus와 유사한 무결성(integrity)과 신뢰성을 증명하는 경우에 별도로 EHS-P, DYNPOS-ER와 같은 진보된 등급을 부여하고 있다 [21]-[23].



그림 1-5. 정상 시 및 일부 버스 고장 시 풍향·풍속 별 DP선박의 위치 제어 능력[24]

DP 선박이 아니더라도 선박용 전력시스템은 선급 승인 및 선주에게 고장 발생시의 충분한 정보를 제공하기 위하여 주요 기기 고장시 단락 전류 계산과 선택 차단 분석(discrimination analysis) 또는 보호 협조 분석(protection coordination analysis) 등의 문서를 제공해야 한다 [22], [25]. 따라서 AC 전력시스템에서 발전기, 버스, 피더, 변압기, 케이블 등에서 고장을 분석한 것 과 같이, DC 전력시스템의 주요 기기인 VSC에 고장이 발생했을 때에도 고장 시 단락 전류 분석과, 건전한 기기 보호 전략이 필요하다. 그런데 VSC의 DC링크 캐패시터의 외부에서 DC 단락 사고가 발생할 때에는 다음과 같이 AC 전력시스템에서의 고장과 다른 특성을 가지기 때문에 기존과 다른 보호 전략이 필요하다.

첫째, DC 전력시스템은 주기적인 영전류/영전압 구간이 없어 전류의 영점교차구간(zero-crossing)을 활용하는 기존의 AC 차단기를 적용할 수 없다.

둘째, DC 버스에 연결되어 있는 다수 대용량 VSC의 DC링크 캐패시터 및 짧은 선로 길이 때문에 사고 전류의 상승 기울기가 매우 크다. 일반적으로 대형 선박의 길이는 최대 수 백 m인데, 만약 배전반 내에서만 DC 선로가 존재하는 경우에는 수 m에 불과하므로 인덕턴스는 수 μH에 불과하다. 이 경우, 직류단 캐패시터 방전 전류는 최대 수 백 kA/ms의 상승 기울기를 가진다 [26]. 하지만 이를 고속으로 차단할 수 있는 기기는 매우 적다.

셋째, DC 전력시스템을 구성하고 있는 VSC의 전력 반도체 과전류 내량은 AC 기기들에 비하여 현저히 낮다. 변압기, 전동기, 발전기 등은 정격 전류의 1.2배에는 수 분 동안 견딜 수 있고, 수 배에 달하는 고장 전류는 수 백 ms 이상을 견디는 것이 일반적이지만, VSC에 사용되는 전력용 반도체는 120%의 과전류에 대해서 최대 5 초, 200%의 과전류는 최대 10 ms 가량 정도 밖에 버티지 못한다.

이러한 특징들 때문에 DC 전력시스템을 위한 보호시스템은 AC의 경우보다 훨씬 빠른 속도로(수 십 µs ~ 수 ms 이내) 고장 지점을 차단시켜야 하는 과제를 안고 있다. 그런데 AC 전력시스템에서 주로 사용되는 기계식 차단기는 차단 동작 명령이 내려진 시점으로부터 회로가 분리될 때까지 보통 수 십 ms가 소요되기 때문에 이를 이용하여 DC 사고에 대응하기는 어렵다. 다시 말하면, DC 전력시스템을 보호하기 위해서는 AC와 근본적으로 다른 접근이 필요하며, 기본적으로 다음과 같은 전략을 생각할 수 있다.

첫 번째로는 피보호기기의 내량을 상향하여 캐패시터 방전 및 환류 시간 동안 소손이 일어나지 않게 하는 방법을 생각할 수 있다. 이러한 접근 방법은 빠른 보호 동작을 필요로 하지 않지만 캐패시터의 에너지가 모두 소모될 때까지 전력반도체들이 이를 견뎌야 하므로 상당한 양을 병렬로 추가 설치해야하고, 따라서 과다한 비용이 발생할 것으로 추정된다.

두 번째는 캐패시터를 포함하지 않거나 DC 측 전류 제어가 가능한 토폴로지를 이용하여 DC 전력시스템을 구성하는 방안이다. 발전단에는 캐패시터가 없는 다이오드 또는 싸이리스터 정류기를 사용하고, 부하 측에는 직류 모터 또는 전류형 컨버터를 사용할 수 있다 [27], [28]. MVDC(medium voltage DC)나 HVDC(high voltage DC) 분야에서는 full-bridge 타입의 MMC(modular multilevel converter)를 이용하면 DC 측 고장 전류를 제어할 수 있다 [29]. 하지만 이들 방식은 경제적인 상용 2레벨 VSC를 사용할 수 없기 때문에 경제성이 낮을 것으로 예상된다.

세 번째는 상용 2레벨 VSC를 사용하되 캐패시터 방전을 억제하는 장치를 추가로 설치하는 것이다. 만약 버스에서 부하측으로 전력이 단방향으로만 흐른다면 입력단 다이오드를 직렬로 설치하여 캐패시터의 방전을 원천적으로 차단할 수 있고 [30], 양방향으로 흐를 수 있는 경우에는 IGBT와 같은 능동 스위치 소자를 포함한 고속 차단 회로를 구성할 수도 있다 [31]. 또는 반도체 스위치를 내부 DC 링크 캐패시터와 직렬로 연결하는 방식으로 순간적인 차단을 할 수도 있다 [32], [33]. 하지만 이 경우에는 VSC의 외부로 유의미한 고장전류가 발생하지 않기 때문에 고장 위치 판별을 위한 별도의 장치, 통신, 보호기기가 필요하므로 시스템이 복잡해지게 된다.

네 번째는 고장 전류가 시스템 상에서 흐르는 것을 허용하고, 이를 고속으로 판별, 차단 및 분리하는 방법이 있다. 이상적으로는 반도체 차단기(solid-state circuit breaker)를 각 회로의 분기점 마다 설치하면 모든 고장 전류를 고속으로 차단하는 것이 가능하다. 하지만 반도체 차단기는 기계식 차단기에 비해 도통 손실이 크고 규격 및 표준이 아직 확립 되지 않아 아직 가격이 높다는 문제점을 가지고 있다. 한편, 전력 반도체 보호용으로 사용되는 고속 퓨즈는 고속 차단이 가능하면서 구성이 간단하고, 표준 및 규격이 확립되어 있어 비용도 저렴하다. 하지만 한 번 용단되면 수동으로 교체 및 복구를 해야한다는 단점이 있다. 앞에서 소개한 전략 외에도 보다 효과적이고 경제적인 보호방식을 찾기 위한 연구가 다수 진행되어 왔다. 그 중 실제로 상용화된 DC전력시스템에는 모든 곳에 반도체 차단기를 사용하지 않고, 보호영역에 따라 각기 다른 3단계의 보호방식을 상용선박에 적용하고 있다 [12]. 만약 버스의 어느 한 지점에서 고장이 발생하면, 1 단계로 버스타이(bus-tie)에 위치한 반도체 차단기를 이용하여 고속으로 고장 버스를 분리한다. 그 후, 2 단계로 고장 피더가 포함된 고장 버스 내에서 다수 피더에서 공급되는 전류를 이용하여 해당 피더의 고속 퓨즈를 용단한다. 이를 위해 각 피더의 입력단에는 고속 퓨즈가 적용이 되어 있다. 그런데 만약 퓨즈가 용단되지 않거나, 피더가 아닌 버스바의 단락 사고인 경우에는 발전기로부터 고장전류 공급이 지속되는데, 이 경우에는 3 단계로 발전기 여자 전류 제거를 통해서 기전력을 소거하거나 [12], 퓨즈나 기계식 차단기를 통해서 발전단과 버스를 분리하여 고장 전류를 차단할 수 있다 [31].

주목할 것은, 퓨즈가 일회성 동작, 수동 복구가 필요한 단점을 가지고 있음에도 불구하고 다수의 제조사에서 공통적으로 고속 퓨즈를 이용한 보호 방식을 적용하고 있다는 점이다. 이는 해당 위치에서 반도체 차단기 보다 경제성을 가지기 때문에 적용된 것으로 해석할 수 있다. 경제성을 고려하여 위치에 따라 보호기기를 다르게 조합하여 사용하는 예는 그림 1-6과 같이 기존 방사형(radial) AC 전력시스템에서도 찾아볼 수 있다 [34].



그림 1-6. 방사형 AC 전력시스템의 보호기기 배치 예[34]

대부분의 상용 전력시스템은 경제적인 부분을 고려하여 그림 1-6과 같이 주 전력선을 중심으로 방사형으로 구성되어 있다. 육상용 전력시스템에서 고장은 낙뢰, 나무와의 접촉, 교통사고로 인한 단락 등 대부분 일시적이고 과도적인 특성을 가지고 있다. 따라서 모든 지점에 일정 시간 뒤 복구를 시도하는 자동 recloser를 설치하는 것이 이상적이지만, 주 전력선이 아닌 분기 또는 말단 위치는 주 전력선보다 즉각적인 복구의 필요성이 낮고, 영구적인 고장인 경우에는 현장에서 작업자에 의한 확인 및 조치가 이루어져야 하기 때문에 고 비용의 recloser보다는 저렴한 퓨즈를 사용하는 것이 충분히 합리적이다.

위와 같은 보호기기 배치 전략을 그림 1-7과 같은 DC 전력시스템의 경우에 대입해보면, 주 전력선에 해당하는 발전단 ①과 버스타이 ②의 위치에는 재투입이 가능한 반도체 차단기나 기계식 차단기를 적용하고 있으며, 버스에서 분기되거나 직접 부하를 구동하는 말단의 피더 위치인 VSC의 입력 측 ③에는 저렴한 퓨즈를 사용하고 있어 유사한 전략으로 해석할 수 있다. 한편, VSC의 출력 측 ④에서도 고장이 발생할 수 있는데, 이는 VSC 자체의 고장검지 기능을 활용하여 하위의 전력공급을 차단할 수 있다. 일시적인 경우에는 재기동을 시도할 수 있고, 수 차례 시도에도 지속적으로 고장이 발생한다면 현장에서 확인이 이루어질 때까지 VSC를 정지시켜 둘 수 있다. 따라서 피더에 위치한 퓨즈가 작동하는 경우는 VSC 내부 고장으로 인해 영구적인 단락이 발생한 경우로 한정되기 때문에 해당 위치에 퓨즈를 적용하는 것은 충분히 합리적이라고 할 수 있다.

10



그림 1-7. 상용화된 선박용 DC전력시스템에서 보호기기의 배치

위에서 언급한 합리성을 뒷받침하기 위해서는 DC 전력시스템의 고장이 주로 발생하는 부품과 확률에 대한 정보가 필요하다. 하지만 선박용 DC 전력시스템은 아직 통계적으로 분석할만큼 충분한 데이터가 공개되지 않아 VSC를 다수 사용하는 시스템인 태양광과 풍력에서의 고장 빈도, VSC가 단락회로로 고장을 일으킬 수 있는 가능성을 대신 살펴보고자 한다.

15년 간 1500개의 풍력발전기를 운영해 본 경험 자료에 의하면, 터빈, 기어박스, 발전기, 전기기기, 제어기 등 다수의 전기-기계 부품들로 이루어진 풍력발전시스템에서, 전기계에서 발생한 연간 고장 빈도는 1/2이 넘는다 [35]. 또한 5년 간의 대형 태양광 발전시스템 운영 경험에 의하면, 태양광 인버터의 수리 발생 비율은 전체의 37% 로 나타났다 [36]. 제조사의 기술력이나 운전 환경 등 다양한 원인이 있을 수 있지만, 일단 VSC의 고장 빈도는 상당히 높은 것을 알 수 있다.

VSC는 핵심인 전력반도체와 이것을 제어하는 제어보드 PCB(printed circuit board) 및 DC링크 캐패시터 등으로 이루어져 있는데, 그림 1-8의 통계자료에 따르면 전력변환장치 고장의 근본원인이 되는 부품은 캐패시터가 30%, PCB는 26%, 전력반도체는 21%에 해당하는 것으로 조사되었다 [37]. 또한 고장을 발생시키는 주요 스트레스 요인에는 온도가 55%, 습도는 19%, 진동 및 충격은 20% 를 차지하는 것으로 각각 조사되었다 [38].



그림 1-8. 전력변환 시스템에서의 주요 고장 부품 및 주요 스트레스 (a) 전력변환 시스템 고장의 근본 원인 분포 [37], (b) 주요 스트레스 요인 [38]

현재 주력으로 사용되는 전력반도체 중 하나인 IGBT(insulated gate bipolar transistor)는 고장 시 주로 개방 또는 단락회로로 나타나는데, 고장을 일으키는 메커니즘은 다양하게 있을 수 있으나, 다수가 단락으로 이어지는 것으로 나타났다 [39], [40]. 또한 DC링크 캐패시터도 충전/방전 싸이클에 따라 전해질 용액의 증발이 일어나 단락이 발생할 가능성이 있다 [41].



그림 1-9. IGBT의 치명적인 고장의 개요[39]

위에서 살펴본 바와 같이 VSC 내부의 전력반도체나 캐패시터에 단락이 발생할 메커니즘과 확률은 분명히 존재하고, 이는 영구적인 고장에 해당된다. 기술의 발달에 따라 고장이 발생할 확률은 점차 낮아지겠지만 선박의 안전한 운항을 위해서는 위와 같은 VSC의 영구적인 고장에 대비하여 사전에 충분한 보호 전략을 세워야 한다. 1.2 연구의 목적

퓨즈와 같은 과전류 보호시스템을 설계하기 위해서는 우선 DC 전력시스템의 회로 파라미터를 분석하여 예상 고장전류를 계산해야 한다. 그 후에 퓨즈를 그 지점에 위치시켰을 때, 예상 고장 전류와 퓨즈의 동작 특성을 비교하여 퓨즈의 용단 여부를 판단할 수 있다. 퓨즈는 데이터시트 상에서 용단 *Pt* 값 또는 용단 시간-전류 특성 그래프로 제시되므로, 고장 전류는 최종적으로 *Pt* 값 또는 시간-전류 특성으로의 계산이 필요하다.

기존의 AC 전력시스템에서는 전압의 변동이 없는 이상적인 전원으로부터 고장전류가 공급된다고 해석하기 때문에 등가 회로 및 계산이 비교적 단순하며, 이를 바탕으로 고장 전류를 분석하고 적정 퓨즈를 선정하는 방식 또한 퓨즈 제조사 가이드에 잘 제시되어 있다 [42]-[44]. 하지만 DC 전력시스템에서의 고장 전류 공급원인 캐패시터는 방전이 일어날 때 전압이 감소하기 때문에 복잡한 계산이 필요하며, 다수의 캐패시터에서 고장전류가 공급되기 때문에 더욱 복잡한 다변수 방정식을 계산해야 한다. 따라서 컴퓨터를 통해 수치해석적(numerical method)으로 시뮬레이션 결과를 구하거나, 근사적으로는 IEC 61660-1과 같이 미리 계산된 참조 데이터를 기반으로 표준근사함수의 주요 특징점을 구하는 참조법(reference method)을 이용하여 구할 수도 있다 [45]. 하지만 해당 표준에는 캐패시터 방전 전류의 *Pt*와 실효값인 r.m.s.(root-mean-square) 전류 값에 대한 참조데이터는 제시되어 있지 않다.

그런데 퓨즈는 정격 전류와 용단 특성이 고정되어 있어 용단 특성을 더 민감하게 하려면 정격 전류가 부족해지는 등 설계 자유도가 많지 않다. 따라서 DC 전력시스템의 파라미터가 고정된 상태에서 적합한 퓨즈를 선정할 수도 있지만, 반대로 퓨즈의 정격 전류와 용단특성에 충분한 고장전류를 발생시키는 방식으로 보호시스템을 설계할 수도 있다. 이를 위해서는 DC 전력시스템의 파라미터를 수정해야 하는데, 필요한 설계 값은 캐패시터 방전 특성식의 음함수(implicit function) 특성 때문에 해석적으로 구할 수 없는 경우가 대부분이다.

일부 연구에서는 적절한 파라미터를 선정하기 위해 컴퓨터 시뮬레이션을

반복적으로 수행하여 용단 조건에 부합할 때까지 파라미터를 수정하는 점진적 반복 설계법(iterative method)이 제안되었다 [46], [47]. 하지만 이와 같이 컴퓨터를 이용한 방식은 설계자에게 파라미터 변경 시의 영향에 대한 직관을 가져다 주지 못하는 단점이 있다.

본 논문에서는 복잡한 수식을 정규화하여 참조 데이터로 제공함으로써 사양에 맞는 적절한 파라미터를 바로 선택할 수 있도록 하였으며, 음함수 특성 때문에 해석적으로 구할 수 없는 경우에도 역함수에 해당하는 값을 참조하여 필요한 값을 구할 수 있다. 본 논문에서는 초기 캐패시터 전압이 Vo인 단일 R-L-C 회로의 캐패시터 전압, 전류, 시간, *Pt*에 대한 수식을 분석하여 각각을 기준값(base value) 과 정규화된 항의 곱으로 표현할 수 있음을 보인다. 정규화된 *Pt* 항은 감쇠비와 위상각 또는 감쇠비와 캐패시터 전압의 함수로 나타낼 수 있고, 이를 본 논문에서 제안하는 캐패시터 방전 *Pt* Map으로 나타낼 수 있다. 추가로, 정규화된 시간 정보와 실효 값(r.m.s.) 계산식의 정의를 이용하여 시간-전류 평면으로 사영(projection)하면 캐패시터 방전 시간-전류 특성 Map을 구할 수 있다. 위의 과정을 거쳐 해석적으로 도출된 각 정규화 데이터의 정확도를 검증하기 위해, 단일 R-L-C 회로에서의 시뮬레이션 및 퓨즈를 포함한 실험을 수행하였으며, 또한 설계 예시를 제시하였다.

추가적으로 선박에서 적용되고 있는 DC 전력시스템의 네트워크 형태에 대해서 분석한다. 버스와 피더의 임피던스 비율에 따라 차단시 선택성이 달라질 수 있음을 보이고, 가장 낮은 공진주파수를 기준으로 다수의 캐패시터와 버스 임피던스를 고장 피더에 대하여 단일 R-L-C 회로로 등가화할 수 있음을 보인다. 이러한 등가화 방법의 유효성을 선박용 DC 전력시스템 축소모델을 기반으로 실험을 통해 검증한다.

1 5

1.3 논문의 구성

본 논문은 다음과 같은 구성으로 되어 있다.

1 장은 서론으로서, 연구의 배경, 연구의 목적, 논문의 구성에 대해서 설명하였다.

2 장에서는 선박용 DC 전력시스템에서의 단락 사고 특징 및 관련 수식을 정리하고, 선박용 보호 시스템이 갖추어야 할 특성에 대해서 고찰해본다. 상용화된 선박용 DC 전력시스템에서 3단계 보호 방식이 주로 채택된 이유에 대해서 분석해보고, 그 중 고속 퓨즈 기반 보호 시스템과 그 설계를 위한 기존 연구에 대해서 소개한다.

3 장에서는 DC 전력시스템 사고 순간의 등가 인덕턴스, 캐패시턴스, 초기 전압을 상수로 가정하여 캐패시터 전압, 1단계 진행시간, 캐패시터 전류, *Pt* 식에 대하여 기준 값(base value)을 설정하고 각각 감쇠비와 위상각의 함수로 정규화할 수 있음을 보인다. 정규화된 함수는 다시 감쇠비와 전압강하에 따라 발생하는 *Pt*를 직관적으로 파악할 수 있도록 정규화된 캐패시터 방전 *Pt* Map 형태의 참조 데이터로 제시하고 그를 이용한 설계 방법을 제안한다.

4 장에서는 3 장에서 도출한 정규화된 캐패시터 방전 *Pt* Map을 기반으로 만들어진 정규화된 캐패시터 방전 시간-전류 특성 Map과 이를 이용한 시스템 파라미터 설계 방법을 제안한다. 본 곡선은 보호 협조 설계시 많이 이용되는 시간-전류 특성 곡선 형태로 제공되며 파라미터 변경에 따른 평행이동 특성으로 참조 편의성이 증대된다.

5 장에서는 다수 건전 피더의 캐패시터 방전 전류를 이용하여 고장 피더를 선택 차단(discrimination)할 때 필요한 고려 사항에 대해서 분석한다. 그리고 본 논문에서 제안한 캐패시터 방전 전류 Map을 다수의 VSC로 이루어진 DC 전력시스템에 적용할 수 있도록 등가회로를 구성하는 방법을 제안하고, 축소모델 실험을 통해 그 유의성을 검증한다.

마지막 6 장에서는 본 논문의 결론과 향후 과제에 대하여 기술한다.

제 2장 선박용 DC 전력시스템의 단락 보호

본 장에서는 선박용 DC 전력시스템에서의 단락 사고 특징 및 관련 수식을 정리하고, 선박용 보호 계전 시스템이 갖추어야 할 특성에 대해서 고찰해본다. 상용화된 선박용 DC 전력시스템에서 3단계 보호 방식이 주로 채택된 이유에 대해서 분석해보고, 그 중 고속 퓨즈 기반 보호 시스템과 그 설계를 위한 기존 연구에 대해서 소개한다.

2.1 단일 VSC의 DC 측 단락 사고시 특성

단락(short-circuit)은 두 개 이상의 전도성 부분 사이의 우발적이거나 의도적인 전도성 경로로 두 부분의 전위차가 0과 같거나 0에 가까워지는 경우를 말한다 [IEV(International Electrotechnical Vocabulary) 151-12-04]. 전압원 기반의 전력시스템에서는 전력을 사용하는 부하로 하여금 적정한 범위 내의 전압을 공급하기 위해 발전원 및 부하가 병렬로 연결되어 있는데, 만약 내부에서 과부하, 단락 등으로 인한 낮은 임피던스가 갑자기 발생하면 전압원으로부터 막대한 전류가 흐를 수 있다. 예를 들어 작업자 실수로 극성을 잘못 조립하거나, 전위차가 존재하는 양 극에 전도성의 물체가 닿은 경우나, 또는 VSC 내의 전력반도체나 캐패시터 등에 이상이 발생하여 내부 회로에 단락이 발생하는 것을 전력시스템에서의 고장이라고 부른다. 그리고 이 고장으로 인해 네트워크의 특정 지점에 흐르는 전류를 고장 전류(fault current)라고 한다[IEV 603-02-25].

위와 같이 잘못된 연결이나 절연의 결함에 의하여 좁은 영역의 도체에서 막대한 고장 전류가 흐르게 되면 주로 저항성분에 의한 줄(Joule)열이 발생하여 도체의 온도가 급격히 상승하게 된다. 이로 인하여 도체가 용융, 기체-이온화하면서 아크(arc)까지 발생하게 되면 공기의 급격한 팽창 및 폭발이 일어나게 되고, 기기에 손상을 가져오거나 인명 안전에 위협이 될 수 있다. 특히 DC 아크가 발생하는 경우에는 전압-전류의 자연적인 극성 교차가 일어나지 않아 플라즈마 상태가 지속되기 쉽고 아크 소호에 더욱 어려움을

17

겪는다. 또한 발생한 고장으로 인하여 정상적인 부하들도 정전상황에 처하게 된다면 선박 계통 전체가 동작 불능 상태에 빠지게 된다. 따라서 이를 막기 위하여 전력시스템은 단락 사고에 대하여 적절한 보호시스템을 갖추어야 하며, 사고의 특성에 따라 필요한 보호시스템의 성능도 달라져야 한다.

본 절에서는 DC 전력시스템에 필요한 보호시스템의 특성을 도출하기 위하여, 우선 하나의 VSC 외부에서 단락 사고가 발생했을 때의 사고 전류의 특성에 대해서 설명한다. 기존의 캐패시터가 없는 다이오드 정류기나 싸이리스터 정류기 기반의 단락사고는 무한 버스전원, 필터, 선로 임피던스, 고장저항로 이루어진 직렬 회로로 해석될 수 있다. 퓨즈 제조사의 많은 DC 보호에 대한 상용 가이드들은 이러한 모델을 기반으로 퓨즈 설계 방법을 제시하고 있다 [42]-[44]. 하지만 VSC는 순간적인 전류를 공급하는 특성이 좋고 방전에 따라 전압이 감소하는 DC링크 캐패시터를 포함하고 있는데, 바로 이 캐패시터 때문에 DC 전력시스템에서는 단락사고의 특성이 달라지고, 해석하기 어렵게 된다.

그림 2-1 (a)는 고장 VSC(faulty VSC)의 내부에 단락사고가 발생했을 때 DC 버스를 통하여 연결되어 있는 건전 VSC(healthy VSC) 관점에서의 회로를 임의의 예시로 나타낸 것이다. 여기서, $V_0 = 400$ V, $C_{cap} = 10$ mF, $v_G(t) = 220$ $sin(2\pi \cdot 60 t)$, $L_{ac} = 400 \,\mu$ H, $L_{bus} = 10 \,\mu$ H, $R_{bus} = 10 \,m$ Ω, $R_F = 0 \,\Omega$ 로 시뮬레이션을 수행하였다. 건전 VSC는 R_{fuse} 의 내부저항을 가진 퓨즈, DC링크 캐페시터, 전력반도체, 계통연계용 AC리액터(L_{ac})로 구성되어 있고 AC 계통의 전압은 $v_G(t)$ 의 함수로 운용이 되고 있다고 하였다. 여기서 DC링크 캐페시터는 C_{cap} 의 캐페시턴스와, 내부등가 직렬저항(Equivalent Series Resistance, ESR) R_{cap} 으로 구성되어 있고 초기 전압은 V_0 이다. DC 버스는 등가 인덕턴스 L_{bus} , 등가 저항 R_{bus} 의 임피던스를 가지고 있고, 고장 VSC는 사고시의 등가 고장 저항 R_F 로 모델링할 수 있으며 R_{fuse} 의 내부저항을 갖는 DC측 퓨즈를 통해 DC 버스와 연결되어 있다.

고장 부위의 회로는 단순히 저항 R_F로 둘 수 있는데, 이는 고장 VSC 내부에 캐패시터에 전압이 충전되어 있거나 연결된 역기전력 등이 있더라도 고장 전류의 에너지를 단락사고 부위 내부에서만 대부분 열로써 소모하므로 외부에서 바라보았을 때는 이를 등가적인 고장 저항 성분으로 볼 수 있기 때문이다. 일반적인 전력시스템에서의 단락은 아크 발생 고장이 80% 이상이며, 아크 회로 모델은 주로 저항성분으로 등가 모델링한다 [48]. 만약 전력반도체 내에서 아크가 형성된다면 Gap이 작기 때문에 고장 저항도 수 mΩ 정도로 작을 것으로 추정된다 [49].



그림 2-1. 외부 단락사고시 정상 VSC 관점에서의 등가회로 및 사고 단계 별 주요 전류 경로



그림 2-2. 외부 단락사고 시 단계 별 캐패시터 전압, 고장 전류, 고장 14 파형 예시

단락 사고가 발생하게 되면 정상 VSC의 캐패시터와 AC계통 전압으로부터 고장 VSC로 고장 전류 *i*_F(*t*)가 흐르게 된다. 이 고장 전류는 흐르는 경로에 따라 일반적으로 3개의 진행단계로 이루어지며 기존 연구들에서도 각 단계에 대한 기본적인 분석을 한 사례를 찾을 수 있다 [50]-[52].

고장 1 단계(stage 1)는 캐패시터 방전 단계이다. 사고 직전 정상 VSC의 DC링크 캐패시터는 Vo로 충전되어 있으며, AC계통보다 고장 지점에 가까이 연결되어 있다. 외부 사고시 이 캐패시터는 고장 저항과 캐패시터 외부의 선로 임피던스를 통하여 캐패시터 방전 전류 *ic(t)를* 공급하게 된다. 본 논문에서 다루고 있는 선박용 DC버스는 길이가 짧기 때문에 선로 임피던스가 작아서 그림 2-2에서와 같이 캐패시터 전압 *vc(t)*는 빠르게 하강하고, 캐패시터 방전 전류 *ic(t)*는 매우 빠르게 상승하여 높은 전류를 발생시킨다. 다른 고장 전류 공급원인 AC 계통이 사고 1단계에서 미치는 영향은 미미한데, 이는 상대적으로 큰 임피던스를 갖고 있는 계통연계 리액터를 통하여 연결되어 있고, 캐패시터의 전압이 AC계통을 정류한 전압보다 작아지는 시점부터 전류를 공급하기 때문이다. 따라서 고장 1 단계에서 고장 전류 *i*_F(*t*)의 대부분은 캐패시터 방전 전류 *ic(t)*로 이루어져 있음을 알 수 있다.

고장 1 단계의 종료시점은 캐패시터 전압이 0이 되거나 AC계통으로부터의 고장 전류가 캐패시터 고장 전류 보다 우월(dominant)해질 때로 정할 수 있다. 캐패시터 방전 회로는 L-C 공진회로도 해석할 수 있는데, 만약 등가 저항 성분이 낮아서 비 감쇠 또는 저감쇠 회로가 되면 캐패시터 전압은 0까지 도달하게 되어 1 단계가 종료된다. 하지만 임계감쇠나 과감쇠의 경우에는 캐패시터 전압이 0에 도달하지 않으며 따라서 2단계의 다이오드를 통한 환류도 일어나지 않는다. 이런 경우에는 AC 계통으로부터 유입되는 전류가 우월해지는 시점이 될 때 1단계가 종료되고 3단계가 시작된다고 볼 수 있다.

고장 2 단계(stage 2)는 다이오드 환류(diode-freewheel) 단계이다. 1 단계의 캐패시터 방전으로 전압이 0에 도달하고 난 뒤 선로의 인덕턴스에 흐르고 있던 전류 *i*L(*t*)가 캐패시터 전압을 음의 방향으로 충전시키고, 캐패시터 전압이 다이오드의 문턱 전압(threshold voltage)과 같아지는 순간부터 다이오드를 통해 환류 전류가 흐른다. 만약 감쇠비(damping ratio)가 0에 가까운 경우에는 1 단계 종료시점의 전류가 2 단계의 초기 전류값이 되기 때문에 열적 내량이 낮은 다이오드는 이 시점의 막대한 전류에 의해 소손될 우려가 있다. 그림 2-2의 고장 전류 그래프를 보면 *T*c 시점 직후에 약 9 kA에 해당하는 전류가 다이오드로 흐르기 시작함을 알 수 있다. 환류가 진행됨에 따라 다이오드에 미치는 영향을 판단하기 위해서는 해당 전력반도체의 데이터시트에 주어진 *Pt*값을 참조하면 되는데, 그림 2-2 하단의 그래프와 같이 고장 전류를 제곱하여 누적 적분한 고장 *Pt*를 계산할 수 있으면, 이 값을 반도체의 열적 내량 *Pt*값과 비교하여 소손이 일어나는지 판단할 수 있다. 만약 사고시 일어날 수 있는 최소 등가 저항값을 적용했을 때 소손이 일어날 것으로 예상된다면 가능한 1 단계에서 보호동작을 완료하여 환류가 일어나지 않도록 하는 것이 바람직하다.

고장 3 단계(stage 3)는 계통 유입(grid-feed) 단계이다. 이 단계는 앞서 말한 바와 같이 2 단계의 환류 전류가 0에 가까이 수렴하거나, AC 계통으로부터 유입되는 전류 *i*_G(*t*)가 지속적으로 증가하여 1 단계 또는 2 단계의 사고 전류보다 우월해지는 시점부터 시작된다고 볼 수 있다. 전류 *i*_G(*t*)는 DC링크 캐패시터 전압이 계통 정류 전압보다 낮아질 때부터 증가하기 시작하는데, 1 단계와 2 단계에도 해당 전류가 존재할 수 있지만 계통연계 리액터 *L*_{ac}의 임피던스 때문에 전류 증가율이 제한되어 캐패시터 방전과 환류로 인한 전류보다는 비교적 작게 존재한다. 그렇지만 무한 모선인 AC 계통으로부터 사고전류는 이후 지속적으로 유입되므로 보호회로가 동작하거나 회로의 손상이 발생할 때까지 3 단계 고장 전류는 지속될 수 있다.

위에서 설명한 바를 단계별 등가회로를 통해 수식적 분석을 할 수 있다. 그림 2-3은 등가 파라미터로 표현된 단일 R-L-C 회로에서 V₀의 전압으로 충전되어 있던 등가 캐패시터 C가 외부의 단락사고로 인해 방전되는 고장 1 단계를 나타낸 것이다. 이 때 단락 고장 전류 *i*_F는 캐패시터 방전 전류 *i*_C가 주 성분이고 단락 사고시 초기 전압 V₀는 사고 직전의 정상 동작 전압, 즉 DC 전력시스템의 정격전압이다. 등가 인덕턴스 L은 주로 케이블이나 전력버스의 길이에 의한 인덕턴스이며 사고 직전에는 부하전류 *I*₀가 흐르고

2 1

있었다고 가정한다. 마지막으로 등가 저항 *R*은 고장 저항 *R*_F, 정상 VSC와 고장 사이의 케이블 저항, 캐패시터의 내부저항(ESR) 등의 합으로 볼 수 있다.



그림 2-3. 고장 1 단계 고장 전류 분석을 위한 단일 R-L-C 등가 회로

앞에서 언급하였듯, 초기 조건은 단락 사고가 발생하기 직전에 정상 VSC의 캐패시터는 정격 전압 Vo로 충전된 상태이고, 피더로 부하 전류 Io가 흐르는 상태이다. 시간 당 전압 변화량과 전류 변화량도 고려하여 초기 조건을 식으로 나타내면 다음과 같다.

$$V_0 = L \frac{dI_0}{dt} + RI_0.$$
 (2.1)

$$C\frac{dV_0}{dt} = -I_0.$$
(2.2)

키르히호프의 전압법칙에 따라 외부에서 사고 저항 R_F 가 발생했을 때의 캐패시터 전류의 미분 방정식과 캐패시터 전압과 전류의 관계를 나타내면 다음과 같다.

$$L\frac{di_{C}(t)}{dt} + R \cdot i_{C}(t) + \frac{1}{C} \int i_{C}(t) dt = 0.$$
(2.3)

$$C\frac{dv_C}{dt} = -i_C(t).$$
(2.4)

식 (2.4)를 (2.3)에 대입하면 식 (2.5)와 같이 캐패시터 전압 vc에 대한 미분 방정식으로 나타낼 수 있다.

$$\frac{d^2 v_C(t)}{dt^2} + \frac{R}{L} \frac{d v_C(t)}{dt} + \frac{1}{LC} v_C(t) = 0.$$
(2.5)

캐패시터 전압의 함수 $v_{c}(t)$ 는 연속이므로 초기값을 고려하여 라플라스 변환을 하면 식 (2.6)과 같고 $V_{c}(s)$ 의 해는 식 (2.7)과 같다. 여기에서 -a와 -b는 특성 방정식의 근이고 a는 감쇠계수(damping coefficient), ω_{0} 는 고유 주파수 (natural frequency), ω_{d} 는 감쇠고유주파수 (damped natural frequency)를 나타낸다.

$$\left(s^{2} \cdot \mathbf{V}_{C}(s) - s \cdot V_{0} - \frac{dV_{0}}{dt}\right) + \frac{R}{L} \left(s \cdot \mathbf{V}_{C}(s) - V_{0}\right) + \frac{1}{LC} \mathbf{V}_{C}(s) = 0.$$

$$V_{0} \left(s + \frac{R}{L}\right) + \frac{dV_{0}}{L} - V_{0} \left(s + \frac{R}{L}\right) + \frac{dV_{0}}{L}$$

$$(2.6)$$

$$V_{C}(s) = \frac{-0(-L) - dt}{s^{2} + \frac{R}{L}s + \frac{1}{LC}} = \frac{-0(-L) - dt}{(s+a)(s+b)}.$$
 (2.7)

$$r_{L}^{a}, a = \alpha + \sqrt{\alpha^{2} - \omega_{0}^{2}}, b = \alpha - \sqrt{\alpha^{2} - \omega_{0}^{2}}, \alpha = \frac{R}{2L}, \omega_{0} = \frac{1}{\sqrt{LC}}, \omega_{d} = \sqrt{\omega_{0}^{2} - \alpha^{2}}$$

단락사고 1 단계는 캐패시터 전압이 0이 되는 순간까지만 정의되기 때문에 이 때의 전압 함수와 전류의 함수는 주기적인(periodic) 함수가 아니라서 주파수 도메인에서 해석할 수 없고, 최종적으로 모든 함수는 라플라스 역변환을 통해 시간 t의 함수로 구해야 한다. 기존 연구에서 저감쇠(underdamping)인 경우와 과감쇠(overdamping)인 경우의 함수를 간략히 제시하였으나 그 과정은 대부분 생략되어 있다 [50], [51]. 본 절에서는 저감쇠인 경우와 과감쇠인 경우의 시간 영역에서의 전압, 전류식과 *Pt*의 식이 도출되는 과정을 설명한다.

Case i) 저감쇠(underdamping)인 경우 ($v_{c,u}(t), \alpha^2 < \omega_0^2$)저감쇠인 경우는 실제 발생하는 고장 저항을 포함한 등가 저항값이 충분히
작은 경우이다. 계산 편의를 위해 주파수 도메인의 캐패시터 전압식 (2.7)을 두 부분으로 나누고 식 (2.2)를 대입하면 식 (2.8)과 같은 해를 구할 수 있다.

$$v_{C,u}(s) = \frac{V_0(s+\alpha) + V_0\alpha + \frac{dV_0}{dt}}{\left(s+\alpha\right)^2 + \left(\sqrt{\omega_0^2 - \alpha^2}\right)^2} = \frac{V_0(s+\alpha)}{\left(s+\alpha\right)^2 + \omega_d^2} + \frac{V_0\alpha - \frac{I_0}{C}}{\left(s+\alpha\right)^2 + \omega_d^2}.$$
 (2.8)

식 (2.8)을 라플라스 역변환하면 식 (2.9)와 같이 정리할 수 있다.

$$v_{C,u}(t) = V_0 e^{-\alpha t} \cos(\omega_d t) + \left(\frac{V_0 \alpha}{\omega_d} - \frac{I_0}{C \omega_d}\right) e^{-\alpha t} \sin(\omega_d t)$$

$$= V_0 e^{-\alpha t} \left(\cos(\omega_d t) + \frac{\alpha}{\omega_d} \sin(\omega_d t)\right) - \frac{I_0}{C \omega_d} e^{-\alpha t} \sin(\omega_d t)$$
(2.9)

여기에서 그림 2-4와 같은 삼각함수의 관계를 이용하면 식 (2.9)는 식(2.10) 과 같이 정리할 수 있다. 또한 사고 전 초기 전류 *I*₆가 단락전류에 비해 그 크기가 매우 작은 경우에는 식 (2.10)은 식 (2.11)과 같이 근사화 될 수 있다.



그림 2-4. 감쇠상수, 고유주파수, 감쇠고유주파수 간 관계

$$v_{C,u}(t) = V_0 e^{-\alpha t} \frac{\omega_0}{\omega_d} \left(\frac{\omega_d}{\omega_0} \cos(\omega_d t) + \frac{\alpha}{\omega_0} \sin(\omega_d t) \right) - \frac{I_0}{C\omega_d} e^{-\alpha t} \sin(\omega_d t)$$

$$= \frac{V_0 \omega_0}{\omega_d} e^{-\alpha t} \sin(\omega_d t + \beta) - \frac{I_0}{C\omega_d} e^{-\alpha t} \sin(\omega_d t)$$

$$\stackrel{\text{(2.10)}}{\stackrel{$$

$$v_{C,u}(t) \approx \frac{V_0 \omega_0}{\omega_d} e^{-\alpha t} \sin\left(\omega_d t + \beta\right). \tag{2.11}$$

위에서 구한 식 (2.11)을 식 (2.4)에 대입하면 식 (2.12)와 같은 전류방정식을 도출할 수 있다. 이는 기존 연구 [50]의 식과도 같다. 여기에서도 사고 전 초기 전류 *I*₀가 단락전류에 비해 그 크기가 매우 작은 경우에는 초기 전류에 관한 항을 생략할 수 있다.

$$i_{C,u}(t) = -C \frac{dv_{C,u}(t)}{dt}$$

= $\frac{V_0}{\omega_d L} e^{-\alpha t} \sin(\omega_d t) - \frac{I_0 \omega_0}{\omega_d} e^{-\alpha t} \sin(\omega_d t - \beta)$. (2.12)
 $\approx \frac{V_0}{\omega_d L} e^{-\alpha t} \sin(\omega_d t)$

Case ii) 과감쇠(Overdamping)인 경우 ($v_{C,o}(t), \alpha^2 > \omega_0^2$)

기존 연구에서도 과감쇠인 경우에 대한 수식을 분석한 바가 있으나, 역시 상세한 식은 주어져 있지 않다 [51]. 식 (2.7)을 라플라스 역변환 하기 위해서 식 (2.13)과 같이 분자에 s를 포함한 부분과 상수인 부분으로 나누어 정리할 수 있다.

$$v_{C,o}(s) = \frac{sV_0 + 2\alpha V_0 + \frac{dV_0}{dt}}{\left(s + \alpha - \sqrt{\alpha^2 - \omega_0^2}\right)\left(s + \alpha + \sqrt{\alpha^2 - \omega_0^2}\right)}$$

$$= \frac{sV_0 + \frac{R}{L}V_0 - \frac{I_0}{C}}{(s + a)(s + b)} = \frac{sV_0}{(s + a)(s + b)} + \frac{\frac{R}{L}V_0 - \frac{I_0}{C}}{(s + a)(s + b)}$$
(2.13)

이 좌항과 우항을 라플라스 역변환하면 식 (2.14)와 같이 정리할 수 있는데, 초기 전류 Io가 충분히 작은 경우 Io가 포함된 항을 생략할 수 있다. 여기에서는 a > b > 0 이므로 $a \cdot e^{-b}$ 항이 가장 지배적 (dominant)임을 알 수 있다. 또한 수식에서 확인할 수 있듯이, 과감쇠인 경우에는 캐패시터 전압이 0으로 떨어지지 않아 2 단계가 생략된다.

$$\begin{aligned} v_{C,o}(t) &= \frac{V_0}{a-b} \left(a e^{-at} - b e^{-bt} \right) + \frac{\frac{R}{L} V_0 - \frac{I_0}{C}}{a-b} \left(e^{-bt} - e^{-at} \right) \\ &\approx \frac{-bV_0 + 2\alpha V_0}{a-b} e^{-bt} + \frac{aV_0 - 2\alpha V_0}{a-b} e^{-at} \\ &= V_0 \frac{\left(a \cdot e^{-bt} - b \cdot e^{-at} \right)}{a-b} \end{aligned}$$
(2.14)
$$\begin{aligned} &= V_0 \frac{\left(a \cdot e^{-bt} - b \cdot e^{-at} \right)}{a-b} \\ \\ & \forall t, \ \alpha = \frac{R}{2L} = \frac{a+b}{2}, \ a = \alpha + \sqrt{\alpha^2 - \omega_0^2}, \ b = \alpha - \sqrt{\alpha^2 - \omega_0^2} . \end{aligned}$$

위의 과감쇠 시 캐패시터의 전압방정식을 식 (2.4)의 관계를 이용하여 캐패시터 전류에 대한 해를 구하면 식 (2.15)과 같이 나타낼 수 있다.

$$i_{C,o}(t) = -C \frac{dv_{C,o}(t)}{dt} = -C \cdot \left(\frac{a \cdot bV_0}{a - b}e^{-at} - \frac{a \cdot bV_0}{a - b}e^{-bt}\right)$$

$$= \frac{V_0}{L(a - b)} \left(e^{-at} - e^{-bt}\right)$$

$$(2.15)$$

$$= \frac{1}{\sqrt{LC}} = \sqrt{a \cdot b}, \ a = \alpha + \sqrt{\alpha^2 - \omega_0^2}, \ b = \alpha - \sqrt{\alpha^2 - \omega_0^2}.$$



그림 2-5. 고장 2단계의 주요 경로

$$i_L(t) = I_1 \cdot e^{-\frac{R}{L}t}$$
 (2.16)

하지만 순방향 다이오드 저항을 무시할 수 없다면 큰 전류로 인한 다이오드에서 큰 전압 강하가 발생하고, 병렬로 연결된 캐패시터를 역방향으로 다시 충전하게 되면서 식 (2.17)과 같이 복잡한 수식으로 나타나게 된다 [51]. 여기에서 *R*, *L*은 다이오드를 제외한 등가 저항과 등가 인덕턴스, *C*는 DC 링크 캐패시턴스, *I*.은 1단계 종료시 인덕턴스에 흐르던 2 단계 초기 전류, *r*d는 직병렬로 연결된 다수의 다이오드를 등가적으로 계산한 순방향 다이오드 저항값이고 다이오드 턴온 전압 *v*d는 기여하는 바가 작아 생략하여 표현하였다. 간단한 경우나 복잡한 경우 모두 2 단계 초기 전류 *I*.1 상수값이 필요하므로 1 단계 종료시에 흐르던 전류에 대한 계산을 완료하는 것이 중요하다.

$$i_{L}'(t) = I_{1}\left\{\left(b' + \frac{R}{L}\right)e^{a't} + \left(1 - b' - \frac{R}{L}\right)e^{b't}\right\}.$$
(2.17)

$$I_{L}, \ \alpha' = \frac{R}{2L} + \frac{1}{2r_{d}C}, \ \omega_{0}' = \frac{1}{\sqrt{LC}} + \frac{R}{\sqrt{r_{d}LC}}, \ a' = -\alpha' + \sqrt{\alpha'^{2} - \omega_{0}'^{2}}, \ b' = -\alpha' - \sqrt{\alpha'^{2} - \omega_{0}'^{2}}$$

계통 유입단계인 고장 3 단계의 고장 전류는 주로 계통연계 리액터 L과 다이오드를 통하여 흐르게 된다. 3 상 계통 전압과 연계하고 있는 컨버터 입장에서는 최대 선간 전압이 고장 전압원이 되며, 각 상의 위상에 따라 고장 전압원이 되는 상의 조합도 지속적으로 바뀌게 된다. 예를 들어 u상 상단과 w상 하단의 다이오드를 통한 일 순간의 도통상태는 아래 그림 2-6과 같다.



그림 2-6. 고장 3단계에서의 단락 전류 유입경로

J.Yang은 3상 계통에 대한 고장 전류 분석을 수행하기 위하여 우선 하나의 상(one-phase)에 대한 분석을 수행한 후 이를 합산하였다 [50]. 먼저, 고장 3 단계에서의 u상 계통 전압은 다음 식(2.18) 과 같이 표현될 수 있다.

$$v_{G\mu}(t) = V_G \sin(\omega_s t + \delta) . \tag{2.18}$$

단, V_G는 계통 전압 크기, ω_s는 동기 각 주파수, δ는 3단계 시작 시의 A상 전압각이다. *u*상 전류는 다음과 같이 표현된다고 알려져 있다 [50].

$$i_{Gu}(t) = I_G \sin(\omega_s t + \delta - \varphi) + \left[I_{G0} \sin(\delta - \varphi_0) - I_G \sin(\alpha - \varphi) \right] e^{-\frac{t}{\tau} \cdot (2.19)}$$

$$\forall t, \varphi = \arctan\left\{ \omega_s \tau \right\}, \tau = (L_r + L) / R \circ \exists t, I_G = V_G / \left| R + j\omega_s \left(L_r + L \right) \right|.$$

IGO와 ØO는 초기 계통 전류 크기와 전류각이며 Le은 계통연계 리액터의 상 인덕턴스이다. V상과 W상은 각각 U상으로부터 120도, 240도 위상 차가 존재하고, 각각 전류가 양의 방향으로 흐를 때에 다이오드에 순방향으로 전류가 흐를 수 있다는 점을 고려하여 3개 상의 전류를 식 (2.20)과 같이 합산할 수 있다. 최종적으로 계산되는 전류 수식은 참조 문헌 [50]에 제시되어 있으나 지나치게 복잡하여 본 논문에서는 생략한다.

$$\dot{i}_G(t) = \dot{i}_{Gu,(>0)} + \dot{i}_{Gv,(>0)} + \dot{i}_{Gw,(>0)}$$
(2.20)

지금까지 살펴본 바와 같이 고장 1 단계에서는 전력반도체가 단락전류의 회로에 포함되지 않았지만 2 단계와 3 단계에서는 고장 전류가 역방향 다이오드를 통하게 된다. 통상적으로 최소저항값을 1 mΩ으로 가정하면 저감쇠 상태로 전력반도체로 환류하는 2 단계까지 진행될 확률이 높으므로 1 단계에서 선택 차단을 완료하는 것이 적절하다 [52], [53].

하지만 만약 1 단계에서 차단을 완료하지 못하여 2 단계 또는 3 단계까지 진행되더라도, 퓨즈는 별도의 후비보호 없이 차단이 가능하다. 예를 들어 그림 2-7 (a)는 그림 2-1의 회로에서 1 단계 내에서 용단되도록 퓨즈의 용단 *Ft를* 6.2 A²s로 설정했을 때의 모의실험 결과이며, 그림 2-7 (b)는 62 A²s로 크게 설정하였을 때의 결과이다. 퓨즈는 내부 도체에서 발생하는 열에 의해 용단되는 원리를 가지고 있는데, 캐패시터 방전 전류 외에 발전원으로부터 고장 전류가 지속적으로 공급되기 때문에 후비 보호를 적용한 것과 같은 최종적인 용단이 가능하다. 다만 2 단계에서 건전한 전력반도체에 막대한 환류전류가 흐르므로 소손이 발생할 우려가 있다.



그림 2-7. 고장 단계 별 퓨즈 용단 모의 시험결과 (a) 퓨즈의 용단 I²t가 6.2 A²s인 경우, (b) 용단 I²t가 62 A²s인 경우

그림 2-8은 미 해군 선박에 적용된 DC 전력시스템의 간략화된 구성도이다 [12]. 우현(Stbd 또는 Starboard)과 좌현(Port) 측 2 개 버스로 구성되어 있으며, 그 사이에는 유사시 수 십 µs 내 고속 차단이 가능한 반도체 차단기의 역할을 하는 ILC(Intelligent Load Controller)로 연결되어 있다. 각각의 버스 내부에는 다이오드 정류기로 연결된 발전기, 수 MW의 전동기 및 드라이브용 VSC, 정전압-정주파수 AC 전원을 공급하기 위한 다수의 MW급 VSC들로 이루어져 있음을 볼 수 있다. 해당 연구에서는 FiFi Pump No. 2의 위치에서 VSC 대신 인공적인 단락을 발생시켰는데, 해당 퓨즈 실험 파형은 그림 2-9와 같다. 해당 논문에는 자세한 파라미터가 주어져 있지 않지만, 320 µs 동안 전류가 50 kA 상승하였으므로 평균 상승률이 156 kA/ms에 달하는 것을 확인할 수 있다.



그림 2-8. 미 해군 선박의 DC전력시스템 구성도 및 고장지점 [12]



그림 2-9. 미 해군 선박 내 인공 단락시 고속 퓨즈 차단 실험결과 [12]

유사한 구성을 가진 다른 실제 선박들의 버스 파라미터를 R-L-C 등가회로로 재구성하고, 만약 버스 내의 한 지점에서 등가 저항이 0인 단락사고가 발생했다고 가정했을 때 식 (2.12)를 참조하여 초기 고장전류 기울기, 피크 전류 크기, 1 단계 종료시점을 계산하면 표 2-1과 같이 나타낼 수 있다.

| 항목 | 버스 A | 버스 B | 버스 C | 버스 D |
|--------------------------------------|-------|-------|-------|-------|
| 버스 내 총 VSC용량(kW) | 11000 | 9700 | 5020 | 4200 |
| 버스 내 VSC 수 | 9 | 7 | 5 | 3 |
| 버스 정격전압 V ₀ (V) | 930 | 930 | 1100 | 1100 |
| VSC 평균정격전류 <i>I</i> ₀ (A) | 1308 | 1490 | 913 | 1273 |
| 배전반 버스 길이(m) | 8.6 | 9.8 | 8 | 6 |
| 등가인덕턴스 L(μH) | 11.6 | 11.1 | 8.6 | 5.9 |
| 등가캐패시턴스 C(mF) | 170.7 | 132.1 | 120 | 80 |
| 초기고장전류기울기(kA/ms) | 80.1 | 83.9 | 128.2 | 185.2 |
| 미차단시 피크전류크기(kA) | 112.7 | 101.5 | 130.1 | 127.7 |
| 예상 1단계종료시점(ms) | 2.2 | 1.9 | 1.6 | 1.1 |

표 2-1. 실제 선박용 DC전력시스템 1개 버스의 등가회로 파라미터

위의 경우를 살펴보면 미 해군 선박의 경우와 유사하게 수 백 kA/ms에 달하는 기울기로 상승하며, 1 단계에서 미차단시 다이오드로 흐를 수 있는 피크 전류의 크기가 100 kA 정도에 이를 수 있음을 확인할 수 있다. 만약 1 단계가 종료되는 수 ms내에 사고 피더가 차단되지 않으면, 정격이 1-2 kA밖에 되지 않는 나머지 VSC의 다이오드를 통해 100 kA에 달하는 전류가 환류되어 소손을 발생시킬 수 있다. 이처럼 실제 파라미터를 기반으로 분석해보아도, 다이오드 측으로 고장 전류가 흐르지 않는 1 단계 구간 내에서 사고 전류를 차단하는 것이 바람직하다. 2.2 DC 보호시스템 설계 시 고려사항 및 상용화 사례

2.2.1 보호시스템의 개요

전력시스템의 보호계전(protective relaying)은 시스템의 비정상적인 동작으로 인한 감전이나, 화재로 인한 인명과 재산상의 상해를 최소화하고, 전력 공급 연속성의 최대화를 위하여 제어되는 전력 시스템 내의 보호 기기들의 동작을 의미한다. 다시 말하면, 이 전략은 고장 기기를 보호하는 것이 아니라 고장 기기의 영향으로부터 정상적인 시스템과 주변환경을 보호하기 위한 것이다 [34]. 보호시스템(protection system)은 보호원리에 기초하여 지정된 보호기능을 달성하기 위한 보호장비(protection equipments) 및 기타 장치들의 완성된 배치를 의미한다 [54].

보호시스템은 일반적으로 다음의 보호 원리로 구성된다 [34], [55].

- 선택성(selectivity) : 최소한의 전력 공급 중단이 발생하도록 고장난 부위만을 격리하는 것. 사고에 가장 가까이 있는 보호기기들이 사고기기를 제거하기 위해 동작하는 보호전략의 전체적인 설계

- 민감도(sensitivity): 시스템의 비정상적인 상태를 식별하는 능력

- 신뢰성(reliability) : 보호시스템이 조치를 취해야 할 때 올바르게 작동할 확률. 보호 구역 내 고장에 대해서는 동작, 보호 구역 밖의 고장이나 고장이 없는 경우에 불필요하게 작동해서는 안된다.

- 신속성(speed) : 기기의 손상을 줄이고 시스템의 불안정성을 피하기 위한 빠른 동작

- 단순성(simplicity): 보호기기와 관련된 부품 수의 최소화

- 경제적효율성(economical efficiency) : 최소 비용으로 높은 기능성

위의 보호원리를 고려하여 보호기능을 달성하기 위한 일반적인 보호 시스템의 동작 순서를 구성하면 그림 2-10과 같다 [56]. 첫 번째로, 단락 사고 등 비정상적인 현상이 일어났을 때, 민감하게 고장을 검출(fault detection) 해야한다. 두 번째로는 고장 기기를 선택적으로 분리시키기 위해 그 고장 위치를 정확하게 판별(fault localization)하는 것이 필요하다. 세 번째는 경제적인 방식으로 신속하고 확실하게 고장을 분리(fault isolation)하여 다른 건전 기기들이 입을 수 있는 피해를 최소화하는 것이 중요하다. 마지막으로 위의 주 보호 과정을 통해 고장이 신뢰성있게 제거되지 못했을 때, 고장 확산을 막기 위해 같은 지점 또는 더 큰 범위에서의 후비 보호(Backup Protection)가 필요하다.



그림 2-10. 일반적인 전력시스템 보호 순서 [56]

보호 동작의 구현을 위해서, 먼저 고장 감지 및 위치 파악을 위한 장치가 필요하다. 계전기(relay)는 전력시스템에 단락이나 지락사고가 발생할 경우 또는 절연파괴의 원인이나 계통의 나머지 부분에 악영향을 주는 이상 상태가 생겼을 때, 이를 검출하여 차단기를 동작시켜서 사고 부분을 신속히 계통에서 분리시키도록 지령을 내보내는 장치이다 [57]. 그 중 과전류 계전기 (overcurrent relay)는 계전기에 흐르는 전류가 설정 값 이상일 때 작동하는 계기로, 전기설비를 과전류로부터 보호하며, 전기회로에서 단락사고를 막는 데 널리 이용된다. 보호협조 (protection co-ordination)는 복수 개의 계전기 상호 간에서 시간에 따라 또는 사고 전류 크기에 따라 서로 구분하면서 보호를 행하는 것이다.

차단기(circuit breaker)는 비자동적 수단에 의하여 회로를 개폐하며, 미리

정해진 전류의 과부하를 이용해 자동적으로 회로를 개방하는 장치이다. 또한 정격 범위 내에서 바르게 쓰이는 경우 아무 손상도 생기지 않도록 설계되어야 한다 [57]. 퓨즈(fuse)는 과전류 보호장치의 하나로 단락전류 및 과부하전류를 자동적으로 차단하는 가용체이다 [57].



그림 2-11. 계전기, 차단기, 퓨즈 예시 [58]-[60]

2.2.2 DC 보호시스템 설계시 고려 사항

2.1.절에서 살펴본 DC 전력시스템 내 단락사고의 전류 상승 속도를 고려했을 때, 기존의 AC 전력시스템보다 상당히 빠른 시간안에 보호 동작이 이루어져야 함을 알 수 있다. 이러한 특징을 가진 DC 전력시스템의 보호와 관련한 많은 연구가 진행되어 왔으며, 주요 기술 현황은 다음과 같다.

1) 고장 검출 및 위치 판별

이 기능은 앞에서 언급한 계전기에 해당하는 부분으로 크게 직접적인(direct)방법과 신호처리 (signal processing)에 기반하는 방법이 있다 [61]-[66]. 일부 방식은 고장 검출과 동시에 위치까지 판별하게 되므로 여기서는 통합하여 설명한다.

직접 측정 방식은 전압과 전류를 직접 측정하여 빠르게 고장을 판별할 수 있지만 노이즈에 민감할 수 있다. 대표적인 5가지 방식은 아래 설명 및 표 2-2와 같다.

| 보호 방식 | 과전류 | 전류변화율 | 임피던스 추정 | 방향성 | 차동 |
|--------------|--------------------------------|--------------------------------|--|---------------------------------|-------------------|
| 검출 조건 | 문턱값 이상의 전류 발생 시 | 문턱값 이상의 전류변화율 발생 시 | 선로 인덕턴스가 작게 추정될 시 | 고장 전/후의 전류방향변화 | 전류 합이 0이 아닐 때 |
| 측정위치, | 지역측정, | 지역측정, | 지역측정, | 전역측정, | 전역측정, |
| 필요해상도 | 중/고 해상도 | 중/고 해상도 | 중/고 해상도 | 고 해상도 | 저 해상도 |
| 통신 | 불필요 | 불필요 | 불필요 | 필요 | 필요 |
| 민감도 및 신뢰성 | 왜곡된 고장 전류에 민감 | 왜곡된 고장 전류에 민감 | 이웃 보호영역의 고장과 고장 임피던스에 민감 | 과도상태의 동적작용에 민감, 통신에 매우 의존 | 통신에 매우 의존 |
| 실제 적용시 이슈 | 문턱값 선정, 전류제한방식과 동시사용 어려움 | 문턱값 선정, 전류제한방식과 동시사용 어려움 | 고속/정확한 인덕턴스 계산, 전류제한방식과 동시사용 어려움. | 통신 능력에 따라 제한발생 | 통신 능력에 따라 제한발생 |

표 2-2. 주요 직접 측정 보호 방식의 비교 [67]

과전류 보호 방식(overcurrent protection) 은 AC 전력시스템에서도 많이 사용하는 방식인데, 도통 전류가 과전류 레벨을 넘는 경우 고장으로 인식하는 방법이다. 상위 장치에서 다수의 하위 장치로 전력을 공급할 때, 두 기기 간 보호협조를 위해서는 두 레벨이 충분한 여유를 두고 설계되어야 하며, 그렇지 않으면 선택성이 줄어들 수 있다. 또한 높은 고장 임피던스에 대해서는 고장 전류가 크지 않기 때문에 낮은 민감도를 보이는 특징이 있다 [68].

전류 변화율 보호 방식(current-derivative protection)은 전류의 미분값을 측정 및 계산하는 것으로, 매우 짧은 시간에 고장을 감지할 수 있다. 하지만 시스템을 구성하는 다수 파라미터의 영향으로 감지 레벨을 정하기가 어렵고, 높은 대역폭의 센서가 필요하며 노이즈에 약하다는 것이 단점이다 [69].

방향성 과전류 보호 방식(directional overcurrent protection)은 다수 계전기 간의 통신을 통해 여러 곳의 전압과 전류를 감시하고 있다가 일부 전압과 전류 방향이 비 정상적으로 갑자기 달라지는 경우 고장 위치를 판별해낼 수 있는 방법이다 [70], [71]. 하지만 이를 구현하기 위해서는 또한 각각 높은 대역폭의 센서와 통신이 필요하다.

임피던스 추정 보호 방식(distance protection)은 측정지점에서부터 사고 지점까지 임피던스를 반복적으로 예측함으로써 고장을 감지하는 방식이다.

하지만 연산에 적어도 10-20 ms가 소요되고 짧은 케이블 구간이나 높은 고장 저항 발생시에는 낮은 성능을 보인다 [72], [73].

차동 보호 방식(differential protection)은 입력과 출력의 전류를 측정하여 차이가 발생한 경우에 고장으로 간주한다. 하지만 센서 오류에 취약하고, 다수 측정과 엄격한 통신시스템이 필요하여 높은 비용이 든다 [74]-[76].

그 외 최근 연구되고 있는 신호처리 보호방식으로는 진행파 기반 방식, Wavelet 변환 및 인공신경망 방식 또는 신호 주입 방식 등이 있다. 진행파 기반 방식(travelling wave based)은 HVDC 등에서 고장 시 입사파와 반사파의 시간 차를 측정하여 고장 위치를 추정하는 방식이다. 하지만 이는 고성능의 데이터 수집 장치가 필요하고, 선박과 같은 컴팩트한 시스템에는 적합하지 않다 [77]-[79].

Wavelet 변환 및 인공신경망 방식은 Wavelet 파형을 통한 고장 감지와 고장 구분을 할 수 있지만 큰 메모리와 많은 연산 시간이 필요하다 [80], [81].

신호 주입방식은 프로브 유닛으로 전력시스템에 신호를 주입하여 임피던스를 예측하는 방식이다. 통신은 필요하지 않지만 부가적인 장비가 필요하기 때문에 비용이 상승한다 [82], [83].

위의 방식들을 구현하기 위한 실질적으로 계전기의 측정부분에 해당하는 전류센서의 선정이 중요하다. 전류 센서는 사고 감지 알고리즘에 필요한 정보를 신속하고 정확하게 제공해야 하는데, DC 전력시스템은 DC 전류를 기본적으로 측정해야 하고, 높은 고장 전류도 측정해야 한다. AC 전력시스템에서 사용된 변류기(current transformer)는 DC 성분 측정이 안되고, 감지 대역폭이 수 kHz에 불과하고 높은 전류에 대해서는 비선형적이며 포화되는 특성을 가지고 있다 [84]. 따라서 전류 센서의 값 포화 및 선형성, 전류 측정폭, 손실, 가격적인 측면까지 고려하여 표 2-3과 같은 다양한 방식이 DC 전력시스템의 보호를 위해 검토되고 있다 [85].

36

| 저르 츠저 기스 | Low Resistance | Current | Hall Effect | Rogowski |
|----------------|----------------|-------------|-------------|-----------|
| 신규 특성 기울 | Current Shunt | Transformer | Sensor | Coil |
| 비용 | Very Low | Medium | High | Low |
| 선형성 | Very Good | Fair | Poor | Very Good |
| 고전류 측정 | Very Poor | Good | Good | Very Good |
| 전력소비 | High | Low | Medium | Low |
| 전류포화문제 | No | Yes | Yes | No |
| 온도영향 | Medium | Low | High | Very Low |
| DC오프셋문제 | Yes | No | Yes | No |
| 포화 및 히스테리시스 문제 | No | Yes | Yes | No |

표 2-3. 다양한 전류센서의 특성 비교 [85]

2) 고장 분리(fault isolation)

위의 차단기의 기능에 해당하는 것으로, 크게 고장 전류에 대해서 차단기로만 대응하는 차단기 기반 방식(breaker based)과, 고장 전류 제한이 가능한 토폴로지로 전류를 제어하고 전기적으로 분리한 후 시스템을 다시 복구하는 Breaker-less 방식이 있다 [86], [87].

차단기 기반 방식은 크게, 관련 표준이 존재하고 제조사가 풍부한 기계식 차단기와 퓨즈가 있으며, 표준은 아직 없지만 상용화가 이루어지고 있는 반도체 차단기, 아직 연구 단계인 하이브리드 차단기가 있다 [12], [88]-[90]. 각 차단기의 주요 회로를 나타내면 그림 2-12과 같다.

퓨즈는 내부에 과전류시 용단되는 엘리먼트(element)와 아크 흡수체만 존재하므로 구조가 간단하고 부피가 작고 저렴하다는 장점이 있다. 또한 국제 표준 시험 방법에 의해 데이터시트의 특성이 도출되므로 평가 기준이 일정하고 제조사가 많다. 최근에 사용되고 있는 반도체 보호용 고속 퓨즈는 100 μs까지 시간-전류 특성이 표시 되지만 더 짧은 시간에서도 동작이 가능하기 때문에 선박과 같이 낮은 인덕턴스를 가진 DC전력시스템에서 사용이 가능하다 [91]. 하지만 공급되는 줄 열(Joule heat)로 엘리먼트가 녹을 때까지 기다려야 하므로 시간 응답성이 낮고, 과도 상태와 영구적인 고장을 구분하기가 어려우며, 한 번 사용 후에는 수동으로 교체해야하는 단점이 있다.



(a) 고속 퓨즈[44], (b) 기계식 차단기[85], (c) 반도체 차단기[68], (d) 하이브리드 차단기[85]

기계식 차단기(mechanical circuit breaker)는 AC 전력시스템에서 많이 사용하는 기기로, 평소에는 두 도체가 붙어 있어 손실이 매우 낮고 가격도 저렴한 편이다. 하지만 차단 명령시에는 스프링, 전자석 등의 기계적 구동방식을 사용하여 도체 접점을 개방하는데, 이에 보통 수 십 ms가 소요된다. 하지만 최근 연구에 의하면 톰슨 코일 사용 시에는 동작시간을 1-3 ms까지 줄일 수 있다 [92], [93]. 또한 고장 전류를 차단하기 위해 스위치 접점을 개방할 때, 두 도체 사이에 전기 아크가 발생하게 되는데 AC와 달리 영전류가 없어 아크 소호가 어려운 특징이 있다. 따라서 인위적인 영 전류 구간을 만들기 위해 그림 2-12(b)와 같이 공진 회로를 이용하는 방식도 제안되었다 [94].

반도체 차단기(solid-state circuit breaker)는 전력반도체를 사용하여 고장 전류를 수 십 μs 이내로 고속 차단하는 것이 가능하지만, 평소에는 전력반도체를 통한 비교적 큰 도통 손실이 발생하여 냉각 시스템이 필요하고 방열판 부피가 커지는 단점이 있다. 따라서 반도체 차단기에 적합한 전력반도체를 찾는 연구가 다수 이루어지고 있다 [95]-[98].

하이브리드 차단기는 기계식 차단기의 낮은 손실과, 반도체 차단기의 빠른

차단 속도의 장점을 결합한 것이다. 최근 대부분의 연구 주제는 그림 2-12(d)의 Main Breaker 부분에 맞춰져 있다 [99].

표 2-4에서는 위에서 설명한 여러가지 차단기 방식의 장단점을 비교하고, 각각에 대한 표준과 제품의 성숙도를 표시하였다. 표준 및 제품의 성숙도는 기술적으로는 가격이 안정화되었으며, 현재 DC전력시스템에 상용화 적용이 가능함을 나타낸다. 향후에는 하이브리드 및 반도체 차단기가 DC 전력시스템에서 필수적인 부분이 될 것으로 예상되지만, 현재의 고속 퓨즈는 과도기적인 단계에서 기존 AC 전력시스템과 DC 전력시스템의 비용적 격차를 해소하고 보호와 차단에 도움을 줄 수 있는 실행 가능한 옵션으로 판단된다 [47].

| ਖਨੋਹੀਹੀ | 자저 | 다저 | 표준, 제품 |
|-------------------|--------------------|----------------------|--------|
| EZ/1/1 | ~87 2 | 1078 1 | 성숙도 |
| | - 간단한 구조, 낮은 가격 | - 과도상태와 영구고장 구분 불가 | |
| 고속 퓨즈 | - 작은 부피, 낮은 손실 | - 1회 사용 후 교체 필요 | 0 |
| [47], [68], [100] | - 높은 차단 능력 | - 온도, 피로 등 환경 영향이 큼 | 0 |
| | - 빠른 동작 가능(<수 ms) | - 동작을 위해 실제 전류 인가 필요 | |
| 기계식 차단기 | - 상대적으로 낮은 가격 | - 긴 동작시간(30-100 ms) | 0 |
| [68], [94] | - 매우 낮은 손실 | - 제한된 차단 능력 | 0 |
| 반도체 차단기 | - 빠른 동작속도(<100 μs) | - 높은 가격, 높은 손실 | ~ |
| [101], [102] | - 차단 횟수 무제한 | - 큰 부피(히트싱크) | |
| 하이브리드 | - 낮은 손실 | - 매우 높은 가격 | v |
| 차단기[99] | - 빠른 동작속도(수 ms) | | Λ |

표 2-4. DC전력시스템에 적용 가능한 차단기 비교

Breaker-less 방식은 DC측 전류 제어가 가능한 컨버터로 고장 전류를 완화하여 정격 이하 또는 무부하 상태에서 개폐기를 개방하여 고장 지점을 분리하는 방식이며, 이 방식은 차단기의 필요성을 크게 낮출 수 있다 [104]-[106]. 하지만 흔히 이용되는 2레벨 컨버터는 DC측 전류 제어가 불가능 하므로 싸이리스터 정류기 또는 전류형 컨버터, Full-bridge 기반 MMC (modular multilevel converter) 등의 토폴로지가 적용가능하다. 하지만 고장 감지, 위치 파악에 관련한 복잡도와 다수의 컨버터와 컨택터 간 보호 협조의 필요성이 증가된다. 이런 방식은 중앙집중화된 통신에 크게 의존하므로 통신이 불능화되었을 때 보호 성능이 떨어진다. 그리고 차단기 방식에 비해서는 일반적으로 차단 시간이 오래 걸린다는 단점이 있다.

2.2.3 상용화된 DC 보호시스템 사례

위의 실질적인 문제를 상용화된 보호시스템에서는 어떤 방식으로 접근했는지 조사해볼 필요가 있다. 아래 그림 2-13은 일반적인 선박용 DC전력시스템 구성을 발전단, 배전단, 부하단의 보호영역(protection zone)으로 구분하고 보호기기는 일반적인 스위치 형태로 표시해놓은 것이다. 그리고 표 2-5는 각 위치 별 보호기기를 적용한 방식을 제조사 별로 나타낸 것이다. 조사 결과, Bus-tie 에 사용되는 스위치는 대부분 전자식(반도체 차단기)을 채택하고 있고, 피더 보호에는 대부분 퓨즈를 적용하고 있음을 알 수 있다. 발전단 보호 방식은 제조사마다 차이가 있고, ABB와 Siemens는 관련 자료의 설명으로 확인할 수 있으나 다른 곳은 기호 외의 설명이 부족하여 괄호로 표시하였다.



그림 2-13. 일반적인 DC 전력시스템 구성

| 제조사 | ABB | Siemens | Ingeteam | Danfoss | Yaskawa |
|-------------------------|-------------------------|-----------------|--------------|---------|------------------|
| 711271 | [31] 외 | [12] | [107] | [108] | [13] 외 |
| Bus-tie Switch | 기계식차단기 +전자식 →전자식 | 전자식 | 전자식 또는 퓨즈 | 전자식 | 전자식 |
| Feeder Protection | 퓨즈 | 퓨즈 | 푸스 | 퓨즈 | 전자식 또는 (퓨즈) |
| Generator Protection | 싸이리스터 전류제한 → (퓨즈) | 동기발전기 여자전류제거 | (퓨즈) | (퓨즈) | (전자식) 또는 (퓨즈) |

표 2-5. 주요 제조사의 위치 별 보호기기 및 방식

먼저 발전부를 싸이리스터 기반의 토폴로지로 구성했을 때 보호시스템의 구성을 살펴보면 다음과 같다.

그림 2-14는 ABB사 DC전력시스템에 대한 특허 [31]의 대표도면으로, 상부의 발전단 P1, P2, P3, P4는 동기발전기(G1, G2, G3, G4) 및 싸이리스터 (Thyristor, R1, R2, R3, R4)로 구성되어 있으며 단로기(Isolator, 7번)를 통해 DC Grid zone (3번, 3-2번)과 각각 연결되어 있다. 2 개의 DC Grid zone은 버스 타이 차단기(5번)를 통해서 연결되어 있으며, DC Grid Zone과 DC Link Zone (EB, DB 등)은 전류 방향에 따라 순방향 다이오드 혹은 순방향 다이오드 및 역방향 IGBT로 된 입력유닛(Input Unit, 11번)로 연결되어 있다. DC Link Zone에서 각각의 퓨즈(F)를 통하여 개별 VSC (15번, I1, I2, I3 등)가 연결되어 있으며, 퓨즈의 용단을 보조하기 위한 캐패시터 뱅크(C) 도 함께 연결되어 있는 것을 볼 수 있다. 가장 큰 특징은 캐패시턴스 존재 유무에 따라 DC Grid Zone과 DC Link Zone 으로 구분하여 보호시스템을 구성하고 있다는 점이다.



그림 2-14. ABB사의 DC전력시스템 구조[31]

문헌의 설명을 바탕으로 고장 위치 별로 전력시스템의 보호동작을 재구성하여 설명하면 아래와 같다.

1) 외부 버스의 DC Grid Zone이나 DC Link Zone에서 단락이 발생한 경우

건전한 DC Grid Zone에는 캐패시턴스가 존재하지 않고 동기발전기 및 싸이리스터용 DC 평활 리액터의 큰 인덕턴스로 인하여 고장 전류가 느리게 증가한다. 그리고 건전 DC Link Zone은 캐패시터 방전이 일어나지만 입력 유닛의 다이오드에 역방향 전압이 인가 되거나, 과전류를 검지하여 입력 유닛의 스위치를 고속으로 차단하여 고장 지점으로의 급속한 캐패시터 방전 전류의 공급을 막을 수 있다. 따라서 버스타이(Bus-tie)에는 수 십 ms의 비교적 느린 기계식 차단기 사고 보호 적용이 가능하다.

2) 자기 버스의 발전단 내부에서 단락이 발생한 경우

싸이리스터 내부의 퓨즈가 용단되거나, AC측 차단기에 의하여 사고 전류가 차단된다. 해당 퓨즈나 차단기는 충분히 큰 용량으로 설계되어 외부의 사고에 대해서는 차단되지 않도록 설계된다.

3) 자기 버스의 DC Grid Zone에서 단락이 발생한 경우

입력 유닛(11번)의 동작으로 다른 DC Link Zone으로부터의 캐패시터 방전은 막을 수 있지만 발전원으로부터의 고장 전류가 순방향 다이오드로 지속되기 때문에 발전원을 차단해야 한다. 이 경우 싸이리스터 정류기의 위상각(firing angle) 제어를 통해 고장전류를 정격전류 이내로 제한할 수 있으며 최종적으로 정격 전류 정도의 차단용량을 가진 발전단 측 단로기(Isolator) 로써 최종적으로 계통에서 분리할 수 있다.

4) 자기 버스의 DC Link Zone 버스바 단락이 발생한 경우

해당 DC Link Zone 내에 있는 건전 VSC들로부터 캐패시터 방전에 의한 고장전류가 빠르게 공급되며, 이후 발전원으로부터의 사고전류가 입력 유닛을 통하여 느리게 공급된다. 이 경우에는 마찬가지로 싸이리스터 정류기의 위상각 제어를 통해 사고 전류를 제한한 후, 입력 유닛과 직렬로 연결된 단로기를 개방함으로써 고장난 DC Link Zone을 분리할 수 있다.

5) 자기 버스의 VSC 내부에서 단락이 발생한 경우

이웃의 건전한 VSC들로부터 캐패시터 방전에 의한 고장전류가 빠르게 집중 공급되어 고장 VSC의 퓨즈가 용단된다. 적절히 설계된 경우에는 고장 VSC의 퓨즈만 용단되고 건전 VSC의 퓨즈는 용단되지 않기 때문에 일시적인 DC link 전압 강하 이후 전원 복구가 가능하다. 위와 같이 고속 차단이 완료된다면 발전원으로부터의 고장 전류는 비교적 상당히 느리게 공급되기 때문에 무시 가능하다. 하지만 만약 퓨즈가 용단되지 않고 캐패시터 전압이 0까지 떨어진 경우에는 건전 VSC에 환류전류가 발생하여 VSC의 다이오드 소손이 될 가능성이 있으며, 이후의 발전원으로부터의 지속적인 고장 전류에 대해서도 후비 보호 대책을 갖추어야 한다.

6) 자기 버스의 VSC 출력 외부에 단락이 발생한 경우

VSC의 출력 과전류 감지를 통해 전력반도체의 스위칭을 정지하면 쉽게 고장전류를 차단할 수 있다.

위 방식의 장점은 DC Grid Zone에서는 기존의 기계식 차단기나 단로기를 적용할 수 있다는 점이다. 이는 발전단에는 싸이리스터 정류기를 사용하여 고장 전류를 제한하고, 하위로부터는 다이오드가 포함된 입력유닛을 적용하여 캐패시터 방전과 같은 고속의 전류가 발생하지 않기 때문이다. 다만 정상 운전시 모든 부하 전류가 다이오드를 통하기 때문에 부하에 비례하는 손실이 있고, 기계식 차단기나 단로기가 고장 버스를 완전히 분리할 때까지는 정전이 발생할 수 있다. 그리고 2개 이상의 DC Grid Zone으로 구성된 경우에는 운전 중인 발전단을 모두 포함하여 다양한 시나리오에 대해서 고장 전류 해석을 해야 하기 때문에 보호협조 설정이 복잡해지는 단점이 있다. 또한 고장 위치 파악을 위해서 각 버스를 구성하는 다수 계전기 간 고속으로 통신을 하거나, 직접 여러 피더의 전류를 측정하여 종합적으로 판단할 수 있는 전력제어 시스템(Power Management System, PMS)이 필요하다.

다만 위 특허는 2013년에 출원된 것이고, 2018년에 발표된 그림 2-15의 자료[14]에서는 구성의 일부 변경이 있었다. 발전단이 DC Grid Zone 뿐만 아니라 DC Link Zone에도 연결되면서 퓨즈가 추가되었으며, Input Circuit이 연결되면서 자연스럽게 Bus-tie위치와 동일해졌다. 그림 2-15 (b)는 Siemens사의 구성과 큰 차이가 없는 구성임을 알 수 있다. 변경의 가장 큰 원인은 DC링크 캐패시터를 가지고 있는 AFE(Active Front End) 방식의 발전단은 캐패시턴스가 없어야 하는 DC Grid Zone에는 연결하기 어렵고, 또 DC Grid에서의 고장 해석을 간소화하기 위한 것으로 추정된다.



(a) 2013년도 특허 방식, (b) 이후 변경된 방식

다음은 발전단을 다이오드로 구성했을 때의 보호시스템의 사례이다. 그림 2-16은 Siemens 사에서 발표한 논문[12]의 그림으로, 발전단이 다이오드 정류기로 구성되어 있고, DC Grid Zone에 해당하는 부분이 존재하지 않아 발전단의 출력이 바로 VSC가 연결되어 있는 버스에 연결된다. 그림은 맨 좌측에 있는 VSC 내부에서 단락이 발생했을 때 주요 전류의 흐름과 보호협조가 이루어지는 과정을 설명한 것이다.



그림 2-16. Siemens 사의 VSC 내부 단락 발생시 단락 사고 보호 시스템[12] (a) VSC 고장 발생시 고장 전류의 흐름, (b) 차단분리 시퀀스

문헌에서의 설명을 바탕으로 고장 위치 별로 전력시스템의 보호동작을 재구성하면 아래와 같다.

1) 다른 버스의 메인버스(Main Bus)나 VSC에서 단락이 발생한 경우

버스 타이에 위치한 반도체 차단기인 ILC(Intelligent Load Controller)를 이용하여 수 십 μs 내에 차단할 수 있다. 하지만 반도체 차단기는 매우 짧은 시간 내에 전류를 차단하기 때문에 상세한 사고 위치를 판별할 수 없고, 건전한 자기 버스를 보호하는 데만 사용된다.

2) 자기 버스의 발전단 내부에서 단락이 발생한 경우

다이오드 정류기 내부의 퓨즈 용단이나 발전기의 여자 전류를 줄인 후 단로기를 개방하여 고장전류를 차단할 수 있다. 발전단이 분리된 이후에는 Bus-tie를 통해서 전원을 일부 복구할 수 있다. 3) 자기 버스의 메인버스에서 단락이 발생한 경우

해당 버스 내에 있는 VSC들로부터 캐패시터 방전에 의한 고장 전류가 빠르게 먼저 공급되며, 이후 발전단의 다이오드 정류기로부터의 고장 전류는 느리게 공급된다. 다이오드 정류기는 싸이리스터 정류기와는 달리 능동적인 제어가 되지 않기 때문에, 대신 권선형 동기발전기의 여자전류를 가능한 빠른 속도로 줄여서 역기전력을 감소시켜 고장 전류를 제거할 수 있다. 다이오드 정류기 내부의 퓨즈는 메인 버스 단락에는 용단되지 않도록 설계된다.

4) 자기 버스의 VSC 내부에서 단락이 발생한 경우

이웃의 건전한 VSC들로부터 캐패시터 방전에 의한 고장전류가 빠르게 집중 공급되어 고장 VSC의 퓨즈가 용단된다. 적절히 설계된 경우에는 고장 VSC만 제거되고 건전 VSC의 퓨즈는 용단되지 않기 때문에 일시적인 bus 전압 강하 이후 전원 복구가 가능하다. 만약 퓨즈가 용단되지 않고 캐패시터 전압이 0까지 떨어진 경우에는 건전 VSC에 환류 전류가 발생하여 건전 VSC까지 소손이 될 가능성이 있다. 이 경우에도 발전원에서의 고장전류는 비교적 느리게 공급되므로 고려하지 않거나 후비 보호 대책만 수립하면 된다.

5) VSC 출력 외부에 고장이 발생한 경우

VSC의 출력 과전류 감지를 통해 전력반도체의 스위칭을 정지하면 쉽게 고장전류를 차단할 수 있다.

위 경우는 캐패시터가 존재하는 양 단 버스 간 버스 타이에 그림 2-17과 같은 고속의 반도체 차단기를 적용하였기 때문에 건전 버스에는 정전이 거의 발생하지 않는다. ABB사가 적용한 입력 유닛(Input Unit)과 다른 점은 두 개의 IGBT를 사용하여 양방향으로 전류를 제한할 수 있고, 급격한 전류 상승을 막는 인덕터가 포함되어 있다는 점이다. 수 십~수 백 μs 이내에 고장 버스를 분리할 수 있으므로, 능동 위치 제어(Dynamic Positioning) 중에도 Closed bus 운전이 가능하여 연료 절감이 가능하다. 또한 빠른 차단으로 이웃 버스를 고려하여 단락전류 계산을 할 필요가 없기 때문에 버스의 수가 증가하여도 독립적으로 단위 버스를 설계할 수 있다. 이웃한 버스와의 전력 차이만큼만 SSCB에 전류가 흐르기 때문에 SSCB의 도통 손실 측면에서도 유리하다.



그림 2-17. Siemens 반도체 차단기(ILC)의 구조 및 실험파형[12]

피더 보호 (feeder protection)에는 ABB, Siemens 뿐만 아니라 다수의 제조사도 반도체용 고속 퓨즈를 적용하고 있는 것을 볼 수 있는데, 이처럼 고속 퓨즈가 상용화된 주요 원인은 경제성을 꼽을 수 있다. 반도체 차단기는 고속의 전류를 센싱할 수 있는 측정부와, 판단부, 차단부를 구성하기 위해 고가의 부품들로 이루어진다. 1000 A급 반도체 차단기의 경우 약 3000 Euro 정도로 퓨즈보다 약 10배 정도 비싼 것으로 알려져 있다 [109]. 그리고 고속 퓨즈는 선박용 DC전력시스템과 같이 컴팩트한 시스템에 적용을 한정하면 다음과 같은 추가적인 경제성을 얻을 수 있다.

첫 번째, 제품에 포함되어 있는 퓨즈를 전력시스템을 위한 보호시스템으로 재해석할 수 있다면, 추가 비용이 적거나 없을 수 있다. 아무리 일회성에 확률이 낮은 고장이라고 하더라도 선박의 운항을 위해서는 고장이 일어날 경우에 보호시스템이 구비되어 있는지를 선급으로부터 확인 받아야 한다 [22], [25]. 대부분의 VSC는 내부 단락시 자체적인 보호 또는 화재를 방지하기 위해 DC측에도 퓨즈를 설치하는데, 이 VSC를 DC 전력시스템으로 구성했을 때 VSC용 퓨즈를 보호시스템의 일부로 해석할 수 있다. 그리고 설계 후 사양 변경이 필요한 경우에만 다른 사양의 퓨즈를 교체 설치하면 되기 때문에 초기 비용을 최소화 할 수 있다.

두 번째로는 선박용 DC전력시스템에서는 육상 마이크로그리드에 비해 교체 작업비용도 비교적 낮을 것으로 예상된다. 육상의 가공전선은 그 길이와

4 7

주변 물체의 접촉에 따라 지락 또는 단락 확률이 적지 않은데, 선박의 경우에는 배전반이 집중되어 있어 전력 계통의 길이가 짧고 배전반의 외함으로 보호되어 있어 실제로 버스에서 단락 사고가 일어날 확률은 낮다. 또한 VSC 자체의 보호기능이나 성능도 많이 안정화되어 VSC 내부 사고 확률도 많이 낮아지고 있으므로 퓨즈의 동작 확률도 낮아지고 있다. 즉, 퓨즈가 용단되어 교체가 필요한 경우는 VSC를 교체해야 하는 경우와 거의 동일하므로 퓨즈만 별도로 작업할 필요가 없으며, 작업할 확률도 점차 낮아지고 있어 퓨즈 교체 작업 비용이 실제로는 높지 않을 것으로 예상된다. 2.3 다수 캐패시터 및 개별 퓨즈 방식에 대한 기존 연구

2.3.1 고속 퓨즈의 구조 및 동작 특성

퓨즈는 정상시에는 정격 전류까지 흘릴 수 있고, 설계된 정격 전류를 크게 초과하는 전류가 흐를 때는 용단되도록 설계된 엘리먼트(element)를 내부에 가지고 있다. 이 부분이 녹아 끊어지기 시작하면서 아크가 발생하고 엘리먼트가 증발하여 주변의 석영 모래(quartz sand) 등에 흡수되면 더 이상 전류를 흘릴 수 있는 도체 부분이 존재하지 않아 고장 전류가 최종 차단된다 [42]-[44]. 특히 고속 퓨즈의 엘리먼트는 반도체 소자를 보호하기 위해 온도가 빠르게 상승할 수 있는 weak spot 구조를 가지고 있다. 만약 퓨즈의 용량이 충분하지 않으면, 일시적 과전류에 의해서도 용단될 수 있기 때문에 주의깊게 퓨즈를 선정해야 한다. 또한 온도와 과부하 사용 패턴 등 외부 환경에 의한 영향을 많이 받기 때문에 데이터시트에서 지정된 동작조건과 다를 때는 관계되는 보정계수를 적용하여 최종 정격 전류를 선정해야 한다. 외부의 신호에 의해서 임의로 퓨즈를 용단시키는 연구 [110] 및 제품 [111]이 있지만 대부분의 퓨즈는 고장 전류를 퓨즈에 직접 인가해주어야 동작한다.



그림 2-18. 고속 퓨즈의 내부 엘리먼트 구조

퓨즈의 데이터 시트 등에서 제시되는 시간-전류 특성(time-current characteristic, TCC)은 지정된 동작 조건에서의 용단시간이나 동작시간 등을 예상 전류의 함수로 나타낸 곡선이다. 통상적으로 시간-전류 평면의 가로축은 예상 전류(prospective current)의 r.m.s. 실효값을 로그 스케일로, 세로축은 시간을 로그 스케일로 나타낸다. 그림 2-19에서는 퓨즈 데이터

시트의 예 [60]을 바탕으로 설명을 추가하였다.



그림 2-19. 퓨즈의 용단 시간-전류 특성(TCC) 곡선 및 구간 별 설명

저전압 퓨즈 표준인 IEC 60269-1에 의하면, AC용 퓨즈는 대칭 전류의 실효값을 기준으로 10 사이클 이상 흘렸을 때 용단되어 아크가 발생하는 시간, DC인 경우에는 시정수가 10에서 15 ms 인 파형에 대해서 15 시정수 이상 흘렀을 때의 시간을 표준화된 실험을 통하여 산출한다 [112]. 따라서 해당 전류는 거의 정상상태의 전류이며, 그림 2-19의 ⓐ, ⓑ와 같은 수직선으로 나타난다. 용단 시간-전류 특성(TCC) 곡선은 해당 전류에서 용단되는 시간의 점을 모아서 나타낸 곡선이다. 따라서 해당 곡선은 실험적으로 약 0.1초 이상의 시간에 대해서 유효하고, 그 보다 용단 시간이 짧은 경우에 제조사는 참조할 수 있는 *Pt* 특성을 제시하도록 되어 있다.

2012년 개정된 IEC 60269-4 에서는 사고시 캐패시터 방전을 고려한 전압원 인버터 퓨즈 링크(VSI fuse-link)를 정의하고 1에서 3 ms의 낮은 시정수를 가지는 DC 전류 기준을 추가하였다 [113]. 따라서 반도체 보호용 고속 퓨즈 데이터 시트에서 10 ms 이상의 구간은 실제 실험의 결과로 TCC 곡선이 주어지며, 그보다 낮은 시간은 마찬가지로 *Pt* 특성값이 제시된다. 일부 제조사에서는 2 가지 정보를 통합하여 나타내기 위해 10 ms 보다 작은 구간은 *Pt*계산식을 이용하여 가상시간(virtural time)이라는 개념으로 TCC 곡선에 함께 표시 및 제공하고 있다 [43].

퓨즈 사용자 입장에서 정리하면, 실제로 퓨즈가 용단되는 조건은 10 ms 시간 이내에서는 제조사에서 제시한 pre-arcing *Pt*(또는 melting *Pt*) 값에 도달하거나, 고장 전류의 정상상태에서 데이터시트에 주어진 시간-전류 특성(TCC) 곡선 이상으로 시간이 경과하게 되면 내부 도체가 용단되는 것으로 판단할 수 있다. EATON 사, LittelFuse 사, Mersen 사 등 다수 퓨즈 제조사들은 사용자를 위해 퓨즈 선택 가이드를 발행하고 있는데, 공통적으로 제시한 용단 유무 판별 방법은 다음 순서와 그림 2-20 및 그림 2-21과 같다 [42], [114].

- (1) 실제 전류는 알려져 있어야 한다.(I1 및 I2)
- (2) 시간에 대해 실효값(r.m.s.)을 계산한다. (I_{RMS1}, I_{RMS2})
- (3) 해당 정보를 시간 전류 평면 상에 도시한다.(Irms1, tr), (Irms2, tr)
- (4) 만약 도시된 커브가 퓨즈의 시간-특성 곡선과 교차한다면, 퓨즈는 실제시간(t_r)에서 용단된다.



그림 2-20. EATON사에서 제시한 퓨즈 용단 판별 방법[42]



그림 2-21. Mersen 사에서 제시한 퓨즈 용단 판별 방법[114]

이와 같이 다수 제조사에서는 고장 전류를 실효값으로 계산하고, 이것을 퓨즈의 TCC 곡선과 함께 나타냈을 때 두 곡선이 만나는 점에서 용단이 이루어진다고 설명하고 있다. 이는 퓨즈의 용단 시간-전류 특성에서 *Pt*가 일정한 구간에서는 성립하지만 그 보다 긴 시간에서는 엘리먼트의 방열(heat dissipation) 효과를 고려하여야 한다 [115]. 즉, 10 ms 혹은 1 ms이하의 시간대에서는 그림 2-19의 전류 ⓒ와 같이 정상상태의 전류가 아니더라도 동일한 시간에서 용단된다고 할 수 있다. 하지만 방열 효과를 고려해야 하는 10 ms 이상의 구간에서는, 그림 2-19의 전류 ⓓ가 가해질 때, 방열 시간이 충분치 않고 TCC 곡선에 비해 약간 더 빨리 용단된다고 할 수 있다.

그런데 기울기가 큰 전류의 경우에는 표피효과(skin-effect) 등의 다른 효과에 의해서 도체의 주변부부터 용단되어 좀 더 빠르게 용단될 수도 있다 [116]. 퓨즈의 정확한 동작 정보를 제공하기 위해서, 각 퓨즈 제조사는 이러한 전류의 특성을 고려하여 퓨즈의 용단 특성 데이터를 재조정하는 과정도 필요할 것으로 생각된다.

52

2.3.2 다수 캐패시터 및 개별 퓨즈를 이용한 보호 방식

다수 캐패시터 및 개별 퓨즈를 이용한 보호 방식은 기존의 AC 변전소에서 역률 보상용으로 사용되는 커패시터 뱅크에서도 사용되고 있는 방식이다 [117]. 캐패시터 뱅크를 이루는 개별 캐패시터들은 고장 확률은 낮지만 초기 투입시나 원격 스위칭 서지(surge), 뇌유도 서지 등의 과전압에 의해서 고장이 발생할 수 있다. 하지만 동시에 여러 캐패시터가 고장날 확률은 낮기 때문에 하나의 고장 캐패시터를 분리하기 위해서 아래와 같은 회로를 구성할 수 있다. 그림 2-22(a)와 같이, 먼저 캐패시터와 퓨즈를 직렬로 구성하고 이를 상 별로 다수 병렬 회로로 구성한다. 이 회로에서 단락발생시에는 그림 2-22(b)와 같이 해당 캐패시터로 다른 캐패시터의 방전 전류가 병렬로 집중되는 현상을 이용하여 고장 캐패시터를 회로에서 분리할 수 있다.



(a)

(b)

그림 2-22. 개별 퓨즈를 이용한 AC 역률 보상용 캐패시터 과전류 보호 방식[117] (a) 상 당 4개의 캐패시터 및 개별 퓨즈가 달린 역률 보상용 캐패시터 뱅크, (b) 한 상에서 한 커패시터 고장시 다른 캐패시터로부터의 병렬 방전

위 방식이 올바르게 동작하도록 설계하려면 다음을 고려해야 한다 [117].

- (1) 캐패시터의 정격 전류를 고려하여 정격 전류 135% 이상의 전류 정격을
 가지는 퓨즈가 선정되어야 한다.
- (2) 퓨즈는 정상적이고 일시적인 과도 전류 상태를 견딜 수 있어야 한다.
- (3) 고장 시, 회로에서 퓨즈를 용단시키기 위해 필요한 전류가 발생될 수 있는지 고려해야 한다.
- (4) 전원 역할을 하는 건전 캐패시터와 퓨즈는 고장 제거시까지 전류를

견딜 수 있어야 한다.

- (5) 고장 발생시 및 고장 제거 후 다른 상의 캐패시터에 또 다른 과전압이 발생할 수 있는 지 검토해야 한다.
- (6) 다른 보호협조 방식과 충돌이 있는지 검토하여야 한다.

비슷한 관점으로, 선박용 DC전력시스템은 다수 VSC의 퓨즈를 포함한 DC링크 캐패시터가 서로 병렬로 연결되어 있는 구조를 가지고 있다. 그리고 각각의 VSC는 일반적으로 그 순간 정전 시에도 운전이 가능하도록 큰 DC링크 캐패시턴스를 가지고 있다. 그림 2-22의 사례와 유사하게 만약 DC 전력시스템의 한 지점에서 단락 사고가 발생하면, 주변의 건전한 DC링크 캐패시터로부터 사고 지점으로 큰 단락사고 전류가 급격하게 흐르게 된다. 하지만 AC 전력시스템에서의 사례와 다른 점은 극성이 바뀌지 않고 비교적 일정한 전압이 유지된다는 점이고, 만약 제 때에 고장이 제거되지 못하면 열적 내량이 낮은 전력반도체가 소손될 수도 있다는 점이다.

따라서 VSC 기반 DC전력시스템의 단락보호시스템은 캐패시터 전압이 0이 되기 전에 고장 지점을 선택적으로 차단(discrimination)하여 정상 동작 중인 전력반도체를 보호하는 것이 중요하다. 가능하다면 영전압까지 떨어지도록 기다릴 것이 아니라 정상 VSC의 안정적인 동작이 가능한 전압강하 범위 내에서 사고 부위를 차단하고 시스템 전압을 회복하는 것이 DC전력시스템의 좀 더 안정적인 보호 방법이라고 할 수 있다. 따라서 사고시 캐패시터의 전압과 단락사고 전류를 사전에 분석하여 단락보호시스템의 동작이 원하는 조건 하에서 원활히 일어날 수 있도록 해야 한다.

그림 2-23(a)는 4개의 VSC로 이루어진 DC전력시스템에서 좌측 SGM 내에서 단락이 발생했을 때 주위의 Inv1, Inv2, Inv3의 캐패시터에서 방전되는 전류가 SGM1측 퓨즈에 집중되는 현상을 이용해 해당 퓨즈만을 용단시키는 방식을 보여주는 예시이다 [15]. 그리고 그림 2-23의 (b), (c), (d), (e)는 각각 SGM1, Inv1, Inv2, Inv3의 퓨즈에 흐르는 전류를 시뮬레이션을 통하여 구한 후 이를 퓨즈의 용단 곡선과 그래프 상에서 비교한 것이다. 사고 지점 SGM1의 퓨즈에는 용단 곡선과 만나는 전류가 발생하여 용단이 이루어지고, 정상 VSC인 Inv1, Inv2, Inv3의 퓨즈는 용단 곡선과 전류 곡선의 교점이 없으므로 용단이 되지 않음을 알 수 있다. 이러한 방식으로 퓨즈 보호시스템의 선택성을 증명할 수는 있지만 해당 문헌에서는 퓨즈 용단 후 남은 캐패시터 전압에 대한 고려는 하고 있지 않고, 또한 사고 저항을 경험적 최소값으로만 가정한 최종 시뮬레이션 결과만 보여주고 있는 것이 한계점이다.



그림 2-23. 단락전류 시뮬레이션 및 퓨즈 용단여부 비교판별[15] (a) DC전력시스템 내 SGM1의 단락사고시 사고전류의 흐름, (b) SGM1측 사고전류 및 퓨즈곡선, (c) Inv1측 방전전류 및 퓨즈곡선, (d) Inv2측 방전전류 및 퓨즈곡선, (e) Inv3측 방전전류 및 퓨즈곡선 만약 위와 같은 시뮬레이션 분석을 수행하여도 만약 선택 차단이 되지 않는다면 해당 보호시스템의 수정 설계가 필요하다. 이를 위해 용단 *Pt*가 낮은 퓨즈를 선정하거나 더 많은 고장 전류를 발생시키도록 캐패시턴스나 인덕턴스, 저항성분 등과 같은 DC 전력시스템 내 파라미터를 수정하는 방법이 있을 수 있다. 하지만 시스템 정격 전압 V₀의 변경은 어렵고, 선로 인덕턴스 *L*을 줄이기 위해 기기 간 거리를 줄이는 것도 물리적인 한계가 있다. 또한 등가 저항 *R*을 줄이기 위해 케이블의 단면적을 증가시키면 설치 비용이 크게 상승하기 때문에 결국 캐패시턴스 *C*를 증가시키는 것이 가장 현실적인 방법이다. 이와 유사하게, 상용화된 보호시스템이나 관련 문헌에서도 보호시스템의 동작을 위해 캐패시턴스가 부족한 경우 별도의 캐패시터 뱅크를 추가하고 있다 [12], [31], [46]. 이와 같이 비용을 고려하여 적정 크기의 캐패시턴스를 확보해야 하기 때문에 최소 캐패시턴스 계산이 필요하고, 이를 통해 DC 전력시스템의 경제성과 안정성을 모두 확보하는 것이 중요하다.

2.3.3 DC 보호시스템 상세 설계에 대한 기존의 연구

단일 R-L-C 회로에서 저항 성분이 0인 경우에는, 식 (2.21)과 같이 J_{fuse}의 용단 *I*²t를 가진 퓨즈를 용단시키는데 필요한 최소 캐패시턴스를 비교적 용이하게 구할 수 있다 [118].

$$C > \left\{ \left(\frac{4 \cdot J_{fuse}}{\pi \cdot V_0^2} \right)^2 \cdot L \right\}^{\frac{1}{3}}$$
(2.21)

하지만 VSC 기반 DC전력시스템은 내부의 다수 캐패시터와 이들 사이의 임피던스를 포함한 복잡한 회로이기 때문에 사고 회로의 수학적 모델링은 다차원의 미분 방정식 또는 다 변수의 상태공간(multi-variable state-space) 표현식으로 나타낼 수 있다 [119]. 따라서 해석적으로 적절한 캐패시턴스 값을 구하고자 하여도, 다수의 VSC로 이루어진 DC전력시스템 다변수 특성 및 음함수(implicit function) 특성 때문에 전류 및 *Pt*에 대한 역함수(inverse function)를 구하기는 매우 어렵다. 하지만 만약 복잡한 네트워크의 다변수 시스템을 단락사고 지점을 기준으로 한 등가 회로로 나타낼 수 있다면, R_{eq} , L_{eq} , C_{eq} 와 같은 등가 파라미터를 사용하여 단락사고 지점의 퓨즈 용단 유무를 손쉽게 판단할 수 있다. 저감쇠인 경우의 전류식 (2.12)를 바탕으로 임의의 시간 t에서의 줄적분(Joule-integral)인 Pt를 구하면, 식 (2.22)와 같은 복잡한 식으로 나타나게 된다 [46].

$$j_{C,u}(t) = \int_{0}^{t} i_{C,u}^{2}(\tau) d\tau$$

$$= \frac{1}{2} \left(\frac{V_{0}}{\omega_{d}L} \right)^{2} \cdot \frac{1}{2} \left[e^{-2\alpha\tau} \left(\frac{\alpha \cos\left(2\omega_{d}\tau\right) - \omega_{d} \sin\left(2\omega_{d}\tau\right)}{\alpha^{2} + \omega_{d}^{2}} - \frac{1}{\alpha} \right) \right]_{0}^{t} \quad (2.22)$$

$$E_{T}^{1}, \ \alpha = \frac{R}{2L}, \ \omega_{0} = \frac{1}{\sqrt{LC}}, \ \omega_{d} = \sqrt{\omega_{0}^{2} - \alpha^{2}}$$

과감쇠인 경우에는, 전류 식 (2.15)를 이용하여 임의의 시간 t에서의 Pt 함수 *jc_o(t)*를 구할 수 있고, 식 (2.23)과 같이 나타나게 된다.

$$j_{C,o}(t) = \int_{0}^{t} i_{C,o}^{2}(\tau) d\tau = \left(\frac{V_{0}}{L(a-b)}\right)^{2} \int_{0}^{t} \left(e^{-2a\tau} + e^{-2b\tau} - 2e^{-(a+b)\tau}\right) d\tau$$

$$= \left(\frac{V_{0}}{L(a-b)}\right)^{2} \left[-\frac{1}{2a}e^{-2a\tau} - \frac{1}{2b}e^{-2b\tau} + \frac{2}{a+b}e^{-(a+b)\tau}\right]_{0}^{t}$$

$$\stackrel{\text{(2.23)}}{\stackrel{\text{T}}{\text{t}}}, \ a = \alpha + \sqrt{\alpha^{2} - \omega_{0}^{2}}, \ b = \alpha - \sqrt{\alpha^{2} - \omega_{0}^{2}}$$

이와 같이 시간 t일 때의 캐패시터에서 방전되는 등가 *P*t를 해석적으로 구할 수는 있지만, 지수함수와 삼각함수로 이루어져 있어 계산 자체가 어려운 경우가 많고, 역함수를 통해 식을 만족하는 파라미터나 시간의 해석적인 해를 구하기는 매우 어렵다. 대안적인 방법으로는 먼저, 파라미터의 다양한 조합에 대하여 미리 계산된 참조데이터를 이용하는 방식을 생각할 수 있다.

IEC 61660-1 표준에서는 배터리, 캐패시터, 정류기 등 직류 배전 설비에

흐를 수 있는 고장 전류를 그림 2-24의 표준 근사함수 기반으로 각 특성량을 용이하게 참조할 수 있는 방법(reference method)을 제시하였다. 예를 들어 캐패시터 단락전류 특성량을 계산하기 위해서는 먼저 등가회로의 *R*, *L*, *C*를 이용하여 α와 ω₀를 계산한 후, α와 ω₀의 함수로 이루어진 첨두단락전류(*i*_p), 첨두도달시간(*t*_p), 상승시정수(*τ*₁) 및 감쇠시정수(*τ*₂)의 참조곡선을 이용하여 각각의 값을 도출해낼 수 있다. 하지만 이 표준에는 *Pt*를 참조할 수 있는 데이터가 제시되어 있지 않아 퓨즈 보호시스템 설계시에 활용하기가 어렵다.



그림 2-24. IEC 61660-1 고장 전류의 표준 근사함수

따라서 기존 연구에서는 참조법을 사용하거나 수학적으로 정확한 해를 구하기 보다는 그림 2-25(a) 및 그림 2-26과 같이 캐패시턴스 또는 다른 파라미터를 함께 점진적으로 변경하면서 고장 *Ft를* 계산하고 퓨즈의 용단 *Ft와* 비교하여 퓨즈 용단조건이 만족될 때까지 반복하는 방식을 제안하였다 [46], [47]. 이 같은 방식은 일반적이고 다양한 경우에 대해서 적용할 수 있지만 파라미터의 변경에 따라 어느 정도의 고장 *Ft* 양이 변경되는지 직관적이지 않고 시뮬레이션을 포함한 계산량이 많아 일일이 컴퓨터를 이용해야 하는 단점이 있다. 또한 적절한 설계값이 나올 때까지는 컴퓨터 시뮬레이션 결과를 매 번 보고 다시 어느 정도의 스텝으로 변경할지를 판단해야 하기 때문에 전체 설계 시간이 늘어날 수도 있다.



그림 2-25. Kim이 제안한 점진적 반복법을 이용한 추가 캐패시턴스 산정 방식[46] (a) 추가 캐패시턴스를 정하기 위한 점진적 반복 플로우 차트, (b) 집중된 형태와 분산된 형태의 전력시스템에서 캐패시턴스 계산 결과


그림 2-26. Ravyts가 제안한 종합적인 퓨즈 기반 보호 방식 설계 순서도[47]

제 3장 정규화된 캐패시터 방전 I²t Map

본 장에서는 캐패시터 전압, 고장 1 단계 진행시간, 캐패시터 전류를 비 감쇠 회로의 기준 값(base value)으로 각각 정규화할 수 있음을 보인다. 이는 R-L-C 등가회로의 *L*, *C*, *V*⁰ 성분이 대개 변하지 않기 때문에 상수로 취급할 수 있다는 가정에 근거하고 있다. 이를 통해, 정규화된 항을 감쇠비와 위상각에 대하여 표현한 정규화된 캐패시터 방전 *Pt* Map을 제시할 수 있다.

3.1 캐패시터 방전 특성식의 정규화

VSC기반의 DC전력시스템에서 퓨즈 보호시스템 설계를 용이하게 하기 위해서는 단락사고시 회로 파라미터(*R*, *L*, *C*, *V*₀)에 따라 발생하는 *P*t와 남은 캐패시터 전압 *vc*를 직관적으로 파악할 수 있는 방법이 필요하다. 이를 위해서는 가정을 통해 상수로 취급 가능한 파라미터로 변수의 수를 최대한 줄이고, 수식이 복잡한 부분은 정규화된 데이터를 참조표로 제공하여 기준값(Base value)만 산출하면, 정규화 및 역정규화를 통해 실제 값과 정규화된 값을 상호 변환할 수 있다.

우선 캐패시터로부터 단락전류가 공급되는 과정에서 예측이 가능하며 상수로 취급 가능한 파라미터가 있는지 살펴본다. 캐패시터 초기 전압 Vo는 단락사고 직전의 전력시스템 전압이므로 기존 설계값으로 예측 및 상수로 취급이 가능하다. 등가 인덕턴스 L 또한 기기의 물리적인 크기와 정상 컨버터에서 사고지점까지의 거리가 고정되어 있으므로 예측 및 상수로 취급이 가능하다. 등가 캐패시턴스 C는 정상 컨버터에 이미 설치되어 있는 DC 링크 캐패시턴스를 의미하기 때문에 사고 중에는 변하지 않으므로 역시 예측 및 상수 취급이 가능하다. 등가 저항 R은 전력 케이블, 버스바, 캐패시터 내부 저항(ESR) 및 사고저항 R_F 등으로 이루어지는데, 사고저항 R_F는 기존 연구에서는 경험적인 최소 사고 저항값을 사용하였지만 사실 사고가 발생하기 전까지는 알 수 없는 값이다. 다른 저항값들은 설계된 상수 값으로 예측이 가능하지만 사고저항은 고정되지 않아 최종 등가 저항 R은 변수로 남겨두어야 한다. 위에서 살펴본 바와 같이 단일 등가 R-L-C회로에서 L, C와 Vo의 값은 상수라고 둘 수 있고, 이를 근거로 퓨즈 보호시스템의 설계 대상 파라미터를 정할 수 있다. 첫 번째로 퓨즈를 용단시키기에 충분한 Ft를 발생시킬 수 있는 등가 저항 R의 범위를 파악할 수 있어야 한다. 기존 연구는 대부분 최소 저항값 또는 몇 가지 사고 저항에 대하여 시뮬레이션을 수행함으로써 보호 동작을 보여주었지만, 반대로 퓨즈 보호시스템의 동작을 보증하는 사고 저항의 범위를 제시할 수 있는 것이 보호 시스템 설계에 바람직하다. 두 번째로는 퓨즈가 용단될 때의 남은 캐패시터 전압 vc도 일정 이상 확보해야 한다. 이는 선택 차단이 되었을 때 DC전력시스템의 전압 또는 정상 VSC 들의 캐패시터 전압이 일정 이상 남아있어야 순간적인 정전없이 계속 운전할 가능성이 높기 때문이다.

2.1절과 2.3절에서는 모든 파라미터에 대한 수식을 보여주었으나 위의 상수화 가정을 통해 수식을 간단히 표현할 수 있다면, 퓨즈 보호시스템 설계시 컴퓨터 시뮬레이션에 덜 의존적인 방법으로 직관적인 값을 도출하는데 도움이 될 것이다. 본 절에서는 위에서 고려한 세 가지 변수, 즉 등가 저항 *R*, 캐패시터 전압 *vc*, 캐패시터 *Pt*인 *jc*를 각각의 기준 값을 통하여 구한 정규화(per-unit화)한 변수 ζ, *vc*pu, *jc*pu로 변경하고, 수식 또한 이를 기준으로 새롭게 정리한다. 그리고 수식적으로 복잡한 부분은 정규화된 등가 저항 절반 값 ζ 과 정규화된 캐패시터 전압 *vc*pu에 대하여 정규화된 캐패시터 방전 *Pt* Map (nomalized capacitor-discharge *Pt* Map)을 통해 나타낼 수 있음을 보인다. 본 방식을 사용하면 서로 다른 파라미터를 가진 DC 전력시스템의 경우에도 정규화 Map을 이용하여 적절한 퓨즈 보호 시스템을 설계할 수 있다는 장점이 있다.

수식을 분석하기에 앞서, 수식을 단순화할 수 있는 대상은 정격 전압이 비교적 높고, 캐패시턴스는 크며, 선로의 길이는 짧아 단락 사고시의 캐패시터 방전 전류가 정격 전류보다 훨씬 큰 VSC 기반의 DC 전력시스템을 대상으로 한다. 가선이 수 km에 걸쳐 설치되어 있는 육지 마이크로그리드는 비교적 적합하지 않으며, 좁은 면적에 큰 VSC가 다수 설치된 선박의 경우가 이에 해당한다. 해당 시스템의 등가회로에서 초기 전류 *I*₀는 캐패시터 방전 전류의 피크값에 비해 충분히 작아 무시할 수 있으며, 시작 시점부터 종료시까지 *R*, *L*, *C* 의 파라미터는 변하지 않는다고 가정한다. 그리고 단락사고 1 단계의 종료시점은 캐패시터 전압이 0에 도달하거나 지수적으로 매우 가까워질 때로 한다.

1) 기준 값(Base value)의 선정

본 절에서는 저항값은 고정이지만 미지의 변수로 가정하였으므로 다양한 결과 값이 존재할 수 있다. 저항 성분의 영향을 배제하기 위해서는 저항성분이 없는 L-C 공진회로에서의 캐패시터 전압, 전류, 시간, *Pt*의 특징적인 값들을 기준 값으로 각각 선정하는 것이 필요하다.

단락사고 1 단계 내에서 캐패시터 전압은 사고 시부터 지속적으로 0까지 감소하므로 기준 값은 초기 캐패시터 값 Vo로 정할 수 있다.

$$V_{\rm CB} = V_0 \cos(0) = V_0. \tag{3.1}$$

단락사고 발생시부터 1 단계 종료시까지의 시간은 파라미터와 감쇠비에 따라 모두 달라지기 때문에 시간도 정규화하여 표현할 필요가 있다. 시간의 기준 값은 L-C 공진회로에서 캐패시터 전압이 V₀에서 0 이 될 때까지 걸리는 시간으로 정할 수 있고, 이는 공진주기(2π)의 사 분의 일과 같다.

$$T_{\rm CB} = \frac{\pi}{2} \frac{1}{\omega_0} = \frac{\pi}{2} \sqrt{LC} \,. \tag{3.2}$$

캐패시터 전류는 1 단계 내에서 지속적으로 상승하여 1 단계 종료시에 최대값에 도달하므로 기준 값은 1단계 종료시의 최대 피크값으로 정할 수 있다.

$$I_{\rm CB} = \frac{V_0}{\omega_0 L} \sin\left(\frac{\pi}{2}\right) = V_0 \sqrt{\frac{C}{L}} \,. \tag{3.3}$$

캐패시터 방전 *Pt*의 기준 값은 위에서 정한 전류와 시간의 기준 값을 고려하여 1 단계 종료시까지 발생하는 *Pt* 값으로 정할 수 있다.

$$J_{\rm CB} = \int_0^{T_{\rm CB}} \left(\frac{V_0}{\omega_0 L} \sin(\omega_0 t)\right)^2 dt = \frac{\pi}{4} V_0^2 \sqrt{\frac{C^3}{L}} \,. \tag{3.4}$$

2) 등가저항 R과 시간 t의 정규화 : 감쇠비 ζ와 위상각 θ

앞의 2.1절과 2.3절에서 소개한 캐패시터 전압, 전류, *Pt* 식을 위에서 소개한 기준 값을 이용하여 정규화하기 위해서는 식의 다른 항에 사용된 변수들도 정규화할 필요가 있다. 감쇠비(damping ratio) ζ는 저항성분이 포함된 공진 특성의 방정식에서 정의되고 그 값의 크기에 따라 L-C 공진회로의 전압-전류 감쇠특성을 결정하게 되는데, 그 값이 0일 때는 비 감쇠(Undamping), 0 보다 크고 1 미만일 때는 저감쇠(Underdamping), 1일 때는 임계감쇠(Criticaldamping), 1 보다 클 때는 과감쇠(Overdamping)의 특성을 가진다.

다른 관점에서 바라보면, 감쇠비는 일종의 정규화된 저항 값이라고 할 수 있다. 임피던스 기준 값 Z_{CB}는 전압의 기준 값 V_{CB}와 전류의 기준 값 I_{CB}를 이용하여 식 (3.5)와 같이 표현할 수 있는데, 감쇠비는 식 (3.6)과 같이 등가저항 R을 Z₀로 정규화한 저항의 절반값임을 알 수 있다. 그리고 참고로 Z_{CB}는 LC공진회로의 특성 임피던스(Characteristic Impedance) Z₀의 정의와 같음을 알 수 있다.

$$Z_{\rm CB} = \frac{V_{\rm CB}}{I_{\rm CB}} = Z_0 = \sqrt{\frac{L}{C}} \,. \tag{3.5}$$

$$\zeta = \frac{R}{2} \sqrt{\frac{C}{L}} = \frac{1}{2} \cdot \frac{R}{Z_{\rm CB}}.$$
(3.6)

감쇠비 ζ를 이용하면, 기존의 감쇠 상수 α와, 감쇠 고유주파수 ω_d 및 β를 식 (3.7)과 같이 ζ와 ω₀의 변수로 나타낼 수 있다.

$$\alpha = \frac{R}{2L} = \zeta \omega_0$$

$$\omega_d = \sqrt{\omega_0^2 - \alpha^2} = \sqrt{1 - \zeta^2} \omega_0 \qquad (3.7)$$

$$\beta = \arctan\left(\frac{\omega_d}{\alpha}\right) = \arctan\left(\frac{\sqrt{1-\zeta^2}}{\zeta}\right)$$

한편, 단락사고 후 진행시간 t는 L-C 공진회로의 공진주기로 나누어 정규화를 할 수 있으며, 이렇게 정규화된 시간 t는 식 (3.8)과 같이 위상각 θ의 정의와 같음을 알 수 있다.

$$\theta = \omega_0 t = \frac{t}{\sqrt{LC}} \,. \tag{3.8}$$

3) 전 감쇠비 영역에서의 전압, 시간, 전류, Pt의 정규화

앞에서 살펴보았지만 캐패시터의 전압, 1단계 종료시간, 캐패시터의 전류 및 *Pt* 수식은 감쇠비에 따라 모두 다른 수식으로 표현된다. 그러나 위에서 살펴본 기준 항은 모든 감쇠비에 대하여 일반적으로 적용할 수 있으므로, 기존에 *R*과 *t*의 함수로 나타났던 항들은 정규화된 변수인 ζ 및 *θ*로 통일하여 표현할 수 있다. 여기서는 감쇠비의 범위에 따라 비 감쇠(n), 부족감쇠(u), 임계감쇠(c)와 과감쇠(o)인 경우에 대하여 수식을 정리한다.

(i) 비 감쇠인 경우 (ζ=0)

비 감쇠인 경우의 특징적인 값은 기준 값을 선정할 때 활용하였으나, 시간 t에 대한 캐패시터 전압, 전류, *Pt*의 식을 ζ및 θ에 대해서 정리할 수 있다. 우선, 주파수 영역에서의 캐패시터 전압 방정식은 식 (3.9)와 같다. 아래 첨자 n은 비 감쇠인 경우를 뜻한다.

$$v_{\rm C,n}(s) = V_0 \frac{s}{s^2 + \omega_0^2}.$$
 (3.9)

식 (3.9)를 라플라스 역변환하면 식 (3.10)과 같고 기준 값인 VCB와 그 외

정규화된 항의 곱으로 나타낼 수 있다. 아래 첨자는, 정규화는 물리적인 단위를 per-unit화 한다는 뜻에서 pu를 사용하였다.

$$v_{C,n}(t) = V_0 \cdot \cos(\omega_0 t) = \{V_0\} \cdot \{\cos(\theta)\}$$

= $V_{CB} \cdot \{\cos(\theta)\} = V_{CB} \cdot v_{Cpu,n}(0, \theta)$ (3.10)

식 (3.10)은 주기 함수의 형태를 가지고 있으나, 1 단계 내의 시간 및 위상각 범위 내에서만 정의되고 뒤에서 구할 전류식과 *Pt*식 또한 같은 정의역을 가진다. 정의역의 최대값인 비 감쇠시 1 단계 종료시간 *T*cn은 식 (3.10)의 캐패시터 전압이 0이 되는 시간이므로 식 (3.11)과 같이 구할 수 있고, 이 역시 기준값과 정규화된 항의 곱 형태로 나타낼 수 있다. 종료 시각은 *t* 자체의 범위를 나타내기 때문에 다른 정규화 함수와 달리 *ζ*에 대한 일변수 함수이다.

$$T_{C,n} = \frac{\pi}{2} \frac{1}{\omega_0} = \left\{ \frac{\pi}{2} \sqrt{LC} \right\} \cdot \{1\}$$

= $T_{CB} \cdot \{1\} = T_{CB} \cdot T_{Cpu,n}(0)$ (3.11)

한편 캐패시터 방전 전류는 캐패시터 전압의 미분과 같으므로 식 (3.12)와 같이 구할 수 있고, 위 전류식을 이용하여 단락사고 이후부터 시간 *t*동안의 캐패시터 방전에 의한 *Pt*를 구하면 다음 식 (3.13)과 같이 나타낼 수 있다. 두 경우 또한 기준 값과 정규화된 항의 곱으로 나타낼 수 있다.

$$i_{C,n}(t) = -C \frac{dv_{C,n}(t)}{dt} = \frac{V_0}{L\omega_0} \sin\left(\omega_0 t\right) = \left\{\frac{V_0}{L\omega_0}\right\} \cdot \left\{\sin\left(\theta\right)\right\} = I_{CB} \cdot \left\{\sin\left(\theta\right)\right\} = I_{CB} \cdot i_{Cpu,n}\left(0,\theta\right)$$
(3.12)

$$j_{C,n}(t) = \int_0^t i_{C,n}^2(\tau) d\tau = \left\{ \frac{\pi}{4} V_0^2 \sqrt{\frac{C^3}{L}} \right\} \cdot \left\{ \frac{1}{\pi} \left(2\theta - \sin(2\theta) \right) \right\}$$

= $J_{CB} \cdot \left\{ \frac{1}{\pi} \left(2\theta - \sin(2\theta) \right) \right\} = J_{CB} \cdot j_{Cpu,n}(0,\theta)$ (3.13)

(ii) 부족 감쇠인 경우(0 < ζ < 1)

앞의 2.1절에서 이미 부족감쇠인 경우에 대한 수식이 소개되어 있지만 여기에서는 추가로 ζ 및 θ에 대해서 표현하면 아래와 같다. 초기 전류에 해당되는 성분을 무시한 주파수 영역에서의 캐패시터 전압 식은 아래 식 (3.14)와 같다. 아래 첨자는 부족감쇠의 의미로 u를 사용한다.

$$v_{\rm C,u}(s) = \frac{V_0(s+2\alpha)}{(s+\alpha)^2 + \omega_d^2} .$$
(3.14)

라플라스 역변환을 통하여 식 (3.14)는 식 (3.15)와 같이 시간 t에 대한 식으로 나타낼 수 있으며, 추가로 ζ및 θ에 대해서도 나타낼 수 있다.

$$\begin{aligned} v_{\mathrm{C},\mathrm{u}}(t) &= V_0 \cdot \frac{\omega_0}{\omega_d} \cdot e^{-\alpha t} \sin\left(\omega_d t + \beta\right) \\ &= \left\{ V_0 \right\} \cdot \left\{ \frac{e^{-\zeta \theta}}{\sqrt{1-\zeta^2}} \sin\left(\sqrt{1-\zeta^2}\theta + \arctan\left(\frac{\sqrt{1-\zeta^2}}{\zeta}\right)\right) \right\}. \end{aligned} \tag{3.15}$$
$$&= V_{\mathrm{CB}} \cdot v_{\mathrm{Cpu,u}}(\zeta, \theta)$$

감쇠비가 ζ 일 때 캐패시터 전압이 0이 되는 시간 $T_{C,u}$ 는 식 (3.15)를 이용하여 식 (3.16)과 같이 ζ 의 함수로 나타낼 수 있다. 여기에서도 마찬가지로 $0 \le t \le T_{C,u}(\zeta)$ 시간 범위 내에서 전압, 전류, Pt의 함수 및 역함수가 존재한다.

$$T_{C,u}(\zeta) = \left\{ \frac{\pi}{2} \sqrt{LC} \right\} \cdot \left\{ \frac{2}{\pi} \frac{1}{\sqrt{l-\zeta^2}} \left(\pi - \arctan\left(\frac{\sqrt{l-\zeta^2}}{\zeta}\right) \right) \right\}.$$

$$= T_{CB} \cdot T_{Cpu,u}(\zeta)$$
(3.16)

그 외에 캐패시터 전류에 대한 식 (2.12)는 식 (3.17)과 같이, *Pt*에 대한 식 (2.21)은 식 (3.18)과 같이 각각 ζ 와 θ의 함수로 나타낼 수 있다.

$$i_{\mathrm{C,u}}(\zeta,\theta) = \frac{V_0}{\omega_d L} e^{-\alpha t} \sin(\omega_d t) = \left\{ \frac{V_0}{\omega_0 L} \right\} \cdot \left\{ \frac{e^{-\zeta\theta}}{\sqrt{1-\zeta^2}} \sin\left(\sqrt{1-\zeta^2}\theta\right) \right\}. \quad (3.17)$$
$$= I_{\mathrm{CB}} \cdot i_{\mathrm{Cpu,u}}(\zeta,\theta)$$
$$j_{\mathrm{C,u}}(\zeta,\theta) = \left\{ \frac{\pi}{4} V_0^2 \sqrt{\frac{C^3}{L}} \right\} \cdot \left[\frac{1}{\pi} \left\{ \frac{e^{-2\zeta\theta}}{1-\zeta^2} \left(\frac{\zeta \cdot \cos(2\sqrt{1-\zeta^2}\theta) - \frac{1}{\zeta}}{-\sqrt{1-\zeta^2}\sin(2\sqrt{1-\zeta^2}\theta)} \right) + \frac{1}{\zeta} \right\} \right]. \quad (3.18)$$

$$= J_{\rm CB} \cdot j_{\rm Cpu,u}(\zeta,\theta)$$

(iii) 임계 감쇠인 경우(ζ=1)

임계감쇠부터는 공진 성분없이 전압의 감쇠가 이루어지며, 주파수 영역에서의 캐패시터 전압 방정식은 식 (3.19)와 같다. 아래 첨자 c는 임계감쇠인경우를 뜻한다.

$$v_{\rm C,c}(s) = \frac{sV_0 + 2\alpha V_0}{(s+\alpha)^2} = \frac{V_0(s+\alpha)}{(s+\alpha)^2} + \frac{V_0\alpha}{(s+\alpha)^2}.$$
 (3.19)

이를 라플라스 역변환하여 시간 t에 대하여 나타내면 다음과 같다.

$$v_{\mathrm{C,c}}(t) = V_0 e^{-\alpha t} + (V_0 \alpha) t \cdot e^{-\alpha t} = \{V_0\} \cdot \{(1+\theta)e^{-\theta}\}$$

= $V_{CB} \cdot v_{\mathrm{Cpu,c}}(1,\theta)$ (3.20)

감쇠비 ζ가 1일 때는 캐패시터 전압식 (3.20)은 지수적으로 감소하여 0이 되지 않는다. 하지만 시정수의 다섯 배정도 시간이 지나면 지수항이 목표치의 99%로 근접하게 된다. 이를 기준으로 단락사고 1단계의 종료시간을 식 (3.21) 과 같이 근사적으로 설정할 수 있다.

$$T_{\rm C,c} \approx \frac{5}{\alpha} = \frac{5}{\omega_0} = \left\{ \frac{\pi}{2} \frac{1}{\omega_0} \right\} \cdot \left\{ \frac{10}{\pi} \right\}$$

= $T_{\rm CB} \cdot T_{\rm Cpu,c} \left(1 \right)$ (3.21)

다른 경우들과 마찬가지로 0 ≤ t ≤ T_{C,c} 범위 내에서 전압, 전류, *Pt* 함수 및 역함수가 존재한다. 캐패시터 방전 전류는 캐패시터 전압을 미분하여 식 (3.22)와 같이 구할 수 있고 캐패시터 방전 *Pt*는 식 (3.23)과 같이 나타낼 수 있다.

$$i_{\mathrm{C,c}}(t) = -C \frac{dv_{\mathrm{C,c}}(t)}{dt} = \left(\frac{V_0}{L\omega_0}\right) \cdot \omega_0 t \cdot e^{-\omega_0 t} = \left\{\frac{V_0}{L\omega_0}\right\} \cdot \left\{\theta e^{-\theta}\right\}.$$

$$= I_{CB} \cdot i_{\mathrm{Cpu,c}}\left(1,\theta\right)$$

$$j_{\mathrm{C,c}}(t) = \left\{\frac{\pi}{4}V_0^2 \sqrt{\frac{C^3}{L}}\right\} \cdot \left[\frac{1}{\pi} \cdot \left\{1 - e^{-2\theta} \cdot \left(2\theta^2 + 2\theta + 1\right)\right\}\right].$$

$$= J_{\mathrm{CB}} \cdot j_{\mathrm{Cpu,c}}(1,\theta)$$
(3.22)
$$(3.23)$$

(iv) 과감쇠의 경우 (ζ>1)

과감쇠 또한 공진성분 없이 전압의 감쇠가 이루어지며, 주파수 영역에서의 캐패시터 전압 방정식은 식 (3.24)와 같다. 아래 첨자 o는 과감쇠인 경우를 뜻한다.

$$v_{\rm C,o}(s) = \frac{sV_0 + 2\alpha V_0}{(s+a)(s+b)} = \frac{sV_0}{(s+a)(s+b)} + \frac{2\alpha V_0}{(s+a)(s+b)}.$$
 (3.24)
Et. $a = \alpha + \sqrt{\alpha^2 - \omega_0^2}, b = \alpha - \sqrt{\alpha^2 - \omega_0^2}$

이를 라플라스 역변환하여 시간 영역으로 나타내면 다음과 같다.

$$v_{\rm C,o}(t) = V_0 \frac{ae^{-bt} - be^{-at}}{a - b}$$

= { V_0 } $\cdot \left\{ \frac{\left(\zeta + \sqrt{\zeta^2 - 1}\right)e^{-\left(\zeta - \sqrt{\zeta^2 - 1}\right)\theta} - \left(\zeta - \sqrt{\zeta^2 - 1}\right)e^{-\left(\zeta + \sqrt{\zeta^2 - 1}\right)\theta}}{2\sqrt{\zeta^2 - 1}} \right\}$. (3.25)
= $V_{\rm CB} \cdot v_{\rm Cpu,o}(\zeta, \theta)$

여기에서 *a > b* 이므로 *ae^{-bt}* 항이 지배적(dominant)이므로 시정수를 1/b로 설정할 수 있다. 그리고 시정수의 다섯 배정도 시간이 지나면 지수항이 목표치에 99%로 근접하게 된다. 이를 기준으로 단락사고 1 단계의 종료시간을 식 (3.26)과 같이 근사적으로 설정할 수 있다.

$$T_{C,o}(\zeta) \approx \frac{5}{b} = \frac{5}{\alpha - \sqrt{\alpha^2 - \omega_0^2}} = \left\{\frac{\pi}{2}\frac{1}{\omega_0}\right\} \cdot \left\{\frac{2}{\pi}\frac{5}{\left(\zeta - \sqrt{\zeta^2 - 1}\right)}\right\}.$$
 (3.26)
$$= T_{CB} \cdot T_{Cpu,o}(\zeta)$$

다른 경우들과 마찬가지로 0 ≤ t ≤ T_{C,o}(ζ) 범위 내에서 전압, 전류, Pt 함수 및 역함수가 존재한다. 캐패시터 방전 전류는 캐패시터 전압을 미분하여 식 (3.27)과 같이 구할 수 있고 캐패시터 방전 Pt는 식 (3.28)과 같이 나타낼 수 있다.

$$i_{C,o}(t) = -C \frac{dv_{C,o}(t)}{dt} = \frac{V_0}{L(b-a)} \left(e^{-at} - e^{-bt} \right)$$
$$= \left\{ \frac{V_0}{L\omega_0} \right\} \cdot \left\{ \frac{1}{2\sqrt{\zeta^2 - 1}} \left(e^{-\left(\zeta - \sqrt{\zeta^2 - 1}\right)\theta} - e^{-\left(\zeta + \sqrt{\zeta^2 - 1}\right)\theta} \right) \right\}.$$
(3.27)
$$= I_{CB} \cdot i_{Cpu,o} \left(\zeta, \theta\right)$$

$$j_{C,o}(t) = \int_{0}^{t} i_{C,o}^{2}(\tau) d\tau = \left(\frac{V_{0}}{L(b-a)}\right)^{2} \left[-\frac{1}{2a}e^{-2a\tau} - \frac{1}{2b}e^{-2b\tau} + \frac{2}{a+b}e^{-(a+b)\tau}\right]_{0}^{t}$$
$$= \left(\frac{\pi}{4}V_{0}^{2}\sqrt{\frac{C^{3}}{L}}\right) \cdot \left\{\frac{1}{\pi}\left(\frac{1}{\zeta^{2}-1}\right)\left(\frac{1-e^{-2(\zeta+\sqrt{\zeta^{2}-1})\theta}}{2(\zeta+\sqrt{\zeta^{2}-1})} + \frac{1-e^{-2(\zeta-\sqrt{\zeta^{2}-1})\theta}}{2(\zeta-\sqrt{\zeta^{2}-1})} - \frac{1-e^{-2\zeta\theta}}{\zeta}\right)\right\} \cdot (3.28)$$
$$= J_{CB} \cdot j_{Cpu,o}(\zeta,\theta)$$

위에서 살펴본 바와 같이 단일 R-L-C 회로에서 캐패시터가 방전될 때의 전압, 전류, *Pt*의 방정식들을 기준 값과 정규화된 각 함수의 곱으로 나타낼 수 있음을 살펴보았다. 종합적인 정리를 위해 각 감쇠비 별 1단계 종료 시간에 관한 식 (3.11), (3.16), (3.21), (3.26)에서 정규화된 항을 모아 하나의 함수로 정리하면 (3.29)와 같다.

$$T_{Cpu}(\zeta) = \begin{cases} 1 & \text{when } \zeta = 0\\ \frac{2}{\pi} \frac{1}{\sqrt{1-\zeta^2}} \left(\pi - \arctan\left(\frac{\sqrt{1-\zeta^2}}{\zeta}\right)\right) & \text{when } 0 < \zeta < 1\\ \frac{10}{\pi} & \text{when } \zeta = 1\\ \frac{2}{\pi} \frac{5}{\left(\zeta - \sqrt{\zeta^2 - 1}\right)} & \text{when } \zeta > 1 \end{cases}$$
(3.29)

해당 시간 T_{Cpu}(ý)내에서 정의된 감쇠비 별 캐패시터 전압 식 (3.10), (3.15), (3.20), (3.25)에서 정규화된 항을 모아 식으로 정리하면 식 (3.30)과 같다.

$$v_{\text{Cpu}}\left(\zeta,\theta\right) = \begin{cases} \cos(\theta) & \text{when } \zeta = 0\\ \frac{1}{\sqrt{1-\zeta^{2}}} \cdot e^{-\zeta\theta} \sin\left(\sqrt{1-\zeta^{2}}\theta + \arctan\left(\frac{\sqrt{1-\zeta^{2}}}{\zeta}\right)\right) & \text{when } 0 < \zeta < 1\\ (1+\theta)e^{-\theta} & \text{when } \zeta = 1\\ \frac{\left(\zeta + \sqrt{\zeta^{2}-1}\right)e^{-\left(\zeta - \sqrt{\zeta^{2}-1}\right)\theta} - \left(\zeta - \sqrt{\zeta^{2}-1}\right)e^{-\left(\zeta + \sqrt{\zeta^{2}-1}\right)\theta}}{2\sqrt{\zeta^{2}-1}} & \text{when } \zeta > 1 \end{cases}$$

마찬가지로 시간 *T*_{Cpu}(*Ç*)까지 정의된 감쇠비 별 캐패시터 방전 전류 식 (3.12), (3.17), (3.22), (3.27)에서 정규화된 항을 모아 정리하면 식 (3.31)과 같다. 또한 감쇠비 별 캐패시터 방전 *Pt* 식 (3.13), (3.18), (3.23), (3.28)에서 정규화된 항을 모아 통합된 식으로 정리하면 식 (3.32)와 같다.

$$i_{\rm Cpu}\left(\zeta,\theta\right) = \begin{cases} \sin(\theta) & \text{when } \zeta = 0\\ \frac{e^{-\zeta\theta}}{\sqrt{1-\zeta^2}} \sin\left(\sqrt{1-\zeta^2}\theta\right) & \text{when } 0 < \zeta < 1\\ \theta e^{-\theta} & \text{when } \zeta = 1\\ \frac{1}{2\sqrt{\zeta^2-1}} \left(e^{-\left(\zeta-\sqrt{\zeta^2-1}\right)\theta} - e^{-\left(\zeta+\sqrt{\zeta^2-1}\right)\theta}\right) & \text{when } \zeta > 1 \end{cases}$$
(3.31)

$$j_{\text{Cpu}}(\zeta,\theta) = \begin{cases} \frac{1}{\pi} \left(2\theta - \sin(2\theta) \right) & \text{when } \zeta = 0 \\ \frac{1}{\pi} \left\{ \frac{e^{-2\zeta\theta}}{1 - \zeta^2} \left(\zeta \cdot \cos(2\sqrt{1 - \zeta^2}\theta) - \sqrt{1 - \zeta^2} \sin(2\sqrt{1 - \zeta^2}\theta) - \frac{1}{\zeta} \right) + \frac{1}{\zeta} \right\} & \text{when } 0 < \zeta < 1 \\ \frac{1}{\pi} \left\{ \frac{1}{\pi} \cdot \left\{ 1 - e^{-2\theta} \cdot \left(2\theta^2 + 2\theta + 1 \right) \right\} & \text{when } \zeta = 1 \\ \frac{1}{\pi} \left(\frac{1}{\zeta^2 - 1} \right) \left\{ \frac{1 - e^{-2\left(\zeta + \sqrt{\zeta^2 - 1}\right)\theta}}{2\left(\zeta + \sqrt{\zeta^2 - 1}\right)} + \frac{1 - e^{-2\left(\zeta - \sqrt{\zeta^2 - 1}\right)\theta}}{2\left(\zeta - \sqrt{\zeta^2 - 1}\right)} - \frac{1 - e^{-2\zeta\theta}}{\zeta} \right\} & \text{when } \zeta > 1 \end{cases}$$
(3.32)

지금까지 VSC 기반 DC 전력시스템에서 외부 단락 사고로 인한 캐패시터 방전 시의 캐패시터 전압, 전류, *Pt* 방정식을 분석하여 기준 값과 정규화된 항의 곱으로 나타낼 수 있음을 보였다. 즉, 전력시스템 파라미터 *L*, *C*, *V*₀를 통해 각 전압, 전류, *Pt* 의 기준 값을 계산할 수 있고, 감쇠비 별로 정규화된 캐패시터 전압, 캐패시터 전류, 캐패시터 방전 *Pt*값을 계산하여 이들의 곱으로 실제 값을 산출할 수 있다.

하지만 도출한 수식들은 매번 계산을 통해 사용하기에는 복잡하고, 시간이 아닌 위상각이라는 개념은 설계자가 직관적으로 이용하기에는 어려운 면이 있다. 또한 보호시스템의 설계목표 사양으로 캐패시터 전압 하한값이나 퓨즈의 용단 *Pt*가 고정되어 있는 상황에서는 역으로 전력시스템의 파라미터를 구해야 하는데, 역함수를 구하기 매우 어려우므로 수식을 그대로 활용하기가 어렵다. 따라서 대안적인 방법으로 IEC 61660-1과 유사하게, 정규화된 함수의 정보를 미리 산출해놓고 그래프에서 참조하는 방법 (reference method)을 생각할 수 있다.

각각의 정규화된 캐패시터 전압, 전류 및 *Pt* 식을 몇 가지 감쇠비 ζ 및 위상각 θ에 대하여 도시하면 그림 3-1과 같다. 식 (3.30)의 캐패시터 전압 *V*_{Cpu}(θ)은 그림 3-1의 (a)와 같으며, 식 (3.31)의 캐패시터 방전 전류 *i*_{Cpu}(θ)은 그림 3-1 (b)와 같고, 식 (3.32)의 캐패시터 방전 *Pt*인 *j*_{Cpu}(θ)는 그림 3-1의 (c)와 같다. 참고로 각각의 그래프는 *T*_{Cpu}(ζ)까지만 정의되어 있다.

72





제시된 그래프의 정합성을 검증하기 위하여 그림 3-2와 같은 R-L-C 성분으로 이루어진 캐패시터 단락 실험 세트를 구성하여 캐패시터 전압과 캐패시터 방전 전류를 측정하였다. 본 실험에서는 6 구간을 가지는 저유도성 직렬저항을 사용하여 감쇠비에 따른 결과를 관찰하고자 하였으며, 위치에 따라 저항의 크기가 변화하여도 등가 인덕턴스의 변화는 최소화되도록 설계되었다. 캐패시턴스가 1 mF일 때 각 저항의 위치에 따른 *R*, *L*, *C* 파라미터는 표 3-1과 같다. 또한 위에 경우에 더하여 표 3-2와 같이 서로 다른 캐패시터 초기 전압 ₩에 따라 기준 값이 달라지는 경우의 결과를 측정하고, 정규화를 통해서 일정한 결과로 수렴할 수 있음을 살펴보았다. 각각 6 가지의 경우를 독립적으로 시행하여 총 36개의 실험데이터를 얻을 수 있었다.

단락 실험을 위해서는 먼저 싸이리스터 스위치를 개방한 후, 충전 스위치를 닫아서 외부의 DC 전원장치로부터 DC링크 캐패시터를 충전한다. 그리고 충전 스위치를 개방한 직후 싸이리스터 스위치를 닫아서 초기 전압 Vo로 충전된 캐패시터가 공심인덕터 L과 저유도성 직렬저항 R을 통해 방전되도록 한다. 이때의 캐패시터 전압 및 전류를 측정하여 후 계산 방식으로 캐패시터 방전 Pt를 구할 수 있다.



(a)



(b)

그림 3-2. 캐패시터 단락 실험 세트 (a) 실험 세트 단선도, (b) 실험세트 사진

| Position | R (m Ω) | <i>C</i> (µF) | $L(\mu H)$ | ζ |
|----------|-------------------|---------------|------------|------|
| $@R_0$ | 18 | 1000 | 57 | 0.04 |
| $@R_1$ | 168 | 1000 | 58 | 0.35 |
| $@R_2$ | 312 | 1000 | 60 | 0.64 |
| $@R_3$ | 455 | 1000 | 61 | 0.92 |
| $@R_4$ | 602 | 1000 | 62 | 1.20 |
| $@R_5$ | 742 | 1000 | 63 | 1.48 |

표 3-1. 가변저항 위치에 따른 등가 R-L-C 파라미터 및 감쇠비(C = 1 mF)

표 3-2. 초기 전압 변화에 따른 캐패시터 방전 I²t 기준 값 (C = 1 mF)

| V_0 (V) | $C(\mu \mathbf{F})$ | $L(\mu \mathbf{H})$ | J_{CB} (A ² s) |
|-----------|---------------------|---------------------|-----------------------------|
| 100 | 1000 | 57-63 | 33-31 |
| 200 | 1000 | 57-63 | 133-125 |
| 300 | 1000 | 57-63 | 296-282 |
| 400 | 1000 | 57-63 | 540-513 |
| 500 | 1000 | 57-63 | 815-782 |
| 600 | 1000 | 57-63 | 1174-1126 |

C가 1 mF인 경우의 36개의 실험을 수행한 결과인 캐패시터 전압 vc(t), 캐패시터 방전 전류 ic(t), 캐패시터 방전 *Pt*인 jc(t)의 그래프는 그림 3-3 (a)와 같다. 초기 전압의 크기가 달라지면 캐패시터 방전 전류와 *Pt*의 최대값도 달라지는 모습을 보인다. 하지만 각각의 기준값 VcB, *IcB*, *JcB*에 따라 그래프를 정규화하면 그림 3-3 (b)와 같이 정규화된 vcpu(t), icpu(t), jcpu(t)로 표현할 수 있다. 즉, 서로 달랐던 궤적들이 정규화가 되면서 거의 같은 하나의 그룹으로 형성되는 것을 볼 수 있다.



그림 3-3. 단일 R-L-C 회로의 단락시 캐패시터 방전 실험 결과(C = 1 mF) (a) 측정 및 후계산된 캐패시터 전압, 방전 전류, 방전 I²t 데이터, (b) 정규화된 캐패시터 전압, 방전 전류, 방전 I²t 데이터

3.2 캐패시터 방전 I²t Map의 작성

3.1절에서 도출한 수식은 감쇠비와 위상각의 함수로 구성되어 있기 때문에 기본적으로 감쇠비 축과 위상각 축으로 되어 있는 3차원 곡면으로 표현할 수 있다. 하지만 감쇠비에 따라 1 단계 종료 시의 위상각이 각기 다르기 때문에 각각 다른 다수의 평면으로 표기되어 불편하고, 그래프 개형이 달라 보간법 등을 사용하여 정밀하게 참조하기도 어렵다. 정규화된 데이터의 활용도를 높이기 위해서는 위상각 θ 대신 직관적이고 측정 가능한 캐패시터 전압 ν_{CPU}를 변수로 사용하는 것이 유리하다. 그리고 모든 감쇠비에 대하여 캐패시터 전압은 초기 값 V₀에서 0에 도달하거나 매우 근접하기 때문에 통일된 기준으로 사용할 수 있다. 또한 캐패시터 전압은 전력시스템의 회복을 위해 가능한 적정 범위 내에서 유지하고자 하는 설계 요소 중 하나가 될 수 있기 때문에 캐패시터 전압을 바로 참조할 수 있다면 퓨즈 보호시스템을 설계하고자 할 때 직관적이고 유용한 방식이 될 수 있다.

그런데 정규화된 캐패시터 전압 방정식 (3.30)을 살펴보면, 비 감쇠인 경우를 제외하고는 θ에 대하여 정리할 수 없는 음함수(implicit function) 형태임을 알 수 있다. 하지만 정의역 구간에 대하여 함수가 단조 감소하는 일대일 함수일 때는 수치 해석적인 방법을 통하여 역함수 테이블을 구할 수 있다. 각 감쇠비 별 정규화된 캐패시터 전압 함수를 θ에 대해 편미분하면 (3.33)과 같고, 각 감쇠비 별 정의역인 0 < θ < T_{Cpu}(ζ)인 범위 내에서는 항상 0 보다 작은 것을 알 수 있다. 다시 말해, 감쇠비가 상수인 상태에서의 캐패시터 전압은 초기값 V₀에서 연속적으로 단조 감소하므로 식 (3.34)와 같이 역함수가 존재함을 알 수 있다.

$$\frac{\partial v_{\text{Cpu}}(\zeta,\theta)}{\partial \theta} = \begin{cases} -\sin(\theta) & \text{when } \zeta = 0 \\ -\frac{e^{-\zeta\theta}}{\sqrt{1-\zeta^2}} \sin\left(\sqrt{1-\zeta^2}\theta\right) & \text{when } 0 < \zeta < 1 \\ -\theta \cdot e^{-\theta} & \text{when } \zeta = 1 \\ \frac{e^{-(\zeta+\sqrt{\zeta^2-1})\theta} - e^{-(\zeta-\sqrt{\zeta^2-1})\theta}}{2\sqrt{\zeta^2-1}} & \text{when } \zeta > 1 \end{cases}$$
(3.33)

$$v_{\text{Cpu}} = v_{\text{Cpu},\zeta=\text{const}} \left(\theta\right) \leftrightarrow \theta = v_{\text{Cpu},\zeta=\text{const}}^{-1} \left(v_{\text{Cpu}}\right). \tag{3.34}$$

따라서 기존의 ζ와 θ에 대해서 정의된 정규화된 캐패시터 방전 Pt함수는 ζ와 νcpu에 대해서도 같은 치역을 가진다. 하지만 식 (3.32)와는 다른 파라미터를 사용하므로 식 (3.35)부터는 별표(*)를 사용하여 기존의 함수와 구분하였다.

$$j_{\text{Cpu}}\left(\zeta,\theta\right) = j_{\text{Cpu}}\left(\zeta, v_{\text{Cpu},\zeta=\text{const}}^{-1}\left(v_{\text{Cpu}}\right)\right) \leftrightarrow j_{\text{Cpu}}^{*}\left(\zeta, v_{\text{Cpu}}\right).$$
(3.35)

일대일 함수관계를 이용하여 정의역과 치역 간 함수 데이터 세트를 구하기 위하여 우선 감쇠비 별로 정의역인 위상각 *θ를 T*_{Cpu}(ζ)까지 일정 간격으로 두고 이에 대한 치역 *v*_{Cpu}를 구한다. 이는 그림 3-1 (a)의 그래프와 유사하며, 본 논문에서는 0.01 간격의 감쇠비에 대하여 함수 데이터 세트를 구하였다. 이의 감쇠비 별 역함수 데이터 세트를 구하기 위하여 치역이었던 정규화된 캐패시터 전압을 1부터 0까지 일정 간격의 정의역으로 두고, 이에 해당하는 위상각을 보간법을 이용하여 근사적으로 구할 수 있다. 이와 같이 구한 위상각을 다시 *j*_{Cpu}(ζ, *θ*)에 대입하여 최종적인 캐패시터 방전 *P*t의 함수 *j*^{*}_{Cpu}(ζ, *v*_{Cpu})를 구한다. 저감쇠 영역에 대하여 이러한 과정을 먼저 수행하였으며, *j*^{*}_{Cpu}(ζ, *v*_{Cpu})을 3D 곡면으로 나타내면 그림 3-4와 같다.



그림 3-4. 정규화된 캐패시터 방전 I't Map(저감쇠 영역) 3D 곡면

그림 3-4의 일부 경계면은 수식적인 표현이 가능하다. 우선 비 감쇠의 경우(ζ=0 인 초록색 점선 평면)에는 캐패시터 전압의 역함수를 쉽게 구할 수 있다. 식 (3.10)에서 정규화된 항만 따로 쓰면 식 (3.36)과 같고, 정의역인 0 ≤ $\theta \leq 0.5\pi$ 인 범위 내에서 이는 일대일 함수이므로 역함수 또한 식 (3.37)과 같이 구할 수 있다.

$$v_{\text{Cpu,n}} = v_{\text{Cpu}}(0,\theta) = \cos(\theta). \tag{3.36}$$

$$\theta = v_{\text{Cpu}}^{-1} \left(v_{\text{Cpu,n}} \right) \Big|_{\zeta=0} = \arccos\left(v_{\text{Cpu,n}} \right). \tag{3.37}$$

식 (3.37)을 식 (3.13)에 대입하면 다음 식 (3.38)과 같이 정규화된 *Pt*의 함수 *j*^{*}_{Cpu,n}(0, *v*_{Cpu,n})으로 나타낼 수 있고 이를 그래프로 나타내면 그림 3-5와 같다.

$$j_{Cpu,n}^{*}\left(0, v_{Cpu,n}\right) = \frac{1}{\pi} \left(2 \cdot \arccos\left(v_{Cpu,n}\right) - \sin\left(2 \cdot \arccos\left(v_{Cpu,n}\right)\right)\right)$$
$$= \frac{2}{\pi} \left(\arccos\left(v_{Cpu,n}\right) - v_{Cpu,n} \cdot \sqrt{1 - v_{Cpu,n}^{2}}\right)$$
(3.38)



그림 3-5. 비 감쇠인 경우(ζ=0)의 캐패시터 전압에 따른 I²t의 크기

두 번째로는 1 단계 종료시점인 캐패시터 전압이 근사적으로 0에 도달하는 시점에 대해서도 해석적으로 구할 수 있다. 그림 3-6의 삼각함수 관계를 참조하여 종료 시간인 식(3.29)를 *Pt*의 식 (3.32)에 대입하여 정리하면 최종적으로 식 (3.39)와 같이 나타낼 수 있고, 이는 그림 3-7과 같다.



그림 3-6. 감쇠비 간 삼각함수 관계





그림 3-7. 저 감쇠시 1단계 종료시점 (vcpu=0)의 캐패시터 방전 I't 크기

저감쇠 영역뿐만 아니라 임계감쇠, 과감쇠 영역에 대해서도 동일한 방법으로 역함수 데이터 세트를 구할 수 있으며 (0 ≤ ζ ≤ 2)인 감쇠비에 대하여 *j*^{*}c_{pu}(ζ, νc_{pu})를 3D 곡면으로 나타내면 그림 3-8과 같다.



그림 3-8. 정규화된 캐패시터 방전 I²t Map(0≤ζ≤2) 3D 곡면

도출한 곡면의 정확성을 검증하기 위하여 앞에서 수행한 단락 실험의 결과 데이터 그림 3-3을 곡면 상에 나타낼 수 있다. 해당 되는 감쇠비는 0.04, 0.35, 0.64, 0.92, 1.20, 1.48이며 곡면상에 예상되는 경로를 표시하면 그림 3-9와 같다. 하지만 곡면상에서는 실험값을 비교하기가 쉽지 않으므로 보는 각도를 *Ç*축(angle of view)으로 변경하고, 일부 감쇠비에 대해서만 이론적인 기준 데이터는 실선 및 점선으로, 실험값은 마커로 표시하면 그림 3-10과 같다.



그림 3-9. 실험에 사용된 감쇠비 별 예상 I²t 의 곡면 상 경로



그림 3-10. 곡면의 </
 </ >

그림 3-10. 곡면의

(C = 1 mF)

위와 같이 구한 곡면은 감쇠비와 캐패시터 전압을 기준으로 *Pt* 값을 참조하기에는 불편하다. 따라서 실용성을 고려하여 그림 3-8의 곡면을 *Pt*축에서 바라본 2D 평면의 등고선도로 변환하면 그림 3-11과 같다. 캐패시터의 전압강하를 고려하여 *vcpu* 의 눈금은 좌측을 1 p.u.에서 시작하여 0 p.u.로 끝나도록 도시하였다. R-L-C 회로에서 감쇠비가 정해지면 초기 상태인 해당 감쇠비와 vcpu 가 1 인 점으로부터, 캐패시터 전압이 강하함에 따라 우측 수평으로 캐패시터 방전 전류가 발생시키는 궤적을 그릴 수가 있고, 그 값은 그림 3-11의 등고선에서 근사적으로 참조할 수 있다.



그림 3-11. 정규화된 캐패시터 방전 I²t Map(0 ≤ ζ ≤ 2) - 2D 평면 등고선도

그림3-11에서 도출한 Map은 전 감쇠비로 표현이 가능한 예시로서 0 ≤ ζ ≤ 2인 범위까지만 표시되어 있지만, 본 논문에서는 모든 감쇠 경우에 대하여 해석적인 함수를 구하였으므로, 마지막 과정의 수치해석 부분만 추가로 수행하면 무한한 감쇠비에 대해서도 표현이 가능하다. 그림 3-12는 감쇠비가 0 ≤ ζ ≤ 5 인 범위에서의 캐패시터 방전 *P*t Map을 나타낸 것이다.



그림 3-12. 정규화된 캐패시터 방전 I²t Map(0 ≤ ζ ≤ 5) - 2D 평면 등고선도

3.3 I²t Map 기반의 보호 시스템 파라미터 설계

본 절에서는 정규화된 캐패시터 방전 *Pt* Map을 이용하여 사고 *Pt*값을 직접적인 과전류 보호 요소로 이용하는 설계 방법을 제시한다. 정규화된 Map 을 이용하기 위해서는 실제 대상 R-L-C 회로의 파라미터와 퓨즈의 용단 *Pt* 를 모두 정규화하여 Map 상에 표현할 수 있어야 한다. 만약 기준값과 관련없는 파라미터를 설계할 때는 정규화 및 역정규화를 한 번만 수행하면 되지만, 기준값 계산과 관련된 파라미터의 수정이 필요하면 기준값 뿐만 아니라 기준값으로 정규화된 다른 파라미터들이 모두 변하기 때문에 반복적으로 정규화 과정을 수행해야 한다. 따라서 설계 대상 파라미터가 기준값 관련 파라미터인지의 여부에 따라 2 가지의 설계 방법으로 나눌 수 있고, 이를 통합하여 흐름도로 나타내면 그림 3-13과 같다.



그림 3-13. 정규화된 캐패시터 방전 I't Map을 이용한 퓨즈 보호시스템 설계과정

위에서 언급한 것과 같이 변수는 크게 두 종류로 구분되는데 기준값 계산에 사용되는 변수들과, 기준값으로 정규화되어 Map 상에 표시되는 변수들이다. 기준값 계산에 사용되는 변수에는 등가 인덕턴스 *L*, 등가 캐패시턴스 *C*, 초기 캐패시터 전압 *V*₀가 있고, 정규화 *I*⁻t Map 상에 표시 가능한 변수에는 캐패시턴스 전압 *V*_c, 등가 저항 *R*, 퓨즈와 같은 보호기기의 *F*t인 *J*_{fuse} 가 있다. 6개의 변수 중 어떤 변수라도 설계 대상이 될 수 있으며, 설계 대상 변수 외에는 고정하거나 제한조건 또는 목표 사양으로 설정할 수 있다.

Case i) - 기준값 계산에 사용되는 파라미터 고정시

기준값과 관련된 파라미터 *L*, *C* 및 *V*₀ 가 상수이므로 이를 통해 전압 기준값 *V*_{CB}, 임피던스의 기준값 *Z*_{CB} 및 *P*t의 기준값 *J*_{CB}를 계산할 수 있다. 즉, 식 (3.1) 을 통해 *V*_{CB}를 계산하고, 식 (3.4)로 *J*_{CB}를, 식 (3.5)를 통해 *Z*_{CB}를 계산할 수 있다. 설계 대상 변수 외의 나머지 변수들은 위에서 구한 기준값으로 정규화를 수행한다. *v*_C는 *V*_{CB}로 나누어 *v*_{Cpu}를 구하고, *R*은 2·*Z*_{CB} 로 나누어 *ζ*를 구하고, *J*_{fuse}는 *J*_{CB}로 나누어 *J*_{fuse,pu}를 구한다. 그리고 조건 변수들을 Map 상에 표시하여 조건 및 목표 사양에 적합한 설계 변수의 값을 구한다. 설계가 완료되면, 정규화된 변수에 기준값을 곱하여 실제값으로 역정규화를 한다.

예시 1) 퓨즈의 용단 Pt를 설계하는 경우

어떤 VSC 기반 DC전력시스템의 정격 전압 V₀는 400 V, 등가 DC링크 캐패시턴스 C는 1 mF, 등가 인덕턴스 L은 60 μH라고 설정하자. 사고 저항을 포함한 등가 저항 R의 최소값은 18 mΩ로 예상되고, 최대 168 mΩ 일 때에도 캐패시터 전압 vc가 52 V 이하로 떨어지기 전에 퓨즈가 용단되도록 하고자 한다. 평소에는 용단되지 않고 정상 동작하지만 사고시 위 조건을 만족하기 위한 퓨즈의 용단 Pt인 J_{fuse}는 다음과 같이 구할 수 있다.

1) 기준값 계산

 $V_{\rm CB} = 400 \text{ V}, Z_{\rm CB} = 245 \text{ m}\Omega, J_{\rm CB} = 513 \text{ A}^2\text{s}$

2) 기준값으로 제한조건 변수 정규화
 V_{Cpu} > V_{Cpu,min} = 52 V / 400 V = 0.13 p.u.
 ζ > ζ_{min} = 0.5*18/245 = 0.04 p.u.
 ζ < ζ_{max} = 0.5*168/245 = 0.34 p.u.

3) 정규화된 제한조건을 정규화된 캐패시터 방전 *Pt* Map에 각각 도시하면 그림 3-14와 같다. 캐패시터 전압의 최소값 *V*_{Cpu,min}은 수직선으로 나타낼 수 있고, 예상되는 최소 및 최대 등가 저항은 ζ_{min} 와 ζ_{max} 와 같이 수평선으로 나타낼 수 있다. 따라서 이 조건을 만족하는 영역은 파란 음영부분과 같은데, 평소에는 안정적인 동작을 하면서도 사고시 최대 저항값에서도 용단이 되기 위해서는 *V*_{Cpu,min}과 ζ_{max} 의 교차점이 퓨즈 *Pt* 오차 범위의 최대값과 같아야 한다. *V*_{Cpu,min}과 ζ_{max} 의 교차점에서의 *Pt*는 0.61 p.u.이고 퓨즈의 오차 ±16%를 고려한 최종 *J*_{fuse,pu}는 0.53 p.u. 이다.

4) 정규화된 Map 상에서 설계요건을 만족하므로 실제 값으로 복구하면 J_{fuse}
= J_{CB} * 0.53 p.u = 270 A²s 이다. 따라서 여기에서 사용할 수 있는 퓨즈는 정격
전류를 만족하고 용단 *Pt*가 270 A²s 이하인 것을 사용하면 된다.



그림 3-14. 감쇠비 범위 및 최소 캐패시터 전압 지정시 퓨즈의 용단 It 설계

Case ii) - 기준값 계산에 사용되는 파라미터 수정시

만약 설계하고자 하는 변수가 기준값 계산에 사용되는 파라미터인 경우에는 미지수라고 하더라도 임의의 기준값을 선정하여 정규화를 수행해야 한다. 그렇지 않으면 정규화된 Map 상에서 변수들을 서로 비교할 수 없기 때문이다. 설계 변수의 초기값을 임의로 선정하여 기준값을 계산하고 다른 변수들을 정규화한 다음, Map상에서 설계조건을 만족하는 정규화된 값과 실제값으로 기준값을 역으로 다시 구한다. 그림 3-13의 마지막 판단 부분과 같이 도출한 기준값과 초기의 임의 기준값을 비교하여 서로 다른 경우에는 다시 설계변수를 수정하고 같은 설계과정을 수행하여 기준값이 일정값에 수렴할 때까지 수 회 반복해야 한다. 이 경우의 예시는 다음과 같이 들 수 있다.

예시 2) 퓨즈 용단에 필요한 등가 캐패시턴스 C를 설계하는 경우

위의 예시 1)과 마찬가지로 VSC 기반 DC 전력시스템의 정격 전압 V₀는 400 V이고 등가 인덕턴스 L은 60 μH이다. 퓨즈의 용단 *Pt*인 *J*_{fuse}는 270 A²s이고, ±16%의 오차를 가지고 있다고 하자. 사고 저항을 포함한 최소 등가 저항 *R*은 18 mΩ로 예상되고, 최대 168 mΩ 일 때에도 캐패시터 전압 v_C가 52 V 이하로 떨어지기 전에 퓨즈가 용단되도록 하고자 한다. 위와 같은 조건에서 퓨즈를 용단시키기 위해 필요한 등가 캐패시턴스 *C*는 다음과 같이 구할 수 있다.

주어진 퓨즈의 용단 *Pt*의 오차 범위를 고려하여 용단시키기 위해서는, 313 A²s (116%) 이상의 캐패시터 방전 *Pt*를 안정적으로 발생시키는 것이 필요하다. 본 경우에는 임의로 선정한 초기값이 큰 경우와 작은 경우로 나누어 각각의 경우에 기준값이 수렴하는지 살펴볼 수 있다.

예시 2-1) C의 초기값을 작게 설정한 경우

1) 임의의 C 선정

 $C_{\min(0)} = 0.001 \text{ mF} \rightarrow V_{CB(0)} = 400 \text{ V}, Z_{CB(0)} = 7746 \text{ m}\Omega, J_{CB(0)} = 0.016 \text{ A}^2\text{s}$

- 2) 감쇠비 및 정규화된 캐패시터 전압 계산

 ζ_{max(0)} = 0.5 * 168 mΩ / 7746 mΩ = 0.01 p.u.

 V_{Cpu,min(0)} =52 V / 400 V = 0.13 p.u.
- 3) Map 상에서 해당 조건을 만족하는 정규화된 퓨즈 용단 *P*²t 확인 ζ_{max(0)}와 *V*_{Cpu,min(0)}의 교점에 해당하는 *J*_{fuse,pu(0)} 참조 → *J*_{fuse,pu(0)} = 0.83 p.u.
- 4) 실제 퓨즈 용단 I²t과 정규화된 값을 통한 새로운 기준값 계산
 J_{CB(1)} = J_{fuse} / J_{fuse,pu(0)} = 377 A²s → J_{CB(1)} ≠ J_{CB(0)}
- 5) 기준값으로 다시 새로운 C계산

$$C_{\min(1)} = \sqrt[3]{L \cdot J_{CB(1)}^2 / \left(\frac{\pi}{4} \cdot V_0^2\right)^2} = 0.81 \text{ mF} \rightarrow C_{\min(1)} \neq C_{\min(0)}$$

6) 불일치시 새로운 C를 초기값으로 설정하여 1) 번 부터 반복

상기의 과정을 n번째의 반복 차수 별로 표로 정리하면 다음 표 3-3과 같다. 3번째 반복차수에서는 초기 설정한 $C_{\min(3)}$ 와 결과로서 구한 $C_{\min(4)}$ 가 거의 수렴하는 것을 볼 수 있기 때문에 더 이상 반복하지 않아도 되며, 따라서 설계값 C는 최종적으로 1 mF으로 설계할 수 있다.

| п | $C_{\min(n)}$ | $\zeta_{\max(n)}$ | $J_{\mathrm{fuse,pu}(n)}$ | $J_{{ m CB}(n+1)}$ | $C_{\min(n+1)}$ |
|-------------|---------------|-------------------|---------------------------|--------------------|-----------------|
| (iteration) | (mF) | | (p.u.) | (p.u.) | (mF) |
| 0 | 0.001 | 0.01 | 0.83 | 377 | 0.81 |
| 1 | 0.81 | 0.31 | 0.63 | 497 | 0.98 |
| 2 | 0.98 | 0.34 | 0.61 | 513 | 1.00 |
| 3 | 1.00 | 0.34 | 0.61 | 513 | 1.00 |

표 3-3. 낮은 초기값을 설정했을 때의 수렴시까지의 반복 설계 프로세스 예시



그림 3-15. 낮은 초기 캐패시턴스 값을 설정했을 때의 수렴시까지의 반복 설계 프로세스 예시

예시 2-2) C의 초기값을 크게 설정한 경우

1) 임의의 C 값 선정

 $C'_{\min(0)} = 8.5 \text{ mF} \rightarrow V'_{CB(0)} = 400 \text{ V}, Z'_{CB(0)} = 84 \text{ m}\Omega, J'_{CB(0)} = 12713 \text{ A}^2\text{s}$

- 2) 감쇠비 및 정규화된 캐패시터 전압 계산

 ^ζ[']_{max(0)} = 0.5 * 168 mΩ / 84 mΩ = 1.00 p.u.
 ^{V'}_{Cpu,min(0)} = 52 V / 400 V = 0.13 p.u.
- 3) Map 상에서 해당 조건을 만족하는 정규화된 퓨즈 용단 I²t 확인 ζ'_{max(0)}와 V'_{Cpu,min(0)}의 교점에 해당하는 J'_{fuse,pu(0)} 참조 → J'_{fuse,pu(0)} = 0.31 p.u.
- 4) 실제 퓨즈 용단 I²t과 정규화된 값을 통한 새로운 기준값 계산
 J'_{CB(1)} = J_{fuse} / J'_{fuse,pu(0)} = 1010 A²s → J'_{CB(1)}≠J'_{CB(0)}

5) 기준값으로 다시 새로운 *C* 계산

$$C'_{\min(1)} = \sqrt[3]{L \cdot J'^2_{CB(1)} / (\frac{\pi}{4} \cdot V_0^2)^2} = 1.57 \text{ mF} \rightarrow C'_{\min(1)} \neq C'_{\min(0)}$$

6) 불일치시 새로운 C를 초기값으로 설정하여 1) 번 부터 반복

상기의 과정을 n번째의 반복 차수 별로 표로 정리하면 다음 표 3-4와 같다.

높은 값으로 초기 설정을 했을 때에도 3번째 반복차수에서는 초기 설정한 C'min(3)와 결과로서 구한 C'min(4)가 거의 수렴하는 것을 볼 수 있기 때문에 더 이상 반복하지 않아도 되며, 따라서 설계값 C는 최종적으로 1 mF으로 설계할 수 있다.

| п | $C'_{\min(n)}$ | $\zeta'_{\max(n)}$ | $J'_{\mathrm{fuse},\mathrm{pu}(n)}$ | $J'_{\operatorname{CB}(n+1)}$ | $C'_{\min(n+1)}$ |
|-------------|----------------|--------------------|-------------------------------------|-------------------------------|------------------|
| (iteration) | (mF) | | (p.u.) | (p.u.) | (mF) |
| 0 | 8.50 | 1.00 | 0.31 | 1010 | 1.57 |
| 1 | 1.57 | 0.43 | 0.56 | 559 | 1.06 |
| 2 | 1.06 | 0.35 | 0.61 | 513 | 1.00 |
| 3 | 1.00 | 0.34 | 0.61 | 513 | 1.00 |

표 3-4. 높은 초기값을 설정했을 때의 수렴시까지의 반복 설계 프로세스 예시



그림 3-16. 높은 캐패시턴스 초기값을 설정했을 때의 수렴시까지의 반복 설계 프로세스 예시

참고로 위의 예시에서 제시한 설계 순서나 Map 상에서 2가지 직선의 교차점으로 구한 *Pt*는 하나의 예시일 뿐이며, 얼마든지 다른 변수를 활용하여 설계가 가능하다.

지금까지 소개되었던 파라미터로 퓨즈를 직접 용단하여 실제 용단이 이루어지는지 확인할 필요가 있다. 앞서 소개했던 그림 3-2 (b)와 같은 실험세트에서 용단 *Ft*가 270 A²s인 퓨즈를 포함하여 초기 전압 V₀는 400 V인 상태에서 4 가지의 저항값에 대하여 시험을 수행하였다. 회로의 파라미터 *R*, *L*, *C*는 표 3-1의 @*R*₀, @*R*₁, @*R*₂, @*R*₃행과 같으며, 특히 @*R*₀, @*R*₁, @*R*₂에 대해서는 각각 3번씩 실험하여 재현성을 확인하였다. 그림 3-17의 파형에서 확인할 수 있듯이, @*R*₀의 파라미터로 시험한 퓨즈(퓨즈 A, E, F)와 @*R*₁의 파라미터로 시험한 퓨즈 (퓨즈 B, G, H)는 모두 용단되었으나, @*R*₂의 파라미터로 퓨즈 (퓨즈 C, D₂, D₃)와 @*R*₃의 파라미터로 시험한 퓨즈(퓨즈 D₁)는 모두 용단되지 않았다.



그림 3-17. 단일 R-L-C회로에서 퓨즈 실험(C = 1 mF)

(a) @R₀로 단락시, (b) @R₁로 단락시, (c) @R₂로 단락시, (d) @R₃로 단락시

각 경우의 파라미터를 정규화하여 본 논문에서 제안한 캐패시터 방전 *Pt* Map상에 감쇠비 별 캐패시터 전압 강하의 경로를 나타내면 그림 3-18과 같다. 그리고 실제 용단된 순간의 캐패시터 전압을 육각형 별로 나타내었다. *Pt*가 0.44 p.u.에서 0.61 p.u.까지의 붉은 선 및 붉은 음영은 퓨즈의 용단 *Pt를* 오차 ±16%를 고려하여 나타낸 범위인데, @*R*₀, @*R*₁ 실험은 빨간색과 초록색 선으로 나타내었으며, 이들 경우에는 각각 3번 모두 해당 범위에서 *V*_{Cpu,min} 전압에 도달하기 전에 퓨즈가 용단되었다. @*R*₂ 실험은 진한 파란색으로 나타내었으며 퓨즈의 용단 범위를 살짝 지나가기는 하지만 3번의 시행시 모두 용단되지 않았다. 이는 퓨즈 용단 *Pt*의 중심값에 도달할 정도로 충분한 *Pt*가 발생되지 않았으며 최소 캐패시터 전압 조건(*V*_{Cpu,min})을 만족시키지 못하였음을 알 수 있다. @*R*₃ 실험에서는 하늘색 선으로 나타내었으며 퓨즈가 용단될만한 범위와는 상당히 먼 것을 알 수 있다.



그림 3-18. 정규화된 캐패시터 방전 I²t Map 상에 나타낸 실험 결과 (C = 1 mF)

C=1 mF일 때 퓨즈 실험에 사용된 퓨즈는 그림 3-19과 같다.



그림 3-19. 실험에 사용된 퓨즈 A ~ H
제 4장 캐패시터 방전 시간-전류 특성 Map

4.1 캐패시터 방전 I²t Map의 시간-전류 특성 Map 변환

보호 기기의 시간-전류 특성(time-current characteristic)은 다수 보호기기 간, 특히 주 보호기기 및 백업보호기기들의 순차적인 작동을 설계하기 위해 편리하게 사용될 수 있다. 시간-전류 평면에서는 수평축이 순시적인 크기의 전류값이 아닌 r.m.s. 전류값으로 표현되는데, 식 (4.1)의 r.m.s.의 정의를 살펴보면 적분형태의 *Ft*의 정의가 내부에 포함된 것을 볼 수 있다. 즉, 시간 0에서 *t*까지의 전류의 제곱을 적분한 *Ft* 값을 시간 *t*로 나누고 제곱근을 취하면 r.m.s. 값을 구할 수 있다. 다시 말하면, 다양한 감쇠비 ζ와 캐패시터 전압 νcpu에 대해서 정규화된 r.m.s. 전류 값을 도출하려면 *Ft* 정보 뿐만 아니라 시간 *t*의 정보가 추가적으로 필요하다.

$$i_{rms}\left(t\right) = \sqrt{\frac{1}{t} \int_{0}^{t} i^{2}\left(\tau\right) d\tau}$$

$$(4.1)$$

3.2절에서의 정규화된 캐패시터 방전 *Ft* Map 을 구하는 과정에서, 식 (3.34) 와 같이 위상각 θ는 캐패시터 전압 ν_{Cpu}의 역함수로부터 수치해석적으로 구할 수 있음을 보였다. 여기에서 위상각은 다시 식 (4.2)와 같이 ωot로 나타낼 수 있으며, 시간 *t*c는 식 (4.3)과 같이 기준값(base value) *T*_{CB}와 정규화한 시간 *t*_{Cpu}의 곱으로 나타낼 수 있다. 최종적으로 정규화된 시간 *t*_{Cpu} 또한 식 (4.4)와 같이 감쇠비 ζ와 캐패시터 전압 ν_{Cpu}의 함수로 나타낼 수 있다. 이를 사용자가 참조할 수 있는 시간 Map으로 나타내기 위해서 0.01 간격의 감쇠비 ζ에 대하여 정규화된 시간 *t*_{Cpu}로 해당 캐패시터 전압 ν_{Cpu}를 구한 후, 이에 관한 역함수를 수치해석적으로 구하면 그림 4-1과 같이 나타낼 수 있다. 이 곡면에서 비 감쇠나 저감쇠인 영역에서는 캐패시터 전압이 0이 될 때의 시간을 구할 수 있지만, 임계감쇠에 가깝거나 과감쇠인 경우에는 0이 되지 않으므로 ν_{Cpu}가 0.01 이하로 0에 근접할 때의 값으로 근사하였다.

$$v_{\text{Cpu}} = v_{\text{Cpu},\zeta=\text{const}} \left(\theta\right) \leftrightarrow \theta = \omega_0 t = v_{\text{Cpu},\zeta=\text{const}}^{-1} \left(v_{\text{Cpu}}\right). \tag{4.2}$$

$$t_C = T_{CB} \cdot t_{Cpu} \,. \tag{4.3}$$

$$t_{\rm Cpu} = \frac{t_{\rm C}}{T_{\rm CB}} = \left\{\frac{2}{\pi}\omega_0\right\} \cdot t = \frac{2}{\pi} \cdot v_{\rm Cpu,\zeta=const}^{-1} \left(v_{\rm Cpu}\right) = t_{Cpu}\left(\zeta, v_{\rm Cpu}\right).$$
(4.4)



그림 4-1. 감쇠비 별 해당 캐패시터 전압에 도달하는 정규화된 시간 Map

활용도를 높이기 위하여 그림 4-1에서 t_{Cpu} 축으로 바라본 시간 Map 등고선도(그림 4-2그림 4-2 에서 파란 색 점선)를 그림 3-11의 캐패시터 방전 *Pt* Map 등고선도(그림 4-2에서 붉은 색 실선)와 중첩하여서 나타내면 그림 4-2와 같다.



그림 4-2. 정규화된 캐패시터 방전 I't 및 시간 Map - 2D 등고선도

식 (4.1)의 r.m.s.값 계산 정의에서, *I*⁻t 함수와 시간 함수를 기준값과 정규화된 항으로 구분하여 나타내면 식 (4.5)와 같다. 여기에서는 캐패시터 방전 r.m.s. 전류 값을 캐패시터 방전 r.m.s. 전류의 기준값 *I*_{CB,ms}와 정규화된 캐패시터 방전 r.m.s. 전류 *i*_{Cpu,ms}의 곱으로 나타낼 수 있다. 식 (4.6)과 같이 r.m.s. 전류의 기준값 *I*_{CB,ms}는 전류 기준값 *I*_{CB}의 ¹/_{√2}배와 같다.

$$i_{\rm C,rms}(t_C) = \sqrt{\frac{1}{t_C}} \int_0^{t_C} i_C^2(\tau) d\tau = \sqrt{\frac{J_{\rm CB} \cdot j_{\rm Cpu}^*(\zeta, v_{\rm Cpu})}{T_{\rm CB} \cdot t_{\rm Cpu}(\zeta, v_{\rm Cpu})}}$$
$$= \left\{ \sqrt{\frac{J_{\rm CB}}{T_{\rm CB}}} \right\} \cdot \left\{ \sqrt{\frac{j_{\rm Cpu}^*(\zeta, v_{\rm Cpu})}{t_{\rm Cpu}(\zeta, v_{\rm Cpu})}} \right\}$$
$$= I_{\rm CB,rms} \cdot i_{\rm Cpu,rms}(\zeta, v_{\rm Cpu})$$
$$(4.5)$$

$$I_{\rm CB,rms} = \sqrt{\frac{J_{\rm CB}}{T_{\rm CB}}} = \frac{V_0}{\sqrt{2}} \cdot \sqrt{\frac{C}{L}} = \frac{1}{\sqrt{2}} I_{\rm CB} \,. \tag{4.6}$$

여기서 정규화된 *i*_{Cpu,ms}도 감쇠비 (와 정규화된 캐패시터 전압 *v*_{Cpu}의 함수 이기 때문에 Map으로 나타낼 수 있으며, 이 Map을 기존의 시간 Map과 함께 나타내면 그림 4-3과 같다. 이 곡면은 식 (4.7)과 같이 감쇠비와 정규화된 캐패시터 전압으로 이루어진 2차원의 한 점에서 정규화된 캐패시터 방전 r.m.s.전류와 시간으로 이루어진 2차원의 한 점으로 대응되는 함수라고 볼 수 있다. 사용자 편의성을 위해 대표적인 곡선만을 택하여 해당되는 점들을 시간-전류 곡선 평면 상에 나타내면 그림 4-4와 같다. 0.2 간격의 감쇠비 별로 캐패시터 전압이 하강함에 따라 발생하는 r.m.s. 전류값의 경로를 색상별로 표현하였다. 그리고 기준값에 해당하는 (1,1)은 우측 하단 끝에 위치해 있다.

$$f: \left(\zeta, v_{\rm Cpu}\right) \to \left(i_{\rm Cpu,rms}, t_{\rm Cpu}\right). \tag{4.7}$$



그림 4-3. 정규화된 캐패시터 방전 r.m.s. 전류 및 시간 Map - 2D 등고선도



그림 4-4. 시간-전류 평면에 사영된 정규화된 캐패시터 방전 전류

이렇게 시간-전류 평면에 표현된 r.m.s. 전류 및 시간 정보는 3장에서 도출한 *Pt* Map과 유사하게 정규화된 참조 데이터로써 사용할 수 있다. 주요 특징점들의 좌표는 그림 4-5와 같다.



그림 4-5. 정규화된 캐패시터 방전 시간-전류 특성 Map의 주요 특징 점

식 (4.3) 및 식 (4.5)와 같이 시간과 r.m.s. 전류의 실제 값은 기준값과

정규화된 항의 곱으로 이루어져 있기 때문에, 그림 4-5에서의 좌표에 식 (4.8) 과 같이 각각의 기준값을 다시 곱해주면, 역정규화된 실제 스케일로 복구할 수 있다.

$$\begin{pmatrix} i_{\rm C,rms}, t_{\rm C} \end{pmatrix} = \left(I_{\rm CB,rms} \cdot i_{\rm Cpu,rms}, \ T_{CB} \cdot t_{\rm Cpu} \right)$$

$$= \left(\left(\frac{V_0}{\sqrt{2}} \cdot \sqrt{\frac{C}{L}} \right) \cdot i_{\rm Cpu,rms}, \ \left(\frac{\pi}{2} \sqrt{LC} \right) \cdot t_{\rm Cpu} \right)$$

$$(4.8)$$

이러한 성질을 통해 등가 파라미터로 기준점을 구하고, 시간-전류 특성 Map을 실제 스케일의 그래프에 그릴 수 있다면 퓨즈나 차단기 및 피보호기기의 시간-전류 특성 곡선과 비교하기가 용이해진다. 다음 그림 4-6은 실제 퓨즈의 데이터시트 상에 시간-전류 특성 Map의 두 가지 예시를 표시한 것이며, 이를 작성하기 위한 과정은 다음과 같다.

2) 그림 4-5의 주요 좌표에 기준점의 요소값을 각각 곱한다.
(180 kA, 570 µs) ○ (1.00 p.u., 1.00 p.u.) = (180 kA, 570 µs)
(180 kA, 570 µs) ○ (0.75 p.u., 0.66 p.u.) = (135 kA, 376 µs)
(180 kA, 570 µs) ○ (0.50 p.u., 0.41 p.u.) = (90 kA, 234 µs)
(180 kA, 570 µs) ○ (0.27 p.u., 0.70 p.u.) = (49 kA, 399 µs)
(180 kA, 570 µs) ○ (0.25 p.u., 1.82 p.u.) = (45 kA, 1037 µs)
(180 kA, 570 µs) ○ (0.22 p.u., 6.37 p.u.) = (40 kA, 3631 µs)

3) 구한 좌표를 퓨즈 데이터시트 상에 표시하고, 퓨즈의 곡선과 비교하여 교차여부와 용단시의 캐패시터 전압 등의 정보를 확인한다.

위에서 계산한 시간-전류 특성 Map은 그림 4-6에서 빨간색 점과 빨간색 음영으로 나타내었으며, 비교 대상인 1500A 퓨즈의 용단 특성 곡선은 빨간색 선으로 나타내었다. 감쇠비가 0.15이기 때문에 두 곡선의 교차점을 종합적으로 고려하면, 약 180 μs 안에 퓨즈 용단이 일어나고 이 때의 캐패시터 전압은 0.8 p.u. 이상일 것으로 추정된다. 다른 예시로, V₀ = 930 V, L_{eq} = 0.414 µH, C_{eq} = 100 mF, R_{eq} = 1.1 mΩ 인 경우에는 기준 점이 (320 kA, 320 μs), 감쇠비는 0.26으로 계산된다. 이를 파란색 점, 음영으로 나타내었으며 비교 대상인 2000A 퓨즈의 특성 곡선은 파란색으로 나타내었다. 이 경우 용단 시간은 약 100 μs이고, 용단시 캐패시터 전압 또한 0.8 p.u. 이상일 것으로 추정된다.



그림 4-6. 퓨즈 데이터시트 상에 표시된 실제 스케일 시간-전류 특성 Map의 예시

또 다른 특성으로, 시간-전류 평면은 로그스케일로 이루어져 있으므로 기준값이 일정 비율로 커지면 전체 곡선은 일정 간격으로 평행이동한다는 특징을 가진다. 예를 들어 L은 57 μH, C는 1 mF, V₀는 400 V인 회로의 기준값을 구하면 I_{CB,ms} 는 1185 A, T_{CB}는 375 μs 이다. 정규화된 시간-전류 특성 Map의 ζ=0, ν_{Cpu}=0, ζ=2 로 둘러싸인 개형을, 기준값 (I_{CB,ms}, T_{CB})를 곱하여 실제 스케일의 검은색 곡선으로 표시하고, 각각의 파라미터를 변경함에 따라 평행이동하는 예시를 그림 4-7과 같이 나타낼 수 있다. 그림 4-7 (a)는 C의 값이 2배가 커진 경우와 1/2배로 줄어든 경우를 나타내는데, 이 경우 기준점을 비롯한 곡선 전체가 우상향으로 (√2,√2)배, 좌하향으로 $\left(\frac{1}{\sqrt{2}},\frac{1}{\sqrt{2}}\right)$ 배 이동하는 것을 볼 수 있다. 이 외에도 *L*, *V*₀ 또는 *L*과 *C*가 동시에 변경되는 경우 등, 식 (4.8)에서 나타난 기준값의 배율에 따라서 계산하면 모두 로그스케일에서 평행이동하는 결과를 얻을 수 있다.



그림 4-7. 기준값 관련 파라미터 변경에 따른 시간-전류 특성 Map의 평행이동 예시 (a) 캐패시턴스 C가 2배, 0.5배인 경우, (b) 인덕턴스 L이 2배, 0.5배인 경우, (c) 초기전압 V₀가 2배, 0.5배인 경우, (d) L과 C가 동시에 각각 2배, 0.5배인 경우

4.2 시간-전류 특성 Map 기반 보호 시스템 파라미터 설계 앞서 살펴본 바와 같이, 캐패시터 방전 시간-전류 Map을 실제 스케일의 그래프에 그릴 수 있다면 퓨즈나 차단기 및 피보호기기의 시간-전류 특성 곡선도 같은 평면에 도시하여 비교하기가 용이해진다. 또한 L, C, Vo의 파라미터 변경에 따라서 평행이동이 가능한 특성은 파라미터를 수정하는 방식으로 보호시스템을 설계해야 할 때 상당히 편리하게 작용하며 기존의 Pt만 비교하던 것과 달리 시간 특성까지 고려할 수 있다. 본 절에서는 제안하는 캐패시터 방전 시간-전류 특성 Map에 기반하여, 실제 스케일의 시간-전류 평면상에서 고속 퓨즈 기반 보호시스템의 파라미터를 설계하는 예시를 설명한다. 본 방식을 사용하면 설계되지 않은 파라미터라도 임의의 값으로 먼저 선정해야 한다는 단점은 있지만, 정규화된 Map상에서 비교해야 할 필요가 없기 때문에 반복하여 정규화를 해야할 필요가 없고, 시간 축 및 전류 축으로 평행이동해야 하는 스케일을 산출하면 역으로 파라미터를 바로 계산할 수 있는 장점이 있다.

예시 1) 퓨즈의 용단 시간-전류 특성을 선정하는 경우

설계 대상인 DC전력시스템의 정격 전압 V₆는 400 V, 등가 캐패시턴스 C는 1 mF, 등가 인덕턴스 L은 57 μH라고 하자. 사고 저항을 포함한 등가 저항 R의 최소값은 18 mΩ으로 예상되고, 최대 168 mΩ일 때에도 캐패시터 전압 vc가 52 V 이하로 떨어지기 전에 퓨즈가 용단되도록 하고자 한다. 정상운전시에는 용단되지 않아야 하므로 사고시 위 조건을 만족시키기 위한 퓨즈의 시간-전류 특성은 다음과 같이 구할 수 있다.

1) 기준점 좌표계산

 $(I_{\text{CB,rms}}, T_{\text{CB}}) = (1185 \text{ A}, 375 \,\mu\text{s})$

2) 정규화된 곡선의 주요 특징점에 기준점 좌표(*I*_{CB,rms}, *T*_{CB})를 곱하여 실제 스케일의 캐패시터 방전 시간-전류 특성 Map의 주요 특징점 도출

104

A: $(I_{CB,rms} * 1.00, T_{CB} * 1.00) = (1185 \text{ A}, 375 \ \mu \text{s})$ B: $(I_{CB,rms} * 0.75, T_{CB} * 0.66) = (888.5 \text{ A}, 248 \ \mu \text{s})$ C: $(I_{CB,rms} * 0.50, T_{CB} * 0.41) = (592.3 \text{ A}, 154 \ \mu \text{s})$ D: $(I_{CB,rms} * 0.25, T_{CB} * 1.82) = (154.0 \text{ A}, 37 \ \mu \text{s})$

A': $(I_{CB,rms} * 0.22, T_{CB} * 6.37) = (260.6 \text{ A}, 2389 \,\mu\text{s})$ B': $(I_{CB,rms} * 0.25, T_{CB} * 1.82) = (296.2 \text{ A}, 683 \,\mu\text{s})$ C': $(I_{CB,rms} * 0.27, T_{CB} * 0.70) = (319.9 \text{ A}, 263 \,\mu\text{s})$ D': $(I_{CB,rms} * 0.10, T_{CB} * 1.10) = (118.5 \text{ A}, 37 \,\mu\text{s})$

3) 기준값으로 제한조건 변수 정규화 $V_{CB} = 400 \text{ V}, Z_{CB} = 239 \text{ m}\Omega, J_{CB} = 526 \text{ A}^2 \text{s}$ $V_{Cpu} > V_{Cpu,min} = 52 \text{ V} / 400 \text{ V} = 0.13 \text{ p.u.}$ $\zeta > \zeta_{min} = 0.5*18/239 = 0.04 \text{ p.u.}$ $\zeta < \zeta_{max} = 0.5*168/239 = 0.35 \text{ p.u.}$

4) 위 2)에서 구한 캐패시터 방전 시간-전류 곡선 주요점의 좌표와 3)에서 구한 정규화된 설계 조건들을 청색 음영으로 시간-전류 평면에 도시하면 그림 4-8과 같다. 여기서 감쇠비가 0.35이고, 최소 전압 0.13 p.u.의 교점인 초록색 별을 지나도록 퓨즈의 시간-전류 특성을 선정할 수 있다.



그림 4-8. 캐패시터 방전 시간-전류 특성 Map 및 퓨즈 설계 예시

예시 2) 퓨즈 용단에 필요한 등가 캐패시턴스 C를 설계하는 경우

예시 1의 결과와 동일하게 설계되어 있는 상태에서 C값을 변경하여 다음 사양을 만족하도록 수정 설계를 한다고 가정해보자. 다른 조건은 모두 같지만, 사고 저항을 포함한 등가 저항 R이 최대 312 mΩ 일 때에도 캐패시터 전압 vc가 200 V 이하로 떨어지기 전에 퓨즈가 용단되도록 변경하고자 한다. 위와 같은 조건에서 퓨즈를 용단시키기 위해 필요한 등가 캐패시턴스 C는 다음과 같이 구할 수 있다.

1) 기준점 좌표계산

 $(I_{\text{CB,rms}}, T_{\text{CB}}) = (1185 \text{ A}, 375 \,\mu\text{s})$

 2) 기준점 좌표에서 비례하도록 시간-전류 특성 Map 도시 위의 예시 1과 같이 계산하여 구한다.

3) 기준값으로 제한조건 변수 정규화

 $V_{\rm CB} = 400 \text{ V}, Z_{\rm CB} = 239 \text{ m}\Omega, J_{\rm CB} = 526 \text{ A}^2 \text{s}$

 $V_{\text{Cpu}} > V_{\text{Cpu,min}} = 200 \text{ V} / 400 \text{ V} = 0.50 \text{ p.u.}$

 $\zeta > \zeta_{\min} = 0.5*18/239 = 0.04$ p.u.

 $\zeta < \zeta_{\text{max}} = 0.5*312/239 = 0.65$ p.u.

4) 평행이동 좌표 계산

캐패시턴스 C 수정 시 캐패시터 방전 시간-전류 특성 Map은 우상향 또는 좌하향 방향으로만 평행이동이 가능하다. 감쇠비가 0.65이고, 캐패시터 전압 0.50 p.u.의 교점을 그림 4-9에서 회색 육각형 별로 표시했을 때, 해당하는 점과 설계하고자 하는 사양의 시간-전류 특성 Map이 퓨즈의 곡선에 닿을 때까지 평행 이동시켜야 하는 거리를 측정해볼 수 있다.

예를 들어 캐패시턴스를 두 배인 2C로 적용한 기준점을 계산한 좌표로 곡선을 이동했다고 하였을 때, 기준점의 좌표는 (1185 A, 375 µs) 에서 (1675 A, 530 µs)으로 각각 √2배만큼 증가한다. 이 때 주의해야할 점은 캐패시터의 변화에 따라 임피던스 기준값인 Z_{CB}도 달라지기 때문에

106

감쇠비 또한 해당 비율만큼 커지는 것을 함께 고려해야 한다. 따라서 감쇠비도 0.65에서 0.92로 √2배만큼 증가하게 되므로 정확한 용단지점은 파란색 육각형 별에서 감쇠비 증분만큼을 고려한 빨간색 육각형 별이 된다. 해당 지점에서도 퓨즈의 용단 시간-전류 특성 곡선과 교차하게 되므로 퓨즈가 용단된다고 예상할 수 있다.



그림 4-9. 예시 시간-전류 특성 Map의 캐패시턴스 2배 변경시 예상 평행이동 위치 및 퓨즈 용단 위치

위 설계의 유효성 확인을 위해 3.3절에서의 1 mF의 캐패시턴스를 이용한 퓨즈 실험 결과와 2 mF의 캐패시턴스를 이용한 퓨즈 실험 결과를 시간-전류 평면 상에 도시하여, 원하는 설계 사양에서 퓨즈가 용단되는지 확인하였다.

비교를 위하여 먼저, *C* = 1 mF이고 @*R*₀, @*R*₁, @*R*₂, @*R*₃ 의 저항 조건으로 실험했을 때의 캐패시터 방전 전류와, 퓨즈가 용단되었던 지점을 별모양으로서 시간-전류 평면 상에 나타내면 그림 4-10과 같다. @*R*₀, @*R*₁ 조건에서는 퓨즈의 시간-전류 곡선과 만나는 지점에서 퓨즈가 용단되었고, @*R*₂, @*R*₃ 조건에서는 퓨즈의 용단이 일어나지 않았음을 알 수 있다.



그림 4-10. 시간-전류 평면 상 퓨즈 용단 실험 결과(C = 1 mF)

C'=2mF인경우의 주요 파라미터는 표 4-1 및 표 4-2와 같다.

| Position | R (m Ω) | <i>C</i> '(<i>µ</i> F) | L (µH) | ζ |
|----------|-------------------|-------------------------|--------|------|
| $@R_0$ | 18 | 2000 | 57 | 0.05 |
| $@R_1$ | 168 | 2000 | 58 | 0.49 |
| $@R_2$ | 312 | 2000 | 60 | 0.90 |
| $@R_3$ | 455 | 2000 | 61 | 1.30 |
| $@R_4$ | 602 | 2000 | 62 | 1.71 |
| $@R_5$ | 742 | 2000 | 63 | 2.09 |

표 4-1. 가변저항 위치에 따른 등가 R-L-C 파라미터 및 감쇠비(C'=2mF)

표 4-2. 초기 전압 변화에 따른 캐패시터 방전 I²t 기준 값 (C' = 2 mF)

| $V_0\left(\mathrm{V} ight)$ | C' (µF) | <i>L</i> (μH) | $J_{\rm CB}$ (A ² s) |
|-----------------------------|---------|---------------|---------------------------------|
| 100 | 2000 | 57-63 | 93-89 |
| 200 | 2000 | 57-63 | 372-354 |
| 300 | 2000 | 57-63 | 837-797 |
| 400 | 2000 | 57-63 | 1489-1416 |
| 500 | 2000 | 57-63 | 2326-2213 |
| 600 | 2000 | 57-63 | 3350-3186 |

추가로 C'가 2 mF인 경우의 36개의 실험을 수행한 결과 그래프는 그림 4-11(a)와 같고 각각의 기준값에 따라 정규화하면 그림 4-11(b)와 같이 표현할 수 있다. 서로 달랐던 궤적들이 정규화가 되면서 그룹화 되지만, @R₀인 경우를 제외하고는 그림 3-3의 1 mF인 경우에 비해 넓게 퍼져있는 것을 볼 수 있는데, 이는 캐패시터에 담긴 에너지가 더 크기 때문에 케이블에서 발생하는 줄열에 의해 온도가 상승하고 이로 인해 도선의 저항값이 변경되어 감쇠비가 달라진 것으로 추정된다.



그림 4-11. 단일 R-L-C 회로의 단락시 캐패시터 방전 실험 결과(C' = 2 mF) (a) 측정 및 후계산된 캐패시터 전압, 방전 전류, 방전 I²t 데이터 (b) 정규화된 캐패시터 전압, 방전 전류, 방전 I²t 데이터

위에서 실험한 회로에 용단 *Pt*가 270 A²s인 고속 퓨즈를 삽입하여 실험한 결과를 나타내면 그림 4-12와 같다. 캐패시턴스를 제외한 다른 파라미터는 변화가 없지만, 표 4-1과 같이 감쇠비는 각각 0.05, 0.49, 0.90, 1.30 등으로 달라짐을 알 수 있다. 또한 실험 파형은 캐패시턴스가 두 배로 증가함에 따라 그림 3-17에 나타난 결과와 비교해 볼 때 공통적으로 전류의 피크가 더 커졌으며 캐패시터 전압 강하가 덜 이루어짐을 볼 수 있다. 그림 4-12의 파형에서 확인할 수 있듯이, @*R*₀ 와 @*R*₁ 및 @*R*₂의 파라미터로 시험한 퓨즈는 각각 2개 이상씩 모두 용단되었으며, @*R*₃의 파라미터로 시험한 퓨즈는 용단되지 않았다.



그림 4-12. 단일 R-L-C회로에서 퓨즈 실험(C'=2mF)

(a) @R₀로 단락시 (b) @R₁로 단락시 (c) @R₂로 단락시 (d) @R₃로 단락시

또한 이 실험 결과를 캐패시터 방전 *Pt* Map상에 감쇠비 별 경로로 나타내면 그림 4-13와 같다. 붉은 선 및 붉은 음영은 퓨즈의 용단 *Pt* 및 오차 ±16%를 고려하여 나타낸 범위인데, *@R*₀, *@R*₁, *@R*₂ 실험은 각각 빨간색, 초록색, 파란색 선으로 나타내었으며, 모두 해당 범위에서 0.5 p.u.의 전압에 도달하기 전에 퓨즈가 용단되었다. 그런데 하늘색의 *@R*₃ 실험은 퓨즈의 용단 범위를 지나가기는 하지만 2 번의 시행에서 모두 용단되지 않았다. 이는 퓨즈 용단 *Pt*만큼의 캐패시터 방전 *Pt*는 생성되었지만, 퓨즈 용단 특성 상 일정한 *Pt*로 간주할 수 있는 시간을 초과하였기 때문에, 실제 용단을 위해서는 그 기간동안 퓨즈의 냉각 효과를 고려하여 더 많은 *Pt*가 필요하다. 하지만 시간 정보가 포함되어 있지 않은 *Pt* Map에서는 그것을 고려하기가 어렵다.



그림 4-13. 정규화된 캐패시터 방전 I't Map 상에 나타낸 실험 결과 (C' = 2 mF)

이를 본 장에서 제안하는 시간-전류 특성 Map으로 나타내면 그림 4-14와 같다. 캐패시턴스를 *C* = 2 mF로 변경하면 1 mF일 때보다 기준점의 좌표가 각각 √2 배씩 증가하며 감쇠비도 해당 비율만큼 증가하게 되는데, 실제 실험에서도 @*R*₀, @*R*₁ 및 @*R*₂ 일 때의 감쇠비에 해당하는 곡선을 따라가다가 곡선과 퓨즈의 시간-전류 곡선이 교차하는 지점에서 퓨즈가 용단되었음을 알 수 있다. 용단이 일어나지 않은 @*R*₃인 경우에는, 퓨즈의 시간-전류 특성 곡선이 일정한 *Ft*를 벗어나는 구간과 @*R*₃일 때의 캐패시터 방전 시간-전류 특성 Map이 만나지 않는 것을 확인할 수 있다.

다만 시간-전류 특성 Map은 로그 스케일로 표현되어 있어 용단되는 지점이나 전압을 정밀하게 표현하기는 어렵지만, 시간을 고려한 퓨즈의 시간-전류 특성 곡선과 비교가 가능하다는 점에서 의미가 있다.



그림 4-14. 시간-전류 평면 상 퓨즈 용단 실험 결과 (C'=2mF)

예시 3) 선로의 임의의 중간지점에서 사고시 용단 여부 판단

본 논문에서는 주로 길이가 짧은 배전반 형태의 DC 전력시스템에 대해서 분석하였지만, 긴 선로의 중간 지점에서 사고가 발생할 경우로 응용을 확대할 수 있다. 이 경우에는 인덕턴스를 특정할 수 없기 때문에 기준값 계산이 불가하여 본 논문에서 제안한 *Pt* Map은 활용하기 어렵지만, 시간-전류 특성 Map에서는 평행이동 특성을 이용하여 선로 길이의 범위에 따른 고장 전류의 시간-전류 범위를 산출할 수 있다.

예를 들어 그림 4-15와 같이 정상 VSC의 DC 링크 캐패시터 측에 연결된 길이 d의 선로가 있다고 하자. 사고 시 VSC의 등가 파라미터는, Lo는 57 μH, Ro와 R_F의 합은 168 mΩ, C는 4 mF, Vo는 400 V의 파라미터를 갖고 있다고 하자. 길이 d의 최소값은 @지점에서 0 m, 최대값은 ⓑ지점에서 1000 m이고, 케이블의 길이 당 단위 인덕턴스 *l* 은 0.333 μH/m이며, 단위 저항 r은 0.144 mΩ/m라고 하자.



그림 4-15. DC 선로의 임의의 지점에서 사고시 등가 모델

기존 감쇠비와 기준점의 식을 길이 d에 따른 등가 파라미터를 대입하면 식 (4.9) 및 (4.10)과 같다.

$$\zeta = \frac{\left(R_0 + R_{\rm F} + d \cdot r\right)}{2} \sqrt{\frac{C}{\left(L_0 + d \cdot l\right)}} \,. \tag{4.9}$$

$$\left(I_{\rm CB,rms}, T_{\rm CB}\right) = \left(\frac{V_0}{\sqrt{2}} \cdot \sqrt{\frac{C}{\left(L_0 + d \cdot l\right)}}, \frac{\pi}{2} \sqrt{\left(L_0 + d \cdot l\right)C}\right).$$
(4.10)

계산 결과 @지점에서의 감쇠비는 0.7, 기준점 좌표는 (2369 A, 0.75 ms)이고 ⑤지점에서의 감쇠비는 0.5, 기준점은 (905 A, 2 ms)로 계산할 수 있다. 이에 해당하는 시간-전류 특성 Map을 각각 파란색과 빨간색의 점선 및 실선으로 작성하면 그림 4-16와 같다. @지점의 파란색 실선이 최소, ⑥지점의 빨간색 실선이 최대를 의미하므로, 선로 상 임의의 지점에서의 고장 전류는 두 선 사이의 붉은 색 음영에 위치할 것이다. 이러한 방식으로 음영의 범위와 퓨즈의 용단 특성 곡선을 비교하여 용단 여부를 직관적으로 판단할 수 있다.



그림 4-16. 선로 내 고장지점 위치에 따른 고장전류 영역 및 퓨즈 특성 곡선과 비교

제 5장 선박용 DC 전력시스템 적용 시 고려사항

본 장에서는 다수 건전 피더(healthy feeder)의 캐패시터 방전 전류를 이용하여 고장 피더(faulty feeder)를 선택 차단(discrimination)하는 방식을 적용할 때 고려해야 할 사항에 대해서 분석한다. 그리고 본 논문에서 제안한 캐패시터 방전 전류 Map을 다수의 VSC로 이루어진 DC 전력시스템에 적용할 수 있도록 등가회로를 구성하는 방법을 제안하고, 축소모델 실험을 통해 그 유의성을 검증한다.

5.1 보호 시스템의 선택성을 확보하기 위한 설계 항목

본 절에서는 다수의 피더로 이루어진 DC전력시스템에서, 피더 단락 사고시 보호시스템의 선택성(selectivity)을 확보하기 위해 고려해야 할 사항에 대해서 분석한다. 선택성은 건전 피더에 대한 부담이나 피해를 최소화하면서 고장 피더만 차단할 수 있는가로 정의할 수 있다. 즉, 퓨즈를 보호기기로 사용하는 경우에는 고장 피더의 퓨즈가 용단되고 다시 시스템이 정상화 될 때까지 건전 피더의 퓨즈는 용단되지 않아야 한다.

짧은 시간 동안의 퓨즈 용단 여부는 퓨즈에 가해지는 *Pt*값이 주어진 퓨즈의 용단 *Pt*값을 초과하는지로 판단할 수 있다. 1개 VSC의 캐패시터 *C*가 초기 전압 *V*₀에서 0 V가 될 때까지 인덕턴스 *L*을 통해 발생하는 캐패시터 방전 *Pt*, *J*_c는 식 (5.1)과 같이 계산할 수 있고 이는 본 논문에서 제안한 *Pt*의 기준 값(base value) 계산식과 같다.

$$J_{C} = \frac{\pi}{4} V_{0}^{2} \sqrt{\frac{C^{3}}{L}}$$
(5.1)

하지만 이것은 단일 회로에 대한 것이기 때문에 다수 캐패시터의 방전이 발생하는 DC전력시스템에서는 시스템이 구성된 형태에 따라 파라미터가 변경될 수 있어서 그에 맞는 분석이 필요하다. 5.1.1 버스 내 VSC의 수

우선, VSC의 수가 선택성에 미치는 영향에 대해서 분석하기 위하여 그림 5-1(a)와 같이 모두 동일한 파라미터를 가진 N개의 VSC 피더로 구성된 버스가 있다고 가정하였다. 만약 우측의 1개 피더에서 단락사고가 발생하면 N-1개의 정상 피더 캐패시터에서 임피던스가 낮은 고장 피더로 사고 전류가 공급된다. 이 때 버스의 임피던스가 무시할 정도로 작으면 다수의 건전 피더를 병렬회로로 간주할 수 있고, 그림 5-1(b)와 같이 등가 캐패시턴스, 등가 인덕턴스, 등가 저항, 등가 퓨즈의 등가 회로로 표현할 수 있다.



(a)



(b)

그림 5-1. 동일한 파라미터를 가진 N개 피더 중 한 곳(우측)에서 단락사고 발생시 등가회로

(a) 다수 건전 피더로부터의 캐패시터 방전 전류 공급 경로,

(b) (a)의 병렬 연결된 N-1개 건전 피더의 등가회로

참고로 등가회로에서 캐패시턴스는 병렬로 (N-1)배가 되었으나 등가 저항과 인덕턴스는 고장 피더의 임피던스를 포함하기 때문에 각각 1/(N-1) 배가 아니라 N/(N-1)배가 된다. 이를 고려하여 고장 피더에 공급되는 I⁻t인 J_F를 계산하면 식 (5.2)와 같이 단일 회로에서의 J_C를 포함한 식으로 나타낼 수 있다.

$$J_{F} = \frac{\pi}{4} V_{0}^{2} \sqrt{\frac{\left(N-1\right)^{3} \cdot C^{3}}{\frac{N \cdot L}{N-1}}} = \frac{\left(N-1\right)^{2}}{\sqrt{N}} \cdot J_{C} \,.$$
(5.2)

그림 5-1(b)에서 선택성을 만족하기 위해서는 다음의 조건을 만족해야 한다.

 고장 피더의 퓨즈는 외부의 건전 피더에 의해 공급되는 Pt에 의해 용단되어야 한다.

$$J_{\text{fuse}} < J_F. \tag{5.3}$$

2) 등가 건전 피더의 등가 퓨즈는 자신이 공급하는 *P*t에 의해 용단되지 않아야 한다.

$$J_F < \left(N-1\right)^2 \cdot J_{\text{fuse}} \,. \tag{5.4}$$

위 식 (5.3)과 식 (5.4)를 동시에 만족하는 범위를 구해보면 식 (5.5)와 같다. N이 2일 때는 식을 만족하는 JF는 존재하지 않지만, N이 커질수록 JF가 취할 수 있는 값의 범위가 넓어진다. 그런데 여기서 식 (5.2)를 참조하여 JF를 단일 회로에서의 Jc로 변환하여 나타내면 식 (5.6)과 같고, 다시 부등식의 세 변을 Jfuse로 나누면 식 (5.7)과 같다.

$$J_{\text{fuse}} < J_F < \left(N - 1\right)^2 \cdot J_{\text{fuse}}$$
(5.5)

$$\Rightarrow \frac{\sqrt{N}}{\left(N-1\right)^2} J_{\text{fuse}} < J_C < \sqrt{N} \cdot J_{\text{fuse}}$$
(5.6)

$$\Rightarrow \frac{\sqrt{N}}{\left(N-1\right)^2} < \frac{J_C}{J_{\text{fuse}}} < \sqrt{N}$$
(5.7)

여기서, 캐패시터 방전 *Pt*와 퓨즈 용단 *Pt*의 비율 *J*_C/*J*_{fuse}는 *N*에 따라 적절한 범위 내에 속해야 하므로 이는 DC 전력시스템을 구성하고 있는 VSC의 한 설계요소로 간주할 수 있다. 아래 표 5-1은 실제 선박용 DC 전력시스템에서 사용되는 VSC와 퓨즈의 파라미터를 나타내었으며 ([15] 외), 해당 버스에 존재하는 VSC의 수를 *N*으로 나타낸 것이다. 각 VSC 별로 퓨즈와 캐패시터의 *Pt* 비율 (*J*_C / *J*_{fuse})에 차이는 있으나, 충분한 수의 VSC로 버스가 구성되어 그림 5-2와 같이 각 경우의 VSC 수 *N*에 따라 식 (5.7)을 만족하는 범위에 존재하는 것을 볼 수 있다.

| | System 1 | System 2 | System 3 |
|-----------------------------------|----------|----------|----------|
| $V_0(\mathbf{V})$ | 1000 | 900 | 900 |
| $L(\mu H)$ | 2 | 2 | 2 |
| <i>C</i> (mF) | 20 | 18.5 | 19.5 |
| $J_{\rm C}({\rm kA}^2{\rm s})$ | 1570 | 1131 | 1224 |
| $J_{\rm fuse}({\rm kA}^2{\rm s})$ | 1500 | 2621 | 1095 |
| $J_{\rm C}/J_{\rm fuse}$ | 1.05 | 0.43 | 1.12 |
| N | 5 | 8 | 8 |

표 5-1.선박용 DC전력시스템 내 선택차단성 확인을 위한 VSC 파라미터 예시



그림 5-2. 버스 내 VSC 수에 따른 선택차단 가능범위 및 적용된 캐패시터 I⁺t 및 퓨즈 I⁺t의 비율(J_C/J_{fuse})

5.1.2 버스 임피던스와 피더 임피던스의 비율 및 고장 위치 고려

선박은 육상의 마이크로 그리드와 달리 그 길이가 수 백 m 정도로 제한되고, 추진용 VSC는 스위칭으로 인한 전자기파가 선박 내의 기기에 미치는 영향을 막기 위해 절연변압기 등으로 구분되어 있는 특수배전구역 전기실 내에 설치를 하는 것이 일반적이다. 예를 들면 AC전력이 필요한 기기에 CVCF(Constant Voltage Constant Frequency) 전원을 공급해주거나, 수 백 m 떨어진 고압 전동기를 구동하는 VSC를 제어하는 경우에도 변압기를 이용하고 있다. 이러한 설치 장소의 제약 때문에 선박용 DC 전력시스템은 대부분 수 m 에서 십 수 m에 불과한 배전반의 형태로 전기실 내에 집중 설치되어 있어 인덕턴스가 작고, 필요한 VSC들에 MW급의 전력을 전달해야 하므로 저항의 크기도 작다. 하지만 그림 5-3과 같이 배전반이 일렬로 열반되어 있고 [15], [109], 배전반을 따라 버스바에 피더가 연결되어 있는 경우에는 임의의 두 피더 간 임피던스가 작더라도 피더 간 임피던스 차이는 상당히 달라질 수 있기 때문에 무시하기 어렵다. 그림 5-4와 같은 시뮬레이션 모델에서도 피더 간 버스 임피던스를 생략하지 않고 적용한 것을 볼 수 있다.



그림 5-3. 선박용 DC전력시스템 Demo룸 [15]



그림 5-4. 고장 전류 분석을 위한 시뮬레이션 모델 예시 [15]

한편, 피더의 저항은 버스 저항보다 비교적 큰 특징이 있는데 이는 각 VSC의 정격전류에 맞는 도체 굵기, DC릴레이의 접촉저항이나 퓨즈의 저항, 특히 전해캐패시터를 적용한 경우의 등가 직렬저항(ESR) 등으로 인한 것이다. 그림 5-5를 살펴보면, 피더와 피더 사이의 버스 임피던스 Za와 버스 접속점에서 VSC의 캐패시터까지 이르는 피더 임피던스 Za의 비율에 따라 캐패시터 방전 전류의 공급 특성이 달라질 것임을 예측할 수 있다. 만약 버스 임피던스 Za가 0에 가까워 무시할 수 있으면 (a)와 같이 Star 형태의 버스가 되고, Za를 무시할 수 없다면 (b)와 같이 Cascade 형태의 버스가 된다. Star 형태의 버스에서는 어느 피더에서 사고가 발생하더라도 나머지 건전 피더들은 균등하게 사고 전류를 공급할 수 있다. 하지만 Cascade 형태의 버스에서 발생한 사고는 위치에 따라 각기 다른 사고 전류를 공급받는다. 즉, 비교적 중앙에 위치한 피더에 사고가 발생한 경우에는 건전 피더들로부터 골고루 전류를 공급받을 수 있지만, 한 쪽 끝에 위치한 피더에서 사고가 발생할 경우에는 사고 피더와 가까운 피더에 더 큰 부담이 작용하게 되어 선택성이 나빠지게 된된다.



그림 5-5. 버스 임피던스(Z_a)와 피더 임피던스(Z_b) 크기에 따른 형태 차이 (a) Star형태의 버스, (b) Cascade 형태의 버스, (c) 버스와 피더 임피던스 위치

먼저 Star 형태의 버스 (Z_a = 0인 경우) 에서는 사고 위치에 따라 사고 전류의 특성 차이가 발생하지 않고 균등하게 사고 전류가 공급된다. 이는 다수의 피더 임피던스를 병렬로 간주할 수 있기 때문이다. 아래 그림 5-6은 정격전압이 1000 V이고 버스 용량이 2 MW인 시스템에서, C₁ = C₂ = C₃ = C₄ = 3.6 mF, Z_a = 0, Z_b = 2 μH, J_{fuse} = 160 kA²s 인 경우, 각 위치별로 단락사고가 발생했을 때 캐패시터 전류와 전압 및 퓨즈 엘리먼트의 상대적 용융 온도를 나타낸 것이다. 어느 한 곳에서 사고가 발생하더라도, 고장 피더 퓨즈의 상대 온도가 1이 되어 용단될 때까지, 나머지 피더들은 균등하게 전류를 공급하여 낮은 상대 온도를 유지하고 있다.



그림 5-6. Star 형태 버스에서 각 위치 별 단락 시뮬레이션 (a) 피더 1 단락시, (b) 피더 2 단락시, (c) 피더 3 단락시, (d) 피더 4 단락시

한편, Z_a 를 무시할 수 없는 Cascade 형태에서는 사고 위치에 따라 사고 전류의 차이가 발생하는데, 그림 5-7은 C₁ = C₂ = C₃ = C₄ = 3.6 mF, Z_a = 2 μH, Z_b = 2 μH, J_{fuse} = 160 kA²s 인 경우의 시뮬레이션 결과이다. 이 중 가장자리인 1번 피더에서 고장 발생시, 가장 가까이 있는 2번 피더의 캐패시터 전압강하와 방전 전류 크기가 가장 크고, 4번 피더 고장시에는 3번 피더의 전압강하와 전류 크기가 가장 크다. 시뮬레이션 결과, 모두 고장 지점의 퓨즈가 성공적으로 용단되기는 하지만 용단 순간의 각 캐패시터의 전압 차이로 인하여 용단 이후 공진현상이 나타나고, 이웃한 정상 피더의 퓨즈들도 추가로 용단될 수 있음을 나타내고 있다.



그림 5-7. Cascade 형태의 버스에서 각 위치별 단락 시뮬레이션 (a) 피더 1 단락시, (b) 피더 2 단락시, (c) 피더 3 단락시, (d) 피더 4 단락시

5.1.3 피더 간 C-L-C 공진 억제

DC전력시스템은 각 피더 들이 일정한 거리를 두고 배치되어 있기 때문에 임의의 두 피더 간에는 그림 5-8과 같이 C-L-C 회로가 형성되고 이는 공진 및 VSC의 능동 제어에 의해 발산 현상으로 이어질 수 있다. 만약 MW급의 VSC가 Cacade 형태로 배치가 되어 있다고 가정하면, 인덕턴스 L은 수 μH이며, DC링크 캐패시턴스는 각각 수 ~ 수 십 mF에 해당하기 때문에 식 (5.8)로 예상되는 공진 주파수는 수 백 ~ 수 천 Hz 로 예상된다. 이와 같은 공진 및 발산현상이 발생하면 본 논문에서 분석하고 있는 퓨즈 뿐만 아니라 시스템 안정화에도 큰 영향을 미치기 때문에 이는 반드시 억제해야 하는 현상이다.



그림 5-8. C-L-C 공진회로

$$f_{res} = \frac{1}{2\pi \sqrt{L\left(\frac{C_1 C_2}{C_1 + C_2}\right)}}$$
(5.8)

122

공진 현상을 억제하기 위한 대책으로는 우선, 선로나 캐패시터에 직렬로 저항성분을 추가하여 감쇠비를 증가시키는 방법이 있다. 선로에 저항을 추가하는 방법은 정상 운전 상태에서 손실을 유발하기 때문에 적절하지 않으며, 버스바의 표피효과(skin effect)에 의한 저항성분의 증가를 기대할 수 있으나 수 백 Hz의 비교적 낮은 주파수에서는 그 효과가 미비하다. 반면 캐패시터에 저항성분을 추가하는 방법은 선로와 전력반도체에 병렬로 연결되어 있기 때문에 손실에 직접적으로 영향을 미치지는 않는 장점이 있다. 일부 상용 설계 사례에서는 수명이 짧고 ESR이 큰 전해 캐패시터를 사용하는 경우도 보이는데, 이는 캐패시터의 교체주기가 짧아지더라도 감쇠비를 높이기 위한 의도적인 설계로 보인다.

추가로 각 입력단에 다이오드를 적용하는 방법도 고려할 수 있다. 분석 결과, 이는 전류가 역방향으로 흐르지 못하도록 제한하여 발산을 막는 효과는 있지만 캐패시터를 가진 AFE 방식의 정류기와의 공진은 막지 못하기 때문에 효과가 충분하지 못하다. 그 외의 방안으로 선로에 능동 감쇠 장치를 설치하는 방식을 고려해볼 수 있는데[120], 일대일 방식이 아닌 방사형 배전 방식에서는 구간마다 다수를 설치해야 하므로 경제성이 낮다.

5.1.4 퓨즈 용량 균등화

실제 VSC는 그 용량에 따라 각기 다른 캐패시턴스와 다른 정격전류의 퓨즈를 가지고 있다. 아래 그림 5-9은 Star 형태의 버스에서 *C*₁ = 3.6 mF, *C*₂ = 4.9 mF, *C*₃ = 2.4 mF, *C*₄ = 4.9 mF 이고, 퓨즈 용량은 각각 컨버터 정격에 따라 *I*_{F1} = 630A, *I*_{F2} = 840A, *I*_{F3} = 400A, *I*_{F4} = 840 A를 적용했을 때의 시뮬레이션 결과이다. 모든 경우에 퓨즈의 용량이 낮은 3번 피더가 용단되거나 퓨즈의 용단까지 남은 온도 여유가 없어서 선택성이 확보되지 못했다고 볼 수 있다. 이는 캐패시터가 비록 다르더라도 가능하면 한 버스 내의 퓨즈 용량은 유사한 수준으로 설정하는 것이 불필요한 용단을 막을 수 있을 것으로 유추할 수 있다. 만약 퓨즈 용량을 *I*_{F1} = *I*_{F2} = *I*_{F3} = *I*_{F4} = 840 A로 동일하게 설정한 경우의 시뮬레이션에서는 그림 5-10과 같이 고장 피더의 퓨즈만 용단되고 다른 퓨즈의 상대온도는 낮은 것을 확인할 수 있다.



그림 5-9. Star 형태의 버스에서 작은 용량 퓨즈(3) 포함시 단락 시뮬레이션 (a) 피더 1 단락시, (b) 피더 2 단락시, (c) 피더 3 단락시, (d) 피더 4 단락시



그림 5-10. Star 형태의 버스에서 동일 용량 퓨즈 포함시 단락 시뮬레이션 (a) 피더 1 단락시, (b) 피더 2 단락시, (c) 피더 3 단락시, (d) 피더 4 단락시

Cascade 연결 시 사고 전류의 분석은 다음 절에서 자세히 다룬다.

5.2 DC 전력시스템의 고장 피더 기준 등가회로화

본 절에서는 다수의 VSC로 이루어진 DC버스를 고장 피더에 대해서 단일 R-L-C 등가회로로 구성하는 방법을 제시하고, 등가회로와 3장과 4장에서 제안한 캐패시터 방전 전류 Map을 이용하여 퓨즈의 용단 여부를 분석할 수 있음을 보인다.

Star 형태의 DC 전력시스템은 위에서 살펴본 예시와 같이 건전 피더들을 모두 병렬로 계산한 후, 고장 피더 입력측의 임피던스를 더해주면 되기 때문에 등가회로를 비교적 간단하게 구할 수 있다. 하지만 실제 배전반은 앞에서 설명한 Cascade 형태에 가깝다. 그림 5-11과 같이 피더의 어드미턴스 y는 DC링크 캐패시턴스 C, 직렬 등가 인덕턴스 l 및 직렬 등가 저항 r로 이루어져 있고, 피더 사이 버스의 임피던스 z는 직렬 연결된 선로 인덕턴스 L과 선로 저항 R로 이루어져 있다고 하자. 가장 좌측에 단락저항을 포함한 RF가 발생했을 때, V1에 해당하는 전압이 크게 낮아지게 되고, 가까운 피더로부터의 캐패시터 방전이 연쇄적으로 일어나는 형태가 되다. 이는 다수의 2 포트(port) 시스템이 직렬로 연결되어 있는 것으로 간주할 수 있다. 사고 직전의 전압은 모두 정격전압으로 동일하고, 정격 전류는 고장 전류에 비해서 매우 작다는 초기의 가정을 상기하면, 직렬로 연결된 2 포트 시스템을 미리 하나의 행렬로 먼저 계산할 수 있다. 만약 이렇게 계산한 행렬을 그림 5-11의 우측과 같이 등가 임피던스 Zeq와 등가 어드미턴스 yeq로 구성된 회로의 행렬로 근사할 수 있다면 본 논문에서 제안한 기준 값을 계산할 수 있고. 제안한 정규화된 캐패시터 방전 I't Map또는 캐패시터 방전 시간-전류 특성 Map과 연계해서 사용할 수 있다.



그림 5-11. 말단 지점 사고 발생시 Cascade 연결 회로의 등가회로화

먼저, 하나의 2 포트 시스템 H₁에 대해서 입력 전압 V₁와 전류 I₁이 있을 때, 출력은 식 (5.9)과 같이 전압 이득 성분 H₁(1,1), 임피던스 성분 H₁(1,2), 어드미턴스 성분 H₁(2,1), 전류 이득 성분 H₁(2,2)의 행렬식으로 출력 전압 V₀과 전류 I₀을 나타낼 수 있다. 연속적으로 연결되어 있는 다른 행렬에 대해서도 어드미턴스(y₁, y₂, y₃, ...)와 임피던스(z₁, z₂, z₃, ...)로 구성된 행렬 곱을 사용하여 계산식을 표현할 수 있다. 버스 내 피더가 4개인 경우에는, 가장 멀리 있는 피더에서부터 고장 난 피더까지 행렬을 곱하여 식 (5.11)과 같이 나타낼 수 있다.

$$\begin{split} \begin{bmatrix} V_0 \\ I_0 \end{bmatrix} &= H_1 \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} H_1(1,1) & H_1(1,2) \\ H_1(2,1) & H_1(2,2) \end{bmatrix} \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 1+y_1z_1 & -z_1 \\ -y_1 & 1 \end{bmatrix} \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} . (5.9) \\ & \begin{bmatrix} V_0 \\ I_0 \end{bmatrix} = H_1 H_2 \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} = \begin{bmatrix} 1+y_1z_1 & -z_1 \\ -y_1 & 1 \end{bmatrix} \begin{bmatrix} 1+y_2z_2 & -z_2 \\ -y_2 & 1 \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \\ & = \begin{bmatrix} (1+y_1z_1)(1+y_2z_2) + y_2z_1 & -z_2(1+y_1z_1) - z_1 \\ -y_1(1+y_2z_2) - y_2 & 1 + y_1z_2 \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} . (5.10) \\ & \begin{bmatrix} V_0 \\ I_0 \end{bmatrix} = H_1 H_2 H_3 \begin{bmatrix} V_3 \\ I_3 \end{bmatrix} = \begin{bmatrix} 1+y_1z_1 & -z_1 \\ -y_1 & 1 \end{bmatrix} \begin{bmatrix} 1+y_2z_2 & -z_2 \\ -y_2 & 1 \end{bmatrix} \begin{bmatrix} 1+y_3z_3 & -z_3 \\ -y_3 & 1 \end{bmatrix} \begin{bmatrix} V_3 \\ I_3 \end{bmatrix} \\ & = \begin{bmatrix} (1+y_1z_1)(1+y_2z_2) + y_2z_1 & -z_2(1+y_1z_1) - z_1 \\ -y_1(1+y_2z_2) - y_2 & 1 + y_1z_2 \end{bmatrix} \begin{bmatrix} 1+y_3z_3 & -z_3 \\ -y_3 & 1 \end{bmatrix} \begin{bmatrix} V_3 \\ I_3 \end{bmatrix} \\ & = \begin{bmatrix} (1+y_1z_1)(1+y_2z_2)(1+y_3z_3) + & -z_3(1+y_1z_1)(1+y_2z_2) - \\ y_2z_1(1+y_3z_3) + y_3z_2(1+y_1z_1) + y_3z_1 & z_3y_2z_1 - z_2(1+y_1z_1) - z_1 \\ y_2(1+y_3z_3) - y_3z_2y_1 - y_3 & z_3y_2 + y_1z_2 + 1 \end{bmatrix} \begin{bmatrix} V_3 \\ I_3 \end{bmatrix} . (5.11) \\ & \forall X_1 \end{bmatrix} \\ & \forall Y_2 \end{bmatrix}$$

그런데 해당 등가 행렬은 2개 또는 3개 만으로도 상당히 계산이 복잡해지고 특성이 달라지기 때문에 식 (5.12)과 같이 등가화된 단일 R-L-C회로로 근사화하기 위해서는 회로 분석을 관심있는 주파수 영역에 한정할 필요가

126

있다. 본 논문의 대상인 주파수 영역은 단락으로 인한 캐패시터의 방전에 의해 선로 인덕턴스에 전류가 충전되는 LC공진회로의 첫 번째 공진주파수 및 그 이하의 영역이다. 따라서 2차항까지 근사로 충분하며 3차 이상의 고차 항(High Order Term, H.O.T.) 부터는 이득이 낮아지므로 생략할 수 있다.

$$\begin{bmatrix} V_0 \\ I_0 \end{bmatrix} = \begin{bmatrix} H_{eq}(1,1) & H_{eq}(1,2) \\ H_{eq}(2,1) & H_{eq}(2,2) \end{bmatrix} \begin{bmatrix} V_n \\ I_n \end{bmatrix} = \begin{bmatrix} 1 + y_{eq} z_{eq} & -z_{eq} \\ -y_{eq} & 1 \end{bmatrix} \begin{bmatrix} V_n \\ I_n \end{bmatrix}. \quad (5.12)$$

$$\forall t, \ z_{eq} = R_{eq} + sL_{eq}, \ y_{eq} = \frac{1}{\left| \left(r_{eq} + sl_{eq} + \frac{1}{sC_{eq}} \right) \right|}.$$

각 원소 별로 행렬이 곱해질 때마다의 내부 원소의 변화를 나타내면 다음과 같다. 3차 이상은 고차항(H.O.T)으로 표현하였다.

$$H_{1}(1,1) = 1 + y_{1}z_{1}$$

$$H_{1}H_{2}(1,1) = 1 + y_{1}z_{1} + y_{2}(z_{1} + z_{2}) + H.O.T$$

$$H_{1}H_{2}H_{3}(1,1) = 1 + y_{1}z_{1} + y_{2}(z_{1} + z_{2}) + y_{3}(z_{1} + z_{2} + z_{3}) + H.O.T$$
(5.13)

$$H_{1}(1,2) = -z_{1}$$

$$H_{1}H_{2}(1,2) = -z_{1} - z_{2} + H.O.T$$

$$H_{1}H_{2}H_{3}(1,2) = -z_{1} - z_{2} - z_{3} + H.O.T$$
(5.14)

$$H_{1}(2,1) = -y_{1}$$

$$H_{1}H_{2}(2,1) = -y_{1} - y_{2} + H.O.T$$

$$H_{1}H_{2}H_{3}(2,1) = -y_{1} - y_{2} - y_{3} + H.O.T$$
(5.15)

$$H_{1}(2,2) = 1$$

$$H_{1}H_{2}(2,2) = 1 + y_{1}z_{2} \qquad (5.16)$$

$$H_{1}H_{2}H_{3}(2,2) = 1 + y_{1}z_{2} + (y_{1} + y_{2})z_{3} + H.O.T$$

또한 4개의 원소 중에서 가장 중요한 항은 건전 피더의 전압 Vn으로부터 고장 지점에 공급되는 전류 Io 및 인가되는 전압 Vo이다. 우선, Io과 관계된 Heq(2,1)항에 대한 식 (5.15)를 참조하면 등가 어드미턴스 yeq는 식 (5.17)과 같이 그대로 병렬로 계산이 가능하다.

$$y_{eq} = y_1 + y_2 + y_3 + y_4 + \dots$$
(5.17)

H₁H₂H₃(1,1)항을 H_{eq}(1,1)항과 같이 근사하기 위해서 식 (5.13)의 z₁, z₂, z₃의 특징을 살펴보면, 사고 지점과 멀수록 y_{eq}항과 곱해지는 비중이 다른 것을 알 수 있다. 이러한 특징을 이용하여 등가 버스 임피던스 z_{eq}는 식 (5.18)과 같이 거리에 따라 가중치를 설정하여 근사할 수 있다.

$$1 + y_{eq} z_{eq} = 1 + \left(y_1 + y_2 + y_3 + \dots \right) \left(z_1 + \frac{1}{2} z_2 + \frac{1}{3} z_3 + \dots \right).$$
(5.18)

위와 같은 근사 방법의 타당성을 알아보기 위해 *L* = 0.26 μH, *R* = 0.4 mΩ, *l* = 0.69 μH, *r* = 4 mΩ, *C* = 400 μF인 파라미터를 가진 행렬 *H*를 직렬로 연결하여 *H*², *H*³, *H*⁴를 구하고, 위에서 제시한 방법으로 각각의 등가행렬 *H*^{eq}, *H*³eq, *H*⁴eq를 그림 5-12과 같이 보드 선도로 나타내어 주파수 특성을 비교하였다. *H*, *H*², *H*³, *H*⁴는 실선, *H*²eq, *H*³eq, *H*⁴eq는 점선으로 나타내었으며, 캐패시터 방전에 해당하는 1단계 사고 시간 내에서는 캐패시터의 방전 에너지가 인덕턴스에 축적되는 공진회로로 간주할 수 있으므로, 보드 선도에서 가장 낮은 공진주파수(그림 5-12의 적색 수직 점선)까지 근사적인지 판단하면 충분하다. 그 결과 *H*ⁿ(1,1)와 *H*ⁿ(2,1)은 각각의 첫 번째 공진주파수까지 실선과 점선이 매우 유사함을 알 수 있다. 그리고 *H*ⁿ(1,2)와 *H*ⁿ(2,2)항은 등가적으로 구한 *H*ⁿeq(1,2)와 *H*ⁿeq(2,2)항과 다소 차이가 있지만 Gain이 낮고, 말단 전류 *I*_n에 의한 최종 단락전류 *I*₁에 대한 기여도가 낮기 때문에 오차를 무시할 수 있다.



그림 5-12. Cascade 형태의 버스에서 사고 지점 기준의 전달 행렬과 근사 행렬의

보드 선도 비교

만약 말단이 아닌 중간에 위치한 피더에서 단락이 발생하는 경우에도 위에서 도출한 근사 방법을 응용하여 등가회로를 구할 수 있다. 즉, 그림 5-13와 같이 고장 피더를 중심으로 좌측 Cascade 회로의 등가 성분인 zeq-와 yeq-를 구하고 우측 Cascade 회로의 등가 성분인 zeq+와 yeq+를 구한 다음, 임피던스 zeq-, zeq+ 와 어드미턴스 yeq-, yeq+를 각각 병렬로 계산하는 방법을 생각할 수 있다.



그림 5-13. 중간 지점 사고 발생시 등가회로화

우측에 대한 등가 행렬식은 앞의 식 (5.12)과 같고, 좌측에 대한 등가 행렬식을 구하면 식 (5.19)과 같다. 이 두 행렬식의 임피던스와 어드미턴스를 병렬 회로로 계산하여 최종 외부 z_{eq}와 y_{eq}를 구하면 식 (5.20)와 같다.

$$\begin{bmatrix} V_{-0} \\ I_{-0} \end{bmatrix} = \begin{bmatrix} 1 + y_{eq-} z_{eq-} & -z_{eq-} \\ -y_{eq-} & 1 \end{bmatrix} \begin{bmatrix} V_{-n} \\ I_{-n} \end{bmatrix}.$$
 (5.19)

$$\begin{bmatrix} V_{-0} \\ I_{-0} + I_{+0} \end{bmatrix} = \begin{bmatrix} V_{+0} \\ I_{-0} + I_{+0} \end{bmatrix} = \begin{bmatrix} 1 + y_{eq} z_{eq} & -z_{eq} \\ -y_{eq} & 1 \end{bmatrix} \begin{bmatrix} V_{-n} \\ I_{-n} + I_{n} \end{bmatrix}.$$
 (5.20)
$$\forall t, \ y_{eq} = y_{eq-} + y_{eq+}, \ z_{eq} = z_{eq-} \parallel z_{eq+}.$$

마지막으로 외부 등가 파라미터와 고장 피더의 임피던스와 고장 저항 R_F 까지가 직렬 연결되어 있음을 고려하여 그림 5-14 및 식 (5.21)과 같이 최종 단일 R-L-C 등가회로를 구할 수 있다.



그림 5-14. 외부 등가 파라미터와 사고 피더의 임피던스를 고려한 최종 등가회로

$$R_{total} = R_{eq} + r_{eq} + r_0 + R_F$$

$$L_{total} = L_{eq} + l_{eq} + l_0 \qquad (5.21)$$

$$C_{total} = C_{eq}$$

위에서 제안한 등가회로화 과정을 검증하기 위해 그림 5-15와 같은 DC전력시스템 축소모델의 1번 위치와 2번 위치에서 단락 시험을 진행하였다. 단락을 위한 장치는 싸이리스터 단락기를 사용하였고, 고장 저항은 약 2 mΩ, 보호용 퓨즈는 EATON사의 CHSF-60 을 사용하였다. 각 버스 임피던스, 피더 임피던스와 위치 별로 위에서 제안한 방식을 통해 구한 등가 값은 표 5-2와 같다.








(b)

그림 5-15. 4개의 피더로 구성된 축소모델의 파라미터 및 단락 실험시 측정 위치 (a) 1번 피더에서 단락시 (b) 2번 피더에서 단락시

| 축소모델 파라미터 | | 사고 피더 외부 등가 파라미터 | | |
|-----------------------|-------|-------------------------------|--------|--------|
| item | value | item | 1번 사고시 | 2번 사고시 |
| R (m Ω) | 0.4 | R_{eq} (m Ω) | 0.73 | 0.24 |
| <i>L</i> (µH) | 0.26 | L_{eq} (μ H) | 0.48 | 0.16 |
| $r(\mathrm{m}\Omega)$ | 8.8 | r_{eq} (m Ω) | 2.93 | 2.93 |
| <i>l</i> (μH) | 0.69 | l_{eq} (μ H) | 0.23 | 0.23 |
| <i>C</i> (μF) | 400 | C_{eq} (μ F) | 1200 | 1200 |
| | | $V_{\text{init}}(\mathbf{V})$ | 288 | 340 |

표 5-2. 축소모델 파라미터 및 단락 위치별 외부 등가 파라미터

단락시험을 한 결과 파형은 그림 5-16과 같으며, 단락 위치에 해당되는 전류가 가장 크고, 나머지 건전 피더에서 전류가 분배되어 공급되는 것을 볼 수 있다. 말단인 1번 피더 사고의 경우, 가까운 2번, 3번, 4번 피더의 순서로 전류가 많이 공급되는 것을 볼 수 있다. 그리고 퓨즈 전류가 4.6 kA에 이르고, 각 피더의 전압이 193 V, 220 V, 232 V 로 떨어진 시점에, 퓨즈가 용단되면서 걸리는 내부 아크 전압 때문에 Vfeed1의 전압이 급격하게 솟아 오른 것을 볼 수 있다. 2번 피더 사고의 경우 비교적 중앙에 위치하므로 1번, 3번으로부터는 유사한 크기의 전류가 공급되고, 4번 피더의 전류는 약간 작은 것을 볼 수 있다. 여기서는 퓨즈 전류가 5.2 kA에 이르고 각 피더 전압이 260 V, 274 V, 283 V일 때 퓨즈가 용단되었다.







(b)

그림 5-16. 축소모델 단락 시 퓨즈 용단 실험 결과 (a) 1번 피더 단락시, (b) 2번 피더 단락시

그림 5-14과 식 (5.21) 및 표 5-2를 참조하여 최종적인 단일 R-L-C 회로의 등가 파라미터를 구하고, 퓨즈가 용단되기 시작한 때의 평균 건전 피더 캐패시터 전압 Vc 및 본 논문에서 제안한 기준 값을 구하면 표 5-3 과 같다.

| | | 1번 사고시 | 2번 사고시 |
|--------------|--------------------------------------|--------|--------|
| 최종 | $R_{\text{total}}(\mathrm{m}\Omega)$ | 30.3 | 28.8 |
| | $L_{\text{total}}(\mu \text{H})$ | 1.32 | 1.14 |
| 두가 | $C_{\text{total}}(\mu \text{F})$ | 1200 | 1200 |
| 파리미터 | $V_{\rm init}({ m V})$ | 288 | 340 |
| 파다미니 | $V_{\rm C}({ m V})$ | 215 | 272 |
| | $J_{\rm fuse}({\rm A}^2{ m s})$ | 298 | 298 |
| | $J_{\rm CB}({\rm A}^2{\rm s})$ | 2351.1 | 3541.0 |
| | ζ | 0.4551 | 0.4676 |
| 기준 값 | $V_{ m Cpu}$ | 0.75 | 0.80 |
| (Base value) | $J_{ m fuse,pu}$ | 0.1267 | 0.0842 |
| | $I_{\rm CB,rms}({\rm A})$ | 6124.7 | 7813.9 |
| | $T_{\rm CB}(\mu { m s})$ | 62.67 | 57.99 |

표 5-3. 축소모델 단락 시 최종 등가 파라미터 및 기준 값 계산

이렇게 얻어진 최종 등가 파라미터를 단일 R-L-C 회로에 적용하여 시뮬레이션 한 결과는 그림 5-17에서 검은 점선 I_{sim,eq}로 나타내었다. 해당 그림에는 본래 실험으로 취득한 파형과 다수 피더 시뮬레이션이 포함되어 있는데 고장 전류와 상당히 유사함을 알 수 있다.



그림 5-17. 축소모델 단락 시 다수 피더 시뮬레이션 및 등가 시뮬레이션 결과 비교 (a) 1번 피더 단락시, (b) 2번 피더 단락시

위에서 계산한 기준 값을 이용하여 정규화된 캐패시터 방전 *Pt* Map에 감쇠비 ζ, 정규화된 퓨즈 용단 *Pt*인 *J*_{fuse,pu}, 퓨즈가 용단된 시점의 정규화된 평균 캐패시터 전압 *V*_{Cpu}을 도시해보면 그림 5-18과 같다.



그림 5-18. 정규화된 캐패시터 방전 I't Map 상에 나타낸 축소모델 실험 결과 (a) 1번 피더 단락시, (b) 2번 피더 단락시

또한 위에서 계산한 기준 점 (*I*_{Cpu,ms}, *T*_{CB})은 각각 (6125 A, 62.67 µs), (7813 A, 57.99 µs)로 나타나므로 시간-전류 평면에 도시할 수 있다. 각각의 감쇠비와 용단 시점의 캐패시터 전압을 굵은 검은 실선과 굵은 검은 점선으로 나타내면 그림 5-19과 같다.



그림 5-19. 계산된 시간-전류 특성 Map과 축소모델 실험 결과 비교 (a) 1번 피더 단락시, (b) 2번 피더 단락시

5.1절에서는 DC전력시스템에서 선택성을 확보하기 위하여 고려해야 할 사항들을 살펴보았다. 첫 번째로 버스를 구성하는 VSC의 수에 따라 퓨즈의 용단 *Ft*와 자기 캐패시터 방전 *Ft* 비율이 적정 범위에 있어야 하고, 두 번째로 피더 간 버스 임피던스를 무시할 수 없는 Cascade 형태의 회로에서는 거리에 따라 건전 피더의 부담율이 달라지고 차단 이후 C-L-C 공진에도 주의해야 함을 살펴보았다. 세 번째로 실제로는 VSC들이 각각 다른 용량으로 구성되더라도 퓨즈의 오작동을 막기 위해 퓨즈의 동작 특성을 비교적 균등화하는 것이 필요함을 살펴보았다.

5.2절에서는 1단계 사고인 캐패시터 방전 단계에 한하여 Cascade 형태의 선박용 DC전력시스템 배전반을 단일 R-L-C 회로로 등가회로화하는 과정을 설명하였다. 해당 과정을 거친 단일 R-L-C 회로를 바탕으로 본 논문에서 제안한 캐패시터 방전 전류 Map을 활용하여 *Pt* 값을 비교하거나 퓨즈의 시간-전류 곡선과의 비교를 수행할 수 있다. 제 6장 결론 및 향후연구

6.1 결론

본 논문에서는 선박용 DC 전력시스템의 단락 사고 시 발생하는 캐패시터 방전 전류의 실효값을 직관적이고 편리하게 참조할 수 있는 캐패시터 방전 전류 Map을 제안하고 그 이용 방법을 제시하였다.

우선 등가 R-L-C 회로 방정식을 분석하여, 단락시 주요 특성량을 기준값과 정규화된 함수의 곱으로 나타낼 수 있음을 밝혔다. 기준값(base value)은 등가 파라미터 *L*, *C*, *V*₀로 구할 수 있으며, 실제 값을 기준값으로 정규화하여 Map상에 표시하거나, Map 상에서 설계한 값을 역정규화하여 실제 값을 구할 수 있다. 이러한 방식은 기존 IEC 61660-1 표준과 달리 고속 퓨즈 등 보호기기의 동작 특성과 직접 그래프 상에서 시각적인 비교를 가능하게 하고 이를 통해 직관적인 설계를 할 수 있다. 본 논문에서는 캐패시터 단락 실험을 통해 캐패시터 방전 *I*²t Map의 정확성을 검증하였으며 보호 설계 방법과 그 예시를 들어 효용성을 확인하였다.

또한 위에서 구한 캐패시터 방전 *Pt* Map을 실효(r.m.s.) 전류 계산식의 정의를 이용하여 과전류 보호 설계시 보편적으로 사용되는 로그-로그 스케일의 시간-전류 특성 Map으로 사영(projection)하였다. 기준점(base point)을 중심으로 비례하여 정의된 감쇠비와 캐패시터 전압의 참조선을 이용하여 실제 스케일의 캐패시터 방전 시간-전류 특성 Map을 구할 수 있고, 이를 보호기기의 시간-전류 특성 곡선과 함께 비교할 수 있다. 또한 기준값 관련 파라미터 변경에 따라 평행이동이 가능한 특징이 있으므로 더 편리하게 보호 설계를 할 수 있다.

추가적으로 선박에서 적용되고 있는 실제 DC전력시스템의 네트워크 형태에 대해서 분석하였다. 버스를 구성하는 VSC의 수, 버스와 피더의 임피던스 비율, 보호기기의 민감도에 따라 선택성이 달라질 수 있음을 보였고, 가장 낮은 공진주파수를 기준으로 다수의 캐패시터와 버스 임피던스를 고장 피더에 대하여 단일 R-L-C 회로로 근사 등가화할 수 있음을 보였다. 이러한 과정을 거쳐 본 논문에서 제안한 캐패시터 방전 전류 Map을 적용할 수 있고,

138

선박용 DC전력시스템 축소모델에서 고장 위치에 따른 단락실험과 시뮬레이션을 통하여 검증하였다.

본 연구의 결과를 항목 별로 정리하면 다음과 같다.

(1) 선박용 DC전력시스템의 보호시스템 동향 조사 및 분석

최근 상용화되고 있는 선박용 DC전력시스템에 대한 각 제조사의 보호방식을 조사하고 공통적으로 적용하고 있는 방식에 대하여 분석하였다. 선박용 DC 전력시스템은 일부 버스 고장시 고장 허용(fault tolerant) 운전을 위하여 2 개 이상의 버스로 구성되어 있으며 다른 DC 전력시스템에 비해 선로 임피던스가 작고 DC 버스 캐패시턴스가 크다. 버스나 피더에서 단락사고가 발생하면 고장전류는 보통 수 백 kA/ms에 해당되는 기울기로 상승하게 되는데 이에 대응하기 위하여 각 제조사에서는 주로 3 단계로 보호협조방식을 적용하고 있음을 확인하였다. 첫 번째는 버스 타이(bus-tie) 위치에 수 십 ~ 수 백 us 내 동작이 가능한 반도체 차단기(solid state circuit breaker)를 적용하고 과전류 또는 전류 상승기울기를 순간적으로 감지하여 건전 버스와 고장 버스를 고속으로 분리하다. 두 번째는 고장 버스 내에 고장 발생 위치가 피더인 경우, 다수 캐패시터로부터 집중되는 고장 전류를 이용하여 고장 피더의 퓨즈를 고속으로 용단함으로써 선택성을 확보한다. 마지막으로 퓨즈가 용단되지 않았거나, 버스바에 고장이 발생한 경우에는 발전단으로부터 지속적으로 고장전류가 공급되므로, 발전단의 동기발전기 여자 전류의 제거, 싸이리스터 제어 또는 발전단 퓨즈 용단 등의 방법으로 발전원을 차단하여 버스를 정전시킨다.

본 논문에서는 고속 퓨즈가 가진 단점에도 불구하고 다수 제조사가 공통적으로 두 번째 보호 단계로 고속 퓨즈를 적용하고 있으며, 그 설계 방식이 아직 제대로 정립되지 않았다는 것에 착안하였다. (2) 등가 R-L-C 회로의 캐패시터 방전 전류 및 Pt 방정식 분석 및 정규화

DC 전력시스템의 단락 전류 계산은, 피더인 VSC에 포함되어 있는 다수의 캐패시터 때문에 매우 복잡하다. 기존 연구에서는 캐패시터 방전 전류 수식만 소개할 뿐, 고속 퓨즈를 이용한 보호 방식 설계시 대부분 반복적인 컴퓨터 시뮬레이션에 의존하고 있어 보호시스템 설계자에게 직관적인 설계 근거를 제시하기는 어려운 한계점이 있었다.

따라서 본 논문에서는 우선적으로 단일 R-L-C 회로의 사고시 캐패시터 전압, 전류, 시간, Ft에 대한 수식을 상세하게 분석하였다. 그리고 이미 설치된 전력시스템의 파라미터 중 선로 길이와 관계된 인덕턴스 L, VSC의 DC링크 캐패시턴스 C와 정격 전압 Vo를 고정값으로 가정하여, 저항이 0인 L-C 공진회로의 초기 전압, 시간, 전류 및 Ft값을 기준값(base value)으로 선정하였다. 그리고 저감쇠, 임계감쇠, 과감쇠인 경우의 방정식을 분석 및 통합하여 캐패시터 방전 Ft를 감쇠비 ζ와 위상각 θ의 함수 jcpu (ζ, θ)로 나타내었다. 정규화된 함수는 수식이 복잡하더라도 그 계산 결과를 추후에 참조 데이터로 사용할 수 있으므로, 설계 편의성을 위해 위상각 θ 대신 정규화된 캐패시터 전압 vcpu를 수치해석적으로 대입하였다. 이를 통해 최종적으로 감쇠비 ζ와 정규화된 캐패시터 전압 vcpu를 축으로 이루어진 정규화된 캐패시터 방전 Ft Map의 등고선 데이터를 산출할 수 있었다. 본 연구에서는 정규화 데이터의 정확도를 검증하기 위해, 단일 R-L-C 회로에서의 시뮬레이션 및 퓨즈를 포함한 실험을 수행하였다.

(3) 제안된 Map을 활용한 설계방법 제시

캐패시터 전압 강하 허용치, 최소 및 최대 고장 저항, 또는 퓨즈 용단 *Pt* 중 2가지 설계 사양이 정해져 있으면, 제안된 Map에서 교차점을 구함으로써 나머지 한 항목을 결정할 수 있다. 그런데 만약 *L*, *C*, *V*₀와 같이 기준값 계산에 관계된 파라미터의 수정이 필요하다면 매번 기준값이 달라져 정규화 Map상의 다른 수치들에 변경이 발생하므로 수치들이 수렴할 때까지 수 회 반복 수정이 필요하며, 그 설계 과정을 흐름도 및 예시로 제시하였다. (4) 캐패시터 방전 시간-전류 특성 Map 작성 및 설계방법

추가 분석을 통해 r.m.s. 계산식의 정의에 *Pt* 계산식이 포함되어 있음에 착안하여 캐패시터 방전 *Pt* Map과 time Map을 연산하여 r.m.s. 전류 Map으로 변환하고, 과전류 보호협조 설계시 자주 사용되는 시간-전류 평면에 사영(projection)하였다. 여기서 기준점(base point)은 시간 기준값과 r.m.s. 전류 기준값의 좌표로 구성되어 있다. 특히 기준점 좌표를 중심으로 전체 Map의 위치 비율이 고정되어 있으므로 기준점의 이동에 따라 전체 Map이 로그 스케일에서 평행이동하는 특성을 가짐을 보였다. 이러한 특성은 *L*, *C*, *V*₀ 등 기준점 계산과 관계된 파라미터의 변경 시 더 편리하게 작용하며, 이를 설계 예시를 들어 설명하였다.

(5) DC전력시스템 적용시 고려 사항 및 등가회로화

추가적으로 캐패시터 방전 전류를 이용하는 보호방식에서 선택성 확보를 위해 고려해야 할 사항에 대해 살펴보았다. 선박에서 높은 밀집도로 열반되어 설치된 DC 전력시스템의 특성을 고려하여 VSC의 수 및 개별 캐패시터의 *Pt와* 퓨즈 용단 *Pt*의 비율, 버스 임피던스와 피더 임피던스 비율 및 퓨즈 용량 편차에 따른 영향을 살펴보고 설계 가이드를 제시하였다.

단락 발생시 다수의 캐패시터 전류가 집중되는 현상을 버스 임피던스와 피더 임피던스가 Cascade형태로 연결된 전달행렬로 해석할 수 있음을 보였다. 전체 회로는 높은 차수의 미분 방정식으로 표현되나, 단락 특성은 캐패시터 방전 에너지가 선로의 인덕턴스의 에너지로 모두 전환되는 첫 번째 공진주파수까지 근사화하는 것으로 충분하다. 따라서 고장 피더에 대한 다수 건전 피더의 회로를 단일 R-L-C 회로의 전달행렬로 근사화할 수 있다. 이런 근사화 방법의 유효성을 선박용 DC전력시스템 축소모델을 기반으로 실험과 시뮬레이션을 통해 검증하였다. 이렇게 획득한 등가 파라미터를 이용하여 본 논문에서 제안한 캐패시터 방전 전류 Map을 이용한 해석을 할 수 있다. 6.2 향후 연구

본 연구를 확장하기 위한 향후 다음과 같은 연구가 가능하다.

(1) 건전 피더에 대한 등가회로 연구

본 논문에서는 고장피더에 고장전류가 집중되기 때문에 비교적 용이하게 근사화된 등가회로를 구할 수 있었는데, 중간에 위치한 건전 피더에 대한 근사 등가 회로를 구하는 연구가 추가로 필요하다. 선택성의 더욱 자세한 분석을 위해서는 전류를 공급하는 건전피더와 퓨즈 용단 여부에 대한 보다 정확한 계산이 이루어져야 한다.

(2) 다양한 형태의 DC전력시스템에 적용하는 방안 연구

본 논문에서는 버스 임피던스를 무시할 수 있는 Star형과 일정 간격으로 열반된 형태의 Cascade형에 대해서 분석하였다. Cascade형이라고 하더라도 버스 임피던스와 피더 임피던스의 비율은 Star형에 가까울 정도로 버스 임피던스가 작다. 본 제안의 적용을 확장하기 위해서는 선박 외의 육상 마이크로 그리드와 같은 분산형, Ring형, Zonal형 등에 대한 등가 회로 확장 가능성과 오차에 대한 분석이 필요하다.

(3) 고속 퓨즈 외 보호기기에 적용하는 방안 연구

현재는 고장 전류의 실효값을 이용하는 보호기기로 고속 퓨즈를 선택하여 분석하였으나, 동일하게 *Pt*와 r.m.s. 전류를 기준으로 고속으로 pick-up하는 계전기가 등장한다면 본 연구내용을 활용할 수 있다. 반도체 차단기는 순시 전류값과 그 미분값을 트립요소로 사용한다고 알려져 있는데, 민감도가 지나치게 높을 수 있기 때문에 적분기 등을 사용하는 안정화가 필요하다.

(4) 프로그램 제작을 통한 실용성 증대 방안 연구

본 연구는 컴퓨터 시뮬레이션을 지양하는 것이 아니다. 근본적인 취지는 DC 전력시스템 보호방식 설계에 있어서 컴퓨터를 이용한 무방향성의 파라미터 수정이 아니라, 설계에 유효한 초기값을 제공하기 위한 것이다. 본

142

논문의 활용을 위한 과정에서도 등가회로화나 기준값 계산시 연산이 필요하므로 이 부분을 자동 계산해주는 프로그램을 제작하면 사용이 더 편리해질 것으로 예상된다. 특히 캐패시터 방전 시간-전류 특성 Map은 드래그하여 움직이는 방식으로 즉각적인 비교가 가능하므로 보호 설계에 훨씬효율적일 것으로 예상된다.

(5) 2단계 사고를 포함한 연구

본 연구는 캐패시터 방전 단계인 1단계 사고로 분석을 한정하였다. 이는 전력 공급의 연속성과 복구를 위한 캐패시터 전압을 충분히 확보하고자 하였기 때문이다. 만약 버스에서의 단락 사고 등 차단에 실패하여 캐패시터 전압이 0까지 떨어지는 경우를 가정하면, 1단계에서 축적된 인덕턴스의 에너지가 VSC의 다이오드를 통해 환류하는 2단계로 분석을 확장할 필요가 있다. 2단계에서는 보호기기 뿐만 아니라 열적 내량이 낮은 전력반도체가 경로에 포함되므로, 충분한 정보를 확보하면 반도체의 열적인 손상 가능성을 판단할 수 있다.

참고 문헌

- M. Amin, Y. Arafat, S. Lundberg and S. Mangold, "Low voltage DC distribution system compared with 230 V AC," 2011 IEEE Electrical Power and Energy Conference, 2011, pp. 340-345, doi: 10.1109/EPEC.2011.6070222.
- [2] M. Ryu, H. Kim, J. Kim, J. Baek and J. Jung, "Test bed implementation of 380V DC distribution system using isolated bidirectional power converters," 2013 IEEE Energy Conversion Congress and Exposition, 2013, pp. 2948-2954, doi: 10.1109/ECCE.2013.6647085.
- [3] ABB, "Energy efficiency Guide," Energy efficiency Guide. 2013.
- [4] C. Dierckxsens, K. Srivastava, M. Reza, S. Cole, J. Beerten, R. Belmans, "A distributed DC voltage control method for VSC MTDC systems", Electric Power Systems Research, Volume 82, Issue 1, 2012, Pages 54-58, ISSN 0378-7796, <u>https://doi.org/10.1016/j.epsr.2011.08.006</u>.
- [5] B. T. Patterson, "DC, Come Home: DC Microgrids and the Birth of the "Enernet"," in IEEE Power and Energy Magazine, vol. 10, no. 6, pp. 60-69, Nov.-Dec. 2012, doi: 10.1109/MPE.2012.2212610.
- [6] 이승환, 강병용, 정봉훈 and 구자영. (2020). 선박 대기오염물질 배출 현황 및 저감을 위한 국가 관리 대책 연구: 해양경찰 업무를 중심으로. 해양환경안전학회지, 26(2), 163-174.
- [7] J. F. Hansen and F. Wendt, "History and State of the Art in Commercial Electric Ship Propulsion, Integrated Power Systems, and Future Trends," in *Proceedings of the IEEE*, vol. 103, no. 12, pp. 2229-2242, Dec. 2015, doi: 10.1109/JPROC.2015.2458990.
- [8] J. F. Hansen, F. Wendt, J. Nowak, K. Hansen, and K. Stenersen, "Integrated power and automations system for enhanced performance of DP class drilling vessels," in *Proc. DP Conf.*, Houston, TX, USA, 2013 [CD-ROM].
- [9] ABB, "The step forward Onboard DC Grid", 2014. Accessed on: May, 2022. [Online]. Available: <u>https://new.abb.com/docs/librariesprovider91/articles/lm00614-onboard-dc-grid-brochure june2014 1.pdf</u>
- [10] Siemens, "BlueDrive PlusC: Makes vessels safer, more profitable and environmentally friendly". Accessed on: May, 2022. [Online]. Available: <u>https://assets.new.siemens.com/siemens/assets/api/uuid:36bce2d7-5781-47b2-b26b-</u> 954c0db64b35/version:1567605879/bluedrive-plusc.pdf
- [11] Zemships. One Hundred Passengers and Zero Emissions: The First Ever Passenger Vessel to Sail Propelled by Fuel Cells. Available online: <u>https://ec.europa.eu/environment/life/project/Projects/index.cfm?fuseaction=home.sho</u> <u>wFile&rep=file&fil=Zemships Brochure EN.pdf</u> (accessed on 24 June 2020).
- [12] E. Haugan, H. Rygg, A. Skjellnes, and L.Barstad, "Discrimination in offshore and marine dc distribution systems," 2016 IEEE 17th Work. Control Model. Power Electron. COMPEL 2016, pp. 0-6, 2016.
- [13] Yaskawa, Ring Network For Multi-megawatt DC power system, 2020
- [14] D. Ahern, Operational flexibility with distributed power systems onboard dc grid, Dec. 2018.

- [15] S. O. Settemsdal, "Enhanced safety in power plant solutions proven by testing", ECPE Workshop, DC Grids, Technologies and Applications, Apr. 2018.
- [16] https://theswitch.com/marine/references-for-marine/
- [17] https://files.danfoss.com/download/Drives/DKDDPB405A902 Marine LR.pdf
- [18] Batteries for ships, Maritime Battery Forum. 2018
- [19] 대한조선학회, 조선기술 배 만들기의 모든 것, pp. 2-3, 2011
- [20] E. Skjong, R. Volden, E. Rødskar, M. Molinas, T. A. Johansen, and J. Cunningham, "Past, present, and future challenges of the marine vessel's electrical power system," IEEE Transactions on Transportation Electrification, vol. 2, no. 4, pp. 522–537, Dec. 2016.
- [21] HU Xiaolin, "Application Research for DP Enhanced Notation", Journal of Shipping and Ocean Engineering 7, pp. 19-25, 2017, doi 10.17265/2159-5879/2017.01.003
- [22] ABS, "Guide for Dynamic Positioning Systems", Oct. 2021
- [23] DNV GL, "DNVGL-OTG-10 DP-Classed Vessels with Closed Bus-tie(s)." DNV GL AS.
- [24] NKT, NKT VICTORIA Next generation cable-laying vessel, general specifications, 2017
- [25] DNV GL, "Rules for classification: Ships Part 4 Systems and components Chapter 8 Electrical installations", ed. 2015.
- [26] L. Qi, A. Antoniazzi and L. Raciti, "DC Distribution Fault Analysis, Protection Solutions, and Example Implementations," in *IEEE Transactions on Industry Applications*, vol. 54, no. 4, pp. 3179-3186, July-Aug. 2018, doi: 10.1109/TIA.2018.2825437.
- [27] R. D. White, "DC electrification supply system design," in Proc. 6th IET Professional Develop. Course Railway Electrific. Infrastruct. Syst., 2013, pp. 57–85.
- [28] W. Lin, J. Wen, M. Yao, S. Wang, S. Cheng, and N. Li, "Series VSC-LCC converter with self-commutating and DC fault blocking capabilities," in *Proc. IEEE Power Energy Soc. Gen. Meeting*, 2014
- [29] R. Marquardt, "Modular Multilevel Converter topologies with DC-Short circuit current limitation," 8th International Conference on Power Electronics - ECCE Asia, 2011
- [30] J. Yang, J. E. Fletcher and J. O'Reilly, "Multi-terminal DC wind farm collection and transmission system internal fault analysis," 2010 IEEE International Symposium on Industrial Electronics, 2010
- [31] Lindijoern, John (ABB AB), A DC-power system with system protection capabilities. European Patent, EP 2634885B1, Sep. 4th, 2013
- [32] C. Peng and A. Q. Huang, "A protection scheme against DC faults VSC based DC systems with bus capacitors," 2014 IEEE APEC, 2014
- [33] M. E. Baran and N. R. Mahajan, "Overcurrent Protection on Voltage-Source-Converter-Based Multiterminal DC Distribution Systems," in *IEEE Trans. on Power Delivery*, 2007
- [34] P.M. Anderson, Power System Protection. New York: IEEE Press, 1999.

- [35] B. Hahn, M. Durstewitz, K. Rohrig "Reliability of wind turbines Experience of 15 years with 1500 WTs," *Wind Energy: Proceedings of the Euromech Colloquium*, pp. 329-332, Berlin, 2006
- [36] L. M. Moore and H. N. Post, "Five years of operating experience at a large, utilityscale photovoltaic generating plant," *Prog. Photovolt.: Res. Applicat.*, vol. 16, no. 3, 2008.
- [37] E. Wolfgang, "Examples for failures in power electronics systems," presented at the *ECPE Tutorial Reliability Power Electronic Systems*, Nuremberg, Germany, Apr. 2007.
- [38] Handbook for Robustness Validation of Automotive Electrical/Electronic Modules, ZVEI, Frankfurt, Germany, 2008, pp, 1–44.
- [39] R. Wu, F. Blaabjerg, H. Wang, M. Liserre and F. Iannuzzo, "Catastrophic failure and fault-tolerant design of IGBT power electronic converters an overview," *IECON 2013 39th Annual Conference of the IEEE Industrial Electronics Society*, 2013, pp. 507-513, doi: 10.1109/IECON.2013.6699187.
- [40] A. Abuelnaga, M. Narimani and A. S. Bahman, "A Review on IGBT Module Failure Modes and Lifetime Testing," in *IEEE Access*, vol. 9, pp. 9643-9663, 2021
- [41] C. Kukalrni, G. Biswas, J. Celaya, K. Goebel "Prognostics Techniques For Capacitor Degradation and Health Monitoring", *Marconi Conference* 2011.
- [42] EATON, Bussmann series application guide, "Protecting semiconductors with high speed fuses", 2016
- [43] Littelfuse, POWR-Speed® Fuses technical applications guide, 2018
- [44] Mersen, Semiconductor Fuse Applications Guide Reference Guide, 2011
- [45] Short-Circuit Currents in D.C. Auxiliary Installations in Power Plants and Substations - Part 1: Calculation of Short-Circuit Currents, IEC 61660-1:1997, 1997.
- [46] S. Kim, S. Kim and D. Dujic, "Extending Protection Selectivity in DC Shipboard Power Systems by Means of Additional Bus Capacitance," in *IEEE Transactions on Industrial Electronics*, vol. 67, no. 5, pp. 3673-3683, May 2020, doi: 10.1109/TIE.2019.2916371.
- [47] S. Ravyts, G. V. d. Broeck, L. Hallemans, M. D. Vecchia and J. Driesen, "Fuse-Based Short-Circuit Protection of Converter Controlled Low-Voltage DC Grids," in *IEEE Transactions on Power Electronics*, vol. 35, no. 11, pp. 11694-11706, Nov. 2020, doi: 10.1109/TPEL.2020.2988087.
- [48] H. Schau and D. Stade, "Governing the fault arc in low-voltage AC systems," *Energietechnik*, vol. 39, no. 4, pp. 127–131, Apr. 1989.
- [49] R. F. Ammerman, T. Gammon, P. K. Sen and J. P. Nelson, "DC-Arc Models and Incident-Energy Calculations," in *IEEE Transactions on Industry Applications*, vol. 46, no. 5, pp. 1810-1819, Sept.-Oct. 2010, doi: 10.1109/TIA.2010.2057497.
- [50] J. Yang, J. E. Fletcher, and J. O'Reilly, "Short-circuit and ground fault analyses and location in VSC-based DC network cables," *IEEE Trans. Ind. Electron.*, vol. 59, no. 10, pp. 3827–3837, Oct. 2012.
- [51] S. D. A. Fletcher, P. J. Norman, S. J. Galloway, and G.M. Burt, "Determination of protection system requirements for dc unmanned aerial vehicle electrical power

networks for enhanced capability and survivability," *IET Elect. Syst. Transp.*, vol. 1, no. 4, pp. 137–147, Dec. 2011.

- [52] M. Monadi, M. A. Zamani, J. I. Candela, A. Luna, and P. Rodriguez, "Protection of AC and DC distribution systems embedding distributed energy resources: Acomparative review and analysis," *Renewable Sustain. Energy Rev.*, vol. 51, pp. 1578–1593, Nov. 2015.
- [53] J. Candelaria and J.-D. Park, "VSC-HVDC system protection: A review of current methods," in *Proc. IEEE/Power Energy Soc. Power Syst. Conf. Expo.*, Mar. 2011, pp. 1–7.
- [54] Electrical Relays Part 20: Protection (Protective) Systems, IEC 61255-20:1984, 1984.
- [55] J. Blackburn and T. Domin, *Protective Relaying: Principles and Applications, Fourth Edition*, ser. Power Engineering (Willis) Series. Taylor & Francis, 2014.
- [56] S. Kim, D. Dujic, and S.-N. Kim, "Review of protection coordination technologies in DC distribution systems," in 24th International Conference on Electrical Engineering (ICEE 2018), Jun. 2018, pp. 1–6.
- [57] 전기전자용어사전, 대한전기학회, 2002, 운문당
- [58]<u>https://www.ir52.com/award/weekly.asp?smenu=award&stitle=weekly&yy=2009&wk</u> =49&jscd=010
- [59] https://www.hyundai-electric.com/elec/ko/biz/bizIndustrial3.jsp
- [60] Mersen, Protistor size 2x72 aR fuse datasheet, 1200VDC, 500-840A
- [61] D. Salomonsson, L. Soder, and A. Sannino, "Protection of low-voltage dc microgrids," *IEEE Transactions on Power Delivery*, vol. 24, no. 3, pp. 1045–1053, Jul. 2009.
- [62] R. E. Torres-Olguin and H. K. Høidalen, "Inverse time overcurrent protection scheme for fault location in multiterminal hvdc," in 2015 IEEE Eindhoven PowerTech, Jun. 2015, pp. 1–6.
- [63] K. Satpathi, N. Thukral, A. Ukil, and M. A. Zagrodnik, "Directional protection scheme for mvdc shipboard power system," in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oct. 2016, pp. 3840–3847.
- [64] E. Christopher, M. Sumner, D. Thomas, and F. de Wildt, "Fault location for a dc zonal electrical distribution systems using active impedance estimation," in 2011 IEEE Electric Ship Technologies Symposium, Apr. 2011, pp. 310–314.
- [65] K. D. Kerf, K. Srivastava, M. Reza, D. Bekaert, S. Cole, D. V. Hertem, and R. Belmans, "Wavelet-based protection strategy for dc faults in multi-terminal vsc hvdc systems," *IET Generation, Transmission Distribution*, vol. 5, no. 4, pp. 496–503, Apr. 2011.
- [66] K. A. Saleh, A. Hooshyar, and E. F. El-Saadany, "Ultra-high-speed travelling-wavebased protection scheme for medium-voltage dc microgrids," *IEEE Transactions on Smart Grid*, vol. PP, no. 99, pp. 1–1, 2017.
- [67] L. Qi and J. Liang, "Design issues and practical application challenges of DC shipboard distribuiton system protection," 2015 IEEE Electric Ship Technologies Symposium (ESTS), 2015, pp. 403-408, doi: 10.1109/ESTS.2015.7157926.
- [68] S. Beheshtaein, R. M. Cuzner, M. Forouzesh, M. Savaghebi and J. M. Guerrero, "DC Microgrid Protection: A Comprehensive Review," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, doi: 10.1109/JESTPE.2019.2904588.

- [69] A. Meghwani, S. C. Srivastava, and S. Chakrabarti, "A Non-unit Protection Scheme for DC Microgrid Based on Local Measurements," *IEEE Trans. Power Deliv.*, vol. 32, no. 1, pp. 172–181, 2017.
- [70] A. A. S. Emhemed and G. M. Burt, "An advanced protection scheme for enabling an LVDC last mile distribution network," *IEEE Trans. Smart Grid*, vol. 5, no. 5, pp. 2602–2609, 2014.
- [71] A. A. S. Emhemed, K. Fong, S. Fletcher, and G. M. Burt, "Validation of fast and selective protection scheme for an LVDC distribution network," *IEEE Trans. Power Deliv.*, vol. 32, no. 3, pp. 1432–1440, 2017.
- [72] P. Cairoli and R. A. Dougal, "Fault detection and isolation in medium-voltage DC microgrids: Coordination between supply power converters and bus contactors," *IEEE Trans. Power Electron.*, vol. 33, no. 5, pp. 4535–4546, 2018.
- [73] A. Meghwani, S. C. Srivastava, and S. Chakrabarti, "A New Protection Scheme for DC Microgrid using Line Current Derivative," in 2015 IEEE Power & Energy Society General Meeting, 2015, pp. 1–5.
- [74] S. D. A. Fletcher, P. J. Norman, S. J. Galloway, P. Crolla, and G. M. Burt, "Optimizing the roles of unit and non-unit protection methods within DC microgrids," *IEEE Trans. Smart Grid*, vol. 3, no. 4, pp. 2079–2087, Dec. 2012.
- [75] M. Monadi, C. Koch-Ciobotaru, A. Luna, J. Candela, and P. Rodriguez, "Implementation of the differential protection for MVDC distribution systems using real-time simulation and hardware-in-theloop," in *Proc. IEEE Energy Convers. Congr. Expo.*, Sep. 2015, pp. 3380–3385.
- [76] S. D. A. Fletcher, P. J. Norman, K. Fong, S. J. Galloway, and G. M. Burt, "High-speed differential protection for smart DC distribution systems," *IEEE Trans. Smart Grid*, vol. 5, no. 5, pp. 2610–2617, Sep. 2014.
- [77] P. A. Crossley and P. G. McLaren, "Distance protection based on travelling waves," *IEEE Trans. Power App. Syst.*, vols. PAS–102, no. 9, pp. 2971–2983, Sep. 1983.
- [78] J. Wu, H. Li, G. Wang, and Y. Liang, "An improved travelling wave protection scheme for LCC-HVDC transmission lines," *IEEE Trans. Power Del.*, vol. 32, no. 1, pp. 106– 116, Feb. 2017.
- [79] E. H. Shehab-Eldin and P. G. McLaren, "Travelling wave distance protection-problem areas and solutions," *IEEE Trans. Power Del.*, vol. PWRD-3, no. 3, pp. 894–902, Jul. 1988.
- [80] W. Li, A. Monti, and F. Ponci, "Fault detection and classification in medium voltage DC shipboard power systems with wavelets and artificial neural networks," *IEEE Trans. Instrum. Meas.*, vol. 63, no. 11, pp. 2651–2665, Nov. 2014.
- [81] Y. M. Yeap and A. Ukil, "Wavelet based fault analysis in HVDC system," in *Proc. Annu. Conf. IEEE Ind. Electron. Soc. (IECON)*, Oct. 2014, pp. 2472–2478.
- [82] E. Christopher, M. Sumner, D. W. P. Thomas, X. Wang, and F. De Wildt, "Fault location in a zonal DC marine power system using active impedance estimation," *IEEE Trans. Ind. Appl.*, vol. 49, no. 2, pp. 860–865, 2013.
- [83] J. Do Park, J. Candelaria, L. Ma, and K. Dunn, "DC ring-bus microgrid fault protection and identification of fault location," *IEEE Trans. Power Deliv.*, vol. 28, no. 4, pp. 2574–2584, 2013.

- [84] D. F. Peelo, F. Rahmatian, M. Nagpal, and D. Sydor, "Real-time monitoring and capture of power system transients," in *Proc. Cigré*, Paris, France, Aug. 2012.
- [85] K. Satpathi, A. Ukil, and J. Pou, "Short-circuit fault management in DC electric ship propulsion system: Protection requirements, review of existing technologies and future research trends," IEEE Trans. Transp. Electrif., Vol. 4, No. 1, pp. 272-291, 2018.
- [86] D. Dong, Y. Pan, R. Lai, X. Wu, and K. Weeber, "Active fault-current foldback control in thyristor rectifier for dc shipboard electrical system," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, no. 1, pp. 203–212, Mar. 2017.
- [87] V. Staudt, M. K. Jager, A. Rothstein, A. Steimel, D. Meyer, R. Bartelt, and C. Heising, "Short-circuit protection in dc ship grids based on mmc with full-bridge modules," in 2015 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles (ESARS), Mar. 2015, pp. 1–5.
- [88] F. Agostini, U. Vemulapati, D. Torresin, et al., "1 MW bi-directional dc solid state circuit breaker based on air cooled reverse blocking-IGCT," in 2015 IEEE Electric Ship Technologies Symposium (ESTS), Jun. 2015, pp. 287–292.
- [89] K. A. Corzine and R. W. Ashton, "A new z-source dc circuit breaker," IEEE Transactions on Power Electronics, vol. 27, no. 6, pp. 2796–2804, Jun. 2012.
- [90] R. M. Cuzner and V. Singh, "Future shipboard mvdc system protection requirements and solid-state protective device topological tradeoffs," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, no. 1, pp. 244–259, Mar. 2017.
- [91] J. P. Brozek, "DC overcurrent protection-where we stand," in *IEEE Transactions on Industry Applications*, vol. 29, no. 5, pp. 1029-1032, Sept.-Oct. 1993, doi: 10.1109/28.245730.
- [92] F. Wang, Z. Zhang, T. Ericsen, R. Raju, R. Burgos, and D. Boroyevich, "Advances in Power Conversion and Drives for Shipboard Systems," *Proc. IEEE*, vol. 103, no. 12, pp. 2285–2311, 2015.
- [93] C. Meyer, S. Schröder, and R. W. De Doncker, "Solid-state circuit breakers and current limiters for medium-voltage systems having distributed power systems," *IEEE Trans. Power Electron.*, vol. 19, no. 5, pp. 1333–1340, 2004.
- [94] K. Tahata et al., "HVDC circuit breakers for HVDC grid applications," in Proc. AORC-CIGRÉ, 2014, pp. 1–9.
- [95] Z. Chen, Z. Yu, X. Zhang, T. Wei, G. Lyu, and L. Qu, "Analysis and Experiments for IGBT, IEGT, and IGCT in Hybrid DC Circuit Breaker," *IEEE Trans. Ind. Electron.*, vol. 65, no. 4, pp. 2883–2892, 2018.
- [96] D. Sadik et al., "Short-Circuit Protection Circuits for Silicon-Carbide Power Transistors," *IEEE Trans. Ind. Electron.*, vol. 63, no. 4, pp. 1995–2004, 2016.
- [97] L. Zhang, R. Woodley, X. Song, S. Sen, X. Zhao, and A. Q. Huang, "High current medium voltage solid state circuit breaker using paralleled 15kV SiC ETO," in *Conference Proceedings – IEEE Applied Power Electronics Conference and Exposition* - APEC, 2018, vol. 2018–March, pp. 1706–1709.
- [98] Y. Sato, Y. Tanaka, A. Fukui, M. Yamasaki, and H. Ohashi, "SiC-SIT circuit breakers with controllable interruption voltage for 400-V DC distribution systems," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2597–2605, 2014.
- [99] X. Diao et al., "A New Efficient Bidirectional T-Source Circuit Breaker for Flexible DC Distribution Networks," in *IEEE Journal of Emerging and Selected Topics in*

Power Electronics, vol. 9, no. 6, pp. 7056-7065, Dec. 2021, doi: 10.1109/JESTPE.2020.3028206.

- [100] Perea-Mena, B., Valencia-Velasquez, J.A., López-Lezama, J.M., Cano-Quintero, J.B., Muñoz-Galeano, N. "Circuit Breakers in Low and Medium Voltage DC Microgrids for Protection against Short Circuit Electrical Faults: Evolution and Future Challenges," *Appl. Sci. 2022*, 12, 15. https://doi.org/10.3390/app12010015
- [101] Y. Wang, W. Li, X. Wu, R. Xie, Z. Zhang and H. Wang, "A Novel Solid-State Circuit Breaker for DC Microgrid System," 2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference (ESARS-ITEC), 2018, pp. 1-6, doi: 10.1109/ESARS-ITEC.2018.8607419.
- [102] B. Bachmann, G. Mauthe, E. Ruoss, H. P. Lips, J. Porter and J. Vithayathil, "Development of a 500kV Airblast HVDC Circuit Breaker," in *IEEE Transactions on Power Apparatus and Systems*, vol. PAS-104, no. 9, pp. 2460-2466, Sept. 1985, doi: 10.1109/TPAS.1985.318991.
- [103] Bayati, N.; Hajizadeh, A.; Soltani, M. "Protection in DC microgrids: A comparative review," *IET Digit. Libr. J. Mag.* 2018, 1, 66–75.
- [104] R. M. Cuzner and G. Venkataramanan, "The status of DC micro-grid protection," in Industry Applications Society Annual Meeting, 2008, pp. 1–8.
- [105] P. Cairoli, S. Member, I. Kondratiev, S. Member, R. A. Dougal, and S. Member, "Coordinated Control of the Bus Tie Switches and Power Supply Converters for Fault Protection in DC Microgrids," IEEE Trans. Power Electron., vol. 28, no. 4, pp. 2037– 2047, 2013.
- [106] R. M. Cuzner and D. A. Esmaili, "Fault Tolerant Shipboard MVDC Architectures," in International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles (ESARS), 2015, pp. 1–6.
- [107] Ingeteam, "Highly- efficient and compact integrated power system for electrically propelled vessels", 2017
- [108] Danfoss, "DC grids and selectivity using VACON NXP DCGuard", 2018
- [109] G. Chang, Y. Wu, S. Shao, Z. Huang and T. Long, "DC Bus Systems for Electrical Ships: Recent Advances and Analysis of a Real Case," in IEEE Electrification Magazine, vol. 8, no. 3, pp. 28-39, Sept. 2020, doi: 10.1109/MELE.2020.3005697.
- [110] 이승호, 김동욱, 장바울, 김성민, "DC system protection circuit with fuse within a few milliseconds," in Proceedings of the KIPE Conference, 2020.08a, pp.318-319, 2020
- [111] Mersen, Hybrid Overcurrent Protective device, pp. 22, 2017
- [112] Low-voltage fuses Part 1: General requirements, IEC 60269-1:2006, 2006.
- [113] Low-voltage fuses Part 4: Supplementary requirements forfuse-links for the protection of semiconductor devices, IEC 60269-4:2009+AMD1:2012 CSV
- [114] Mersen, Fuse Operation under DC Conditions, Component Protection Note 1, Issue 1
- [115] S. -Y. Lee et al., "Simplified Thermal Model of Semiconductor Fuse for DC Distribution System," 2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia), 2019, pp. 2641-2646, doi: 10.23919/ICPE2019-ECCEAsia42246.2019.8797178.

- [116] T. Sakuraba, S. Chen, A. Gerlaud and L. Milliere, "Current Distribution of High Speed Parallel DC Fuses for HVDC Protection," 2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia), 2019, pp. 3303-3308, doi: 10.23919/ICPE2019-ECCEAsia42246.2019.8797014.
- [117] S. R. Mendis, M. T. Bishop, J. C. McCall, andW. M. Hurst, "Overcurrent protection of capacitors applied on industrial distribution systems," IEEE Trans. Ind. Appl., vol. 29, no. 3, pp. 541–547, May/Jun. 1993.
- [118] 손영광, 이승용, 설승기.(2018).선박용 DC 배전 시스템의 퓨즈 보호 계전 설계.전력전자학회지,23(4),30-37.
- [119] N. H. van der Blij, L. M. Ramirez-Elizondo, M. T. J. Spaan and P. Bauer, "A State-Space Approach to Modelling DC Distribution Systems," in *IEEE Transactions on Power Systems*, vol. 33, no. 1, pp. 943-950, Jan. 2018, doi: 10.1109/TPWRS.2017.2691547.
- [120] H. Mirzaee, B. Parkhideh and S. Bhattacharya, "Design and control of Series DC Active Filter (SDAF) for shipboard Medium-Voltage DC power system," 2011 IEEE Electric Ship Technologies Symposium, 2011, pp. 452-458, doi: 10.1109/ESTS.2011.5770914.

Abstract

This paper proposes a normalized capacitor discharge current map and design method. It can be an intuitive and convenient design method to refer an expected effective(r.m.s.) value of the capacitor discharge current during short-circuit in a DC shipboard power system. The proposed map is calculated in advance according to the damping ratio and the normalized capacitor voltage, and may be used in the form of an I^2t Map or a time-current characteristic (TCC) Map, if necessary. When converting a normalized value to an actual value or vice versa, it can be converted through the base value calculated by the parameter of the R-L-C equivalent circuit.

In order to design a protection system for safe use of DC shipboard power system, it is necessary to analyze the characteristics of the fault current during short circuit fault. The proposed map allows us to intuitively estimate the I^2t value and the time-current characteristics according to the capacitor voltage drop and damping ratio. In particular, the time-current characteristic curve is an graphical method commonly used in overcurrent protection design, and it is expected that this similar approach is more familiar to designers.

This paper analyzes the formulas for capacitor voltage, current, time, and l^2t of a equivalent R-L-C circuit with an initial capacitor voltage of V_0 . And it shows that they can be expressed as a product of a base value and a normalized term, respectively. The normalized l^2t term may be represented as a function of the damping ratio and phase angle or that of the damping ratio and the capacitor voltage. The time-current characteristic Map may be obtained by projecting it into the time-current plane using the definition of the normalized time and effective(r.m.s.) value. In order to verify the accuracy of the normalized dataset derived analytically through the process, simulations and experiments including fuses in a R-L-C circuit was conducted, and an example of design process was presented.

In addition, the network type of DC power system applied to ships is analyzed. It is shown that selectivity may vary when blocking depending on an ratio of bus impedance and feeder impedance, and several capacitors and bus impedance may be transformed to an equivalent R-L-C circuit for a fault feeder based on the lowest resonant frequency. This is verified through experiments based on the small-scaled model of the DC shipboard power system.

Keywords : DC Shipboard power system, short-circuit protection system, capacitor discharge, Normalization, l^2t (Joule-integral) Map, time-current characteristic Map, Base value, Base point, Reference method

Student Number : 2017-38572