



공학석사 학위논문

3차원 수직 저항성 스위치 메모리의 횡전하 확산에 의한 간섭 현상

(Interference phenomenon induced by lateral charge spreading in 3-dimensional vertical resistive switching memory)

2023년 2월

서울대학교 대학원

재료공학부 재료공학 전공

용 수 겸

3차원 수직 저항성 스위치 메모리의 횡전하 확산에 의한 간섭 현상

(Interference phenomenon induced by lateral charge spreading in 3-dimensional vertical resistive switching memory)

지도 교수 황 철 성

이 논문을 공학석사 학위논문으로 제출함 2023년 1월

> 서울대학교 대학원 재료공학부 재료공학 전공 용 수 겸

용수겸의 공학석사 학위논문을 인준함 2023년 1월

위육	빈 장	 김	상	범	(인)
부위	원장	 황	철	성	(인)
위	원	박	민	혁	(인)

초 록

V-NAND의 세대 증가에 따른 단수 증가에 의해 공정 난이도, 신뢰성 문제가 뒤따름에 따라 새로운 메모리 개발의 필요성이 대두되고 있고, 비휘발성 특성을 가지는 ReRAM이 대체제로 연구되어지고 있다.

특히 ReRAM은 V-NAND와 유사하게 Hole type의 Vertical cell stack 구조로 제작이 가능하고 더 낮은 동작 전압에서 메모리 특성을 가진다는 장점을 가지고 있다. 특히 선행 연구를 통해 Pt/HfO₂/TiN 구조에서 자가 정류 특성을 확인하였고 메모리로서의 동작을 확인한 바가 있다. 그러나 제작한 Vertical ReRAM에서 V-NAND와 유사하게 Lateral charge spreading에 의해 선택 셀이 인접 셀의 영향을 받는 간섭 영향을 확인하였다.

본 연구에서는 선행 연구의 Pt/HfO₂/TiN 구조의 ReRAM을 적층으로 3층 구조의 Vertical ReRAM을 제작하여 전기적 특성을 확인하였으며, 인접 셀의 상태에 따라 선택 셀의 전류가 변하는 간섭 현상이 존재함을 확인하였다. 추가적으로 이 현상을 해석하기 위해 Compliance current, 온도, 층 간 절연막 두께 등 영향을 주는 요소들에 따른 간섭 현상을 확인하였다. Vertical ReRAM에서의 간섭 현상을 개선하기 위해 층 간 절연막을 Recess 구조로 제작하는 개선형 구조를 적용하였으며, 이에 따라 간섭 현상이 개선되는 것을 확인하였고 궁극적으로 개선해야하는 연구 방향에 대해 논의해보았다.

주요어 : 산화 하프늄 (HfO₂), 수직 구조 (Vertical structure), 횡전하 확산 (Lateral charge spreading), 간섭 현상 (Interference phenomenon), 오목한 구조 (Recess structure)

학 번:2021-22669

iii

목 차

초 록iii
목 차iv
표 목차 v
그림 목차 v
1. 서론1
2. 문헌 연구5
2.1. Pt/HfO ₂ /TiN ReRAM 특성5
2.2. V-NAND에서의 Lateral charge spreading8
3. TiN/HfO ₂ /Pt 구조의 3층 Vertical ReRAM 소자 제작12
3.1. 실험 목적 및 설계12
3.2. 소자 제작 및 실험14
3.3. 결과 및 논의18
4. Lateral charge spreading에 기인한 간섭 현상21
4.1. 실험 목적 및 설계21
4.2. 소자 제작 및 실험24
4.3. 결과 및 논의
5. 간섭 현상 개선을 위한 구조적 개선
5.1. 실험 목적 및 설계33
5.2. 소자 제작 및 실험36
5.3. 결과 및 논의40
6. 결론
참고문헌
Abstract

표 목차

Table 4.1 3층 V-ReRAM 소자 Cell 간 거리 Split table 24

그림 목차

Figure 1. 1 3층 V-ReRAM 소자에서의 Selector 적용 모식도 Figure 1. 2 3층 V-ReRAM 소자에서의 Charge spreading 모식 Figure 2. 1 Pt/HfO2/TiN ReRAM 소자의 I-V Curve[17].....7 Figure 2. 2 Pt/HfO2/TiN ReRAM 소자의 Switching 메커니즘 Figure 2. 3 V-NAND에서의 Lateral charge spreading에 의한 Figure 2. 4 V-NAND에서의 각 State 별 Charge gain 및 loss에 의한 Vth (Threshold voltage) 변화[19]10 Figure 2. 5 V-NAND에서의 Charge loss 성분 분리 방법[20] Figure 3.1 3층 구조의 V-ReRAM 제작 과정 모식도17 Figure 3. 2 제작된 3층 구조의 V-ReRAM TEM 및 EDS 이미지 Figure 3. 3 제작된 3층 구조의 Top / Middle / Bottom 별 I-V Figure 4.1 제작된 3층 구조에서 Middle cell의 Top cell에 의한 Figure 4. 2 인접 Cell의 저항 상태에 따른 Middle Cell의 IV Figure 4. 3 인접 Cell의 저항 상태에 따른 Middle cell의 IV curve (a) 인접 Cell들이 HRS 상태일 때 Middle cell의 LRS curve shift (b) Top cell이 LRS 상태일 때 Middle cell의 HRS Figure 4. 4 인접 Cell의 저항 상태에 따른 Middle Cell의 Retention 측정 결과 (a) Top과 Bottom cell의 저항 상태에 따른 Middle cell의 LRS retention (b) Top과 Bottom cell의 저항 상 Figure 4. 5 각각 변경 조건에 따른 Middle cell의 SET

V

switching 및 HRS curve shift (a) Compliance current에 따른 결과 (b) 측정 온도에 따른 결과 (c) 층간 절연막 두께에 따른 결 Figure 5. 1 Confined charge trapping layer 구조의 V-NAND[21] (a) 제작 과정 모식도 및 (b) Channel 부분 TEM 단 Figure 5. 2 간섭 현상을 개선하기 위한 첫번째 구조의 3층 V-Figure 5. 3 간섭 현상을 개선하기 위한 두번째 구조의 3층 V-Figure 5. 4 3층 V-ReRAM 소자의 구조 비교 및 Lateral charge spreading path 모식도 (a) 기존 구조 (b) 간섭현상 개선을 위한 Figure 5. 5 3층 V-ReRAM 층간 절연막 30 nm 소자의 SEM 이 미지 (a) 기존 구조 (b) 층간 절연 Oxide recess 구조 (c) 층간 절연 Oxide recess 후 ALD SiO2 증착 구조 (d) 층간 절연 Oxide recess 후 ALD SiO2 증착 및 수직 방향 SiO2 제거 구조 Figure 5. 6 Figure 5. 6 제작된 3층 V-ReRAM 층간 절연막 30 nm 간섭 현상 개선 첫번째 구조 소자에서의 Top cell의 저항 상 태에 따른 Middle cell의 IV curve (a) 기존 구조 (b) 간섭 현상 Figure 5. 7 제작된 3층 V-ReRAM 층간 절연막 30 nm 간섭 현 상 개선 두번째 구조 소자에서의 Top cell의 저항 상태에 따른 Middle cell의 IV curve (a) 기존 구조 (b) 간섭 현상 개선 구조 Figure 5. 8 제작된 3층 V-ReRAM 층간 절연막 50 nm 간섭 현 상 개선 두번째 구조 소자 (a) SEM 이미지 및 (b) Top cell set switching 이후 5분 뒤의 Middle cell의 IV curve (c) Top cell

set switching 이후 30분 뒤의 Middle cell의 IV curve 45

1. 서론

급격한 산업 발전으로 인해 현대 사회의 대부분의 전자 제품에는 데이터를 저장할 수 있는 메모리를 필요로 한다. 특히나 Big data의 시대가 도래하면서 저장성 메모리의 중요성은 더욱 강조되어지고 있다. 이 중에서도 SSD NAND Flash memory는 가장 대표적인 data 저장 장치로 수십년 간 개발 및 상용화 되어왔다. Flash memory는 이전 세대의 제품보다 더 많은 data 저장을 위한 높은 Cell density와 더 빠른 동작 속도, 그리고 data의 손실 없이 오랫동안 보존할 수 있도록 더 높은 신뢰성을 가지도록 개발되어져 왔다. 현재 상용화된 가장 최신의 Flash memory 제품은 176단 V-NAND 제품이며,[1-3] 최근에는 238단 제품도 개발되어진 상태이다.[4] 그러나 V-NAND의 지속적인 단수 증가에는 전체적인 높이의 한계가 있기 때문에 각 층의 두께를 낮춰야 하고, [5-7] 이로 인해 Lateral charge spreading에 의한 인접 셀 간의 Separation 문제 및 Retention 문제가 생기게 된다.[8-10] 이러한 문제점을 해결하기 위해 Magnetoresistive Random Access Memory (MRAM), Ferroelectric Random Access Memory (FRAM), Phase change Random Access Memory (PcRAM), Resistive Random Access Memory (ReRAM) 등 다양한 New memory들이 제시되고 있다.[11]

이 중에서 저항 스위칭 랜덤 액세스 메모리(ReRAM)는 저항을 변화시켜 데이터를 저장할 수 있는 메모리로서 수십 년 동안 활발히 연구되어 왔다. 특히 ReRAM은 비휘발성 특성을 가지면서 빠른 동작 속도와 낮은 전력 소모를 가진다는 장점으로 인해 Scaling과 Stackability의 한계에 도달해가고 있는 NAND Flash memory를 대체할 수 있을 것으로 예상되는 메모리이다.[12] ReRAM은 Resistive

switching layer의 저항이 높은 상태인 HRS (High Resistance State)와 저항이 낮은 상태인 LRS (Low Resistance State) 두가지 상태를 가진다. 초기에 전압이 가해지지 않은 HRS 상태에서 전압이 가해져 LRS 상태로 변화하는 과정을 SET이라 부르며 이 때의 전압을 SET 전압이라 부르고, 반대로 전압을 가해 LRS 상태에서 HRS 상태로 변화하는 과정을 RESET이라고 부른다.

이러한 ReRAM의 저항 변화 메커니즘은 금속 이온 또는 산소 Vacancy (Vo)의 이동에 의해 전류 가 흐르는 경로가 형성 및 소멸되는 Electrochemical mechanism (ECM)과 Valence change mechanism (VCM) 등이 있다. 또한 전자의 Trapping 및 Detrapping에 의해 전류가 흐르는 Electronic mechanism이 있다.[11] 특히 Electronic mechanism은 동작 전에 전류가 흐르는 Conducting filament를 형성하는 Electroforming 단계가 불필요하기 때문에 다른 메커니즘에 비해 신뢰성을 향상시킬 수 있는 장점이 있다.[13-14]

하지만 메모리 density를 높이기 위해 이러한 ReRAM을 Array 형식으로 제작할 경우 연결된 전극에 의해 인접한 다른 셀의 동작에 영향을 미치는 Sneak current 문제가 있을 수 밖에 없다.[15] 이러한 Sneak current 문제를 해결하기 위해서는 각 셀에 Selector를 추가하여 원하는 셀만 동작할 수 있도록 해야한다. 그러나 V-NAND와 같이 Cell density를 높이기 위해 Vertical hole 구조를 가진 V-ReRAM의 경우에는 Figure 1.1과 같이 모든 셀들이 수직 방향으로 BL을 따라 연결되어 있기 때문에 각 셀에 Middle metal electrode를 넣어 개별적인 Selector를 추가하기에 어려움이 있다.[16] 따라서 V-ReRAM을 제작하기 위해서는 Self-rectifying 특성을 가져 주변 셀에 영향을 미치지 않는 소자를 제작해야 한다.

그러므로 본 연구에서는 Pt/HfO2/TiN 구조의 Self-rectifying

특성을 가진 V-ReRAM 소자를 제작하여 Selector 없이 제작한 소자의 메모리 특성을 확인하였다. 이 소자에서는 Pt와 HfO2과 사이의 Schottky barrier로 인해 HfO2에서 Pt 전극으로의 전자 주입이 억제되어 Sneak current를 방지할 수 있다. 그러나 이렇게 제작한 소자는 V-NAND와 동일한 구조와 동일한 전자의 Trapping, Detrapping 메커니즘에 의해 동작하기 때문에 V-NAND에서 보이는 Lateral charge spreading 문제를 동일하게 가질 수 있다. 이러한 문제는 Figure 1.2에서 보이듯이 LRS 상태의 셀에서 확산되어 온 전자에 의해 인접 셀의 동작에 영향을 끼칠 수 있다. 따라서 본 연구에서는 Pt/HfO2/TiN 구조의 3층 V-ReRAM 소자에 대한 특성 분석 뿐 아니라 해당 구조에서 발생하는 Lateral charge spreading에 기인한 인접 셀의 간섭 현상에 대해 분석하고 이를 해결할 수 있는 방안에 대해 제시하고자 한다.



Figure 1.1 3층 V-ReRAM 소자에서의 Selector 적용 모식도[16]



Figure 1. 2 3층 V-ReRAM 소자에서의 Charge spreading 모식도[16]

2. 문헌 연구

2. 1. Pt/HfO₂/TiN ReRAM 특성

V-NAND의 단수 증가 및 Scaling 한계에 따라 저항 변화 메모리가 차세대 저장성 메모리로 활발하게 연구되어지고 있다. 특히 저항성 스위치 메모리 (Resistance switching random access memory)는 비휘발성 특성을 가지고 V-NAND와 유사한 공정을 통해 제작할 수 있다는 장점으로 인해 각광받고 있는 메모리이다. 그러나 이러한 수직 적층 구조나 Array로 제작하기 위해서는 Sneak current의 방지가 필요한데[15], 이를 위해서는 자가 정류(Self-rectifying) 특성을 필요로 하게 된다.

본 연구에서는 ReRAM 소자를 수직으로 적층하기 위해 자가 정류 특성을 가진 ReRAM 소자를 선정하여 채택하였다. 선행 연구에서 확인한 Pt/HfO₂/TiN 구조의 ReRAM은 Figure 2. 1에서 보이듯이 음의 전압 방향에서 자가 정류 특성을 확실히 확인할 수 있었다.[17] 이 소자의 예상되는 스위칭 메커니즘은 Figure 2. 2와 같다. 먼저 외부 전압이 인가되지 않는 Zero bias 상태에서 일함수가 상대적으로 작은 TiN 전극은 HfO₂와 quasi Ohmic contact를 형성하고 일함수가 상대적으로 큰 Pt 전극은 HfO₂와 Schottky contact를 형성하여 (a)와 같이 Band bending이 일어난 상태가 된다. 여기서 상부 전극에 (+)를 작게 걸어주면 (b)와 같이 TiN 전극으로부터 HfO₂로 전자의 이동가 이동하게 된다. (c)와 같이 가해주는 전압의 크기를 높이면 TiN에서 넘어온 전자들이 HfO₂의 Deep trap sites를 채우게 된다. 이후 전압이

더 커지면 (d)와 같이 Deep trap sites를 모두 채우고 Shallow trap sites를 통해 전자가 이동하면서 P-F 메커니즘으로 이동하게 되고 이때의 상태가 LRS 상태이게 된다. 역으로 반대 방향의 전압을 가해주게 되면 (e)와 같이 Pt와 HfO₂ 사이는 높은 Schottky barrier에 의해 전자 유입이 억제되고 HfO₂ 내의 Shallow trap sites의 전자들이 먼저 TiN으로 빠져나간 뒤 Deep trap sites의 전자들이 빠져나가게 되면서 다시 HRS 상태로 되게 된다. 이와 같은 역방향 전압에서 HRS 특성을 보이는 소자의 Self-rectifying 특성으로 인해 해당 소자로 V-ReRAM 구조의 소자를 제작할 시 별도의 Selector 없이 Sneak current 영향이 없는 소자를 제작할 수 있을 것으로 판단하였다.



Figure 2.1 Pt/HfO2/TiN ReRAM 소자의 I-V Curve[17]



Figure 2. 2 Pt/HfO2/TiN ReRAM 소자의 Switching 메커니즘[17]

2. 2. V-NAND에서의 Lateral charge spreading

Big data의 시대가 도래하면서 대용량으로 Data를 저장할 수 있는 SSD는 대부분의 전자기기 저장매체에 사용되어지고 있다. 이러한 SSD NAND Flash는 초기에 Planar 형식으로 개발되었으나 Cell 메모리 density의 한계가 있어 수직으로 Cell을 쌓는 V-NAND가 개발되었고 현재까지 지속적으로 단수를 높이며 개발되어지고 있는 상황이다.

그러나 지속적인 단수 증가에 따른 NAND의 Cell 높이는 패키징 물질의 두께와 Chip 두께의 한계를 고려했을 때 약 16 µm 정도의 한계를 가지고 있다.[18] 따라서 지속적인 단수 증가를 위해서는 각 Cell의 높이를 지속적으로 낮춰야 한다.[5-7] V-NAND는 구조 특성 상 모든 Cell들이 수직으로 적층되어 있고 전자가 이동하는 Charge trapping layer가 수직으로 증착되어 모든 셀들이 공유하게 된다. 따라서 각 Cell의 높이가 낮아질수록 Charge trapping layer를 통한 Cell에서 인접 Cell로의 Lateral charge spreading이 더 심화되게 된다. 이로 인해 Figure 2. 3와 같이 인접 Cell의 상태에 따라 Laterally 확산 되어오는 전자들로 인해 Cell의 Vth (Threshold voltage)가 영향을 받게 되고, 이를 Retention interference라고 부른다.[19] 만약 한 Cell이 Program되어 있을 경우 Charge trap layer의 표면으로부터 Charge detrapping이 일어나 Figure 2. 4의 b, c, d와 같이 Vth의 감소가 일어나게 된다. 반면에 Figure 2. 4의 a와 같이 Erase 상태로 되어 있는 Cell의 경우에는 Charge gain이 일어나면서 Vth가 증가하게 된다. Program state가 높은 Cell 일수록 Erase 상태의 Cell과 State 차이가 더 크기 때문에 Vth가 감소하는 기울기는 더 크게 된다.

이러한 V-NAND의 시간에 따른 Vth 변화인 Retention 문제를

일으키는 Charge loss는 Bit line이 존재하는 Channel과 Cell gate metal 사이 방향으로 일어나는 Vertical charge loss와 수직으로 모든 셀이 연결된 Charge trapping layer를 따라 일어나는 Lateral charge loss 두가지가 존재한다. 이 두가지 Charge loss 성분을 분리하기 위해서는 Figure 2. 5와 같이 Solid pattern과 Checker-board pattern 두가지 측정 방식을 이용하는데, Solid pattern 방식은 선택 Cell과 인접 Cell 모두를 Program state로 만들어 전자로 채워 Charge trapping layer 방향으로의 Charge loss, 즉 Lateral charge loss를 최대한 억제한다. 이 상태에서 선택 Cell에서 일어나는 Charge loss는 Vertical charge loss가 주를 이루게 된다. 반대로 Checker-board pattern 방식은 선택 Cell만 Program 상태로 두고 인접 Cell들은 모두 Erase 상태로 두어 정공으로 채운다. 이 때에는 선택 Cell의 전자가 인접 셀의 정공에 끌려 Charge trapping layer 방향으로 확산이 잘 일어나게 되고 이 상태에서는 Lateral charge loss가 주를 이루게 된다. V-NAND에서는 위와 같은 방법으로 Charge loss의 성분을 분리하게 되고 V-NAND와 유사한 구조와 유사한 전자 Trapping/detrapping 메커니즘을 가지는 V-ReRAM에서도 유사하게 주변 Cell state 변화에 따른 Retention 성분 분리를 할 수 있을 것으로 예상된다.



Figure 2. 3 V-NAND에서의 Lateral charge spreading에 의한 Retention interference[19]



Figure 2. 4 V-NAND에서의 각 State 별 Charge gain 및 loss에 의한 Vth (Threshold voltage) 변화[19]

Cell	Cell	Cell	Cell	Cell	Cell
	1			1000	
			-		

(a) Solid Pattern

Cell	Cell	Cell	Cell	Cell	Cell
-	>	$\langle \rightarrow \rangle$			

(b) Checker-board Pattern

Figure 2.5 V-NAND에서의 Charge loss 성분 분리 방법[20]

3. TiN/HfO2/Pt 구조의 3층 Vertical ReRAM 소자 제작

3.1. 실험 목적 및 설계

대용량 메모리로서 가장 널리 사용되어지고 있는 SSD는 지속적인 단수 증가로 인해 개발에 한계에 다다른 상태이고 이를 대체하기 위한 차세대 메모리로 ReRAM이 떠오르고 있다. ReRAM은 낮은 전력 소모를 가지며 빠른 동작 속도를 가진다는 장점이 있으며 특히 단순한 MIM 구조를 통해 제작할 수 있다는 장점을 가지고 있다. 그러나 V-NAND와 같이 고용량의 Cell density를 가진 메모리로서 사용되기 위해서는 수직 적층 구조를 통해 고집적 메모리로 제작되어야 한다.

따라서 본 연구에서는 V-NAND와 같이 Cell을 수직으로 적충시키고 Vertical hole 구조를 가진 V-ReRAM 소자를 제작하였다. 특히 ReRAM 소자를 Array로 제작하게 될 경우 Sneak current 문제가 발생하게 되는데,[15] 이를 위해서는 Selector를 필요로 하게 된다. 그러나 V-ReRAM의 경우 모든 Cell들이 수직 방향으로 적층 되어있고 Hole 내에 Middle electrode를 각 Cell마다 독립적으로 넣어 Selector를 구현하기에는 공정적으로 큰 어려움이 있다.[16]

이와 같은 문제점으로 인해 V-ReRAM 제작을 위해 자가 정류 특성을 가지는 소자를 이용해야 했고, 앞선 논문 연구를 통해 자가 정류가 가능한 Pt/HfO₂/TiN 소자를 채택하게 되었다. 해당 구조의 소자를 통해 V-ReRAM의 Hole 내부에 별도의 Middle electrode와 Selector를 추가할 필요 없이 V-ReRAM 소자를 제작할 수 있었다.

본 연구에서 V-ReRAM 소자 제작 시에는 반도체공동연구소의 Maskless lithography 장비를 이용하여 1 µm 크기의 Hole로 노광하여 제작하였다. 또한 실제로 소자가 동작하는 동작 면적을 최대한 V-NAND와 맞추기 위해 TiN 전극 두께는 25nm로 제작하였다.

제작된 소자의 구조가 잘 형성되었는지 확인하기 위해 Hitachi 사의 S-4800 장비를 이용한 Top view SEM 분석과 JEOL 사의 JFM-F200 장비를 이용한 FETEM 분석을 진행하였다.

전기적 특성을 확인하기 위해서는 Hewlett Packard 사의 4145B SPA (Semiconductor parameter analyzer)를 사용하여 DC 전압으로 I-V Curve를 측정하였다.

3. 2. 소자 제작 및 실험

먼저 p type Si 웨이퍼 기판 위에 습식 산화 (Wet oxidation) 공정을 통해 SiO₂ 산화막 100 nm를 형성하였다. 이후 첫번째 층의 하부 전극을 형성하기 위해 Sorona 사의 SRN120 장비를 이용하여 RF (Sputtered through radio frequency) sputtering 방식으로 Ti 타겟에 N2를 흘려 보내 TiN 25 nm를 증착하였다. 형성된 TiN 박막 위에 층 간 절연막을 형성하기 위해 Oxford Instruments 사의 PlasmaPro System 100 설비를 이용하여 PECVD (Plasma-enhanced chemical vapor deposition) 방식을 통해 350℃ 조건에서 SiO₂ 50 nm를 증착하였다. 3개의 층을 형성하기 위해 위 TiN 및 SiO₂ 증착 과정을 총 3회 반복한다. 세번째 TiN 전극 증착 이후에는 이후 공정으로부터의 TiN 전극 보호를 위해 SiO₂ 30 nm를 PECVD 방식으로 증착한다.

이후 PR (Photo resist)을 올린 후 Nano System Solutions 사의 DL-1000HP Maskless lithography 장비를 이용하여 160 µm 너비의 직사각형 모양으로 패턴을 형성하고 GIGALANE 사의 NeoS-MAXIS 200L 장비를 이용하여 Dry-etching을 진행하였다. 건식 식각 공정 과정에서 형성된 부산물은 Plasma finish 사의 V15-G Asher 장비를 이용하여 제거하였다.

이후 측정 시의 Probe contact을 위해 각 층의 하부 전극을 노출시키고자 1층과 2층의 Contact 부분을 열어 최상단의 SiO₂ 막질을 먼저 Buffered oxide etchant (BOE)를 이용하여 바로 아래의 TiN이 드러날 때까지 습식 식각 공정으로 제거한다. 드러난 TiN 막질은 Oxford instruments 사의 PlasmaPro System100 장비를 사용하여 다시 SiO₂ 막질이 드러날 때까지 건식 식각한다. 이후 드러난 SiO₂를

다시 BOE를 이용하여 제거한 뒤 PR을 Asher 장비를 이용해 제거한다. 그 다음 이번에는 1층과 3층의 Contact 부분을 열어 먼저 1층 부분의 TiN 막질을 건식 식각 방법으로 제거해주는데 이 때 3층 Contact 부분은 최상단의 SiO₂ 막질이 있어 식각되지 않는다. 이후 BOE를 이용하여 1층과 3층 Contact 부분의 SiO₂를 제거해준 뒤 마찬가지로 PR을 제거한다.

그 다음 형성된 직사각형 모양의 패턴에서 기생 스위칭 동작이 일어나는 것을 방지하기 위해 SiO₂ 60 nm를 PECVD 방식으로 증착하여 패턴 측면에 드러난 TiN을 Encapsulation 시켰다.

이후에 메인 Hole 패턴을 형성하기 위해 포토 공정과 건식 식각 공정을 진행하였고 Hole CD는 1 µm 타겟으로 진행하였으나 실제 CD는 에칭 Profile이 하부로 갈수록 기울어지면서 상부, 중간, 하부 층 기준으로 1.33, 1.23, 1.13 µm였다.

메인 Hole 공정 이후 홀 안에 RS (Resistive Switching) layer가 형성되도록 CN1 사의 Custom-made ALD cluster system 장비를 이용하여 HfO₂ 10nm를 ALD (Atomic layer deposition) 방식으로 증착하였다. 이 때 사용한 Precursor는 tetrakis(dimethylamido) hafnium (TDMAHf, Hf(N(CH₃)₂)₄)를 사용하였고 Oxygen source로는 Ozone (O₃)을 사용하였고 챔버 내 스테이지 온도는 350℃ 였다.

상부 전극을 형성하기 전에 먼저 Maskless lithography 장비로 패턴을 형성한 뒤 Sorona 사의 SRN-200i Electron-beam evaporator 장비를 이용하여 Pt 50 nm를 증착하고 아세톤을 이용한 Lift-off 공정으로 상부 전극 패턴을 형성하였다.

마지막으로 1층, 2층과 3층 모든 Contact 부분을 포토 공정으로 Open한 뒤 마찬가지로 3층에 있는 RS layer를 건식 식각 공정으로 제거한 뒤 드러난 SiO₂를 습식 식각으로 제거하여 1, 2, 3층 Contact

부분의 TiN 전극이 모두 드러나도록 한다. 마지막으로 Asher 장비로 PR을 제거하는 것으로 공정을 모두 마무리한다. 3층 V-ReRAM 소자 제작 과정의 자세한 모식도는 Figure 3.1과 같다.



Figure 3.1 3층 구조의 V-ReRAM 제작 과정 모식도

3.3. 결과 및 논의

먼저 제작된 3층 V-ReRAM 소자의 TEM 및 EDS 이미지는 Figure 3. 2와 같다. (a)와 (b)는 TEM 이미지로 3개의 TiN 전극 층과 층간 SiO₂ 절연막이 균일하게 잘 형성되어 있음을 볼 수 있다. 또한 메인 Hole이 1층의 TiN 전극 아래까지 잘 식각되어 형성 되어있고, 그 안으로 HfO₂ layer와 Pt가 골고루 증착 되어있는 이미지를 확인할 수 있다. (c)~(h)는 각각 Si, Ti, Hf, Pt, N, O 원소를 포함한 EDS 이미지로 SiO₂, TiN, HfO₂, Pt 막질이 각각 원하는 위치에 잘 증착 되어있음을 확인할 수 있다.

해당 소자의 전기적인 특성을 확인하기 위해 3층 V-ReRAM 소자의 각 층마다 I-V Curve를 측정하였다. 측정 시 하부 전극인 TiN은 Ground로 접지하였고 상부 전극인 Pt에 DC 전압을 0.05 V 간격으로 9V까지 가해 첫번째 Sweep을 진행하였다. 해당 소자 측정 시 약 500 nA 이상의 전류에서는 과전류로 인한 소자의 Breakdown이 일어났기 때문에 한계 전류 (Compliance current, Icc)는 200 nA로 설정하였다. 두번째 Sweep은 9 V에서 0 V까지 다시 0.05 V 간격으로 전압을 가해주었고, 이후에는 역 전압 방향으로 -8 V까지 재 Sweep하여 RESET 과정을 진행하였다.

위 과정을 총 10번 진행하여 각 층별로 10개의 IV Curve를 겹쳐서 그렸고 그 결과는 Figure 3. 3와 같다. Top / Middle / Bottom 소자 모두 10회 측정 결과, 약 6 V 가량에서 HRS에서 LRS로 상태가 바뀌며 SET 스위칭 과정을 보였다. 이는 TiN 전극에서 Pt 전극으로 이동하는 전자들이 HfO₂ 내의 Deep trap level을 모두 채우고 난 뒤 Shallow trap을 통해 이동하며 HRS에서 LRS 상태로 바뀐 것이다.[17] 약 5V

가량에서의 HRS 상태의 전류와 LRS 상태의 전류 차이는 3개의 층 모두 1000배 이상으로 충분한 메모리 Window를 보였다. 또한 3개의 층 모두 10회 동안의 측정에서 음의 전압 방향으로는 HRS 상태를 유지하는 자가 정류 특성을 확실히 보였기 때문에 Selector 없이 사용 가능한 V-ReRAM 소자임을 확인하였다.



Figure 3.2 제작된 3층 구조의 V-ReRAM TEM 및 EDS 이미지



Figure 3.3 제작된 3층 구조의 Top / Middle / Bottom 별 I-V Curve

4. Lateral charge spreading에 기인한 간섭 현상

4.1. 실험 목적 및 설계

앞서 제작한 3층 V-ReRAM 소자에서 각 층별로 I-V Curve를 확인하였을 때에는 SET 전압이 약간의 산포만을 가지며 균일하게 확인되었지만 주변의 다른 층의 Cell을 HRS에서 LRS 상태로 만든 뒤 측정하였을 때에는 Figure 4. 1과 같이 SET 전압이 저전압 방향으로 당겨지는 현상을 확인할 수 있었다. Figure 4. 1의 검은색 선은 2층인 Middle cell의 기본 I-V Curve를 측정한 결과이고 빨간색 선은 인접한 3층 top cell에 전압을 인가하여 LRS 상태로 만든 뒤 다시 Middle cell의 I-V Curve를 측정한 결과이다. 측정 결과 Middle cell의 HRS에서 전류가 급격히 증가하는 SET 전압이 약 7 V 가량에서 4 V 가량으로 감소한 것을 확인할 수 있었다.

이러한 인접 Cell의 저항 상태에 따라 영향을 받는 현상의 원인으로는 두가지를 생각해볼 수 있다. 첫번째는 가해진 전압에 의해 생기는 전기장으로 LRS 상태인 인접 Cell 부분의 RS layer에 채워져 있는 전자가 당겨져 오는 것이고 두번째는 RS layer 내의 전자가 농도 차에 의해 확산되어 오는 것이다. 이 두가지 요인은 모두 Lateral 방향의 전자 이동으로 셀 간 간섭 현상을 유발하는 요인으로 V-NAND에서도 동일한 현상을 확인할 수 있다.

V-NAND에서도 제작한 V-ReRAM처럼 수직 방향으로 적충된 Cell들이 전하를 저장하는 Charge trapping layer를 공유하게 된다. 여기서 저장된 전하들은 Charge trapping layer를 따라 이동할 수 있기 때문에 Lateral charge spreading 이슈를 겪게 된다. 인접할 Cell의

전하에 의하 영향을 받게된 Cell은 Vth 변화를 겪게 되고 이로 인해 Retention, Cell level separation 등의 신뢰성 문제를 가지게 된다.

Lateral charge spreading에 의해 V-NAND에서 가지는 신뢰성 문제는 유사한 구조와 유사한 메커니즘을 가지는 V-ReRAM에서도 동일하게 신뢰성 문제를 가지게 되기 때문에 이 현상에 대해 더 자세히 해석해볼 필요가 있다. 따라서 본 연구에서는 제작한 3층 V-ReRAM 소자에서 확인되는 간섭 현상을 더 긴밀하게 분석하기 위해 추가적인 측정과 실험을 진행하였다.

추가적인 측정에는 LRS 상태인 인접 Cell들의 개수에 따른 간섭 현상을 비교 분석하였고 저장된 전하량 차이에 따른 간섭 현상 분석을 위해 Compliance current 설정 값을 변경, 전자의 확산 에너지에 따른 간섭 현상을 확인하기 위해 측정 온도를 변경하며 측정하였다. 또한 V-NAND에서 Lateral charge loss와 Vertical charge loss를 성분 분리하여 측정하는 방식과 유사하게 인접 Cell들의 저항 상태를 변경해가며 Pulse retention을 측정하였다.

추가적인 실험에는 층 간 Cell의 물리적인 거리에 따라 간섭 현상의 정도가 달라지는지를 확인하기 위해 추가 소자를 제작하여 평가를 진행하였다.



Figure 4.1 제작된 3층 구조에서 Middle cell의 Top cell에 의한 간섭

효과

4.2. 소자 제작 및 실험

Lateral charge spreading에 기인한 간섭 현상을 측정하기 위해 앞서 제작한 3층 V-ReRAM 소자를 기반으로 추가적인 측정 및 소자 제작을 진행하였다. 추가적인 측정 진행에 있어서는 먼저 LRS 상태인 인접 Cell들의 개수에 따른 간섭 현상을 비교하기 위해 Top cell만 LRS 상태일 때와 Top과 Bottom cell 모두 LRS 상태일 때 Middle cell의 HRS curve를 확인하였다. 추가로 Middle cell에서의 LRS 상태에서 시간이 지남에 따라 전자 확산에 따른 LRS curve shift를 확인하였고 반대로 HRS 상태에서 인접 Top cell이 LRS 상태일때 Middle cell로 전자 확산에 따른 HRS curve shift를 확인하였다. 위와 같은 LRS 상태의 Middle cell에서 전자가 확산되어 빠져나가는 것과 인접 LRS 상태의 cell 들로부터 HRS 상태의 Middle cell로 전자가 확산되어 들어오는 것을 Pulse 모드 retention 측정으로 확인하였다. 또한 저장된 전하량 차이에 따른 차이를 확인하기 위해 Top cell이 LRS 상태일 때 Middle cell의 HRS curve shift를 Compliance current를 10배씩 차이를 두며 측정하였다. 마지막으로 온도에 따른 확산 영향을 확인하기 위해 측정 온도를 상온, 55℃, 85℃에서 각각 측정하였다.

또한 각 Cell 사이의 물리적인 수직 거리에 따른 간섭 현상의 정도를 확인하기 위해 TiN 전극 사이의 층간 절연막 역할을 하는 SiO₂의 두께를 Table 4.1과 같이 조절하여 소자를 제작하였다. 기존 제작하였던 층간 절연막 SiO₂ 50 nm 소자를 기준으로 Cell 간 거리를 가깝게 한 소자는 SiO₂ 30 nm, 멀게 한 소자는 SiO₂ 100 nm로 제작하여 평가하였다.

Layer		Distance between cells				
		Near	Moderate	Far		
	1st TiN	25 nm				
	1st SiO ₂	30 nm	50 nm	100 nm		
Thisteres	2nd TiN		25 nm			
Inickness	2nd SiO ₂	30 nm	50 nm	100 nm		
	3rd TiN		25 nm			
	3rd SiO ₂		30 nm			

Table 4.1 3층 V-ReRAM 소자 Cell 간 거리 Split table

4.3. 결과 및 논의

제작한 3층 V-ReRAM 소자에서 인접 소자의 저항 상태에 따른 간섭 현상을 더 세밀하게 분석하기 위한 실험들을 진행하였다. 먼저 3층 소자에서 LRS 상태의 인접 Cell 개수에 따라 영향을 받는 간섭 현상의 정도를 확인하였다. Figure 4. 2와 같이 Top cell만 LRS 상태일 때 Middle cell의 HRS curve shift 정도 (빨간색 선)와 Top과 Bottom cell 모두가 LRS 상태일 때 Middle cell의 HRS curve shift 정도 (파란색 선)를 비교하였다. 인접 Cell들이 모두 HRS 상태일 때의 Middle cell의 HRS curve (검은색 선)를 보면 SET 전압이 약 7.0 V 가량인 반면 Top cell이 LRS 상태일 때는 SET 전압이 약 4.2 V. Top과 Bottom cell 모두가 LRS 상태일 때는 SET 전압이 약 3.0 V로 LRS 상태인 인접 Cell의 개수가 많아질수록 SET 전압이 낮아지면서 간섭 영향이 커지는 것을 확인할 수 있었다. V-NAND에서의 동작은 각 Cell이 존재하는 WL (Word line) 동작 시 짝수 번호와 홀수 번호의 WL들 각각 묶어서 동작 시킨다. 이와 같이 V-ReRAM을 V-NAND와 같은 방식으로 동작 시킨다 하면 아래의 파란색 선과 같이 인접 Cell 두개가 LRS 상태가 되어 간섭 영향을 더 받게 될 것이다.

이러한 V-ReRAM의 간섭 영향은 Cell에 전압을 가해줄 때 생기는 Electric field에 의해 LRS 상태의 인접 Cell에 채워져 있는 전자가 당겨지는 영향성과 LRS 상태의 인접 Cell에서 전자가 농도 차에 의한 확산으로 인해 Cell to cell 방향으로 이동하는 영향성 두가지가 있다. 그 중에서도 농도 차이에 의한 Lateral 방향의 전자 확산 영향성을 분석하기 위해 추가적인 실험을 진행하였다.

먼저 LRS 상태의 Cell에서 시간이 지날수록 전자가 확산에 의해

얼마나 빠져나가지 확인해보기 위해 Figure 4. 3의 (a)와 같이 Middle cell을 LRS 상태로 만든 뒤 일정 시간이 지난 후에 한번 더 Sweep하여 LRS curve의 shift 정도를 확인하였다. 이 때 인접한 Top과 Bottom의 cell은 HRS 상태를 유지하였다. LRS 상태에서 5분이 지난 뒤 다시 Sweep을 했을 때에는 10 pA의 전류를 기준으로 약 0.20 V 가량 LRS curve가 고전압 방향으로 이동하였다. 10분이 지났을 때는 0.25 V, 20분이 지났을 때는 0.60 V, 마지막으로 30분이 지났을 때는 0.65 V LRS curve가 고전압 방향으로 이동하면서 시간이 지날수록 동일한 전류를 흐르기 위한 전압의 크기가 커지는 것을 확인하였다. 이는 LRS 상태가 된 Cell에서 시간이 지날수록 점차 전자가 주위로 빠져나가기 때문에 LRS curve가 이동한 것이다.

다음은 반대로 LRS 상태의 Cell에서 HRS 상태인 인접 Cell로 전자가 시간에 따라 얼마나 확산되어 들어오는지 확인하기 위해 Figure 4. 3의 (b)와 같이 Top cell을 LRS 상태로 만든 뒤 일정 시간이 지난 후 Middle cell을 Sweep하여 HRS curve의 shift 정도를 확인하였다. 이 때 Top cell을 LRS 상태로 만들기 전 Middle cell의 HRS shift가 얼마나 되는지 기준을 잡기 위해 먼저 IV Sweep을 통해 IV curve (겸은색 선)를 확인 후 역전압을 가해주어 RESET 과정을 통해 HRS 상태로 만들어주었다. Top cell을 LRS 상태로 만든 뒤 5분 후 Middle cell의 HRS curve 확인 시 HRS curve의 SET 전압은 약 4.7 V로 확인되었다. 그러나 10분 뒤 SET 전압은 약 4.0 V, 20분과 30분 뒤는 각각 약 3.7 V 및 3.3 V로 Top cell이 LRS 상태가 된 후 시간이 지날수록 Middle cell의 HRS curve는 저전압 방향으로 이동하는 현상을 확인하였다. 이는 앞선 Figure 4. 3의 (a)의 실험과 마찬가지로 LRS 상태가 된 Cell에서 시간이 지날수록 전자가 빠져나와 HRS 상태의 Cell로 흘러 들어오기 때문에 HRS curve가 이동한 것을 알 수

있다.

위에서 확인한 LRS 상태의 Cell에서 전자가 빠져나가는 현상과 HRS 상태의 Cell로 전자가 흘러 들어오는 현상을 Figure 4. 4와 같이 Retention 측정으로도 확인하였다. Retention 측정은 5 V의 전압을 Pulse 형식으로 1초마다 가해주어 1800초까지 측정하였다. Figure 4. 4의 (a)는 인접 Cell들의 저항 상태에 따른 Middle cell의 LRS retention을 측정한 것으로 검은색 점들은 인접 Top과 Bottom cell이 모두 HRS 상태일 때, 빨간색 점들은 인접 Top과 Bottom cell이 모두 LRS 상태일 때의 측정 결과이다. 측정 결과 인접 Cell들이 HRS 상태일 때에는 LRS 상태의 Middle cell의 전류 값이 30분이 지났을 때 초기 10 nA에서 100 pA 수준으로 떨어졌고 인접 Cell들이 LRS 상태일 때에는 전류 값의 수준이 30분이 지나도 계속 유지가 되었다. 이는 인접 Cell들이 HRS 상태일 때에는 LRS 상태인 Middle cell에 저장된 전자들이 확산되어 나가기 때문에 전류 값이 떨어지지만 인접 Cell들이 LRS 상태일 때에는 전자가 확산되어 나가지 않기 때문에 전류 값이 유지되는 것임을 알 수 있다. Figure 4. 4의 (b)는 인접 Cell들의 저항 상태에 따른 Middle cell의 HRS retention을 측정한 것으로 (a)와 마찬가지로 검은색 점들은 인접 Top과 Bottom cell이 모두 HRS 상태일 때, 빨간색 점들은 인접 Top과 Bottom cell이 모두 LRS 상태일 때의 측정 결과이다. 이 경우에는 인접 Cell들이 LRS 상태일 때 HRS 상태일 때보다 Middle cell의 HRS current가 더 높게 유지되는데 이는 LRS 상태의 인접 Cell들로부터 확산되어오는 전자로 인해 Retention 모드에서 읽히는 전류 값이 높은 것으로 생각할 수 있다.

위에서 확인한 인접 Cell들의 저항 상태에 의한 간섭 현상을 좀 더 세밀하게 분석해보기 위해 Figure 4. 5와 같이 여러 조건을 변경하여 측정을 진행하였다. 먼저 Figure 4. 5의 (a)는 Compliance current를 2

nA, 20 nA, 200 nA 총 3가지 조건으로 나누어서 측정한 결과이다. 간섭 현상을 측정하기 이전에 먼저 Middle cell에 대하여 각 조건 별로 기준이 되는 IV curve (검은색 선)를 Sweep 하였는데, Compliance current 값이 커질수록 Memory window가 커지는 것을 확인하였다. 이는 HRS 상태에서 LRS 상태로 변화할 때 Compliance current가 커질수록 저장된 전하량이 많아지면서 LRS 상태에서 작은 전압에서도 많은 전류가 흐르기 때문에 생기는 현상이다. 이후 Top cell을 LRS 상태로 만든 뒤 Middle cell의 HRS curve를 확인하였을 시 Compliance current 값 증가에 따라 간섭 현상이 심화됨을 확인하였다. 기존 Middle cell의 IV curve의 SET 전압과 Top cell을 LRS 상태로 만든 뒤 Middle cell의 SET 전압과 Top cell을 LRS 상태로 만든 뒤 Middle cell의 SET 전압과의 차이를 보면 Compliance current가 2 nA 일 때 △1.1 V, 20 nA 일 때 △1.8 V, 그리고 200 nA 일 때 △3.0 V으로 점차 증가하는 경향을 확인하였다. 이를 통해 Compliance current 증가에 따라 저장된 전자의 양이 많아지면서 인접 Cell에 더 많은 영향을 주는 것을 알 수 있다.

다음으로는 측정 온도에 따라 간섭 영향이 어떻게 바뀌는지 확인하기 위한 측정을 진행하였다. Figure 4. 5의 (b)와 같이 상온인 25℃를 기준으로 55℃, 그리고 85℃ 조건에서 LRS 상태인 Top cell에 의해 Middle cell의 HRS curve가 얼마나 영향을 받는지 확인하였다. 마찬가지로 간섭 현상을 측정하기 이전에 먼저 Middle cell에 대해 각 조건 별로 기준이 되는 IV curve (검은색 선)를 Sweep 하였고 온도가 올라갈수록 HRS 및 LRS 상태에서의 전류 Level이 조금씩 상승한 IV curve를 확인하였다. 이후 Top cell을 LRS 상태로 만든 뒤 Middle cell의 간섭 HRS curve를 확인 시, 25℃에서는 기존 SET 전압 대비 △2.3 V, 55℃와 85℃에서는 △3.4 V의 차이를 보이며 온도가 높아질수록 간섭 영향이 커지는 것을 확인하였다. 이는 온도 증가에

따라 전자의 확산이 더 촉진되면서 간섭 영향이 커지는 것임을 알 수 있다. 55℃에서 85℃로 온도가 증가했을 때에는 간섭 영향에 의한 SET 전압 차이 수준이 유사했지만 85℃의 경우 약 4.3 V 부근에서 HRS 전압이 급격하게 증가하는 경향을 보였다.

마지막으로 각 Cell들 간 물리적인 수직 거리에 따른 간섭 현상의 정도를 확인하기 위해 Figure 4. 5의 (c)와 같이 TiN 전극 사이의 SiO₂ 절연막 두께를 30, 50, 100 nm로 나누어 소자를 제작하여 측정을 진행하였다. 앞선 실험들과 마찬가지로 먼저 Middle cell에 대해 각 조건 별로 기준이 되는 IV curve (검은색 선)를 Sweep 하였고 이후 Top cell을 LRS 상태로 만든 뒤 5분 후에 Middle cell의 간섭 HRS curve를 확인하였다. 측정 결과 절연막 두께 30 nm에서는 기준 SET 전압과 간섭 HRS SET 전압의 차이가 △3.4 V였고 50 nm에서는 △2.4 V. 그리고 100 nm에서는 전압의 차이가 없었다. 이를 통해 Cell 간의 물리적 거리가 길수록 서로 영향을 덜 미치며 확산으로 이동해야 하는 거리가 길어짐에 따라 간섭 현상이 줄어드는 것을 알 수 있다. 하지만 기준 SET 전압과 5분 후의 간섭 HRS SET 전압의 차이가 없었던 절연막 두께 100 nm 소자의 경우 Top cell을 LRS 상태로 만든 뒤 30분이 경과하였을 때에는 약 △1.1 V 가량의 전압 차이를 보이며 간섭 현상이 여전히 존재하는 것을 확인할 수 있었다. 이는 Cell들 간의 물리적 거리를 늘리는 것은 간섭 현상 억제에 효과적이지만 시간이 지남에 따라 전자가 확산되어오는 것을 근본적으로 해결하지는 못하는 것을 알 수 있다.



Figure 4.2 인접 Cell의 저항 상태에 따른 Middle Cell의 IV curve



Figure 4.3 인접 Cell의 저항 상태에 따른 Middle cell의 IV curve (a) 인접 Cell들이 HRS 상태일 때 Middle cell의 LRS curve shift (b) Top cell이 LRS 상태일 때 Middle cell의 HRS curve shift



Figure 4. 4 인접 Cell의 저항 상태에 따른 Middle Cell의 Retention 측정 결과 (a) Top과 Bottom cell의 저항 상태에 따른 Middle cell의 LRS retention (b) Top과 Bottom cell의 저항 상태에 따른 Middle cell의 HRS retention



Figure 4.5 각각 변경 조건에 따른 Middle cell의 SET switching 및 HRS curve shift (a) Compliance current에 따른 결과 (b) 측정 온도에 따른 결과 (c) 층간 절연막 두께에 따른 결과

5. 간섭 현상 개선을 위한 구조적 개선

5.1. 실험 목적 및 설계

앞서 확인한 V-ReRAM에서의 간섭 현상은 Cell들이 수직으로 증착된 RS layer에 모두 연결되어 Lateral charge spreading에 기인한 현상으로 V-NAND에서도 나타나는 현상이다. V-NAND에서도 마찬가지로 모든 Cell들이 수직으로 증착된 Charge trapping layer를 공유하여 이를 타고 Lateral charge spreading 현상이 발견되고 이는 V-NAND의 고질적인 Charge loss 문제로 이어지게 된다.

따라서 V-NAND에서도 이러한 Lateral charge spreading에 기인한 Charge loss 문제를 해결하기 위해 여러가지 노력들이 있어 왔다. 가장 근본적인 해결책은 모든 Cell들이 수직으로 공유하는 Charge trapping layer를 각 Cell 마다 형성되게 하여 공유되지 않도록 하는 것이다.

Figure 5. 1와 같이 V-NAND에서 Lateral 방향의 Charge loss를 근본적으로 개선하기 위해 Charge trapping layer가 Confined된 V-NAND 구조를 제작한 선행 연구가 진행된 바가 있다.[21] 해당 구조는 Figure 5. 1의 (a)와 같은 과정으로 제작된다. 먼저 Poly gate와 Oxide stack을 쌓은 이후 Channel이 형성되는 Hole을 형성한 이후 Poly gate만을 Lateral 방향으로 Recess가 되도록 Etch를 진행한다. 이 때 Oxide는 식각되지 않고 Poly gate만 선택적으로 식각되도록 Oxide에 높은 선택비를 가지는 Etchant를 사용한다. 이후 Channel 내에 Dielectric oxide를 증착 및 Charge trapping SiN layer를 충분한 두께로 증착한 뒤 수직 방향으로 SiN layer를 Pull back 진행하여 Recess 구조에 남은 SiN을 제외하고 모두 식각한다. 이후 후속 Tunnel oxide 및 Channel poly를 증착하면 Confined charge trapping layer 구조가 완성된다. 위와 같이 제작한 구조를 TEM 분석을 통해 단면을 확인 시 Figure 5. 1의 (b)와 같이 Recess된 구조 안에만 증착된 SiN이 남아있게 되면서 각 Poly gate마다 SiN이 공유되지 않고 독립적으로 형성되게 된다. 위와 같은 구조를 통해 각 Cell의 동작 시 인접한 Cell들에게 영향을 주지 않고 Confined된 Charge trapping layer를 통해 동작을 할 수 있게 된다.

위와 같은 구조를 V-ReRAM에서도 적용하기 위한 평가를 구상하였으나 반도체공동연구소에서 사용하는 Wet etchant들의 특성 상 각 Cell의 전극이 TiN을 Lateral 방향으로 식각할 수 있는 방법이 없었다. 하지만 TiN은 식각하지 않고 Oxide만 습식 식각은 가능했기에 Confined charge trapping layer와 같은 구조는 아니지만 각 Cell 사이의 Oxide를 Recess 구조로 형성하여 해당 구조 안에 RS layer가 증착되어 Lateral charge spreading을 억제하는 구조를 평가하고자 하였다. 위와 같은 구조를 통해 Cell 간의 물리적인 거리를 넓히지 않고 전체 Cell의 높이를 유지하면서 Lateral charge spreading을 억제할 수 있을 것으로 생각된다.



(b)



Figure 5. 1 Confined charge trapping layer 구조의 V-NAND[21] (a) 제작 과정 모식도 및 (b) Channel 부분 TEM 단면도

5.2. 소자 제작 및 실험

V-ReRAM에서 Lateral charge spreading에 기인한 Cell 간 간섭 현상을 억제하기 위해 개선된 구조의 소자를 제작하였다. 총 두가지의 구조를 제작하였고 첫번째 구조 제작 과정은 Figure 5. 2와 같다. 해당 모식도는 소자의 Hole 단면 부분을 바라봤을 때 오른쪽 부분을 나타낸 것이다. 먼저 첫번째 그림과 같이 TiN과 Oxide 3층 Stack을 쌓은 뒤 Hole etch를 진행한다. 이후 BOE wet etch를 이용하여 두번째 그림과 같이 Oxide만 Hole 내부 방향으로부터 Recess 구조를 만든다. 이 때 BOE 용액은 TiN에 높은 선택비를 가지기 때문에 TiN 전극은 식각되지 않고 Oxide만 Lateral 방향으로 Recess 구조를 만들면서 식각되게 된다. 이후 RS laver인 HfO_를 증착하다. 증착하는 HfO_는 10 nm 수준으로 층간 Oxide의 두께인 30nm 또는 50nm 보다 훨씬 작기 때문에 Recess된 구조 내에 HfO2를 증착해도 여전히 Recess된 빈 공간이 남아있게 된다. 마지막으로 상부 전극이 되는 Pt를 증착하여 3층 V-ReRAM의 Hole 부분 공정을 마무리한다. 간섭 현상 개선을 위한 첫번째 구조를 이와 같이 제작하였지만 해당 구조는 Recess된 구조 안에 상부 전극인 Pt가 증착되어 Recess 구조 안에 Field가 걸리는 문제가 있었다. 따라서 이와 같은 문제를 해결하기 위해 두번째 구조를 고안하여 제작하였다.

두번째 구조의 제작 과정은 Figure 5. 3과 같다. 먼저 같이 TiN과 Oxide 3층 Stack을 쌓은 뒤 Hole etch를 진행한 뒤 BOE 용액을 이용해 Oxide recess 구조를 만들고 RS layer인 HfO₂를 증착하는 과정까지 첫번째 구조와 동일하게 제작한다. 이후 CN1 사의 Custommade ALD cluster system를 이용하여 ALD 방식으로 SiO₂를 30 nm

가량 중착하여 네번째 그림과 같이 Recess된 부분을 SiO₂로 모두 채운다. 이 때 사용한 Precursor는 Diisoprophylsilane (DIPAS, H₃Si[N{(CH)(CH₃)₂)₂])를 사용하였고 Oxygen source로는 Ozone (O₃)을 사용하였고 챔버 내 스테이지 온도는 450℃ 였다. Recess 된 부분을 채우면서 Hole 내에 수직 방향으로도 중착된 SiO₂는 다섯번째 그림과 같이 BOE 용액을 통해 제거한다. 이 때 Recess 구조 안에 중착된 SiO₂는 제거되지 않으면서 수직 방향으로 중착된 SiO₂는 완전히 제거될 수 있도록 BOE 습식 식각 시간을 적절히 조절한다. 마지막으로 상부 전극이 되는 Pt를 중착하여 3층 V-ReRAM의 Hole 부분 공정을 마무리한다.

Figure 5. 4는 위와 같이 제작한 간섭현상 개선을 위한 3층 V-ReRAM 소자 구조를 기존 구조와 비교한 모식도이다. 파란색 화살표는 한 Cell로부터 인접 Cell로 전자가 확산되어 영향을 끼치게 되는 경로를 나타낸 것으로 (a)의 기존 구조 대비 (b)의 개선 구조에서 그 경로가 더 길게 된다. (b)의 구조에서 Recess된 구조 안에 HfO₂ 증착 이후 SiO₂를 다시 채워 넣는 이유는 Recess된 구조 안에 Pt 전극이 들어갈 경우 그 부분에 Electric field가 걸려 Lateral charge spreading path가 더 짧아지는 효과가 우려되기 때문에 SiO₂를 채워 넣는 구조로 제작하였다. 이와 같이 소자의 전체 Stack 높이는 동일하게 유지하면서 Lateral charge spreading path는 더 길게 만들어 Cell density를 유지함과 동시에 간섭 현상을 개선할 수 있을 것으로 예상된다.



Figure 5. 2 간섭 현상을 개선하기 위한 첫번째 구조의 3층 V-ReRAM 소자 제작 과정 모식도



Figure 5.3 간섭 현상을 개선하기 위한 두번째 구조의 3층 V-ReRAM 소자 제작 과정 모식도



Figure 5. 4 3층 V-ReRAM 소자의 구조 비교 및 Lateral charge spreading path 모식도 (a) 기존 구조 (b) 간섭현상 개선을 위한 두번째 구조

5.3. 결과 및 논의

간섭 현상 개선을 위해 개선된 구조로 제작한 3층 V-ReRAM 소자의 SEM 이미지는 Figure 5. 5와 같다. Oxide recess 구조가 잘 만들어지는지 확인하기 위하여 각 단계별로 소자를 만들어 SEM 이미지를 확인하였고 TiN 층 간 절연막 Oxide의 두께는 30 nm로 제작하였다. 먼저 Figure 5. 4의 (a)는 Oxide recess를 진행하지 않은 기존 구조의 소자 SEM 이미지로 Hole이 어느정도 slope은 있지만 수직으로 식각되었고 그 안에 증착된 HfO2가 희미한 선으로 보이고 그 위에 증착된 Pt 전극이 확인된다. (b)는 기존 구조에서 Hole etch 이후 Oxide recess만 진행한 뒤 HfO2 및 Pt를 증착한 구조의 이미지로 빨간색 원 표시 부분을 보면 층 간 절연막 Oxide가 약 30 nm 가량 Recess 되어있음을 확인할 수 있다. (b)의 SEM 이미지는 앞서 언급한 간섭 현상 개선을 위한 첫번째 구조의 이미지이다. (c)는 층 간 절연막 Oxide recess를 진행한 이후 HfO₂를 증착한 다음 ALD SiO₂를 30 nm 증착 후 Pt를 증착한 구조로 빨간색 원 부분을 보면 두껍게 증착한 ALD SiO2가 Recess된 구조 안을 모두 채웠을 뿐 아니라 Hole 내에 수직 방향으로도 증착 되어있는 것을 확인할 수 있다. 마지막으로 (d)는 Oxide recess 구조에서 HfO₂ 및 ALD SiO₂ 30 nm 증착 이후 다시 BOE를 통해 Hole 내의 수직 방향으로 증착된 SiO2를 제거하고 Pt를 증착한 구조이다. 이 구조에서는 Recess된 구조 안은 SiO2로 채워져 Pt 전극이 들어가지 못함과 동시에 Hole 내에 수직 방향으로 증착된 SiO2는 모두 제거되어 제작하고자 하는 구조가 잘 형성되었음을 확인할 수 있다. (d)의 SEM 이미지는 앞서 언급한 간섭 현상 개선을 위한 두번째 구조의 이미지이다.

제작한 구조에서 간섭 현상이 개선되는지를 확인하기 위해 Figure 5. 6과 같이 먼저 기존 구조와 가섭 현상 개선형 첫번째 구조 각각의 Middle cell IV curve와 간섭 HRS curve를 측정하였다. (a)의 기존 구조에서는 앞선 4장에서의 층 간 절연막 Oxide 두께 하향 평가 결과와 마찬가지로 Top cell의 LRS 상태 후 Middle cell의 HRS SET 전압이 약 3.5 V(기존 HRS SET 전압과 약 △3.0 V)로 기존 IV curve에서의 LRS curve take-off 전압과 유사한 것을 확인할 수 있었다. 층 간 점연막 Oxide recess 구조로 간섭 현상이 개선될 것으로 예상되었던 (b)의 구조에서도 (a)와 마찬가지로 Top cell의 LRS 상태 후 Middle cell의 HRS SET 전압이 기존 IV curve의 LRS curve take-off 전압과 같으면서 간섭 현상 개선이 아예 없는 것으로 확인되었다. 이는 Recess된 구조 안에 HfO2이 증착된 이후 Pt 전극이 들어가 그 부분에 Electric field가 걸려 Lateral charge spreading path가 길어지는 효과가 없었던 것으로 예상된다. 따라서 이와 같은 현상을 방지하기 위해서는 Recess되는 구조 안에 Pt 전극이 증착되지 않도록 구조를 제작해야 한다.

Figure 5. 7은 HfO₂ 증착 이후 ALD SiO₂로 Recess된 구조를 채워 Pt가 들어가지 못하도록 한 구조의 IV curve 결과이다. (b)의 두번째 개선형 구조 소자 측정 결과에서는 Top cell의 LRS 상태 후 Middle cell의 HRS SET 전압이 약 5.2 V로 기존 HRS SET 전압과 약 △0.9 V의 차이를 보이며 간섭 현상에 개선이 있음을 확인하였다.

그러나 여전히 인접 Cell의 저항 상태에 따른 간섭 현상이 약간은 남아있는 것으로 확인되어 추가적으로 층 간 절연막 Oxide 두께를 50 nm로 상향하여 추가 평가를 진행하였다. Figure 5. 8은 층 간 절연막 Oxide 두께 50 nm 소자에서의 간섭 현상 개선 구조를 적용한 소자의 SEM 이미지와 IV curve이다. (a) 그림을 보면 해당 소자의 경우 층 간 Oxide가 50 nm이기 때문에 Recess 구조 안을 채우는 ALD SiO₂ 30 nm의 두께가 충분하지 않아 Recess 구조를 다 채우지 못한 것으로 보이지만 Pt 전극과 Recess 구조 안의 HfO2 layer는 SiO2에 의해 충분히 단절 되어있기 때문에 Lateral charge spreading path에는 큰 문제가 없을 것으로 보인다. 해당 소자의 간섭 현상을 확인한 (b)의 IV curve를 확인하면 Middle cell의 기존 HRS SET 전압 대비 Top cell을 LRS 상태로 만든 후 Middle cell의 HRS SET 전압의 변화가 없는 것으로 확인된다. 이를 통해 해당 소자에서는 Lateral charge spreading path가 충분히 길게 확보되어 간섭 현상을 억제하기에 충분한 정도임을 확인할 수 있었다. 그러나 Top cell을 LRS 상태로 만든 뒤 30분이 지난 후 Middle cell의 HRS SET 전압을 확인해보면 (c)와 같이 여전히 HRS SET 전압이 당겨지는 간섭 현상이 존재함을 확인할 수 있다. Top cell set switching 이후 30분이 지났을 때 Middle cell의 HRS SET 전압이 약 0.9 V 가량 앞당겨지는 것을 확인할 수 있다. 이를 통해 층 같 절연막 Oxide를 Recess하여 만든 개선 구조의 경우 Lateral charge spreading path를 늘려 간섭 현상 개선에 효과는 있지만 시간이 지남에 따라 진행되는 전자의 확산을 근본적으로 개선하기에는 무리가 있음을 알 수 있다. 따라서 이를 근본적인 간섭 현상 개선을 위해서는 다른 개선 방식이 연구되어져야 한다.



Figure 5. 5 3층 V-ReRAM 층간 절연막 30 nm 소자의 SEM 이미지 (a) 기존 구조 (b) 층간 절연 Oxide recess 구조 (c) 층간 절연 Oxide recess 후 ALD SiO₂ 증착 구조 (d) 층간 절연 Oxide recess 후 ALD SiO₂ 증착 및 수직 방향 SiO₂ 제거 구조



Figure 5. 6 제작된 3층 V-ReRAM 층간 절연막 30 nm 간섭 현상 개선 첫번째 구조 소자에서의 Top cell의 저항 상태에 따른 Middle cell의 IV curve (a) 기존 구조 (b) 간섭 현상 개선 구조



Middle cell after top cell LRS

Figure 5. 7 제작된 3층 V-ReRAM 층간 절연막 30 nm 간섭 현상 개선 두번째 구조 소자에서의 Top cell의 저항 상태에 따른 Middle cell의 IV curve (a) 기존 구조 (b) 간섭 현상 개선 구조



Figure 5. 8 제작된 3층 V-ReRAM 층간 절연막 50 nm 간섭 현상 개선 두번째 구조 소자 (a) SEM 이미지 및 (b) Top cell set switching 이후 5분 뒤의 Middle cell의 IV curve (c) Top cell set switching 이후 30분 뒤의 Middle cell의 IV curve

6. 결 론

지속적으로 성장하는 Big data의 시대에서 가장 상용화 되어있는 SSD V-NAND의 차세대 메모리로 V-ReRAM이 떠오르고 있다. 본 연구에서는 3층 기반의 Hole type V-ReRAM 소자를 제작하여 그 특성을 확인하였고 HRS와 LRS 상태의 저항 차이가 100배 이상인 충분한 메모리 Window를 가지는 소자임을 확인하였다. 또한 3개로 이루어진 각 층의 Cell들 모두 음의 전압에서 HRS 상태를 유지하는 Self-rectifying 특성을 확인하였고 이를 통해 제작한 소자가 Selector 없이 사용 가능하여 V-ReRAM 소자에 적합함을 확인하였다.

그러나 V-NAND와 유사하게 Hole 내에 RS layer를 모든 Cell이 공유하는 구조를 가졌고 메커니즘 또한 Charge trapping / detrapping 메커니즘이기 때문에 동일한 Lateral charge spreading에 의한 간섭 현상 또한 확인되었다. V-ReRAM에서의 간섭 현상은 인접 Cell의 저항 상태에 따라 확인되었고 인접 Cell이 LRS 상태일 때 선택 Cell의 HRS curve가 shift되면서 SET 전압이 감소하게 되는 현상으로 나타났다.

이러한 간섭 현상은 LRS 상태인 인접 Cell의 개수가 많아질수록, Compliance current가 높아 저장된 전자의 양이 많을수록, 측정 온도가 높아 전자의 확산이 더 잘 일어날수록, 층 간 절연막 두께가 낮아서 Lateral charge spreading path가 더 짧아질수록 인접 Cell에 의한 간섭 현상이 더 커짐을 확인하였다.

Cell 간의 물리적인 거리를 넓히지 않고 간섭 현상을 개선하기 위해 층 간 절연막 Oxide를 Recess 시키고 해당 구조 안에 RS layer와 ALD SiO₂를 넣은 뒤 수직 방향으로 증착된 SiO₂를 제거한 개선형 구조를 제작하여 평가하였다. 해당 개선 구조는 전체 Stack의 높이는

그대로 유지하면서 Lateral charge spreading path를 더 길게 만들어 간섭 현상 개선에 효과가 있을 것이라 예상하였고 층 간 절연막 30 nm 소자 기준으로 기존 HRS SET 전압과 간섭 HRS SET 전압의 차이는 △0.9 V, 층 간 절연막 50 nm 기준으로는 차이 없음으로 간섭 현상이 크게 개선됨을 확인하였다.

그러나 해당 구조는 근본적인 해결책은 아닌 Lateral charge spreading path를 늘리는 방향으로 장시간이 지났을 때에는 여전히 간섭 현상이 존재함을 확인하였다. 근본적인 Lateral charge spreading을 해결하기 위해서는 각 Cell 별로 RS layer가 독립적으로 작용하도록 해야한다. V-NAND에서는 Charge trapping layer를 각 Cell별로 독립적으로 형성되는 Confined 구조를 제작하여 Lateral charge loss를 크게 개선한 선행 연구가 있었고,[21] 본 연구에서는 실험 장비 문제로 인해 시도하지 못했지만 TiN 전극만 선택적으로 Wet etch를 할 수 있으면 RS layer를 각 Cell에 독립적으로 형성되게 할 수 있을 것으로 예상된다. 또는 RS layer 막질 자체의 Engineering을 통해 Charge spreading을 막는 개선 방법도 앞으로의 연구 방향으로 진행되어야 한다. 이와 같이 V-ReRAM에서의 Lateral charge spreading에 기인한 간섭 현상을 개선하는 방법을 통해 향후에 제품화 될 수 있는 V-ReRAM의 신뢰성을 확보할 수 있을 것으로 생각된다.

참고 문헌

- J.-W. Park, D. Kim, S. Ok, J. Park, T. Kwon, H. Lee, S. Lim, S.-Y. Jung, H. Choi, T. Kang, G. Park, C.-W. Yang, J.-G. Choi, G. Ko, J. Shin, I. Yang, J. Nam, H. Sohn, S.-I. Hong, Y. Jeong, S.-W. Choi, C. Choi, H.-S. Shin, J. Lim, D. Youn, S. Nam, J. Lee, M. Ahn, H. Lee, S. Lee, J. Park, K. Gwon, W. Jeong, J. Choi, J. Kim, K.-W. Jin, *in Proc. 2021 IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, 13–22, February **2021**, 64, 422–423.
- [2] T. Pekny, L. Vu, J. Tsai, D. Srinivasan, E. Yu, J. Pabustan, J. Xu, S. Deshmukh, K.-F. Chan, M. Piccardi, K. Xu, G. Wang, K. Shakeri, V. Patel, T. Iwasaki, T. Wang, P. Musunuri, C. Gu, A. Mohammadzadeh, A. Ghalam, V. Moschiano, T. Vali, J. Park, J. Lee, R. Ghodsi, *in Proc. 2022 IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, 20–26, February **2022**, 65, 1–3.
- [3] J. Choe, in *Flash Mem.*, *Summit*, Santa Clara, CA, USA August 2022.
- [4] URL : https://www.micron.com/products/nand-flash/232-layer-nand, (accessed: July 2022)
- [5] S. S. Kim, S. K. Yong, W. Kim, S. Kang, H. W. Park, K. J. Yoon, D. S. Sheen, S. Lee, C. S. Hwang, *Adv. Mater.* 2022, 202200659.
- [6] J. Lee, J. Jang, J. Lim, Y. G. Shin, K. Lee, E. Jung, *in Proc. 2016 IEEE Int. Electron Devices Meet. (IEDM)* San Francisco, CA, USA, 03–07 December 2016, 11.2.1–11.2.4.
- [7] G. H. Lee, S. Hwang, J. Yu, H. Kim, *Appl. Sci.* **2021**, 11 (15), 6703.
- [8] R. Cao, J. Wu, W. Yang, J. Chen, X. Jiang, in Proc. 2019 IEEE Int. Rel. Phys. Symp. (IRPS) Monterey, CA, USA, 31 March–04 April 2019, 1–4.

- [9] F. Wang, R. Cao, Y. Kong, X. Ma, X. Zhan, Y. Li, J. Chen, *Appl. Phys. Express* 2020, 13, 054002.
- [10] X. Zou, L. Jin, D. Jiang, Y. Zhang, G. Chen, Z. Huo, *IEEE Electron Device Lett.* 2018, 39 (2), 188–191.
- [11] R. Waser, M. Aono, in Nanosci. Technol. A Collect. Rev. from Nat. Journal, World Scientific, 2010, pp. 158-165
- [12] GUPTA, V., Kapur, S., Saurabh, S., Grover, A., *IETE Technical Review* 2020, 37(4), 377-390.
- [13] Hwang, S. K., Lee, J. M., Kim, S., Park, J. S., Park, H. I., Ahn, C. W.,
 Lee, K. J., Lee, T., Kim, S. O., *Nano letters* 2012, 12(5), 2217-2221.
- [14] Kim, K. M., Choi, B. J., Lee, M. H., Kim, G. H., Song, S. J., Seok, J. Y., Yoon, J. H., Han, S., Hwang, C. S., *Nanotechnology* 2011, 22(25), 254010.
- [15] Seok, J. Y., Song, S. J., Yoon, J. H., Yoon, K. J., Park, T. H., Kwon, D.
 E., Lim, H., Kim, G. H., Jeon, D. S., Hwang, C. S., *Advanced Functional Materials* 2014, 24(34), 5316-5339.
- [16] S. S. Kim, S. K. Yong, J. Kim, J. M. Choi, T. W. Park, H. Y. Kim, H. J. Kim, C. S. Hwang, To be submitted 2022.
- [17] J. H. Yoon, S. J. Song, I. H. Yoo, J. Y. Seok, K. J. Yoon, D. E. Kwon, T. H. Park, C. S. Hwang, *Advanced Functional Materials* 2014, 24, 5086-5095
- [18] K. J. Yoon, Y. Kim, C. S. Hwang, Advanced Electronic Materials 2019, 1800914
- [19] Luo, Y., Ghose, S., Cai, Y., Haratsch, E. F., Mutlu, O., Proc. ACM Meas. Anal. Comput. Syst. 2018, 2(3), 1-48.
- [20] B. Choi, S. H. Jang, J. Yoon, J. Lee, M. Jeon, Y. Lee, J. Han, J. Lee, D.

M. Kim, D. H. Kim, C. Lim, S. Park, S. J. Choi, *In 2016 IEEE Symposium on VLSI Technology* **2016**, p. 1-2.

[21] C. H. Fu, H. T. Lue, T. H. Hsu, W. C. Chen, G. R. Lee, C. J. Chiu, K. C. Wang, C. Y. Lu, *IEEE Transactions on Electron Devices* 2020, 67(3), 989-994.

Abstract

Interference phenomenon induced by lateral charge spreading in 3dimensional vertical resistive switching memory

Soo Kyeom Yong Dept. of Material Science and Engineering The Graduate School Seoul National University

The need for new memory research is emerging as process difficulty and reliability problems are followed by stacks increase in the generation of V-NAND, and ReRAM which has nonvolatile characteristics is being studied as an alternative.

In particular, ReRAM can be manufactured with a hole-type vertical cell stack structure similar to V-NAND, and it has the advantage of having memory characteristics at a lower operating voltage. Through previous studies, the self-rectifying characteristics were confirmed in the Pt/HfO₂/TiN structure and the operation as a memory was confirmed. However, similar to V-NAND, we found that the vertical ReRAM has the interference effect of the selected cell being influenced by the adjacent cell by the lateral charge spreading.

This research confirmed the electrical characteristics by fabricating the 3 layers vertical ReRAM with Pt/HfO₂/TiN structure, and we verified the interference phenomenon in which the current of the selected cell varies depending on the state of adjacent cells. Additionally, in order to interpret this phenomenon, we confirmed the interference phenomenon according to factors that affect it, such as compliance current, temperature and thickness of insulating film between layers. To improve the interference phenomenon in vertical ReRAM, we applied an improved structure that an interlayer insulating film are recessed, and accordingly, we confirmed that the interference phenomenon is improved, and discussed about the final research direction.

Keywords : HfO₂, Vertical structure, Lateral charge spreading, Interference phenomenon, Recess structure

Student Number : 2021-22669