



공학석사 학위논문

차세대 Co배선을 위한 자가형성 확산방지막 Cr₂O₃의 계면 접합 에너지에 관한 연구

A Study on the Interfacial Adhesion Energy of Cr₂O₃, Self-Forming Barrier for Advanced Co Interconnects

2023년 2월

서울대학교 대학원

재료공학부

황 순 규

차세대 Co배선을 위한 자가형성 확산방지막 Cr₂O₃의 계면 접합 에너지에 관한 연구

A Study on the Interfacial Adhesion Energy of Cr₂O₃, Self-Forming Barrier for Advanced Co interconnects

지도교수: 최 인 석

이 논문을 공학석사 학위논문으로 제출함 2023년 2월

서울대학교 대학원 재료공학부 황 순 규

황 순 규의 공학석사 학위논문을 인준함 2023년 2월

- 위원장 이명규 (인)
- 부위원장 최인석 (인)
- 위 원 박영배 (인)

초 록

반도체 산업은 등장 이후 지속적으로 집적도 증가와 속도 향상이 동시에 이루어 져 왔으며, 이를 토대로 사용처도 비약적으로 증가해왔다. 이러한 집적도 증가와 속도 향상은 반도체 칩의 크기를 줄임으로써 가능하였으며, 크기를 줄여서 발생하는 부작용은 구조 및 물질 변경을 통해 해결해 왔다.

현재 반도체 배선은 구리를 사용 중인 데, 크기를 줄이면서 배선 표면 및 입계에서 발생하는 전자의 산란 증가로 인해 비저항과 RC 지연이 증가하는 문제가 대두되고 있다. 이러한 문제를 해결하기 위해 크기 감소에 따른 비저항 증가 효과가 작은 물질로 낮은 벌크 비저항 (ρ₀)과 짧은 전자 평균 이동 거리(electron mean free path: λ) 특성을 갖는 코발트와 루테늄이 차세대 배선 물질 후보로 언급되고 있다. 이 두 물질은 작은 ρ₀×λ 값으로 인해 크기 감소에 따라 발생하는 전자 산란에 의한 저항 증가 영향이 구리보다 작아서 근 미래에 현재보다 더 작아진 배선 크기에서는 구리보다 코발트, 루테늄이 더 낮은 비저항을 갖는 것으로 확인되고 있다. 한편 코발트의 경우 구리와 마찬가지로 신뢰성을 위해 확산방지막이 필요하며, 코발트 배선의 배선 확산방지막은 TDDB (time-dependent dielectric breakdown)와 일렉트로마이그레이션 (electromigration) 두 가지 신뢰성을 모두 만족시켜야 된다. TDDB는 코발트가 유전체 내부로 침투하여 발생하는 문제이며, 일렉트로마이그레이션은 코발트가 전자가 흐르는 방향으로 이동하는 현상이다. 또한 한정된 배선 크기 안에서 저항을 최대한 낮추기 위해 확산방지막의 두께는 가능한 줄이고 코발트의 부피는 최대한 늘려주어야 되는 요구사항도 있는 상황이다.

이러한 문제의 해결책으로 코발트 배선에서 크롬 도펀트를 활용하여 자가형성 확산방지막(self-forming barrier)을 만드는 기술이 연구된 바 있다. 코발트 배선에 도펀트로 들어간 크롬은 열처리 과정 중에 코발트 배선과 유전체 계면 사이로 이동하여 Cr₂O₃ 라는 얇은 막질을

i

형성하는 것이 확인되었으며, VRDB(voltage ramp dielectric breakdown) 평가에서 코발트가 유전체 물질 내부로 침투하는 것을 효과적으로 막아준다는 것이 증명되었다. 하지만 해당 Cr₂O₃ 자가형성 확산방지막에 대하여 일렉트로마이그레이션 관점에서는 연구된 내용이 없는 상황이었다.

본 논문에서는 코발트 배선의 자가형성 확산방지막에 대하여 일렉트로마이그레이션 관점에서 연구를 진행하였다. 코발트 배선의 경우 코발트 원자의 일렉트로마이그레이션 활성화 에너지가 계면에서 가장 낮기 때문에 배선과 유전체 사이 계면에서 일렉트로마이그레이션 현상이 발생하는 것으로 알려져 있다. 이때 일렉트로마이그레이션 활성화 에너지는 계면에서의 접합에너지와 비례하기 때문에 계면의 접합 에너지가 큰 경우 활성화 에너지가 커서 일렉트로마이그레이션 신뢰성이 좋고 반대로 결합에너지가 작은 경우 활성화 에너지가 작아져서 일렉트로마이그레이션 신뢰성 열화가 발생하게 된다. 본 연구에서는 코발트의 계면 접합 에너지에 대한 분석을 통해 일렉트로마이그레이션 신뢰성에 대해 간접적으로 확인을 하였다. 확산방지막을 사용하지 않는 구조인 SiO₂/Co/SiO₂, 일반적인 확산방지막을 사용하는 구조인 SiO₂/Ti/TiN/Co/TiN/Ti/SiO₂, 자가형성 확산방지막을 사용한 구조인 SiO₂/Co-Cr/SiO₂에서 각각 열처리 전, 후에 대하여 4점 굽힘 실험을 통하여 코발트의 계면 접합 에너지 분석을 진행하였다. 열처리 전에는 세가지 구조에서 크게 다르지 않은 계면 접합 에너지 값으로 확인되었으나, 350 °C 이상의 열처리에서는 SiO₂/Co-Cr/SiO₂ 구조의 계면 접합 에너지가 앞의 두 구조 대비 63% 이상 높아진다는 것이 확인되었다. 이때, XPS (X-ray photoelectron spectroscopy), TEM (transmission electron microscopy), EDS (Energy-dispersive Xray spectroscopy) 분석을 통해 열처리 과정 중에 코발트-크롬 합금에서 크롬이 계면으로 빠져 나와 Cr₂O₃를 형성한다는 것을 확인하여 SiO₂/Cr₂O₃/Co/Cr₂O₃/SiO₂ 구조가 되며, Cr₂O₃ 층은 2.5nm 두께로 형성되는 것을 확인하였다. 또한 AFM (atomic force

ii

microscopy)을 이용하여 열처리 전, 후 표면분석을 통하여 Cr₂O₃ 자가형성 확산방지막이 형성되는 동안 공동(void), 힐락(hillock), 어글로머레이션 (agglomeration) 등의 문제가 발생하지 않는 것은 물론이고 Cr₂O₃ 막질이 열처리 중 발생할 수 있는 코발트 표면의 열화 문제를 효과적으로 막아주는 것을 확인하였다.

본 연구는 Co-Cr/SiO₂ 구조에서 열처리를 통해 Co/Cr₂O₃/SiO₂ 구조가 형성되는 것을 확인하였으며, 이때, Cr₂O₃ 자가형성 확산방지막이 공동, 힐락 등의 부작용 없이 코발트 배선의 일렉트로마이그레이션 신뢰성향상에 효과적인 것을 증명하여 차세대 배선 물질로 코발트 배선의 가능성을 확장했다는 데에 의의가 있다.

주요어: 반도체, 배선, 자가형성 확산방지막, 일렉트로마이그레이션, 계면 접합 에너지, semiconductor, back end of line (BEOL), interconnect, CoCr, self-forming barrier (SFB), electromigration (EM), adhesion energy

학 번: 2021-28462

목 차

1. 서론	1
1.1. 반도체 소자의 축소와 문제점	1
1.2. 코발트 배선의 특징	9
1.3. 본 논문의 목적	16
1.4. 본 논문의 구성	18
2. 이론적 배경	19
2.1. 코발트 배선에서의 자가형성 확산방지막 연구	19
2.2. 배선의 일렉트로마이그레이션 신뢰성	25
2.3. 계면 접합에너지 분석 방법	29
3. 실험 방법	32
3.1. 박막 중착	32
3.1.1. 기판 준비	32
3.1.2. 산화 공정	32
3.1.3. 박막 중착	33
3.1.4. 열처리 공정	
3.2. 계면 접합 에너지 측정	37
3.2.1. 샘플 준비	37
3.2.2. 4점 굽힘 평가	38
3.2.3. 파면 분석	40
3.3. 박막 특성 분석	41
3.3.1. X-ray photoelectron spectroscopy (XPS)	41
3.3.2. Transmission electron microscopy (TEM)	42

3.3.3. Atomic force microscopy (AFM)	43
4. 결과 및 고찰	44
4.1. 계면 접합 에너지 분석	44
4.2. 단면 프로파일 분석	50
4.3. 박막의 표면 분석	55
5. 요약 및 결론	58
참고문헌	59
Abstract	68

표 목차

- **표 1.1** 구리 및 구리의 대체 금속 후보들의 벌크 비저항(ρ₀), 전 자 평균 이동 거리 (λ), 성능 지수, 녹는점 데이터.
- 표 1.2 IEEE IRDS 배선 기술 로드 맵.
- 표 2.1 도펀트 별 구리 배선의 자가형성 확산방지막으로서의 기준에 대한 결과: 망간이 모든 기준들을 만족함을 보여준다.
- **표 2.2** 도펀트 별 코발트 배선의 자가형성 확산방지막으로서의 기 준에 대한 결과: 크롬이 가장 최적의 결과를 보여준다.
- 표 3.1 박막 증착 조건.
- 표 3.2 4점 굽힘 평가 시료 조건
- 표 3.3 XPS 분석 및 에칭 조건.
- 표 4.1 4점 굽힘 평가 시료들의 스택 정보 및 계면 박리 에너지 값.

그림 목차

- **그림 1.1** 연도별 트랜지스터 밀도 변화: 무어의 법칙에 의하여 꾸준 한 증가를 보여준다.
- **그림 1.2** 연도별 트랜지스터 클럭 주파수 변화: 2010년까지 가파른 증가를 보여준 후 완만한 증가를 보여준다.
- 그림 1.3 반도체 노드 및 기술의 역사: 단채널 효과를 제어하기 위 해 MOSFET 게이트의 구조가 변경되었으며, 배선 RC 지 연을 줄이기 위해 배선 재료가 변경되었다.
- 그림 1.4 배선 구조와 저항 및 커패시턴스의 구성 요소: 금속으로부 터 발생하는 저항, 수직 구성요소 (C_v)와 측면 구성요소 (C_L)로 구성된 커패시턴스.
- 그림 1.5 반도체 노드에 따른 게이트 신호지연과 배선 RC 지연: 180nm 노드에서 게이트 지연과 배선 RC 지연 사이 역전 이 발생한다.
- **그림 1.6** 배선 면적에 따른 코발트의 저항 데이터로 40 nm²이하의 크기에서 코발트가 구리보다 낮은 비저항을 보여준다.
- **그림 1.7** 원소 금속에 대한 응집 에너지에 따른 용융 온도. 용융 온 도와 응집 에너지 사이에 양의 선형 관계가 있다.
- 그림 1.8 확산방지막이 없거나 불량한 확산방지막이 있는 경우의 코 발트 배선에서의 신뢰성 문제: (a) 확산방지막이 없는 Co

vii

금속에서의 TDDB 문제, (b) TiN 확산방지막과 코발트 배 선 사이 계면에서 발생한 일렉트로마이그레이션 공동, (c) TaN 확산방지막과 코발트 배선 사이 계면에서 발생한 일 렉트로마이그레이션 공동.

- 그림 1.9 TDDB 및 일렉트로마이그레이션 신뢰성 현상의 개략도 (a) 확산방지막이 없는 경우와 (b) 적절한 확산방지막이 있는 경우.
- 그림 1.10 (a) 확산방지막 두께 별 금속 선폭에 따른 전도성 금속 단 면적 크기, (b) 확산방지막 두께 별 금속 선폭에 따른 배 선 저항.
- 그림 2.1 (a) 일반적인 확산방지막 배선 공정 (b) 자가형성 확산방 지막 배선 공정.
- 그림 2.2 (a) 일반적인 확산방지막(Ta)을 사용한 구리배선의 TEM 사진, (b) 구리-망간 자가형성 확산방지막을 사용한 구리 배선의 TEM 사진, (c) 일반적인 확산방지막을 사용한 구 리(빨간 점)와 구리-망간 자가형성 확산방지막을 사용한 구리(파란 점)의 일렉트로마이그레이션 수명 비교, (d) 구 리-망간 자가형성 확산방지막에서 망간 농도에 따른 일렉 트로마이그레이션 수명 경향.
- 그림 2.3 (a) 코발트-크롬 합금의 증착 직후 XPS 깊이방향 프로파 일, (b) 코발트-크롬 합금의 열처리 후 XPS 깊이방향 프 로파일로 크롬이 코발트 금속층에서 표면으로 확산되었음 을 보여준다, (c) 증착 직후 크롬의 2p 오비탈 결합 에너 지 피크, (d) 열처리 후 크롬의 2p 오비탈 결합 에너지 피

크, (e) 크롬의 2p 오비탈 결합에너지 피크 결과는 열처리 전의 크롬은 금속형태로 존재하나, 열처리 후 Cr₂O₃ 형태 로 존재한다는 것을 보여준다.

- 그림 2.4 (a) 코발트-크롬 합금의 열처리 후 STEM 사진, (b) EDS 사진으로 크롬이 코발트와 SiO2 계면사이로 이동하였음을 보여준다.
- **그림 2.5** 순수한 코발트와 코발트-크롬 합금에서 절연파괴 전압 결 과 데이터.
- 그림 2.6 (a) 전자 풍력에 의한 일렉트로마이그레이션의 개략도, (b) 배선에서 일렉트로마이그레이션에 의한 공동 형성 예 시 그림.
- 그림 2.7 (a) 알루미늄 배선의 입계에서 발생한 일렉트로마이그레이 션 공동 (b) 구리 배선의 계면에서 발생한 일렉트로마이그 레이션 공동, (c)~(e) 코발트 배선의 계면에서 발생한 일 렉트로마이그레이션 공동.
- 그림 2.8 (a) 계면 박리 에너지에 따른 일렉트로마이그레이션 공동 성장 속도, (b) 계면 접합 에너지에 따른 일렉트로마이그 레이션 활성화 에너지 값.
- 그림 2.9 이중 막질의 4점 굽힘 시편.
- 그림 2.10 (a) 4점 굽힘 실험에서 변위 대 하중 그래프, (b) 계면 박 리 전과 후의 변형에너지에 대한 개략도.

- **그림 2.11** 코발트, 확산방지막과 유전체 사이의 계면 접합 에너지를 측정하기 위한 4점 굽힘 평가 시료 구조.
- 그림 3.1 SiO₂/metal/SiO₂ 샌드위치 구조, (a) SiO₂/Co-Cr 합금 /SiO₂, (b) SiO₂/Co/SiO₂, (c) SiO₂/Ti/TiN/Co/TiN/Ti /SiO₂.
- 그림 3.2 (a) RF 마그네트론 스퍼터, (b) DC 마그네트론 스퍼터.
- **그림 3.3** (a) 진공 열처리 설비, (b) 온장 웨이퍼 열처리에 사용된 설비 SMF-800 (Seoul Electronics Co.).
- 그림 3.4 4점 굽힘 평가를 위한 시료 준비 과정.
- **그림 3.5** (a) 재료 만능 시험기: LRX Plus, Lloyd Instruments Ltd., U.K, (b) 4점 굽힘 샘플이 지그에 장착된 그림
- 그림 3.6 TEM 설비: Themis Z (Thermo Fisher Scientific).
- 그림 3.7 AFM 설비: NX-10 (Park Systems).
- 그림 4.1 450 ℃ 열처리 전과 후에 대한 4점 굽힘 평가의 변위-하 중 곡선 그래프: (a) 순수한 코발트 시료(확산방지막이 없 는 코발트), (b) Ti/TiN/Co/TiN/Ti (일반적인 확산방지막 을 사용한 코발트), (c) Co-4.7 at% Cr (크롬 자가형성 확산방지막을 사용한 코발트 금속) (d) Co-7.5 at% Cr(크 롬 자가형성 확산방지막을 사용한 코발트 금속).
- 그림 4.2 4점 굽힘 평가 후 시료 사진: (a) 계면 박리가 발생한 경

우, (b) 게면 박리 없이 시료가 부러진 경우.

- 그림 4.3 4점 굽힘 평가 후 계면이 박리된 Co-4.7 at% Cr/SiO₂ 시 료의 (a) 아래쪽 계면과 (b) 위쪽 계면의 XPS 스캔 스펙 트럼.
- 그림 4.4 확산방지막이 없는 코발트, 일반적인 확산방지막(Ti/TiN) 을 사용한 코발트, 자가형성 확산방지막(Cr₂O₃)을 사용한 코발트의 계면 박리 에너지 값(Gc).
- 그림 4.5 SiO₂/Co-4.7 at% Cr/SiO₂ 구조의 XPS 깊이 프로파일:
 (a) 증착 직후, (b) 350 ℃ 열처리 후, (c) 450 ℃ 열처리 후.
 (d) 코발트-크롬 금속층과 SiO2 사이의 상부 계면, 금속 내부 및 하부 계면에서 크롬 2p 오비탈 결합 에너지 피크.
- 그림 4.6 Co-4.7 at% Cr/SiO₂ 구조의 단면도 TEM과 EDS 분석
 이미지: (a) 증착 직후, (b) 350 °C에서 1시간 열처리 후,
 (c) 450 °C에서 1시간 열처리 후.
- **그림 4.7** Co-4.7 at% Cr/SiO₂ 구조 시료의 450 ℃에서 1시간 열 처리 후 크롬 성분의 EDS 라인 스캔 데이터.
- 그림 4.8 AFM 표면 스캔 이미지, (a)와 (b)는 각각 코발트 막의 열 처리 전과 후의 이미지, (c)와 (d)는 각각 Ti/TiN/Co/TiN /Ti 시료의 열처리 전과 후의 이미지, (e)와 (f)는 각각 Co-4.7 at% Cr 막의 열처리 전과 후의 이미지, (g)와 (h) 는 각각 Co-7.5 at% Cr 막의 열처리 전과 후의 이미지.

그림 4.9증착된 금속 조건 별로 450 ℃의 1시간 열처리 전과 후의표면 거칠기 제곱 평균 근 데이터.

1. 서론

1.1. 반도체 소자의 축소와 문제점

잭 킬비와 로버트 노이스에 의해 1959년 세계 최초로 반도체 집적회로 (semiconductor integrated circuit)가 만들어진 이후 오늘날까지 반도 체 칩의 사용처는 계속 확장되어 왔으며, 오늘날 반도체 칩은 현대사회 의 필수재가 되어 반도체 칩이 사용되지 않는 분야를 찾기는 매우 어려 워졌으며 지금 이 순간에도 반도체 칩의 영역과 수요는 늘어나고 있다. 단적인 예로 옛날의 자동차는 기계적인 제어로만 이루어졌으나 요즘의 자동차는 반도체를 통한 전기적 제어로 구동되며, 반도체 없이는 자동차 를 만들 수 없게 되었고 앞으로 자율주행 자동차에는 센서 및 제어를 위 해 더 많은 반도체가 사용될 것으로 예상되고 있다. 특히 2021~2022 년 기간 동안 반도체 칩 부족으로 인해 자동차 생산에 차질이 생기고 자 동차 가격도 상승하고 있으니, 이는 오늘날 반도체 칩의 중요도와 위상 을 잘 보여주는 현상이라고 할 수 있다. [1] 또한 인공지능 (artificial intelligence), 머신 러닝 (ML), 사물인터넷 (IoT) 기술 등의 등장은 반 도체 수요를 더욱 증가시키고 있으며, 이로 인해 반도체 시장은 2022년 부터 2029년까지 연평균 9.2%의 성장을 보일 것으로 예상되고 있다. [2]

반도체 칩 사용처의 폭발적인 증가는 반도체 칩 제조 기술력 증가가 뒷 받침되었기에 가능했다고 할 수 있다. 반도체 집접회로는 등장 이후 2년 에 2배씩 집적도가 증가한다는 무어의 법칙에 의해 그림 1.1과 같이 지 금까지 지속적으로 트랜지스터의 집적도는 증가하고 트랜지스터의 크기 는 작아져 왔다. 1970년대에 1 mm² 당 수백 개에 불과하던 트랜지스터 의 개수는 2020년대에는 1억 개 이상으로 100만 배 이상 증가하였다.

[3] 이와 동시에 그림 1.2에서 보이듯이 트랜지스터의 성능으로 대변되는 클럭 주파수도 비약적으로 증가했다. 1971년에 0.74 MHz에 불과하던 클럭 주파수는 2020년대에 최대 5 GHz로 6700배 이상 향상된 속도를 보여주었다.
[4] 이러한 트랜지스터의 집적도 증가와 성능 향상 경향은 미래에도 이어질 것이고 이를 달성하기 위한 기술 발전에 대한 수요도 꾸준히 발생할 것이다.



그림 1.1 연도별 트랜지스터 밀도 변화: 무어의 법칙에 의하여 꾸준한 증가를 보여준다. [3]



증가를 보여준 후 완만한 증가를 보여준다. [4]

트랜지스터는 단순히 크기만 줄어든 것이 아니었다. 크기를 줄이기 위 해 노광. 에칭. 증착 등의 기술적인 발전과 더불어 성능 및 신뢰성 향상 을 위한 구조 및 물질적인 개선도 동시에 발달해왔다. 트랜지스터 구조 의 경우 게이트 크기 감소에 따른 부작용인 단채널 효과를 해결하기 위 해 그림 1.3과 같이 평면 전계 효과 트랜지스터 구조(Planar FET)에서 핀펫(FinFET) 구조로 변경되었으며, 향후 미래에는 더 발전된 구조인 게이트 올 어라운드 펫 (Gate-All Around FET) 및 멀티 브릿지 채널 펫 (Multi-Bridge Channel FET) 이 개발되고 적용될 예정이다. [5-9] 배선 금속의 경우 초창기에는 알루미늄 금속을 사용하였으나, 저항 및 일렉트로마이그레이션 신뢰성 개선을 위해 구리로 변경되었다. 배선 금 속 사이에 들어가는 절연막의 경우 초기 SiO2가 사용되었으나 커패시턴 스 감소를 통한 성능향상을 위해서 유전율이 낮은 low-K 물질과 ULK(Ultralow-K) 등으로 변경 및 개선되어왔다. 또한 앞으로 더 작은 크기의 배선에서는 구리 대신 코발트, 루테늄 혹은 몰리브덴이 사용될 것으로 예상되고 있으며, 커패시턴스를 낮추기 위해 에어 갭 구조가 사 용될 가능성도 확인되고 있는 상황이다. [10-15]

앞서 언급하였듯이, 반도체의 트랜지스터는 크기가 작아지는 동시에 속 도가 빨라지는 개선이 이루어져 왔다. 트랜지스터의 속도는 신호의 전파 지연에 반비례하는데, 전파 지연은 게이트 지연과 배선 RC 지연으로 이 루어져 있다. 일반적으로 트랜지스터의 크기가 감소하게 되면, 게이트 길이, 폭, 게이트 산화막 두께가 감소하게 되어 게이트에서 발생하는 신 호 지연이 감소하기 때문에 트랜지스터의 크기를 줄이는 동시에 속도를 향상시킬 수 있었다. [8, 16] 배선의 RC 지연은 그림 1.4와 같은 구조 에서 식 (1.1)과 같이 표현할 수 있으며, 일반적으로 크기가 충분히 큰 영역에서는 비저항 (ρ)이 상수 값이므로 크기의 비율이 일정하다면 크 기와 상관없이 일정한 값을 갖게 된다. [17, 18] 하지만, 실제로는 비저 항 (ρ)이 식 (1.2)와 같이 크기에 영향을 받는 함수이며, 크기가 마이 크로 미터 이하로 작아지게 되면 입계와 표면 혹은 계면에서의 전자 비 산효과에 의해 비저항 값이 기하급수적으로 증가하는 현상이 발생하게



그림 1.3 반도체 노드 및 기술의 역사: 단채널 효과를 제어하기 위해 MOSFET 게이트의 구조가 변경되었으며, 배선 RC 지연을 줄이기 위해 배선 재료가 변경되었다. [5-15]



그림 1.4 배선 구조와 저항 및 커패시턴스의 구성 요소: 금속으로부터 발생하는 저항, 수직 구성요소 (C_V)와 측면 구성요소 (C_L)로 구성된 커패시턴스. [17, 18]

$$RC \ delay = R \ (2C_L + 2C_V)$$
$$= 2\rho \frac{L}{WT} \left(\varepsilon_r \varepsilon_0 \frac{TL}{S} + \varepsilon_r \varepsilon_0 \frac{WL}{H} \right)$$
$$= 2\rho \varepsilon_r \varepsilon_0 \left(\frac{L^2}{WS} + \frac{L^2}{TH} \right)$$
(1.1)

이때,

ρ: 금속의 비저항, ε_r: 유전체의 비유전율, ε₀: 공기의 유전율, L: 금속
의 길이, W: 금속의 폭, S: 금속선 사이의 수평 거리, T: 금속의 두께,
H: 금속선 사이의 수직 거리

$$\rho = \rho_0 + \rho_0 \lambda \frac{3(1-p)}{4W} + \rho_0 \lambda \frac{3R}{2D(1-R)}$$
(1.2)

이때,

ρ₀: 벌크 비저항, p: 표면 산란 반사도, W: 금속의 폭, R: 결정립계 반사 도, D: 입자 크기 된다. [19-21]

즉, 그림 1.5와 같이 트랜지스터의 크기가 클 때는 트랜지스터의 크기 가 줄어들면 게이트 지연 감소영향으로 트랜지스터의 속도가 빨라지게 되지만, 특정 크기 이하로 줄어들게 되면 배선의 RC 지연 증가 폭이 게 이트 지연 감소 폭보다 커져서 트랜지스터가 작아지면 전체 신호 지연은 커지고 성능은 나빠지는 현상이 발생하게 된다. [20] 앞서 그림 1.2에서 2010년대 이후 클럭 주파수가 이전의 경향과 같이 빠르게 증가하지 않 고 정체되어 보이는 것은 배선 RC 지연에 의해 트랜지스터 속도가 더 이상 빠르게 증가하기 어렵다는 것을 보여주고 있다. 이러한 이유로 인 해 트랜지스터의 크기를 줄이면서 성능도 개선하기 위해서는 배선에 적 용할 더 낮은 비저항과 더 낮은 커패시턴스를 가진 물질을 개발하는 것 이 필요하다. [14, 22] 그러므로 현재의 구리를 대체할 수 있는 물질 개 받은 반도체 산업의 지속적인 성장을 위해 필수적인 것이라고 할 수 있 다.



그림 1.5 반도체 노드에 따른 게이트 신호지연과 배선 RC 지연: 180nm 노드에서 게이트 지연과 배선 RC 지연 사이 역전이 발생한다. [20]

1.2. 코발트 배선의 특징

앞서 언급된 바와 같이 반도체 트랜지스터의 크기 감소와 성능 개선을 동시에 달성하기 위해서는 비저항이 낮은 배선 물질을 개발하는 것이 중 요하다. 식 (1.2)에서 최종 비저항 (ρ)이 작기 위해서는 벌크 비저항 (ρ₀)과 전자 평균 이동 거리(λ)를 곱한 값 (ρ₀×λ)이 작아야 유리하 며 [19, 23], 이를 성능 지수(figure of merit)이라고 명명할 수 있다. 성능 지수가 낮은 물질들이 현재의 배선 물질인 구리를 대체할 수 있는 후보군으로 언급되고 있다. 코발트, 루테늄, 몰리브덴이 대표적인 물질로 벌크 비저항(ρ₀)과 전자 평균 이동 거리(λ), 녹는 점 등은 표 1.1에 정리되어 있다. [25-27] 실제로 그림 1.6에서 보이듯이 코발트와 루테 늄의 경우 배선 단면적 40 nm² 이하에서는 구리보다 더 낮은 비저항을 가지는 것이 실험적으로도 증명되어 근 미래에 구리를 대체할 수 있을 것으로 예상되는 상황이다. [23] 이러한 사실들을 근거로 표 1.2에 나와 있듯이 IEEE IRDS의 로드맵에서도 2025년 이후에는 코발트와 루테늄 이 구리 배선 중 일부를 대체할 것으로 예상하고 있다. [24]

Criteria	Bulk resistivity (ρ ₀ , μΩ·cm)	Electron mean free path (λ, nm)	Figure of merit (ρ0·λ, 10 ⁻¹⁶ Ω·m2)	Melting temperature (°C)
Cu	1.68	39.9	6.7	1085
Мо	5.34	11.2	5.99	2623
Ru	7.1	6.59 / 4.88	5.14 / 3.81	2334
Со	6.2	7.77	4.82	1495

표 1.1 구리 및 구리의 대체 금속 후보들의 벌크 비저항(ρ₀), 전자 평 균 이동 거리 (λ), 성능 지수, 녹는점 데이터. [25-27]



그림 1.6 배선 면적에 따른 코발트의 저항 데이터로 40 nm²이하의 크기 에서 코발트가 구리보다 낮은 비저항을 보여준다. [23]

year of production	2022	2025	2028	2031	2034
Node	3nm	2nm	1.5nm	1nm	0.7nm
Mx pitch	24~32	20~24	16~21	16~20	16~19
Mx tight-pitch resistance (ohms/um)	300	475	920	1450	1450
Mx tight-pitch via resistance (ohms/via)	50	53	38	64	64
Power rail layer	M0	Buried	Buried	Buried	Buried
Power rail material	Co, W, Ru	W, Ru	W, Ru	W, Ru	W, Ru
M1/Mx material	Cu	Cu, Co, Ru	Cu, Co, Ru	Cu, Co, Ru	Cu, Co, Ru

표 1.2 IEEE IRDS 배선 기술 로드 맵. [24]

배선 금속으로서 구리를 대체하기 위해서 구리보다 낮은 비저항뿐만 아 니라 일렉트로마이그레이션. TDDB (time-dependent dielectric breakdown) 등의 신뢰성 특성도 만족해야 된다. 표 1.1에 나와 있듯 이 루테늄, 몰리브덴의 경우 녹는 점이 2,000 ℃ 이상으로 높은 반면, 코발트의 경우 1,495 ℃ 로 상대적으로 낮은 녹는 점을 갖고 있다. 녹 는 점은 그림 1.7에 잘 나타나 있는 바와 같이 해당 물질에서 원자 사 이의 결합에너지를 대변하는 값이 된다. [22, 28] 녹는 점이 높으면 원 자간 결합에너지가 높아서 원자들의 이동이 어려워지게 되는 반면에 녹 는 점이 낮으면 주변 원자와의 결합 에너지를 상대적으로 쉽게 이겨내고 이동이 수월하다는 것을 의미하게 된다. TDDB와 일렉트로마이그레이션 모두 원자의 확산으로 발생하는 신뢰성 문제이며, 원자가 확산되기 위해 서는 주변의 원자와의 결합에너지를 이겨내고 이동을 해야 된다. 그러므 로 녹는 점이 높은 물질들은 상대적으로 높은 신뢰성 특성을 보이는 반 면 녹는점이 낮은 물질들은 일렉트로마이그레이션, TDDB 신뢰성에 문 제가 발생할 수 있음을 예측할 수 있다. 실제로 Ru의 경우에는 확산을 막아주는 확산방지막이 없는 barrier-less 공정으로 신뢰성 문제가 없 다는 것이 여러 실험 들에서 증명이 되었다. [13, 15, 29, 30] 반면, 코 발트의 경우 일렉트로마이그레이션 및 TDDB를 막아 주기 위한 확산방 지막이 필요하다는 것이 알려져 있다. 그림 1.8에서 나와있듯이 코발트 의 경우 TDDB 확산방지막이 없을 경우 코발트 이온의 확산에 의해 TDDB 불량이 발생하게 되고 적절하지 않은 확산방지막이 있더라도 일 렉트로마이그레이션 불량 문제가 발생하게 된다. [13, 25, 31, 32] 그러 므로 코발트를 배선 금속으로 사용할 경우 코발트의 확산을 막아 주기 위한 확산방지막이 반드시 필요하게 된다. 그림 1.9 (a)와 같이 코발트 배선에서 확산방지막이 없을 경우에는 TDDB로 인한 전류 누전 문제와 일렉트로마이그레이션으로 인한 단선 문제가 발생할 수 있다. 이러한 문 제는 적절한 확산방지막을 사용할 경우 그림 1.9 (b)와 같이 신뢰성 문 제를 예방할 수 있게 된다.



그림 1.7 원소 금속에 대한 응집 에너지에 따른 용융 온도. 용융 온도와 응집 에너지 사이에 양의 선형 관계가 있다. [22]



그림 1.8 확산방지막이 없거나 불량한 확산방지막이 있는 경우의 코발 트 배선에서의 신뢰성 문제: (a) 확산방지막이 없는 Co 금속에서의 TDDB 문제, (b) TiN 확산방지막과 코발트 배선 사이 계면에서 발생한 일렉트로마이그레이션 공동, (c) TaN 확산방지막과 코발트 배선 사이 계면에서 발생한 일렉트로마이그레이션 공동. [13, 24, 31, 32]



그림 1.9 TDDB 및 일렉트로마이그레이션 신뢰성 현상의 개략도 (a) 확 산방지막이 없는 경우와 (b) 적절한 확산방지막이 있는 경우.

적절한 확산방지막을 사용할 경우 앞서 언급한 TDDB와 일렉트로마이 그레이션 신뢰성 문제를 해결할 수 있게 되며, 일반적으로 확산방지막 두께가 증가할 수록 이러한 신뢰성 문제가 발생할 가능성은 줄어들게 된 다. 하지만 배선의 크기가 줄어듦에 따라 확산방지막으로 인한 배선 자 체의 면적이 줄어드는 문제가 발생하여 식 (1.2)에 따라 배선 크기 감 소에 따른 비저항 증가 효과가 더 극적으로 발생하게 된다. 그림 1.10 (a)와 같이 배선의 크기가 줄어들수록 확산방지막이 두꺼운 경우에 배 선 자체의 면적이 더 빠르게 줄어들게 되며, 결과적으로 그림 1.10 (b) 에서와 같이 두꺼운 확산방지막이 들어간 배선의 저항이 더 급격하게 증 가하게 된다. [33] 신뢰성을 위해서 반드시 확산방지막이 필요하지만 배 선의 크기가 작아질수록 더 얇으면서도 성능이 좋은 확산방지막을 개발 하는 것도 중요한 과제라고 할 수 있다. 2장에서 자세히 설명할 자가형 성 확산방지막 기술이 얇은 확산방지막을 만들 수 있는 기술 중 하나이 다.

코발트배선에서의 자가형성 확산방지막은 2022년 김철 박사가 연구한 내용이 있으며, 여러 계산과 실험을 통해 크롬이 코발트 배선의 자가형 성 확산방지막에 적절한 도펀트라는 것을 밝혀냈다. [34] 크롬은 코발트 배선과 유전체 사이 계면에서 Cr₂O₃ 형태로 자가형성 확산방지막을 형 성하며, 훌륭한 TDDB 확산방지막이라는 것이 확인되었다. 하지만 일렉 트로마이그레이션 확산방지막으로써의 역할은 밝혀진 부분이 없었으며, 본 논문에서 Cr₂O₃가 코발트 배선의 좋은 일렉트로마이그레이션 확산방 지막 역할도 한다는 것을 밝혀냈다.



그림 1.10 (a) 확산방지막 두께 별 금속 선폭에 따른 전도성 금속 단면 적 크기, (b) 확산방지막 두께 별 금속 선폭에 따른 배선 저항. [33]

1.3. 본 논문의 목적

본 논문의 목적은 코발트 배선에서 크롬 도펀트가 자가형성 확산방지막 으로써 코발트 배선의 일렉트로마이그레이션을 향상시킬 수 있는 적절한 확산방지막 역할을 하는지 확인하는 데에 있다.

코발트의 일렉트로마이그레이션은 구리와 마찬가지로 코발트 배선과 확 산방지막 사이의 계면에서 발생하게 된다. 이때 일렉트로마이그레이션에 대한 활성화 에너지(Ea)는 배선 금속 원자와 확산방지막 원자 사이의 접합 에너지에 비례한다는 것이 여러 실험을 통해 알려져 있다. [35, 36] 이러한 사실을 활용하여 이 논문에서는 코발트 금속층과 SiO₂ 유전 체층 사이의 계면 접합에너지 분석을 통해 일렉트로마이그레이션에 대한 활성화 에너지를 간접적으로 비교하였다. 이때, 계면 접합에너지는 4점 굽힘 실험을 통해 측정하였다. 코발트와 SiO₂ 사이의 계면에는 아무것도 들어가지 않은 조건, 일반적인 확산방지막(Ti/TiN)이 들어간 조건, 크롬 자가형성 확산방지막이 들어간 조건에서 각각 열처리 전과 후에 대한 계 면 접합에너지 분석을 하였으며, 이를 통해 크롬 자가형성 확산방지막이 어떻게 형성되는지 와 다른 조건들에 비해 얼마나 효과적인 일렉트로마 이그레이션 확산방지막으로 작용을 하는지 비교하였다. 또한 TEM (transmission electron microscopy)과 XPS (X-ray photoelectron spectroscopy) 분석을 통하여 크롬 자가형성 확산방지막이 형성되는 열처리 조건과 크롬 자가형성 확산방지막이 어떠한 결합을 통해 형성되 는지 확인하였다. 자가형성 확산방지막 형성이 열처리를 통해 이루어 지 기 때문에 열처리 중 발생하기 쉬운 공동(void), 힐락(hillock), 어글로 머레이션(agglomeration)과 같은 문제가 발생하지 않아야 하는데, 이를 확인하기 위해서 AFM (atomic force microscopy)을 활용하여 열처리 전과 후 시료들의 표면 분석을 진행하였다.

이 논문에서는 위와 같은 분석을 통하여 코발트-크롬 합금에서 350℃ 이상의 열처리를 통하여 코발트와 SiO₂ 계면사이에 Cr₂O₃의 형태로 크 롬 자가형성 확산방지막이 형성되는 것을 확인하였으며, 이 과정에서 공

동, 힐락, 어글로머레이션 등과 같은 문제가 발생하지 않는다는 것을 증 명하였다. 또한 해당 자가형성 확산방지막은 코발트와 SiO₂ 사이의 계면 접합 에너지를 효과적으로 증가시켜줘서 기존의 일반적인 확산방지막 (Ti/TiN)보다 더 훌륭한 일렉트로마이그레이션 확산방지막 역할을 할 수 있다는 것을 간접적으로 확인하였다. 이러한 결과는 코발트 배선이 구리 배선을 대체할 수 있는 가능성을 확장했다는 데에 의의가 있다.

1.4. 본 논문의 구성

지금까지 1장에서는 반도체 소자가 축소되며 발생하는 일반적인 현상 과 문제에 대해서 알아보았으며, 주요 문제점 중 하나인 배선의 저항 증 가 문제를 해결하기 위해 코발트 배선이 등장한 배경에 대해서 알아보았 다.

2장에서는 코발트 배선에서 지금까지 자가형성 확산방지막에 대해 진 행되었던 선행 연구에 대해서 알아보고 본 연구가 필요한 이유에 대하여 서술하였다. 또한 본 연구에서 필요한 배선의 일렉트로마이그레이션 신 뢰성에 대한 내용 및 계면 접합 에너지 분석 방법에 대해 설명하였다.

3장에서는 본 실험에 필요한 시료들 제작방법과 시료들을 분석했던 방법에 대해서 설명하였으며, 그 실험 결과들과 의미에 대해서 4장에 기 술하였다. 마지막으로 5장에서는 전체 연구에 대한 내용을 정리하며 마 무리하였다.

2. 이론적 배경

2.1. 코발트 배선에서의 자가형성 확산방지막 연구

자가형성 확산방지막 기술은 일본 동북대학교의 Koike 교수에 의해 제 안된 것으로 구리-망간 합금을 이용하여 구리 배선에서 얇으면서도 높 은 신뢰성을 달성하여 기존의 확산방지막을 대체하기 위한 기술을 목표 로 개발되었다. [37-40]

일반적인 확산방지막 공정과 자가형성 확산방지막 공정의 차이점은 그 림 2.1에 정리된 바와 같다. 일반적인 확산방지막을 사용할 경우 증착이 두단계로 발생하게 된다. 확산방지막 증착과 배선 금속 증착 공정이 순 차적으로 진행된 후 입계 성장 등을 위한 열처리가 진행되게 된다. 반면 자가형성 확산방지막 공정의 경우 금속 증착은 합금 금속 증착 한 번으 로 줄어들게 되는 장점이 있다. [38, 40]



그림 2.1 (a) 일반적인 확산방지막 배선 공정 (b) 자가형성 확산방지막 배선 공정. [38, 40]

Koike 교수는 구리 배선에서 적절한 자가형성 확산방지막을 달성하기 위해서는 도펀트가 다음과 같은 규칙들을 만족해야 된다는 것을 발견하 였다. 첫 번째는 산화물 형성에 대한 표준 자유 에너지 (ΔG°)가 SiO₂보 다 약간 높아야 된다는 것이다. 표준 자유 에너지가 SiO2보다 낮을 경우 SiO2에서 산소를 쉽게 빼앗아 실리콘으로 과도하게 환원시키는 문제가 발생하기 때문이다. 두 번째로 자가형성 확산방지막을 형성하는 온도인 450 ℃에서 구리 내에서의 확산 속도가 구리의 확산 속도보다 빨라야 된다는 것이다. 이는 도펀트가 구리보다 빨리 구리와 SiO₂ 계면 사이에 도착하여 안정적인 산화물을 형성할 수 있도록 하기 위한 조건이다. 마 지막 조건은 구리와 고용체를 형성하였을 때 활동 계수(activity coefficient: γ)가 1 보다 커야 된다는 것이다. 이 값이 1보다 크다는 것은 구리와 도펀트가 서로 분리되는 것이 안정적임을 의미하고, 반대로 1보다 작으면 둘이 섞여 있는 상태가 안정적임을 의미하다. 자가형성 확 산방지막을 형성하기 위해서는 도펀트가 구리내부에서 분리되어야 하기 때문에 활동 계수는 1보다 커야 된다. 구리에서 자가형성 확산방지막에 대한 후보 물질로 마그네슘, 알루미늄, 망간 등이 있었으며, 앞서 언급된 조건들에 대한 각 물질들의 결과는 표 2.1에 정리되어 있다. 표 2.1에서 보이듯이 구리 배선에서 자가형성 확산방지막을 형성하기에 가장 적절한 도펀트는 망간으로 결론이 났다. 그림 2.2에서 보이듯 구리의 기존 확산 방지막(Ta) 보다 망간 자가형성 확산방지막이 더 얇은 확산방지막을 형 성하는 것이 확인 되었으며, 일렉트로마이그레이션과 같은 신뢰성이 향 상되는 것도 증명되었다. [41]

	Criteria	Mg	Al	Mn	
	ΔG° compared to ΔG° of SiO2	maller	smaller	larger	
	Diffusivity in Cu at 450 °C			factor	
	compared to Cu self-diffusivity	-	-	Taster	
	Activity coefficient in Cu	<1	<1	>1	
표	2.1 도펀트 별 구리 배선의 자가형성	확산방거	지막으로서의	기준에	대
하	결과: 망간이 모든 기준들을 만족함을	보여준더	1. [37]		



그림 2.2 (a) 일반적인 확산방지막(Ta)을 사용한 구리배선의 TEM 사 진, (b) 구리-망간 자가형성 확산방지막을 사용한 구리배선의 TEM 사 진, (c) 일반적인 확산방지막을 사용한 구리(빨간 점)와 구리-망간 자가 형성 확산방지막을 사용한 구리(파란 점)의 일렉트로마이그레이션 수명 비교, (d) 구리-망간 자가형성 확산방지막에서 망간 농도에 따른 일렉 트로마이그레이션 수명 경향. [40-42]

코발트 배선의 자가형성 확산방지막은 2022년 김철 박사에 의해 연구 된 결과가 있다. 김철 박사는 기존 Koike 교수가 제안한 규칙에 추가로 중요한 규칙을 한 가지 추가하였으며 다음과 같다. 코발트 배선과 SiO₂ 계면사이에 도착한 도펀트가 산화물이나 실리케이트 형태로 존재해야 된 다는 규칙이다. 또한 열역학적 계산을 기반으로 하는 Factsage[™]라는 프로그램을 통해 배선내에서의 금속간 화합물 형성여부, 용해도, 활성 계수 배선과 유전체 사이 계면에서의 안정상을 계산할 수 있었으며, 이 러한 계산을 통해 코발트 배선의 자가형성 확산방지막으로 적당한 물질 을 정확하게 예측할 수 있었다. 표 2.2는 코발트 배선에서 도펀트 별 기
준에 대한 계산 결과이며, 표에서 잘 확인 되듯 크롬이 코발트 배선의 자가형성 확산방지막 물질로 가장 적절하다는 것을 알 수 있다. 계산된 내용은 그림 2.3과 그림 2.4에서 보이듯이 실험적으로 잘 증명되었는데, 열처리를 통해 크롬이 코발트 배선에서 잘 빠져나오며 코발트 배선과 SiO₂ 계면 사이에 Cr₂O₃ 형태로 얇은 자가형성 확산방지막을 형성한다 는 것이 확인되었다. 또한 그림 2.5과 같이 VRDB (Voltage-ramp dielectric breakdown) 실험을 통해 Cr₂O₃가 코발트의 훌륭한 TDDB 확산방지막 역할을 한다는 것 또한 증명되었다. [34]

	Cr	Fe	Zn	Mn	Ni
Solubility (at% @ 450°C) low (≤1), high(>5)	0.31	10.11	4.88	8.11	100
IMC formation @ 450°C	х	х	х	Х	Х
Activity coefficient unstable (γ>1), stable (γ<1)	68.572	0.263	0.997	0.463	0.999
Oxidation tendency good (SiO₂<∆G° <co), bad (<sio₂ or=""> Co)</sio₂></co), 	good	good	good	good	bad
Reaction in binary system @ 450°C	Cr2O3	Fe2SiO4	Zn2SiO4	MnSiO3	Ni2SiO4
	Highly applicable		applicable	Highly applicable	

표 2.2 도펀트 별 코발트 배선의 자가형성 확산방지막으로서의 기준에 대한 결과: 크롬이 가장 최적의 결과를 보여준다. [34]



그림 2.3 (a) 코발트-크롬 합금의 증착 직후 XPS 깊이방향 프로파일, (b) 코발트-크롬 합금의 열처리 후 XPS 깊이방향 프로파일로 크롬이 코발트 금속층에서 표면으로 확산되었음을 보여준다, (c) 증착 직후 크 롬의 2p 오비탈 결합 에너지 피크, (d) 열처리 후 크롬의 2p 오비탈 결 합 에너지 피크, (e) 크롬의 2p 오비탈 결합에너지 피크 결과는 열처리 전의 크롬은 금속형태로 존재하나, 열처리 후 Cr₂O₃ 형태로 존재한다는 것을 보여준다. [34]



그림 2.4 (a) 코발트-크롬 합금의 열처리 후 STEM 사진, (b) EDS 사 진으로 크롬이 코발트와 SiO₂ 계면 사이로 이동하였음을 보여준다. [34]



그림 2.5 순수한 코발트와 코발트-크롬 합금에서 절연파괴 전압 결과 데이터. [34]

이렇게 코발트 배선에서 크롬이 적절한 자가형성 확산방지막을 형성하 며 TDDB 관점에서 훌륭한 확산방지막이라는 것이 이론과 실험을 통해 밝혀졌으나, 실제 반도체 배선으로 사용되기 위해서는 일렉트로마이그레 이션 신뢰성도 추가적으로 증명이 필요하다. 코발트가 배선으로 사용될 경우 구리와 마찬가지로 일렉트로마이그레이션에 의한 불량이 발생할 수 있으며, 그림 1.8에서 언급된 바와 같이 코발트 배선과 유전체 사이 계 면에서 공동이 발생한다는 것이 밝혀져 있다. 이는 코발트 원자의 일렉 트로마이그레이션에 대한 활성화 에너지가 계면에서 가장 작다는 것을 의미하며, 계면에서의 확산방지막 혹은 유전체와의 접합에너지가 커지면 일렉트로마이그레이션에 대한 활성화 에너지가 증가하여 일렉트로마이그 레이션 신뢰성 또한 향상될 수 있음을 의미한다. 이 논문에서는 코발트 와 SiO₂ 사이의 계면 접합에너지를 정량적으로 분석하여 일렉트로마이 그레이션 활성화 에너지 관점에서 자가형성 확산방지막의 효과를 분석하 였다.

2.2. 배선의 일렉트로마이그레이션 신뢰성

일렉트로마이그레이션이란 전류가 흐를 때, 금속 원자가 전자의 이동 방향으로 움직이는 현상을 의미한다. 이는 그림 2.6 (a)와 같이 전압에 의해 움직이는 전자가 멈춰 있는 금속원자와 충돌하면서 전자의 운동량 이 원자에 전달되어 원자가 움직이는 현상이며, 그림 2.6 (b)와 같이 일 렉트로마이그레이션에 취약한 부분부터 원자가 빠져나가면서 공동이 생 기게 되고 공동이 점점 커져 배선이 완전히 끊어지면 더 이상 전류가 흐 르지 못하는 불량이 발생하게 된다. 이러한 전자 풍력에 의해 발생하는 일렉트로마이그레이션 유량은 식 (2.1)과 같이 표현된다. [13, 32, 43]



그림 2.6 (a) 전자 풍력에 의한 일렉트로마이그레이션의 개략도, (b) 배 선에서 일렉트로마이그레이션에 의한 공동 형성 예시 그림.

$$J_{EM} = \frac{CD_0}{kT} Z^* e\rho j \exp\left(-\frac{E_a}{kT}\right)$$
(2.1)

이때,

C: 농도, D₀: 확산율, eZ*: 유효 전하량, ρ: 비저항, k: 볼츠만 상수, T: 절대 온도, j: 전류 밀도, E_a: 활성화 에너지 이러한 일렉트로마이그레이션에 의해 공동이 발생하고 성장하게 되면 금속 선이 끊겨서 전류가 더 이상 통할 수 없는 불량이 발생하게 되는데, 이때까지 걸리는 시간을 일렉트로마이그레이션 수명이라고 한다. 일렉트 로마이그레이션 수명은 Black의 방정식에 의해 다음과 같이 식 (2.2)로 표현된다.

$$EM \,Lifetime = Aj^{-n} \,exp\left(\frac{E_a}{kT}\right) \tag{2.2}$$

이때,

A: 상수, j: 전류 밀도, n: 모델 매개변수, Ea: 활성화 에너지, T: 절대 온도

식 (2.1)과 식 (2.2)에서 보이듯이 일렉트로마이그레이션 수명은 일 렉트로마이그레이션 활성화 에너지(Ea)에 의해 결정되게 되는데, 활성 화 에너지가 크면 일렉트로마이그레이션 현상이 발생하기 어려우며, 활 성화 에너지가 작으면 일렉트로마이그레이션 현상이 상대적으로 쉽게 발 생하게 된다. 이는 물질간 비교에도 해당되며, 물질 내에서도 해당된다. 물질 내에서는 벌크 내부에 존재하는 원자, 입계, 계면 등 위치에 따라 활성화 에너지가 달라지게 된다. 알루미늄의 경우 입계에서 활성화 에너 지가 가장 낮기 때문에 입계에서 일렉트로마이그레이션 공동이 발생하게 된다. [43] 반면에 구리나 코발트의 경우 계면에서의 활성화 에너지가 가장 낮기 때문에 확산방지막과의 계면에서 일렉트로마이그레이션 공동 이 발생하게 된다. [32, 44, 45] 그림 2.7은 각 배선에서 일렉트로마이 그레이션에 의한 공동이 발생한 사진으로 알루미늄은 입계에서 공동이 발생한 반면, 구리와 코발트는 확산방지막과의 계면에서 공동이 발생한 것을 알 수 있다.

코발트의 경우 계면에서 일렉트로마이그레이션이 발생하기 때문에 계

면에서의 일렉트로마이그레이션을 자세히 살펴볼 필요가 있다. 일렉트로 마이그레이션의 활성화 에너지는 원자가 인접해 있는 원자들과의 결합에 너지를 이겨내고 확산하는데 필요한 에너지라고 할 수 있다. 즉, 근처 원자들과 더 강한 힘으로 묶여 있으면 일렉트로마이그레이션 활성화 에 너지가 커진다고 얘기할 수 있으며, 코발트의 경우 코발트 원자들 사이 의 결합에너지는 일정하기 때문에 확산방지막과의 접합 에너지가 일렉트 로마이그레이션 활성화 에너지와 직결된다고 얘기할 수 있다. 이는 계면 에서 일렉트로마이그레이션이 발생하는 구리에서 그림 2.8과 같이 실험 적으로도 잘 증명된 사실이며, 그림 2.8 (a), (b)에서 보이듯 계면과의 접합 에너지가 커질수록 일렉트로마이그레이션 활성화 에너지가 커지고 일렉트로마이그레이션에 의한 공동 성장 속도가 느리다는 것을 알 수 있 다. [35, 36] 본 연구에서는 코발트 금속과 확산방지막 혹은 유전체 사 이의 접합에너지를 측정하여 각 조건 별로 일렉트로마이그레이션 활성화 에너지를 간접적으로 비교하여, 자가형성 확산방지막이 코발트 배선의 일렉트로마이그레이션 개선에 미치는 영향에 대하여 분석하였다.



그림 2.7 (a) 알루미늄 배선의 입계에서 발생한 일렉트로마이그레이션 공동 (b) 구리 배선의 계면에서 발생한 일렉트로마이그레이션 공동, (c)~(e) 코발트 배선의 계면에서 발생한 일렉트로마이그레이션 공동, [13, 32, 44, 45]



그림 2.8 (a) 계면 박리 에너지에 따른 일렉트로마이그레이션 공동 성장 속도, (b) 계면 접합 에너지에 따른 일렉트로마이그레이션 활성화 에너 지 값. [35, 36]

2.3. 계면 접합에너지 분석 방법

서로 다른 두 물질이 접해 있는 계면사이의 접합에너지를 정량적으로 측정하는 대표적인 방법 중에 하나가 4점 굽힘 실험(4-point bending) 이다. 그림 2.9와 같이 두 개의 막이 붙어 있는 상태에서 시편 가운데에 초기 균열을 준 상태에서 시작하게 된다. 그림과 같이 시편의 위에서 P 의 힘으로 눌렀을 때 초기 균열이 전파되면서 시편사이의 균열이 점점 커지면서 시료에 누적되어 있는 변형에너지가 방출되게 되며, 변형에너 지 방출 속도(strain energy release rate)를 G라고 표현한다. 만약, 균 열이 충분히 커져서 a>(h1+h2)를 만족하게 되면 G는 균열의 길이 a와 무관하며, 정상상태로 균열의 성장이 발생하게 되어 그림 2.10 (a)와 같 이 균열이 전파되어 계면 박리가 발생하는 동안 일정한 힘이 작용하게 되고 이때 G 값을 Gc값으로 표현한다. 이때, 균열이 발생한 영역에서는 위쪽의 박막은 힘을 받지 않으므로 변형에너지를 무시할 수 있고 하부 막질에 누적된 변형에너지 (U2)만 고려하면 된다. 반대로 균열이 발생하 기 전 영역은 상부와 하부 막질의 합성된 변형 에너지(U_c)를 고려해 주 어야 된다. 즉, 그림 2.10 (b)와 같이 균열 발생한 영역의 하부 막질에 단면적 당 변형 에너지를 U₂, 균열이 발생하지 않은 영역의 단면적 당 변형 에너지를 Uc라고 표현하면, 변형 에너지 방출속도 Gc는 식 (2.3) 으로 표현할 수 있다. [46, 47] 또한 이때의 Gc 값은 계면박리 에너지와 동일한 값이 된다.



그림 2.9 이중 막질의 4점 굽힘 시편. [46]



그림 2.10 (a) 4점 굽힘 실험에서 변위 대 하중 그래프, (b) 계면 박리 전과 후의 변형에너지에 대한 개략도. [46, 47]

$$G_{\mathcal{C}} = U_2 - U_{\mathcal{C}} \tag{2.3}$$

$$U = (1 - v^2)M^2/(2EI)$$
(2.4)

이때,

M: 단위 폭당 모멘트, ν: 푸아송의 비율, E: 탄성 계수, I: 단위 폭당 면 적에 대한 관성 모멘트

$$G_{c} = \frac{M^{2}(1-\nu_{2}^{2})}{2E_{2}} \left(\frac{1}{I_{2}} - \frac{\lambda}{I_{c}}\right)$$
(2.5)

이때,

M=Pl/2, $\lambda = E_2(1 - \nu_1^2)/E_1(1 - \nu_2^2)$, $I_2 = h_2^3/12$, $I_C = h_1^3/12 + \lambda h_2^3/12 + \lambda h_1h_2(h_1 + h_2)^2/4(h_1 + \lambda h_2)$

단면적 당 변형 에너지 U는 식 (2.4)와 같이 표현할 수 있다. 그러므 로 두 계면 사이의 박리 에너지 G_c는 식 (2.5)와 같이 표현할 수 있다. 이때, 그림 2.11은 본 논문에서 4점 굽힘 실험을 하는 구조이다. 총 6 개의 막질로 이루어져 있으며, 실제 균열은 금속 박막과 SiO₂ 박막사이 에서 발생하게 된다. 이때 실리콘 웨이퍼들 사이에 존재하는 박막들과 접착제 두께의 총합은 5.2~10.2 um로 얇은 반면, 하부와 상부의 실리 콘 웨이퍼의 두께는 525 um로 상대적으로 매우 두꺼운 구조를 갖게 된 다. 이러한 두께의 차이로 인해 박막에 발생하는 변형 에너지는 실리콘 에 발생하는 변형 에너지에 비해 무시할 수 있을 정도로 작게 되어, 두 박막사이의 계면 접합에너지는 실리콘의 변형 에너지만을 고려하면 된다. 즉, 식 (2.5)에서 상, 하부 모두 같은 실리콘 웨이퍼 기준으로 넣어주게 되면, 두 박막 사이의 계면 접합 에너지는 식 (2.6)과 같이 표현할 수 있게 된다. 본 논문에서는 식 (2.6)을 활용하여 코발트의 계면 접합 에 너지를 정량적으로 분석하였다.



그림 2.11 코발트, 확산방지막과 유전체 사이의 계면 접합 에너지를 측 정하기 위한 4점 굽힘 평가 시료 구조.

$$G_{C} = \frac{21(1-\nu^{2})M^{2}}{4Eb^{2}h^{3}} = \frac{21(1-\nu^{2})P^{2}L^{2}}{16Eb^{2}h^{3}}$$
(2.6)

3. 실험 방법

3.1. 박막 증착

3.1.1. 기판 준비

본 논문의 실험에서 평가하는 구조를 만들기 위해서 p형의 4인치 실리 콘 (100) 기판이 사용되었다. 실리콘 기판 표면에 존재하는 자연 산화 막을 제거하기 위해 황산 과산화 수소 혼합 용액 (sulfuric acid peroxide mixture: SPM)으로 10분 및 묽은 불산 용액 (dilute hydrofluoric acid: DHF)로 2분간 세정이 진행되었다. 이때 SPM과 DHF 세정 직후에는 헹굼 세정을 위해 탈이온수 (deionized water)로 5분씩 세정이 진행되었다. 각 용액의 조건, 세정 시간 및 순서는 아래와 같이 진행되었다.

- 1. SPM cleaning $H_2SO_4:H_2O_2 = 4:1, 130$ °C, 10min
- 2. DIW cleaning deionized water, 5min
- 3. DHF cleaning DIW:HF = 10:1, 2min
- 4. DIW cleaning deionized water, 5min

3.1.2. 산화 공정

실리콘 기판을 세정한 후 열처리 공정을 통해 실리콘 기판 상부에 SiO₂ 박막을 성장시켰다. 이때 SELTRON 사의 모델명 SHF-150 설비

를 사용하였으며, 드라이 산화 (dry oxidation) 방식을 통하여 SiO₂ 두 께를 100nm 성장시켰다.

이와 같이 준비된 기판을 4점 굽힘 평가를 위해서는 온장으로 사용하 였으며, TEM, XPS와 AFM 분석을 위한 시료는 2cm x 2cm 크기로 자 른 조각 기판으로 사용하였다.

3.1.3. 박막 중착

위와 같이 준비된 시료에 SiO₂, Co, Co-Cr 합금, Ti, TiN의 박막을 샌 드위치 구조로 증착 하여 평가 시료를 준비하였다. 크롬 자가형성 확산 방지막 평가 목적으로 그림 3.1 (a)와 같은 구조로 Co-Cr 합금이 증착 되는 구조와, 대조군 목적으로 그림 3.1 (b), (c)와 같이 확산방지막이 없는 Co, 일반적인 확산방지막(Ti/TiN)이 들어가는 구조를 만들었다. 이때, SiO₂ 증착은 RF 마그네트론 스퍼터 (RF magnetron sputter) 설 비를 이용하였는데, 금속 층의 상부와 하부에 동일한 SiO₂와 동일한 계 면을 만들기 위해서 열 산화막(thermal oxide) 상부에도 RF 스퍼터로 SiO₂를 증착하였다.

(a)	(b)	(c)
SiO ₂ , 20 nm	SiO ₂ , 20 nm	SiO ₂ , 20 nm
Co-Cr, 100nm	Co, 100nm	Ti (5nm) TiN (5nm)
SiO ₂ , 20 nm	SiO ₂ , 20 nm	Co, 100nm
SiO ₂ , 100 nm (thermal oxide)	SiO ₂ , 100 nm (thermal oxide)	Ti (5nm) SiO ₂ , 20 nm
Si	Si	SiO ₂ , 100 nm (thermal oxide)
		Si

그림 3.1 SiO₂/metal/SiO₂ 샌드위치 구조, (a) SiO₂/Co-Cr 합금/SiO₂, (b) SiO₂/Co/SiO₂, (c) SiO₂/Ti/TiN/Co/TiN/Ti/SiO₂.

SiO2 증착은 RF 마그네트론 스퍼터 설비를 이용하여 진행하였다. 증

착 전 진공은 5×10⁻⁶ Torr까지 잡아주었다. 이후 아르곤을 20 sccm으 로 흘려주면서 압력은 0.004 Torr로 맞춘 후 100 W의 파워로 플라즈 마를 켜주었다. 이후 기판에 증착 하기 전에 플라즈마 안정화 및 타겟 세정을 목적으로 10분간 대기 후 증착을 진행하였다. 금속 막질 증착 전과 후 모두 SiO₂ 박막을 증착 하였으며, 두께는 20 nm로 동일하게 진 행하였다.

Co, Co-Cr 합금, Ti, TiN은 DC 마그네트론 스퍼터 (DC magnetron sputter) 설비를 이용하여 증착을 하였다. Co-Cr 합금의 경우 코발트 금속에 크롬이 4.7 at%, 7.5 at% 들어간 타겟을 사용하였다. 금속 층을 증착 할 때, 처음 진공은 동일하게 5×10⁻⁶ Torr까지 잡아주었다. 이후 아르곤을 80 sccm으로 흘려주면서 압력을 0.004 Torr에 맞추었으며, 100 W 파워로 플라즈마를 켠 후 기판에 증착 하기 전에 플라즈마 안정 화 및 타겟 표면 세정을 목적으로 10분간 대기 후 증착을 하였다. Co, Co-Cr 합금은 100 nm 두께로 증착을 하였으며, Ti와 TiN은 5 nm 두 께로 증착을 하였다. 이때 일반적인 확산방지막 평가를 위한 시료는 그 림 3.1 (c)와 같은 구조로 증착을 하였는데, Ti → TiN → Co → TiN → Ti 순서로 증착을 하였으며, 설비 내에 한번에 타겟이 3개까지 들어 가기 때문에 진공을 깨지 않은 상태로 증착을 연속적으로 진행하였다.

본격적인 평가 시료들을 증착 하기 전에 모든 박막 조건들은 3차원 프로파일러를 통해 미리 증착 속도를 확인하였으며, 이를 통해 원하는 두께만큼 정확히 증착을 할 수 있었다. 각 막질별로 증착 조건은 표 3.1 과 같이 정리하였으며, RF 마그네트론 스퍼터 설비와 DC 마그네트론 스 퍼터 설비는 그림 3.2 (a), (b)와 같다.

Film	SiO ₂	Со	Co- 4.7 at% Cr	Co- 7.5 at% Cr	Ti	TiN
Sputter type	RF magnetron	gnetron DC magnetron				
Initial pressure	5×10 ⁻⁶ Torr					
Plasma gas	Ar					
Working pressure	4×10 ⁻³ Torr					
plasma power	100 W					
Temperature	Room temp.					
pre-sputtering	1 0 min					
Target thickness	20 nm	100 nm	100 nm	100 nm	5 nm	5 nm
Dep. Rate (nm/min)	7.2	33.7	30.2	28.8	6.4	16.7
Sputtering time (sec)	166	178	198	208	47	18

표 3.1 박막 증착 조건.





그림 3.2 (a) RF 마그네트론 스퍼터, (b) DC 마그네트론 스퍼터.

3.1.4. 열처리 공정

코발트-크롬 합금에서 당초 목적인 자가형성 확산방지막을 형성하기 위해서는 열처리 공정이 필수적으로 필요하게 된다. 열처리 공정을 통해 코발트 금속 층 내부에 있는 크롬 원자들이 코발트와 SiO₂ 계면 사이로 이동하여 Cr₂O₃를 형성하게 된다. 자가형성 확산방지막 특성 및 대조군 에서 비교를 위해 일부 시료들은 350 ℃, 450 ℃에서 1시간씩 열처리 공정이 진행되었다.

XPS. TEM. AFM 분석을 위한 시료들은 조각 기판에서 증착 되었으 며, 조각 시료들은 진공 열처리 설비에서 공정이 진행되었다. 압력은 10⁻⁵ Torr에서 공정이 진행되었으며, 승온 속도는 5 ℃/min으로 진행되 었으며, 최고 온도에서 1시간동안 유지 후 실온까지 낮추었다. 4점 굽힘 평가를 위해서는 온장 기판에서 증착이 진행되었으며, 온장 시료들은 서 울일렉트로닉 회사의 SMF-800 설비를 활용하여 열처리를 진행하였다. 열처리 중 산소에 의한 추가적인 산화를 막기 위해 질소 기체 분위기에 서 공정을 진행하였으며, 승온 속도는 5 ℃/min, 최고 온도에서 1시간동 안 열처리를 진행하였다. 진공 열처리 설비와 SMF-800 설비는 각각 그림 3.3 (a), (b)와 같다.

(a)



그림 3.3 (a) 진공 열처리 설비. (b) 온장 웨이퍼 열처리에 사용된 설비 SMF-800 (Seoul Electronics Co.).

3.2. 계면 접합 에너지 측정

3.2.1. 샘플 준비

4점 굽힘 평가를 위해 박막 증착 된 시료들은 상부에 에폭시 수지를 활용하여 Si 기판을 부착하여 샌드위치 구조를 만들었다. 이때 에폭시 수지는 Epoxy Technology Inc.의 EPO-TEK 353ND을 사용하였다. 이후 에폭시 수지 접착제가 잘 붙을 수 있도록 120 ℃에서 2시간동안 열처리가 진행되었다. 열처리 후 초기 균열을 만들어 주기 위해 다이아 몬드 블레이드로 실리콘 기판 두께의 80%에 해당하는 420 µm깊이의 노치를 만들어 주었다. 이후 4점 굽힘 평가를 위해 기판을 30mm× 3mm 크기로 잘라 주었다. 전체적인 샘플 준비 과정은 그림 3.4와 같다.



그림 3.4 4점 굽힘 평가를 위한 시료 준비 과정.

3.2.2. 4점 굽힘 평가

앞서 준비된 시료를 재료 인장 시험기를 통해 4점 굽힘 실험을 진행하였다. 이때 재료 인장 시험기는 Lloyd Instruments Ltd.의 LRX Plus 설비를 사용하였다. 변위속도는 0.08 μm/s로 하였으며, 계면 파괴가 발생하는 것을 실시간으로 확인하기 위해 CCD 카메라를 활용하여 촬영을 진행하였다. 실험을 통해 하중-변위 그래프에서 박막간 분리가 정상상 태로 발생하는 안정기 영역의 하중 값 (P)를 구하여 식 (3.1)을 활용하여 계면 박리 에너지 값과 동일한 에너지 방출속도 (G_c) 값을 계산하였다.

$$G_{C} = \frac{21(1-\nu^{2})M^{2}}{4Eb^{2}h^{3}} = \frac{21(1-\nu^{2})P^{2}L^{2}}{16Eb^{2}h^{3}}$$
(3.1)

이때, 푸아송의 비율(ν), 탄성 계수 (E), 상/하부 시편의 두께 (h)는 모두 실리콘 기판의 값으로 각각 0.28, 130 GPa, 0.525 mm 값을 사용 하였다. L은 상부와 하부 핀 사이의 거리로 5 mm로 세팅하였으며, b는 시편의 폭 값으로 앞서 설명하였듯이 3 mm에 해당된다.

시험은 순수한 코발트, 일반적인 확산방지막을 사용한 코발트, 코발트-크롬 합금에 대해서 각각 열처리 미진행, 열처리 450 ℃ 시료를 준비하 였으며, 코발트-크롬 합금에서는 자가형성 확산방지막 효과가 더 낮은 온도에서 발생하는지도 확인하기 위해 350 ℃ 시료도 준비하였다. 평가 한 시료 조건은 표 3.2와 같다. 각 조건의 시료들은 총 10개씩 실험을 진행하여 통계 값을 산출하였다. 4점 굽힘에 사용한 인장시험기 및 샘플 이 설비에 장착된 사진은 그림 3.5에 나와있다.

comple		Annealing		
sample	under dielectric	metal layer	upper dielectric	temperature
#1	SiO ₂	Со	SiO ₂	As-dep.
#2	SiO ₂	Со	SiO ₂	450 °C
#3	SiO ₂	Ti/TiN/Co/TiN/Ti	SiO ₂	As-dep.
#4	SiO ₂	Ti/TiN/Co/TiN/Ti	SiO ₂	450 °C
#5	SiO ₂	Co-4.7 at% Cr	SiO ₂	As-dep.
#6	SiO ₂	Co-4.7 at% Cr	SiO ₂	350 °C
#7	SiO ₂	Co-4.7 at% Cr	SiO ₂	450 °C
#8	SiO ₂	Co-7.5 at% Cr	SiO ₂	As-dep.
#9	SiO ₂	Co-7.5 at% Cr	SiO ₂	350 °C
#10	SiO ₂	Co-7.5 at% Cr	SiO ₂	450 °C

표 3.2 4점 굽힘 평가 시료 조건



그림 3.5 (a) 재료 만능 시험기: LRX Plus, Lloyd Instruments Ltd., U.K, (b) 4점 굽힘 샘플이 지그에 장착된 그림.

3.2.3. 파면 분석

앞서 4점 굽힘 평가를 통해 파괴된 시편은 두 가지로 구분되는데, 하나 는 박막과 박막사이에 분리가 발생하는 것이고 다른 하나는 박막 간의 계면 분리 없이 샘플 자체가 부러지는 경우이다. 박막 사이의 계면분리 없이 시편이 부러지는 경우는 모든 계면들의 접합에너지가 기판이 부러 지는데 필요한 에너지 이상으로 높다는 것을 의미하다. 반면 특정 계면 에서 분리가 발생하였다면, 그 계면이 샘플에서 가장 취약한 접합 에너 지를 갖는 계면을 의미하므로 어느 계면이 분리되었는지 정확히 분석할 필요가 있다. 본 실험에서는 박리된 계면을 분석하기 위해 샘플의 위쪽 파면과 아래쪽 파면을 XPS를 통한 성분분석을 통해 분석하였다.

3.3. 박막 특성 분석

3.3.1. X-ray photoelectron spectroscopy (XPS) analysis

SiO₂/Co-Cr합금/SiO₂에서 열처리 조건에 따라 크롬이 어떻게 거동하 고, Co/SiO₂ 계면에 모이는 크롬이 어떠한 형태로 존재하게 되는지 분석 하기 위해서 시료의 깊이 방향으로 XPS 분석을 진행하였다. 이를 통해 시편을 일정한 크기의 에너지로 에칭을 진행하는 동시에 XPS 분석을 하여 깊이 방향의 성분분석 데이터를 얻을 수 있었다. 또한 XPS 데이터 에서 결합 에너지 피크 분석을 통해 각 원소들이 존재하는 형태도 파악 할 수 있었다. XPS 분석은 Thermo Fisher Scientific 회사의 NEXSA 설비를 이용하여 진행하였다. 이때 XPS 분석 조건 및 에칭 조건은 표 3.3과 같이 진행되었다.

XPS condition	Flood gun	On	
	Pass energy	50.0 eV	
	Step	0.1 eV	
	Dwell time	50 ms	
	scan	5-30	
	Spot size	400 µm	
Etching condition	Sputter energy	2 kV	
	Interval time	20 Sec	
	Sputter rate	0.4 nm/sec(vs.Ta ₂ O ₅)	
	Sputter size	2*2 mm	

표 3.3 XPS 분석 및 에칭 조건.

3.3.2. Transmission electronic microscopy (TEM) analysis

XPS 분석과 동일한 목적으로 열처리 조건에 따라 코발트-크롬 합금 내에서 크롬의 거동을 정확히 분석하기 위해 TEM, EDS(Energy Dispersive X-ray Spectroscopy) 분석을 진행하였다. XPS 분석은 넓 은 영역 (400 μm)에 대해 에칭 시간에 따른 분석 데이터 이기 때문에 깊이 방향에 따른 정성적인 분석이 가능하지만 정확한 두께 등에 대한 정량적인 분석이 어려운 문제가 있다. 본 실험에서는 자가형성 확산방지 막의 정량적인 데이터 분석도 필요하기 때문에 TEM, EDS 분석을 병행 하여 진행하였다. TEM 시료 제작은 FIB(focused ion beam) 설비를 이 용하여 진행하였으며, TEM 및 EDS 분석은 Thermo Fisher Scientific 회사의 Themis Z 설비를 활용하여 진행하였다. TEM 설비 사진은 그림 3.6과 같다.



그림 3.6 TEM 설비: Themis Z (Thermo Fisher Scientific).

3.3.3. Atomic force microscopy (AFM) analysis

코발트-크롬 합금에서 자가형성 확산방지막이 형성되는 열처리를 진행 하는 동안 크롬은 계면에 균일하게 퍼져서 균일한 자가형성 확산방지막 을 형성해야 되며, 공동, 힐락, 어글로머레이션 등의 문제가 발생하면 안 된다. TEM과 EDS를 통해 확인한 데이터는 아주 협소한 영역의 결과이 므로 전체적으로 문제가 발생하는지 여부를 판단할 수는 없다. 이러한 문제 발생여부에 대해 대면적으로 검사를 하기 위해 AFM 검사를 실시 하였다. TEM은 수백 nm 정도의 영역만 확인 가능하지만, AFM을 통해 표면 거칠기를 100 μm²로 대면적을 정교하게 검사할 수 있었다. 이 정 도의 크기는 자가형성 확산방지막이 형성되는 동안 공동, 힐락, 어글로 머레이션 등의 문제 발생여부를 보증하기에 충분하다고 할 수 있다. 각 조건별로 열처리 전과 후에 대해 표면 거칠기 측정을 진행하였다. AFM 측정은 Park Systems 회사의 NX-10 모델을 활용하였으며, 설비 사진 은 그림 3.7과 같다.



그림 3.7 AFM 설비: NX-10 (Park Systems).

4. 결과 및 고찰

4.1. 계면 접합 에너지 분석

코발트 배선에서 크롬 도펀트를 활용하여 자가형성 확산방지막을 형성 하였을 때 코발트 계면에서 접합에너지 크기를 확인하기 위해 4점 굽힘 실험을 실시하였다. 순수한 코발트 막과 일반적인 확산방지막을 사용한 Ti/TiN/Co/TiN/Ti 구조에서는 열처리 전과 450 ℃ 열처리 조건을 평 가하였고, 코발트-크롬 합금에서는 크롬 농도를 4.7%, 7.5% 두 지 조 건에 대해 열처리 전, 350 ℃, 450 ℃ 열처리 조건을 각각 평가하였다. 모든 조건은 10개씩 실험을 진행하였다. 각 조건별로 대표적인 하중-변 위 그래프는 그림 4.1과 같다. 그림 4.1에서 알 수 있듯이 코발트-크롬 합금에서는 열처리 후 어떠한 계면에서도 박리가 발생하지 않았으며, 시 료 자체가 부러져 버렸다. 실제로 하중-변위 그래프에서도 하중의 안정 기 영역이 발생하지 않고 하중이 늘어나기만 하다가 실험이 종료되었는 데, 이는 샘플이 부러질 정도의 하중이 가해져서 초기 균열이 샘플을 관 통하는 동안 박막들 사이의 어떠한 계면에서도 박리가 발생하지 않았음 을 의미한다. 그러므로 이러한 경우에는 모든 계면에서의 접합에너지가 최고 하중에 의해 계산된 에너지보다 크다는 것만 알 수 있다. 그림 4.2 는 계면이 분리된 시료와 계면분리 없이 시편 자체가 부러진 경우의 사 진이다.

실험에서 특정 계면에서 박리가 발생한 경우 해당 계면의 접합에너지가 가장 작다는 것을 의미하게 된다. 그러므로 어느 박막과 박막사이의 계 면이 분리되었는지 분석하는 것 역시 중요하다. Co-4.7 at% Cr 시료에 서 열처리 전 조건에서는 계면 박리가 발생하여 박리된 시료의 상부와 하부 면을 XPS로 성분분석을 진행하였다. 결과는 그림 4.3 (a),



그림 4.1 450 ℃ 열처리 전과 후에 대한 4점 굽힘 평가의 변위-하중 곡선 그래프: (a) 순수한 코발트 시료(확산방지막이 없는 코발트), (b) Ti/TiN/Co/TiN/Ti (일반적인 확산방지막을 사용한 코발트), (c) Co-4.7 at% Cr(크롬 자가형성 확산방지막을 사용한 코발트 금속) (d) Co-7.5 at% Cr(크롬 자가형성 확산방지막을 사용한 코발트 금속).





그림 4.2 4점 굽힘 평가 후 시료 사진: (a) 계면 박리가 발생한 경우, (b) 게면 박리 없이 시료가 부러진 경우.



그림 4.3 4점 굽힘 평가 후 계면이 박리된 Co-4.7 at% Cr/SiO₂ 시료의 (a) 아래쪽 계면과 (b) 위쪽 계면의 XPS 스캔 스펙트럼.

(b)와 같다. XPS 피크 결과에서 확인되듯 하부의 SiO₂와 코발트 계면 사이가 박리되었음을 알 수 있다. 이 분석을 통해 코발트와 SiO₂ 계면 사이의 접합에너지가 가장 취약하다는 것을 알 수 있으며, 4점 굽힘 평 가를 통해 계산된 계면 접합에너지가 코발트와 SiO₂ 계면 사이의 값이 라는 것을 의미한다. 그러므로 본 실험은 Cr₂O₃가 해당 계면에 미치는 분석을 하기에 적합하다고 할 수 있다.

4점 굽힘 실험을 통해 각 조건 별 열처리 전과 후에 따른 계면 접합에 너지를 계산한 결과는 그림 4.4와 같다. 열처리 진행 전 순수한 코발트, Ti/TiN 확산방지막을 사용한 코발트, Co-4.7 at% Cr, Co-7.5 at% Cr 각각 2.3 J/m², 2.29 J/m², 2.58 J/m², 3.65 J/m² 수준으로 유사한 수준 으로 확인되어, 증착 직후에는 박막 조건에 상관없이 유사한 접합 에너 지를 보여주었다. 반면에, 450 ℃ 열처리 후에는 순수한 코발트의 경우 3.47 J/m², Ti/TiN 확산방지막을 사용한 코발트의 경우 7.66 J/m²으로 각각 열처리 전에 비해 1.5, 5.37 J/m² 증가를 보여주는데 그쳤으나, 코 발트-크롬 합금의 경우 크롬 4.7%, 크롬 7.5%의 경우 각각 13.64 J/m² 이상, 16.20 J/m² 이상으로 모두 11 J/m² 이상 향상되는 결과를 보여주었다. 열처리 전과 후 순수한 코발트와 Ti/TiN 확산방지막을 사 용한 코발트의 경우 코발트 계면에서의 박리를 보여주었다. 코발트-크 롬 합금의 경우 열처리 전에는 마찬가지로 코발트 계면에서의 박리를 보 여주었으나, 열처리 후에는 계면 박리 없이 시료 부러짐이 발생하여 정 확한 계면 접합 에너지 확인이 불가능하였다. 이는 코발트-크롬의 경우 열처리 과정을 통해 크롬이 코발트와 SiO₂ 계면 사이에 Cr₂O₃를 형성함 으로 인해 계면 접합 에너지를 극적으로 증가시켰다는 것을 의미한다. 열처리 후 기준으로 봤을 때, Cr₂O₃ 자가형성 확산방지막은 일반적인 확 산방지막인 Ti/TiN대비 코발트 배선의 계면 접합 에너지를 최소 63% 이상 향상시키는 것을 알 수 있다. 이는 Cr₂O₃ 확산방지막이 코발트와 유전체 사이 계면에 존재할 경우 코발트 원자의 일렉트로마이그레이션의 활성화 에너지를 효율적으로 높여준 다는 것을 의미하게 된다. 그러므로 코발트 배선에서 크롬 도펀트를 활용한 자가형성 확산방지막은 일렉트로

마이그레이션 관점에서 기존 확산방지막보다 양호한 확산방지막이라고 할 수 있다. 코발트-크롬에서 계면 접합에너지가 비약적으로 증가하는 현상은 350 ℃ 열처리에서도 동일하게 보여주었으며, 이는 Cr₂O₃ 자가 형성 확산방지막이 350 ℃ 열처리에서도 일렉트로마이그레이션 관점에 서 훌륭한 확산방지막을 제공한다는 것을 의미하게 된다. 각 조건 별 결 과 수치는 표 4.1에 정리되어 있다.



The Cracks penetrate through to the upper wafer

그림 4.4 확산방지막이 없는 코발트, 일반적인 확산방지막(Ti/TiN)을 사용한 코발트, 자가형성 확산방지막(Cr₂O₃)을 사용한 코발트의 계면 박 리 에너지 값(Gc).

comple	stacking order			Annealing	C_{1}	
sample	under dielectric	metal layer	upper dielectric	temperature	0 _C ()/III)	
#1	SiO ₂	Co	SiO ₂	As-dep.	2.30 ± 1.01	
#2	SiO ₂	Co	SiO ₂	450 °C	3.47 ± 0.87	
#3	SiO ₂	Ti/TiN/Co/TiN/Ti	SiO ₂	As-dep.	2.29 ± 0.84	
#4	SiO ₂	Ti/TiN/Co/TiN/Ti	SiO ₂	450 °C	7.66 ± 2.88	
#5	SiO ₂	Co-4.7 at% Cr	SiO ₂	As-dep.	2.58 ± 0.87	
#6	SiO ₂	Co-4.7 at% Cr	SiO ₂	350 °C	>19.87 ± 5.36	
#7	SiO2	Co-4.7 at% Cr	SiO ₂	450 °C	>13.64 ± 4.10	
#8	SiO ₂	Co-7.5 at% Cr	SiO ₂	As-dep.	3.65 ± 0.38	
#9	SiO ₂	Co-7.5 at% Cr	SiO ₂	350 °C	>12.46 ± 3.45	
#10	SiO2	Co-7.5 at% Cr	SiO2	450 °C	>16.20 ± 3.53	

표 4.1 4점 굽힘 평가 시료들의 스택 정보 및 계면 박리 에너지 값.

4.2. 단면 프로파일 분석

열처리가 진행되는 동안 SiO₂/Co-Cr/SiO₂ 구조에서 크롬 원자들이 코 발트와 SiO₂ 계면 사이로 이동하고 자가형성 확산방지막을 형성하는 현 상을 확인하기 위해서 XPS와 TEM, EDS 분석을 진행하였다. Co-4.7 at% Cr 합금 조건에서 열처리 전, 350 ℃와 450 ℃ 열처리 조건에서 각각 분석을 진행하였다.

우선 XPS를 통한 깊이 프로파일 분석 및 각 시료 별 크롬의 결합 에 너지 피크 분석 결과는 그림 4.5와 같다. 열처리 전에는 그림 4.5 (a)에 서 보이듯이 크롬이 코발트 영역 전체에 균일하게 분포하고 있는 것을 알 수 있다. 열처리를 진행하게 되면 그림 4.5 (b), (c)에서 보이듯 코발 트 내의 크롬이 코발트와 SiO₂ 계면 사이로 이동한 것을 알 수 있다. 350 ℃ 열처리를 통해서도 코발트 내부의 크롬을 계면으로 빼줄 수 있 다는 것을 알 수 있으며, 450 ℃ 열처리 과정에서는 더 많은 크롬이 계 면으로 빠져 나온다는 것을 알 수 있다. 이때 코발트와 SiO₂ 사이의 상, 하부 계면 및 코발트 금속 내부에서 각각 크롬 2p 오비탈의 전자 결합 에너지 피크 그래프는 그림 4.5(d)에 정리하였다. 열처리 전과 후 모두 금속 내부에서는 결합 에너지 피크가 575 eV와 584 eV에 존재하는데. 이 값들은 크롬 금속의 2p 결합 에너지 값이므로 코발트 금속 층 내부 에 존재하는 크롬 원자들은 금속 원자형태로 존재한다는 것을 알 수 있 다. 반면에 상부와 하부 계면에 존재하는 크롬 원자들의 결합 에너지 피 크는 577 eV 와 586 eV로 이동되어있는데, 이 값들은 Cr₂O₃ 물질에서 크롬의 2p 결합 에너지 값에 해당되므로 계면에서의 크롬은 Cr₂O₃ 형태 로 존재한다는 것을 보여준다. [48-51] 주목해야 될 부분은 열처리를 하지 않은 시료도 계면에서 Cr₂O₃ 형태의 피크를 보여준다는 점이다. 이 는 코발트와 SiO2 계면에 존재하는 크롬이 열처리를 받지 않더라도 자 발적으로 반응하여 Cr₂O₃로 존재하게 된다는 것을 의미하게 된다. 즉, 자가형성 확산방지막 형성과정에서 열처리는 코발트 내부에 존재하는 크 롬을 계면으로 빼주는 역할을 하며, 계면에 도착한 크롬은 낮은 활성화 에너지로 인해 열처리 온도와 무관하게 Cr₂O₃로 변한다는 것을 알 수 있다.



그림 4.5 SiO₂/Co-4.7 at% Cr/SiO₂ 구조의 XPS 깊이 프로파일: (a) 증착 직후, (b) 350 ℃ 열처리 후, (c) 450 ℃ 열처리 후. (d) 코발트-크롬 금속 층과 SiO2 사이의 상부 계면, 금속 내부 및 하부 계면에서 크롬 2p 오비탈 결합 에너지 피크.

TEM과 EDS 분석 데이터에서도 동일한 결과를 확인할 수 있다. 그림 4.6은 Co-4.7 at% Cr 합금 조건에서 열처리 전, 350 °C와 450 °C 열 처리 조건 시료의 TEM 및 EDS 데이터이다. 앞서 XPS의 결과와 마찬 가지로 열처리 전의 시료는 그림 4.6 (a)와 같이 크롬이 코발트 금속 층 내부에만 고르게 퍼져 있는 것을 알 수 있으나, 열처리 이후에는 그림 4.6 (b), (c)와 같이 코발트 내부의 크롬이 코발트와 SiO₂ 사이의 계면 으로 이동한다는 것을 알 수 있다. EDS 데이터를 통해서도 450 °C 열 처리 조건이 크롬을 더 효과적으로 이동시켜준다는 것을 알 수 있다. 이 때 450 °C 열처리 시료에서 크롬 성분에 대한 EDS 라인 스캔 결과는 그림 4.7과 같다. 해당 데이터로부터 상부 계면과 하부계면에 존재하는 Cr₂O₃ 막질의 두께를 반전치폭 값으로 계산하면 각각 2.1 nm와 3.0 nm 라는 것을 알 수 있다. 즉, 코발트-크롬 합금 배선은 350 °C 이상의 열 처리를 통해 Cr₂O₃ 자가형성 확산방지막 층을 만드는데 해당 자가형성 확산방지막 층은 2.5 nm로 얇고 균일한 막질을 형성한다는 것을 알 수 있다.



그림 4.6 Co-4.7 at% Cr/SiO₂ 구조의 단면도 TEM과 EDS 분석 이미 지: (a) 증착 직후, (b) 350 ℃에서 1시간 열처리 후, (c) 450 ℃에서 1 시간 열처리 후.



그림 4.7 Co-4.7 at% Cr/SiO₂ 구조 시료의 450 ℃에서 1시간 열처리 후 크롬 성분의 EDS 라인 스캔 데이터.

4.3. 박막의 표면 분석

앞서 XPS와 TEM, EDS 데이터를 통해 코발트-크롬 합금에서 열처리 과정 중에 크롬이 코발트와 SiO₂ 계면 사이로 이동하여 Cr₂O₃를 형성한 다는 것을 확인하였다. 이 과정에서 Cr이 특정 부분으로 몰려서 공동. 힐락을 만들면 안되고 표면에너지 등의 문제로 어글로머레이션을 만들어 서도 안 된다. 앞서 TEM 데이터에서 Cr₂O₃가 얇고 균일한 막으로 확인 되었으나 국부적인 데이터이므로 더 넓은 영역에 대해 확인을 할 필요가 있다. AFM을 통하여 10x10 μm² 영역에 대해 표면 거칠기 정도 분석 을 하여 Cr₂O₃ 자가형성 확산방지막 형성 중 공동, 힐락, 어글로머레이 션 등의 문제가 발생하는지 여부를 확인하였다. 열처리 전과 450 ℃ 열 처리 후에 대해 각각 측정을 진행하였으며, 측정된 이미지는 그림 4.8과 같으며, 제곱 평균 근 (root mean square) 값 결과 데이터는 그림 4.9 와 같다. 순수한 코발트와 일반적인 확산방지막을 사용하는 코발트의 경 우 열처리 이후 열처리 전에 대비하여 표면 거칠기가 15~33% 정도 나 빠지는 모습을 보여주었다. 반면에 코발트-크롬 합금의 경우 열처리 이 후 표면 거칠기가 17~40% 정도 개선을 보여주었다. 코발트-크롬의 경 우 표면 거칠기가 좋아진 것은 물론이고 순수한 코발트나 일반적인 확산 방지막을 사용한 코발트 대비하여 열처리 후 표면 거칠기가 25~48% 정도 작은 값을 보여주었다. 이는 그림 4.8의 표면 이미지에서도 잘 확 인할 수 있다. 그림 4.8 (b), (d)에서 보이듯 순수한 코발트와 일반적인 확산방지막을 사용한 코발트는 열처리 후 표면에 비 정상적으로 높게 튀 어나온 부분들이 확인되는 반면, 그림 4.8 (f), (h)에서와 같이 코발트-크롬 합금의 경우 열처리 후 표면이 깔끔한 것을 알 수 있다. 이는 열처 리를 통해 크롬이 코발트와 SiO₂ 계면 사이로 이동하여 Cr₂O₃ 막질이 형성될 때 표면에 불량을 만들지 않고 균일하게 형성된다는 것을 의미하 게 된다. 이 AFM 데이터들은 코발트-크롬 합금에서 450 ℃의 열처리 를 통해 공동, 힐락, 어글로머레이션 등의 문제없이 균일한 Cr₂O₃ 막이 형성된 다는 것을 보여주며, Cr₂O₃ 막이 코발트 막질의 열화도 막아준다



그림 4.8 AFM 표면 스캔 이미지, (a)와 (b)는 각각 코발트 막의 열처리 전과 후의 이미지, (c)와 (d)는 각각 Ti/TiN/Co/TiN/Ti 시료의 열처리 전과 후의 이미지, (e)와 (f)는 각각 Co-4.7 at% Cr 막의 열처리 전과 후의 이미지, (g)와 (h)는 각각 Co-7.5 at% Cr 막의 열처리 전과 후의 이미지.



그림 4.9 증착된 금속 조건 별로 450 ℃의 1시간 열처리 전과 후의 표 면 거칠기 제곱 평균 근 데이터.
5. 요약 및 결론

코발트 금속은 현재 반도체 배선으로 사용되고 있는 구리 금속을 대체 할 것으로 예상되는 물질 중 하나이다. 코발트 배선에서 더 낮은 저항을 위해 크롬 도펀트와 열처리를 통해 얇은 Cr₂O₃ 확산방지막을 형성하는 연구가 선행되었으며, 본 논문에서는 해당 Cr₂O₃ 층이 코발트 배선과 유 전체 사이의 결합 에너지에 미치는 영향에 대하여 연구를 진행하였다.

SiO₂/Co-Cr 합금/SiO₂ 구조에서 350 ℃ 이상의 열처리를 통해 코발 트 내부에 존재하는 크롬 원자가 코발트와 SiO₂ 계면 사이로 빠져 나와 Cr₂O₃ 막질을 형성하여 SiO₂/Cr₂O₃/Co/Cr₂O₃/SiO₂ 구조를 만드는 것을 확인하였으며, 450 ℃ 열처리를 통해 Cr₂O₃는 2.5 nm 로 얇고 균일하게 형성된다는 것이 확인되었다. 이때 열처리 과정 중에 공동, 힐락, 어글로 머레이션 등의 불량 없이 넓은 면적에 걸쳐 균일한 Cr₂O₃ 막질이 형성 된다는 것도 확인하였다. 4점 굽힘 평가를 통해 Cr₂O₃ 자가형성 확산방 지막이 코발트와 유전체 사이의 계면 접합 에너지를 매우 효율적으로 높 여준다는 것을 밝혀냈는데, 이는 확산방지막이 없거나 일반적인 확산방 지막(Ti/TiN)을 사용하는 경우보다 최소 63% 이상 높은 계면 접합에너 지를 가지는 것으로 확인되었다. 접합에너지 관점에서는 350 ℃ 이상의 열처리도 충분한 조건이라는 것이 확인되었다.

본 논문의 결과는 Cr₂O₃ 자가형성 확산방지막 막질이 일렉트로마이그 레이션 관점에서 아주 효과적인 역할을 할 수 있다는 것을 보여주는 증 거이며, 해당 자가형성 확산방지막을 통해 코발트 배선의 적용 가능성을 확인했다는 데에 의의가 있다.

58

참고 문헌

- Pawel M. Krolikowski et al., "Semiconductor Shortages and Vehicle Production and Prices", Economic Commentary (2021), doi: 10.26509/frbc-ec-202117
- Fortune business insights, https://www.fortunebusinessinsights.com/semiconductormarket-102365
- [3] Wikipedia, transistor count, https://en.wikipedia.org/wiki/transistor_count
- [4] Wikipedia, Instructions per second, https://en.wikipedia.org/wiki/Instructions_per_second
- Krutideepa Bhol et al., "Journey of MOSFET from Planar to Gate All Around: A Review", Recent Patents on Nanotechnology, 2022, 16, 326-332
- [6] Wu CC et al., "High performance 22/20nm FinFET CMOS devices with advanced high-K/metal gate scheme." International Electron Devices Meeting 2010; 21-7, doi.org/10.1109/IEDM.2010.5703430
- [7] Huang X et al., "Sub 50-nm FinFET: PMOS Int electron devices meeting tech nical dig." Washington. 1999; pp. 67-70

59

- [8] Singh A, Pandey CK. "Improved DC performances of Gateall- around Si-nanotube tunnel FETs using gate-source overlap." Silicon 2021.
- [9] Ramakrishna P et al., "Implementation of low power and area efficient 7-bit flash analog to digital converter." J Comput Theor Nanosci 2019; 16: 2213-7, doi.org/10.1166/jctn.2019.7875
- [10] Murarka, S.P., "Materials aspects of copper interconnection technology for semiconductor applications.", Materials Science and Technology July 2001 Vol.17 748, doi.org/10.1179/026708301101510564
- K. -H. Han et al., "Reliable integration of robust porous ultra low-k (ULK) for the advanced BEOL interconnect," 2013 IEEE International Interconnect Technology Conference -IITC, 2013, pp. 1-3, doi: 10.1109/IITC.2013.6615552.
- [12] Murarka, S.P. et al., "Copper metallization for ULSL and beyond. Crit. Rev. Solid State Mater. Sci. 20, 87 (1995)", doi.org/10.1080/10408439508243732
- [13] C. -K. Hu et al., "Electromigration and resistivity in on-chip Cu, Co and Ru damascene nanowires," 2017 IEEE International Interconnect Technology Conference (IITC), 2017, pp. 1-3, doi: 10.1109/IITC-AMC.2017.7968977.
- [14] H. Warashina et al., "Advanced Air Gap Formation Scheme

Using Volatile Material," 2021 IEEE International Interconnect Technology Conference (IITC), 2021, pp. 1-3, doi: 10.1109/IITC51362.2021.9537549.

- [15] A. Lesniewska et al., "Reliability of a DME Ru Semidamascene scheme with 16 nm wide Airgaps," 2021 IEEE International Reliability Physics Symposium (IRPS), 2021, pp. 1-6, doi: 10.1109/IRPS46558.2021.9405192.
- [16] K. Chen, C. Hu, P. Fang, M. R. Lin and D. L. Wollesen, "Predicting CMOS speed with gate oxide and voltage scaling and interconnect loading effects," in IEEE Transactions on Electron Devices, vol. 44, no. 11, pp. 1951–1957, Nov. 1997, doi: 10.1109/16.641365.
- T. Gupta, Copper Interconnect Technology. New York, NY: Springer New York (2009), doi: 10.1007/978-1-4419-0076-0.
- [18] International Technology Roadmap for Semiconductors (ITRS), Interconnect, http://www.itrs2.net/2013-itrs.html (2013)
- [19] Daniel Gall, "The search for the most conductive metal for narrow interconnect lines", J. Appl. Phys. 127, 050901 (2020); doi: 10.1063/1.5133671
- [20] Chandran, B. et al., "The Mechanical Side of Ultra-Low k: Can it take the Strain?, Future Fab. Intl., Vol. 17, June 2004

- [21] S. Muthukumar et al., "High-density compliant die-package interconnects," in Proceedings - Electronic Components and Technology Conference, vol. 2006, pp. 1233-1238 (2006), doi: 10.1109/ECTC.2006.1645810
- [22] C. Adelmann et al., "Alternative metals for advanced interconnects," IEEE International Interconnect Technology Conference, 2014, pp. 173-176, doi: 10.1109/IITC.2014.6831863.
- [23] S. Dutta et al., "Sub-100 nm2 Cobalt Interconnects," in IEEE Electron Device Letters, vol. 39, no. 5, pp. 731-734, May 2018, doi: 10.1109/LED.2018.2821923.
- [24] International Roadmap for Devices and Systems (IRDS), More Moore, https://irds.ieee.org/editions/2022 (2022)
- [25] K. Croes et al., "Interconnect metals beyond copper: reliability challenges and opportunities," 2018 IEEE International Electron Devices Meeting (IEDM), 2018, pp. 5.3.1-5.3.4, doi: 10.1109/IEDM.2018.8614695.
- [26] D. Gall, "Electron mean free path in elemental metals," J.Appl. Phys., vol. 119, no. 8 (2016) doi: 10.1063/1.4942216.
- [27] D. Gall, A. Jog and T. Zhou, "Narrow interconnects: The most conductive metals," 2020 IEEE International Electron Devices Meeting (IEDM), 2020, pp. 32.3.1-32.3.4, doi:

10.1109/IEDM13553.2020.9372060.

- [28] W.H. Qi et al., "Modeling cohesive energy and melting temperature of nanocrystals", J. Phys. Chem., vol. 67, issue 4 (2006), doi.org/10.1016/j.jpcs.2005.12.003.
- [29] D. Tierno et al., "Reliability of Barrierless PVD Mo," 2021
 IEEE International Interconnect Technology Conference (IITC), 2021, pp. 1-3, doi: 10.1109/IITC51362.2021.9537545.
- [30] A. Lesniewska et al., "Dielectric Reliability Study of 21 nm Pitch Interconnects with Barrierless Ru Fill," 2020 IEEE International Reliability Physics Symposium (IRPS), 2020, pp. 1-6, doi: 10.1109/IRPS45951.2020.9129246.
- [31] R. Brain, "Interconnect scaling: Challenges and opportunities," 2016 IEEE International Electron Devices Meeting (IEDM), 2016, pp. 9.3.1-9.3.4, doi: 10.1109/IEDM.2016.7838381.
- [32] O. V. Pedreira et al., "Reliability study on cobalt and ruthenium as alternative metals for advanced interconnects," 2017 IEEE International Reliability Physics Symposium (IRPS), 2017, pp. 6B-2.1-6B-2.8, doi: 10.1109/IRPS.2017.7936340.
- [33] I. Ciofi et al., "RC Benefits of Advanced Metallization Options," in IEEE Transactions on Electron Devices, vol. 66, no. 5, pp.

2339-2345, May 2019, doi: 10.1109/TED.2019.2902031.

- [34] C. Kim. (2022), "Design and Electrical Reliability of Co Alloy Self-Forming Barrier for Advanced Interconnects" (Doctoral dissertation, Seoul National University), Seoul National University.
- [35] Lane, M.W. et al., "Relationship between interfacial adhesion and electromigration in Cu metallization", J. Appl. Phys. 93, 1417 (2003). doi.org/10.1063/1.1532942
- [36] J. R. Lloyd, M. W. Lane, E. G. Liniger, C. . -K. Hu, T. M. Shaw and R. Rosenberg, "Electromigration and adhesion," in IEEE Transactions on Device and Materials Reliability, vol. 5, no. 1, pp. 113-118, March 2005, doi: 10.1109/TDMR.2005.846308.
- [37] J. Koike et al., "Self-forming diffusion barrier layer in Cu-Mn alloy metallization", A. Phys. Lett. 87, 041911(2005), doi.org/10.1063/1.1993759
- [38] J. Koike, "Cu alloy interconnect for advanced Si semiconductors," Seoul National University Seminar (2009)
- [39] D. Y. Moon et al., "Plasma-enhanced atomic layer deposition of Cu-Mn films with formation of a MnSixOy barrier layer", Thin Solid Films 521 (2012) 146-149, doi.org/10.1016/j.tsf.2012.02.015.

64

- [40] J. Koike, M. Haneda, J. Iijima and M. Wada, "Cu Alloy Metallization for Self-Forming Barrier Process," 2006 International Interconnect Technology Conference, 2006, pp. 161-163, doi: 10.1109/IITC.2006.1648676.
- [41] T. Nogami et al., "Through-Cobalt Self Forming Barrier (tCoSFB) for Cu/ULK BEOL: A novel concept for advanced technology nodes," 2015 IEEE International Electron Devices Meeting (IEDM), 2015, pp. 8.1.1-8.1.4, doi: 10.1109/IEDM.2015.7409651.
- [42] T. Nogami et al., "Electromigration extendibility of Cu(Mn) alloy-seed interconnects, and understanding the fundamentals," 2012 International Electron Devices Meeting, 2012, pp. 33.7.1-33.7.4, doi: 10.1109/IEDM.2012.6479161.
- [43] A. Buerke et al., "Study of Electromigration Damage in Al Interconnect Lines inside a SEM", Cryst. Res. Technol. 35 (2000) 6-7, doi.org/10.1002/1521-4079(200007)35:6/7<721::AID-CRAT721>3.0.CO;2-2
- [44] M. H. Lin et al., "Copper interconnect electromigration behaviors in various structures and lifetime improvement by cap/dielectric interface treatment", Microelectronics Reliability 45 (2005) 1061-1078, doi.org/10.1016/j.microrel.2004.11.055
- [45] O. V. Pedreira et al., "Assessment of critical Co electromigration parameters," 2022 IEEE International

Reliability Physics Symposium (IRPS), 2022, pp. 8C.2-1-8C.2-7, doi: 10.1109/IRPS48227.2022.9764427.

- [46] Charalambides et al., "A Test Specimen for Determining the Fracture Resistance of Bimaterial Interfaces." ASME. J. Appl. Mech. March 1989; 56(1): 77-82. doi.org/10.1115/1.3176069
- [47] R.H. Dauskardt et al., "Adhesion and debonding of multilayer thin film structures", Engineering Fracture Mechanics, Volume 61, Issue 1, 1998, Pages 141-162, doi.org/10.1016/S0013-7944(98)00052-6.
- [48] E. Agostinelli et al., "An XPS study of the electronic structure of the ZnxCd1-xCr2(X = S, Se) spinel system", Journal of Physics and Chemistry of Solids, Volume 50, Issue 3, 1989, Pages 269-272, doi.org/10.1016/0022-3697(89)90487-3.
- [49] Mischler, S. et al., "The investigation of passive films on ironchromium alloys by AES and XPS", Surf. Interface Anal. 12, 429 (1988), doi.org/10.1002/sia.740120712
- [50] Conner, G. R. "Combination analysis of metal oxides using ESCA, AES, and SIMS." Journal of Vacuum Science and Technology 15.2 (1978): 343-347, doi.org/10.1116/1.569543
- [51] Desimoni, E., et al. "An x-ray photoelectron spectroscopic

study of some chromium-oxygen systems." Surface and interface analysis 13.2-3 (1988): 173-179, doi.org/10.1002/sia.740130210

Abstract

A Study on the Interfacial Adhesion Energy of Cr₂O₃, Self-Forming Barrier for Advanced Co Interconnects

Soon-Gyu, Hwang Material science and engineering The Graduate School Seoul National University

Since its emergence, the semiconductor industry has been continuously increasing the transistor density and the speed. Based on this, the field of application has been greatly expanded. This increase in density and speed was made possible by reducing the size of the semiconductor transistor, and the side effects caused by reducing the size have been solved by changing the structure and materials.

Currently, Cu is used as semiconductor interconnects material. As the size is reduced, the problem of increasing resistivity and RC delay due to the increase in scattering of electrons generated at the interface and grain boundary is emerging. In order to solve this problem, Co and Ru, which have low bulk resistivity (ρ_0) and short electron mean free path (EMF: λ), have a small effect of increasing resistivity due to size reduction, so they are being considered as candidates for next-generation interconnect materials. Because these two materials have a smaller $\rho_0 \times \lambda$ value, the effect of increasing resistivity due to electron scattering that occurs as the size decreases is smaller than that of Cu. Meanwhile, in the case of Co, like Cu, a barrier metal is required for interconnect reliability. The barrier metal of Co must satisfy both reliability of time dependent dielectric breakdown (TDDB) and electromigration (EM). TDDB is a problem that occurs when Co penetrates into the dielectric, and EM is a phenomenon in which Co moves in the direction in which electrons flow. In addition, there is a requirement to reduce the thickness of the barrier and increase the volume of Co metal as much as possible in order to reduce the resistance within the limited interconnect area.

As a solution to these problems, a technology for making a selfforming barrier (SFB) using Cr dopant in Co interconnects has been studied. It was confirmed that Cr, which doped in the Co metal, migrated between the Co and the dielectric interface during annealing process to form a thin film of Cr_2O_3 . In the voltage ramp dielectric breakdown (VRDB) tests, it has been proven that Cr2O3 effectively prevents Co from penetrating into the dielectric material. However, there was no study on the Cr2O3 SFB from an EM point of view.

In this thesis, SFB of Co interconnects was studied from the EM point of view. In the case of Co interconnects, it is known that the EM phenomenon occurs at the interface between the interconnect and the dielectric because the EM Ea (activation energy) of the Co atom is the lowest at the interface. Since EM Ea is proportional to the adhesion energy at the interface, when the adhesion energy of the interface is large, the EM reliability is good because of large EM Ea. Conversely, when the adhesion energy is small, Ea becomes small, which leads to deterioration of EM reliability. In this study, the EM reliability was indirectly confirmed through the analysis of

interfacial energy of Co interconnects. For structures the SiO₂/Co/SiO₂ that does not use а barrier metal, SiO₂/Ti/TiN/Co/TiN/Ti/SiO₂ that uses a conventional barrier metal, $SiO_2/Co-Cr/SiO_2$ that uses SFB, the interfacial adhesion energy analysis was conducted before and after annealing through 4-point bending test. It was confirmed that the interfacial energy values of the three structures were not significantly different before annealing, but it was confirmed that the interfacial energy of the $SiO_2/Co-Cr/SiO_2$ structure increased by 63% or more compared to the previous two structures at the annealing of 350 ° C or higher. At this time, through X-ray photoelectron spectroscopy (XPS), transmission electron microscopy (TEM) and energy-dispersive X-ray spectroscopy (EDS) analysis, it was confirmed that Cr from the Co-Cr alloy segregates to the interface during the annealing process to form Cr_2O_3 , resulting in a $SiO_2/Cr_2O_3/Co/Cr_2O_3/SiO_2$ structure, and it was confirmed that the Cr2O3 layer was formed to a thickness of 2.5 nm. In addition, through surface analysis before and after annealing using atomic force microscopy, problems such as void, hillock and agglomeration do not occur while Cr₂O₃ SFB is formed, and the problem of deterioration of the Co surface that may occur during annealing was effectively blocked by Cr₂O₃ layer.

This study confirmed that the $Co/Cr_2O_3/SiO_2$ structure was formed through annealing in the $Co-Cr/SiO_2$ structure, and proved that Cr_2O_3 SFB was effective in improving the EM reliability of Co interconnects without side effects such as voids, and hillocks. It is significant in that it expands the possibility of Co interconnects as a next-generation interconnect material.

Keywords: semiconductor, back end of line (BEOL), interconnect,

CoCr, self-forming barrier (SFB), electromigration (EM), adhesion energy Student Number: 2021-28462