



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

밴드갭 엔지니어링이 적용된 터널링
산화막을 사용한 3차원 전하 트랩
낸드 플래시 메모리의 내구성 열화
조사

Investigation of endurance degradation for
3-D charge trap NAND flash memory with
bandgap-engineered tunneling oxide

2023 년 2 월

서울대학교 대학원

전기정보공학부

김 종 우

밴드갭 엔지니어링이 적용된 터널링
산화막을 사용한 3차원 전하 트랩
낸드 플래시 메모리의 내구성 열화
조사

Investigation of endurance degradation for
3-D charge trap NAND flash memory with
bandgap-engineered tunneling oxide

지도 교수 신 형 철

이 논문을 공학석사 학위논문으로 제출함
2023 년 2 월

서울대학교 대학원
전기정보공학부
김 중 우

김중우의 공학석사 학위논문을 인준함
2023 년 2 월

위 원 장 _____ 이 수 연 _____ (인)

부위원장 _____ 신 형 철 _____ (인)

위 원 _____ 송 익 현 _____ (인)

초 록

3차원 전하 트랩 낸드 플래시 메모리는 비트당 가격을 낮추고 큰 용량을 구현하는데 경쟁력이 있어 SSD (Solid State Drive), 스마트폰, 범용 플래시 저장장치 (UFS) 등 다양한 기기에 널리 사용되고 있다. 낸드 플래시 메모리는 Fowler-Nordheim (FN) 터널링을 사용하여 program 동작과 erase 동작을 반복적으로 수행한다. 그 과정에서 FN 전류 스트레스로 인해 interface trap (N_{it}) 과 산화막에 bulk trap (N_{ot}) 이 생성되고, bulk trap에 전하가 트랩 된다. 그 결과 subthreshold swing (SS) 증가, transconductance (g_m) 감소, mid-gap 전압 변화가 발생하고, 그에 따라 문턱 전압 (V_T)이 변화하여 read error bit을 증가시키는 문제를 일으킨다.

이 논문에서는 program/erase (P/E) cycling 스트레스에 의한 밴드갭 엔지니어링이 적용된 터널링 산화막 (BE-TOX)을 사용한 3차원 전하 트랩 낸드 플래시 메모리의 내구성 열화에 대해 연구하였다. 먼저 P/E cycling 실험을 진행하여 cell 특성 열화를 관찰하고 분석하였다. Erase된 상태와 program된 상태의 mid-gap 전압 변화가 서로 다르게 나타나는데, 소자 구조 및 P/E 동작 특성을 고려하여 이러한 현상을

설명하는 메커니즘을 제시하였다. 그리고 technology computer-aided design (TCAD)을 통해 제안한 메커니즘을 검증하였다.

또한, 측정된 소자와 똑같이 TCAD 시뮬레이션 구조를 구현하여 cell 전류 fitting을 진행하였다. 이를 통해 P/E cycling 스트레스에 의한 interface trap density (D_{it})와 BE-TOX내 bulk trap density (D_{ot})를 추출하였다. D_{it} 와 D_{ot} 는 P/E cycling 스트레스의 멱함수 (power function)에 비례하여 증가하는 특성을 보였다.

마지막으로, program 스트레스와 erase 스트레스 강도를 조절하여 각 동작이 cell 특성 열화에 미치는 영향을 확인하는 추가 실험을 진행하였다. Cell 특성 열화는 주로 erase 동작에서 발생함이 확인되었다. 특히, 3차원 낸드 플래시에서는 처음으로 polysilicon channel에서 전하 트랩 nitride (CTN) 으로의 정공 터널링이 cell 특성을 나쁘게 만드는 주요 메커니즘임을 실험을 통해 확인하였다.

주요어 : 3차원 낸드 플래시 메모리, program/erase cycling 스트레스, 내구성 열화, mid-gap 전압, 정공 터널링 전류, TCAD 전류 fitting

학 번 : 2021-29016

목 차

제 1 장 서론.....	1
제 2 장 내구성 열화 측정 및 분석.....	5
제 1 절 내구성 열화 측정 세부사항.....	5
제 2 절 내구성 열화 측정 결과 및 분석.....	8
제 3 절 Mid-gap 전압 변화 메커니즘.....	13
제 4 절 Mid-gap 전압 변화 메커니즘 검증.....	19
제 3 장 TCAD 시뮬레이션을 통한 측정 결과 분석.....	26
제 1 절 TCAD 시뮬레이션 설정.....	26
제 2 절 순수 초기 cell 전류 fitting.....	28
제 3 절 P/E cycling 스트레스에 따른 cell 전류 fitting.....	30
제 4 장 내구성 열화 추가 실험 및 분석.....	37
제 1 절 추가 실험 조건 세부사항.....	37
제 2 절 실험 결과 및 분석.....	38
제 5 장 결론.....	44
참고문헌.....	46
Abstract.....	50

표 목차

[표 1]	23
-------------	----

그림 목차

[그림 1]	2
[그림 2]	3
[그림 3]	5
[그림 4]	7
[그림 5]	10
[그림 6]	12
[그림 7]	14
[그림 8]	16
[그림 9]	18
[그림 10]	19
[그림 11]	20
[그림 12]	22
[그림 13]	24
[그림 14]	25
[그림 15]	27
[그림 16]	28
[그림 17]	29
[그림 18]	31
[그림 19]	33
[그림 20]	35
[그림 21]	36
[그림 22]	37
[그림 23]	40
[그림 24]	42

제 1 장 서 론

3차원 전하 트랩 낸드 플래시 메모리는 가격 경쟁력, 대용량 구현 그리고 더 좋은 성능과 신뢰성 덕분에 최근 몇 년간 빠르게 2차원 플로팅 게이트 플래시 메모리를 대체하였다 [1]–[5]. 하지만, 낸드 플래시 메모리는 반복적인 program/erase (P/E) cycling 스트레스에 의해 cell 성능이 저하되는 피할 수 없는 신뢰성 문제를 가지고 있다. 일반적으로 낸드 플래시 메모리를 program하고 erase하는데 Fowler–Nordheim (FN) 터널링이 사용된다. 산화막을 통과하며 흐르는 FN 터널링 전류에 의해 interface trap이 생성되고, 또한 산화막에 트랩 된 전하의 양의 증가하게 된다 [6]–[9]. 그로 인해 mid-gap 전압 변화, subthreshold swing (SS) 증가, transconductance (g_m) 감소와 같은 cell 특성 열화가 발생하고, 그림 1과 같이 문턱전압 (V_T) 산포가 변한다. V_T 산포 변화가 커지면 read error bit이 증가하여 신뢰성 문제를 유발한다.

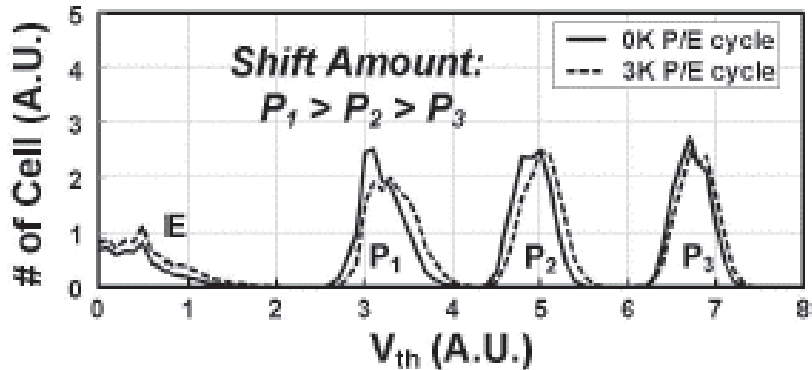
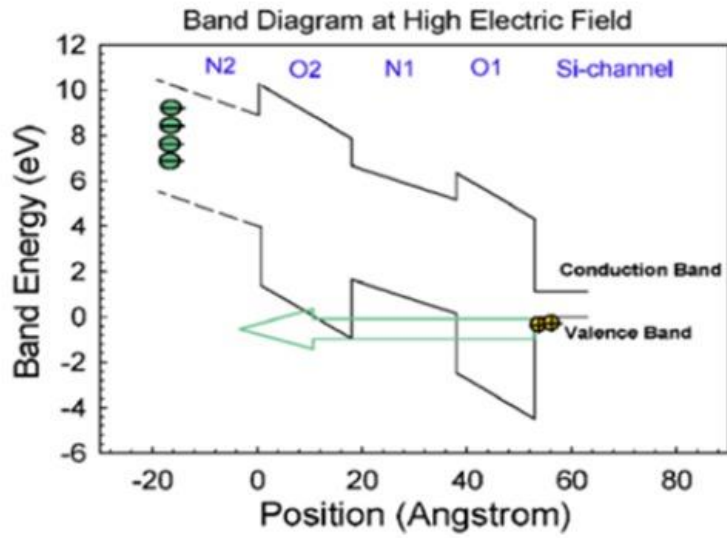
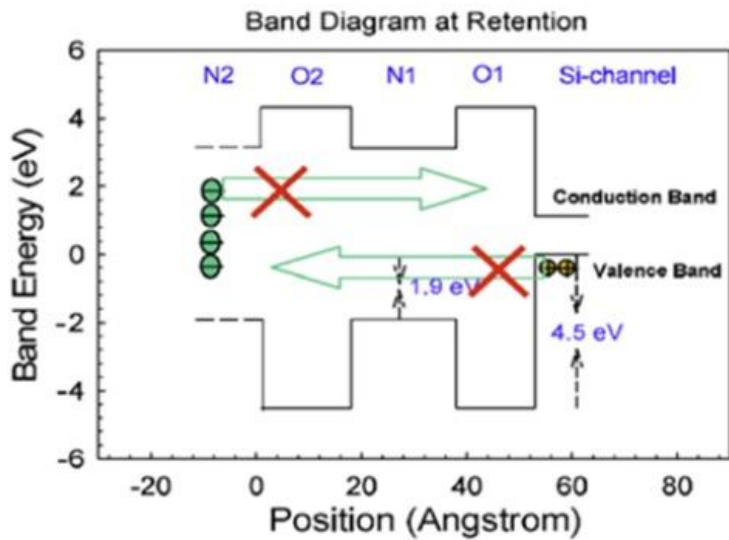


그림 1. P/E cycling 스트레스에 의해 발생한 1 block 문턱전압 (V_T) 산포 변화 (P/E cycle 0k vs 3k 비교, 상온에서 실험). [10]

2차원 낸드 플래시 메모리에서는 P/E cycling 스트레스에 의한 내구도 열화에 대해서 여러 연구들이 진행되었지만 [11]–[16], 아직 3차원 낸드 플래시 메모리에 대한 충분한 연구가 이루어지지 않았다. 3차원 낸드 플래시 메모리는 2차원 낸드 플래시 메모리와는 달리 저장 공간으로 전하 트랩 nitride (CTN)을 사용하고, channel 물질로 polysilicon을 사용한다. 또한, 그림 2(a)와 같이 erase 성능을 향상시키면서 동시에 그림 2(b)와 같이 retention 특성도 개선하기 위해 산화막 안에 nitride (N1)층을 형성한 밴드갭 엔지니어링이 적용된 터널링 산화막 (BE-TOX)을 사용한다 [17]–[19].



(a)



(b)

그림 2. 밴드갭 엔지니어링이 적용된 터널링 산화막 (BE-TOX)을 가진 NAND flash의 (a) Erase 동작에서의 에너지 밴드 다이어그램. (b) Retention 모드에서의 에너지 밴드 다이어그램. [19]

그에 더해 전자 터널링과 정공 터널링을 모두 사용하여 P/E 동작을 수행하기 때문에 터널링 산화막에 트랩 된 전하들이 서로 반대되는 전하와 재결합할 수 있다. 따라서 이러한 3차원 낸드 플래시 메모리 특성들을 고려하여 내구도 열화에 대한 연구가 필요하다.

본 논문은 P/E cycling 스트레스에 의한 3차원 낸드 플래시 메모리의 V_T 변화와 내구도 열화 메커니즘을 분석하는데 집중하였다. 2장에서는 P/E cycling 실험을 진행하여 cell 특성 열화를 관찰하고 분석하였다. 3장에서는 technology computer-aided design (TCAD)를 통해 측정된 데이터를 분석하였다. 측정된 소자와 동일하게 시뮬레이션 구조를 구성하고, cell 전류 fitting을 진행하여 interface trap density (D_{it})와 BE-TOX내 bulk trap density (D_{ot})를 확인하였다. 마지막으로 4장에서는 program 스트레스와 erase 스트레스를 조절하는 추가실험을 진행하여 cell 특성 열화에 영향을 주는 요소를 확인하였다.

제 2 장 내구성 열화 측정 및 분석

제 1 절 내구성 열화 측정 세부 사항

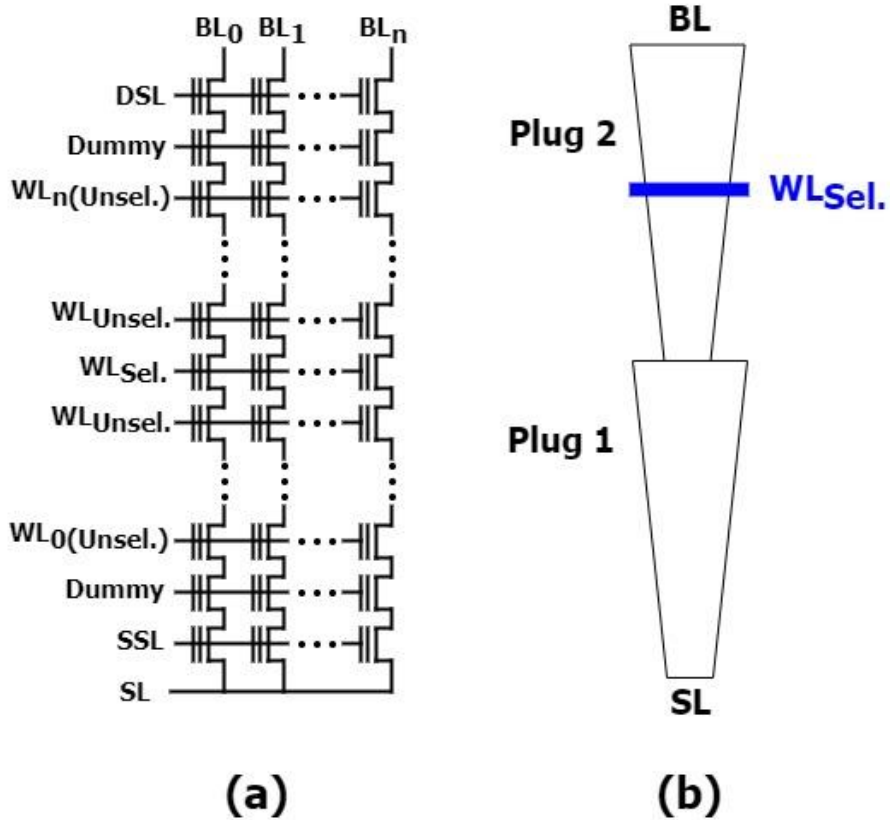


그림 3. P/E cycling test를 진행한 test element group의 (a) 회로. (b) Multi-stack 구조의 단면도.

그림 3(a)는 3차원 낸드 플래시 메모리의 P/E cycling 스트레스에 의한 내구성 열화 측정을 위해 사용한 test element group (TEG)의 구조를 보여준다. TEG는 100개의 cell string이 병렬로 연결되어 있으며, cell string은 bit line (BL), drain select line (DSL), main word line

(WL), dummy WL (WL_{Dummy}), source select line (SSL) 과 source line (SL)로 이루어져 있다. TEG는 그림 3(b)와 같이 multi-stack이 적용되어 있는 소자이고 [20], 측정은 plug 2의 가운데 WL에서 진행하였다. P/E cycling은 50k cycles까지 진행하였으며, 특정 cycling (1, 0.5k, 1k, 2k, 3k, 5k, 10k, 20k, 30k, 40k, 50k) 후에 cell 전류를 ($I_{\text{BL}}-V_{\text{G}}$ curve) 측정하였다. 측정 시 선택된 WL (WL_{Sel})은 -6V부터 6V까지 변경하였고, 선택된 WL을 제외한 나머지 모든 WL에는 6V, BL에는 0.5V, SL에는 0V가 인가되었다. 문턱전압 (V_{T})은 constant current method로 측정하였고, 기준은 하나의 cell string에서 흐르는 전류가 50nA 일 때로 정하였다. SS는 V_{T} 측정 기준인 50nA 보다 1000배 작은 50pA부터 10배 작은 5nA 사이에서 관찰하였다. 모든 측정은 상온 (25°C)에서 이루어졌다.

그림 4는 P/E cycling 측정에 사용한 파형을 보여준다. Program 동작은 선택된 WL에 한번의 펄스를 인가하였고, program 전압 (V_{PGM})을 10us 동안 인가하여 program된 상태가 1.5V 이상의 V_{T} 를 갖도록 하였다. Erase 동작에는 gate induced drain leakage (GIDL) 방식을 적용하였고 [1, 21], 한번의 펄스가 인가되었다. Erase 전압을 (V_{ERASE}) 3ms 동안 인가하여 erase된 상태가 -1.5V 이하의 V_{T} 를

갓도록 하였다. Erase 동작 시 선택된 WL을 제외한 나머지 WL들에는 erase 스트레스를 줄이기 위해 양의 전압을 인가해 주었다. 모든 P/E cycling 측정 동안 똑같은 파형을 사용하였다.

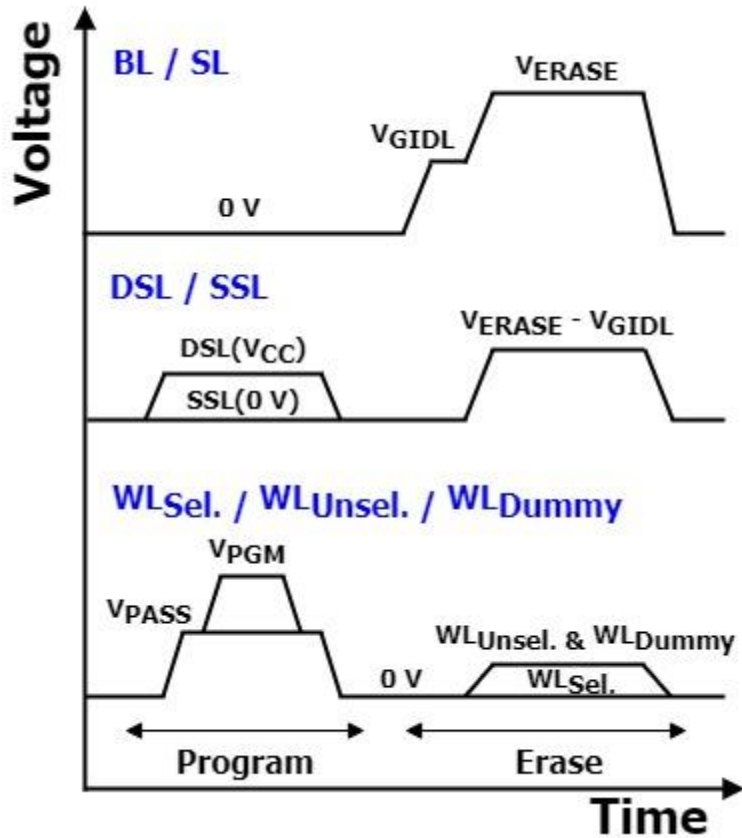
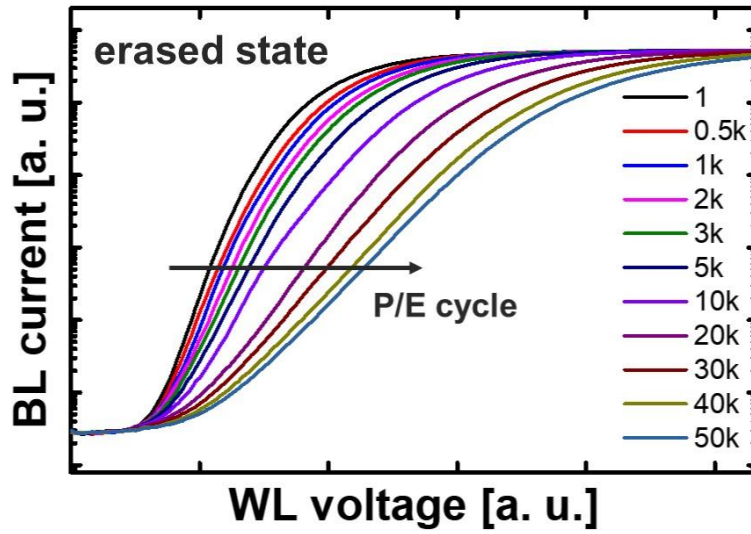
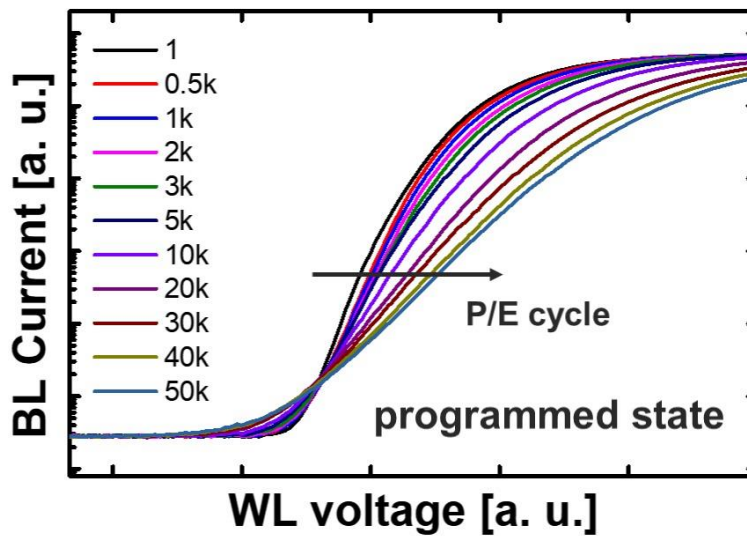


그림 4. P/E cycling 실험에 사용한 program 및 erase 파형.

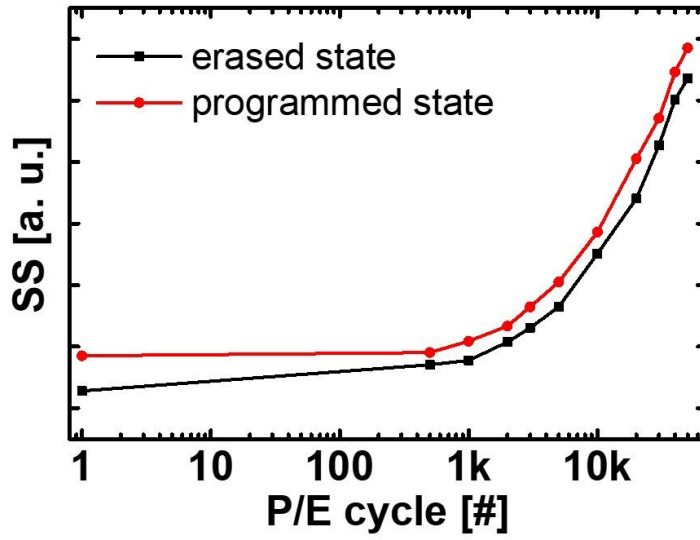
제 2 절 내구성 열화 측정 결과 및 분석



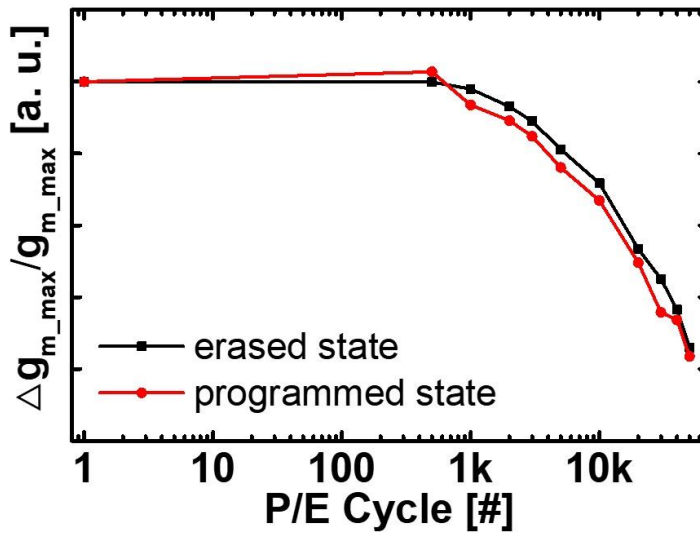
(a)



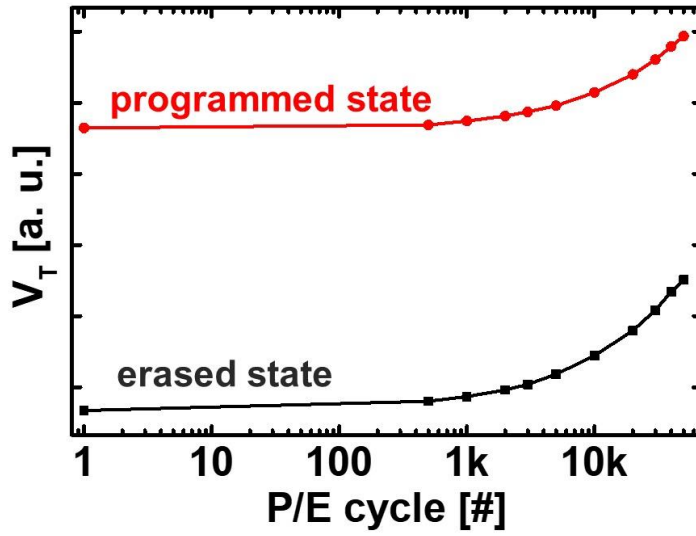
(b)



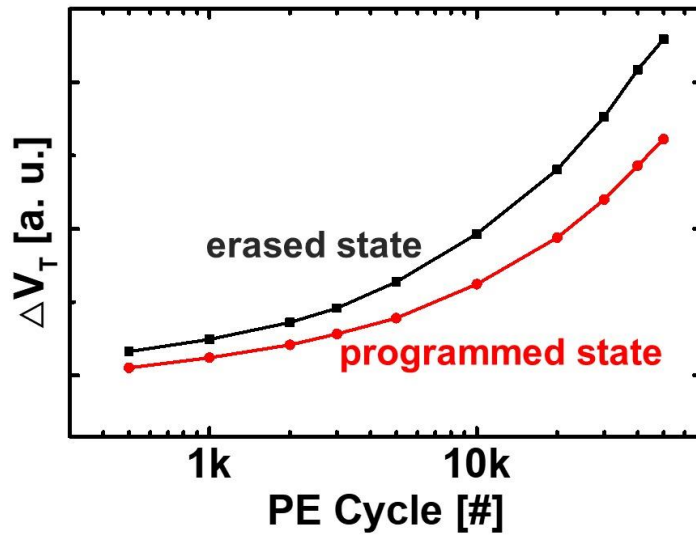
(c)



(d)



(e)



(f)

그림 5. P/E cycling 스트레스 후 (a) erase된 상태의 $I_{BL}-V_G$ 곡선. (b) program된 상태의 $I_{BL}-V_G$ 곡선. (c) subthreshold swing. (d) $\Delta g_{m_max}/g_{m_max}$. (e) V_T window. (f) V_T 변화량.

그림 5(a)와 (b)는 P/E cycling 진행 후 각 P/E cycle 별 cell 전류, 즉 BL 전류 - 선택된 WL의 게이트 전압 ($I_{BL}-V_G$) 곡선을 나타낸다. 그림 5(a)는 erase된 상태의 $I_{BL}-V_G$ 곡선이고, 그림 5(b)는 program된 상태의 $I_{BL}-V_G$ 곡선을 나타낸다. P/E cycling 스트레스가 증가할수록 전류 특성이 나빠지고 있음을 직관적으로 확인할 수 있다. 그림 5(c)는 SS 특성, 그리고 그림 5(d)는 최대 g_m (g_{m_max}) 특성이 나빠지고 있음을 보여주며 이를 통해 interface trap (N_{it})이 P/E cycling 스트레스에 의해 증가하고 있음을 알 수 있다 [9]. 그림 5(e)는 P/E cycle에 따른 erase된 상태와 program된 상태의 V_T 변화를 나타내며, program V_T 와 erase V_T 의 차이 (P/E window)는 50k cycles 후 초기 상태 (1 cycle) 대비 약 14% 감소한다. P/E window의 감소는 read margin을 줄여 error bit을 증가시키고, 이는 낸드 플래시 메모리 동작의 신뢰성을 위협한다. V_T 변화 (ΔV_T)의 경우 erase된 상태가 program된 상태보다 크게 나타남을 그림 5(f)에서 확인할 수 있다. 이러한 ΔV_T 의 차이는 erase된 상태와 program된 상태의 mid-gap 전압 변화 차이에 의해 발생한다. 그림 5(a)의 erase된 상태의 전류 곡선을 보면, P/E cycle에 따라 mid-gap 전압이 증가하는 것을 볼 수 있다. 그러나 그림 5(b)의 program된 상태의 전류 곡선의 경우, P/E

cycle에 관계없이 mid-gap 전압이 일정한 값을 가진다. 그러므로 그림 6에 표현되어 있는 것과 같이 program된 상태의 ΔV_T 는 주로 N_{it} 증가에 의한 SS 및 g_m 열화에 의해 발생하고, erase된 상태의 ΔV_T 는 N_{it} 증가에 의한 SS 및 g_m 열화와 그에 더해 mid-gap 전압 변화에 의해 영향을 받는다.

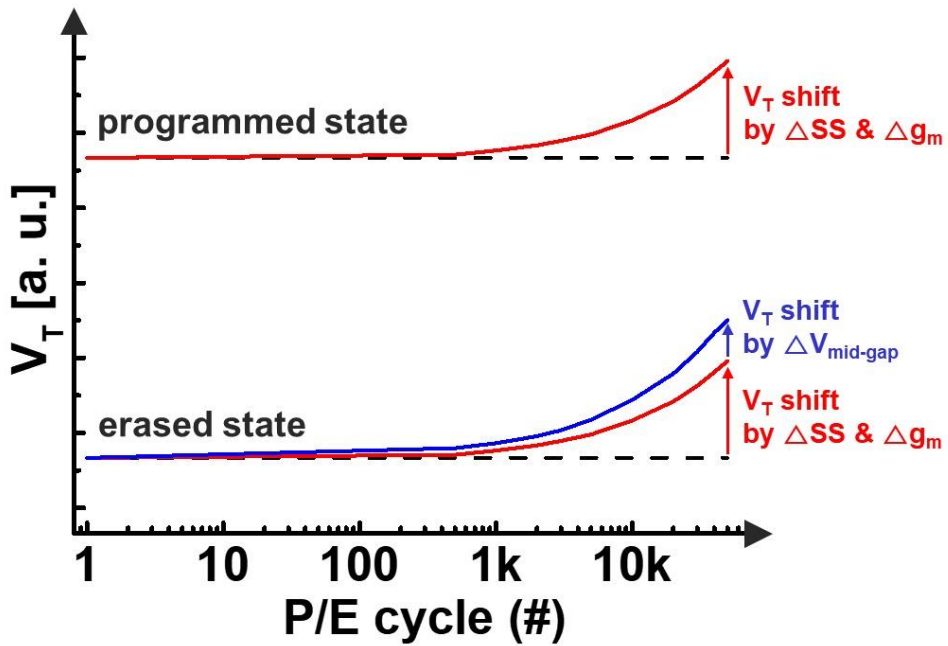
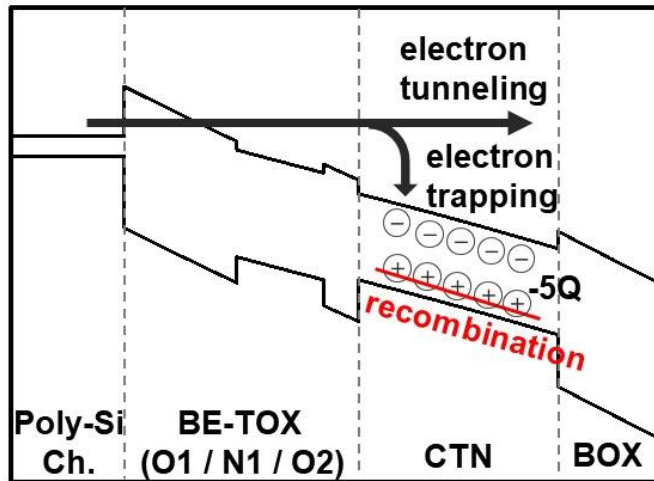


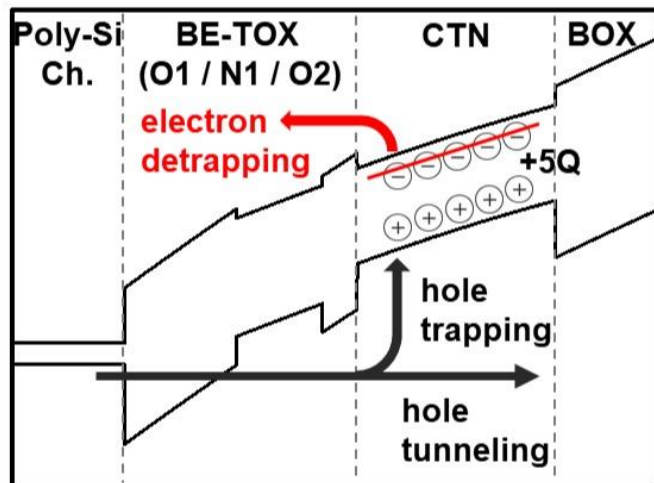
그림 6. P/E cycling 스트레스 동안의 V_T 변화.

제 3 절 Mid-gap 전압 변화 메커니즘



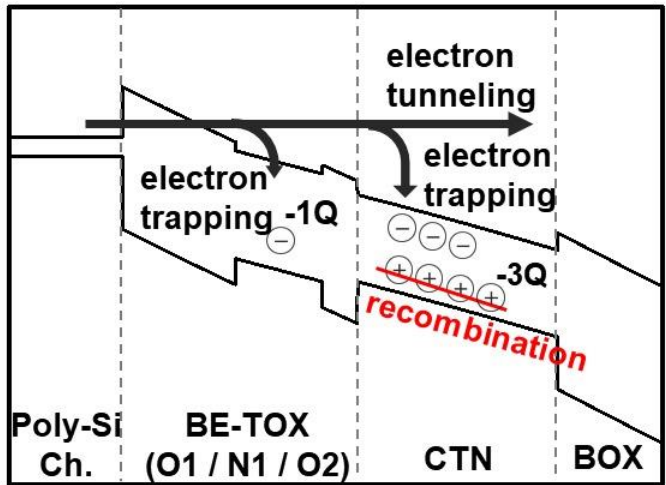
Program operation (fresh cell)

(a)



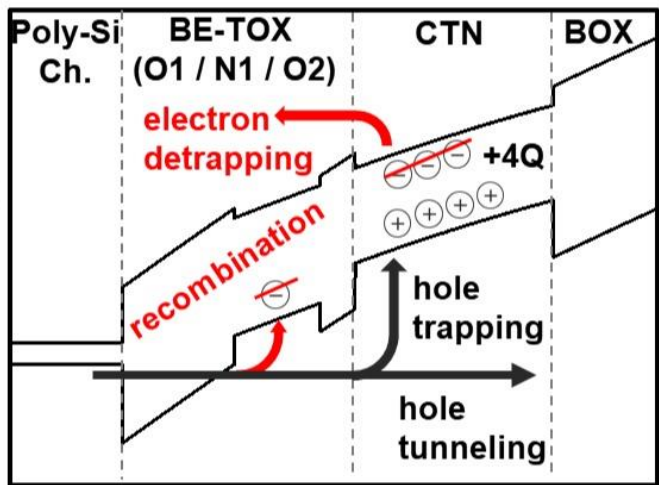
Erase operation (fresh cell)

(b)



Program operation (degraded cell)

(c)



Erase operation (degraded cell)

(d)

그림 7. 터널링 과정 (a) P/E cycling 스트레스 전 초기 cell에서의 program 동작. (b) P/E cycling 스트레스 전 초기 cell에서의 program 동작. (c) P/E cycling 스트레스 후 열화 된 cell에서의 program 동작. (d) P/E cycling 스트레스 후 열화 된 cell에서의 erase 동작.

그림 7 은 erase 된 상태와 program 된 상태가 서로 다른 mid-gap 전압 변화가 발생하는 이유를 설명하기 위해 에너지 밴드 다이어그램과 함께 터널링 과정을 보여준다. 그림에 표시된 전하의 값 (Q)은 이해를 돕기 위한 임의의 값을 나타낸다. 먼저 그림 7(a)에 나타난 P/E cycling 스트레스 전 초기 cell 의 program 동작에서의 터널링 과정은 다음과 같다. Program 전압이 인가되면 polysilicon channel 에서 CTN 으로 FN 터널링을 통해 전자가 주입된다. 주입된 전자들은 acceptor-like trap 에 포획되고, 또한 erase 동작에 의해 트랩 되어 있던 정공들과 재결합한다 [22]. 그 결과, $-5Q$ 의 전하가 CTN 에 저장된다.

그림 7(b)의 erase 동작을 보면, program 동작에 의해 CTN 에 트랩 되어 있던 전자들이 polysilicon channel 로 detrapping 된다. 그리고 polysilicon channel 에서 CTN 으로 FN 터널링을 통해 주입된 정공들이 donor-like trap 에 포획되고, 또한 detrapping 되지 않고 남아 있던 전자들과 재결합한다 [23, 24]. 본 논문에서 제시하는 mid-gap 전압 변화 메커니즘 설명에서는 CTN 에 트랩 되어 있던 전자들은 주입된 정공들과 재결합 없이 모두 detrapping 에 의해서만 방출된다고 가정하였다. Erase 동작 후에는 $+5Q$ 의 전하가 CTN 에 저장된다.

낸드 플래시 메모리 cell 이 P/E cycling 스트레스를 받게 되면 그림 8 과 같이 polysilicon channel 과 터널링 산화막 사이에 interface trap (N_{it})과 터널링 산화막에 bulk trap (N_{ot})들이 생성된다 [25]–[29]. 그리고 bulk trap 에 트랩 된 전하에 의해 터널링 동작에 변화가 생긴다. 그림 7(c)와 (d)는 P/E cycling 스트레스에 의해 열화 된 cell 의 program 동작과 erase 동작에서의 터널링 과정을 나타낸다.

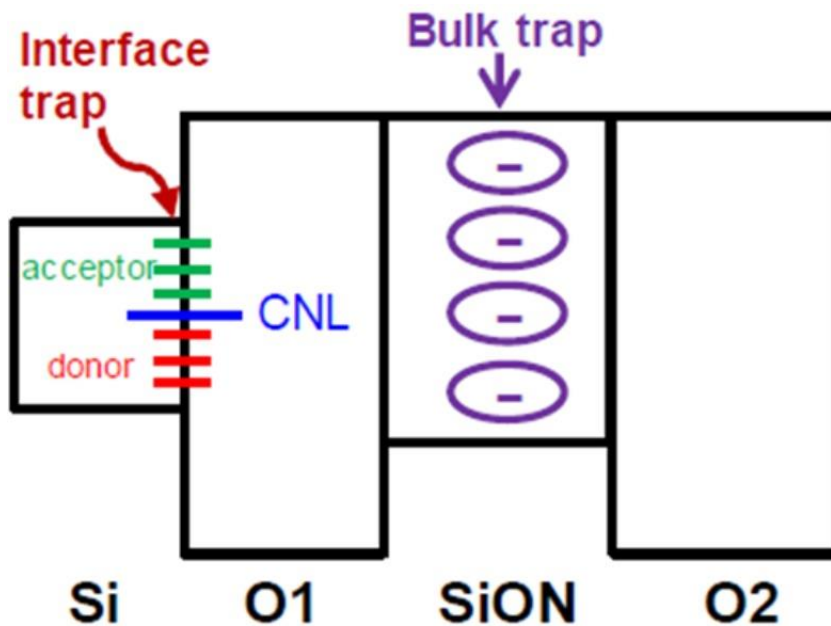


그림 8. P/E cycling 스트레스에 의해 생성된 interface trap과 터널링 산화막 안의 bulk trap [29].

그림 7(c)의 program 동작에서의 터널링 과정을 살펴보면, polysilicon channel 로부터 주입된 전자들이 BE-TOX 에 있는 trap sites 에 먼저 트랩 되고 난 다음 CTN 으로 터널링 되어 CTN 에 트랩되기 시작한다. 그 과정에서 BE-TOX 내에 트랩 된 전자들에 의해 터널링 전류가 감소하게 되고, 그 결과 BE-TOX 와 CTN 에 저장된 총 전자의 양이 P/E cycling 스트레스를 받기 전 초기 cell 의 CTN 에 저장된 총 전자의 양보다 작아지게 된다. 그럼에도 초기 cell 과 열화 된 cell 의 mid-gap 전압이 변하지 않고 거의 일정한 이유는 BE-TOX 와 CTN 에 트랩 된 전자들이 channel 표면 전위에 미치는 총 영향력이 거의 동일하게 유지되기 때문이다.

그림 7(d)의 erase 동작에서 CTN 에 트랩 되어 있는 전자들은 polysilicon channel 로 detrapping 될 수 있지만, BE-TOX 에 트랩 되어 있던 전자들은 detrapping 되기 어렵다. 그 이유는 P/E cycling 스트레스에 의해서 생성된 산화막 내 bulk trap 이 그림 9 와 같이 deep trap level 을 가지기 때문이다 [27, 29].

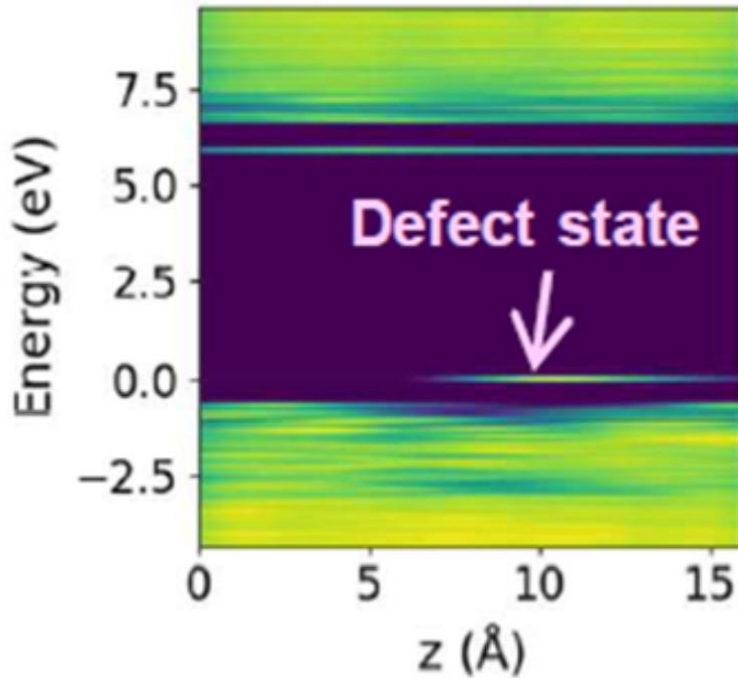


그림 9. P/E cycling 과정 중 강한 전계에 의해 결합이 깨진 수소 원자에 의해 SiON 층 가전자대역 근처에 발생한 결함을 local density of state (LDOS) profile로부터 추출 [29].

앞에서 가정하였던 것과 같이 erase 동작 동안 CTN 에 트랩 되어 있던 전자들은 모두 polysilicon channel 로 detrapping 된다. Erase pulse 초반에 polysilicon channel 로부터 주입된 정공들은 CTN 으로 터널링 되기 보단 대부분 BE-TOX 에 트랩 되어 있는 전자들과 먼저 재결합을 한다. 따라서 erase 동작 동안 실질적인 CTN 으로의 정공 주입이 감소하게 되고, 그에 따라 CTN 에 저장되는 총 정공의 양이 감소한다. 그러므로 BE-TOX 내의 bulk trap 에 트랩 되어 있는 전자의

양이 증가할수록, erase 된 상태의 mid-gap 전압은 CTN 에 저장되는 정공의 양 감소로 양의 방향으로 증가한다.

제 4 절 Mid-gap 전압 변화 메커니즘 검증

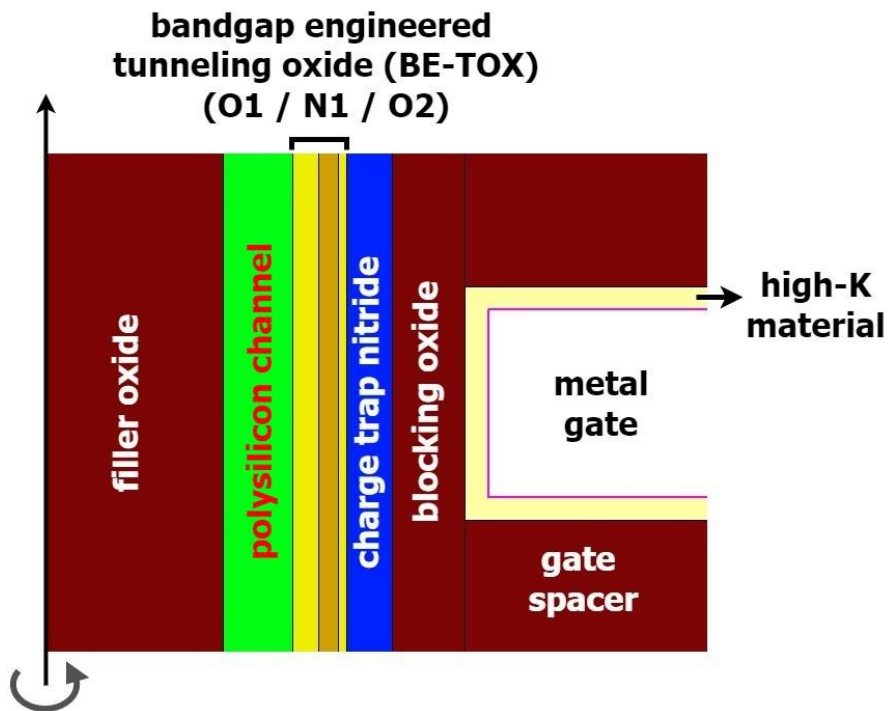


그림 10. 터널링 과정을 확인하기 위한 3차원 낸드 플래시 메모리 단위 cell의 TCAD 시뮬레이션 구조.

그림 10은 mid-gap 전압 변화 메커니즘을 터널링 과정을 통해 확인하기 위해 TCAD 시뮬레이션을 진행한 낸드 플래시 단위 cell 구조를 보여준다. TCAD에서 소자의 크기 및 파라미터는 측정을 진행한 TEG와

똑같이 구성하였고, 터널링은 eBarrierTunneling과 hBarrierTunneling으로 적용하였다 [30]. Program 및 Erase 동작은 측정 조건과 동일하게 파형을 인가하였고, 트랩된 전하와 터널링 전류를 확인하였다.

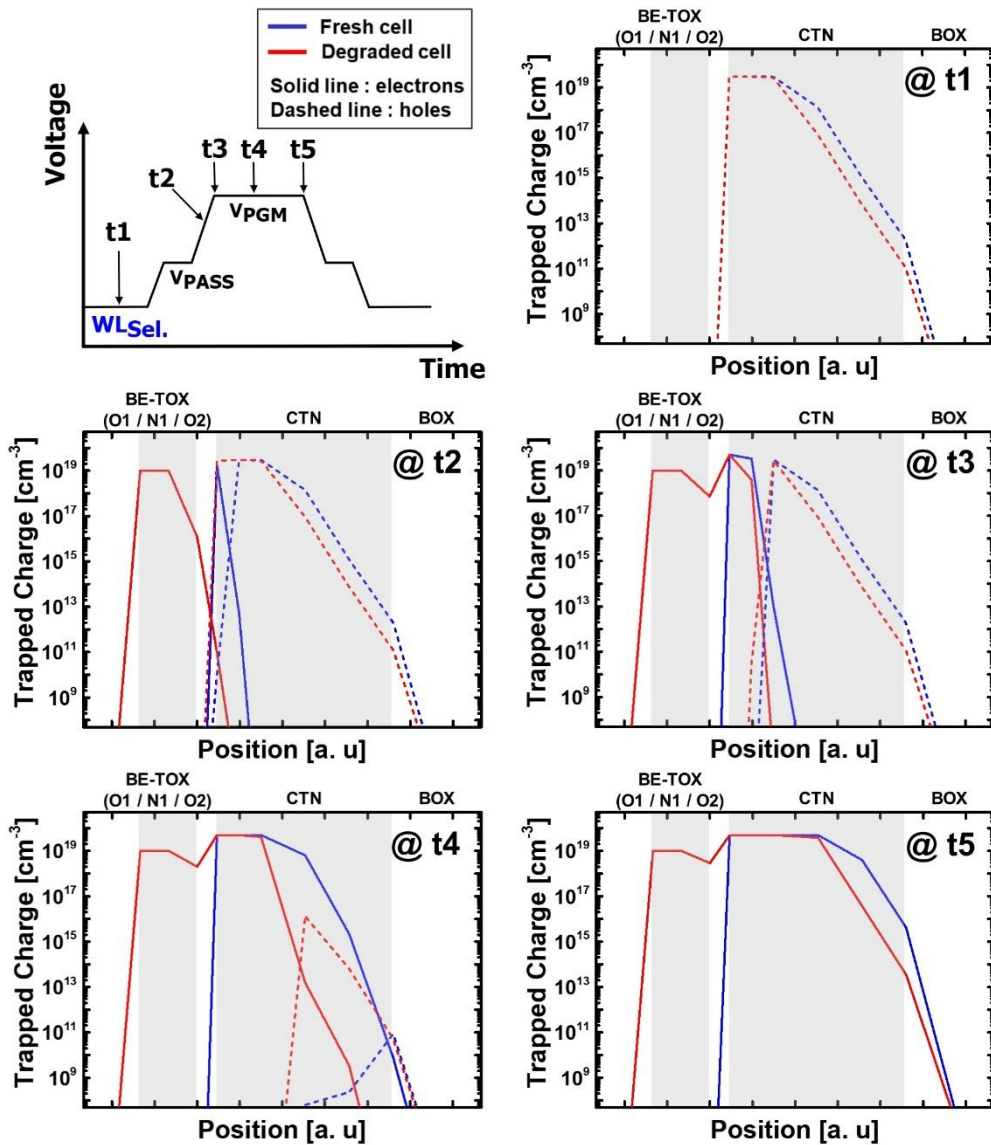
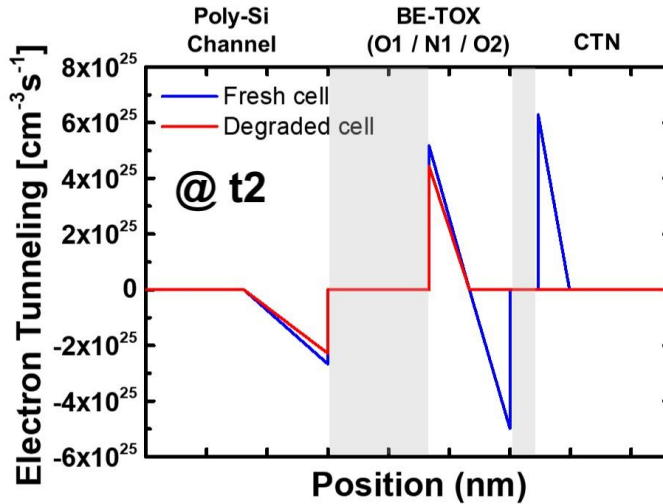


그림 11. TCAD 시뮬레이션 진행한 Program 동작 동안 선택된 WL 가운데 영역에서의 트랩된 전하 분포

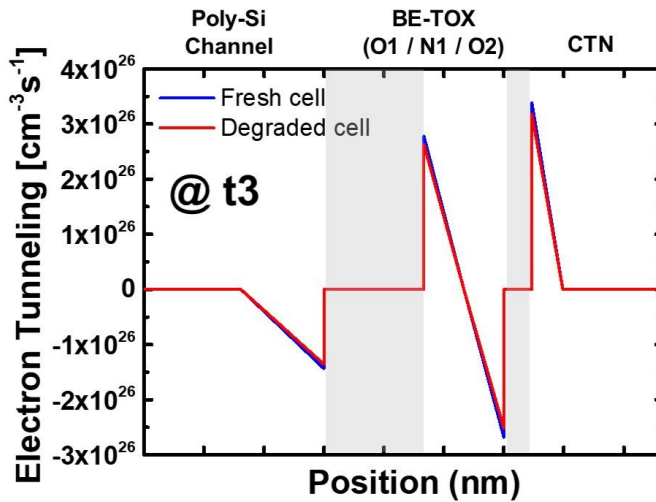
그림 11 은 program 동작 동안 선택된 WL 가운데 영역의 트랩 된 전하 분포를 나타내는 TCAD 시뮬레이션 결과이다. 그림에서 파란색 선은 P/E cycling 스트레스를 받지 않아 BE-TOX 내 bulk trap 이 생성되지 않은 초기 cell 을 나타내고, 빨간색 선은 P/E cycling 스트레스에 의해 BE-TOX 내 bulk trap 이 생성된 열화 된 cell 을 나타낸다. 또한, 실선은 전자를 나타내고 점선은 정공을 나타낸다. TCAD 에서 bulk trap 은 BE-TOX 의 N1 (SiON) 층에 있는 것으로 설정하였고, conduction band 로부터 3eV 깊이에 있는 deep trap level 로 설정하였다.

트랩 된 전하 분포는 총 5 지점에서 확인하였다. 첫번째 지점인 t1 의 경우 program pulse 가 인가되기 전 erase 된 상태를 나타낸다. 지점 t2 와 t3 에서의 열화 된 cell 을 살펴보면, polysilicon channel 로부터 터널링 한 전자들이 먼저 BE-TOX 에 트랩 되고, 그 후에 CTN 에 트랩 되는 것을 확인할 수 있다. 또한 그림 12 에서 확인할 수 있듯이 BE-TOX 에 트랩 된 전자들에 의해 터널링 전류가 감소한다. Program pulse 끝 부분인 지점 t5 에서 CTN 에 저장된 전자들을 살펴보면, 열화 된 cell 이 초기 cell 보다 CTN 내 전자의 양이 작음을 확인할 수 있다. 표 1 은 program 동작 종료 후 CTN 과 BE-TOX 의 트랩 된 전자의 양을

보여준다. 총 저장된 전자의 양도 열화 된 cell 이 초기 cell 보다 작음을 알 수 있다. 이 결과는 앞 절에서 제시한 mid-gap 전압 변화 메커니즘과 일치한다.



(a)



(b)

그림 12. Program 동작 지점 t2와 t3에서의 전자 터널링

표 1. Program 동작 종료 후 트랩 된 전자의 수

	Fresh cell	Degraded cell
BE-TOX (# / μm^{-1})	-	913
CTN (# / μm^{-1})	6380	5247
Total (# / μm^{-1})	6380	6160

그림 13 은 erase 동작 동안 선택된 WL 가운데 영역의 트랩 된 전하 분포를 나타내는 TCAD 시뮬레이션 결과이다. 시뮬레이션 조건은 program 동작과 동일하게 진행하였다. Erase 동작 또한 총 5 지점에서 트랩 된 전하 분포를 확인하였다. 첫번째 지점인 t1 의 경우 erase pulse 가 인가되기 전 program 된 상태를 나타낸다. 지점 t2 를 보면, CTN 에 트랩 되어 있던 전자들은 detrapping 되지만 BE-TOX 에 트랩 되어 있던 전자들은 detrapping 되지 않고 그대로 남아있는 것을 확인할 수 있다. 그림 14 는 지점 t3 에서의 정공 터널링을 보여준다. 열화 된 cell 의 경우 BE-TOX 에서 CTN 으로 터널링이 매우 작음을 확인할 수 있는데, 이것은 주입된 정공들이 BE-TOX 내 트랩 되어 있는 전자들과 대부분 재결합하기 때문이다. 그림 13 에서 erase pulse 동안 열화 된 cell 이 초기 cell 보다 CTN 에 트랩 된 정공의 양이 작는데, 이는 BE-TOX 내에 트랩 되어 있던 전자에 의해 CTN 으로의 실질적인

정공 터널링이 감소하기 때문이다. 이 TCAD 시뮬레이션 결과는 앞서 제시한 mid-gap 전압 변화 메커니즘을 잘 뒷받침한다.

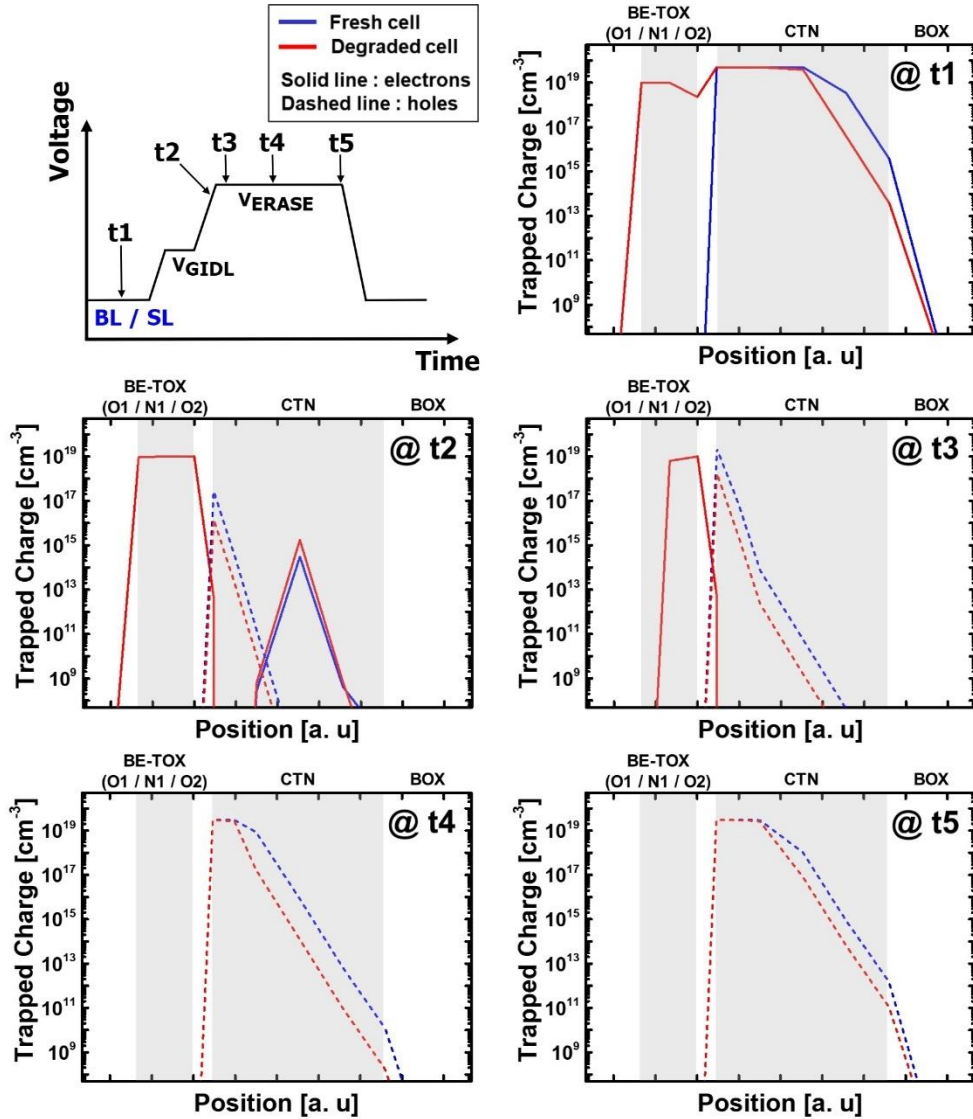


그림 13. TCAD 시뮬레이션 진행한 erase 동작 동안 선택된 WL 가운데 영역에서의 트랩 된 전하 분포

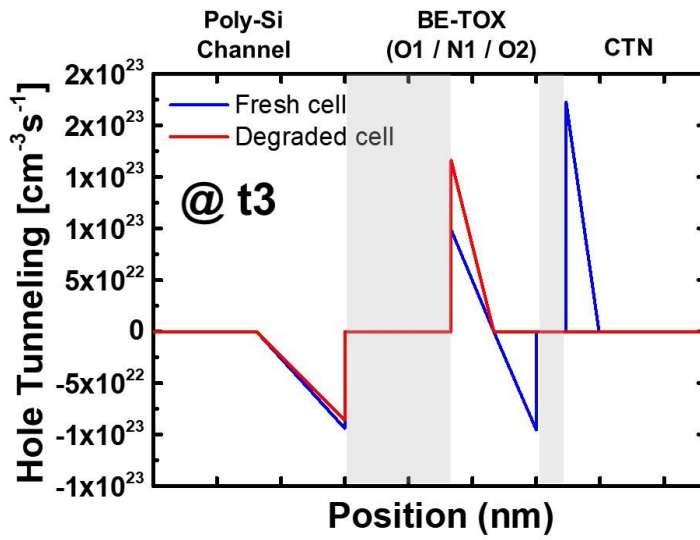


그림 14. Erase 동작 지점 t2에서의 정공 터널링

제 3 장 TCAD 시뮬레이션을 통한 측정 결과 분석

P/E cycling test 진행 시 측정하였던 cell 전류를 분석하기 위해 TCAD 시뮬레이션을 진행하였다. 먼저 program 동작과 erase 동작을 전혀 하지 않은 순수 초기 cell 전류를 측정하고 TCAD 시뮬레이션을 통해 전류 fitting을 진행하여 측정 소자의 특성이 TCAD에 잘 반영될 수 있도록 하였다. 이 후 P/E cycling 스트레스에 따른 cell 전류 fitting을 진행하였고, 그 결과를 살펴본다.

제 1 절 TCAD 시뮬레이션 설정

그림 15는 cell 전류 분석을 위해 측정한 소자와 동일하게 구성한 TCAD 시뮬레이션 구조를 보여준다. 낸드 플래시 메모리 cell은 filler oxide, polysilicon channel, BE-TOX, CTN, blocking oxide (BOX), 고 유전 물질과 금속 게이트로 이루어져 있다. 이 시뮬레이션 구조에서 게이트 길이, 게이트 간격, WL 개수, BE-TOX 및 CTN 두께 등과 같은 소자 파라미터는 모두 측정한 소자와 똑같이 구성하였다. Polysilicon channel의 특성을 반영하기 위해 WL과 gate spacer 중앙에서 grain

boundary를 형성하였다. 2차원으로 그려진 소자 구조는 360도 회전하여 원통 모양의 3차원 구조로 시뮬레이션 될 수 있도록 하였다.

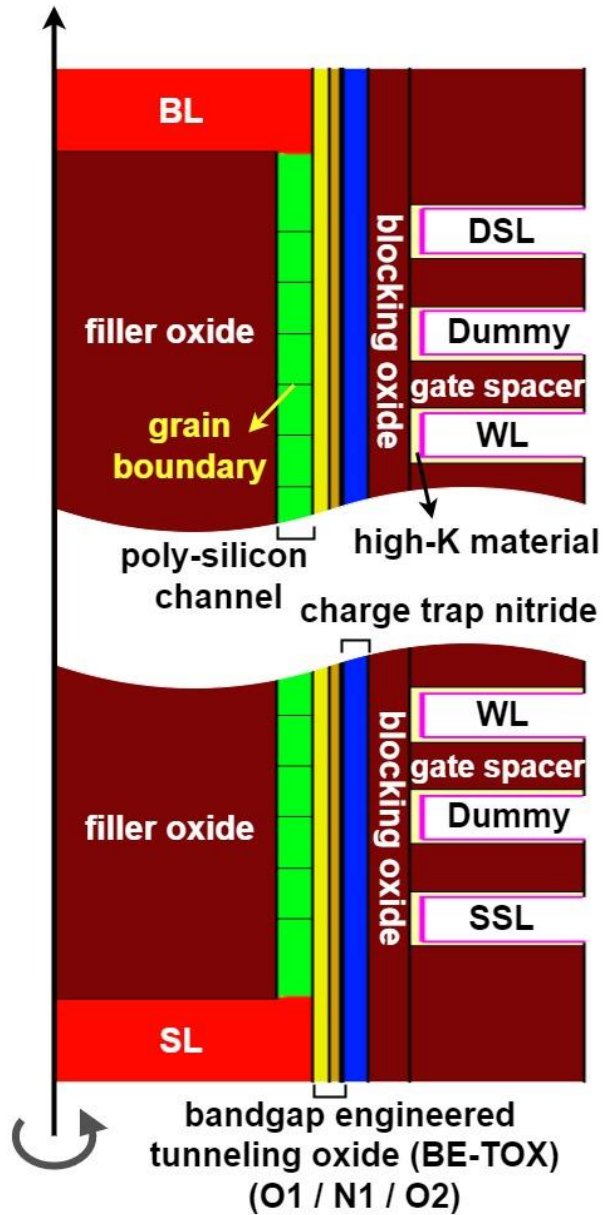


그림 15. TCAD 시뮬레이션을 위한 소자 구조 단면도.

제 2 절 순수 초기 cell 전류 fitting

P/E cycling test를 진행하면서 측정한 cell 전류 fitting을 진행하기 전, 먼저 program 동작과 erase 동작을 전혀 하지 않은 순수 초기 cell 전류 fitting을 진행하였다. 이를 통해 측정 소자의 전류 특성이 TCAD 시뮬레이션에 잘 반영될 수 있도록 하였다. 그림 16은 순수 초기 cell 전류 fitting을 위해 적용한 interface trap density와 polysilicon의 grain boundary trap density를 보여준다.

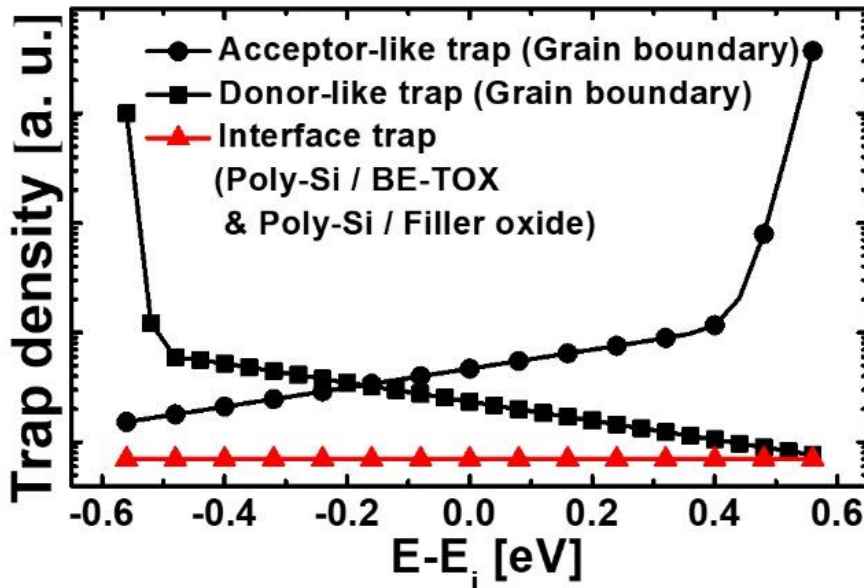


그림 16. 순수 초기 cell 전류 fitting을 위해 적용한 grain boundary trap density와 interface trap density.

Grain boundary의 트랩 에너지 분포는 double exponential 형태로 적용하였고 [30, 31], 다음의 식으로 표현된다.

$$N_A(E) = N_{A,t}e^{(E-E_C)/k_B T} + N_{A,d}e^{(E-E_C)/k_B T} \quad (1)$$

$$N_D(E) = N_{D,t}e^{(E_V-E)/k_B T} + N_{D,d}e^{(E_V-E)/k_B T} \quad (2)$$

N_A 는 acceptor-like 상태를 나타내고, N_D 는 donor-like 상태를 나타낸다. 아래 첨자 t 는 tail 상태를 표현하고, d 는 deep 상태를 표현한다. Interface trap 은 polysilicon channel 과 BE-TOX 사이, 그리고 polysilicon channel 과 filler oxide 에 형성하였고, 에너지 밴드 내에서 균일하게 적용하였다.

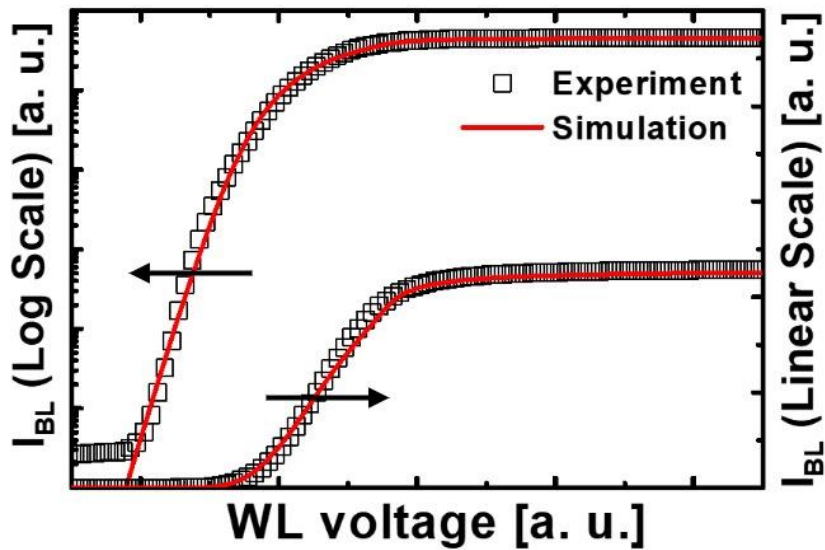


그림 17. 순수 초기 cell 전류의 TCAD 시뮬레이션 fitting 결과

그림 17 은 순수 초기 cell 전류의 TCAD 시뮬레이션 fitting 결과를 보여준다. 전류 fitting 이 잘 이루어 졌음을 확인할 수 있다.

제 3 절 P/E cycling 스트레스에 따른 cell 전류 fitting

P/E cycling 스트레스에 따른 cell 전류 fitting 진행 시, 직관적이고 간단하게 시뮬레이션을 진행하기 위해 다음의 사항을 가정하였다. Program 동작 시 BE-TOX내 bulk trap들은 (N_{ot}) polysilicon channel에서 터널링 된 전자로 꽉 채워진다. Erase 동작 시 BE-TOX내에 트랩 되어 있던 전자들은 (n_{BE-TOX}) 남김없이 polysilicon channel에서 터널링 된 정공과 재결합하고, CTN으로의 정공 주입 감소로 CTN에 덜 트랩 된 정공의 양 (Δ_{PCTN})은 n_{BE-TOX} 와 같다.

Cell 전류 fitting은 interface trap density (D_{it})와 $\Delta_{PCTN}(n_{BE-TOX})$ 를 변경하면서 진행하였다. P/E cycling 스트레스가 같을 때는, erase된 상태와 program된 상태의 cell 전류 fitting에 같은 값의 D_{it} 를 사용하였다. CTN과 BE-TOX에 트랩 된 전하는 면 전하 형태로 적용하였고, 전하의 중심 위치는 그림 18에 표현되어 있는 것처럼 각각 CTN과 BE-TOX의 N1 층 가운데로 두었다.

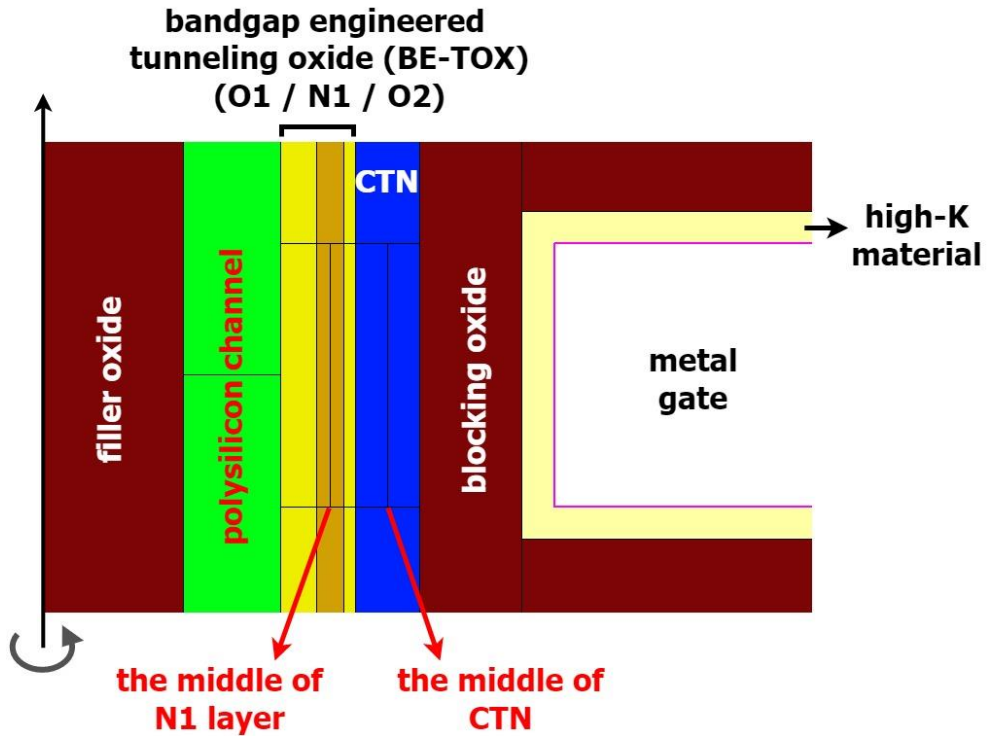
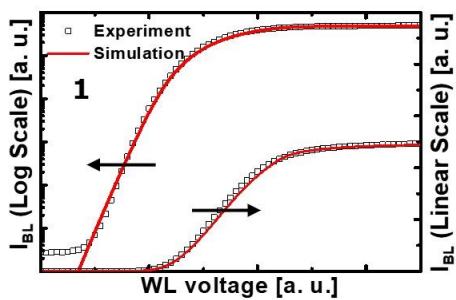
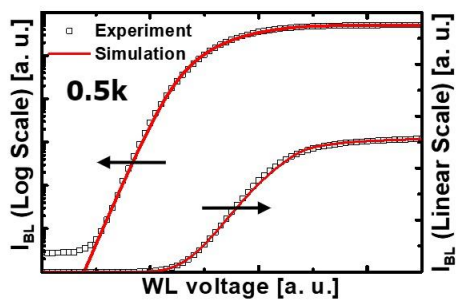


그림 18. P/E cycling에 따른 cell 전류 fitting 시 선택된 cell에 적용한 면 전하의 위치.

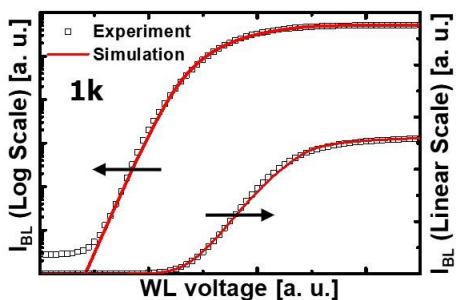
그림 19와 20은 각 P/E cycling 스트레스에 따른 erase된 상태와 program된 상태의 cell 전류 fitting 결과를 보여준다. D_{it} 와 CTN 및 BE-TOX내 전하의 양 조절을 통해 fitting이 잘 이루어 졌음을 확인할 수 있다.



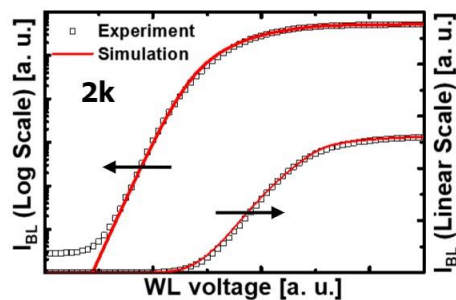
(a)



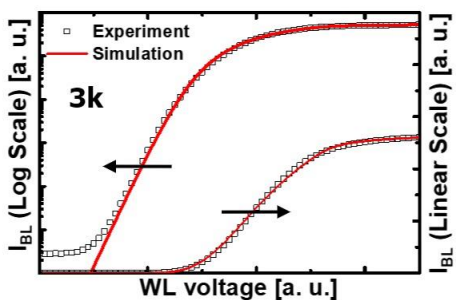
(b)



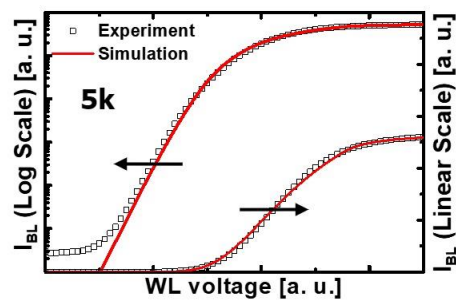
(c)



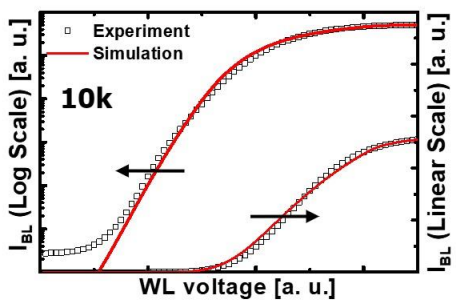
(d)



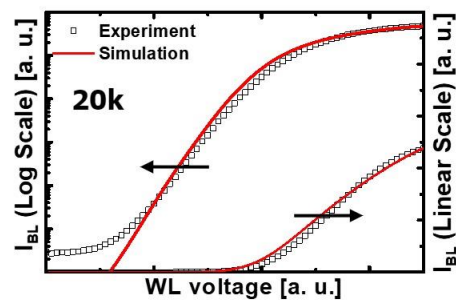
(e)



(f)



(g)



(h)

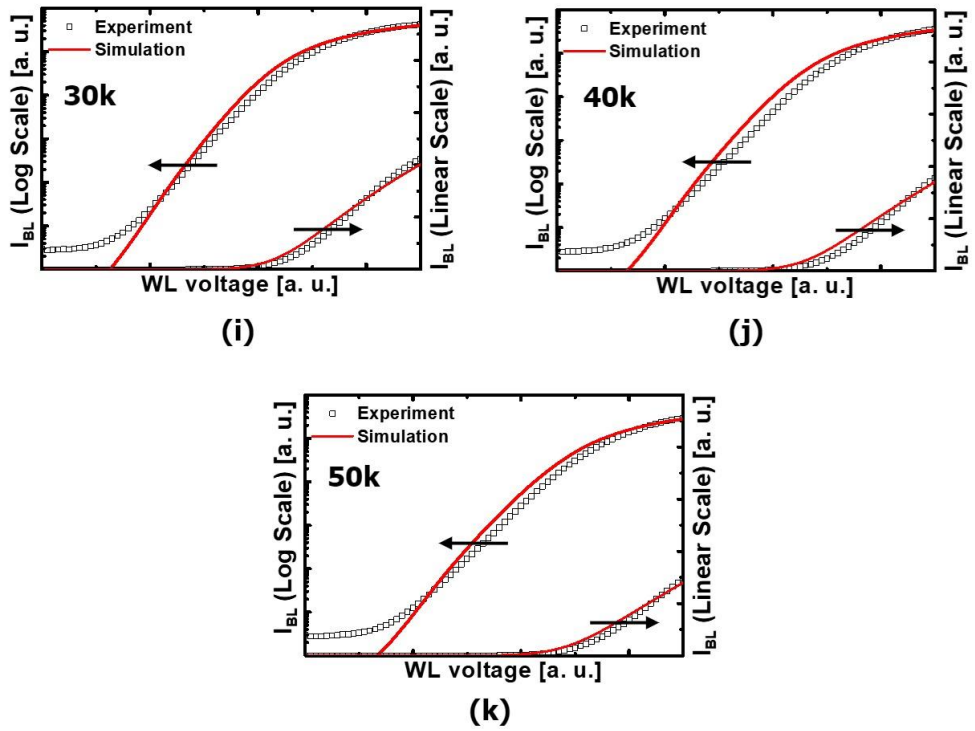
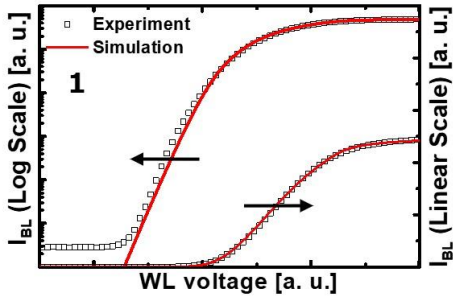
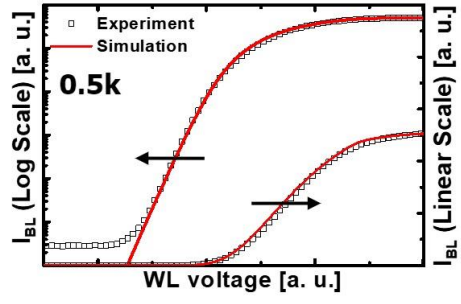


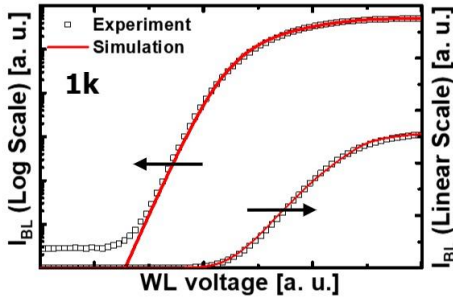
그림 19. Erase된 상태의 P/E cycling 스트레스에 따른 cell 전류 fitting 결과. (a) 1 cycle. (b) 0.5k cycles. (c) 1k cycles. (d) 2k cycles. (e) 3k cycles (f) 5k cycles. (g) 10k cycles. (h) 20k cycles. (i) 30k cycles. (j) 40k cycles. (k) 50k cycles.



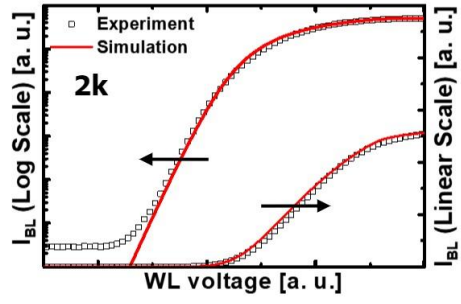
(a)



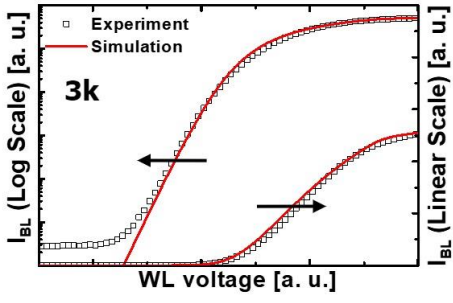
(b)



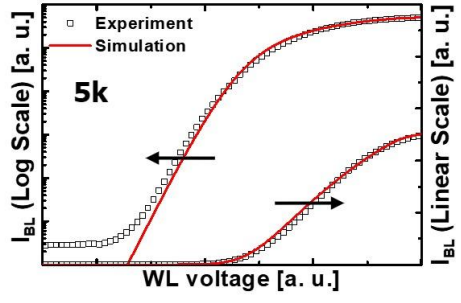
(c)



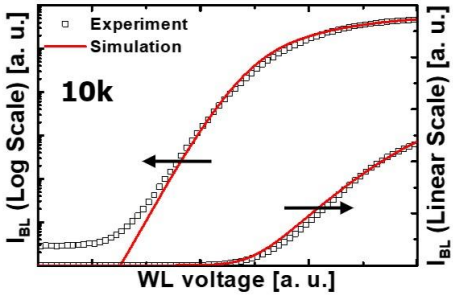
(d)



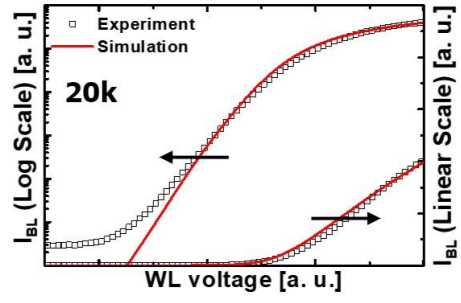
(e)



(f)



(g)



(h)

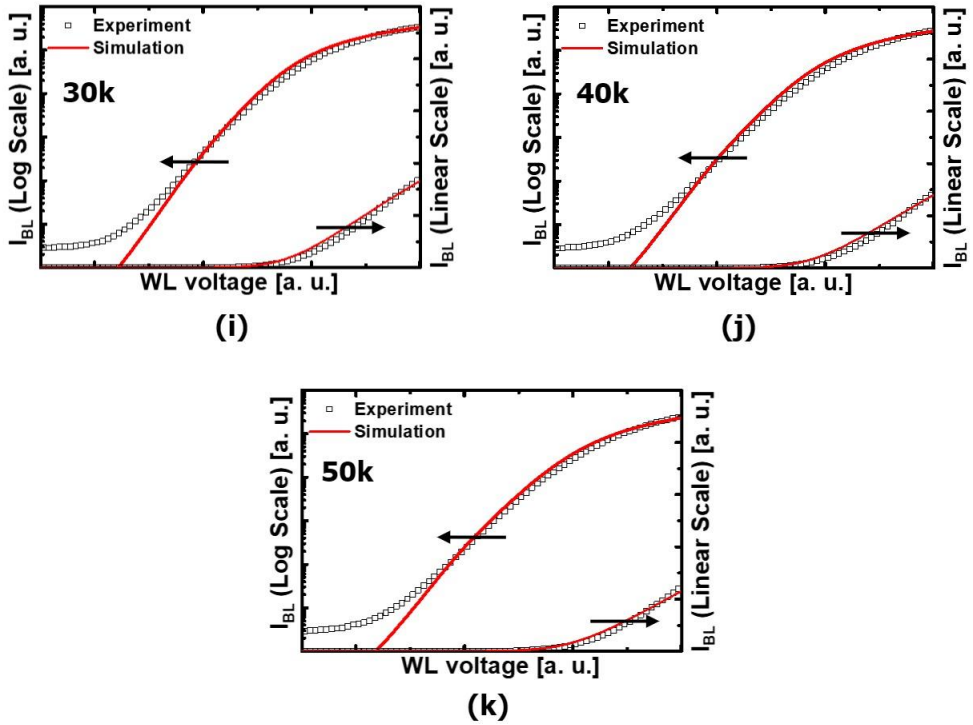
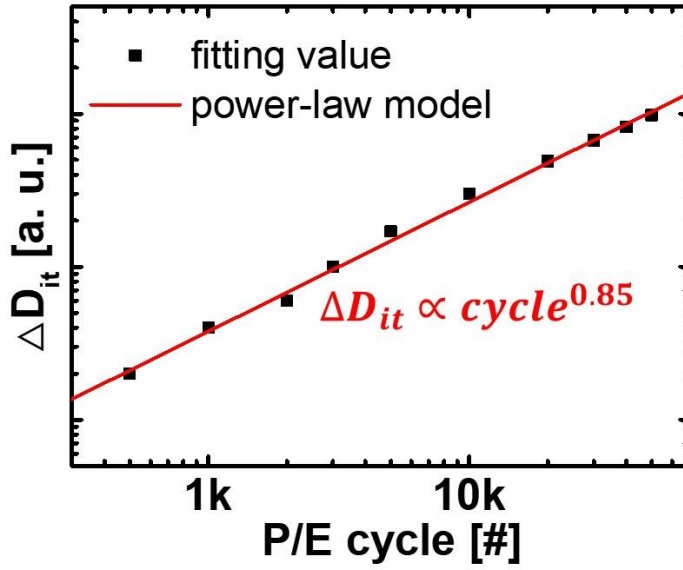
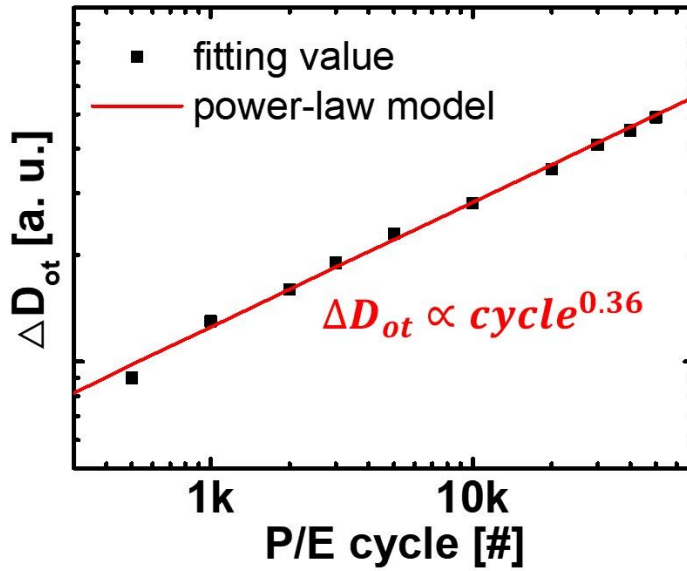


그림 20. Program된 상태의 P/E cycling 스트레스에 따른 cell 전류 fitting 결과. (a) 1 cycle. (b) 0.5k cycles. (c) 1k cycles. (d) 2k cycles. (e) 3k cycles (f) 5k cycles. (g) 10k cycles. (h) 20k cycles. (i) 30k cycles. (j) 40k cycles. (k) 50k cycles.

그림 21(a) 와 (b)는 cell 전류 fitting 을 위해서 TCAD 시뮬레이션에서 사용한 D_{it} 와 D_{ot} 값을 보여준다. P/E cycling 스트레스에 의한 D_{it} 와 D_{ot} 의 증가는 P/E cycling 의 멱함수 (power function)에 비례하는 특성을 나타낸다. 이전 2 차원 낸드 플래시 메모리의 내구도 열화를 연구한 논문에서도 동일한 경향의 결과가 나타났다 [15, 25, 28].



(a)



(b)

그림 21. TCAD 시뮬레이션에서 cell 전류 fitting을 위해 사용한 (a) interface trap density. (b) BE-TOX내 bulk trap density.

제 4 장 내구성 열화 추가 실험 및 분석

제 1 절 추가 실험 조건 세부 사항

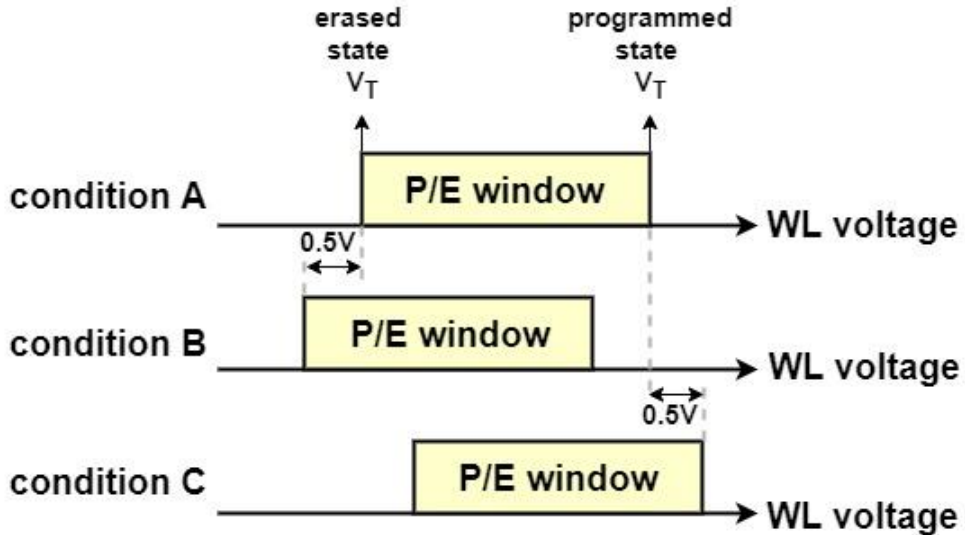
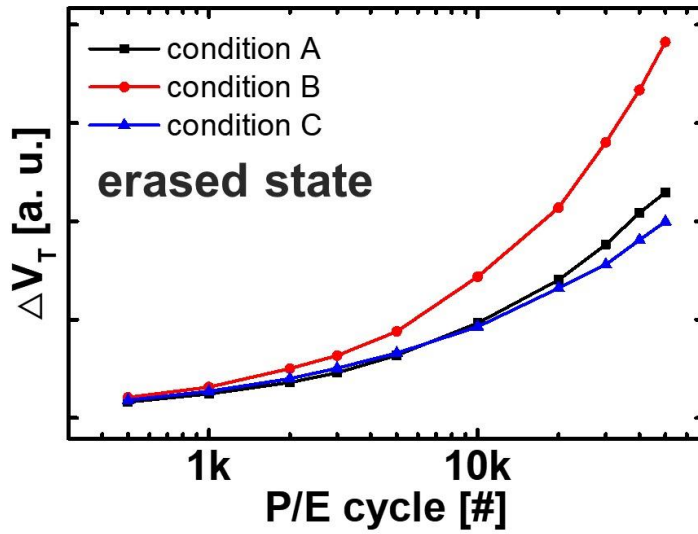


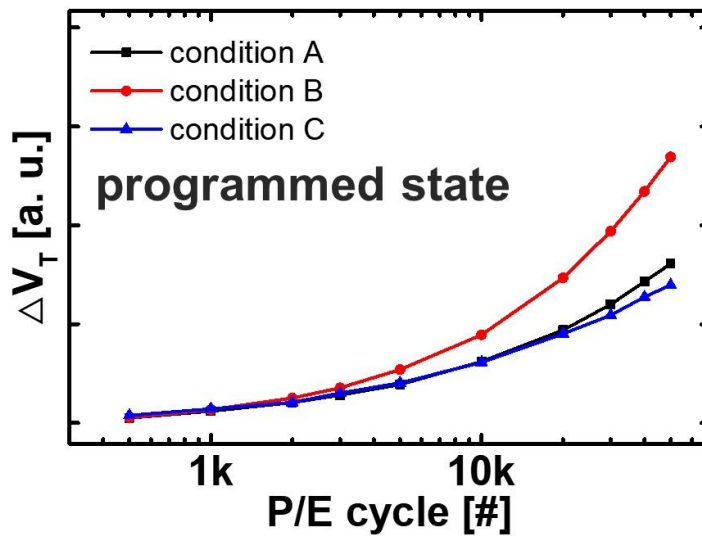
그림 22. 내구성 열화 추가 실험 조건

그림 22는 내구성 열화 추가 실험 조건을 보여준다. 세가지 조건 A, B와 C의 P/E window의 범위는 동일하고, 조건 B의 경우 조건 A에서 P/E window를 음의 방향으로 0.5V 옮겼고, 조건 C의 경우 조건 A에서 P/E window를 양의 방향으로 0.5V 옮겼다. 즉 조건 B는 조건 A 대비 erase 스트레스를 강화하고 program 스트레스를 줄였으며, 조건 C는 조건 A 대비 program 스트레스 강화하고 erase 스트레스를 줄였다.

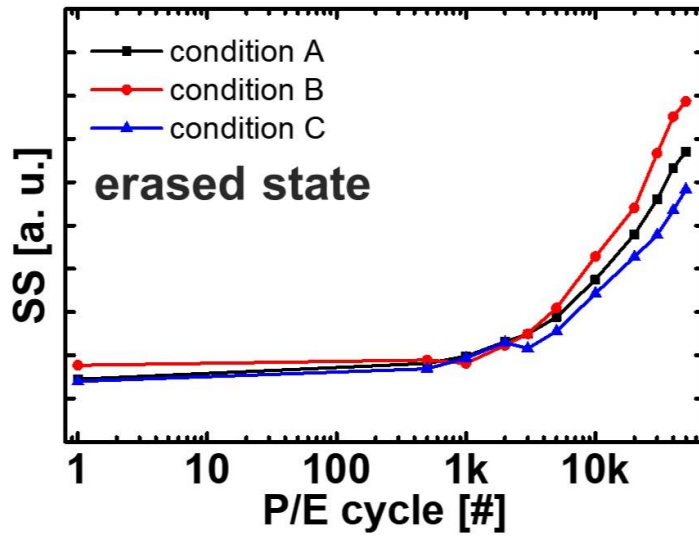
제 2 절 실험 결과 및 분석



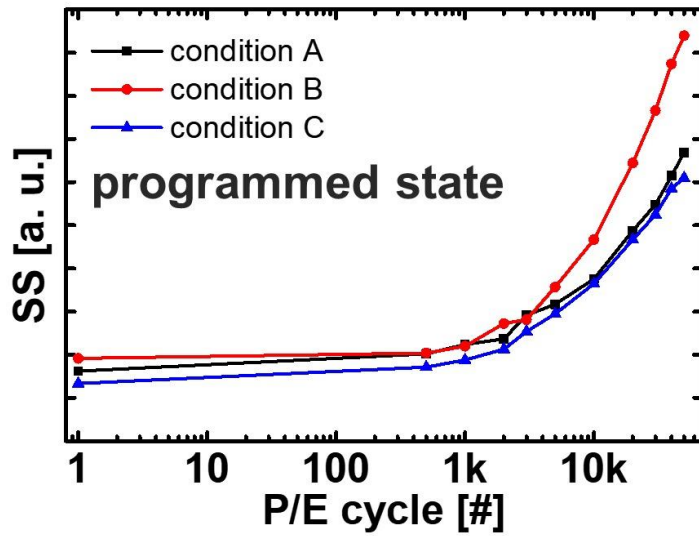
(a)



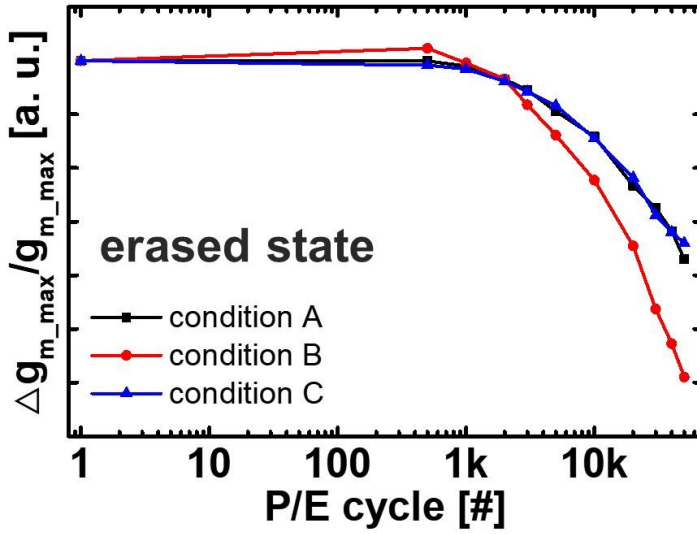
(b)



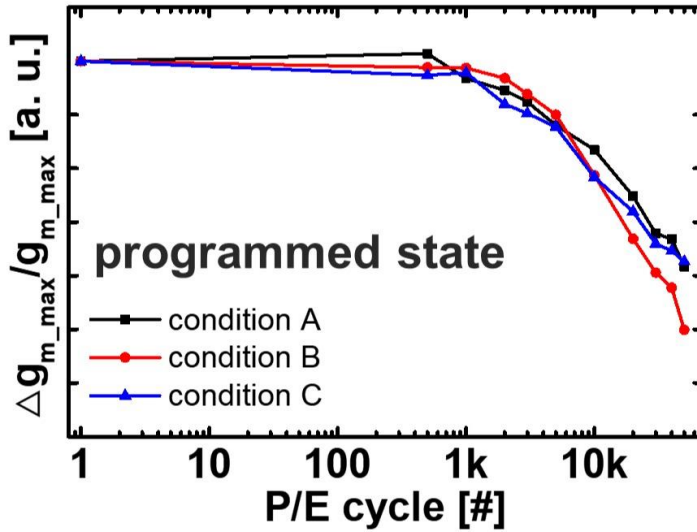
(c)



(d)



(e)



(f)

그림 23. 3가지 조건의 P/E cycling 스트레스에 의한 cell 특성 열화 비교 (a) erase된 상태의 ΔV_T . (b) program된 상태의 ΔV_T . (c) erase된 상태의 subthreshold swing. (d) program된 상태의 subthreshold swing. (e) erase된 상태의 $\Delta g_{m_max}/g_{m_max}$. (f) program된 상태의 $\Delta g_{m_max}/g_{m_max}$.

그림 23 은 3 가지 조건의 P/E cycling 스트레스에 의한 cell 특성 열화를 보여준다. 실험 결과를 살펴보면, P/E window 를 음의 방향으로 이동시킨 조건 B 가 V_T 변화량, SS, g_m 등 모든 특성이 가장 크게 나빠졌고, P/E window 를 양의 방향으로 이동시킨 조건 C 가 cell 특성 열화가 가장 작게 나타났다. 즉, erase 스트레스에 비례하여 cell 특성 열화가 커지고 있으므로 cell 특성 열화는 주로 erase 동작에서 발생함을 알 수 있다.

Erase 동작에서 터널링 산화막의 품질을 떨어뜨려 cell 특성을 열화 시킬 수 있는 가능성을 가지는 요소를 그림 24 에서 보여준다. 해당 요소로는 polysilicon channel 에서부터 CTN 으로의 정공 터널링 전류, CTN 에서 polysilicon channel 로 detrapping 되는 전자들에 의한 양극 정공 주입 (anode hole injection)과 게이트로부터 back 터널링 되어 큰 에너지를 갖는 전자들에 의한 충격 이온화된 정공 주입 (impact-ionized hot hole injection)이 있다 [27, 32, 33]. 결과 분석 시 back 터널링 성분은 고려하지 않았는데, 본 논문에서 측정한 소자는 고 유전

물질이 적용되어 있어 게이트로부터의 전자 주입을 억제하고 있으며 [34, 35], 실험을 진행할 시 erase 효율이 90%이상 유지되는 조건에서 진행하여 back 터널링이 거의 발생하지 않도록 하였기 때문이다.

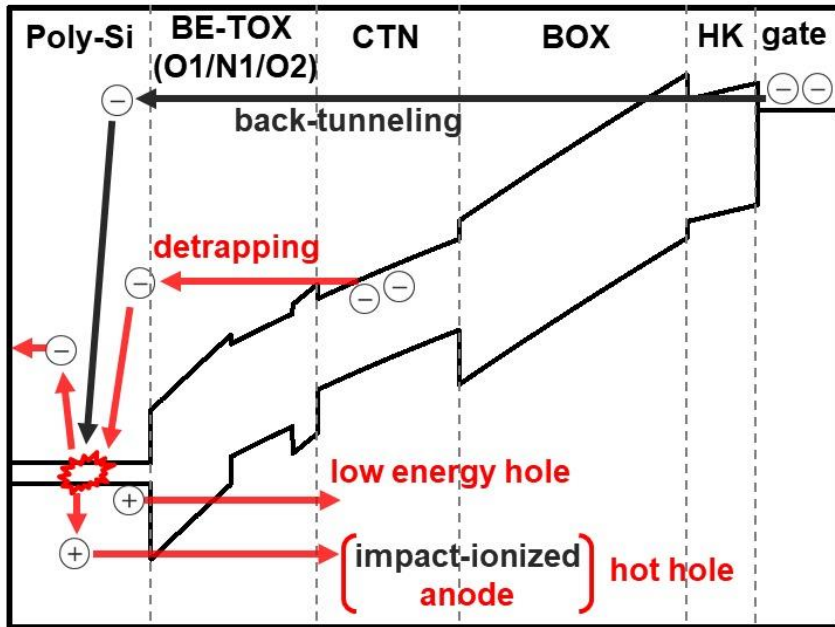


그림 24. Erase 동작에서 cell 특성 열화를 일으킬 가능성이 있는 메커니즘.

P/E window 를 음의 방향으로 이동시킬수록 erase 된 상태의 V_T 를 더 낮추기 위해 정공 터널링 전류가 증가한다. 또한, program 된 상태의 V_T 는 낮아지기 때문에 CTN 에 저장되는

전자의 양은 감소하게 되고 그에 따라 전자의 detrapping 전류는 감소한다. 이러한 사실을 바탕으로, cell 특성의 열화는 주로 erase 동작 중 polysilicon channel 에서 CTN 으로의 정공 터널링에 의해서 발생한다는 것을 알 수 있다.

제 5 장 결 론

본 논문에서는 P/E cycling 스트레스에 의한 밴드갭 엔지니어링이 적용된 터널링 산화막을 사용한 3차원 전하 트랩 낸드 플래시 메모리의 내구성 열화에 대해 연구하였다. 먼저 측정을 진행하여 SS 및 g_m 열화와 mid-gap 전압 변화에 의한 V_T 변화를 확인하였다. Program된 상태의 V_T 변화는 주로 interface trap 증가에 의한 SS와 g_m 열화에 의해 나타났고, erase된 상태의 V_T 는 SS와 g_m 열화에 더해 mid-gap 전압 변화가 추가되어 program된 상태보다 변화량이 컸다. Mid-gap 전압이 program된 상태는 P/E cycling 스트레스에 따라 거의 변하지 않고 일정한 반면, erase된 상태는 스트레스 증가에 따라 양의 방향으로 증가하는 특성을 보임을 확인하였다. 이를 3차원 낸드 플래시 메모리의 소자 구조 및 P/E 동작 특성을 고려하여 mid-gap 전압 변화 차이를 설명하는 메커니즘을 제시하였고, TCAD를 통해 제안한 메커니즘을 검증하였다.

P/E cycling 스트레스에 따라 측정된 cell 전류는 측정된 소자와 동일하게 구조를 구성한 TCAD 시뮬레이션으로 분석하였다. TCAD에

측정한 소자의 특성을 정확히 반영하기 위해 순수 초기 cell 전류 fitting을 먼저 진행하였다. 그 다음 TCAD와 측정 데이터와의 cell 전류 fitting을 진행하였고, D_{it} 와 D_{ot} 는 P/E cycling 스트레스의 멱함수 (power function)에 비례하여 증가하는 특성을 가지는 것을 확인하였다.

Cell 특성 열화에 영향을 주는 요소를 알아보기 위한 추가 실험을 program 스트레스와 erase 스트레스의 강도를 조절하여 진행하였다. Cell 특성의 열화 정도는 erase 스트레스에 비례하여 증가하는 특성을 보였고, 특히 polysilicon channel에서 CTN으로의 정공 터널링 전류가 cell 내구도를 열화 시키는 주요 요소임을 확인하였다.

이 논문에서 진행한 3차원 낸드 플래시 메모리의 cell 내구도 열화에 대한 연구가 P/E cycling 스트레스에 의한 트랩 생성 경향성 및 V_T 변화 원인에 대해 이해하는데 도움을 줄 것으로 기대한다.

참고 문헌

- [1] H. Tanaka, *et al.*: “Bit cost scalable technology with punch and plug process for ultra density flash memory,” IEEE Symposium on VLSI Technology (2007) 14.
- [2] R. Katsumata, *et al.*: “Pipe-shaped BiCS flash memory with 16 stacked layers and multi-cell operation for ultra high density storage device,” IEEE Symposium on VLSI Technology (2009).
- [3] E.-S. Choi, and S.-K. Park: “Device considerations for high density and highly reliable 3D NAND Flash cell in near future,” IEEE Int. Electron Device Meeting (2012) 211.
- [4] H. Kim, *et al.*: “Evolution of NAND flash memory: From 2D to 3D as a storage market leader,” IEEE International Memory Workshop (2017) 1.
- [5] Parat, K., and A. Goda: "Scaling trends in NAND flash," IEEE International Electron Devices Meeting (2018) 27.
- [6] M.-S Liang and C. Hu: “Electron trapping in very thin thermal silicon dioxides,” in IEDM Tech. Dig (1981) 396.
- [7] K. H. Lee and S. A. Campbell: “The kinetics of the oxide charge trapping and breakdown in ultrathin silicon dioxide,” J. Appl. Phys. 73 (1993) 4434.
- [8] S. K. Lai and D. R. Young: “Effects of avalanche injection of electrons into silicon dioxide- generation of fast and slow interface states,” J. Appl. Phys. 52 (1981) 6231.
- [9] Y.-B. Park and D. K. Schroder: “Degradation of thin tunnel gate oxide under constant fowler-nordheim current stress for a flash EEPROM,” IEEE Trans. Electron Devices 45 (1998) 1361.

- [10] M. Kang, J.-S. Yang and I.-J. Chang: "Studying trapped tunneling-electron migration due to program and erase cycles in NAND Flash," IEEE Electron Device Letters (2016) 284.
- [11] J.-D. Lee, J.-H. Choi, D. Park, and K. Kim: "Degradation of tunnel oxide by FN current stress and its effects on data retention characteristics of 90 nm NAND flash memory cells," in Proc. IRPS (2003) 497.
- [12] J.-D. Lee, J.-H. Choi, D. Park, and K. Kim: "Effect of interface trap generation and annihilation on the data retention characteristics of Flash memory cells," IEEE Trans. Electron Dev. and Mat. Rel. (2004) 110.
- [13] A. Fayrushin, *et al.*: "The new Program/Erase cycling degradation mechanism of NAND Flash memory devices," IEEE International Electron Device Meeting (2009) 823.
- [14] R. Shirota, *et al.*: "New method to analyze the shift of floating gate charge and generated tunnel oxide trapped charge profile in NAND flash memory by program/erase endurance," IEEE Trans. Electron Devices (2015) 114.
- [15] Y.-Y. Chiu, *et al.*: "Transconductance distribution in program/erase cycling of NAND flash memory devices: A statistical investigation," IEEE Trans. Electron Devices (2019) 1255.
- [16] Y.-Y. Chiu, *et al.*: "The origin of oxide degradation during time interval between program/erase cycles in NAND Flash memory devices," Jpn. J. Appl. Phys. 60 (2021) 070004.
- [17] H.-T Lue, *et al.*: "BE-SONOS: A bandgap engineered SONOS with excellent performance and reliability," in IEDM Tech. Dig. (2005) 547.

- [18] H.-T. Lue, *et al.*: “Modeling of barrier-engineered charge-trapping nand flash devices,” IEEE Trans. Device Mater. Rel. (2010) 222.
- [19] C.-Y. Lu, *et al.*: “Future challenges of flash memory technologies,” Microelectronic Engineering (2009) 283.
- [20] J. H. Kim, *et al.*: “Highly manufacturable 7th generation 3D NAND flash memory with COP structure and double stack process,” IEEE Symposium on VLSI Technology (2021) 1.
- [21] C. Caillat, *et al.*: “3DNAND GIDL-assisted body biasing for erase enabling CMOS array (CUA) architecture,” IEEE International Memory Workshop (2017) 1.
- [22] M. Kim, S. Kim, and H. Shin: “A compact model for ISPP of 3-D charge-trap NAND flash memories,” IEEE Trans. Electron Devices 67 (2020) 3095.
- [23] A. Padovani, A. Arreghini, L. Vandelli, L. Larcher, G. Van den bosch, P. Pavan, and J. V. Houdt: “A comprehensive understanding of the erase of TANOS memories through charge separation experiments and simulations,” IEEE Trans. Electron Devices 58 (2011) 3147.
- [24] G. Malavena, *et al.*: “Compact modeling of GIDL-assisted erase in 3-D NAND Flash strings,” J. Computational Electronics 18 (2019) 561.
- [25] Y.-Y. Liao and S.-F. Horng: “The effects of program/erase cycles on the ONO stack layer in SONOS flash memory cell investigated by a variable-amplitude low-frequency charge-pumping technique,” IEEE Trans. Device Mater. Rel. (2009) 356.
- [26] G. Yoon, *et al.*: “impact of P/E stress on trap profiles in bangap-engineered tunneling oxide of 3D NAND flash memory,” IEEE Access (2022) 62423.
- [27] H. Park, *et al.*: “Tunnel oxide degradation in TANOS device and its origin,” in Proc.

- Symp. VLSI Technol., System and Application (2010) 50.
- [28] G. Van den bosch, *et al.*: "Investigation of window instability in program/erase cycling of TANOS NAND Flash memory," IEEE International Memory Workshop (2009) 1.
- [29] W.-C. Chen *et al.*: "First theoretical modeling of the bandgap-engineered oxynitride tunneling dielectric for 3D flash memory device starting from the *Ab initio* calculation of the band diagram to understand the programing, erasing and reliability," IEEE International Electron Device Meeting (2021) 174.
- [30] Sentaurus Device User Guide, Synopsys, Mountain View, CA, USA, 2015.
- [31] H. Jo, J. Kim, M. Kim, and H. Shin: "Extraction of mobility in 3-D NAND flash memory with poly-Si based macaroni structure," IEEE EDTM (2020) 1.
- [32] S. Fujii, *et al.*: "Interface state in metal-oxide-nitride-silicon memories induced by hole injection during program/erase cycle stress," Jpn. J. Appl. Phys. 51 (2012) 124302.
- [33] D. H. Kim, *et al.*: "Comparative investigation of endurance and bias temperature instability characteristics in metal-Al₂O₃-nitride-oxide-semiconductor (MANOS) and semiconductor-oxide-nitride-oxide-semiconductor (SONOS) charge trap flash memory," JSTS (2012) 449.
- [34] H.-T. Lue, *et al.*: "Understanding barrier engineered charge-trapping NAND flash devices with and without high-K dielectric," IEEE IRPS (2009) 874.
- [35] S.-C. Lai, *et al.*: "MA BE-SONOS: A bandgap engineered SONOS using metal gate and Al₂O₃ blocking layer to overcome erase saturation," IEEE NVSMW (2007) 88.

Abstract

Investigation of endurance degradation for 3-D charge trap NAND flash memory with bandgap-engineered tunneling oxide

Jongwoo Kim

Department of Electrical and Computer Engineering

The Graduate School

Seoul National University

3-D charge trap (CT) NAND flash memory is extensively applied to various electronic devices such as SSD (Solid State Drive), smartphone, and universal flash storage (UFS) because it is competitive in reducing bit cost and realizing large density. NAND flash memory repeatedly performs program operation and erase operation using Fowler-Nordheim (FN) tunneling. In the tunneling process, interface traps (N_{it}) and bulk traps in the tunneling oxide (N_{ot}) are generated due to FN current stress, and charges are trapped in the bulk traps. As a result, subthreshold swing (SS) increase,

transconductance (g_m) decrease, and mid-gap voltage shift occur. Due to such cell performance degradation, the threshold voltage (V_T) changes, causing a problem of increasing read error bit.

In this thesis, the endurance degradation of 3-D CT NAND flash memory with bandgap-engineered tunneling oxide (BE-TOX) due to program/erase (P/E) cycling stress is investigated. First, P/E cycling experiments are conducted to observe and analyze the endurance degradation. The mid-gap voltage changes in the erased state and programmed state due to P/E cycling stress appear differently. To explain this phenomenon, a mid-gap voltage shift mechanism considering P/E operating characteristics and device structure is presented. The proposed mechanism is verified by technology computer-aided design (TCAD).

In addition, cell current fitting is conducted by implementing the same TCAD simulation structure as the measured device. From this, the interface trap density (D_{it}) and bulk trap density in the tunneling oxide (D_{ot}) by P/E cycling stress are extracted. The increase in D_{it} and D_{ot} is proportional to the power function of P/E cycling stress.

Lastly, additional tests are performed to confirm the effect of each operation on the deterioration of cell characteristics by controlling the intensity of program stress and erase stress. The erase operation mainly deteriorates cell characteristics. Particularly, it is confirmed through experiments that hole tunneling from the polysilicon channel to the charge trap nitride (CTN) is a major mechanism for deteriorating cell characteristics.

Keywords : 3-D NAND flash memory, program/erase cycling stress, endurance degradation, mid-gap voltage, hole tunneling current, TCAD current fitting

Student Number : 2021-29016