



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위 논문

커패시터 커플링을 이용한 직류 배전용
컨버터 모듈의 설계 및 제어

**Design and Control of
Capacitor Coupled Converter Module for
DC Distribution System**

2023년 02월

서울대학교 대학원

전기·정보공학부

홍진수

커패시터 커플링을 이용한 직류 배전용 컨버터 모듈의 설계 및 제어

지도 교수 하 정 익

이 논문을 공학박사 학위논문으로 제출함
2022년 12월

서울대학교 대학원
전기·정보공학부
홍진수

홍진수의 공학박사 학위논문을 인준함
2022년 12월

위원장	<u>설 승 기</u>	(인)
부위원장	<u>하 정 익</u>	(인)
위원	<u>최 성 휘</u>	(인)
위원	<u>김 성 민</u>	(인)
위원	<u>신 중 원</u>	(인)

초 록

반도체 변압기는 상용 주파수 변압기 대비 높은 전력밀도와 완만한 경부하 효율특성, 전압강하 보상과 계통사고에 대한 유연한 대응이 가능하다는 장점을 갖고 있다. 그러나 반도체 변압기는 중/고부하에서 상용 주파수 변압기 대비 효율이 낮아 상용화에 큰 제한이 있다. 이러한 한계점을 극복하기 위한 방안으로, 고주파 고전압 절연 변압기를 제거하고 커패시터 커플링을 이용하여 전력변환 하는 방식의 비절연 반도체 변압기가 주목을 받고 있다. 커패시터 커플링을 이용한 컨버터는 변압기의 부재로 높은 효율과 높은 전력밀도 달성이 가능하며 설계비용을 절감할 수 있다는 장점이 있다. 또 커패시터 커플링을 이용한 컨버터를 모듈화 하여 직렬-입력 병렬-출력 구조로 적층 시키면, 쉽게 고 승압비를 구현 할 수 있으며, 승압비에 따른 컨버터 동작 특성의 의존성을 최소화할 수 있다.

본 논문에서는 커패시터 커플링을 이용한 비절연 반도체 변압기를 모델링하고 드롭 제어 특성을 고려한 체계적인 컨버터 모듈의 설계방법을 제안한다. 컨버터 모듈의 등가모델을 도출하여, 각 층에 적층 된 모듈이 2병렬화 된 SR-DAHB 컨버터와 등가임을 보인다. 또, 영상분 전류의 존재성을 확인하고, 이를 최소화하기 위한 스위칭 방법을 제시한다. 이어서, 모델링 결과를 바탕으로 옥내 직류 배전용 커패시터 커플링을 이용한 반도체 변압기의 컨버터 모듈을 설계한다. 컨버터 모듈의 설계 목표를 제시하고, 임피던스 설계 자유도를 이용하여 컨버터 모듈의 동작 특성을 세밀하게 조정하는 방안에 대하여 제시한다. 또 모듈이 적층 될 때에 커패시터 커플링에 이용되는 고전압 커패시터에 의한 컨버터 모듈의 전력밀도 감소를 고려하는 방안에 대하여 제시한다.

커패시터 커플링을 이용한 컨버터는 자화전류의 부재로, 경부하에서 영전압-스위칭(ZVS, Zero Voltage Switching) 달성이 제한된다. 이에, 본 논문에서는 경부하 효율 특성을 개선하기 위한 제어 방안에 대하여 제안한다. 커패시터 커플링을 이용한 컨버터 모듈의 등가모델인 SR-DAHB 컨버터를 시간영역으로 해석 하여, 닫힌 해의 컨버터 상태 변수(전압, 전류, 전력 등)들을 도출한다. 이러한 시간영역 해석을 바탕으로, 부하율이 낮아짐에 따라 가장 먼저 ZVS 달성에 위협받은 스위치의 ZVS 특성을 개선시키는 ‘ZVS영역 확장 제어 방식’을 제안한다. 제안한 제어 방식의 효과로 더 넓은 범위에서 모든 스위치가 ZVS 달성됨을 보이고, 이는 전압 이득이 높을 수록 더 효과적임을 보인다. 이어서 경부하 효율 특성을 개선하기 위한 두번째 방안으로 컨버터를 주기적으로 켜다 켜다 하는 펄스 밀도 변조 방식을 적용한다. 펄스 밀도 변조 방식을 위한 전류 지령 생성방안과 컨버터를 켜을 때 발생하는 전류의 링잉을 최소화하기 위한 방안을 제시한다.

제안하는 설계방법의 효용성과 우수성 검증을 위하여 11 kW 정격의 커패시터 커플링을 이용한 컨버터가 구현되었다. 실험을 통해 구현된 컨버터가 설계 목표를 달성함을 보이고, 대조군으로 제작된 변압기 커플링을 이용한 컨버터보다 우수한 효율을 갖음을 확인하였다. 제안된 제어 방식들을 검증하기 위한 실험도 수행되었다. 실험을 통해 기존의 제어 방식과 동작 특성 및 효율을 비교하고 제안된 방식들의 효과성을 입증하였다.

주요어 : 반도체 변압기, 커패시터 커플링을 이용한 컨버터, 영전압-스위칭

학 번 : 2017-21050

목 차

제 1 장 서 론	1
1.1 연구 배경.....	1
1.1.1 중전압/저전압 직류 배전 시스템의 가능성	1
1.1.2 반도체 변압기의 현황 및 제한점들	6
1.1.3 커패시터 커플링을 이용한 반도체 변압기의 가능성	13
1.2 연구 목적.....	17
1.3 논문의 구성.....	17
제 2 장 기존의 연구 및 배경이론	19
2.1 중전압/저전압 직류 변환 반도체 변압기	19
2.1.1 절연형 반도체 변압기의 분류	19
2.1.2 고주파 고전압 절연 변압기의 현황과 제한점	28
2.1.3 비절연 반도체 변압기의 가능성과 응용분야.....	33
2.1.4 비절연형 반도체 변압기의 분류	38
2.2 커패시터 커플링을 이용한 반도체 변압기 선행 연구.....	44
2.2.1 커패시터의 특징	45
2.2.2 선행 연구의 제한점	49
2.3 주요 양방향 전력변환 컨버터들의 특징과 비교	58
2.3.1 듀얼 액티브 브릿지 컨버터(DAB).....	58
2.3.2 직렬-LC 공진형 컨버터(LC-SRC).....	61
2.3.3 LLC/CLLC 직렬 공진형 컨버터(LLC/CLLC-SRC).....	63
2.3.4 직렬-공진형 듀얼 액티브 브릿지 컨버터(SR-DAB).....	64
2.4 SR-DAHB 컨버터의 기본과 해석과 제어 방식.....	67
2.4.1 SR-DAHB 컨버터의 기본과 해석.....	68
2.4.2 SR-DAHB 컨버터의 제어 방식.....	72

제 3 장 커패시터 커플링을 이용한 직류 배전용 반도체 변압기 모델링 및 컨버터 모듈 설계 76

- 3.1 커패시터 커플링을 이용한 직렬-입력 병렬-출력 반도체 변압기 등가 모델링..... 77
 - 3.1.1 등가 회로 77
 - 3.1.2 영상분 전류 분석과 최소화 방법 83
 - 3.1.3 차동-모드 전류 해석과 최소 단위 컨버터의 도출 87
- 3.2 커패시터 커플링을 이용한 컨버터 모듈 설계 90
 - 3.2.1 주요 설계 목표 설정 93
 - 3.2.2 드롭 곡선의 선정 100
 - 3.2.3 스위칭 소자 및 커패시터와 자성물성 선정 107
 - 3.2.4 컨버터 동작 특성 설계 과정 110
 - 3.2.5 전력밀도 최적 설계 과정 113
 - 3.2.6 고조파의 영향을 고려한 설계 과정 122
 - 3.2.7 영전압-스위칭에 필요한 최소 전류 크기를 고려한 설계 과정 128
 - 3.2.8 반복 설계와 모의 실험을 통한 설계 제정수 검증 및 조정 142

제 4 장 SR-DAHB 컨버터의 시간영역 해석과 경부하 효율 개선 방안 153

- 4.1 연구 배경..... 155
 - 4.1.1 SR-DAHB 컨버터 기본과 해석의 한계점..... 157
 - 4.1.2 시간영역 해석의 특징과 선행 연구의 제한점 166
- 4.2 SR-DAHB 시간영역 해석 168
 - 4.2.1 SR-DAHB 컨버터의 정규화와 제어 자유도..... 168
 - 4.2.2 스위칭 패턴 분류 171
 - 4.2.3 순시 전압 전류의 단힌 표현식 도출 174
 - 4.2.4 평균 전력의 단힌 표현식 도출 183
 - 4.2.5 실효 전류/전압의 단힌 표현식 도출 185
- 4.3 영전압-스위칭 영역 확장 제어 방식(EZVS 제어) 187
 - 4.3.1 스위칭-전류 성형 제어 방식의 기본 원리..... 187

4.3.2	영전압-스위칭 영역 확장 제어 방식의 제어 변수 도출	190
4.3.3	선행연구 제어 방식과의 비교우위와 제한점	202
4.4	펄스 밀도 변조 방식(PDM 제어)	210
4.4.1	펄스 밀도 변조 방식의 전류 지령 및 주파수 선정	212
4.4.2	과도상황에서 전류 링잉 최소화 방안	217
제 5 장	실험결과	222
5.1	설계된 제정수와 전력회로	222
5.1.1	설계된 제정수	222
5.1.2	설계된 전력회로	227
5.2	단위 모듈 설계 검증과 효율 계측 결과	230
5.2.1	설계 검증 결과	230
5.2.2	정격 실험 결과	233
5.2.3	효율 계측 결과	235
5.3	제안된 경부하 효율 개선 방법의 검증 및 효율	239
5.3.1	영전압-스위칭 영역 확장 제어 방식(EZVS 제어) 실험 결과	239
5.3.2	펄스 밀도 변조 방식(PDM 제어) 실험 결과	249
5.3.3	제어 방식 별 효율 특성 비교 결과	252
제 6 장	결론 및 향후 과제	258
6.1	연구 결과	258
6.2	향후 연구	261
제 7 장	부 록	263
7.1	인덕터/커패시터 에너지 밀도 차이 보정 계수 산정	263
7.2	스위치 출력 커패시턴스의 사전 평가	266
7.3	데드타임으로 인한 전압 왜곡 보상 방법	270
7.4	시간영역 해석으로 도출된 단힌 표현식	272
7.5	SR-DAHB 컨버터의 고차 푸리에 해석	279
7.6	동손을 고려했을 때 시간영역 해석 오차	281
참고 문헌		283
Abstract		304

그림 목차

그림 1-1 한국의 재생에너지 발전량과(TWh) 전체 에너지 발전량에서 재생에너지 발전량의 비율(e-나라 지표 [2] 통계를 재구성).....	1
그림 1-2 재생에너지원 접속에 따른 (가) 교류 배전 계통의 한계 (나) 직류 배전 계통의 구조.....	2
그림 1-3 변압기의 주요 원자재인 구리와 철광석의 가격 변동 추이 (e-나라 지표 [2] 지난 9년간의 통계를 재구성).....	3
그림 1-4 직류 중전압/저전압 컨버터.....	6
그림 1-5 국내외 기업이 설계 제작한 반도체 변압기.....	9
그림 1-6 커패시터 커플링을 이용한 직렬-입력 병렬-출력 컨버터	13
그림 2-1 중전압/저전압 변환 절연형 반도체 변압기.....	20
그림 2-2 15 kV SiC IGBT를 이용한 3레벨 NPC [48].....	21
그림 2-3 12 kV – 400 V 20 kVA 직렬-입력 병렬 출력 컨버터 [29].....	22
그림 2-4 멀티 액티브 브릿지 컨버터.....	24
그림 2-5 모듈러 멀티 레벨 컨버터(MMC, Modular Multilevel Converter)와 2레벨 인버터를 결합한 컨버터 [76], [77].....	25
그림 2-6 기존 문헌에서 설계된 고주파 변압기와 효율.....	28
그림 2-7 고주파 변압기 내에서 절연 물질로 인한 열 방출 능력 저하 [85].	29
그림 2-8 [23]에서 설계된 10 kV 고주파 변압기	30
그림 2-9 [87]에서 제안된 해상풍력단지를 위한 직류 계통 구조	35
그림 2-10 [103]에서 제안된 직류 전압 조정기로 제어되는 계통	36

그림 2-11	[111]에서 제안된 다중 궤전 전철 시스템.....	37
그림 2-12	중전압/저전압 변환 비절연형 반도체 변압기.....	38
그림 2-13	모듈러 멀티레벨 컨버터와 내부 변압기를 이용한 구조.....	39
그림 2-14	모듈러 멀티레벨 컨버터의 극 출력을 공유하는 구조 [98].....	40
그림 2-15	모듈러 멀티레벨 컨버터의 출력을 필터링하는 컨버터 구조 [102].....	41
그림 2-16	중전압 교류 공진 공진을 이용한 양방향 컨버터 [130].....	42
그림 2-17	커패시터로 중전압 직류 전압을 차단하는 구조의 직렬-입력 병렬-출력 컨버터 (가) [36] (나) [37].....	44
그림 2-18	커패시터의 전류 정격 특성.....	46
그림 2-19	시중에서 판매되고 있는 1 nF 이상의 고전압 커패시터.....	47
그림 2-20	표 2-3에 정리되어 있는 선행문헌을 설계 제정수인 최대 전압 위상 각 ϕ_{\max} 과 정규-공진점 FN 으로 정리한 그래프.....	51
그림 2-21	DAB 컨버터에서 최대 전압 위상 각 ϕ_{\max} 에 따른 동작 특성.....	53
그림 2-22	200 kHz, 600 V/600 V 10 kW 설계에서 최대 전압 위상 각 ϕ_{\max} , 정규 공진점 FN 에 따른 커패시턴스 크기.....	55
그림 2-23	200 kHz, 600 V/600 V 10 kW 설계에서 최대 전압 위상 각 $\phi_{\max} = 30^\circ$ 설계에서 중전압 크기와 정규 공진점 FN 에 따른 전체 임피던스 부피 비교 예시.....	56
그림 2-24	단상 L-DAB 컨버터.....	58
그림 2-25	직렬-LC 공진형 컨버터(LC-SRC).....	61
그림 2-26	SR-DAHB 컨버터의 (가) 기본파 모델 (나) 유/무효 전력 흐름.....	67
그림 2-27	SR-DAHB 컨버터의 제어 방식1.....	72

그림 2-28 SR-DAHB 컨버터의 제어 방식2	74
그림 3-1 커패시터 커플링을 이용한 반도체 변압기의 일반적인 전력 회로 구조	77
그림 3-2 커패시터 커플링을 이용한 컨버터 모듈의 회로 구조	78
그림 3-3 커패시터 커플링을 이용한 반도체 변압기의 직류 전압 성분과 고주파 성분을 분리한 등가 회로	80
그림 3-4 n 번째 모듈의 교류 전압원만을 남긴 등가 회로	81
그림 3-5 푸리에 성분으로 표현한 n 번째 모듈의 주파수영역 등가 회로	83
그림 3-6 n 번째 모듈의 영상분 테브난 등가회로	84
그림 3-7 영상분 전압을 최소화하기 위한 스위칭 방식	86
그림 3-8 n 번째 모듈의 차동-모드 등가회로1	87
그림 3-9 n 번째 모듈의 차동-모드 등가회로2	88
그림 3-10 커패시터 커플링을 이용한 단위 모듈 등가 모델: 2병렬 SR-DAHB 컨버터	89
그림 3-11 고정 스위칭 주파수 제어 활용 근거	93
그림 3-12 최대 전압 위상 각 ϕ_{max} 에 따른 SPS 제어시의 ZVS 경계선 특성	96
그림 3-13 전형적인 DAB 컨버터 효율 개형과 최대 효율 지점 예시	97
그림 3-14 (가) 비선형 저항 특성을 갖는 드롭 곡선 (나) 선형/비선형 드롭 곡선과 컨버터의 동작 특성 비교	100
그림 3-15 드롭 제어 전략에 따른 전력 흐름	102
그림 3-16 본 논문에서 설계하고자 하는 배전용 반도체 변압기의 1차측 전압	

에 따른 드롭 곡선.....	103
그림 3-17 1차측 전압이 공칭 전압 일 때의 5% 선형 드롭 곡선과 정방향과 역방향 정격 출력 지점.....	104
그림 3-18 $R_{ds,on}$ 과 스위치 출력 커패시턴스 관계	107
그림 3-19 5% 드롭 곡선상에서 최대 전압 위상 각에 따른 동작 특성 변화	111
그림 3-20 부록 7.1을 통해서 계산된 3C94 코어 크기 별 (가) 에너지 밀도 크 기와 (나) 에너지 밀도 차이 보정계수 WLC ([138]과의 상대비교).....	115
그림 3-21 지락 사고동작 상황에서 공진 커패시터에서 차단되는 직류 전압	117
그림 3-22 적층 위치에 따른 커패시터 전압 정격 예시 ($V_{dc,p} = 600 V$, $VMV = 12 kV$)	117
그림 3-23 최대 전압 위상 각 $\phi_{max} = 26^\circ$, $VMV = 12 kV$ 설계에서 정규-공진 점 FN 의 변화에 따른 각 수동소자별 저장 에너지.....	120
그림 3-24 최대 전압 위상 각 $\phi_{max} = 26^\circ$ 설계에서 중전압 증가에 따른 최 적 정규-공진점 FN 과 gE 의 변화.....	121
그림 3-25 정규-공진점 FN 의 변화에 따른 기본파 임피던스와 고조파 임피던 스의 비율의 변화.....	123
그림 3-26 고조파 전류로 인한 턴-오프 전류 증가 및 ZVS 영역의 확장.....	124
그림 3-27 최대 전압 위상 각 $\phi_{max} = 26^\circ$ 설계에서 고조파를 고려하였을 때 정규-공진점 FN 의 변화에 따른 ZVS 영역의 변화.....	126
그림 3-28 SR-DAHB 컨버터내 스위치 전류	128
그림 3-29 1차측 브릿지에서 아랫상이 꺼지고 윗상이 켜지기 전 데드타임 구	

간 동안의 회로 모델.....	130
그림 3-30 브릿지의 극에서 바라본 데드타임 구간 동안의 등가 회로 모델	130
그림 3-31 ZVS가 달성가능한 스위칭 전류 I_{L0} 로 스위칭 했을 때 v_{Coss} 의 변화와 최적의 데드타임 시간 $T_{D,opt}$ 의 이동 ($L_r = 15 \mu H$, $C_{oss} = 510 pF$)	132
그림 3-32 ZVS가 달성가능한 스위칭 전류 I_{L0} 로 스위칭 했을 때 i_L 의 변화.....	133
그림 3-33 실제 인가한 데드타임 T_D 이 최적의 데드타임 시간 $T_{D,opt}$ 보다 길거나 짧은 경우에 발생하는 불완전 ZVS(iZVS)의 대표적 예시.....	134
그림 3-34 고정된 데드타임 조건에서 ZVS가 실현가능한 최소한의 전류로 스위칭 했을 때 ($T_D = 125 nsec$, $L_r = 15 \mu H$, $C_{oss} = 510 pF$) (가) $v_{DS,pH}$ 의 변화 (나) i_L 의 변화.....	135
그림 3-35 $\phi_{max} = 26^\circ$ 설계에서 설계 제정수 FN 에 따른 인덕턴스 값과 ZVS를 위한 최소 전류의 변화($C_{oss} = 510 pF$).....	139
그림 3-36 최대 전압 위상 각 $\phi_{max} = 26^\circ$ 설계에서 고조파와 ZVS 스위칭-전류 I_{zvsb} 를 고려 하였을 때 정규-공진점 FN 의 변화에 따른 ZVS 영역의 변화.....	141
그림 3-37 최종적인 설계 제정수 확정을 위한 반복 설계 과정.....	142
그림 3-38 설계의 반복횟수에 따른 전압 위상 각 ϕ_{max} 와 정규-공진점 FN 의 조정과정.....	143
그림 3-39 설계 검증을 위한 모의 실험 구성.....	144
그림 3-40 데드타임으로 인한 극 전압 왜곡.....	145
그림 3-41 모의 실험을 통한 설계 검증1 (가) 하달된 전류 지령 (나) ZVS 달성	

여부 평가 결과.....	146
그림 3-42 ZVS 판정 모델에 따른 명목 ZVS 경계선과 모의 실험을 통해 얻은 실질 ZVS 경계선의 차이.....	147
그림 3-43 보정계수 α 에 따른 (가) 명목 ZVS 경계선의 변화와 (나) 최대 전압 위상 각 ϕ_{max} 과 정규-공진점 FN 의 조정.....	149
그림 3-44 모의 실험을 통한 설계 검증2 (가) 보정계수 $\alpha = 1.2$ 일 때 (나) 보정계수 $\alpha = 1.4$ 일 때.....	150
그림 3-45 최적 설계 결과: 1차측 전압 $V_{dc,p}$ 가 공칭 전압일 때 동작 특성	151
그림 3-46 최적 설계 결과: 1차측 전압 $V_{dc,p}$ 가 (가) 공칭 전압 +5% 일 때의 동작 특성 (나) 공칭 전압 -5% 일 때의 동작 특성.....	152
그림 4-1 윗상 하드 스위칭 시 스위치의 출력 커패시터 C_{oss} 에 저장되어 있는 에너지의 하드 스위칭 시 손실 경로.....	155
그림 4-2 한 개 스위치 하드 스위칭 시 출력 커패시터 C_{oss} 에 의한 손실이 컨버터 효율에 미치는 영향.....	156
그림 4-3 시비율 D 에 따른 고조파 전압 (가) 풀-브릿지 (나) 하프-브릿지...158	158
그림 4-4 정규-공진점 FN 에 따른 기본파 주파수의 임피던스와 고조파 임피던스 사이의 비율의 변화.....	159
그림 4-5 $M < 1$ 동작영역에서 SR-DAB 컨버터의 MCT 제어 하에 ZVS 판정.....	161
그림 4-6 $M < 1$ 동작영역에서 SR-DAHB 컨버터의 MCT 제어 하에 ZVS 판정.....	162
그림 4-7 MCT 제어 방식에서 ZVS 스위칭-전류 I_{zvsb} 크기와 최대 전압 위상 각 ϕ_{max} 설계에 따른 ZVS 달성 스위치 개수($FN = 0.75$).....	164

그림 4-8	정규화 된 SR-DAHB 컨버터.....	168
그림 4-9	SR-DAHB 컨버터의 스위칭 패턴 분류.....	173
그림 4-10	직렬-LC 회로에서 정규화 된 커패시터 전압 u_{ct} 과 인덕터 전류 jL_t 의 계단 응답 궤적.....	174
그림 4-11	스위치 모드 1에서의 (가) 등가회로 (나) 전압 u_c 와 전류 jL 궤적.....	176
그림 4-12	스위치 모드 2에서의 (가) 등가회로 (나) 전압 u_c 와 전류 jL 궤적.....	177
그림 4-13	스위칭 모드 3에서의 (가) 등가회로 (나) 전압 u_c 와 전류 jL 궤적.....	178
그림 4-14	스위치 모드4에서의 (가) 등가회로 (나) 전압 u_c 와 전류 jL 궤적.....	179
그림 4-15	동일 지령 출력 전력 하에서 다른 조합의 스위치들의 턴-오프 전류를 성형한 제어 방식의 전압 전류 파형.....	188
그림 4-16	제안하는 ZVS 영역 확장 스위칭 기법(EZVS).....	190
그림 4-17	제안하는 EZVS 제어 방식에서 ZVS가 반드시 달성되도록 선택되는 스위치.....	191
그림 4-18	$\Gamma_{p, \min}, SPS^*$ 제어상태 예시.....	193
그림 4-19	SPS 제어 방식과 EZVS 제어 방식 사이의 (가)제어 변수 비교와 (나)정규화 된 스위치 턴-오프 전류 비교.....	196
그림 4-20	스위칭 패턴3에서 2차측 턴-오프 전류 크기를 유지하는 지령 출력 전력에 하한의 존재성.....	198
그림 4-21	스위칭 패턴2에서 EZVS 제어 방식의 제어 파형.....	200
그림 4-22	표 4-9 제어 조건하에서 얻어진 (가)EZVS 제어 방식의 제어 변수	

와 (나) 2차측 스위치의 턴-오프 전류	201
그림 4-23 1차측 전압이 공칭 전압일 때 SPS [141] 제어시의 (가) ZVS 달성 스위치의 개수 (나) 실효 전류 크기	203
그림 4-24 복수의 스위치의 스위칭 턴-온 손실이 한 개의 스위칭 턴-온 손실 보다 큰 경우의 예시	205
그림 4-25 제어 방식 별 모든 스위치 ZVS 달성 영역 경계선의 비교	208
그림 4-26 전압 변환율이 넓은 응용분야에서 제어 방식 별 동작 특성 비교	209
그림 4-27 Burst-모드를 통한 경부하 효율 개선 특성	210
그림 4-28 대표적인 Burst-모드 구현 방법	211
그림 4-29 PDM 제어 방식을 통해 수정된 전류 지령	214
그림 4-30 PDM 제어에 따른 입력 커패시터의 전류 리플	215
그림 4-31 PDM 제어 주기 TPDM에 따른 최대 입력 전압 리플 $\Delta V_{c,max}$ 와 최 소 변위 시비율 $D\Delta$ ($I_o, zvs = 5 A, C_{in} = 100 \mu F, T\Delta = 20 \mu S$)	216
그림 4-32 임의의 시점에서 컨버터를 턴-온하는 경우에서의 과도상태 예시	217
그림 4-33 전류 링잉을 최소화 하기위한 컨버터의 턴-온, 턴-오프 시점	219
그림 4-34 링다운 턴-온 시점 TRNGD에서 컨버터를 턴-온 하는 경우에서의 과도상태 예시 ($600 V / 600 V, I_o, PDM = 5 A, T_D = 125 nsec$)	221
그림 5-1 최적 설계와 실험을 위해 구현된 임피던스의 동작 특성 비교	222
그림 5-2 설계된 SR-DAHB 컨버터의 제정수	223
그림 5-3 실험을 위해 설계된 고주파 인덕터(각각 87 cm3)	223
그림 5-4 설계된 L-DAB 컨버터의 제정수	224

그림 5-5	대조 실험을 위해 설계된 12 kV 공극 절연(4 mm) 고주파 변압기 (485 cm ³)	225
그림 5-6	TOS 5101을 이용한 대조군으로 설계된 변압기의 10 kV 절연 테스트	226
그림 5-7	설계된 제정수의 전압에 따른 부피 비교.....	226
그림 5-8	실험을 위하여 설계된 풀-브릿지 전력회로.....	227
그림 5-9	4개의 풀-브릿지 모듈이 적층 된 구성	228
그림 5-10	실험을 위해 설계된 제어보드와 보조전원 (가) STM32H745 제어보 드(W: 65mm, L: 35mm) (나) 플라이백 보조 전원	229
그림 5-11	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 585\text{ V}$, $I_o = 5\text{ A}$ 개 루프 실험 파형1.....	230
그림 5-12	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 585\text{ V}$, $I_o = 5\text{ A}$ 개 루프 실험 파형2.....	232
그림 5-13	단위 모듈(2 병렬 SR-DAHB)의 정격 출력 개 루프 제어 파형....	234
그림 5-14	효율을 측정하기 위한 계측기 셋업과 부하기, 대상 컨버터 전력 순환 구조.....	235
그림 5-15	SPS 제어 효율 비교(보조 전원 손실 미포함)(가) 커패시터 커플링 방식 (나) 변압기 커플링 방식	236
그림 5-16	보조 전원으로 인한 손실을 포함하여 계산된 효율.....	237
그림 5-17	1차측 전압이 공칭전압일 때 드롭 곡선상의 (가) 정상상태 모듈 효 율 (나) 정상상태 모듈 출력 전류	238
그림 5-18	SPS 제어의 개 루프 제어 특성	239
그림 5-19	전류 폐 루프 제어 블락도.....	240
그림 5-20	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 2.5\text{ A}$, SPS 제어 방식 파형1	241
그림 5-21	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 2.5\text{ A}$, EZVS 제어 방식 파형1.	241

그림 5-22	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 2.5\text{ A}$, SPS 제어 방식 파형2243
그림 5-23	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 2.5\text{ A}$, EZVS 제어 방식 파형2244
그림 5-24	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 1.0\text{ A}$, SPS 제어 방식 파형1246
그림 5-25	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 1.0\text{ A}$, EZVS 제어 방식 파형1246
그림 5-26	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 1.0\text{ A}$, SPS 제어 방식 파형2247
그림 5-27	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 1.0\text{ A}$, EZVS 제어 방식 파형2248
그림 5-28	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 600\text{ V}$ 에서 (가) $I_o = 1.0\text{ A}$, PDM 제어 방식 파형 (나) $I_o = 2.5\text{ A}$, PDM 제어 방식 파형249
그림 5-29	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 600\text{ V}$, $I_o = 1.0\text{ A}$ 에서 과도 전류 저감 방법 적용 시 PDM 제어 방식 파형250
그림 5-30	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 600\text{ V}$, $I_o = 2.5\text{ A}$ 에서 과도 전류 저감 방법 적용 시 PDM 제어 방식 파형251
그림 5-31	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$ 에서 제어 방식 별252
그림 5-32	$V_{dc,p}/V_{dc,s} = 600\text{ V} / 600\text{ V}$ 에서 제어 방식 별253
그림 5-33	높은 전압 이득에 따른 제어 방식 별 모듈 효율 특성 비교1256
그림 5-34	높은 전압 이득에 따른 제어 방식 별 모듈 효율 특성 비교2256
그림 5-35	높은 전압 이득에 따른 제어 방식 별 모듈 효율 특성 비교3257
그림 7-1	인덕터의 주요 설계 제정수263
그림 7-2	3C94 코어 물성에서의 주파수, 자기장에 따른 손실 특성 [183]264
그림 7-3	스위치의 드레인-소스 전압 V_{DS} 에 따른 C_{oss} 특성 [158]266
그림 7-4	스위치의 시간-등가 출력 커패시턴스 측정268
그림 7-5	데드타임으로 인한 극 전압 보상을 위한 극 전압 왜곡 계산 방법	

.....	270
그림 7-6 무손실 회로와 손실 회로의 등가회로.....	281
그림 7-7 Q 값에 따른 무손실 회로와 손실 회로의 (가) 전류 크기 오차 (나) 전류 위상 오차.....	282

표 목차

표 2-1 중전압/저전압 직류 변환 절연형 반도체 변압기 종류와 주요 특징 및 제한점.....	27
표 2-2 선행 문헌에서 설계된 고주파 고절연 변압기의 효율.....	31
표 2-3 커패시터 커플링을 이용한 컨버터 선행 문헌 연구에서의 설계 제정수 와 제어 방식.....	50
표 2-4 직렬-입력 병렬-출력 컨버터의 단위 모듈을 이루는 주요 전력 변환 토 폴로지별 장단점.....	66
표 2-5 기본과 해석을 통한 스위칭 순간의 전류.....	71
표 3-1 중전압/저전압 배전용 반도체 변압기 설계 목표.....	92
표 3-2 단위 모듈 및 SR-DAHB 설계 조건.....	99
표 3-3 설계에 이용된 SiC 하프-브릿지 모듈 (FF23MR12W1M1P) 제정수 [163]	108
표 3-4 공진 커패시터 설계에 이용된 세라믹 MLCC 커패시터 [138].....	109
표 3-5 설계 제정수의 최적 설계 값.....	151
표 4-1 SR-DAHB 컨버터의 정규화.....	169
표 4-2 스위치 턴-온 시점의 조합에 따른 직렬-LC 임피던스에 인가되는 전압 패턴.....	172
표 4-3 스위치 모드 간격(θ^*)과 제어 변수 사이의 관계.....	172
표 4-4 스위칭 패턴3에서의 스위칭 순간 커패시터 전압 값.....	182
표 4-5 스위칭 패턴3에서의 스위칭 순간 인덕터 전류 값.....	182
표 4-6 스위칭 패턴에 따른 평균 전력의 단히 해.....	184

표 4-7	본 항에서 제어 파형 예시를 위해 쓰이는 컨버터 제정수	192
표 4-8	스위칭 패턴3에서 EZVS 제어 방식의 해 도출 위한 제한조건 표현식	195
표 4-9	스위칭 패턴2에서 EZVS 제어 방식의 해 도출 위한 제한조건 표현식	199
표 4-10	EZVS 제어 방식의 ZVS 경계선을 얻기 위한 제한조건	207
표 5-1	SR-DAHB 컨버터의 최적 설계 제정수와 실험 위한 설계 값	223
표 5-2	대조 실험을 위해 설계한 200 kHz 고주파 변압기의 설계 값	224
표 7-1	본 논문에서 3C94 코어 에너지 밀도 비교를 위해 산정한 인덕터 제정 수	265
표 7-2	3C94 코어 형상 별 설계 제정수	265
표 7-3	스위칭 패턴1에서의 스위치 모드의 구간별 간격	273
표 7-4	스위칭 패턴1에서의 스위칭 순간 커패시터 전압 값	273
표 7-5	스위칭 패턴1에서의 스위칭 순간 인덕터 전류 값	273
표 7-6	스위칭 패턴2에서의 스위치 모드의 구간별 간격	274
표 7-7	스위칭 패턴2에서의 스위칭 순간 커패시터 전압 값	274
표 7-8	스위칭 패턴2에서의 스위칭 순간 인덕터 전류 값	274
표 7-9	스위칭 패턴3에서의 스위치 모드의 구간별 간격	275
표 7-10	스위칭 패턴3에서의 스위칭 순간 커패시터 전압 값	275
표 7-11	스위칭 패턴3에서의 스위칭 순간 인덕터 전류 값	275
표 7-12	스위칭 패턴4에서의 스위치 모드의 구간별 간격	276
표 7-13	스위칭 패턴4에서의 스위칭 순간 커패시터 전압 값	276
표 7-14	스위칭 패턴4에서의 스위칭 순간 인덕터 전류 값	276

표 7-15	스위칭 패턴5에서의 스위치 모드의 구간별 간격	277
표 7-16	스위칭 패턴5에서의 스위칭 순간 커패시터 전압 값	277
표 7-17	스위칭 패턴5에서의 스위칭 순간 인덕터 전류 값	277
표 7-18	스위칭 패턴2에서의 스위치 모드의 구간별 간격	278
표 7-19	스위칭 패턴6에서의 스위칭 순간 커패시터 전압 값	278
표 7-20	스위칭 패턴6에서의 스위칭 순간 인덕터 전류 값	278
표 7-21	SR-DAHB 컨버터의 고차 푸리에로 해석된 컨버터 상태 변수	279
표 7-22	SR-DAHB 컨버터의 고차 푸리에로 해석된 스위칭 전류	280

제 1 장 서 론

1.1 연구 배경

1.1.1 중전압/저전압 직류 배전 시스템의 가능성

교토의정서(1997) 파리기후협약(2015)등으로 대표되는 국제적인 협약을 바탕으로 전세계적으로 탄소 중립을 위해 많은 노력을 기울이고 있다. 한국은 기후변화를 새로운 경제성장 동력 창출의 기회라는 인식 하에 2009년 ‘2020년 온실가스 배출전망 대비 30% 감축’이라는 자발적인 목표를 제시하고, 저탄소 녹색성장 기본법(2011), 온실가스/에너지 목표관리제 실시(2012), 온실가스 감축 로드맵 수립(2014), 배출권 거래제를 실시(2015)하는 등 적극적으로 기후변화

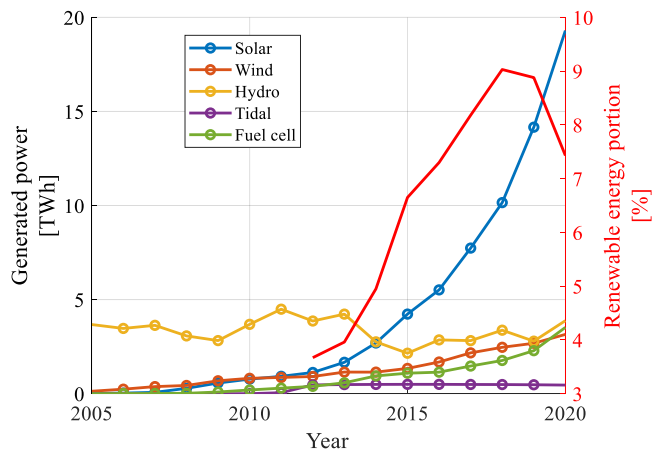


그림 1-1 한국의 재생에너지 발전량과(TWh) 전체 에너지 발전량에서 재생에너지 발전량의 비율(e-나라 지표 [2] 통계를 재구성)

적응 대책마련에 힘쓰고 있다[1].

이러한 노력의 일환으로 한국의 재생에너지 발전량은 매해 괄목한 크기로 증대하고 있다. 그림 1-1은 한국의 재생에너지 발전량과(TWh) 전체 에너지 발전량에서 재생에너지 발전량의 비율을 보여준다[2]. 태양광 에너지 중심으로 재생에너지 발전량이 크게 늘어난 것을 볼 수 있고 전체 발전량에 거의 10% 가까이 되는 것을 볼 수 있다. 현재의 재생에너지 발전 비율 증가 추세와 미래 에너지 정책 계획 등으로 미루어 본다면, 한국의 재생에너지의 발전량은 근 미래에 전체 발전량에서 많은 비중을 차지할 것으로 예상된다.

한편, 이러한 재생에너지는 기존의 교류 계통에 접속됨에 있어서 여러가지 제한점이 존재한다. 그림 1-2(가)는 이러한 제한점을 잘 보여준다. 먼저 주요한 재생에너지 발전원인 태양광 발전과 인버터 기반 풍력 발전 등은 모두 직류로

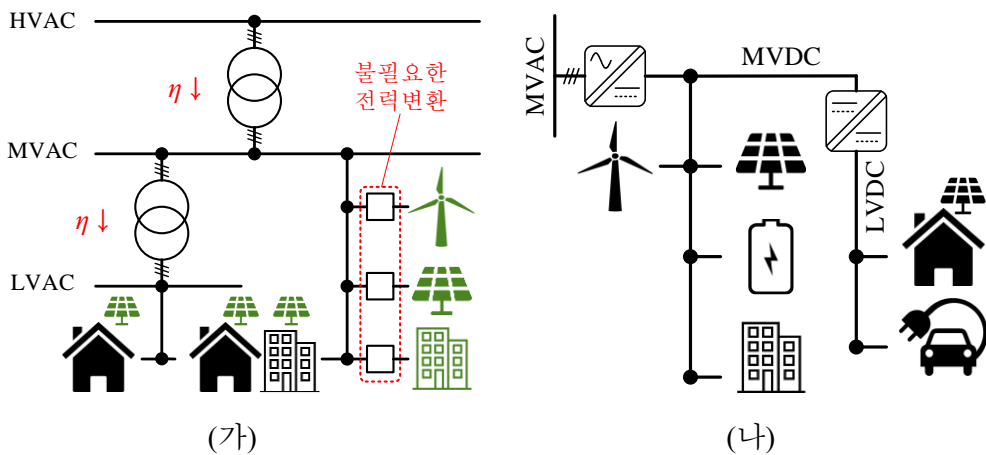


그림 1-2 재생에너지원 접속에 따른

(가) 교류 배전 계통의 한계 (나) 직류 배전 계통의 구조

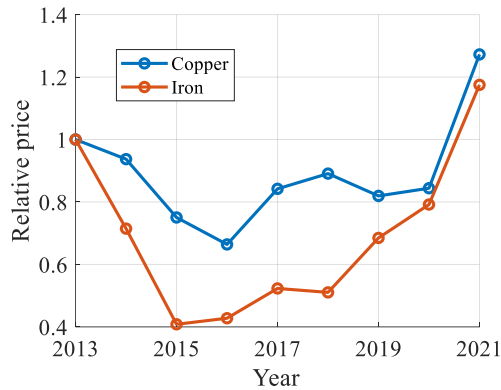


그림 1-3 변압기의 주요 원자재인 구리와 철광석의 가격 변동 추이
(e-나라 지포 [2] 지난 9년간의 통계를 재구성)

발전되게 된다. 따라서 주요 재생에너지 발전원들이 교류 계통에 접속되기 위해서는 모두 직류/교류 전력변환이 필요하다. 이는 기존의 전력망이 교류로 구성되어 있기 때문에 발생하는 불필요한 손실이라고 볼 수 있다. 또 중앙 집중적 발전에서 분산 발전으로 변화함에 따라서 변압기들의 부하율이 떨어지게 되는데, 일반적으로 상용 주파수 변압기 효율은 경부하로 갈수록 크게 떨어지는 문제가 있다[3]. 또, 상용 주파수 변압기의 부하율의 감소는 부하단의 전압을 상승시켜 전력 품질이 떨어질 수 있다[3]. 한편, 상용 주파수 변압기의 주요 원자재인 구리와 철은 지난 10년동안 가격이 떨어지지 않았으며(그림 1-3 [2]), 광물의 매장량을 고려하면 상용 주파수 변압기의 가격은 지속적으로 상승할 것으로 예상된다.

이러한 교류 배전 계통의 대안으로 그림 1-2(나)와 같은 중전압/저전압 직류 배전 계통의 관심도가 증가하고 있다. 직류 배전 계통은 크게 3가지 이점이 존재한다.

- 배전 선로 용량 증대
- 재생에너지원/직류-부하 전력변환 과정 간소화 및 Plug and play
- 조류제어 및 교류 계통 안정도 향상

첫째 직류 배전선로는 교류 배전선로보다 이론적으로 송전 용량이 약 40% 가량 더 높다. 따라서 이미 교류로 설치된 배전선로를 직류로만 바꿈으로써 선로 용량을 증대할 수 있다. 이러한 용량 증대는 2017년 영국에서 기존의 교류 배전선로(33 kV)를 양극 직류 배전(±27 kV)으로 바꾸는 ‘Angle-DC’ 사업[4]에 의해 성공적으로 실증된 바 있다.

둘째, 전력변환 과정을 간소화함으로써 효율을 증대 할 수 있다. 재생에너지 발전단지에서 발전된 에너지를 직류/직류 승압하여 중전압 직류 배전선로에 곧바로 접속시킬 수 있다. 또, 빌딩이나 가정에는 많은 직류 부하들이 있는데, 이들을 저전압 직류 배전선로에 곧바로 접속 시킬 수 있다. 이로써 상용 주파수 동기화 과정이 불필요 하며(Plug and play), 직류/교류 전력 변환에 의한 전력 변환 손실이 없다.

셋째, 중전압/저전압 직류 배전 계통이 메인 교류 계통에 접속되기 위해서는 전력전자 기술 기반의 직류/교류 컨버터가 쓰이게 된다. 따라서, 능동적으로 조류 제어를 할 수 있으며, 교류 계통에 동적 전압 보상 또는 능동 감쇠를 통한 계통 안정도 향상을 도모할 수 있다.

저전압의 범위에 대해서는 IEC 60038([5])에서 0~1500 V까지로 정의된 바 있으나, 구체적인 직류 계통 전압 크기에 대해서는 아직 논의 중에 있다. 중전압 직류 배전에 대한 표준화 또한 아직 이루어 지지 않았으나, 중전압 직류 배전 선박에 대한 전압 표준([6])인, 1.5 kV, 3 kV, 6 kV, 12 kV, 18 kV와 유사할 것으

로 예상 된다.

다음은 세계 각국의 중전압 직류 실증 사업들을 연도별로 정리한 것이다

- 2013년 중국, Hainan, 양극 ± 15 kV 해상풍력 전력 전송[7]
- 2013년 스위스, Nupharo, ABB, 단극 22 kV
- 2017년 영국, Anglesey, 양극 ± 27 kV [4]
- 2018년 중국, Zhuhai, 양극 ± 10 kV [8], [9]
- 2019년 독일, Aachen, RWTH, 양극 ± 5 kV 배전망 캠퍼스[10]

1.1.2 반도체 변압기의 현황 및 제한점들

중전압/저전압 직류 배전 계통을 위해서는 그림 1-4와 같은 전력전자 기술을 기반으로 하는 반도체 변압기가 필요하게 된다. 만약 한국에 있는 교류 배전 계통이 모두 직류 배전 계통으로 바뀌게 된다면, 옥외 전봇대에 설치되어 있는 240만개([11])의 주상 변압기들이 반도체 변압기로 바뀌게 된다.

중전압을 다루는 컨버터는 중전압 측에는 높은 전압 스트레스, 저전압 측에는 높은 전류 스트레스를 감당해야 한다. 그러나, 전력반도체 스위치 특성의 한계로 인하여 전력 반도체 변압기는 단일 컨버터 형태로는 구현되는데 제한점이 많다. 따라서, 일반적으로 모듈화된 복수의 컨버터를 높은 전압측은 직렬 연결을, 저전압 측은 병렬 연결 하여 전압/전류 스트레스를 분담하도록 구성한다.

전력 반도체 변압기는 직류/직류 뿐 아니라 교류/교류, 교류/직류 등 다양한 구성이 가능하다. 전력 반도체의 전력 변환 형태와 관계없이 승(강)압을 하는 전력변환 기기 측면에서 기존의 상용 주파수 변압기와 비교하여 본다면 크게 3가지 장점이 있다.

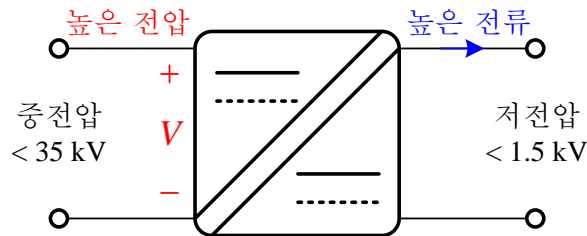


그림 1-4 직류 중전압/저전압 컨버터

- (높은 전력밀도) 높은 전력밀도(부피, 무게)
- (경부하 효율 개선) 부하에 따른 효율 증감이 완만함
- (능동 제어) 전압강하 보상 및 계통사고에 대한 유연한 대응이 가능

첫째, 높은 전력밀도 달성이 가능하다. 반도체 변압기 내부에는 절연을 위한 변압기가 존재하고, 이는 반도체 변압기의 부피의 가장 큰 부분을 차지한다. 일반적으로 컨버터가 요구하는 수동소자의 임피던스는 주파수와 관계없이 일정하기 때문에 주파수를 증가시키게 되면 수동소자의 제정수 크기가 비례적으로 감소하게 된다. 따라서, 컨버터를 수~수백 kHz로 동작 시키게 되면 컨버터 내부의 변압기를 포함한 수동소자의 부피와 무게는 크게 감소하며, 상용 주파수 변압기에 비하여 전력밀도가 크게 증가하게 된다.

둘째, 부하에 따른 효율 증감이 완만하고 무부하 효율을 크게 개선할 수 있다. 상용 주파수 변압기는 무부하손(철손)의 존재로 심지어 부하가 없다 하더라도 지속적인 전력 누수가 생긴다. 무부하손은 경부하 효율을 낮게 만들며, 이에 정격부하의 15%까지의 상용 주파수 변압기의 효율은 낮다[12]. 한편 ‘국내 전력용 변압기 이용실태에 관한 조사연구[13]’에 따르면, 대한민국 수용가의 연평균 상용 주파수 변압기 부하율은 18.4%로 추정된다. 이와 같은 점을 미루어 보았을 때, 배전단 상용 주파수 변압기들의 전력변환 효율은 좋지 않음을 유추할 수 있다. 이와 반면에 전력 반도체 변압기는 능동제어기반의 전력 변환을 하기 때문에 다양한 제어기법들을 활용하여 무부하 또는 경부하 효율 개선이 가능하고 ICT기술과 접목한 스마트 그리드를 통해 불필요한 전력 누수를 최소화할 수 있다.

셋째, 전압강하 보상과 계통 사고에 대한 유연한 대응을 통해 높은 전력 품

질을 얻을 수 있다. 일반적인 상용 주파수 변압기는 내부 임피던스로 인하여 부하율이 높아질수록 전압강하가 발생하게 된다. 이를 보상하기 위해서는 변압기의 탭을 조절하거나 전압 조정기(AVR 등)가 별도로 필요하게 된다. 반면, 전력반도체 변압기는 1차단과 2차단의 사이의 전압 이득이 내부 고주파 변압기의 권선비에 직결될 뿐 아니라, 동시에 별도의 전압 조정이 가능하다. 따라서 입력단의 전력 품질 좋지 않더라도, 출력단의 전력 품질을 개선할 수 있는 가능성을 내재화하고 있다. 또 계통 사고시 사고전류를 제한하여 소손을 방지하고 LVRT/HVRT 제어를 통한 계통 회복에 도움을 줌으로 계통 안정화에 도움을 줄 수 있다.

- 반도체 변압기의 국내외 현황

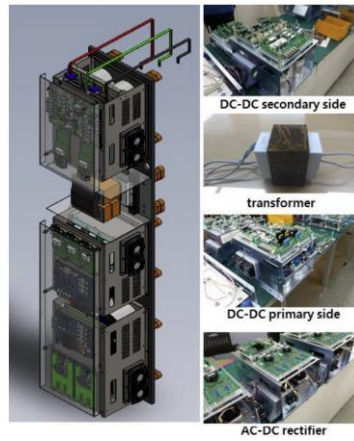
2007년 ALSTOM(프랑스)에서는 16.7 Hz 15 kVac를 입력 받아 1.65 kVdc를 출력하는 1.2 MVA 철도차량용 반도체 변압기를 개발하였다[14]. 각 모듈은 Cascade H-bridge + 공진형 컨버터로 이루어져 있으며 6.5 kV IGBT 모듈을 이용하여 5 kHz 스위칭 주파수로 구동하였다. 다권선 변압기를 활용하여 출력 모듈의 개수를 감소시켰다.

2010년 제너럴 일렉트릭(미국)에서는 13.8 kVac를 입력 받아 265 Vac를 출력하는 1 MVA 반도체 변압기를 개발하였다[15](그림 1-5(가)). 효율은 97%이며 동일 정격의 상용 주파수 변압기와 비교하여 부피는 1/2 무게는 1/3 수준으로 알려져 있다. 스위치 소자로 10 kV 탄화규소 모듈을 Cree(현 Wolfspeed)에서 제공받아 20 kHz 스위칭 주파수로 동작시킨 것이 특징이다.

2012년 ABB(스위스)는 15 kVac를 입력 받아 1.5 kVdc를 출력하는 1.2 MVA



(가)



(나)

그림 1-5 국내외 기업이 설계 제작한 반도체 변압기

(가) 제너럴 일렉트릭(미국)에서 개발한

13.8 kVac / 265 Vac 1 MW 단상 반도체 변압기 [15]

(나) 한국전기연구원에서 개발한

13.2 kVac / ± 750 Vdc 150 kVA 단상 반도체 변압기 [18]

철도차량용 반도체 변압기를 개발하였다[16]. 각 모듈은 Cascade H-bridge + 공진형 컨버터(LLC)로 이루어져 있으며 6.5 kV IGBT 모듈을 이용하였다. 전체 구성은 8개 모듈과 1개의 여유 모듈을 두어 총 9개 모듈로 구성하였으며 효율은 95% 무게는 4.5 ton으로 알려져 있다.

2014년 취리히 연방 공과대학교(스위스)에서는 12 kVdc를 입력 받아 400 Vdc 전압을 출력하는 반도체 변압기를 연구하였다[17]. 각 모듈은 공진형 컨버터(DCM-SRC)로 구성하였고, 전압은 2 kVdc - 400 Vdc로 변환하며 166 kW 용량과 20 kHz 스위칭 주파수를 갖는다. 고주파 변압기로는 나노 크리스탈 코어

사용하였으며 변압기에 수랭을 적용하여 전력밀도 32.7 kW/L 를 달성하였다. 효율은 98.1%로 알려져 있다.

2019년 아헨 대학(독일)에서는 3상 Three-level DAB를 이용하여 5 MVA ± 5 kVdc(양극) 중전압 직류 배전망을 구현하였다[10].

우리나라에서는 2018년 한국전기연구원(KERI)에서 13.2 kVac 단상을 ± 750 Vdc(양극)으로 변환하는 150 kVA 반도체 변압기 개발하였다[18] (그림 1-5(나)). 총 10개의 모듈을 사용하고 각 모듈은 Cascade H-bridge + TAB 컨버터로 구성하였다. 스위칭 주파수는 10 kHz이며, 1,700 V IGBT를 이용한 NPC구성으로 DC/DC 컨버터의 브릿지를 구현하였다.

이어서 한국전기연구원은 2020년에 13.2 kVac 삼상을 ± 750 Vdc(양극)으로 변환하는 Full-SiC 반도체 변압기를 개발하였다[19]. 각 모듈은 100 kW 출력을 갖도록 하였으며 NPC Cascade H-bridge + NPC QAB 회로로 구성하였다. 전력밀도 0.34 kW/L이며, 효율은 96%로 측정됐다. 산업용 이더넷(EtherCAT)을 이용한 고속 실시간 Master-slave 제어를 적용하여 높은 통신 대역폭을 확보하였다.

- 반도체 변압기 제한점

상기 언급된 장점과 산업/학계의 수많은 실증 연구에도 불구하고 반도체 변압기가 아직 널리 상용화 되지 않은 가장 큰 요인은 효율이다. 변압기의 경우에는 보급량이 많고 상당량의 에너지를 변환하는 전력 기기이기 때문에 각 국가별로 변압기 효율을 규제하고 있다. 한국의 경우 ‘효율 관리 기자재 운용 규정’[20]에 의하여 상용 변압기의 효율을 규제 하고 있다. 효율의 규제치는 전압/용량 또는 건식/유입 등에 따라 모두 다른데, 예를 들어 건식 22.9 kVac/

저압 단상 변압기의 경우 1 MVA 기준으로 50% 부하에서 99.4% 효율을 넘어야 표준 소비 효율 등급으로 분류되며 최저 소비 효율 등급도 99.0% 이상을 만족해야 한다. 한편 전력 반도체 변압기의 효율은 대부분 95%~99% 사이이며, 99% 이상의 고효율을 보고한 연구는 아직 신뢰성 보장되지 않는 연구용으로 개발된 탄화 규소 전력반도체(10 kV SiC MOSFET)를 이용한 경우[21]~[23](직류/직류만의 효율)를 제외하고는 찾아보기 힘들다. 90% 후반대의 효율이 전력 반도체 컨버터에서는 낮은 효율이 아니지만, 손실의 크기를 기존의 상용 주파수 변압기와 비교해서 보면 [24]에서 보인 것처럼 수배 이상 차이가 난다. 이는 단순히 전압 가변만을 위한 손실로 무게/부피 절감의 목적이 함께 있는 운송분야(기차, 비행기)와 풍력 발전기 등을 제외하고는 반도체 변압기는 아직 경제적이지 않다고 볼 수 있다.

반도체 변압기의 주요 손실요소는 크게 2가지로 컨버터 모듈내 고주파 변압기의 손실과 스위치에서 발생하는 손실로 볼 수 있다. 고주파 변압기의 주요 손실원인 철손과 (교류저항으로 인한)도통 손실은 모두 주파수가 올라감에 따라 증가하는 특성을 보인다. 도통 손실을 줄이기 위해서는 권선의 유효 단면적을 넓히면 되는데, 이는 유효 창면적을 넓혀야 하므로 코어의 크기를 증가시키고, 철손을 증가시킨다. 또 고전압 절연을 위해서는 권선과 권선 사이, 권선과 코어 사이에 절연 물질이 많이 들어가게 되는데 이는 변압기의 유효 창면적을 크게 감소시킨다. 최소한 고주파 변압기의 효율을 상용 주파수 변압기보다 높거나 혹은 근접한 수준으로 만들어야 상용 주파수 변압기 시장을 대체할 가능성이 있으나, 실제로 고주파 변압기가 높은 효율로 설계되기는 어렵다. 한편, 고주파 변압기에 활용 가능한 자성 소자의 특성 개선은 비교적 더디다.

스위치의 손실은 도통 손실과 스위칭 손실로 나뉜다. 스위치의 도통 손실은 부하 전류의 제곱의 함수로, 부하가 증가할수록 급격히 증가한다. 스위치의 도통 손실을 줄이기 위해서는 스위치가 낮은 턴-온 저항을 갖도록 해야 하는데, 이는 병렬 스위치 구성 또는 컨버터 정격 전류보다 훨씬 높은 전류 정격의 스위치를 사용하므로써 최소화할 수 있다. 하지만, 이러한 경우 스위치의 출력 커패시턴스를 키우게 되어 하드 스위칭 손실이 커지고 경부하에서 효율이 크게 감소한다. 따라서, 스위칭 기법 또는 부가회로를 사용하여 소프트-스위칭을 만족시키는 것이 필요하다. 최근 탄화 규소(SiC, Silicon Carbide)나 질화 갈륨(GaN, Gallium Nitride)으로 대표되는 넓은 밴드 갭(WBG, Wide Band gap) 디바이스들의 발전으로 출력 커패시턴스, 턴-온 저항 등의 스위치의 손실요소와 관련된 스위치 제정수 특성이 크게 개선되고 있지만, 여전히 스위치 손실 크기는 큰 비중을 차지한다.

1.1.3 커패시터 커플링을 이용한 반도체 변압기의 가능성

반도체 변압기는 높은 전력밀도, 부하율에 둔감한 효율 특성, 전압강하 및 계통 사고 대응가능 등 여러가지 장점을 가지고 있지만, 상용 주파수 변압기 대비 낮은 효율을 보이며 이는 상용화의 큰 제한점을 보인다.

한편, 2010년대 후반부터 그림 1-6과 같이 고주파 변압기를 제거하고 커패시터를 활용한 모듈을 적층 한 구조의 고 승압비 컨버터가 연구되기 시작하였다. 고주파 변압기를 커패시터 커플링으로 대체하면서 얻을 수 있는 장점은 크게 3가지이다.

- **(효율 향상)** 수동 소자에서 가장 높은 손실 요인인 고주파 변압기를 제거함으로써 효율을 극대화할 수 있다.
- **(전력밀도 향상)** 수동소자의 부피와 무게를 크게 절감할 수 있다.
- **(설계비용 절감)** 커패시터의 종류는 제조사별로 매우 많기 때문에 설계 난이도가 크게 감소한다.

커패시터 커플링을 이용한 반도체 변압기는 변압기가 없는 구조로, 각 모듈

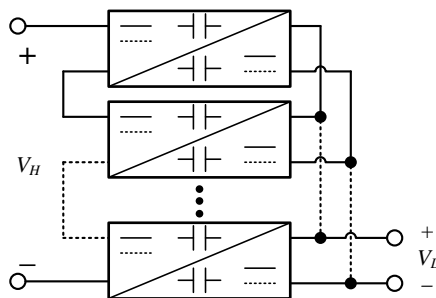


그림 1-6 커패시터 커플링을 이용한 직렬-입력 병렬-출력 컨버터

이 비절연 모듈로 구성된다는 특징을 갖는다. 따라서, 기존의 반도체 변압기의 각 모듈이 절연형으로 구성된 주요 이유인 전력전달 목적과 계통 사고 전파 방지의 목적을 중심으로 커패시터 커플링을 이용한 비절연 반도체 변압기의 활용 가능 여부를 검토해야 한다.

커패시터 커플링 방식은 커패시터에 충전압이 차단되어 있는 상태에서, 교류 전류를 통해 전력 전달이 가능한 구조로, 서로 다른 접지전위를 갖는다 하더라도 전력 전달이 가능하다. 권선비를 활용할 수 없기 때문에 각 모듈의 1차측과 2차측의 공칭전압 크기를 같게 설계해야 하는 제한점이 있으나, 고주파 변압기를 활용한 반도체 변압기의 각 모듈도 충전압 측의 스위치 전압 스트레스 문제로 권선비([25]-[28])를 1로 설계하여 권선비를 활용하지 않거나, 2미만([24], [29], [30])으로 크게 활용하지 않는 설계가 많다.

위와 같은 이유로, 인체접촉이 제한된 산업용 전력변환기기에는 커패시터 커플링을 이용한 비절연형 반도체 변압기를 활용할 수 있다. 커패시터 커플링 방식의 반도체 변압기는 응용분야 별로 ICT 용도(수백 V에서 수십 V 감압)로 ([31]-[35]), 충전압/저전압 계통용도([36], [37])로 선행 연구 되었다.

한편 기존의 선행 연구들은 실제 계통에 적용됨이 있어서 크게 4가지 제한점이 있다.

- 전압 변동 제어를 고려하지 않은 설계
- 충전압을 고려하지 않은 커패시턴스 설계
- 영상분 전류 모델링 및 이를 최소화 하기 위한 방안
- 경부하 효율 개선

첫째, 모든 선행연구에서 1차측과 2차측의 전압 이득을 1로 고정한 고정-승압비 직류-변압기(DCX, DC transformer)로 각 모듈을 설계 하였다. ICT 용도 ([31]-[35])로 연구된 경우에는 계통에서 1차측 직류 전압을 형성하여 줄 때 교류/직류 컨버터에 의해 전압 제어가 한번 이루어지기 때문에, 직류/직류 컨버터 단에서 전압 이득을 제어할 필요성이 적다. 따라서 고정-승압비 설계를 하였다. 고정-승압비 설계는 임피던스 크기를 극단적으로 낮추어 무효전력을 최소화하는데, 이렇게 설계된 컨버터의 전압 이득을 1에서 벗어나게 제어하는 경우에는 과도한 순환전류와 하드 스위칭으로 인한 손실이 발생하여 효율이 크게 떨어진다. 본 연구에서 다루고자 하는 반도체 변압기는 중전압/저전압 직류 계통을 연계해야 하므로, 드롭 제어 또는 정 전압 제어 기능을 갖아 계통 전압 변동에 대응하는 것이 필요하다. 따라서, 전압 이득이 고정된 설계는 적절한 설계로 볼 수 없다. 중전압/저전압 계통 용도([36], [37])로 연구된 연구에서도, 고정-승압비 직류-변압기로 설계 하였다. 따라서 계통 전압 변동 대응이 제한되는데, [36]에서는 전압 이득을 제어 하는 별도의 전력변환 단계를 직렬로 두어 계통 전압 변동에 대응하였고, [37]에서는 전압 변동을 고려할 필요 없는 계통에 컨버터를 이용하였다.

둘째, 선행 연구에서는 커플링 커패시터의 커패시턴스가 큰 설계를 하였다. 커패시터 커플링을 이용한 컨버터의 임피던스 설계 제정수는 커패시턴스와 인덕턴스로 목적에 맞게 설계할 수 있는 자유도가 2개이다. 이러한 설계 자유도에서 선행연구들은 모두 인덕턴스를 최소화 하기위한 방향으로 설계하였고 커패시터는 모두 수 μF 이상의 용량으로 설계하였다. 인덕턴스의 크기를 최소화 하고자 하는 설계는 ICT 용도와 같은 낮은 전압에서는 부피 측면에서 크게

유리하다. 그러나, 중전압을 감당하기 위하여 모듈이 쌓일수록, 차단해야 하는 전압의 크기는 커지고 커플링 커패시터의 부피 또한 크게 증가한다. 설계된 컨버터의 스위칭 주파수를 고려하여 상대적으로 검토한다 하더라도, 선행 연구에서의 임피던스의 설계 방향은 중전압용으로 구현되는 데에 실제적인(가격, 부피) 제한이 있다. 커패시터 커플링을 이용한 반도체 변압기가 실제로 구현 가능한 수준의 임피던스 부피를 갖게 하기 위해서는, 모듈의 설계 단계에서부터 구현될 임피던스의 총합 부피 최적화가 이루어 져야 한다.

셋째, 영상분 전류에 대한 모델링과 이를 저감하기 위한 제어 방안의 연구가 이루어 지지 않았다. 커패시터 커플링을 이용한 컨버터는 비절연이기 때문에 각 모듈에서 전력 전달에는 관여하지 않는 영상분 전류(순환 전류)가 존재할 수 있다. 이러한 영상분 전류는 각 모듈에서 인가하는 영상분 전압 또는 제정수 오차에 의한 임피던스의 차이에 의해서 발생하게 된다. 각 모듈에서 발생하는 스위칭 주파수의 영상분 전류는 다른 모듈의 임피던스를 통해 순환하거나 공통된 기준 전위를 갖게 한 결선 부분 또는 Y 커패시터를 통해서 흐르는데, 컨버터에 불필요한 손실을 발생시키고 커플링 커패시터에 부담을 준다. 따라서 영상분 전류에 대해 분석하거나 저감하려는 노력이 필요하다.

넷째, 경부하 효율을 개선하기 위한 제어 방안이 부족하다. 커패시터 커플링형 컨버터는 변압기 부재로 자화전류가 존재하지 않기 때문에, 경부하에서 소프트-스위칭을 달성하기가 까다롭다. 따라서 경부하에서의 주요 손실원인 스위칭 손실을 저감하기 위한 제어 방식 연구가 필요하다.

1.2 연구 목적

본 논문에서는 고주파 고전압 절연 변압기 없이 커패시터 커플링으로 전력 변환을 하는 양방향 중전압/저전압 직류 배전 계통연계 반도체 변압기의 컨버터 모듈을 설계하고 제어하는 방안에 관하여 연구한다.

1.3 논문의 구성

본 논문의 나머지 장은 다음과 같이 구성되어 있다.

제 2 장에서는 기존의 반도체 변압기 연구들과 배경이 되는 이론에 대해서 살펴본다. 절연형 반도체 변압기의 종류와 각각의 특징에 대해서 살펴보고, 고주파 고전압 절연 변압기의 한계점에 대해서 알아본다. 이어서 비절연형 반도체 변압기의 종류와 각각의 특징에 대해서도 살펴보고, 그 중 본 논문의 연구 대상인 커패시터 커플링을 이용한 고 승압비 컨버터의 기존 연구들에 대해 자세히 살펴본다. 커패시터 커플링을 이용한 컨버터 모듈의 기본과 해석방법과 여러 제어 기법에 대해서도 살펴본다.

제 3 장에서는 커패시터 커플링을 이용한 직렬-입력 병렬-출력 반도체 변압기의 모델링을 도출한다. 모델링 결과를 바탕으로 옥내 직류 배전용 커패시터 커플링을 이용한 변압기의 컨버터 모듈을 설계한다. 컨버터의 동작 특성을 세밀하게 조정하는 방안과 고전압 커패시터에 의한 전력밀도 감소를 고려한 컨버터의 설계 방안을 제시한다.

제 4 장에서는 커패시터 커플링을 이용한 컨버터의 경부하 효율 특성을 개선하기 위한 2가지 제어 방안에 대하여 서술한다. 시비율제어가 고려된 SR-DAHB의 시간영역 해석을 하고 모든 스위칭 패턴에 대하여 컨버터 상태 변수들의 닫힌 해를 도출한다. 이어서 시간영역 해석 결과를 바탕으로 더 넓은 범위에서 모든 스위치의 ZVS가 달성되도록 하는 ‘ZVS영역 확장 제어 방식’을 제안한다. 또, 컨버터를 주기적으로 켜다 켜다 하는 펄스 밀도 변조 방식을 커패시터 커플링을 이용한 컨버터에 적용하는 방안에 대하여 논한다.

제 5 장에서는 제안하는 설계방법과 제어 방식의 효용성과 우수성 검증을 위한 실험이 수행된다. 구현된 컨버터 모듈이 설계 목표를 만족하는지 여부를 확인한다. 또, 기존의 제어 방식과의 동작 특성, 효율 비교를 통해 제안된 제어 방식들의 효과성을 입증한다.

마지막으로 제 6 장에서는 본 연구의 결론 및 향후 연구에 관하여 서술한다.

제 2 장 기존의 연구 및 배경이론

2.1 중전압/저전압 직류 변환 반도체 변압기

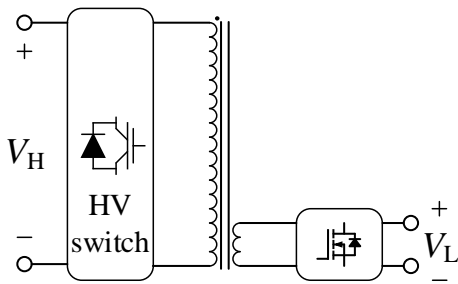
중전압을 다루는 컨버터는 입력에는 높은 전압 스트레스, 출력에는 높은 전류 스트레스가 큰 이슈가 된다. 중전압측 스위치들의 높은 전압 스트레스를 해소하는 방법과 절연 여부에 따라 기존의 중전압/저전압 직류 변환 반도체 변압기의 분류가 가능하다. 후술하는 절에서는 기존의 절연형 반도체 변압기 분류와 각각의 장단점을 살펴보고, 고주파 변압기의 한계점에 대해서 살펴본다. 이후 비절연 반도체 변압기의 분류와 각각의 장점을 살펴보며 기존의 비절연 반도체 변압기의 한계점에 대해서도 논의한다.

2.1.1 절연형 반도체 변압기의 분류

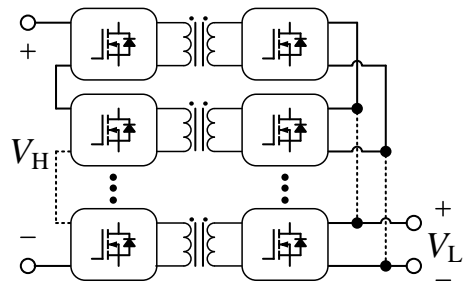
그림 2-1은 대표적인 4가지 구성의 중전압/저전압 직류 변환 절연형 반도체 변압기를 보여준다. 본 항에서는 4가지 반도체 변압기 구성에 따라 장단점을 비교하고 기존의 연구에 대해서 간략한 소개를 한다. 컨버터의 전력변환이 중전압/저전압 교류 변환이라 하여도, 전력변환 과정에 중전압/저전압 직류 변환 과정이 존재하는 연구도 포함하여 조사하였다.

2.1.1.1 고 내전압 전력반도체를 이용한 컨버터

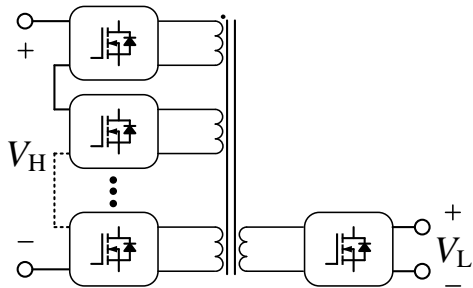
첫 번째 구성은 그림 2-1(가)와 같이 높은 내전압 스위치를 이용하여 중전압 인버터를 구성 하고 고 권선비 변압기를 이용하여 낮은 전압으로 감압 하는



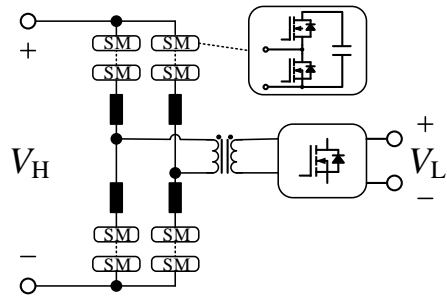
(가)



(나)



(다)



(라)

그림 2-1 중전압/저전압 변환 절연형 반도체 변압기

(가) 높은 내전압 전력반도체를 이용한 컨버터

(나) 직렬-입력 병렬-출력(Series-input parallel output) 컨버터

(다) 다중 권선 변압기를 이용한 컨버터

(라) 모듈러 멀티 레벨 컨버터와 2레벨 인버터를 결합한 컨버터

방법이다 [17], [21]–[23], [38]–[48]. 높은 내전압의 스위치를 구성하는 방법으로 낮은 내전압의 스위치를 직렬 연결하는 방법이 있다. [39]에서는 1.5 kV 스위치를 6직렬 하여 5 kV 전압을 50 kHz 주파수로 스위칭 하도록 구성하였다. 그러

나 이러한 구성은 직렬 연결되어 있는 스위치들의 동시 턴-온을 위한 게이트 드라이브 구성이 까다롭고, 이를 해소 하기 위한 부가회로가 많이 들어간다는 단점이 존재한다[49]–[51].

최근에는 넓은 밴드 갭 반도체 소자의 발달로 높은 내전압(>10 kV)을 갖은 소자들이 등장하고 있다. SiC 반도체 소자는 넓은 밴드 갭으로 인하여 실리콘 (Si, Silicon)보다 절연 파괴 강도가 10배 높다 [52]. 이에 따라 10 kV 이상의 내전압을 갖는 소자를 이용하여 인버터를 구성하는 반도체 변압기가 활발히 연구되고 있다[21]–[23], [38], [40], [42], [43], [45], [47], [48]. 더 높은 중전압을 대응하기 위해서 인버터는 2레벨로 구성([22], [23], [38]–[41])되는 것을 넘어서, NPC(Neutral-Point Clamped), FC(Flying Capacitor) 등 멀티레벨 컨버터로 구성된다 [17], [42]–[48]. 그림 2-2는 15 kV SiC IGBT를 이용한 3레벨 NPC로 22 kVdc를 800 Vdc로 감압한 연구를 보여준다[48].

높은 내전압 스위치를 이용하는 방법은 그 회로 구성이 단순하여 전력밀도를 높일 수 있으며, 제어 방식이 비교적 복잡하지 않다. 그러나 높은 dv/dt 로

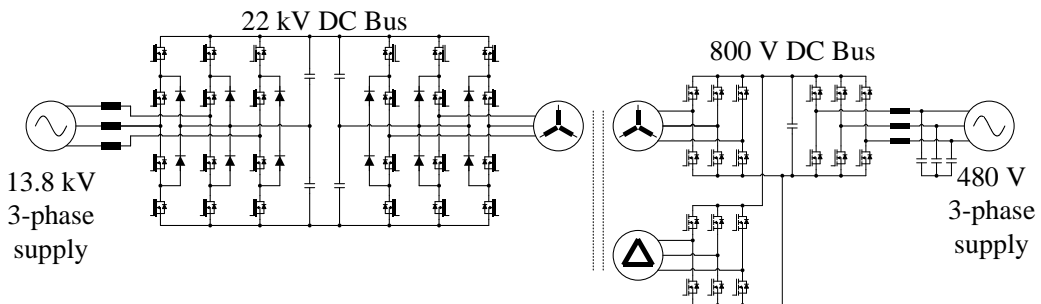


그림 2-2 15 kV SiC IGBT를 이용한 3레벨 NPC [48]

센싱 회로나 게이트 구동회로 등의 구성이 어렵다는 단점이 있다[53], [54]. 또한 중전압 스위치의 출력 커패시턴스에 저장된 에너지가 매우 크게 되어 전류 링잉과 왜곡 등이 보고되기도 하였다[21].

2.1.1.2 직렬-입력 병렬-출력(SIPO, Series-input parallel output) 컨버터

직렬-입력 병렬-출력(SIPO, Series-input parallel output) 컨버터는 그림 2-1(나)와 같이 단일 모듈로 구성되지 않고, 다중 모듈로 구성하는 방식이다. 각 모듈의 입력은 직렬로 출력은 병렬로 결선하여 전압 전류 스트레스를 분담할 수 있다. 각 모듈들은 양방향 절연형 직류/직류 컨버터를 이용하는데, 변압기의 절연으로 1차측과 2차측 사이에 전위가 있다 하더라도 에너지 전달이 가능하다. 직렬-입력 병렬-출력 구조는 모듈성(Modularity)으로 확장성(Scalability)과 대량 생

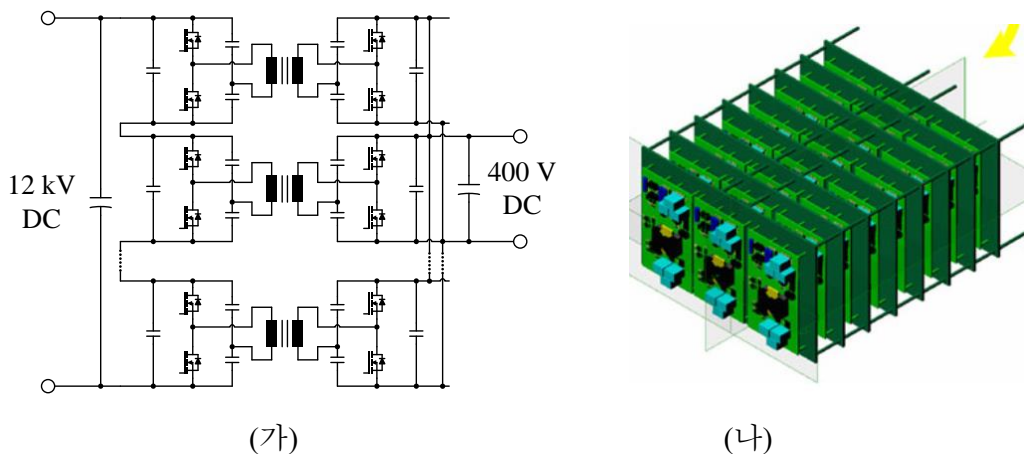


그림 2-3 12 kV - 400 V 20 kVA 직렬-입력 병렬 출력 컨버터 [29]

(가) 전체 회로 구성 (나) 제안된 컨버터의 3D CAD 설계

산에 유리하다. 또, 여유율(Redundancy)을 두어서 일부 컨버터가 고장 난다 하여도 연속동작이 가능하도록 할 수 있다. 이러한 장점들로 직렬-입력 병렬-출력 컨버터는 중전압에 이용되는 컨버터 중에서 가장 활발히 연구되고 있다 [29], [55]–[60]. 본 연구의 직접적인 연구범위는 아니지만 Cascade H-bridge(CHB) 컨버터와 결합한 형태의 중전압 직류 버스가 없이 중전압 교류에 대응하는 직렬-입력 병렬-출력 컨버터도 활발히 연구되고 있다 [14], [16], [24], [26], [61]–[66].

직렬-입력 병렬-출력 컨버터의 가장 큰 특징으로는 한 개의 모듈의 효율이 전체 효율과 같아진다는 점이다. 그래서, 단일 모듈의 효율을 극대화하는 것이 가장 핵심이 된다. 각 모듈은 듀얼 액티브 브릿지(DAB, Dual Active Bridge) 컨버터 또는 공진형 컨버터(SRC, Series Resonance converter)로 구성할 수 있다. 그림 2-3은 각 모듈이 하프-브릿지 DAB 컨버터로 구성된 12 kVdc – 400 Vdc 20 kVA 직렬-입력 병렬 출력 컨버터를 보여준다[29].

전체를 통합하는 컨트롤러가 있어 Master-Slave 제어를 하는 것이 보통이며, 이는 시스템의 복잡도를 증가시킨다. 또, 수동소자와 스위치의 개수가 많기 때문에 전력밀도 상승에 어려움이 따른다.

2.1.1.3 다중 권선 변압기를 이용한 컨버터

다중 권선 변압기를 이용하여 3개 이상의 능동 브릿지를 갖는 컨버터도 활발히 연구되었다. [67]에서 제시되었으며 멀티 액티브-브릿지(MAB, Multi-active bridge) 컨버터라고 불린다. MAB 컨버터는 그림 2-4(가)와 같이 한 개의 코어를 공유한 상태에서 다수의 인버터들이 구형파의 전압 위상을 제어하여 멀티 포트의 전력 흐름을 제어한다. 이러한 멀티 포트 구성에서 그림 2-4(나)[(68)]와 같이 한 개의 포트는 저전압 포트로 두고, 나머지 포트들을 직렬 연결하여

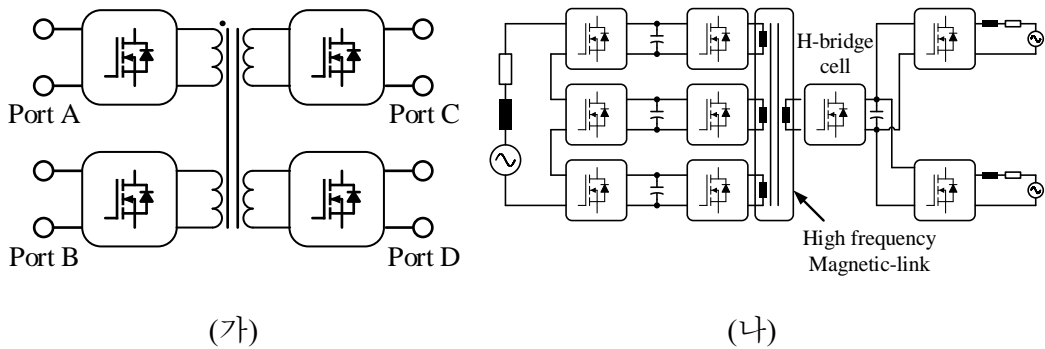


그림 2-4 멀티 액티브 브릿지 컨버터

(가) 일반적인 전력 회로 구조 (나) [68]에서 제안된 구조

구성하면 낮은 전압의 인버터를 적층 한 구조로 구성할 수 있고, 이를 통해 중전압을 감당하도록 만들 수 있다.

이러한 다중 권선 변압기를 이용한 방법은 직렬-입력 병렬-출력 구성에 비해서 수동/능동 소자의 개수를 줄일 수 있기 때문에 전력밀도가 상승할 수 있다. 이러한 다중 권선 변압기를 이용한 방법은 Cascade H-bridge와 결합한 형태의 중전압 교류 계통용으로 많은 연구가 있다[68]-[74].

그러나 다중 권선 변압기를 이용한 방법은 저전압 포트뿐만 전력 흐름이 존재하는 것이 아니고, 중전압 포트끼리도 전력 흐름이 존재할 수 있는 구조이다. 따라서, 순환 전류가 발생할 수 있고 이를 저감하기 위해서는 복잡한 제어가 필요하다. 따라서 4개 이하의 인버터가 한 개의 코어를 공유하도록 하는 것이 보통이며, 높은 전압을 위해서는 이러한 멀티 액티브 브릿지 컨버터를 직렬-입력 병렬-출력으로 구성한다 [70]-[74].

2.1.1.4 모듈러 멀티 레벨 컨버터와 2레벨 인버터를 결합한 컨버터

중전압 쪽에는 모듈러 멀티레벨 컨버터(MMC, Modular Multilevel Converter [75])를, 저전압 단에는 2레벨 인버터를 두고 고 권선비 변압기를 통해 커플링하는 구조이다. 일반적으로 저전압 단의 스위치 전류 스트레스를 분담 하기위해 다중 권선 변압기를 이용하여 병렬 출력으로 구성한다. [76], [77]에서는 3상 DAB 컨버터로 구성하였으며(그림 2-5), [78]-[80]에서는 단상 DAB 컨버터로 구성하였다.

MMC는 전압과 전력의 비례 조정(Scaling)이 쉽고 전압 레벨이 올라감에 따라 증가하는 복잡성이 작다. 여유 모듈을 두어서, 일부 모듈의 사고 상황에도

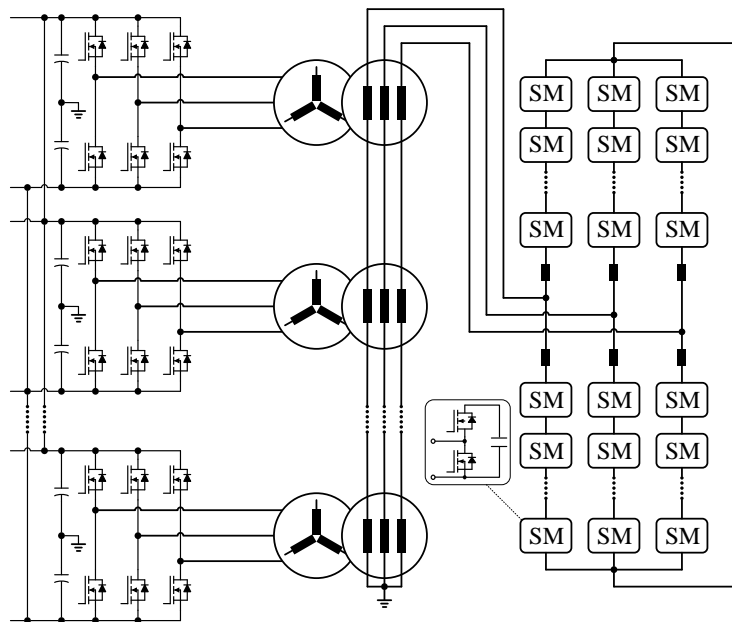


그림 2-5 모듈러 멀티 레벨 컨버터(MMC, Modular Multilevel Converter)와 2레벨 인버터를 결합한 컨버터 [76], [77]

연속 동작할 수 있다. 또, 직류-직류 변환 MMC는 정현파 모양의 전압 대신 (준)구형파(Q2L, quasi 2 level) 전압 모양으로 인가하여 고조파 전류를 유기할 수 있다. 이를 통해, 전력전달 능력을 최대화 하고, 모듈의 커패시턴스 값을 크게 감소 시킬 수 있다 [81]–[83]. 또, MMC 구조는 중전압 직류 커패시터의 부재로 계통의 단락 사고시 발생할 수 있는 높은 사고 전류를 방지할 수 있다[78], [79].

그러나 MMC는 일반적으로 하드 스위칭이 일어나기 때문에, 구동 주파수를 높이기 어렵고, 각 모듈에 고용량의 커패시터를 사용해야 하며, 낮은 중전압일 수록 스위칭 디바이스가 비교적 많이 필요하다는 단점이 존재한다. 또 각 모듈의 커패시터의 전압을 밸런싱(Balancing)하기 위한 Sorting 알고리즘이 필요하다[84].

표 2-1에는 상기 분류된 4가지 중전압/저전압 변환 절연형 반도체 변압기 종류와 주요 특징 및 제한점이 정리되어 있다.

표 2-1 중전압/저전압 직류 변환 절연형 반도체 변압기 종류와
주요 특징 및 제한점

분류	효율	전력 밀도	동작 주파수	주요 특징 및 제한점
높은 내전압 전력 반도체 이용 컨버터	High	High	Medium	(+) 스위치 개수 (-) 여유율(Redundancy) (-) 게이트, 스너버 회로 (-) 높은 dv/dt 스트레스
직렬-입력 병렬-출력 컨버터	Medium to High	Medium	High	(+) 모듈러 구조 (-) 많은 변압기와 수동소자
MMC+2레벨 컨버터	Medium	Medium	Medium	(+) 모듈러 구조 (+) 중전압 계통 사고 대응 (-) 전압 균등 제어 복잡도 (-) 스위치 개수, Cap- 용량
다중 권선 변압기를 이용한 컨버터	Medium to High	Medium to High	High	(+) 모듈러 구조 (+) 변압기 개수 감소 (-) 제어 복잡도

2.1.2 고주파 고전압 절연 변압기의 현황과 제한점

직렬-입력 병렬-출력에 쓰이는 절연형 단일 모듈의 효율을 제한하는 가장 주된 요인은 절연 변압기이다. 그림 2-6은 기존에 연구((가) [44], (나) [25], (다) [28])되었던 대표적인 고주파 고전압 절연 변압기의 정격 출력 크기와 효율을 보여준다. 이러한 변압기에는 고전압 절연과 고주파 구동에 관한 이슈가 존재한다.

고전압 절연은 어떠한 절연 매질을 활용했는지에 따라 그 특성이 상이하다. 도체를 광유, 합성유 등의 절연유에 담금으로서 수~수십 kV/mm 수준의 절연 파괴 강도를 달성할 수 있다. 순환 펌프 등을 이용하게 되면 변압기 방열의

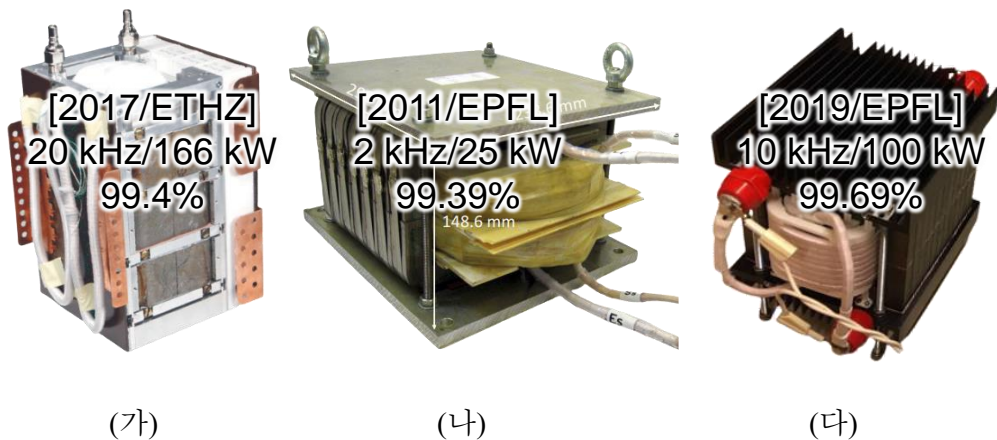


그림 2-6 기존 문헌에서 설계된 고주파 변압기와 효율

(가) [44]에서 설계된 고주파 변압기

(나) [25]에서 설계된 고주파 변압기

(다) [28]에서 설계된 고주파 변압기

이점까지 얻을 수 있다. 그러나 절연유의 유지 보수 관리가 지속적으로 이루어져야 한다. 절연을 위한 방식으로는 공기나, 가스를 통한 절연 방식도 있다. 공기중의 절연 파괴 강도는 통상 3 kV/mm 수준이지만, 온도 습도 변화에 따라 강도가 변화한다. SF6 와 같은 특수 가스를 통해서 높은 절연 강도를 얻을 수 있지만, 절연유를 통한 절연과 마찬가지로 지속적인 유지 보수 관리가 이루어져야 한다. 예폭시, 실리콘 등의 고체 절연 물질을 조형(Molding) 하는 방식도 있다. 이러한 방식은 유지 보수가 용이하고, 내연성, 내구성, 경량화 측면에서 유리하며 과부하 내량이 높다는 장점이 있다. 그러나, 가격이 비싸고 충격과 내전압(BIL, Basic impulse insulation level)이 낮으며 방열 성능이 절연유 사용방법에 비하여 떨어진다.

고전압 절연을 위한 절연 물질 들은 1차측 2차측 권선 사이 뿐 아니라, 권선과 코어, 권선 사이 사이에 들어가게 되는데, 그림 2-7과 같이 권선과 코어

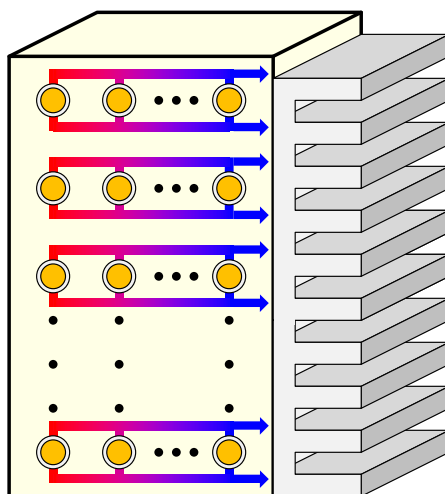


그림 2-7 고주파 변압기 내에서 절연 물질로 인한 열 방출 능력 저하 [85]



그림 2-8 [23]에서 설계된 10 kV 고주파 변압기

의 열 방출능력을 저해하며 추가적인 유전손을 발생시킨다[85].

또 절연 전압이 클수록 절연물질이 코어의 유효 창 면적을 크게 좁히게 되며 결과적으로 변압기의 크기를 크게 키우게 된다. 권선법에 따라서 유효 면적이 좁아지는 정도가 다르지만 그림 2-8과 같이 10 kV 변압기에 대해서 50% 까지 좁아진 연구도 있었다[23]. 또한 1차측과 2차측 권선의 Interleaving이 절연 전압 문제로 제한되어 누설 자속이 증가하게 되고, 이는 누설 인덕턴스와 교류 저항을 높이는 효과를 가져오게 된다. 누설 인덕턴스의 증가는 전력변환 토폴로지에 따라서 반드시 손해라고 할 수는 없다. 그러나, 그 값이 원하는 크기보다 크다면 직렬 커패시터 등으로 임피던스를 상쇄시켜 주어야 한다. 또, 직렬-입력 병렬-출력 컨버터의 변압기는 그 모듈별로 절연전압이 다르게 되는데, 각 모듈에 대한 변압기 최적설계는 설계 비용의 큰 증가를 수반한다.

고주파 고전압 절연 변압기는 주파수를 올리는 데에도 제한이 있다. 주파수를 올리면 변압기의 제정수를 비례적으로 낮출 수 있어서 변압기 크기를 줄일 수 있지만 철손과 도통 손실을 크게 증가시킨다. 또, 변압기의 권선과 권선사

이 기생 커패시턴스도 무시할 수 없게 되며, 컨버터의 전류와 전압에 링잉을 발생시킨다[86].

고주파 고전압 절연 변압기의 손실은 고주파 교류 전압/전류의 측정의 어려움으로 이를 실측하는 것은 매우 어렵다. 철손과 도통 손실을 설계 단계에서 추정하여 설계한 효율 기준으로는 0.2~0.6% 사이의 손실로 추정하고 있지만 (표 2-2 [23], [25], [28], [41], [44], [46]), 이는 설계효율일 뿐 실제 동작에서의 효율을 보장하는 것은 아니다. 설계단계에서 손실 모델은 정현파를 가정하는 등의 단순화된 철손/도통 손실 모델을 쓰게 되는데, 일반적으로 고조파 전류, 누설 자속으로 인한 고주파 저항 증가 등 설계에서 고려하지 못한 성분들로 인하여 설계치보다 효율이 떨어지게 된다. 단적으로 [44]에서는 설계 효율을

표 2-2 선행 문헌에서 설계된 고주파 고절연 변압기의 효율

	$V_{dc,p}$ [V]	$V_{dc,s}$ [V]	V_{iso} [kV]	F_{sw} [kHz]	P_{rated} [kW]	부피 [dm ³]	효율 [%]
EPFL [28]	750	750	4	10	100		99.69* / >99.3**
EPFL [25]	1,100	1,100		2	25	10.1	99.39*
ETHZ [44]	2,000	400	12	20	166	3.8	99.8* / 99.4***
ETHZ [46]	2,000	400		20	166		99.5***
Ikerlan [41]	3,000	750	18	5	400		99.39*
Ikerlan [41]	3,000	750		5	400		99.76*
ETHZ [23]	8,000	400	10	50	25	4.3	99.66**

설계 효율*, Loss break down 기반 추정 효율**, 실측 효율***

99.8%로 설계하였지만, 교류 전류원을 통한 실측으로는 99.4%로 떨어진 것을 볼 수 있고, [28]에서도 컨버터 단의 효율 측정을 통한 손실 요인 분석(Loss break down)으로 도출한 변압기 추정 손실도 설계치보다 떨어진 것을 볼 수 있다.

변압기는 일반적으로 도통 손실과 철손이 같은 지점에서 최대 효율을 낸다. 도통 손실은 출력 전력의 감소에 따라 감소하게 되지만, 변압기의 자화 인덕터에 인가되는 전압은 부하에 따라 크게 변동하지 않기 때문에 철손은 비교적 일정하게 나타난다. 따라서 경부하로 갈수록 변압기의 효율은 전반적으로 떨어지게 된다. 전형적인 컨버터의 효율개형은 정격에서 부하가 떨어질수록 완만하게 증가하다가 급격히 떨어지는 특성을 보이는데, 철손으로 기인한 변압기의 효율 특성은 컨버터의 최대 효율을 떨어뜨리는 요인이 된다.

앞서 언급한 점들을 고려하여 볼 때, 고주파 고전압 절연 변압기는 컨버터의 전반적인 효율을 결정하는 주된 요소이며, 전력밀도 향상을 위해서는 많은 노력을 들여야 하는 것을 알 수 있다.

2.1.3 비절연 반도체 변압기의 가능성과 응용분야

중전압-저전압 직류 계통이 기존의 교류 계통을 대체하기 위해서는 반도체 변압기의 전력 변환 효율과 전력밀도가 극대화되어야 한다. 만약 효율에 큰 비중을 차지하고 있는 고주파 고전압 절연 변압기가 전력 변환기에서 제거될 수 있다면 더 높은 효율과 전력밀도를 달성할 수 있다.

기존의 전력 변환기 들에서 변압기를 활용한 이유는 다음과 같다.

- 서로 다른 접지 전위를 갖는 전력변환기 사이의 전력 전달
- 변압기의 권선비를 활용한 높은 전압 이득 획득
- 한쪽 계통에서 발생한 단락 사고가 다른 쪽 계통으로 전달되지 않도록 사고 전파 방지

상기 언급한 기존의 전력 변환기 들에서 절연 변압기를 활용한 이유를 바탕으로, 직류 계통에서 비절연 컨버터가 활용 가능한 근거와 조건을 정리하면 다음과 같다.

- 양 직류 계통이 공통 접지 전위를 갖거나 또는 접지 전위 차이가 정적(Static)인 경우
- 변압기 권선비가 필요하지 않은 컨버터 구조를 이용하게 되는 경우
- 중전압 차단기를 활용하거나 또는 컨버터 회로적으로 사고 전파 방지가 가능한 경우

첫째, 양 직류 계통이 공통 접지 전위를 갖거나 또는 접지 전위 차이가 정적(Static)인 경우: 정적인 접지 전위 차이를 갖는 두 전력변환기 사이에 에너지 변환은 자기결합방식(Inductive coupling) 이외에도 (1) 용전결합방식(Capacitive coupling) 또는 Flying capacitor 방식, (2) 능동 스위치들과 공진 회로 설계 방식 등 여러가지 방식으로 가능하다.

둘째, 변압기 권선비가 필요하지 않은 컨버터 구조를 이용하게 되는 경우: 예를 들어 직렬-입력 병렬-출력 컨버터는 단위 모듈의 최적 효율을 위하여 변압기의 권선비를 1로 설계하는 경우가 많다. 이러한 경우에는 권선비를 활용할 필요성이 적다.

셋째, 중전압 차단기를 활용하거나 또는 컨버터 회로적으로 사고 전파 방지가 가능한 경우: 중전압 차단기를 활용하면 사고시 수 ms 안에 그리드를 분리시켜줄 수 있으며, 계통의 절연 없이도 계통 사고로부터 분리할 수 있다. 한편, 절연형 컨버터에 고 저항 접지를 하는 구조는 Single-pole-to-ground 사고시의 사고 전류가 크게 저감되어 안전할 수 있어서 경제적이지만, Pole-to-pole 사고시에는 여전히 대응할 수 없고 컨버터의 직류단 중전압 커패시터에 의해 매우 큰 사고 전류가 유기될 수 있다. 일반적으로 Pole-to-pole 사고의 빈도는 Single-pole-to-ground 사고에 비해 적다고 알려져 있지만, 컨버터가 수~수십년 동안 안정적으로 운용되기 위해서는 Pole-to-pole 사고 역시 반드시 고려되어야 한다. 또, 컨버터 내부에 단락사고 등으로 컨버터의 사고가 계통에 영향을 주는 상황도 고려되어야 한다. 이와 같은 점들을 고려하여 볼 때, 절연형 컨버터를 이용한다 하더라도, 컨버터가 계통과 빠르게 분리될 수 있도록 하는 직류 중전압 차단기가 실질적으로 필요하다고 할 수 있다. 따라서 비절연 반도체

변압기 운용에 직류 중전압 차단기가 필수적이라는 점은 큰 단점이 아니다.

중전압과 연계하면서 비절연 컨버터가 이용될 수 있는 응용분야는 해상풍력 발전단지와 PV 발전단지의 직류 수집(DC collector), 직류-직류 계통 연계, 다중 터미널(Multi-terminal) 조류제어, 다중 직류-궤전(DC feeder) 전철 등이 있다.

해상은 지상에 비해서 풍력자원이 풍부하고 입지제약에 비교적 자유로우며 발전기의 대형화로 높은 이용률을 확보할 수 있다. 해상풍력단지는 지상까지 송전거리가 다소 있기 때문에 송전 손실을 최소화하기 위하여 터빈에서 발전된 전력의 전압을 변압기를 통해 승압하여 송전한다. 기존의 송전형태는 교류를 활용하였지만, 직류 송전의 여러 이점으로 중전압 직류로 발전 전력을 수집(DC collector)하고, 고전압(HVDC)으로 한번 더 승압하여 직류 송전으로 지상과 연계하는 연구가 활발히 진행되고 있다. 그림 2-9는 [87]에서 제안된 해상풍력단지를 위한 직류 계통 구조를 보여준다. 이러한 직류 송전 구조에서, 비절연 중전압 직류 반도체 변압기는 풍력 발전기단에서 발전된 전압을 중전압 직류로 승압하는 컨버터에 이용될 수 있다[37], [87]-[91]. 같은 이유로 대규모 PV 발전단지에서 비절연 중전압 직류 반도체 변압기를 활용하는 연구도 있었

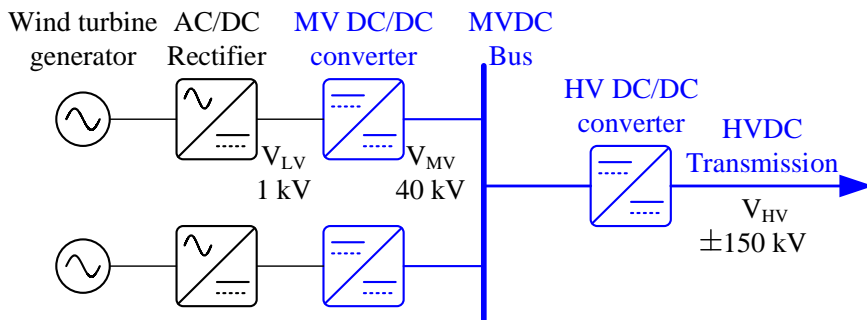


그림 2-9 [87]에서 제안된 해상풍력단지를 위한 직류 계통 구조

다[92]~[97].

직류-직류 계통에도 비절연 반도체 변압기가 활발히 검토되고 있다[36], [91], [98]~[102]. 특히, 양 직류단 사이의 전압 이득이 높지 않은 경우, 직접적인 전력 전달 경로가 있도록 구성하고, 일부 전력만 컨버터를 통해 전력변환을 하는 부분 전력 컨버터(PPC, Partial power converter)를 검토해 볼 수 있다. PPC로 직류-직류 계통을 구성하는 경우 컨버터를 통해 전달된 전력에만 손실이 생기기 때문에 전력 변환 효율을 극대화할 수 있다. 또, 요구하는 전체 전력변환 용량보다 훨씬 작은 컨버터 정격으로 구성 가능하기 때문에 전력밀도가 높다.

계통이 Star 형태나 Tree 형태가 아닌 그림 2-10([103])와 같이 Ring 형태인 경우, 송전선의 과부하 방지 또는 송전 효율 개선을 위해서 조류 제어가 요구된다. 이를 위해서는 다중 터미널의 전압을 조정하여 조류 흐름을 능동 제어하는 직류 전압조정기(DC-AVR)가 필요하다. 직류 전압조정기는 모두 PPC형태로 구성된다는 것이 특징이다. [103]~[107]에서는 HVDC 계통 용으로 비절연 직류 전압 조정기가 연구되었으며, 이와 같은 컨버터들은 중전압 직류 계통에

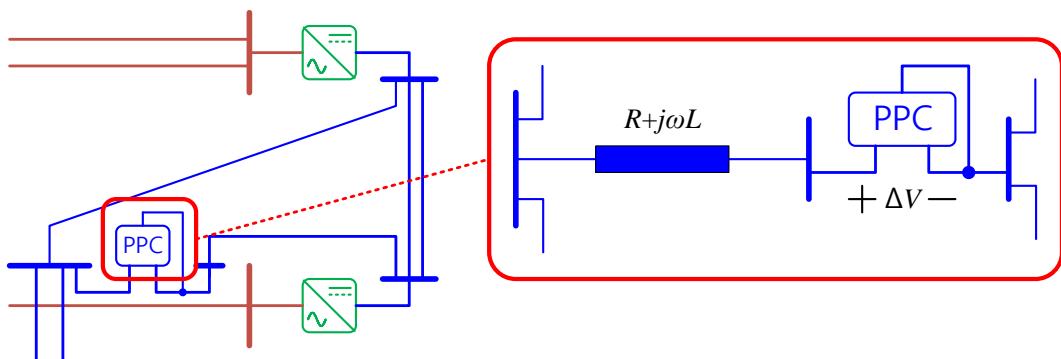


그림 2-10 [103]에서 제안된 직류 전압 조정기로 제어되는 계통

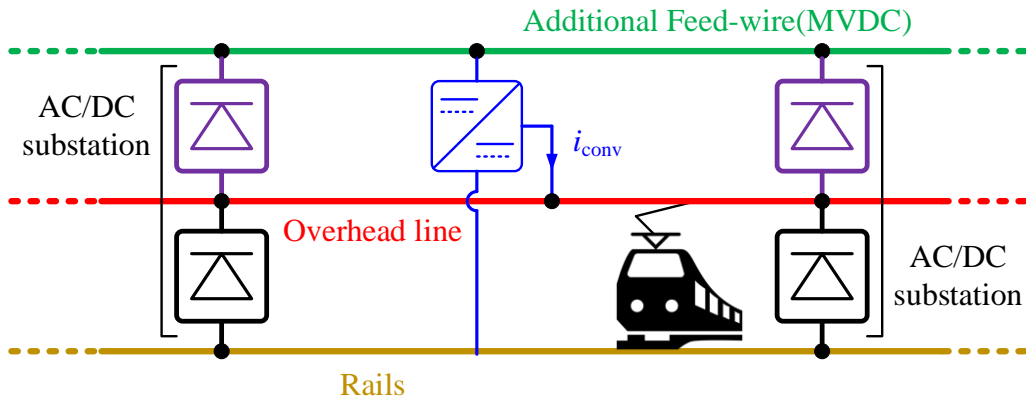


그림 2-11 [111]에서 제안된 다중 궤전 전철 시스템

도 그대로 활용 가능하다.

전철의 궤전 시스템에도 비절연 반도체 변압기를 활용하는 연구가 있었다. [108]-[110]에서는 철로로부터 대지로 누설되는 전류로 인한 배관 전식 방지를 위하여 음전위 궤전을 추가하고 비절연 컨버터를 통해 철로의 전압을 감소시켜 누설전류를 저감 하였다. [111], [112]에서는 궤전의 용량 증대를 위해 그림 2-11([111])과 같이 중전압 직류 양극 궤전을 추가하고 비절연 반도체 변압기를 통해 기존의 1.5 kV 궤전에 전력을 공급하도록 하였다.

2.1.4 비절연형 반도체 변압기의 분류

절연 반도체 변압기와 마찬가지로 비절연 반도체 변압기 또한 중전압의 전압 스트레스를 어떻게 해소할 것인지에 따라, 그림 2-12와 같이 분류될 수 있다. 그림 2-12의 (가)-(라)는 컨버터 구조에 따라 분류된 비절연형 반도체 변압

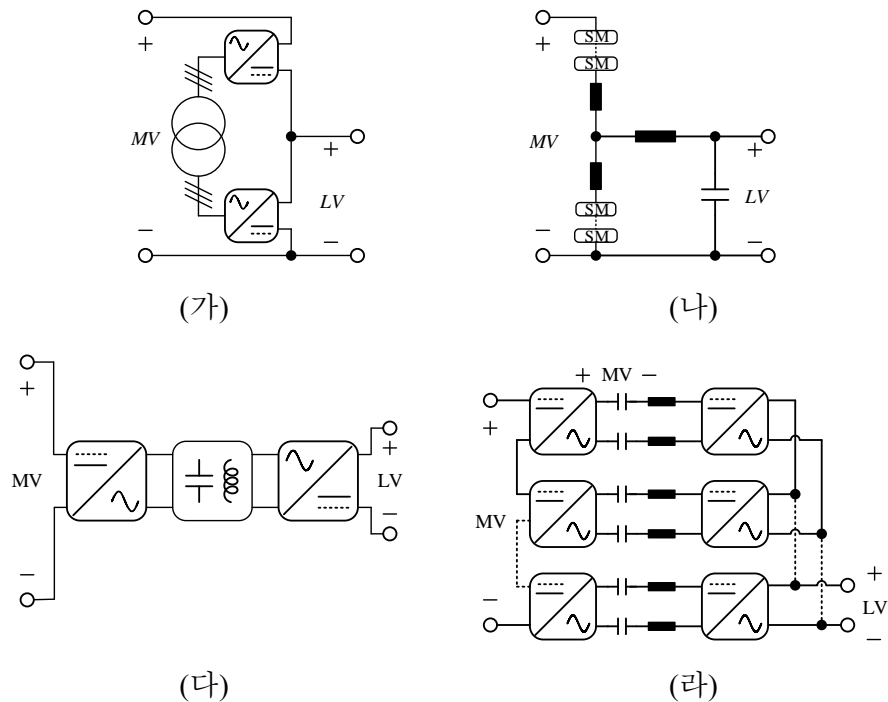


그림 2-12 중전압/저전압 변환 비절연형 반도체 변압기

(가) 모듈러 멀티레벨 컨버터와 내부 변압기를 이용한 구조

(나) 모듈러 멀티레벨 컨버터의 출력을 필터링하는 구조

(다) 높은 내전압 스위치 인버터와 중전압 교류 공진을 이용한 구조

(라) 커패시터로 중전압 직류를 차단하는 구조의 직렬-입력 병렬-출력 컨버터

기의 종류를 나타낸다. 선행문헌은 스위치의 내전압을 분담하기 위해 모듈러 구조 형태를 띄거나, 높은 내전압 스위치를 사용하여 중전압 직류에 활용되기 위한 연구를 발췌하였다.

상기 분류된 항목 이외에 고 승압비가 가능하지만, 사다리(Ladder) 형태의 전력 흐름을 가져 아래 모듈로 갈수록 전류 스트레스가 커져 회로 구조가 삼각형 형태를 갖는 컨버터가 있으며 [87], [113], [114], 모듈러 구조는 아니지만 멀티레벨 컨버터를 이용한 컨버터들이 있다.

2.1.4.1 모듈러 멀티레벨 컨버터와 내부 변압기를 이용한 구조

해당 구조는 2개 또는 그 이상의 MMC를 직렬 연결 하고, 그림 2-13 (가) [102]와 같이 각 MMC의 교류 전압을 내부 변압기를 통해 커플링 하는 구조

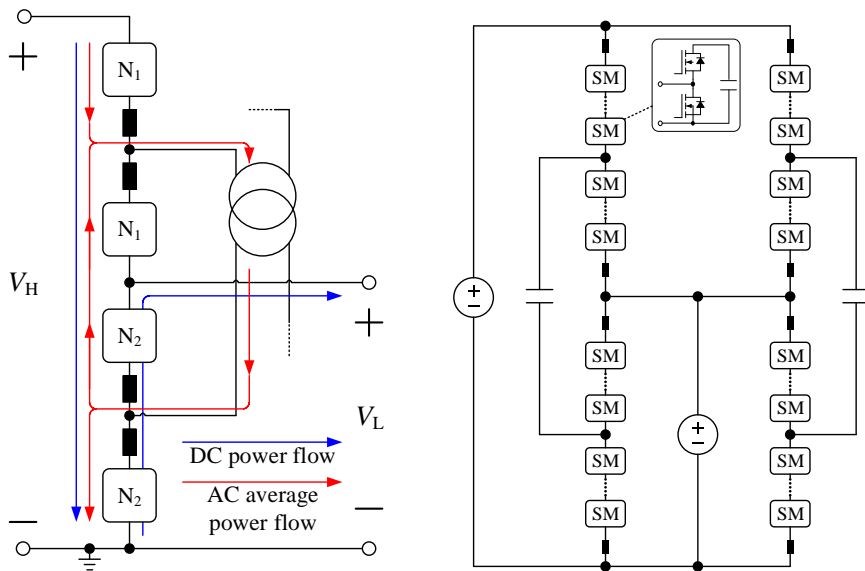


그림 2-13 모듈러 멀티레벨 컨버터와 내부 변압기를 이용한 구조

(가) 컨버터내 전력 흐름 [102] (나) 변압기 대신 커패시터를 이용한 구조 [120]

이다[98], [100], [115]–[119]. 전류는 직류에서 교류로 변환되고 내부 변압기를 통과하여 아래 MMC 컨버터에 의해 다시 직류로 변환된다. [115]에서 처음 제안되었으며, DC auto-transformer라 널리 불리어 진다. 해당 구조의 변압기와 MMC의 출력은 두 직류 계통 간에 전달되는 전체 출력이 아니라, 2개의 MMC 간에 교환되는 전력만 지나는 형태로 용량과 손실 측면에서 유리한 점을 가진다[98]. 직류단 사고에 대응하기 위해서는 Upper arm 일부 모듈을 Full-bridge로 구성해야 한다. 2차측 출력전압이 낮은 경우 모듈러 멀티레벨이 아닌, 2레벨 또는 멀티레벨 인버터로 구성될 수 있다.

양쪽 직류단의 공통 접지 전위가 양쪽 직류단의 중성점으로 같은 경우나, 혹은 양 직류단의 음전위 혹은 양전위가 같은 경우에 한하여 그림 2-13 (나)와 같이 변압기 없이 커패시터로 구성 하거나[120] 또는 그림 2-14와 같이 극 출

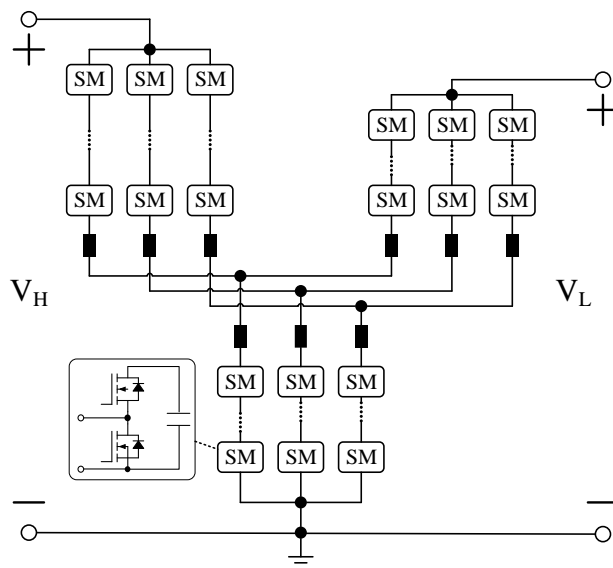


그림 2-14 모듈러 멀티레벨 컨버터의 극 출력을 공유하는 구조 [98]

력을 공유하는 구조로 수동소자를 최소화 할 수 있다[98]. 그러나 높은 전압 이득에서는 높은 순환 전류를 수반하게 된다[98], [120].

모듈러 멀티레벨 컨버터와 내부 변압기를 이용한 구조는 전압 이득이 큰 경우, 내부 변압기를 통해 전달되는 전력이 풀 파워에 가까워져서, 풀 파워 절연형 컨버터로 구성하는 것에 비하여 비절연 구성의 이점이 크게 퇴색된다.

2.1.4.2 모듈러 멀티레벨 컨버터의 출력을 필터링하는 구조

해당 구조는 그림 2-15 [102]와 같이 MMC 출력 전압을 직류+교류로 출력하고, LC 필터 등으로 교류 전압 출력을 필터링 하여 직류 전압만을 얻는 구조로, 벽 컨버터 구조와 같다 [91], [99], [121]–[126]. 이러한 구조의 컨버터는 M2DC(Modular multilevel DC converter)라 널리 불리어 진다. 제어는 크게 유효 전력 제어와 무효 전력 제어로 나뉘어 수행 된다. 유효 전력 제어는 양 직류

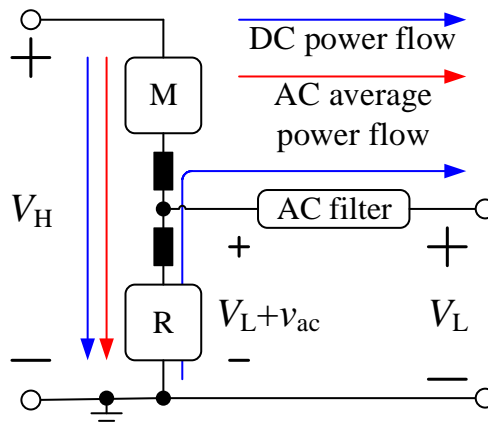


그림 2-15 모듈러 멀티레벨 컨버터의 출력을 필터링하는 컨버터 구조 [102]

단 사이에 전력제어를 위해 수행되며, 무효 전력 제어는 서브 모듈들의 전압 균등을 위해 수행된다[99]. 직류 단 사고에 대응하기 위해서는 Upper arm 일부 모듈을 폴-브릿지로 구성해야 한다.

변압기가 없는 것이 큰 특징이며, 높은 전압 이득도 가능하다. 그러나 기본적으로 하드 스위칭이 일어남으로 높은 스위칭 주파수 동작이 제한된다. 이러한 제한점에 서브 모듈의 직류단 커패시터를 공진 시키어 영전류-스위칭(ZCS, Zero current switching)를 이루는 소프트-스위칭 연구도 있었다[91], [123], [127]. 그러나 공진 구조는 서브 모듈의 전압 스트레스를 키우며, 순환 전류가 증가시킨다. 이외에 MMC 구조가 아닌 스위치 직렬을 통한 방법도 있었다 [128].

2.1.4.3 높은 내전압 스위치 인버터와 증전압 교류 공진을 이용한 방법

증전압 교류 공진을 이용한 방법은 공진 주파수의 반주기마다 공진 회로를 인버터를 통해 회전시키어, 공진 커패시터에 증전압 교류 전압을 형성 시킨 다음, 이를 정류하여 증전압 직류 전압을 만드는 구조이다[88], [129]–[134]. [134]

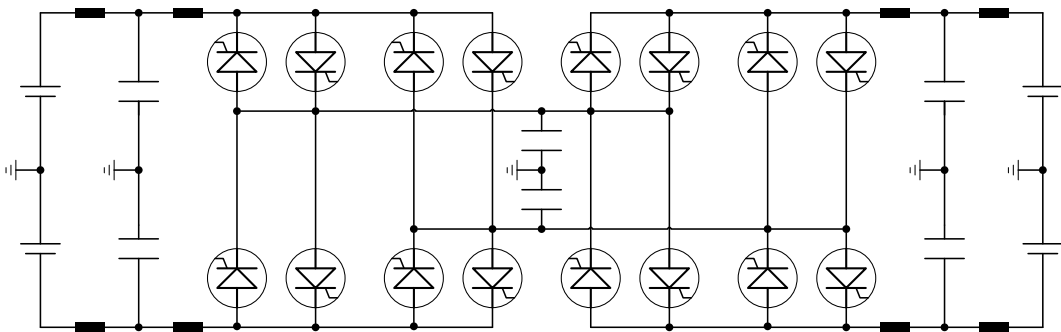


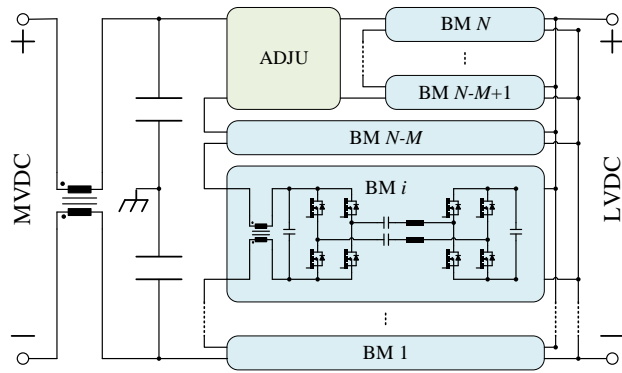
그림 2-16 증전압 교류 공진 공진을 이용한 양방향 컨버터 [130]

에서 단방향으로 처음 제안 되었으며, 양방향 컨버터로도 같은 동작원리가 적용될 수 있음을 보였다[130]. 그림 2-16은 [130]에서 제안된 컨버터 구조를 보여준다.

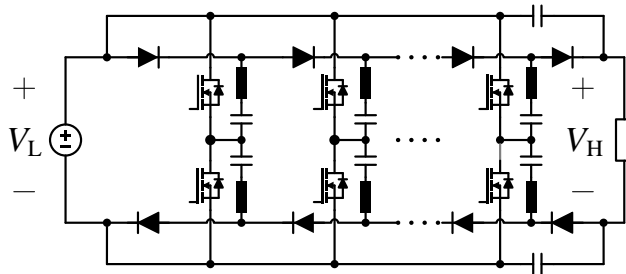
중전압 교류 공진을 이용한 방법은 변압기가 없는 구조이면서 가장 적은 수의 수/능동소자로 높은 전압 이득을 달성할 수 있다. 그러나 중전압단 스위치의 스위치 이용률이 떨어져 높은 전류 스트레스를 감당해야 한다. 또 중전압으로 공진하는 커패시터와 인덕터가 필요하며, 높은 코어손실과 유전손실이 뒤따른다. 이는 고효율 전력변환에 큰 제한이 있음을 예상할 수 있다. 특히 낮은 전압 측에도 높은 정격의 스위치가 들어가는 구조([88], [134])는 큰 단점으로 지적된다.

2.2 커패시터 커플링을 이용한 반도체 변압기 선행 연구

서론에서 언급하였던 것과 같이, 2010년대 후반부터 커패시터 커플링을 이용하여 전력변환을 하는 모듈러 구조의 고 승압비 컨버터가 연구되기 시작했다. 고전압 커패시터를 이용하여 중전압을 차단하고, 교류 전류를 이용해서 상위 모듈에 전력을 전달하는 구조이다 [36], [37], [96], [101], [135], [136]. 전력 제어를 위한 인덕터는 변압기를 사용하는 구조이든 커패시터 커플링을 사용하는 구조



(가)



(나)

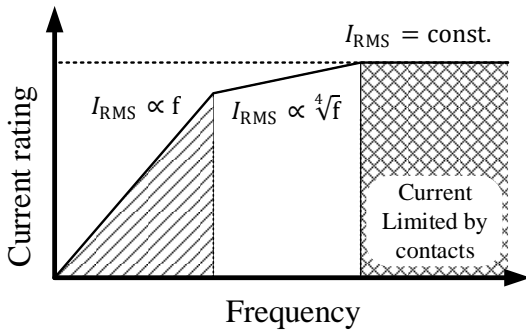
그림 2-17 커패시터로 중전압 직류 전압을 차단하는 구조의 직렬-입력 병렬-출력 컨버터 (가) [36] (나) [37]

이든 모두 존재해야 하기 때문에, 결국 변압기를 2개의 커패시터로 대체하는 것으로 간주할 수 있다. 그림 2-17(가), (나)는 커패시터로 중전압 직류 전압을 차단하는 구조의 직렬-입력 병렬-출력 컨버터 구조를 보여준다 [36], [37]. 저전압에 있는 에너지를 고전압 커패시터를 사이에 두고 바로 상위 모듈들에 바로 에너지를 전달하는 구조이기 때문에 절연형 컨버터에서의 직렬-입력 병렬-출력 컨버터와 마찬가지로 스위치의 전압/전류 스트레스가 N 분담된다. 따라서 중전압 공진을 이용하는 비절연 반도체 변압기 방식과 다르게 스위치의 이용률을 확보할 수 있다. 또, 높은 전압 이득에 따른 동작 특성의 변화를 배제할 수 있다.

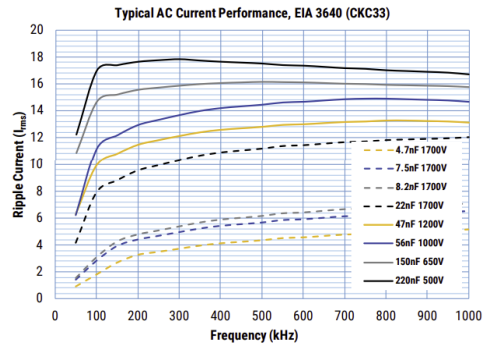
2.2.1 커패시터의 특징

2.1.2에서 언급하였던 것처럼 자성소자의 경우 주파수에 증가에 따라서 일반적으로 특성이 나빠지는 방향으로 나아가지만, 커패시터의 경우에는 모든 특성이 나빠지는 방향으로 가지는 않는다. 커패시터는 코로나 방전으로 인한 문제 때문에, 교류 전압 정격에 제한이 있다[137]. 전력전달을 위해서는 일반적으로 스위칭 주파수와 관계없이 동일한 크기의 교류 전류가 흐르게 되는데, 주파수가 낮아질수록 커패시터의 교류 전압 스트레스가 크다. 이는, 주파수가 높아질수록 커패시터의 허용 전류가 높아짐을 의미한다. 그림 2-18(가)는 전형적인 커패시터의 허용전류 크기의 개형을 보여주며[137], 그림 2-18(나)는 이러한 현상을 잘 보여주는 커패시터 데이터시트에 적시 되어있는 주파수에 따른 허용전류 그래프를 보여준다[138].

커패시터에 의한 유전손실은 소산 인자 지표(DF, Dissipation factor)에 의해서



(가)



(나)

그림 2-18 커패시터의 전류 정격 특성

(가) 주파수에 따른 커패시터 정격 전류의 전형적인 개형 [137]

(나) 커패시터 허용전류 크기 [138]

주로 평가되는데, 이는 커패시터의 종류와 용량에 따라 다르지만 일반적으로 커패시터에 의한 유전 손실은 변압기의 철손과 동손에 비해 낮다.

$$DF = \tan(\delta) = \frac{R_{esr}}{X_c} \quad (2.1)$$

특히 세라믹 커패시터의 경우 최근 얇은 두께의 도체판을 다층으로 적층 시키는 기술(MLCC, Multi-layer ceramic capacitor)이 발달함에 따라 특성이 크게 개선되었다. 이에 따라 높은 출력 리플 정격을 갖으면서 온도계수 특성이 좋은 세라믹 커패시터가 많이 출시되고 있다. 또, 커패시터의 종류는 제조사 별로 매우 많기 때문에 설계에 대한 난이도도 크게 감소한다. 단위 부피당 질량 밀도를 비교해 보았을 때 세라믹이 3.85 g/cm³ 페라이트가 2.9~3.5 g/cm³로 세라믹이 다소 높지만, 커패시터의 단위 부피당 에너지 밀도가 자성소자에 비해

서 수백~수천 배 이상 높다는 걸 고려하였을 때[139], 무게 절감과 부피가 감소할 것을 기대할 수 있다.

모든 특성에 대해서 커패시터가 우월한 것은 아니다. 세라믹 커패시터는 전압에 따라, 온도에 따라 커패시턴스가 바뀌는 특성이 있기 때문에 차단전압 크기와 온도에 따른 커패시턴스 값 변화를 고려해야 한다. 그러나, 최근 이러한 특성이 보상된 커패시터들이 출시 되고 있다[138]. 이와 같은 점을 고려할 때, 중전압에 활용가능한 커패시터 후보로는 세라믹에서는 COG 온도계수 특성을 갖는 Class1 커패시터, 필름에서는 폴리 프로필렌(PP, Polypropylene)을 고려해볼 수 있다. 시중에 판매되는 1 nF 이상의 커패시턴스를 갖는 상기 두가지의 커패시터 종류를 조사하면 그림 2-19(가), (나)와 같다. 1 nF이상으로 세라믹은 직류 전압 3 kV까지 필름은 직류전압 10 kV까지 있는 것을 확인할 수 있다. 현재까지는 중전압 차단 커패시터를 구현하기 위해서는 고전압 커패시터

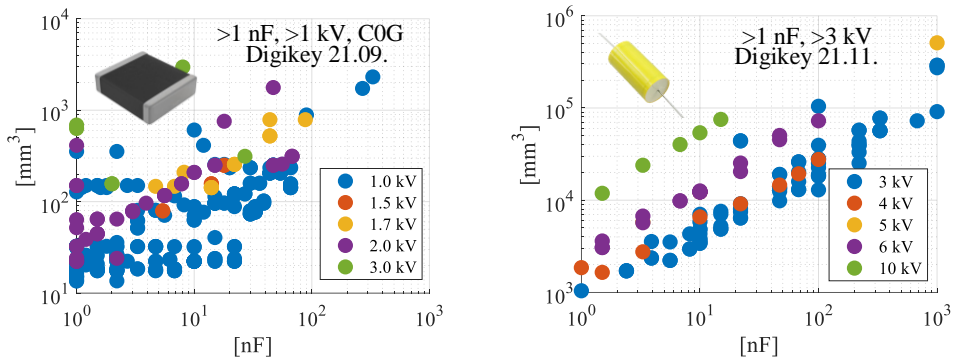


그림 2-19 시중에서 판매되고 있는 1 nF 이상의 고전압 커패시터
 (가) 고전압 COG 온도계수특성의 적층 세라믹 커패시터(MLCC)
 (나) 고전압 필름 커패시터

의 직/병렬 연결이 필요 하다. 특히, C0G 온도계수 특성을 갖는 세라믹 커패시터는 X7R과 같은 온도 계수를 갖는 세라믹 커패시터에 비하여 전력 밀도가 낮고, 가격이 높다. 하지만, 커패시터 특성의 개선속도로 미루어 보면, 직류 정격 전압이 높아진 값싼 커패시터가 근 미래에 많이 출시될 것으로 기대해 볼 수 있다.

2.2.2 선행 연구의 제한점

본 항에서는 커패시터 커플링을 이용한 직렬-입력 병렬-출력 컨버터 선행 연구의 제한점에 대해서 살펴본다. 3장부터 후술할 본 논문의 연구와의 차이점을 쉽게 비교할 수 있도록 본 논문의 연구와 같이 최소 한의 수동소자(직렬-LC 구조)만을 차용한 논문들에 대해서 집중적으로 논의한다. 한편 충전압 용도로 연구된 것이 아니라 하더라도 저전압 용도(예를 들어, ICT)로 개발된 컨버터들 중에서 본 논문에서 다루고 있는 컨버터와 구조가 동일하다면, 고전압 용도로도 비례 설계될 수 있다. 따라서, 저전압 용도 연구 또한 검토되어야 한다. 이에 본 항에서는 충전압 용도 [36], [37]과 ICT 용도[31]-[33]로 연구된 선행연구의 한계점에 관하여 서술한다.

인덕터만 있는 DAB 컨버터와 다르게, 직렬-LC 구조를 갖는 DAB 컨버터(이하 커패시터 커플링을 이용한 컨버터)의 경우 설계 자유도가 2개이므로 목적에 맞도록 최적화하는 자유도 있다. 커패시터 커플링을 이용한 컨버터의 기본과 임피던스 X_{T1} 의 크기는 다음과 같이 나타낼 수 있다.

$$X_{T1} = 2\pi F_{sw}L_r - \frac{1}{2\pi F_{sw}C_r} \quad (2.2)$$

$$= Z_o \left(\frac{1}{F_N} - F_N \right) \quad (2.3)$$

여기서 F_{sw} , L_r , C_r , Z_o 는 각각 스위칭 주파수, 공진 인덕터의 인덕턴스, 공진 커패시터의 커패시턴스, 특성-임피던스를 나타낸다. 정규-공진점 F_N 은 스위칭 주파수가 공진주파수 F_r 과 얼마나 가까운지를 나타내며 (2.4)와 같이 정의한다.

$$F_N := \frac{F_r}{F_{sw}} \quad (2.4)$$

커패시터 커플링을 이용한 컨버터의 임피던스 설계는 (2.3)에 의해서 특성-

임피던스 Z_0 , 정규-공진점 F_N , 기본파 임피던스 X_{T1} 총 3가지중 2가지를 취사 선택하여 평가 할 수 있다. 그 중 기본파 임피던스 X_{T1} 과 정규-공진점 F_N 는 커패시터 커플링을 이용한 컨버터의 설계 자유도로 평가되기 유용하다. 기본 파 임피던스 X_{T1} 은 컨버터의 기본적인 제어특성인 순환전류 특성과 소프트-스 위칭 특성을 나타내는 지표이다. 정규-공진점 F_N 은 스위칭 주파수를 공진주파 수와 얼마나 가깝게 하고 있는지를 나타내며, 컨버터의 고조파 특성과 임피던 스에 저장되는 에너지 총합 특성을 보여준다.

한편, 기본파 임피던스 크기 X_{T1} 은 컨버터의 동작 특성을 보여주는 지표이 나 직류단 전압과 최대 정격 전력에 대해서 상대적인 특성을 나타냄으로 정규 화 되는 것이 설계에 있어서 편리하다. 따라서 기본파 임피던스 X_{T1} 은 1, 2차 측 공칭전압($V_{nom,p}$, $V_{nom,s}$)에서 정격출력이 가능한 수많은 임피던스 중에서 그

표 2-3 커패시터 커플링을 이용한 컨버터 선행 문헌 연구에서의
설계 제정수와 제어 방식

	V_H/V_L [V/V]	F_{sw} [kHz]	F_N	C_r [μ F]	설계 및 제어 방식	$P_{o,total}$ [kW]
[31]	60/30	1,000	0.22	10	DAB, $\phi_{max} = 3^\circ$	0.15
[32]	180/20	300	0.53	10	DAB, $\phi_{max} = 4^\circ$	0.9
[33]	150/12	1,000	0.14	6.93	DAB, $\phi_{max} = 12^\circ$	0.9
[36]	600/200	58	1.00	1.1	공진, $F_{sw} = F_r$	2
[37]	500/100	4.5	1.11	50	DCM, $F_{sw} < F_r$	5

값이 가장 큰 기본파 임피던스 크기 $X_{T1,max}$ 로 정규화 한다. $X_{T1,max}$ 은 (2.5)와 같이 구할 수 있다.

$$X_{T1,max} = \frac{4V_{nom,p}V_{nom,s}}{\pi^2 P_{rated}} \quad (2.5)$$

여기서 P_{rated} 는 공칭전압에서의 컨버터 정격출력을 나타낸다. 정규화된 기본파 임피던스 지표는 컨버터의 정격출력에서의 순환 전류 특성을 쉽게 파악할 수 있도록 정격출력 조건에서의 최대 전압 위상 각 ϕ_{max} 로 변환되어 표현될 수 있다. 이를 통해 전압 이득이 1인 상황에서의 정격출력에서는 1, 2차측 인버터의 전압과 전류 역률 각이 $\phi_{max}/2$ 로 정격에서의 순환전류 특성을 쉽게 파악할 수 있다. 이에 X_{T1} 은 (2.6)을 통해 정규화 되어 최대 전압 위상 각

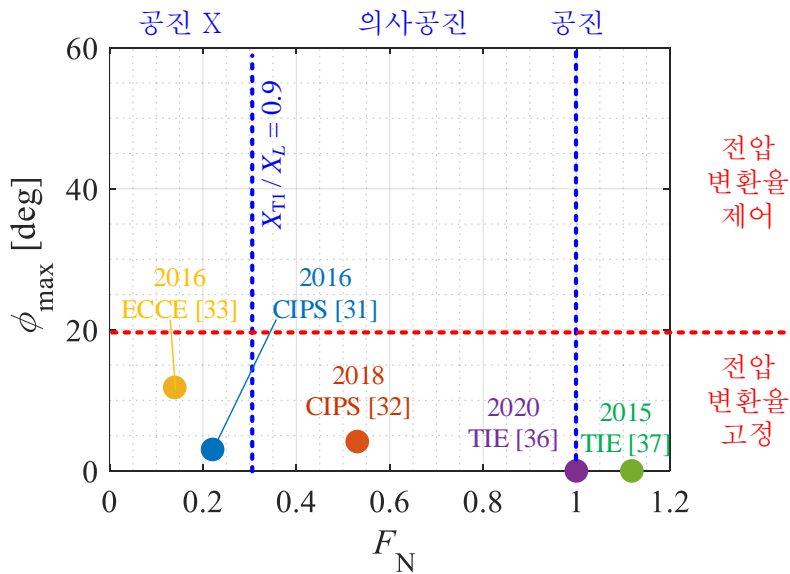


그림 2-20 표 2-3에 정리되어 있는 선행문헌을 설계 제정수인 최대 전압 위상 각 ϕ_{max} 과 정규-공진점 F_N 으로 정리한 그래프

ϕ_{\max} 로 나타낸다.

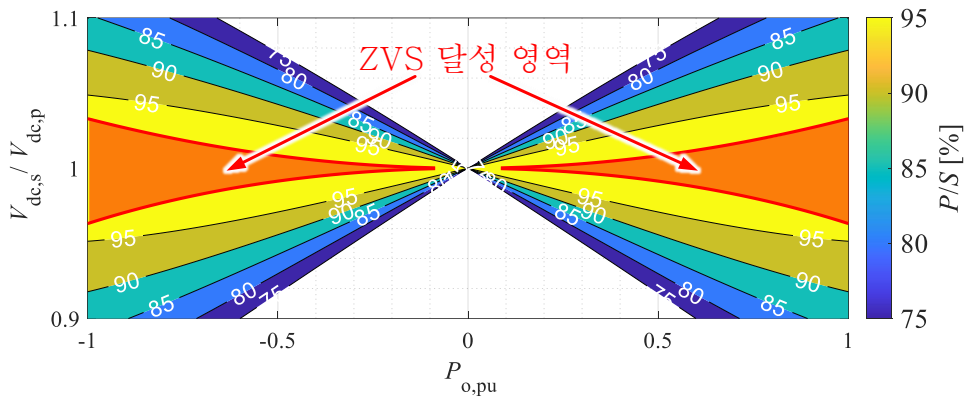
$$\phi_{\max} = \frac{\pi}{2} \operatorname{asin} \left(\frac{X_{T1}}{X_{T1,\max}} \right) \quad (2.6)$$

최종적으로 커패시터 커플링을 이용한 컨버터는 최대 전압 위상 각 ϕ_{\max} 와 정규-공진점 F_N 에 의해서 평가될 수 있다. 표 2-3은 선행문헌의 설계 제정수를 최대 전압 위상 각 ϕ_{\max} 와 정규-공진점 F_N 으로 정리한 도표이며, 그림 2-20은 표 2-3을 그래프로 정리한 것이다.

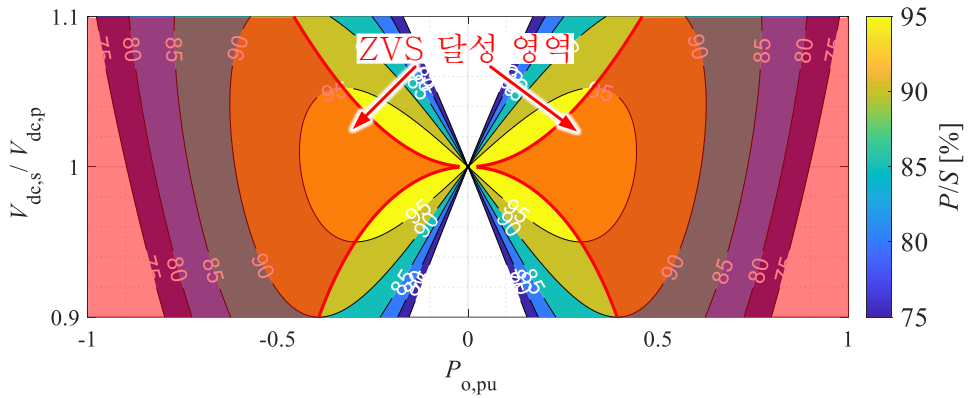
- 선행 연구 제한점1: 전압 변환제어가 불가능한 설계

먼저, 모든 선행연구에서 1차측과 2차측의 전압 이득을 1로 고정한 설계를 하였다. ICT([31]-[35]) 응용분야의 경우 출력 전압은 12 V, 24 V, 48 V 등 정 전압으로 출력 전압을 가변 할 필요성이 없다. 입력 전압의 경우에는 교류 계통에서 정류하여 얻게 됨으로, 입력 전압이 교류/직류 컨버터에 의해 전압 제어가 한번 이루어진다. 이러한 이유로, ICT 응용분야의 경우 직류/직류 컨버터 단에서 전압 변동 제어를 할 필요성이 적고, 선행 연구 모두 전압 이득을 1로 고정한 설계를 하였다. 이러한 설계는 무효전력을 최소화하는데 집중하는데, 이는 기본과 임피던스를 크게 낮추어 DAB 컨버터의 최대 전압 위상 각 ϕ_{\max} 를 낮추게 하도록 하는 설계이다.

그림 2-21(가)와 그림 2-21(나)는 각각 최대 전압 위상 각 ϕ_{\max} 가 15°, 90°로 설계된 컨버터의 피상전력(S)과 유효전력(P)의 비율을 비교하여 준다. 최대 전압 위상 각 ϕ_{\max} 를 낮게 설계한 경우 그렇지 않은 컨버터에 비해서 전압 이득이 1일 때 순환 전류가 크게 작음을 확인할 수 있다. 그러나 최대 전압 위상 각 ϕ_{\max} 가 작은 설계는 스위치의 ZVS 달성 범위를 좁히게 되어, 전압 변



(가)



(나)

그림 2-21 DAB 컨버터에서 최대 전압 위상 각 ϕ_{\max} 에 따른 동작 특성
 (가) 최대 전압 위상 각 $\phi_{\max} = 15^\circ$ 에서의 유효전력/피상전력과 ZVS 영역
 (나) 최대 전압 위상 각 $\phi_{\max} = 90^\circ$ 에서의 유효전력/피상전력과 ZVS 영역

동제어 제어 해야 하는 경우 하드 스위칭으로 인하여 스위칭 손실이 크게 증가할 수 있음을 알 수 있다. 또, ZVS가 실현되는 범위 밖으로는 순환 전류도 크게 증가함을 볼 수 있다. 본 연구에서 다루고자 하는 중전압/저전압 직류 계

통 연계형 반도체 변압기는 드롭 제어 또는 정 전압 제어 기능을 갖고 있으므로 최대 전압 위상 각 ϕ_{\max} 가 극히 낮은 설계는 적절하지 않다.

중전압/저전압 계통 용도([36], [37])로 연구된 연구에서도, 전압 이득을 1로 설계 하였다. 스위칭 주파수를 공진주파수와 같게 스위칭을 하거나[36] 또는 스위칭 주파수를 공진 주파수보다 높게 하여 불연속 전류 모드(DCM)로 동작 하는 경우 전압 이득이 1로 고정되게 된다. 따라서 계통 전압 변동 대응과 능 동적인 전력 제어가 제한된다. 따라서, [36]은 전압 이득 제어를 하는 전력변환 단계를 별도로 직렬로 추가 하였고, 2단계 전력변환으로 계통 전압 변동에 대 응하였다. 한편, [37]에서는 전압 변동 대응이 필요 없는 계통에 전압 이득이 1 로 고정된 설계를 이용하였다.

- 선행 연구 제한점2: 커패시터 부피를 고려하지 않은 설계

본 항에서는 두개의 설계 자유도가 인덕턴스와 커패시턴스에 어떻게 영향을 미치는지에 대해서 자세히 논의한다. 정규-공진점 F_N 이 고정된 상태에서 최대 전압 위상 각 ϕ_{\max} 의 크기의 증가/감소는 특성-임피던스 Z_o 의 증가/감소와 이 어진다. 이는 최대 전압 위상 각 ϕ_{\max} 가 증가하게 되면 인덕턴스는 증가하고 커패시턴스는 작아진다는 것을 알 수 있다. 한편, 최대 전압 위상 각 ϕ_{\max} 가 고정된 상태에서 정규-공진점 F_N 의 증가와 감소는 특성-임피던스 Z_o 의 증가/감 소와 이어진다. 따라서, 정규-공진점 F_N 이 증가하게 되면 인덕턴스는 증가하고 커패시턴스는 작아진다는 것을 알 수 있다.

그림 2-22는 200 kHz, 600 V/600 V 10 kW 설계에서 최대 전압 위상 각 ϕ_{\max} , 정규 공진점 F_N 에 따른 커패시턴스 크기를 보여준다. 최대 전압 위상 각 ϕ_{\max}

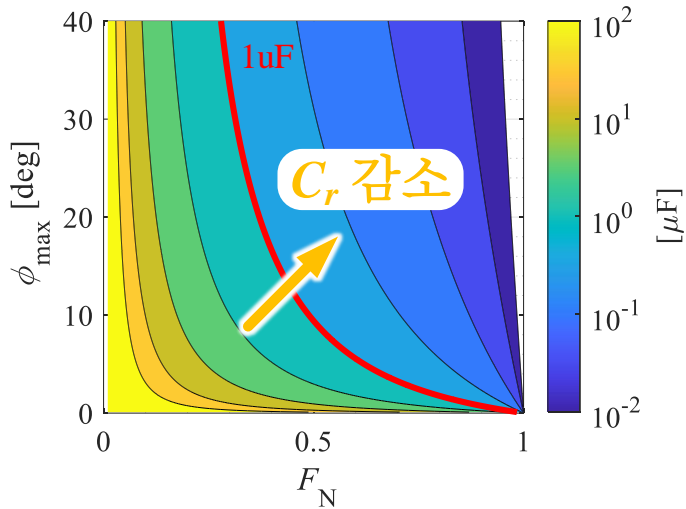


그림 2-22 200 kHz, 600 V/600 V 10 kW 설계에서

최대 전압 위상 각 ϕ_{\max} , 정규 공진점 F_N 에 따른 커패시턴스 크기

또는 정규 공진점 F_N 이 증가할수록 커패시턴스 크기가 줄어드는 것을 확인할 수 있다.

기존의 ICT응용 분야([31]–[35])의 선행연구는, 이러한 설계 자유도를 인덕턴스 값을 작게 만들고 커패시턴스를 키우는 방향으로 활용하였다. 이러한 설계는 저전압 컨버터에서는 자성소자의 부피를 최소화하였으므로 부피가 크게 작아지게 되므로 유리한 설계이다. 하지만, 중전압 응용의 경우에는 전압이 높아짐에 따라서 커패시터의 직/병렬이 필요하고, 일정 전압 이상부터는 커패시터의 부피가 자성소자의 부피를 넘어서는 크기로 증가하게 된다. 중전압에 이용되는 커패시터 커플링을 이용한 DAB 컨버터의 설계에서 최대 전압 위상 각 ϕ_{\max} 의 크기는 동작 특성을 결정하는 요소이므로 임피던스의 부피를 고려하

지 않고 설계한다 하더라도, 정규 공진점 F_N 은 스위칭 주파수와 가깝게 설계하는 편이 중전압 차단 커패시터의 부피를 줄여 전체 임피던스 부피를 최소화할 수 있다. 이는 중전압 응용에서 공진 인덕터와 공진 커패시터의 부피 합이 최소화되는 최적의 정규 공진점 F_N 설계에 대한 연구의 필요성을 보여준다.

그림 2-23은 200 kHz, 600 V/600 V 10 kW 설계에서 최대 전압 위상 각 $\phi_{\max} = 30^\circ$ 설계에서 중전압 크기와 정규 공진점 F_N 에 따른 전체 임피던스 부피 비교 예시를 보여준다. 정규 공진점 F_N 이 작을수록 공진 인덕터의 부피는 작아지지만, 중전압 차단 커패시터의 급격한 부피 증가로 전체 임피던스

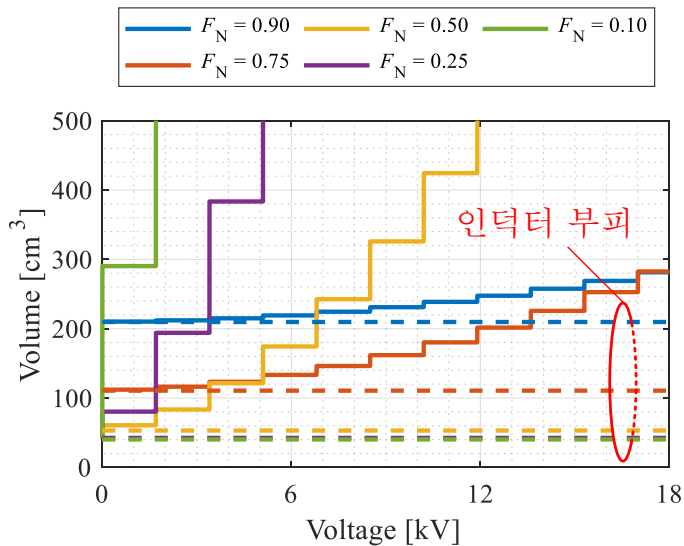


그림 2-23 200 kHz, 600 V/600 V 10 kW 설계에서 최대 전압 위상 각 $\phi_{\max} = 30^\circ$ 설계에서 중전압 크기와 정규 공진점 F_N 에 따른 전체 임피던스 부피 비교 예시

부피가 빠르게 증가함을 알 수 있다. 반면, 정규 공진점 F_N 이 1에 가까워지게 되면 인덕터의 부피가 크게 증가하여 전반적인 임피던스 부피가 크게 증가하는 것을 알 수 있다.

기존의 중전압응용 분야의 선행연구([36], [37])의 경우는 DAB 컨버터가 아니지만, 앞서 언급하였던 것과 비슷한 맥락으로 전체 임피던스 부피를 최소화하기 위한 자유도가 존재한다. 예를 들어 [36]의 공진형 컨버터 설계($F_r = F_{sw}$)의 경우에는 특성-임피던스 Z_0 를 어떻게 설정 할 것인지에 대한 자유도 있다. [36]에서는 자성-코어리스 설계(공극 인덕터)를 위해서 특성-임피던스 Z_0 가 작은 설계, 즉 인덕턴스를 최소화하였다. 이는 실제 중전압에 적합한 설계와 거리가 있다. 정리하자면, 커패시터 커플링을 이용한 직렬-입력 병렬-출력 선행 문헌은 모두 실제 중전압 차단을 구현하기 위한 커패시터의 부피를 고려하지 않았으며 모두 인덕턴스를 최소화하여 $1 \mu\text{F}$ 이상의 커패시터로 임피던스를 구성한 것을 알 수 있다.

2.3 주요 양방향 전력변환 컨버터들의 특징과 비교

본 절에서는 증전압-저전압 직류 배전용 직렬-입력 병렬-출력 컨버터의 단위 모듈에 주로 쓰이는 양방향 전력 변환 컨버터들을 소개하고 각각의 장단점을 소개한다.

많은 문헌에서 직렬-LC 임피던스를 두면서 위상과 시비율 제어를 하는 컨버터의 명칭으로 SR-DAB 컨버터 혹은 SRC 컨버터로 혼재하여 명명하고 있으나, 본 논문에서는 두개의 컨버터를 구분을 하여서, 전력 방향에 따라 인버터와 동기-정류기 역할을 바꾸어 전력 흐름을 바꾸는 컨버터를 SRC라 부르고, 위상 제어와 시비율 모두 조정하여 2차측에서 무효전력을 공급하여 승압이 가능하도록 제어하는 컨버터는 SR-DAB 컨버터로 구분해서 명명하겠다.

2.3.1 듀얼 액티브 브릿지 컨버터(DAB)

DAB(Dual Active Bridge) 컨버터는 그림 2-24(가)와 같이, 구형파 전압 인가를

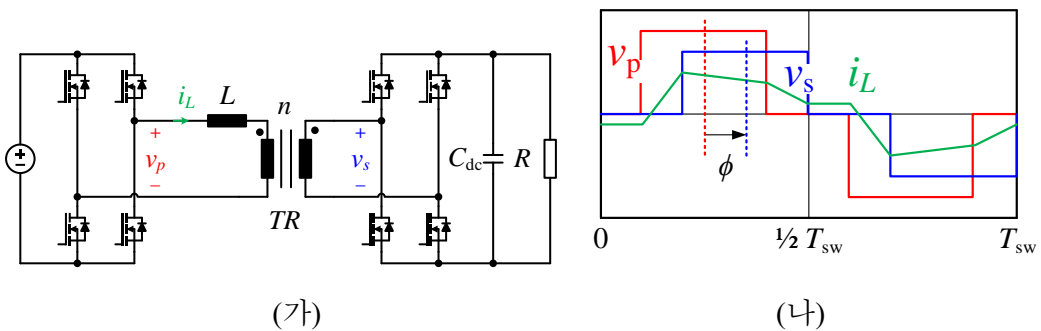


그림 2-24 단상 L-DAB 컨버터

(가)회로 구성 (나)Piece-wise linear 해석 [140]

위한 스위치들과 1차측과 2차측 사이를 절연하기 위한 변압기 그리고 전력 제어를 위한 인덕터로 구성된다. 본 논문에서는 추후 설명할 공진형 DAB 컨버터와 인덕터만 있는 DAB 컨버터를 쉽게 비교할 수 있도록, 인덕터만 있는 DAB 컨버터를 ‘L-DAB’로 표기하겠다. L-DAB 컨버터는 출력하는 상의 개수에 따라 단상, 삼상 등으로 구분된다. L-DAB 컨버터는 순환 전류를 최소화하기 위하여 일반적으로 변압기의 자화 인덕턴스 L_m 을 크게 설계한다. 따라서 L-DAB 컨버터는 1, 2차측 구형과 전압과 그 사이에 제어용 인덕터로 모델링되며 전류의 모양이 그림 2-24(나) 와 같이 스위치 모드별로 선형(Piece-wise linear)이 된다 [140].

L-DAB 컨버터는 1차측과 2차측의 구형과 전압의 사이의 전압 위상을 제어하는 위상-천이 방식(SPS, Single phase shift)으로 전력 제어를 구현한다. 위상제어는 간단한 PWM 로직으로 구현 가능한데 1, 2차측 전압의 크기에 관계없이 위상의 음/양에 따라 전력 흐름이 쉽게 제어된다는 것이 L-DAB 컨버터의 큰 장점이다. 이러한 장점으로, 부하의 전압을 넓은 범위로 제어 가능하다.

그러나 L-DAB 컨버터는 전압 이득이 1에서 크게 벗어나게 되면 많은 순환 전류가 발생하고 소프트-스위칭이 어려워진다는 단점이 있다. [141]에서처럼 보조 인덕터를 통해 무효전력을 공급하여 ZVS 영역을 확장하는 방법이 있지만, 부가적인 회로로 인한 비용증가를 수반한다. 이러한 이유로, L-DAB 컨버터는 보통 위상 뿐 아니라 각 풀-브릿지 인버터에서 출력하는 구형과 전압의 크기를 조정하여 실효 전류를 저감 하거나 소프트-스위칭이 되도록 한다. 풀-브릿지가 출력하는 구형과의 크기 조정은 2개의 하프-브릿지들의 위상 또는 아랫상이 모두 켜지도록 하여 스위칭 한 주기 내에 영전압 구간을 넣는 방식으로

이루어 진다.

L-DAB 컨버터에는 제어자유도가 크게 1차측 전압의 시비율, 2차측 전압의 시비율, 전압 사이의 위상, 스위칭 주파수 총 4가지가 있는데, 스위칭 주파수 조정은 자성체의 최적설계를 어렵게 만들기 때문에 보통 1, 2차측 시비율과 위상을 이용하여 제어된다. 이러한 다자유도를 이용하여 소프트-스위칭 또는 실효 전류가 최소화되도록 제어한다. 예를 들어, IGBT 같은 경우는 전류가 급격히 하강하다가 전류가 완전히 제로로 떨어지기 않고 점진적으로 떨어지는 Tail 전류로 높은 턴-오프 스위칭 손실이 존재하는데, 이러한 스위칭 손실을 저감하기 위해서 전류모양을 삼각형(TRM, Triangular modulation)으로 성형함으로써 불연속 전류 모드(DCM, Discontinuous conduction mode)구간을 의도적으로 만들고 이를 통해 스위치의 영전류-스위칭을 만족시키도록 한다[46].

실효 전류를 최소화 하기 위한 방법은 컨버터 분석 방법과 자유도 활용 개수에 따라서 분류 될 수 있다. [140]에서는 시간영역의 분석을 통하여 삼차원 자유도를 통해 도통 전류를 최소화 하였다. 그러나, 계산 과정이 복잡하여 오프라인으로 최적 제어 변수를 계산하고, 대용량의 참조표를 통해 실시간 제어로 구현된다. 이러한 문제 상황을 바탕으로, [142]에서는 전류의 푸리에 성분 중 가장 지배적인 성분인 기본파 성분을 최소화 하는 변조 방법을 제안하였다. 제안된 방법은 삼차원 자유도를 활용하였음에도, 간단한 분석적 해를 제공하고 부하율과 전압 이득에 대하여 연속적인 해를 제공한다. 따라서, 참조표 없이 실시간 계산 방식으로 구현될 수 있다는 장점이 있다. 또 기본파 전류 저감의 효과로 기존의 SPS 방식에 비하여 우수한 도통 손실 특성을 갖는다.

2.3.2 직렬-LC 공진형 컨버터(LC-SRC)

높은 전력밀도를 위해서는 스위칭 주파수를 증가시키는 것이 유리한데, 이러한 경우 스위칭 손실 저감이 필수적이다. 공진형 컨버터는 공진하는 전류 파형을 얻음으로써 턴-오프 전류를 저감함과 동시에 인버터측 ZVS 달성이 가능하여 스위칭 손실을 크게 저감할 수 있는 장점이 있다. 일반적으로 직렬-LC 공진형 컨버터(LC-SRC, LC-series resonance converter)는 그림 2-25(가)과 같이 인버터와 동기-정류기 그리고 직렬-LC 공진 회로로 구성된다. 양방향 전력전달을 위해서는 1, 2차측 스위치를 모두 능동 스위치로 구성하고, 전력 방향에 따라 인버터와 정류기 역할을 바꾸게 된다. 직렬-LC 공진형 컨버터는 스위칭 주파수와 공진 주파수의 비율 그리고 부하의 크기에 따라 전압 이득 곡선이 달라지며, 일반적으로 시비율을 0.5로 고정하고 스위칭 주파수를 제어한다.

직렬-LC 공진형 컨버터는 변압기의 자화 인덕턴스 L_m 을 크게 설계하여 자화 인덕턴스 L_m 을 통한 순환 전류를 최소화하고 이를 무시한다. 또, 고조파 차수가 증가할수록 직렬 임피던스의 크기가 크게 증가하여 고조파 전류가 작은 크기로 필터링 되기 때문에, 기본파로만 해석한다 하여도 컨버터의 동작

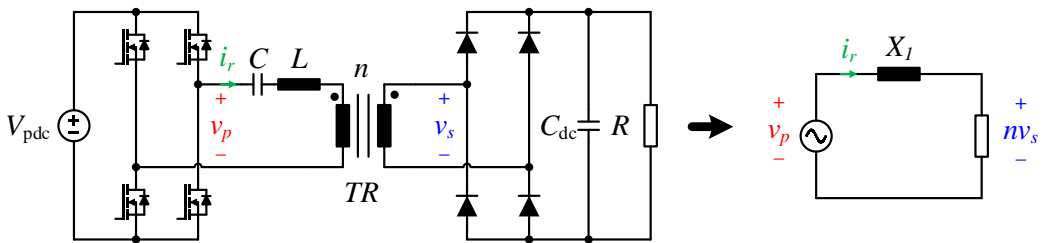


그림 2-25 직렬-LC 공진형 컨버터(LC-SRC)

(가)전력 회로와 (나)기본파 모델링

특성을 높은 정확도로 해석할 수 있다. 기본과 가정을 통해 그림 2-25(나)와 같이 부하단의 정류기와 부하를 교류 등가 저항으로 모델링 할 수 있다.

직렬-LC 공진 회로는 스위칭 주파수가 공진 주파수보다 큰 경우($F_r < F_{sw}$)에는 공진 임피던스의 특성이 유도성을 띄며 스위칭 주파수가 커질수록 전압 이득이 감소하고, 그 반대의 경우($F_r > F_{sw}$)에는 용량성을 띄며 스위칭 주파수가 커질 수록 전압 이득이 증가한다. 임피던스의 특성이 유도성을 띄게 되면 이상적으로는 전 부하 영역에서 인버터측 스위치의 ZVS 달성이 가능하기 때문에 스위칭 주파수를 공진 주파수보다 크게 제어하는 것이 유리하다. 따라서 유도성 영역($F_r < F_{sw}$)에서 동작하는 직렬-LC 공진형 컨버터는 경부하에서도 스위칭 손실을 크게 저감할 수 있다. 그러나 경부하일 수록 전압 이득 곡선이 완만해지기 때문에, 주파수 가변 범위가 넓어지며 전압 이득이 항상 1이하로 제한되기 때문에 전압 이득 제어 범위가 좁다는 단점 있다. 또 주파수 제어는 전자 방해(EMI, Electromagnetic interference) 필터 설계를 매우 어렵게 만든다.

용량성 영역($F_r > F_{sw}$)의 제어가 반드시 불리한 것은 아니다. 용량성 영역에 컨버터를 동작 시키면 컨버터를 DCM 모드로 동작 시킬 수 있다. MOSFET의 경우에는 DCM 동작이 실효 전류를 증가시키기 때문에 큰 이점이 없지만, IGBT의 경우에는 앞서 언급하였던 것과 마찬가지로 스위치 턴-오프 손실이 크기 때문에 영전류-스위칭 동작이 유리한 경우가 많다. 이러한 경우 컨버터의 스위칭 주파수를 공진 주파수보다 충분히 낮게 가져가서 공진 전류의 DCM 동작을 유도하고 이를 통해 영전류-스위칭을 달성할 수 있다. 하지만, 직렬-LC 공진형 컨버터의 DCM 동작은 부하율에 관계없이 전압 이득이 1로 고정되기 때문에 고정-승압비 직류-변압기와 같은 응용분야에 적합하다.

2.3.3 LLC / CLLC 직렬 공진형 컨버터(LLC / CLLC-SRC)

LLC 직렬 공진형 컨버터(LLC-SRC, LLC-series resonance converter)는 변압기의 자화 인덕턴스 L_m 을 작게 설계하여 자화 인덕턴스도 공진에 참여하도록 구성한다. LLC 직렬 공진형 컨버터는 직렬-LC 공진회로의 단점이 보완된 컨버터로 직렬-LC 공진점 이하로 동작주파수가 내려가는 경우에도 전압 이득이 증가하는 특성을 갖는다. 따라서 전압 제어 범위 폭이 직렬-LC 공진형 컨버터보다는 넓으며, 전압 이득이 1근처라 하여도 안정적인 제어가 가능하다는 장점을 갖는다. 그러나 부하가 높아 질수록 최대 전압 이득 범위가 줄어들게 되어 여전히 전압 제어의 폭은 DAB 컨버터 등의 다른 절연형 컨버터에 비하여 넓지 않다고 할 수 있다. 또, 전압 이득이 1이하인 상황에서는 직렬-LC 공진형 컨버터와 특성이 같아지는데, LLC 직렬 공진형 컨버터에서는 자화 전류에 의한 순환 전류가 존재하기 때문에 도통 손실 특성이 열위에 있다.

LLC 직렬 공진형 컨버터에서 1차측에서 2차측으로 전력전달을 하는 경우는 LLC 공진회로 특성이, 2차측에서 1차측으로 전력전달을 하는 경우에는 직렬-LC 공진형 컨버터 특성을 갖게 되어 특성이 비 대칭적인데, 이러한 비대칭성을 극복하기 위하여 전력 흐름에 관계없이 대칭형 특성을 갖도록 하는 CLLC 공진형 컨버터가 제안되었다[143].

2.3.4 직렬-공진형 듀얼 액티브 브릿지 컨버터(SR-DAB)

SR-DAB 컨버터는 양방향 LC-SRC 컨버터와 회로 구조가 같다. 그러나 직렬-LC 공진회로를 제어용 임피던스로 보고 양 브릿지에서 능동 스위칭 하며, 전압 위상을 제어하여 전력을 제어한다는 점에서 L-DAB 컨버터와 특징이 유사하다. 직렬 임피던스가 매우 작게 되면, 전압 위상 변화 대한 출력 전력의 민감도가 매우 커서 제어가 어렵고, 전압 이득 제어 시 순환 전류가 매우 크기 때문에, L-DAB 컨버터에서 제어용 인덕터를 설계했던 것과 마찬가지로 직렬-LC 공진회로의 임피던스 크기가 어느정도 크기 이상을 갖도록 한다. 따라서 SR-DAB 컨버터는 공진주파수에서 동작하지 않고, 스위칭 주파수를 공진 주파수보다 1.1~1.5배 높게 설정하는 것이 보통이다.

SR-DAB 컨버터는 L-DAB 컨버터와 마찬가지로 1, 2차측 전압 크기에 관계 없이, 위상의 음/양에 따라 전달되는 전력의 음/양을 바꿀 수 있기 때문에 넓은 전압 이득 제어가 가능하다. SR-DAB 컨버터는 LC-SRC 컨버터와 다르게 스위칭 주파수에 충분히 떨어져 있기 때문에 전류 모양이 정현파에 가깝다고 볼 수 없다. 그러나, 임피던스가 L만 있는 L-DAB 컨버터와 다르게, 직렬-LC이기 때문에 기본파와 고조파의 임피던스 크기 차이가 비교적 크고, 고조파 전류가 L-DAB 컨버터에 비해서 저감 된다. 고조파 전류는 전압 이득과 부하의 크기에 따라서 양의 전력을 전달하여 전체 실효 전류 저감에 도움이 되기 때문에 반드시 손해라고 볼 수는 없다. 그러나 고주파 컨버터에서는 특히 주파수가 높을 수록 권선의 고주파 저항이 커지는 점도 함께 생각하여 유불리를 검토해 보아야 한다.

고조파 전류의 저감효과로 L-DAB 컨버터에 비해서 스위치 턴-오프 전류 크

기 또한 저감된다고 볼 수 있다. 한편, 스위치 턴-오프 전류가 줄어드는 점은 장단점이 존재한다. 이는 스위치 턴-오프 전류의 크기는 ZVS를 달성시키는 데에도 관여하기 때문이다. 부하가 높은 상황에서는 스위치 턴-오프 전류가 충분히 크기 때문에, ZVS 달성에 필요한 최소한의 음전류를 충분히 공급받을 수 있다. 따라서 스위치 턴-오프 전류를 저감 시켜서 스위치 턴-오프 손실을 저감하는 것이 유리할 수 있다. 그러나, 경부하로 갈수록 스위치 턴-오프 전류크기는 함께 감소하게 되는데, 스위치 턴-오프 전류 크기가 작게 되면 영 전압 스위칭에 필요한 최소한의 음 전류 공급이 불가 해지고 ZVS 달성이 어려워진다. 이는 SR-DAB 컨버터의 ZVS 달성 범위가 L-DAB 컨버터에 비해서 줄어들 수 있음을 시사한다.

표 2-4는 본 항에서 언급한 주요 직렬-입력 병렬-출력 컨버터의 단위 모듈을 이루는 주요 전력 변환 토폴로지별 장단점이 요약되어 있다.

표 2-4 직렬-입력 병렬-출력 컨버터의 단위 모듈을 이루는
주요 전력 변환 토폴로지별 장단점

	<i>L</i> -DAB	<i>LC</i> -SRC	SR-DAB
전압 제어 범위	넓음	좁음	넓음
주요 제어 방법	전압 위상, 양측 시비율	스위칭 주파수, 시비율+동기 정류	전압 위상, 양측 시비율
ZVS 범위	중간	넓음	중간
턴-오프 전류	높음	낮음	중간
순환 전류	전압 이득에 민감	전압 이득에 둔감	전압 이득에 민감
전류 THD	높음	낮음	중간
주요 특징 및 제한점	(+) 승/강압 가능 (-) 제어 복잡도 (-) 변압기 포화 방지 필요	(-) 강압만 가능 (-) 경부하 제어 (-) EMI 필터 (-) 수동소자 크기	(+) 승/강압 가능 (-) 수동소자 크기 (-) 제어 복잡도

2.4 SR-DAHB 컨버터의 기본과 해석과 제어 방식

기본과 해석은 스위칭 한주기에 각 소자에 인가되는 전압 전류의 기본과 성분만을 고려하여 해석하는 방법이다. 일반적으로 스위치로부터 인가되는 구형파 전압의 기본과 성분을 푸리에 분석을 통해 도출하고 이를 회로에 인가하는 방식으로 모델링한다. 기본과 성분의 전압을 회로에 인가하였기 때문에 임피던스에는 기본과 성분의 전류만 흐르는 것으로 모델링 할 수 있다. 기본과는 다른 주파수 성분에 비해서 가장 우세한 성분이므로, 기본과 해석 방법은 비교적 높은 정확도로 컨버터의 해석이 가능하다. 또한 비교적 단순한 형태의 해석해를 얻을 수 있어 직관적인 수식 분석에 용이 하며, 일반적으로 스위칭 패턴의 변화가 있더라도, 해석에 사용되는 수식이 달라지지 않는다. 그러나,

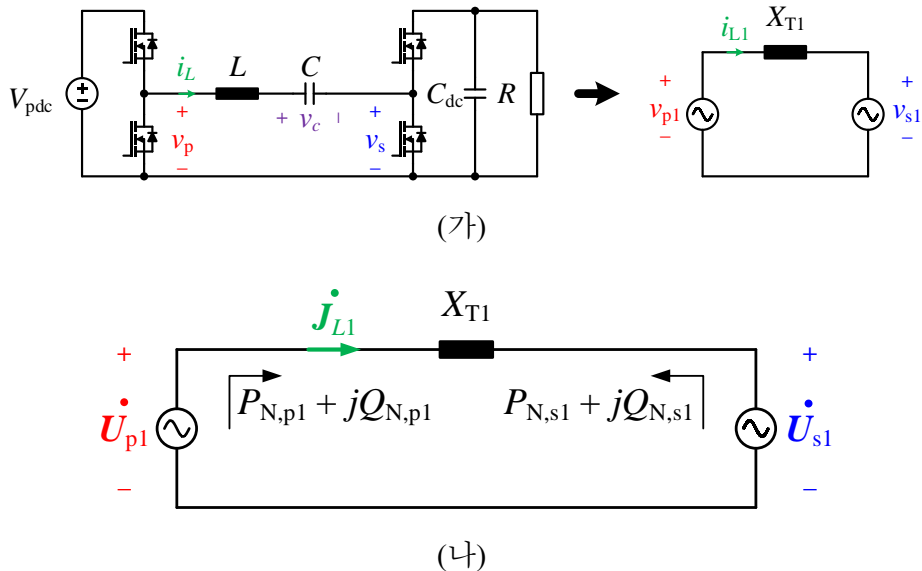


그림 2-26 SR-DAHB 컨버터의 (가) 기본과 모델 (나) 유/무효 전력 흐름

스위치의 시비율조정 등에 따라 고조파 전압이 증가하여 고조파 전류의 크기가 무시할 수 없는 수준으로 증가하게 되면 해석 정확도가 크게 감소한다. 또한, 스위치의 ZVS 달성 예측을 위해서는 스위칭 순간의 전류 크기가 중요한데, 고조파 전류가 무시불가능한 크기인 경우 ZVS 달성 예측도 제한되게 된다.

그림 2-26은 본 절에서 분석하고자 하는 SR-DAHB 컨버터의 기본과 모델과 유/무효 전력 흐름을 보여 준다. 한편 SR-DAHB 컨버터의 기본과 모델은 SR-DAB와 동일하기 때문에, 기본과로 해석하였던 SR-DAB 컨버터 해석 방식 ([144])을 그대로 적용할 수 있다.

2.4.1 SR-DAHB 컨버터의 기본과 해석

본 논문에서는 수식의 간결화를 위해서 1차측 전압과 2차측 전압의 비율인 전압 이득(Voltage conversion ratio)을 M 으로 정의하였다.

$$M := \frac{V_{dc,s}}{V_{dc,p}} \quad (2.7)$$

컨버터의 제어 변수 [D_p D_s D_ϕ]에 대해서 임피던스에 인가하는 1차측 기본과 전압과 2차측 기본과 전압은 푸리에 변환을 통해 다음과 구할 수 있다.

$$v_{p1}(t) = \frac{2V_{dc,p}}{\pi} \sin(\pi D_p) \cos(\omega_{sw} t) \quad (2.8)$$

$$v_{s1}(t) = \frac{2MV_{dc,p}}{\pi} \sin(\pi D_s) \cos(\omega_{sw} t - 2\pi D_\phi) \quad (2.9)$$

이때 스위칭 주파수에서의 페이저(Phasor)를 직교 좌표계(Rectangular coordinates)를 이용하여 (2.10), (2.11)과 같이 나타낼 수 있다. 페이저는 대문자, 굵은 글씨와 함께 페이저 표시 $\dot{\mathbf{X}}$ 로 표시하였으며, $\dot{\mathbf{V}}_{p1}$ 와 $\dot{\mathbf{V}}_{s1}$ 는 각각 1차측, 2차측 기본과 페이저 전압을 나타낸다. 페이저의 크기는 실효 값으로 나타내었

다.

$$\dot{V}_{p1} = \frac{\sqrt{2}V_{dc,p}}{\pi} \sin(\pi D_p) \quad (2.10)$$

$$\dot{V}_{s1} = \frac{\sqrt{2}MV_{dc,p}}{\pi} \sin(\pi D_s) \left(\cos(2\pi D_\phi) - j\sin(2\pi D_\phi) \right) \quad (2.11)$$

페이지로 나타낸 1차측 2차측 기본파 전압의 차이 $\dot{V}_{p1} - \dot{V}_{s1}$ 를 스위칭 주파수에서의 직렬- LC 임피던스 $-jX_{T1}$ 로 나누어 주면 (2.12)와 같이 임피던스에 흐르는 전류 \dot{I}_{L1} 를 구할 수 있으며, 이를 통해 커패시터의 전압도 (2.13)과 같이 구할 수 있다.

$$\begin{aligned} \dot{I}_{L1} = \frac{\sqrt{2}V_{dc,p}}{\pi X_{T1}} & \left(M\sin(\pi D_s)\sin(2\pi D_\phi) \right. \\ & \left. - j \left(\sin(\pi D_p) - M\sin(\pi D_s)\cos(2\pi D_\phi) \right) \right) \end{aligned} \quad (2.12)$$

$$\begin{aligned} \dot{V}_{C1} = -\frac{\sqrt{2}F_N V_{dc,p}}{\pi X_{T1}} & \left(\sin(\pi D_p) - M\sin(\pi D_s)\cos(2\pi D_\phi) \right. \\ & \left. + jM\sin(\pi D_s)\sin(2\pi D_\phi) \right) \end{aligned} \quad (2.13)$$

페이지로 나타낸 전압과 전류를 이용해서, 1차측에서 공급하여 주는 유효전력과 무효전력은 각각 (2.14)와 (2.15)와 같이 나타낼 수 있다.

$$\begin{aligned} P_{p1} &= \text{Re}\{\dot{V}_{p1} \cdot \dot{I}_{L1}^*\} \\ &= \frac{2MV_{dc,p}^2}{\pi^2 X_{T1}} \sin(\pi D_p)\sin(\pi D_s)\sin(2\pi D_\phi) \end{aligned} \quad (2.14)$$

$$\begin{aligned} Q_{p1} &= \text{Im}\{\dot{V}_{p1} \cdot \dot{I}_{L1}^*\} \\ &= \frac{2V_{dc,p}^2}{\pi^2 X_{T1}} \sin(\pi D_p) \left(\sin(\pi D_p) - M\sin(\pi D_s)\cos(2\pi D_\phi) \right) \end{aligned} \quad (2.15)$$

같은 방법으로 2차측에서 공급하여 주는 유효전력과 무효전력은 (2.16)과 (2.17)과 같이 나타낼 수 있다.

$$\begin{aligned} P_{s1} &= \text{Re}\{\dot{\mathbf{U}}_{s1} \cdot -\dot{\mathbf{J}}_{L1}^*\} \\ &= -\frac{2MV_{dc,p}^2}{\pi^2 X_{T1}} \sin(\pi D_p) \sin(\pi D_s) \sin(2\pi D_\phi) \end{aligned} \quad (2.16)$$

$$\begin{aligned} Q_{s1} &= \text{Im}\{\dot{\mathbf{U}}_{s1} \cdot -\dot{\mathbf{J}}_{L1}^*\} \\ &= \frac{2MV_{dc,p}^2}{\pi^2 X_{T1}} \sin(\pi D_s) \left(M \sin(\pi D_s) - \sin(\pi D_p) \cos(2\pi D_\phi) \right) \end{aligned} \quad (2.17)$$

임피던스는 무손실(Loss-less) 회로로 가정하였기 때문에, 1차측에서 공급하여 준 유효 전력은 2차측에서 공급받은 유효전력과 같음($P_{p1} = -P_{s1}$)을 (2.14)와 (2.16)을 통해 알 수 있다. 임피던스에서 공급받은 무효 전력은 1차측에서 공급하여 준 무효전력 (2.15)와 2차측에서 공급하여 준 무효전력 (2.17)의 합과 같고 (2.18)과 같이 계산할 수 있다.

$$\begin{aligned} Q_{X_{T1}} &= -(Q_{p1} + Q_{s1}) \\ &= -\frac{2V_{dc,p}^2}{\pi^2 X_{T1}} \left(\sin^2(\pi D_p) + M^2 \sin(\pi D_s) \right. \\ &\quad \left. - 2M \sin(\pi D_p) \sin(\pi D_s) \cos(2\pi D_\phi) \right) \end{aligned} \quad (2.18)$$

이때 기본파 실효 전류는 임피던스에서 공급받은 무효 전력 (2.18)을 통해 (2.19)와 같이 계산할 수 있다. 또, 컨버터에서 흐르는 순시 기본파 전류는 (2.12)를 통해서 (2.20)과 같이 얻을 수 있다.

$$\begin{aligned} I_{L1,rms} &= |\dot{\mathbf{I}}_{L1}| \\ &= \frac{\sqrt{2}V_{dc,p}}{\pi X_{T1}} \sqrt{\sin^2(\pi D_p) + M^2 \sin^2(\pi D_s) - 2M \sin(\pi D_p) \sin(\pi D_s) \cos(2\pi D_\phi)} \end{aligned} \quad (2.19)$$

$$i_{L1}(t) = \frac{2V_{dc,p}}{\pi X_{T1}} \left(\sin(\pi D_p) \sin(\omega_s t) - M \sin(\pi D_s) \sin(\omega_{sw} t - 2\pi D_\phi) \right) \quad (2.20)$$

같은 방법으로 커패시터에 인가되는 기본파 실효 전압과 순시 전압은 (2.21) 과 (2.22)와 같이 구할 수 있다.

$$V_{C1,rms} = |\dot{V}_{C1}| = \frac{\sqrt{2}F_N V_{dc,p}}{\pi X_{T1}} \sqrt{\sin^2(\pi D_p) + M^2 \sin^2(\pi D_s) - 2M \sin(\pi D_p) \sin(\pi D_s) \cos(2\pi D_\phi)} \quad (2.21)$$

$$v_{C1}(t) = \frac{2F_N V_{dc,p}}{\pi X_1} \left(-\sin(\pi D_p) \cos(\omega_s t) + M \sin(\pi D_s) \cos(\omega_{sw} t - 2\pi D_\phi) \right) \quad (2.22)$$

스위칭 순간의 인덕터 전류는 ZVS의 달성 여부를 판단하기 위한 주요 지표 인데, 스위칭 순간의 전류는 스위치의 게이트 신호가 인가되는 시점을 (2.20) 에 대입함으로써 표 2-5와 같이 구할 수 있다.

표 2-5 기본파 해석을 통한 스위칭 순간의 전류

인덕터 순시 전류		표현식
$I_{sw,PH}$	$i_{L1} \left(-\frac{D_p T_{sw}}{2} \right)$	$\frac{2V_{dc,p}}{\pi X_{T1}} \left(\begin{array}{c} M \sin(\pi D_s) \sin(\pi D_p + 2\pi D_\phi) \\ - \sin^2(\pi D_p) \end{array} \right)$
$I_{sw,PL}$	$-i_{L1} \left(\frac{D_p T_{sw}}{2} \right)$	$\frac{2V_{dc,p}}{\pi X_{T1}} \left(\begin{array}{c} M \sin(\pi D_s) \sin(\pi D_p - 2\pi D_\phi) \\ - \sin^2(\pi D_p) \end{array} \right)$
$I_{sw,SH}$	$-i_{L1} \left(\left(D_\phi - \frac{D_s}{2} \right) T_{sw} \right)$	$\frac{2V_{dc,p}}{\pi X_{T1}} \left(\begin{array}{c} \sin(\pi D_p) \sin(\pi D_s - 2\pi D_\phi) \\ - M \sin^2(\pi D_s) \end{array} \right)$
$I_{sw,SL}$	$i_{L1} \left(\left(D_\phi - \frac{D_s}{2} \right) T_{sw} \right)$	$\frac{2V_{dc,p}}{\pi X_{T1}} \left(\begin{array}{c} \sin(\pi D_p) \sin(\pi D_s + 2\pi D_\phi) \\ - M \sin^2(\pi D_s) \end{array} \right)$

2.4.2 SR-DAHB 컨버터의 제어 방식

SR-DAHB 컨버터의 기본과 모델링은 SR-DAB 컨버터와 동일하기 때문에, 기본과 기반으로 분석되고 제안된 SR-DAB 컨버터의 제어 방식들은 SR-DAHB 컨버터에 동일하게 적용될 수 있다. SR-DAHB 컨버터의 제어 자유도는 1, 2차 측 시비율, 전압 위상 그리고 스위칭 주파수까지 총 4가지 자유도가 존재한다. 따라서, 같은 지령 출력 전력을 만족하는 제어 변수 조합은 무한하다. 이러한 제어 자유도를 몇 개를 활용하였는지, 어떤 상태 변수를 최적화하는 데에 활용했는지에 따라서 제어 방식들이 분류될 수 있다.

가장 기본적인 제어 방식으로는 시비율을 0.5로 고정하고, 전압 위상만을 조절 하는 SPS 방법이 있다[144]. 제어 자유도가 1개 이므로 지령 출력 전력을 만족시키는데 제어 자유도를 모두 활용하게 되며 다른 상태 변수들을 최적화

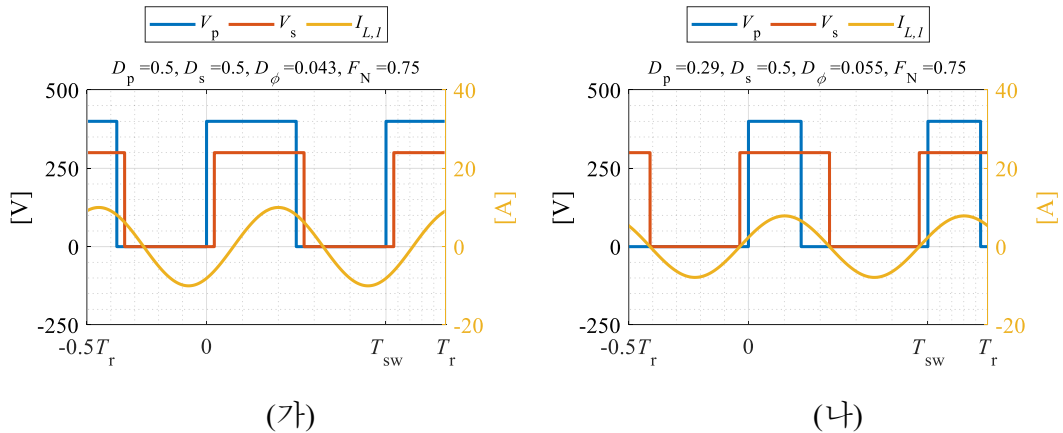


그림 2-27 SR-DAHB 컨버터의 제어 방식1

(가) SPS 제어 [144] (나) 최소 기본파-실효전류 제어 방식(MCT) [145], [146]

할 수는 없다. 그러나, 1차측 2차측의 스위치의 0.5 시비율 고정하는 것은 극 전압을 최대로 활용하는 방법이기 때문에, 모든 제어 방식들이 고출력 전력을 전달하고자 할 때 에는 SPS 제어 방식으로 수렴하게 된다. 그림 2-27(가)는 SPS 제어 방식의 예시¹를 보여준다.

제어 자유도를 2개 이상 활용하게 되는 경우부터 지령 전력을 만족하면서 상태 변수를 최적화할 수 있는 자유도가 생기게 된다. 이에 도통 손실을 저감하기 위해서 실효 전류를 최소화 또는 무효전력을 최소화하는 방향에 초점이 맞춰져 많은 제어 기법들이 연구되어왔다. 대표적으로는 최소 기본파-실효전류 제어 방식(MCT, Minimum current trajectory)이 있다[145], [146]. MCT 제어 방식은 고정 스위칭 주파수에서 시비율과 위상 총 3개의 자유도를 이용한다. 무한한 제어 변수 세트 중 기본파 실효전류를 최소화하도록 하는 제어 변수로 제어하는 방법이다. 이 방법은 1차측 2차측 전압 중 낮은 전압 측의 구형파의 시비율을 0.5로 고정하여 낮은 전압 측의 극 전압 크기를 최대화하고, 이 전압에 기본파 전류를 동상으로 맞추도록 하여 기본파-실효전류를 최소화한다. 따라서 실제적으로는 높은 전압 측의 시비율 1개와 전압 위상이 조정된다. 이러한 방법을 통해 기본파 전류에 의한 도통 손실을 최소화할 수 있다. 그림 2-27(나)는 MCT 제어 방식의 예시를 보여준다. 낮은 전압 측인 2차측에 전류가 동상이 되도록 제어하여 기본파-실효전류가 최소화되어 SPS 제어 방식보다 더 낮은 전류에서 지령 출력 전력을 만족하는 것을 볼 수 있다. 그러나 기본파 전류가 지배적인 것을 고려하여 볼 때 시비율이 조정되는 브릿지에서 한 개의 스위치가 제어 조건(지령 출력 전력, 전압 이득)에 따라 ZVS를 달성하지

¹본 항에서의 모의 실험 조건: $V_p = 400\text{ V}$, $V_s = 300\text{ V}$, $Z_o = 15\ \Omega$, $P_o = 750\text{ W}$.

못할 수 있다. 그림 2-27(나)에서는 1차측 스위치의 윗상 스위치가 ZVS 달성되지 않는 것을 볼 수 있다.

가변 스위칭 주파수 제어를 활용하는 경우에는, 임피던스 크기를 변동시킬 수 있는 강력한 장점이 있다. 주파수를 올리게 되면 임피던스가 낮아지고, 내리게 되면 임피던스가 커지게 된다. ZVS를 용이하게 달성 시키기 위하여 1차측과 2차측의 시비율을 0.5로 고정시키고, 위상과 주파수를 이용하여 출력 전력을 만족하도록 제어한다([147]–[151]). 지령 전력을 만족시키고 난 다음에 남은 한 개의 자유도는 그림 2-28(가)와 같이 기본파-실효전류를 최소화([149]) 하는데 쓰이거나, 한쪽 브릿지의 기본파 무효전력을 최소화([150]) 할 수 있고, 로스 모델을 이용한 수치해석적 최적화를 통해 제어 변수를 오프라인에서 계산([148], [151])할 수도 있다. 그러나 지령 출력전력의 크기와 전압 이득에 따

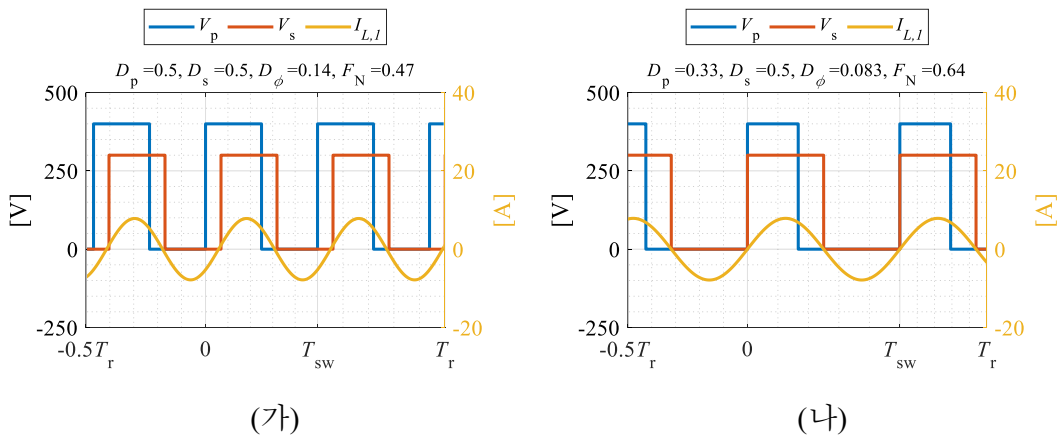


그림 2-28 SR-DAHB 컨버터의 제어 방식2

(가) 주파수+위상 제어 방식(VFM+PSM) [149] (나) 4자유도 제어 방식 [152]

라서 가변 스위칭 주파수의 범위가 커지게 되는 단점이 존재한다. 이에 따라 주파수 가변의 상한과 하한을 두어 가변 스위칭 주파수 제어와 위상제어를 둘 다 활용하다가 상한 또는 하한을 넘어서게 되면 위상제어만을 활용하는 방식도 제안되었다[147].

가변 스위칭 주파수 제어와 시비율 그리고 전압 위상을 조정하는 연구도 있었다([152]–[155]). [152]에서는 그림 2-28(나)와 같이 기본파-실효전류 최소화에도 해서 높은 전압 측의 무효전력이 0으로 되도록 하였으며, [153]에서는 3개의 스위치의 스위칭-전류가 0이 되어 영전류-스위칭이 달성되도록 하였고, [154], [155]에서는 목적함수를 최소화 하도록 제어 변수를 수치해석적으로 도출하였다. 모든 스위치의 ZVS를 만족 시키는 제한 조건을 두고 [154]에서는 컨버터 손실 모델의 최소화 [155]에서는 고조파를 포함한 실효전류가 최소화되도록 하였다. 일반적으로 가변 스위칭 주파수 제어에 시비율을 추가로 제어하는 방식은 가변 스위칭 주파수와 전압 위상 제어만을 활용하는 경우에 비하여 스위칭 주파수 가변 폭이 줄어드는 장점이 있다.

제 3 장 커패시터 커플링을 이용한 직류 배전용 반도체 변압기 모델링 및 컨버터 모듈 설계

반도체 변압기는 높은 전력밀도, 부하에 둔감한 효율 특성, 전압강하 및 계통 사고 대응가능 등 여러가지 장점을 가지고 있지만, 상용 주파수 변압기 대비 낮은 효율을 보이며 이는 상용화에 큰 제한이 있다. 고주파 고전압 절연 변압기를 제거한 비절연 반도체 변압기도 많은 연구가 진행되었지만, 고 승압비 응용에는 크게 유리하지 않거나, 스위치의 이용률이 떨어지는 등의 문제가 있다.

본 장에서는 2.2절에서 언급하였던 커패시터의 우수한 특성과 잠재력을 바탕으로 커패시터 커플링을 이용한 직류 배전용 중전압-저전압 반도체 변압기를 모델링하고 단위 모듈 컨버터의 설계 연구를 진행한다.

3.1절에서는 커패시터 커플링을 이용한 직렬-입력 병렬-출력 반도체 변압기의 모델링을 통해 적층 되어 있는 각 층의 컨버터 모듈이 2병렬화 된 SR-DAHB 컨버터임을 보인다. 이는 영상분 전압/전류 해석이 부재한 기존의 문헌들에서는 각 층의 컨버터 모듈을 DAB 컨버터로 모델링 한 것과 차이를 보인다.

3.2절에서는 3.1절에서의 등가 모델링 결과를 바탕으로 커패시터 커플링을 이용한 직렬-입력 병렬-출력 반도체 변압기를 구성하는 가장 최소 단위의 컨버터인 SR-DAHB 컨버터의 설계에 관하여 논의한다. 기존의 연구에는 부재하였던 체계적인 설계 방식을 제안하여 높은 전력밀도와 높은 효율을 달성할 수 있도록 한다.

3.1 커패시터 커플링을 이용한 직렬-입력 병렬-출력 반도체 변압기 등가 모델링

본 절에서는 커패시터 커플링을 이용한 직렬-입력 병렬-출력 반도체 변압기의 모델링을 도출한다.

3.1.1 등가 회로

본 논문에서는 편의상 중전압 계통 측을 1차측으로 저전압 계통 측을 2차측으로 명칭 한다. 커패시터 커플링을 이용한 직렬-입력 병렬-출력 컨버터의 단

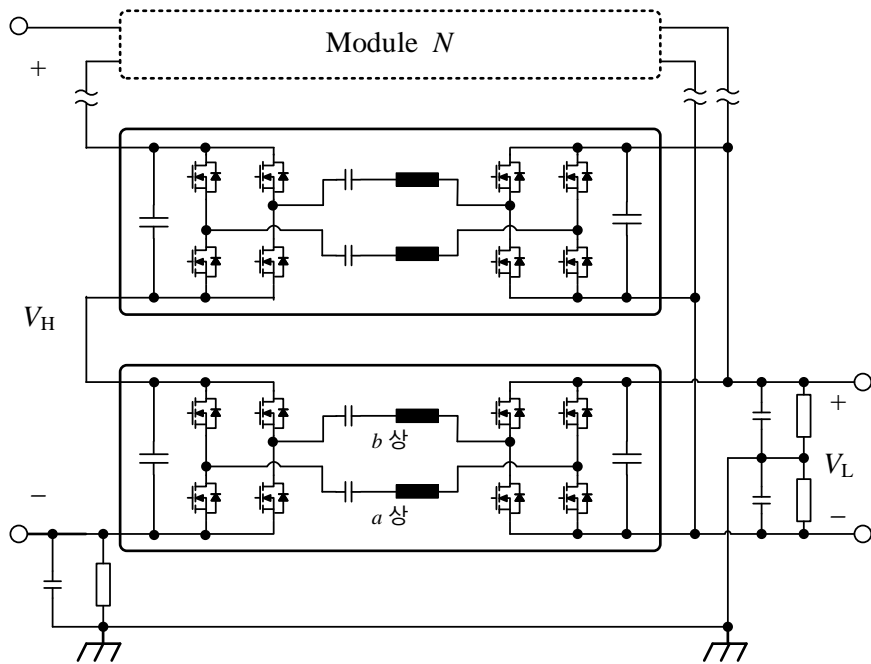
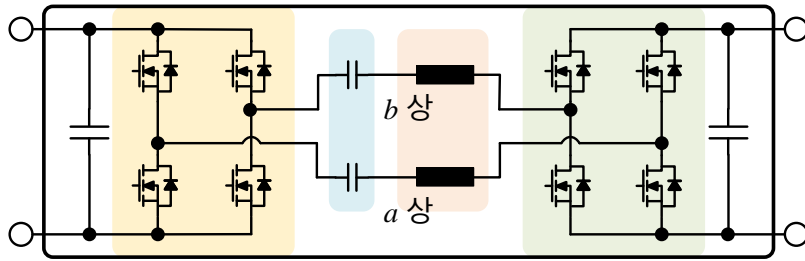


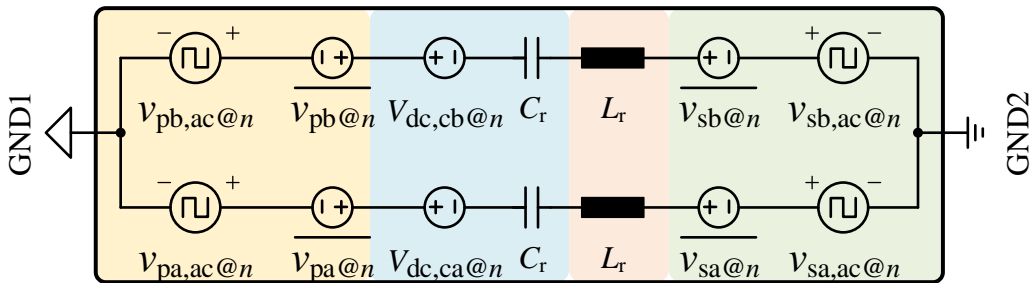
그림 3-1 커패시터 커플링을 이용한 반도체 변압기의 일반적인 전력 회로 구조

위 모듈은 1차측 2차측 양쪽에 풀-브릿지 구조를 갖고, 직렬-LC 임피던스를 갖는 컨버터로 구성된다.

그림 3-1은 N 개의 모듈이 적층 된 커패시터 커플링을 이용한 직렬-입력 병렬-출력 반도체 변압기의 일반적인 전력 회로 구조를 나타낸다. 접지 방식은 일반적인 상황을 고려 하여 접지 저항 R_g 와 Y-커패시터 C_y 를 모델링 하였다. 만약, 직접(solid) 접지하는 경우는 그림 3-1의 접지 저항 R_g 의 값이 0인 경우로 간주할 수 있다.



(가)



(나)

그림 3-2 커패시터 커플링을 이용한 컨버터 모듈의 회로 구조
(가) 전력 회로의 구성 (나) 직류/교류 전압 성분이 분리된 등가 모델

전체 반도체 변압기 내의 모든 모듈들의 상태 변수를 한번에 해석하는 것은 매우 복잡하다. 따라서, 임의의 n 번째 층 위치에 있는 모듈의 정상상태 전압, 전류, 전력을 해석하고 이를 전체 모듈로 일반화하는 방향이 컨버터 해석에 유용하다. 후술하는 과정은 이러한 일반화된 해석을 위하여 임의의 n 번째 층의 모듈의 스위칭 제어에 의한 영향을 등가 모델 도출을 통해 해석하는 과정이다.

그림 3-2(가)는 커패시터 커플링을 이용한 컨버터의 전력 회로 구조를 보여준다. 편의상 단위 모듈 내에 있는 2개의 직렬-LC 회로를 각각 a상과 b상으로 명칭 하겠다. 컨버터의 전력은 교류 전류로 전달이 되기 때문에 컨버터에서 직류 성분을 제거한 교류 등가 회로로 해석하는 것이 편리하다. 따라서 그림 3-2(가)의 교류 등가 회로를 도출하기 위해 능동소자와 수동소자의 직류 전압 성분과 교류성분을 분리하여 나타내면 그림 3-2(나)와 같이 나타낼 수 있다. 각 브릿지의 스위칭 전압($v_{px@n}, v_{sx@n}$)이 직류 전압 성분($\overline{v_{px@n}}, \overline{v_{sx@n}}$)과 교류 구형파 전압 성분($v_{px,ac@n}, v_{sx,ac@n}$)으로 분리되어 표현된 것을 확인 할 수 있다.

$$\begin{aligned} v_{px@n} &= \overline{v_{px@n}} + v_{px,ac@n} \\ &= D_{px@n}V_{dc,p@n} + v_{px,ac@n} \end{aligned} \quad (3.1)$$

$$\begin{aligned} v_{sx@n} &= \overline{v_{sx@n}} + v_{sx,ac@n} \\ &= D_{sx@n}V_{dc,s@n} + v_{sx,ac@n} \end{aligned} \quad (3.2)$$

여기서 상태 변수들의 아래 첨자의 '@' 뒤 숫자는 모듈의 층수를 나타내며, 기호 '̄'는 상태 변수 *의 평균을 나타낸다.

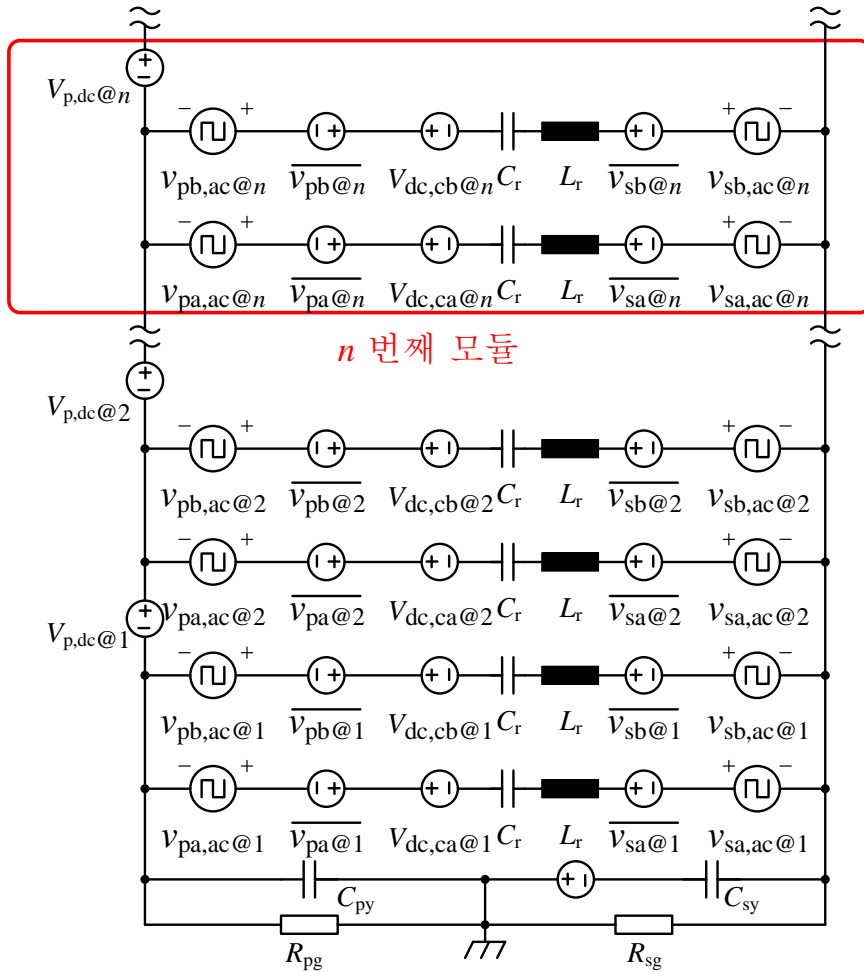


그림 3-3 커패시터 커플링을 이용한 반도체 변압기의 직류 전압 성분과 고주파 성분을 분리한 등가 회로

브릿지의 라인 커패시터 C_r 의 직류 전압 성분 $V_{dc,cx@n}$ 는 적층 되어 있는 1차측 모듈들의 직류단 전압($V_{dc,p@1}, \dots, V_{dc,p@(n-1)}$)의 합과, 1, 2차측의 하프-브릿지에서 출력하는 구형파의 평균값($\overline{v_{px@n}}, \overline{v_{sx@n}}$) 그리고, 1, 2차측 컨버터의 기준 전위 차이의 합으로 나타낼 수 있다. 이를 수식으로 나타내면 (3.3)과 같다.

$$V_{dc,cx@n} = \left(\sum_{m=1}^{n-1} V_{dc,p@m} \right) + \overline{v_{px@n}} - \overline{v_{sx@n}} - \frac{V_{dc,s}}{2}, \quad x = a, b \quad (3.3)$$

같은 방법으로 전체 모듈에 대해서 동일한 과정을 진행한다. 이때, 각 층의 직류 단 커패시터 C_{dc} 의 커패시턴스는 충분히 커서 스위칭 주파수 대역의 임피던스는 무시하고 직류 전압원으로 모델링 한다. 각 층의 모듈들이 그림 3-2처럼 등가 모델링되며 최종적으로 그림 3-3과 같은 등가 모델을 얻을 수 있다.

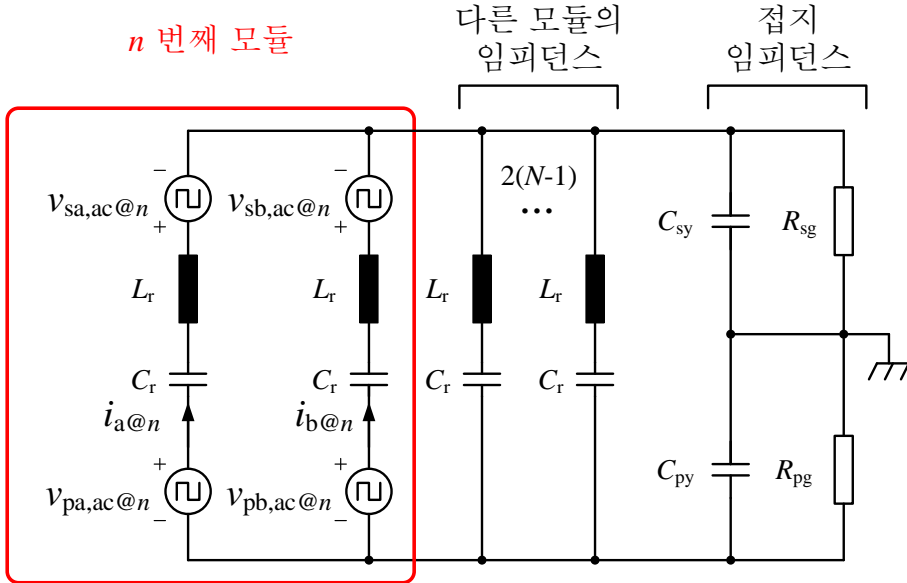


그림 3-4 n 번째 모듈의 교류 전압원만을 남긴 등가 회로

이렇게 얻어진 전체 회로의 등가 모델에서 n 번째 모듈의 교류 전압원에 의한 전류의 흐름과 전력 전달을 분석하기 위해서 중첩(Super position)의 원리를 적용한다. 그림 3-3의 등가 회로에서 n 번째 모듈의 교류 전압원만 남기고 분리된 직류 전압 성분들과 다른 모듈에 있는 교류 전압원을 단락시켜 표현하면 그림 3-4와 같이 n 번째 모듈의 교류 등가 회로를 도출할 수 있다.

3.1.2 영상분 전류 분석과 최소화 방법

그림 3-4를 보면, n 번째 모듈은 $(N - 1)$ 개의 모듈 내부의 직렬- LC 회로와 접지 임피던스와 병렬 연결 됨을 알 수 있다. 따라서, n 번째 모듈의 스위칭에 의해 모듈 외부의 등가 병렬 회로들에 스위칭 주파수 전류가 흐를 수 있다. 이는, 변압기 절연의 부재로, 비절연 컨버터이기 때문에 나타나는 특징이라고 할 수 있다. 모듈 외부의 등가 병렬 회로에 흐르는 전류 성분은 추가적인 ESR 손실을 야기하기 때문에 최소화되는 것이 좋다. 본 논문에서는 n 번째 모듈의 두개 브릿지의 전류 i_a, i_b 의 합 성분을 ‘영상분 전류성분’ $i_0 = i_a + i_b$ 이라고 정의한다.

영상분 전류의 분석을 용이하게 하기 위하여 주파수 영역 해석을 도입한다. 이에 따라, n 번째 모듈의 두 브릿지의 k 차수 고조파 전류는 각각 I_{ak}, I_{bk} 로 나타낼 수 있으며, k 차수 고조파 영상분 전류성분은 $I_{0k} = I_{ak} + I_{bk}$ 로 나타낼 수 있다. 그림 3-5에서 볼 수 있듯이, k 차수 고조파 영상분 전류 I_{0k} 은 n 번째 모듈에서 본 영상분 등가 임피던스 Z_{0k} 를 통해 흐르게 된다. Z_{0k} 는 $2(N - 1)$

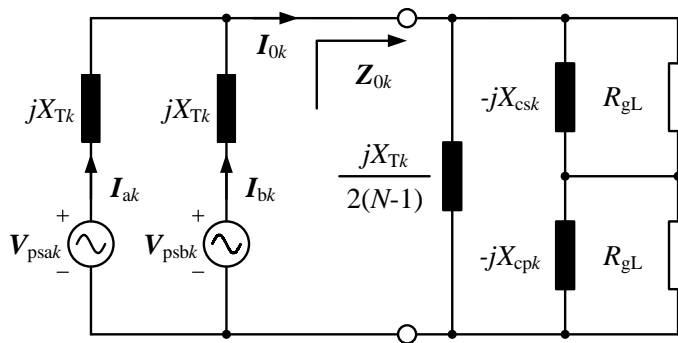


그림 3-5 푸리에 성분으로 표현한 n 번째 모듈의 주파수영역 등가 회로

개의 직렬-LC 임피던스와 접지 임피던스의 병렬로 등가모델링 할 수 있으며 이를 수식으로 표현하면 (3.4)와 같다.

$$\mathbf{Z}_{0k} = \frac{jX_{Tk}}{2(N-1)} // \left((-jX_{pck} // R_{sg}) + (-jX_{sck} // R_{sg}) \right), \quad k = 1, 2, 3, \dots \quad (3.4)$$

여기서 X_{Tk} 은 k 차수 에서의 직렬-LC 임피던스 크기를 나타낸다. 위와 같은 과정을 통해 그림 3-4의 등가모델에서 k 차수의 임피던스 등가 회로를 나타내면 그림 3-5와 같이 나타낼 수 있다. 이때, V_{psxk} 는 k 차수에서 1차측 전압과 2차측 전압의 차동 성분을 나타내며 (3.5)와 같다.

$$V_{psxk} = V_{pxk} - V_{sxx}, \quad x = a, b, \quad k = 1, 2, 3, \dots \quad (3.5)$$

n 번째 모듈에서 흐르는 영상분 전류의 크기 I_{0k} 을 구하기 위하여 테브난 등가회로를 도출한다. Z_{0k} 의 양 단자 기준으로 테브난 등가회로를 도출하면 그림 3-6과 같다. 이를 통해 영상분 전류의 크기는 (3.6)과 같이 구할 수 있다.

$$I_{0k} = \frac{V_{psak} + V_{psbk}}{jX_{Tk} + 2Z_{0k}}, \quad k = 1, 2, 3, \dots \quad (3.6)$$

앞서 언급하였듯이 영상분 전류 성분 I_{0k} 는 전력 전달에 관여하지 않고, 다른 모듈 또는 접지 임피던스를 통해 순환하는 성분으로 불필요한 손실과 다른 모듈과의 커플링을 발생시키기 때문에 최소화하는 것이 좋다. 따라서 영상분

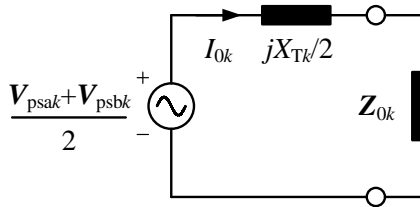


그림 3-6 n 번째 모듈의 영상분 테브난 등가회로

전류 성분 I_{0k} 을 최소화하기 위해서 영상분 전압 $V_{0k} = (V_{psak} + V_{psbk})/2$ 를 0으로 제어하는 것이 좋다. 즉 1차측 전압과 2차측 전압은 (3.7)의 관계를 갖고 제어되어야 한다.

$$V_{psbk} = -V_{psak}, \quad k = 1, 2, 3, \dots \quad (3.7)$$

한편 하프-브릿지에서 출력하는 구형파의 제어의 자유도는 시비율과 위상 2가지이다. 임의의 시비율 값 $[D_{pa}, D_{sa}]$ 에 대해서 (3.7)을 만족시키는 스위칭 방법은 b상의 시비율을 $[\overline{D}_{pa}, \overline{D}_{sa}]$ 로 종속적으로 결정하고, a상과 b상의 구형파 사이에 위상을 π 로 두어야 한다. 이를 수식으로 표현하면 (3.8)과 (3.9)와 같이 나타낼 수 있다.

$$\begin{aligned} V_{pbk} &= \frac{2V_{dc,p}\sin(k\overline{D}_{pa}\pi)}{k\pi} (\cos(k\pi) - j\sin(k\pi)) \\ &= -\frac{2V_{dc,p}\sin(kD_{pa}\pi)}{k\pi} = -V_{pak} \end{aligned} \quad (3.8)$$

$$\begin{aligned} V_{sbk} &= \frac{2V_{dc,s}\sin(k\overline{D}_{sa}\pi)}{k\pi} (\cos(k(2D_\phi + 1)\pi) - j\sin(k(2D_\phi + 1)\pi)) \\ &= -\frac{2V_{dc,s}\sin(kD_{sa}\pi)}{k\pi} (\cos(2kD_\phi\pi) - j\sin(2kD_\phi\pi)) = -V_{sak} \end{aligned} \quad (3.9)$$

따라서 본 논문에서는 영상분 전류 I_{0k} 를 최소화하기 위해서 a상에서 출력하는 전압과 b상에서 출력하는 전압의 시비율과 위상이 (3.10)과 (3.11)의 관계를 유지하도록 한다.

$$[D_{pa} \ \phi_{pa} \ D_{sa} \ \phi_{sa}] = [D_p \ 0 \ D_s \ \pi D_\phi] \quad (3.10)$$

$$[D_{pb} \ \phi_{pb} \ D_{sb} \ \phi_{sb}] = [\overline{D}_p \ \pi \ \overline{D}_s \ \pi(D_\phi + 1)] \quad (3.11)$$

그림 3-7에는 (3.10)과 (3.11)에 의한 스위칭 방식의 예시가 표현되어 있다. 스위칭 전압의 위상은 v_{pa} 전압의 중심을 기준으로 표현되었다. 그림 3-7(가)는

전압 위상 각 D_ϕ 만 조정되는 경우를 나타내며, 그림 3-7(나)는 1, 2차측 시비율 D_p , D_s 와 전압 위상 각 D_ϕ 가 모두 조정되는 경우를 보여준다.

시비율이 조정되는 경우에서 주목할 만한 특징은, 한쪽 브릿지의 시비율은 커지는 방향으로, 다른 한쪽 브릿지의 시비율은 작아지는 방향으로 조정된다는 것이다. 이는 일반적인 절연형 풀-브릿지 인버터에서 전압의 크기를 조정하기 위한 스위칭 방식(극 전압 시비율을 0.5로 고정하고, 극 전압 위상을 천이하는 방식)과 크게 다르다.

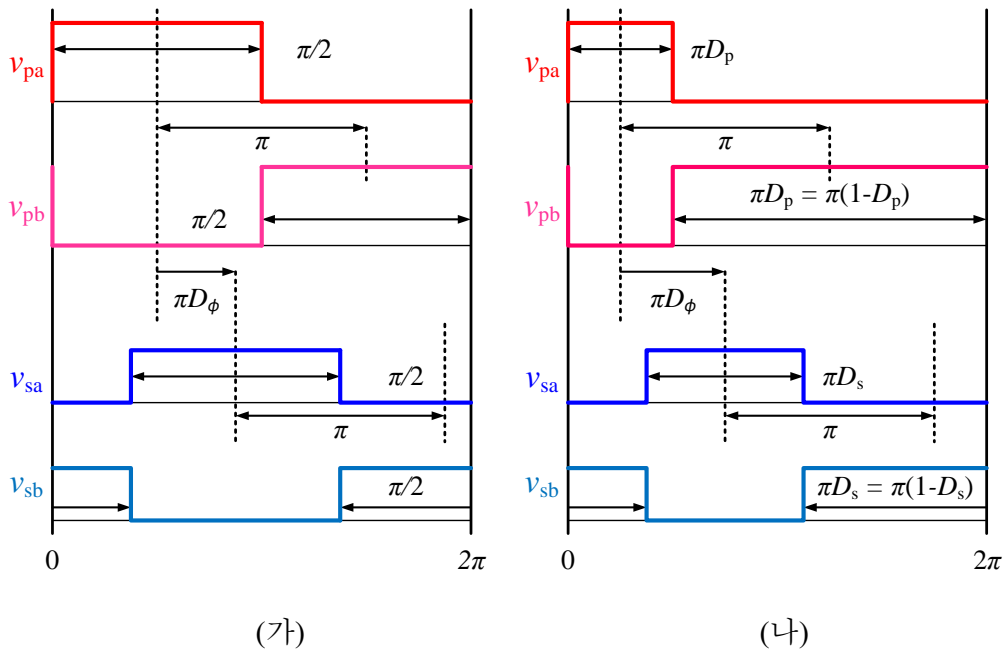


그림 3-7 영상분 전압을 최소화하기 위한 스위칭 방식

(가) 위상 제어만 제어하는 경우

(나) 위상과 시비율을 모두 조정하는 경우

3.1.3 차동-모드 전류 해석과 최소 단위 컨버터의 도출

컨버터의 전력전달은 직렬- LC 임피던스에 흐르는 전류 I_k 를 통해서 전달되게 된다. 직렬- LC 임피던스에 흐르는 전류 I_k 의 해석은 영상분 전류를 최소화 조건 (3.7)하에 이루어 져야 한다. 따라서 (3.7)의 제한 조건 하에 등가 회로를 도출한다. 이에, 한쪽 브릿지의 구형과 전압원은 그림 3-8(가)와 같이 종속 전압원으로 표현될 수 있다. 영상분 전류가 최소화 되었으므로 직렬- LC 임피던스에 흐르는 전류 I_k 는 곧, n 번째 모듈의 차동-모드 전류와 같아진다.

직렬- LC 임피던스 전류 I_k 를 구하기 위해 테브난 등가 회로를 도출하면 테브난 등가 전압 V_{oc} 와 테브난 등가 임피던스 Z_{th} 는 (3.12)와 (3.13)과 같이 도출할 수 있다. 이를 그림으로 표현하면, 그림 3-8(나)와 같다.

$$V_{oc} = V_{psk} \left(\frac{jX_{Tk} + 2Z_{Ok}}{jX_{Tk} + Z_{Ok}} \right) \quad (3.12)$$

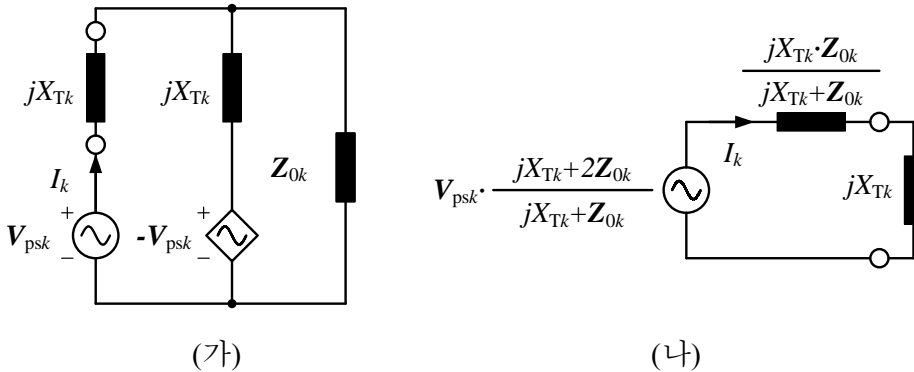


그림 3-8 n 번째 모듈의 차동-모드 등가회로1

(가)한쪽 브릿지 전원을 종속전원으로 표현한 차동-모드 등가회로

(나) 테브난 등가회로

$$\mathbf{Z}_{th} = \frac{jX_{Tk}\mathbf{Z}_{Ok}}{jX_{Tk} + \mathbf{Z}_{Ok}} \quad (3.13)$$

도출한 테브난 등가 모델을 통해 직렬-LC 임피던스 전류 I_k 를 계산하면 (3.14)와 같이 계산할 수 있다.

$$\begin{aligned} I_k &= \frac{V_{oc}}{\mathbf{Z}_{th} + jX_{Tk}} \\ &= \frac{V_{psk}}{jX_{Tk}} \end{aligned} \quad (3.14)$$

(3.14)에서 알 수 있는 사실은 직렬-LC 임피던스 전류 I_k 는 영상분 임피던스 \mathbf{Z}_{Ok} 과 관계없이 1, 2차측 브릿지의 차동-전압 V_{psk} 와 직렬-LC 임피던스 jX_{Tk} 로 결정됨을 알 수 있다. (3.14)의 결과를 등가 회로 나타내면 그림 3-9(가)와 같이 표현될 수 있다. 차동-전압 성분 V_{psk} 는 다시 $V_{pk} - V_{sk}$ 로 나뉘어 표현되었다. 이러한 주파수 영역 등가 회로 그림 3-9(가)를 다시 시간영역 등가 회로로 표현하면 그림 3-9(나)와 같이 표현될 수 있다. 그림 3-9(나)에서 알 수 있듯이 순시 전류 i_k 는 풀-브릿지로 구동되는 SR-DAB 컨버터가 아닌 하프-브릿지로 구동되는 SR-DAHB로 모델링 된 컨버터의 순시 전류와 같다는 것을 알 수 있

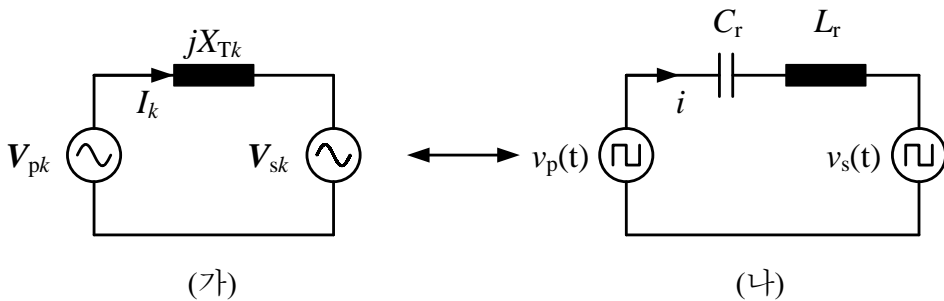


그림 3-9 n 번째 모듈의 차동-모드 등가회로2

(가)주파수 영역 등가회로 (나) 시간영역 등가회로

다. 이는 커패시터 커플링을 이용한 컨버터의 공진 인덕터, 공진 커패시터의 정상/과도 상태 해석 결과는 SR-DAHB 컨버터의 해석 결과와 같다는 것을 함의한다. 실제로 모듈에서 전달되는 전력은 SR-DAHB 회로의 개수만큼 곱해지게 되며, 2배의 전력이 전달된다.

상기 내용을 정리하면, 영상분 전류를 최소화 하기위한 영상분 전압 최소화 조건 (3.7)하에 도출되는 n 번째 커패시터 커플링을 이용한 컨버터의 등가 모델은 그림 3-10과 같이 병렬로 운전되는 2개의 SR-DAHB 컨버터로 등가 모델링 할 수 있다. 여기서 양 브릿지의 직류 전위 차이는 전압원으로 모델링 할 수 있으며, 이러한 직류 전위 차이는 브릿지의 커패시터에 의해서 차단된다.

후술하는 설계 과정에서는 커패시터 커플링을 이용한 컨버터의 제정수를 설계하는 방법에 관하여 논의한다. 본 항에서의 등가모델의 도출된 결과를 바탕으로, 설계의 편의성을 위하여 단위 모듈 컨버터의 1/2 정격을 갖는 SR-DAHB 컨버터의 제정수를 설계 하도록 한다.

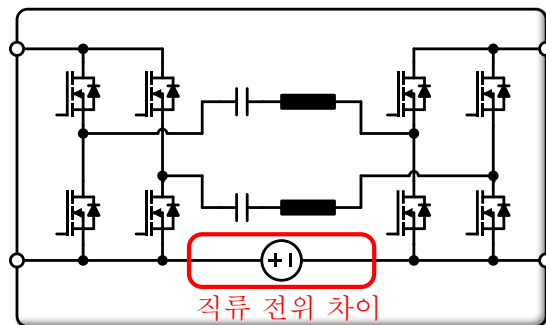


그림 3-10 커패시터 커플링을 이용한
단위 모듈 등가 모델: 2병렬 SR-DAHB 컨버터

3.2 커패시터 커플링을 이용한 컨버터 모듈 설계

일반적으로 컨버터는 응용분야의 동작 특성을 고려하여 각 동작 포인트마다 가중치를 부여하여고 이를 가중 평균 낸 효율이 최대화 되도록 설계하거나, 주요 동작 점 또는 최악의 동작 점에 맞추어 설계한다. 예를 들어, 신재생에너지용 전력변환 장치에 대해서는 부하율에 따라 가중치를 적용한 European 효율 계산법 또는 CEC (California Energy Commission) 효율 계산법([156])을 통하여 컨버터의 효율을 계산한다[157], [158]. 이를 위해서 손실 모델을 통해 컨버터의 효율을 사전 평가하고, 사전 평가 결과를 통해 컨버터를 최적 설계하게 된다. 한편, 산업용 기기 응용분야의 경우(예를 들어, 기차, 선박)에는 입력 또는 입력 출력 전압이 모두 변하며 지령 출력 전력 또한 계통 전압과 독립적으로 주어지는 등 컨버터의 동작상태가 다차원 적이다. 따라서 과적합을 피하기 위해서 다수의 동작 포인트 또는 주요 동작 범위를 선정하고 비용함수를 통해 최적 설계를 하는 것이 필요하다. 컨버터의 손실 함수를 비용함수로 정의하여 SR-DA(H)B를 설계하는 방법은, [151], [157], [159]에서 찾아 볼 수 있다.

2.2.2에서 살펴보았듯이, 직렬-LC 임피던스를 갖는 DAB 컨버터의 특성은 최대 전압 위상 각 ϕ_{\max} 와 정규-공진점 F_N 로 평가될 수 있다. 최대 전압 위상 각 ϕ_{\max} 를 90° 로 설계하는 방법은 설계 가능한 X_{T1} 임피던스 중 그 값이 가장 크다. (2.14)를 이용하여 (3.15)와 같이 X_{T1} 을 설계 할 수 있다[145], [146].

$$X_{T1} = \frac{\pi^2}{2V_{dc,p}^2} P_{rated} \quad (3.15)$$

이렇게 설계된 X_{T1} 임피던스는 가장 넓은 ZVS 동작영역을 보여주지만, 가장 높은 무효전력을 소비하므로 도통 손실이 큰 설계라고 할 수 있다. 반대로 공

칭 전압, 정격 출력 조건에서 무효 전력이 최소화되도록 최대 전압 위상 각 ϕ_{\max} (또는 임피던스 X_{T1})를 극단적으로 작게 하는 설계 방법도 생각해 볼 수 있다. 이러한 설계는 전압 이득이 1일 때 도통 손실이 최소화되어 효율이 극대화된다는 장점이 있다. 그러나 이렇게 설계된 컨버터는 낮은 출력 전력에서 ZVS 달성을 위한 최소한의 무효전력을 공급하지 못하여 ZVS가 달성되지 않으며, 공칭전압에서 벗어나 전압 이득이 있는 전력 변환 상황에서는 오히려 높은 무효전력을 공급하게 되어 효율이 크게 떨어지게 된다. 다른 SR-DA(H)B 컨버터의 디자인 방법으로 [144]와 같이 최악의 동작 지점에 주안점을 두어서 설계 할 수 있다. 이러한 방식은 컨버터의 각 컴포넌트에 인가되는 전압 전류의 최대 스트레스 또는 최대 손실을 줄이도록 설계하기 때문에 임피던스 크기가 과설계 되지 않아 전력밀도 측면에서 우수할 수 있다. 그러나 주요 동작 범위에서의 효율은 다소 낮을 수 있다.

한편 상기 언급한 SR-DA(H)B의 설계 선행문헌들은 크게 2가지 한계점이 존재한다. 첫째, 상기 언급된 SR-DA(H)B 컨버터 설계 선행 문헌은 모두 일반적인 변압기 커플링을 이용한 설계 문헌인데, 효율을 최적화하는데 집중하고 실제로 구현되는 임피던스의 부피에 따른 컨버터의 전력밀도 변화를 간과하였다. 이는 설계의 자유도를 모두 효율 최적화에 집중하였음을 의미한다. 한편 커패시터 커플링을 이용한 SR-DAHB 컨버터의 경우에는 그림 2-23에서 확인하여 볼 수 있듯이, 중전압 차단 커패시터에 의한 전력밀도 감소가 설계에 따라 크게 다르다. 따라서 차단 전압에 따른 전력밀도 최적화가 설계에 고려되어야 한다.

둘째, 높은 주파수로 스위칭 하는 컨버터는 ZVS 달성 여부를 반드시 고려

해야 한다. 높은 스위칭 주파수로 인해서 작아진 인덕턴스 제정수 때문에 ZVS를 위한 무효 전력을 공급하기 까다롭고, 이에 ZVS를 위해서는 높은 스위치 턴-오프 전류가 필요하다. 이는 단순히 턴-오프 전류의 음/양으로 ZVS 여부를 판단하는 것이 아닌 고조파까지 모두 고려된 실제 턴-오프 전류의 크기를 고려해 주는 것이 필요하다. 한편 선행문헌 중 고조파의 전류를 고려한 설계는 [151], [159]에서 찾아볼 수 있는데, 동작 지점마다의 고조파 전류를 구하기 위하여 복잡한 수치해석을 도입하거나[151], 고조파 전류를 고려하였지만 단순히 전류의 음/양으로만 ZVS를 모델링 하였다는 점에서 한계점이 있다 [159].

이러한 제한점들을 바탕으로, 본 절에서는 앞에서의 등가회로 도출 결과에 기반하여 2병렬된 SR-DAHB 컨버터의 제정수를 설계한다. 컨버터 설계 예시를 위하여 5% 드롭 임피던스를 갖는 배전용 컨버터를 설계 목표로 한다. 이어지는 항에서는 모듈의 예시 설계 과정과 각 설계 과정에서 고려해야 할 사

표 3-1 중전압/저전압 배전용 반도체 변압기 설계 목표

	값	단위
중전압	12	kV
저 전압	600	V
모듈 개수	20	EA
정격 출력 전류	± 400	A
전압 변동률	$\pm 5\%$	

항에 대해서 논의한다. 모듈이 적층되어 최종적으로 구성되는 반도체 변압기의 설계 목표는 표 3-1과 같다.

3.2.1 주요 설계 목표 설정

주요 설계 조건 설정 설계 과정은 설계 목표와 설계자의 주관에 따라 스위칭 주파수와 최적 설계 방향 등을 확정하는 과정이다.

한편 SR-DAHB 컨버터를 설계하는데 있어서 가장 크게 설계 방법이 달라지는 요소는 스위칭 주파수 가변 유무이다. 본 논문에서는 스위칭 주파수 가변을 하지 않고, 모든 부하 범위에서 고정 스위칭 주파수로 제어하는 방식을 전

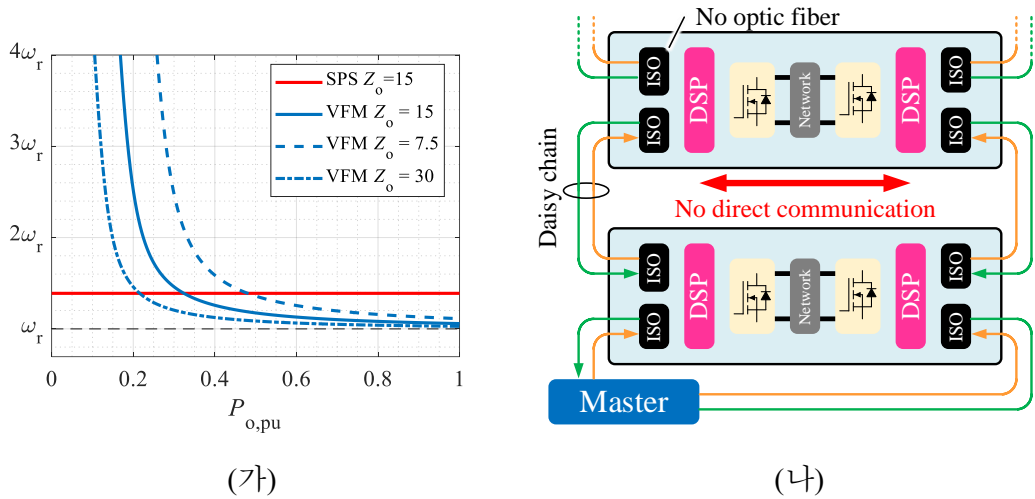


그림 3-11 고정 스위칭 주파수 제어 활용 근거

(가) 가변 스위칭 주파수 제어의 주파수 변동폭(전압 이득이 1인 경우의 예시)

(나) 광 절연기를 최소화하기 위한 하드웨어 설계

제한다. 본 논문에서 고정 스위칭 주파수 제어만을 고려하는 이유는 크게 2가지이다.

첫째, 가변 스위칭 주파수를 활용하면 스위치 단에서 ZVS 달성과 X_{T1} 임피던스의 조정에 따른 무효전력 저감 등 이점이 많지만, 이러한 이점을 얻기 위한 주파수 변동폭은 매우 넓다([152] - 1.5배, [149] - 2.1배, [147] - 4.2배 등). 그림 3-11(가)는 본 논문에서 설계하고자 하는 단일 모듈 정격 조건과 동일한 컨버터를 가변 스위칭 주파수로 제어([149] 제어 방식 적용)함에 있어서 변동되는 주파수 변동 폭을 보여준다(전압 이득이 1인 제어 상태 예시). 빨간색 실선은 고정 스위칭 주파수 SPS 제어를 나타내며, 남색 선은 각각 특성-임피던스가 [7.5 15 30] Ω 인 설계에서 전력에 따른 주파수 변동폭을 보여준다. 그림 3-11(가)에서 볼 수 있듯, 특성-임피던스를 증가시킬 수록 주파수가 크게 변동하기 시작하는 부하지점을 저전력으로 낮출 수 있다. 하지만 특성-임피던스의 증가는 인덕터와 커패시터의 임피던스를 둘다 증가시키는 것을 의미하고, 이는 철손과 유전손을 증가시키는 방향이므로, 수동소자의 손실을 가중시킨다. 또, 높은 특성-임피던스 설계는 높은 전력에서는 공진주파수 근처에서 스위칭 되므로, 제정수에 민감하여 제어하기가 까다롭고, 특히 본 논문과 같이 높은 주파수로 스위칭 하는 경우 MCU에서 출력하는 PWM의 주파수 분해능 문제를 일으킨다. 또, 주파수가 변동 하게 되면, 실제적으로 제정수 변화가 수반되는데 이를 반드시 보상해주어야 하며, 주파수 증가할 수록 고주파 저항과 코어/유전 손실 증가가 수반되기 때문에 수동소자의 최적설계가 까다롭다. 또, EMI측면에서도, 한 개 주파수가 아닌 넓은 주파수 대역의 입/출력 필터링이 이루어져야 함으로 필터들의 크기가 커지게 된다.

둘째, 증전압 컨버터 시스템은, 1차측 2차측 사이의 디지털/아날로그 신호 전달을 위해서 값비싼 고전압 절연기가 필요하게 된다. 본 논문에서는 이러한 값비싼 고전압 광 절연기를 최소화하기 위하여 1차측 2차측 스위치를 제어하는 MCU를 별도로 두고, 그림 3-11(나)와 같이 Daisy-chain 방식으로 연결된 SCI 통신으로 제어 정보를 주고받는 방식을 채택하였다. 이때 1, 2차측 스위치의 구형과 전압의 동기화를 위해 반도체 변압기내에 모든 MCU가 동일한 동기 펄스 신호를 주기적으로 입력 받아 PWM 모듈의 톱니파를 생성한다. 이러한 형태의 하드웨어 구성 방식은 지령 입력과 제어 상태를 공유하기 위한 Rx/Tx 통신 신호, PWM 톱니파 동기 신호 합하여 단 3개의 신호만을 사용하며, 이러한 신호의 전달도 저전압 절연기로만 구성되기 때문에, 신호 절연기의 단가를 대폭 낮출 수 있다는 장점이 있다. 이외에도, 모든 모듈의 스위칭 주파수가 동일하면, 최종 직/병렬 컨버터의 입/출력 리플 저감 또는 영상분 전류 상쇄를 위한 Interleaving 제어를 활용할 수 있다는 이점이 있다. 하지만, 이러한 하드웨어 구성은 모듈마다 주파수를 다르게 가져가는 데에 제한이 따르게 된다. 상기 언급한 장단점을 근거로 본 논문에서는 고정 스위칭 주파수 제어를 활용한 SR-DAHB 컨버터를 설계한다.

스위칭 주파수는 컨버터 설계에 있어서 가장 중요한 설계 제정수이다. 일반적으로 컨버터에서 요구되는 임피던스의 크기는 스위칭 주파수와 관계없이 동일하기 때문에 스위칭 주파수가 높아질수록 인덕턴스와 커패시턴스 제정수 값은 작아지고 이를 통해 고 전력밀도를 달성할 수 있다. 그러나, 스위칭 주파수가 증가할수록 스위칭 손실과 교류 저항이 크게 증가하여 도통 손실이 커지게 되고, 철손과 유전손은 모두 스위칭 주파수의 함수로 제정수 값이 작아졌다

하더라도 손실이 반드시 작아지지 않는다. 이와 같은 이유로 고효율 설계를 위한 스위칭 주파수 선정 방향과 고 전력밀도 설계를 위한 스위칭 주파수의 선정 방향은 서로 상충관계에 있다고 볼 수 있다. 또, 고 스위칭 주파수 영역으로 갈수록 자성소자의 투자율과 허용 가능한 자기장의 최대 크기가 낮아 지기 때문에 부피가 제정수 감소분만큼 비례해서 작아지지는 않는다.

본 논문에서는 상기 언급한 높은 스위칭 주파수 선정의 유효성과 본 논문의 설계에 쓰일 고전압 MLCC 커패시터([138])의 활용률을 고려하여, 스위칭 주파수에 따른 커패시터 정격 전류가 최대가 되는 주파수인 200 kHz를 스위칭 주파수로 선정하였다.

앞서 언급하였듯이 임피던스의 설계는 컨버터의 주요 특성을 바꾸게 된다. 그림 3-12는 최대 전압 위상 각 ϕ_{\max} 에 따른 SPS 제어시의 ZVS 경계선 특성을 보여

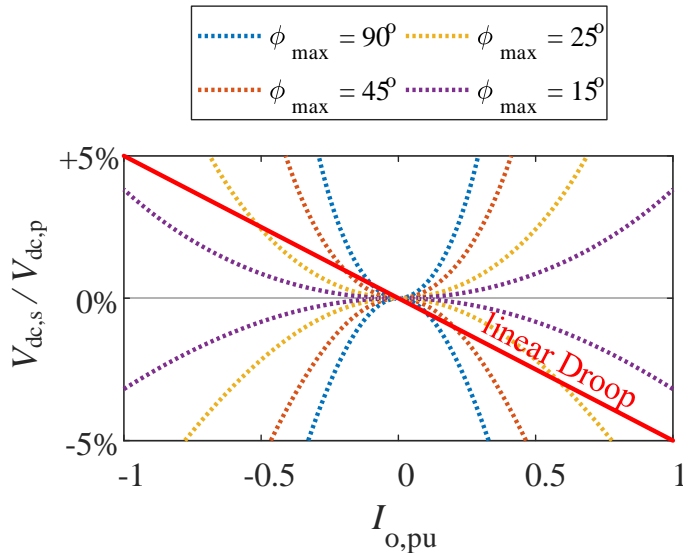


그림 3-12 최대 전압 위상 각 ϕ_{\max} 에 따른 SPS 제어시의 ZVS 경계선 특성

준다. 최대 전압 위상 각 ϕ_{\max} 가 증가함에 따라 ZVS 영역이 확장되는 것을 확인할 수 있다. 한편 전형적인 DAB 컨버터의 최대 효율은 그림 3-13의 예시에서 볼 수 있듯이 ZVS 달성 경계선 근처에서 나타난다. 이는 도통 손실에 의한 손실은 부하에 따라 계속적으로 감소해 효율이 증가하는 반면, ZVS 달성 경계선을 넘어서게 되면 스위칭 손실이 급격히 증가하여 효율이 크게 떨어지기 때문이다. 이러한 이유로, 컨버터의 최대 효율을 높이고자 한다면, 이러한 ZVS 달성 경계선을 반드시 고려해야 한다.

한편, 제어 방식 또한 설계 단계에서 고려되어야 한다. 고정 스위칭 주파수를 활용하는 제어 방식들은 출력 전력이 정격에 가까워질수록 양쪽 스위치의 시비율을 모두 0.5로 고정하며 위상으로만 제어되는 SPS 방법으로 분기하기

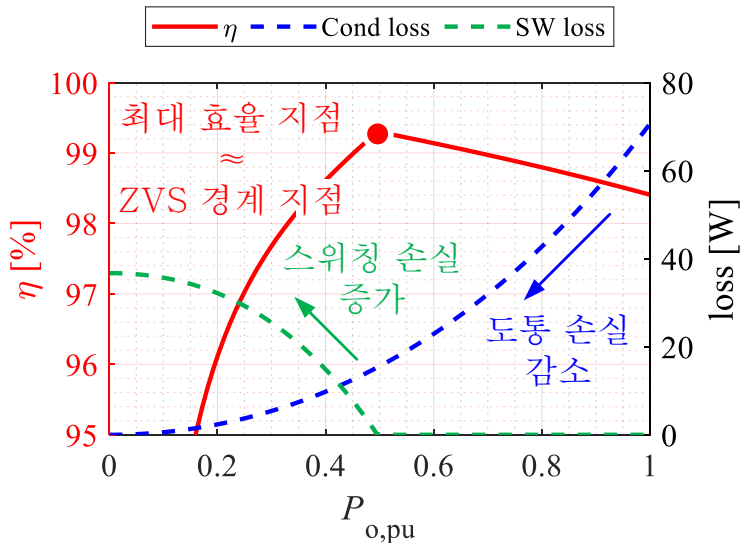


그림 3-13 전형적인 DAB 컨버터 효율 개형과 최대 효율 지점 예시

때문에 동일한 컨버터 제정수라면 정격 제어 상황에서 제어 방식 별 효율 차이는 없다. 이러한 이유로, 최악의 동작 조건(정격 조건)을 최적화하는 방식으로 설계를 한다면, 제어 방식과 관계없이 설계된 컨버터의 제정수는 같을 것을 예상할 수 있다. 그러나, 저/중 전력 대역에서는 컨버터의 제어 방식에 따라 시비율 등의 자유도를 활용하며, 자유도의 활용 방법에 따라 효율이 다르게 된다. 따라서, 저/중 전력대역의 효율을 최적화 하기위한 설계를 한다면, 제어 방식에 따라 설계되는 제정수가 달라질 수 있다.

본 논문에서는 상기 언급한 사항들을 배경으로, 북미, 한국, 호주 등의 국가에서 변압기의 공칭 효율이 50% 부하로 명시된다는 점을 고려하여 [12], 정방향 50% 부하율까지 SPS 제어로 ZVS가 만족되도록 하는 것을 설계 목표로 설정한다. 이러한 설계를 통해, 변압기의 공칭 효율이 높아지도록 유도한다. 또, 옥내 변압기 대체를 목표로 최소 비용으로 마이크로 계통을 구성하기 위해, 2차(Secondary control), 3차(Tertiary control) 계층제어([160])를 위한 별도의 통신(ESS, 연료 전지 등의 다른 계통 연계 컨버터 사이의 통신)이 존재 하지 않고, 1차 제어(Primary control)만으로 부하를 분담하는 계통을 가정하였다. 1차 제어를 통한 드롭 제어로 전압은 정격전류에서 5%의 전압 강하를 갖도록 한다.

설계하고자 하는 단위 모듈 및 SR-DAHB 설계 조건은 표 3-2와 다음과 같이 정리할 수 있다.

- 200 kHz 고정 스위칭 주파수 제어
- 2차, 3차 제어 없이 1차 제어(Primary control)만으로 부하율 분담
- 1차측 공칭전압에서 정방향 부하율 50% 이상 ZVS 만족
- 드롭 제어를 통해 정격 전류에서 5% 전압 강하 제어

표 3-2 단위 모듈 및 SR-DAHB 설계 조건

	값	단위
입/출력 공칭 전압 ($V_{\text{nom},x}, x = p, s$)	600	[V]
모듈 정격 출력 전류	± 20	[A]
모듈 정격 출력 전력	11.4*, -12.6**	[kW]
1,2차측 전압 변동	$\pm 5\%$	
SR-DAHB 병렬 개수	2	
정격 출력 전류 I_{rated}^{***}	± 10	[A]
정격 출력 전력 P_{rated}	5.7*, -6.3**	[kW]

*정방향 $V_{\text{dc},p}/V_{\text{dc},s}$: 600 V / 570 V, **역방향 $V_{\text{dc},p}/V_{\text{dc},s}$: 600 V / 630 V

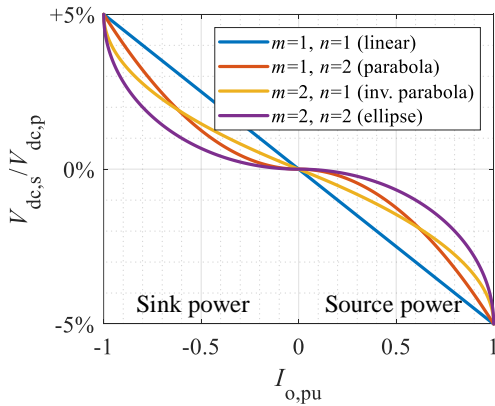
***2차측 출력 전류

3.2.2 드롭 곡선의 선정

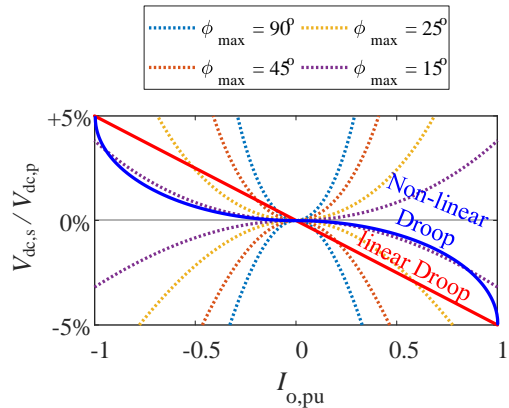
드롭 곡선은 컨버터의 주요 동작 지점들을 결정하게 된다. 일반적인 경우 드롭 곡선은 부하에 따라서 출력 임피던스가 정저항 특성을 갖도록 선형으로 설정하나, 배선 선로의 저항과 계측 오차에 따른 부하 분담의 오차를 최소화 하기 위하여 비선형 저항 특성을 갖도록 설계 되기도 한다[161]. 비선형 저항 특성을 갖는 드롭 곡선은 2차 곡선의 방정식의 계수 m 과 n 을 조정하여 결정 될 수 있다[161]. 그림 3-14(가)는 m 과 n 에 따른 $\pm 5\%$ 드롭 곡선의 개형을 보여준다.

$$\left(\frac{v_{pu} - (1 - \Delta V_{pu})}{\Delta V_{pu}} \right)^m + (i_{pu})^n = 1 \quad (3.16)$$

드롭 곡선은 컨버터의 주요 동작 지점들을 결정하게 되므로 어떠한 드롭 곡



(가)



(나)

그림 3-14 (가) 비선형 저항 특성을 갖는 드롭 곡선
(나) 선형/비선형 드롭 곡선과 컨버터의 동작 특성 비교

선을 갖고 컨버터가 동작하는지에 따라서 컨버터의 설계가 조정될 수 있다. 이는 최대 전압 위상 각 ϕ_{\max} 에 따라서 ZVS 달성 영역과 도통 손실의 유불리가 갈리게 된다는 점을 바탕으로 그림 3-14(나)를 분석하면 이러한 부분이 잘 드러난다. 예를 들어, 5% 선형 드롭 곡선을 갖는 배전용 컨버터를 $\phi_{\max} = 15^\circ$ 로 설계한다면, 대부분의 영역에서 ZVS가 실현되지 않으므로 좋지 않은 설계이며 최소 $\phi_{\max} = 25^\circ$ 이상으로 설정해야 함을 알 수 있다. 한편 5% 비선형 드롭 곡선을 갖는 배전용 컨버터는 $\phi_{\max} = 15^\circ$ 설계도 대부분의 동작 영역이 ZVS 달성 영역으로 들어오면서, 최대 위상의 감소에 따른 컨버터 도통 손실도 최소화할 수 있으므로 좋은 설계라고 평가할 수 있다.

본 논문에서는 가장 일반적인 경우를 상정하기 위하여 정저항 특성을 갖도록 드롭 곡선을 선형으로 설정하였다. 이에 따라 드롭 곡선에 의한 출력 전압 지령($V_{dc,s,pu}^*$)은 (3.17)과 같이 결정된다.

$$V_{dc,s,pu}^* = 1 \text{ pu} - R_D I_{o,pu}$$

이때,

(3.17)

$$R_D = 5\%$$

한편 1차측 계통의 전압 크기에 따라서 드롭 곡선의 옅썩 전압을 수정해주는 것이 전체 계통을 운용하는데 있어서 장점이 많다. 중전압측 계통 전압이 공칭 전압보다 낮은 것은 중전압 계통내에서 반도체 변압기 주변의 부하율이 높다는 것을 의미하고, 반대로, 높은 것은 주변에 부하율이 낮다는 것을 의미한다.

만약, 그림 3-15(가)와 같이 계통B 만을 기준으로 전력 흐름을 결정하게 되면, 계통A가 공칭 전압에서 크게 떨어져 있음에도 불구하고(그림의 십자선 표

시), 계통B로 전력흐름이 결정되게 된다. 그러나 그림 3-15(나)와 같이 양 계통의 전압차이(또는 공칭전압에서 벗어난 정도의 차이)에 따라 전력흐름을 결정하게 되면, 계통A가 공칭 전압에서 더 크게 떨어져 있으므로 계통 A로 전력흐름이 결정된다.

전력 흐름이 양 계통의 전압 차이에 의해서 부하율이 결정되는 형태의 동작 특성은, 기존의 교류 계통에서 상용 주파수 변압기의 동작 특성과 유사함을 보인다. 이는 1차측에서 바라보는 2차측과, 2차측에서 바라보는 1차측에 모두가상의 직렬 저항 특성을 갖게 된다. 따라서 양쪽 계통의 안정화 측면에서 유리한 특성을 보이며, 분산 전원이 많은 계통들 사이의 연계에 큰 장점을 갖는다.

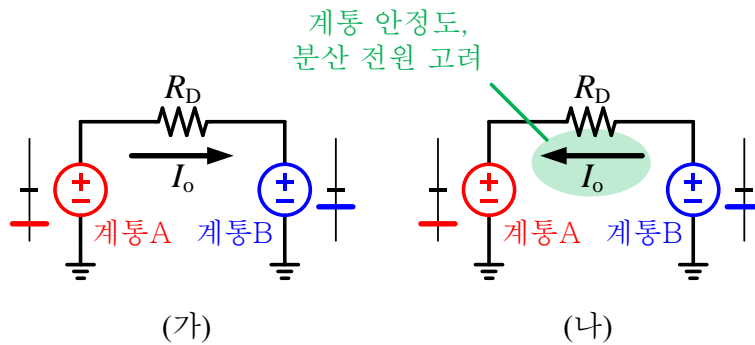


그림 3-15 드롭 제어 전략에 따른 전력 흐름

(가) 한쪽 계통 전압 크기만을 고려한 드롭

(나) 양 계통 사이 전압 차이에 의한 드롭

따라서 본 논문에서는 (3.18)과 같이 드롭 곡선을 1차측의 전압이 공칭 전압에서 벗어난 정도에 따라서 드롭 곡선에 옵셋 전압을 주어 수정하도록 한다. 이는 등가적으로 양 계통의 전압 차이에 의하여 전력 흐름이 결정되는 형태를 띈다.

$$\begin{aligned} V_{dc,s,pu}^* &= 1 + \delta v_{dc,p,pu} - R_D I_{o,pu} \\ &= V_{dc,p,pu} - R_D I_{o,pu} \end{aligned}$$

이때,

$$\delta v_{dc,p,pu} = V_{dc,p,pu} - 1$$

(3.18)

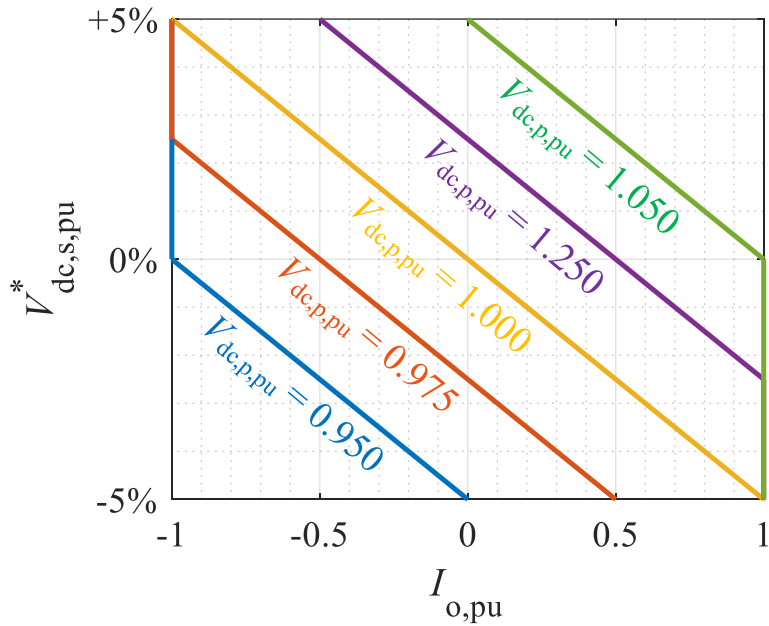


그림 3-16 본 논문에서 설계하고자 하는 배전용 반도체 변압기의 1차측 전압에 따른 드롭 곡선

(3.18)에 따라서 본 논문에서 설계하고자 하는 배전용 반도체 변압기의 드롭 곡선은 그림 3-16과 같이 나타낼 수 있다. 또한 (3.18)에 의해서 정격 출력은 그림 3-17과 같이 1차측 전압이 공칭 전압이면서 전압이 가장 작은 지점인 $V_{dc,p} = 600\text{ V}$, $V_{dc,s} = 570\text{ V}$ 인 지점($M = 0.95$)에서 정방향 정격 출력($P_{\text{rated,fwd}}$) 되며, 전압 이득이 가장 큰 지점인 $V_{dc,p} = 600\text{ V}$, $V_{dc,s} = 630\text{ V}$ 인 지점($M = 1.05$)에서 역방향 정격 출력($P_{\text{rated,rvs}}$)된다. 이를 수식으로 정리하면 (3.19), (3.20)과 같다.

$$P_{\text{rated,fwd}} = I_{\text{rated}} V_{\text{nom,s}} M_{\text{min}} \quad (3.19)$$

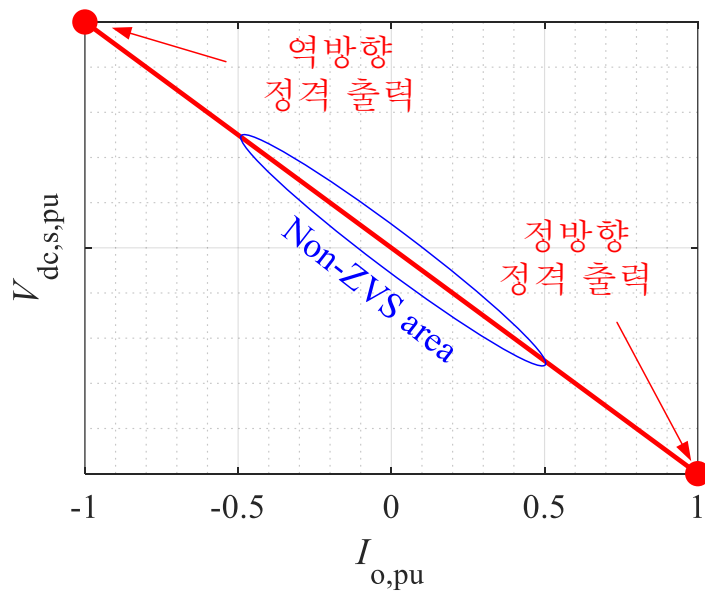


그림 3-17 1차측 전압이 공칭 전압 일 때의 5% 선형 드롭 곡선과 정방향과 역방향 정격 출력 지점

$$P_{\text{rated,rvs}} = -I_{\text{rated}}V_{\text{nom,s}}M_{\text{max}} \quad (3.20)$$

여기서 M_{min} , M_{max} 는 전압 이득의 최소값, 최대값으로 본 논문에서의 설계 조건에 따라서는 각각 0.95, 1.05를 의미한다.

단위 모듈내에 2병렬의 SR-DAHB 컨버터를 구성하였기 때문에, 각 SR-DAHB 컨버터의 정격은 단위 모듈 정격의 반이 된다. 또, 정격 출력이 1, 2차측이 모두 공칭 전압인 상태에서 출력되는 것이 아니고, 1차측 전압이 공칭 전압이면서, 2차측 전압이 최저 또는 최대인 상태에서 출력된다. 한편 2차측의 출력 전류 I_o 는 (3.21)과 같이 결정되는데, 이는 정격출력 전류에서의 최대 전압 위상 각 ϕ_{max} 의 크기는 (3.22)에서 볼 수 있듯이 정방향 역방향의 서로 같다는 것을 알 수 있다.

$$I_o = \frac{2V_{\text{dc,p}}}{\pi^2 X_{T1}} \sin(\phi) \quad (3.21)$$

$$\begin{aligned} I_o &= \frac{2V_{\text{nom,p}}}{\pi^2 X_{T1}} \sin(\pm\phi_{\text{max}}) \\ &= \pm I_{\text{rated}} \end{aligned} \quad (3.22)$$

따라서 최대 전압 위상 각 ϕ_{max} 은 1차측 전압이 공칭전압인 상태($V_{\text{dc,p}} = V_{\text{nom,p}}$)에서 정격 출력하기 위한 전압 위상 각으로 재정의하며 이는 (3.23)과 같이 나타낼 수 있다.

$$\phi_{\max} := \frac{\pi}{2} \operatorname{asin} \left(\frac{X_{T1}}{X_{T1,\max}} \right)$$

이때, (3.23)

$$X_{T1,\max} := \frac{2V_{p,\text{nom}}^2 M_{\min}}{\pi^2 P_{\text{rated,fwd}}} = \frac{2V_{\text{nom,p}}^2 M_{\max}}{\pi^2 P_{\text{rated,rvs}}}$$

위와 같이 정의된 최대 전압 위상 각 ϕ_{\max} 에 의해서 SR-DAHB 컨버터의 정방향, 역방향 정격 출력은 (3.24)와 (3.25)와 같이 표현될 수 있다.

$$P_{\text{rated,fwd}} := \frac{2V_{\text{nom,p}}^2 M_{\min}}{\pi^2 X_{T1}} \sin(\phi_{\max}) \quad (3.24)$$

$$P_{\text{rated,rvs}} := -\frac{2V_{\text{nom,p}}^2 M_{\max}}{\pi^2 X_{T1}} \sin(\phi_{\max}) \quad (3.25)$$

3.2.3 스위칭 소자 및 커패시터와 자성물성 선정

본 항에서는 컨버터의 주요 설계 소자를 선정한다. 스위치 소자의 경우 스위치의 출력 커패시터의 크기에 따라 ZVS 경계선이 결정되는 요인이 있으며 이는 컨버터 제정수 설계에 반영되기 때문에 대략적인 도통 손실을 예상하여 선정하는 것이 필요하다. 컨버터의 도통 손실은 부하의 증가에 따라서 제공으로 손실이 증가하기 때문에, 고부하로 갈수록 가장 지배적인 손실 요소가 된다.

도통 손실을 최소화하기 위해서는 스위치가 낮은 턴-온 저항($R_{ds,on}$)을 갖도록 해야 하는데, 이는 같이 병렬 스위치 구성 또는 컨버터 정격 전류보다 훨

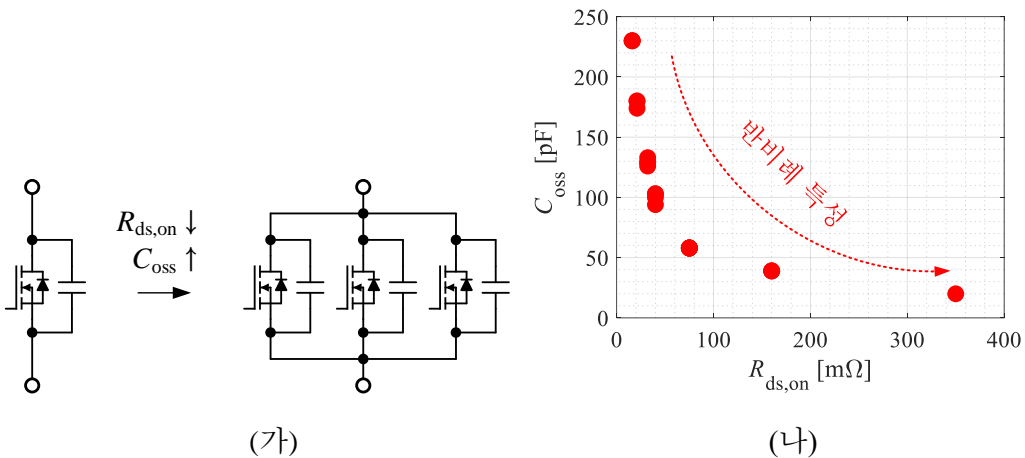


그림 3-18 $R_{ds,on}$ 과 스위치 출력 커패시턴스 관계

(가) 병렬 스위치 구성의 경우

(나) Wolfspeed 1200 V Gen3 SiC 제품들([162])의 스위치 $R_{ds,on}$ 과
스위치 출력 커패시턴스 비교

표 3-3 설계에 이용된 SiC 하프-브릿지 모듈 (FF23MR12W1M1P) 제정수 [163]

제정수	값	단위	테스트 조건
R_{ds_on}	22.5/29.5	[mΩ]	*25°C/125°C
$I_{D,nom}$	50	[A]	*175°C
C_{oss}	220	[pF]	800 V
E_{oss}	88	[μ]	800 V
E_{on}/E_{off}	535/94	[μ]	600 V, 50 A

*정선 온도(T_{vj}) 기준

썩 높은 전류 정격의 스위치를 사용하므로 썩 하드웨어적 구현이 가능하다. 하지만 그림 3-18(가)와 (나)(Wolfspeed 1200 V Gen3 SiC 제품군 내 비교[162]) 에 서 확인할 수 있듯이 스위치의 등가 출력 커패시턴스를 키우므로, 하드 스위 칭 손실이 커지게 되며 경부하에서 효율이 크게 감소하게 된다. 또, ZVS를 위 해 더 높은 스위치 턴-오프 전류가 필요하므로 같은 ZVS 영역 특성을 갖게 하기 위해서는 더 높은 최대 전압 위상 각 ϕ_{max} 설계로 귀결되며, 이는 무효 전력을 키우게 되어 실효 전류를 증가시킨다. 따라서 과도한 스위치의 턴-온 저항의 최소화는 지양하는 것이 좋다. 본 논문에서는 이러한 점을 고려하여 정격에서 스위치 도통 손실로 인한 효율 감소를 0.5% 이내로 제한하는 것을 목표로 Infineon사의 ‘FF23MR12W1M1P’ SiC 하프-브릿지 모듈을 선정하였다(표 3-3 [163]).

충전압 차단 커패시터와 구현될 공진 인덕터의 자성물성 또한 부피 최적 설

표 3-4 공진 커패시터 설계에 이용된 세라믹 MLCC 커패시터 [138]

제정수	값	단위
커패시턴스	22	[nF]
직류 전압 정격	1,700	[V]
허용 교류 전압 @200 kHz	350	[V]
허용 교류 전류 @200 kHz	9	[A]
부피	9.3 * 10.2 * 2.5	W*L*T [mm ³]
소산 인자 tan(δ)	0.1	[%]
에너지 밀도	134.1	[μ]/mm ³
온도계수	C0G	

계를 위하여 컨버터 제정수 설계 이전에 선정되어야 한다. 설계에서 이용되는 공진 커패시터로는 높은 직류 전압 정격 특성을 갖고 전압에 따른 제정수 변동 현상이 최소화된 C0G 특성의 세라믹 MLCC(KEMET)를 직/병렬 하는 것으로 목표하였다 (표 3-4[138]). 공진 인덕터로는 수백 kHz 대역에 최적화 되어 있는 Ferroxcube사의 코어물성 3C94([164])를 사용을 하였다.

3.2.4 컨버터 동작 특성 설계 과정

본 항에서는 ‘1차측 공칭전압에서 정방향 부하율 50% 이상 ZVS 달성’ 설계 조건을 만족하기 위한 최대 전압 위상 각 ϕ_{\max} 설계 과정에 대해서 논의한다. 일반적인 SR-DAHB 컨버터에서 $M \leq 1$ 영역의 SPS 제어상태에서 출력이 감소함에 따라 ZVS가 실현되지 못하는 방향으로 나아가는 스위치는 2차측 스위치이며, $M > 1$ 영역의 경우에는 1차측 스위치이다. 2장에서 언급한 기본과 스위칭-전류 분석(표 2-5)에 따라서 ZVS 달성에 관련된 스위치의 스위칭 순간 전류를 정리하면 (3.26)과 같이 정리될 수 있다.

$$\begin{cases} I_{sw,S_U} = I_{sw,S_B} = \frac{2V_{dc,p}}{\pi X_{T1}} (\cos(\phi) - M) & M \leq 1 \\ I_{sw,P_U} = I_{sw,P_B} = \frac{2V_{dc,p}}{\pi X_{T1}} (M \cos(\phi) - 1) & M > 1 \end{cases} \quad (3.26)$$

이때, ZVS가 달성되는 경계를 판단하기 위해서 스위칭-전류가 0보다 작다는 조건을 이용하면 1, 2차측 ZVS를 달성하기 위한 조건은 (3.27)과 같이 정리할 수 있다.

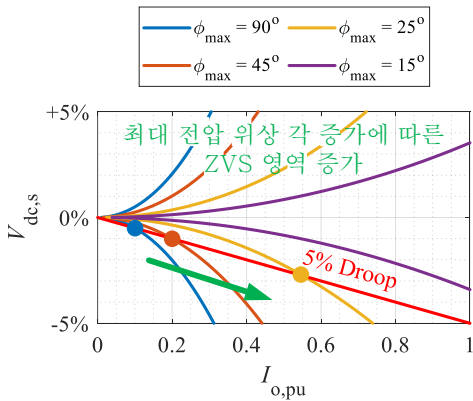
$$\begin{cases} \cos(\phi) < M & M \leq 1 \\ \cos(\phi) < \frac{1}{M} & M > 1 \end{cases} \quad (3.27)$$

한편 본 논문에서는 1차측이 공칭전압인 상태에서의 설계를 한다는 점과, 드롭 제어를 한다는 점을 고려하면, 1차측이 공칭 전압인 상태에서 ZVS 조건 (3.27)을 pu 법으로 표현하는 것이 편리하다. 따라서 1차측이 공칭 전압인 상태에서의 컨버터 출력 전류 식 (3.28)을 통해 (3.27)을 다시 표현하면, (3.29)와 같이 나타낼 수 있다.

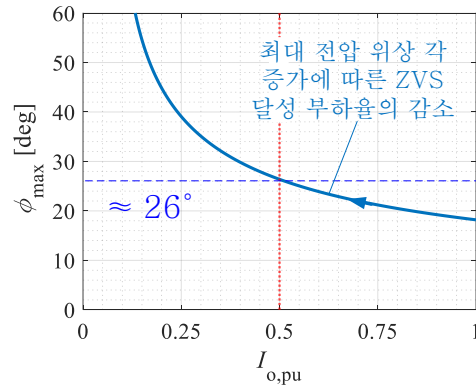
$$I_{o,pu} = \frac{\sin(\phi)}{\sin(\phi_{\max})} \quad (3.28)$$

$$\begin{cases} |I_{o,pu}| > \frac{\sqrt{1 - (V_{dc,s,pu}^*)^2}}{\sin(\phi_{\max})} & M \leq 1 \\ |I_{o,pu}| > \frac{\sqrt{1 - (V_{dc,s,pu}^*)^{-2}}}{\sin(\phi_{\max})} & M > 1 \end{cases} \quad (3.29)$$

그림 3-19(가)는 (3.29)를 바탕으로 구하여 진 최대 전압 위상 각 ϕ_{\max} 의 증가에 따른 ZVS 영역의 변화를 보여준다. (3.29)에서도 유추할 수 있듯이, 최대 전압 위상 각 ϕ_{\max} 가 증가하게 되면, ZVS 영역이 넓어지게 되어 최종적으로 ZVS가 만족되는 최소 부하율 $I_{o,pu}$ 가 증가하게 된다. 이는 5% 드롭 곡선상에서 ZVS 만족시키는 부하율 $I_{o,pu}$ 와 최대 전압 위상 각 ϕ_{\max} 의 관계를 나타낸



(가)



(나)

그림 3-19 5% 드롭 곡선상에서 최대 전압 위상 각에 따른 동작 특성 변화

(가) 최대 전압 위상 각 ϕ_{\max} 의 증가에 따른 ZVS 영역의 변화

(나) ZVS가 만족되는 부하율과 최대 전압 위상 각 ϕ_{\max} 의 관계

그림 3-19(나)에서도 확인할 수 있다.

본 논문에서는 정방향 부하율 50%($I_{o,pu} = 0.5$, $V_{dc,s,pu}^* = 0.975$) 이상 ZVS 달성을 목표로 하고 있으므로 (3.29)에 의해서 설계 제정수 ϕ_{max} 는 (3.30)과 같이 구할 수 있다.

$$\phi_{max} = \operatorname{asin} \left(\frac{\sqrt{1 - (V_{dc,s,pu}^*)^2}}{|I_{o,pu}|} \right) \Bigg|_{I_{o,pu}=0.5, V_{dc,s,pu}^*=0.975} \approx 26^\circ \quad (3.30)$$

3.2.5 전력밀도 최적 설계 과정

각 설계별로 컨버터의 전력밀도의 우위를 상대 비교하는 것은 수동소자에서 소비하고 있는 최대 무효전력을 계산함으로써 이루어 질 수 있다. 한편 본 연구에서 다루고 있는 구조는 변압기 절연형 컨버터와 다르게 고전압 커패시터를 이용하여 중전압 직류를 차단하는 구조이므로, 수동소자에서 소비되는 무효전력 뿐 아니라, 중전압 직류로 커패시터에 저장되는 에너지도 함께 고려해야 한다.

공진 점에서 멀어지는 설계일 수록 커패시터의 제정수 크기는 커지게 되는데 결과적으로 높은 적층 층수에 있는 모듈의 커패시터 부피를 크게 키우게 된다. 따라서 본 연구대상처럼 공진 뿐 아니라, 직류 전압으로 인한 에너지도 고려해야 하는 전력회로의 경우에는 커패시터 제정수 증가에 의한 전력밀도의 감소가 크게 된다. 이러한 전력밀도의 감소를 피하기 위해서는 설계단계에서 부터 전력밀도의 고려가 함께 이루어 져야 한다. 따라서 기존의 SR-DA(H)B 설계 문헌 [151], [157], [159]와 같이 컨버터의 손실 만을 비용함수로 선정한 설계와 달리, 본 연구에서는 전력밀도에 의한 비용 함수를 포함하여 설계하는 것을 목표로 한다.

본 연구에서는 설계회로의 부피(전력밀도) 특성을 평가하기 위한 비용함수로 'Q 지표'를 이용한다. Q 지표는 수동 소자들이 소비하는 최대 무효 전력 또는 수동 소자가 저장하는 최대 에너지들의 합을 비교함으로써, 수동 소자로 구성된 네트워크의 부피와 손실을 비교하는 방법이다[139]. 이러한 Q 지표를 통한 임피던스 설계방법은 LCL 필터 설계[165], [166], 공진 회로 설계[167], 무선 전력 결합 코일 설계[139], [168]들에서 성공적으로 활용된 바 있다.

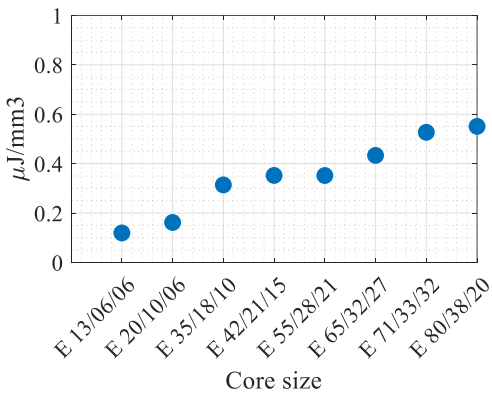
제정수 값이 서로 다른 2개의 인덕터(또는 커패시터) 사이의 부피 상대 비교로, 저장된 에너지 크기를 활용하는 것은 직관적이다. 하지만, 에너지 저장 형태가 다른 두 소자인 인덕터와 커패시터 사이의 부피 비교로 최대 저장 에너지 크기를 단순 비교하는 것은 두 에너지 저장 소자의 에너지 밀도의 차이로 인해 큰 오차를 수반하게 된다. 따라서 [139], [166]에서 접근하였던 방식처럼, 인덕터와 커패시터의 에너지 밀도의 차이에 의한 영향을 보정하기 위하여 에너지 밀도의 역수를 곱한 가중 합산방식을 활용하는 것이 전체 임피던스 크기 비교에 합리적이다.

에너지 밀도 차이 보정을 위한 가중치는 각 수동소자의 에너지 밀도에 영향을 주는 요소들을 고려하여 결정해야 한다. 인덕터의 에너지 밀도에 영향을 주는 요소로는 코어 물성(페라이트, 공심)과 허용 자기장, 권선의 종류(리츠 전선 번들 개수 등)와 허용 전류 밀도, 냉각 여부 등이 있으며, 커패시터는 유전 물성(세라믹, 필름 등)이나 온도 계수 특성, 특히 본 논문에서는 높은 직류 전압 정격 특성 등을 고려하여야 한다. 또 두 수동소자의 에너지 밀도 모두 스위칭 주파수에 크게 영향 받는다. 따라서 스위칭 주파수와 컨버터의 설계 주안점에 맞추어 에너지 밀도에 영향을 주는 각 요소들을 결정하고 결정된 요소에 따른 에너지 밀도 보정 가중치를 계산하는 것이 필요하다.

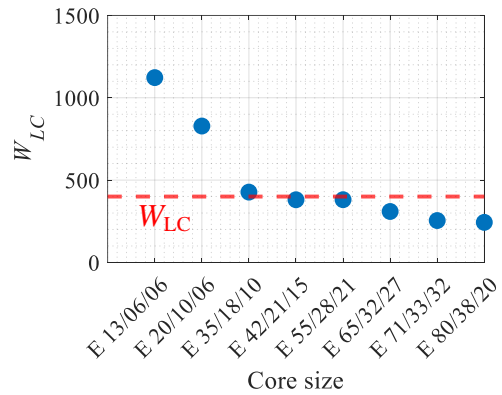
인덕터/커패시터 에너지 밀도의 차이 보정계수(W_{LC})의 선정은 어떤 특성의 수동소자를 이용하려는 지에 따라 크게 달라지게 된다. 커패시터의 에너지 밀도의 경우에는 직/병렬을 전제하면 쉽게 스케일링이 가능하기 때문에 제정수에 따른 에너지 밀도 변화를 배제할 수 있지만 인덕터의 경우에는 코어의 형상과 크기, 사용하는 권선종류와 허용 전류 밀도 등등에 따라서 에너지밀도의

크기가 결정된다.

그림 3-20(가)는 0에서 선정된 3C94 코어에 대하여 EE 코어 크기별로 부록 7.1을 통해서 계산된 에너지 밀도 크기를 나타내며, 그림 3-20(나)는 이를 3.2.3에서 선정된 공진 커패시터[138]의 에너지 밀도와 비교하여 도시한 그래프이다. 가장 작은 크기의 코어부터 E35까지는 급격하게 인덕터 에너지 밀도가 높아지다가, E35 이상부터는 완만하게 에너지 밀도가 높아지는 것을 볼 수 있다. 본 논문에서 설계하고자 하는 컨버터의 대략적인 전류크기(20 A~30 A)와 인덕터 제정수(5 μ H~30 μ H)를 고려하면, 이러한 인덕터는 E35~E55 사이의 코어 사이즈로 설계된다는 설계자의 경험을 바탕으로 에너지 밀도차이 보정계수 W_{LC} 는 400으로 선정하였다.



(가)



(나)

그림 3-20 부록 7.1을 통해서 계산된 3C94 코어 크기 별

(가) 에너지 밀도 크기와

(나) 에너지 밀도 차이 보정계수 W_{LC} ([138]과의 상대비교)

k 층에 적층 되어있는 컨버터내의 인덕터와 커패시터가 소비하는 최대 무효 전력 $|Q_{L,k}^{\max}|$ 과 $|Q_{C,k}^{\max}|$ 는 컨버터 동작 상태 중 그 값이 가장 큰 수치를 의미한다. 일반적으로 이러한 동작 지점은 공진 전류가 가장 큰 동작지점을 의미하며 곧 정격동작 지점을 의미한다. 이때 수동소자에서 가장 큰 무효전력 소비가 일어난다. 수동소자에서 소비하는 무효전력이 가장 클 때 인덕터와 커패시터에 저장되는 에너지를 수식으로 정리하면 각각 (3.31)과 (3.32)와 같이 나타낼 수 있다.

$$E_{L,k}^{\max} = \frac{|Q_{L,k}^{\max}|}{\omega_{sw}} = \frac{X_L (I_{L,k,rms}^{\max})^2}{\omega_{sw}} \quad (3.31)$$

$$E_{C,k}^{\max} = \frac{|Q_{C,k}^{\max}|}{\omega_{sw}} = \frac{(V_{C,k,rms}^{\max})^2}{X_C \omega_{sw}} = \frac{X_C (I_{L,k,rms}^{\max})^2}{\omega_{sw}} \quad (3.32)$$

앞서 언급하였듯이 커패시터 커플링을 이용한 컨버터는 수동소자가 소비하는 무효전력 이외에도 공진 커패시터에서 직류 전압을 차단시키는 구조로 인하여 직류 전압 성분에 의한 에너지도 함께 고려해야 한다.

정상동작 상황에서 공진 커패시터에서 차단되어야 하는 직류 전압의 크기는 적층된 층수에 비례하여 커지게 된다. 그러나, 사고동작 상황에서는 접지방식에 따라 차단되어야 하는 직류 전압의 크기가 달라진다. 따라서 공진 커패시터의 전압 정격은 정상동작 상황과 사고동작 상황 중 최악의 조건을 기준으로 선정되어야 한다.

만약, 그림 3-21(가)와 같이 직접 접지 또는 저-저항 접지 하는 경우, 안정적인 기준전위로부터 커패시터의 차단전압이 결정되기 때문에 사고동작 상황에

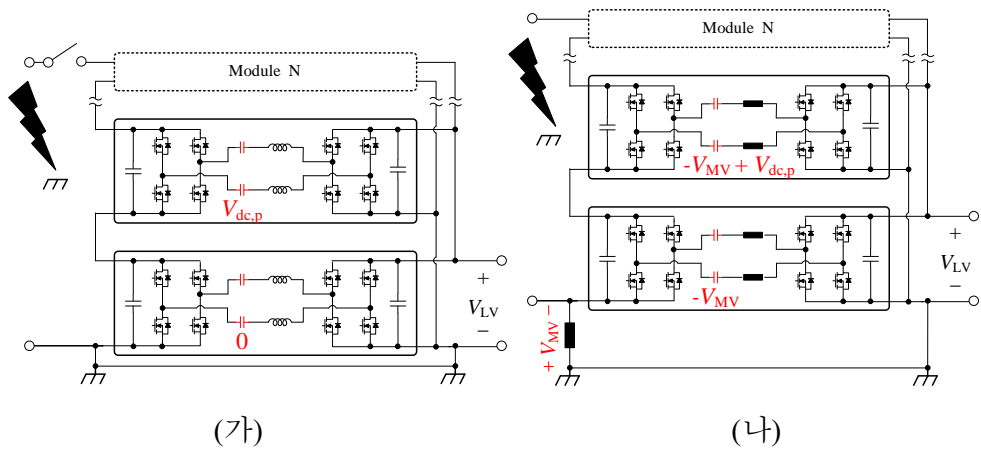


그림 3-21 지락 사고동작 상황에서 공진 커패시터에서 차단되는 직류 전압
 (가)직접/저-저항 접지하고 중전압 차단기를 이용하는 경우
 (나)중전압 차단기 없이 고-저항 접지 하는 경우

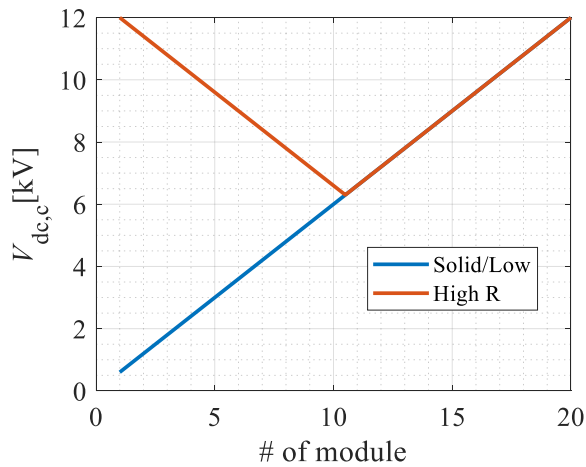


그림 3-22 적층 위치에 따른 커패시터 전압 정격 예시
 $(V_{dc,p} = 600 \text{ V}, V_{MV} = 12 \text{ kV})$

서도 차단되어야 하는 직류 전압의 크기는 적층된 층수에 비례한다. 따라서 그림 3-22와 같이 커패시터의 정격 전압이 정해진다. 그러나 낮은 접지 저항

으로 인하여 높은 사고전류가 유기 되므로, 중전압 차단기가 필수 적이라고 할 수 있다.

한편, 그림 3-21(나)와 같이 차단기 없이 고저항 접지하는 경우, 사고시에 차단되는 직류 전압은 적층된 층수의 역순으로 비례하여 작아진다. 따라서, 정상 동작 상황과 사고동작 상황에서 각 커패시터에서 차단되는 직류 전압 크기가 다르며, 두 직류 전압 크기 중 최악의 값으로 정격을 선정해야 한다. 즉, 그림 3-22와 같이 커패시터의 정격 전압이 정해진다. 고저항 접지는 사고 전류를 저감할 수 있다는 장점이 있다. 하지만, 낮은 층에 있는 모듈의 커패시터 필요 정격 전압을 상승 시키고 과도상황에서 공진 인덕터에 중전압이 인가되는 문제가 있다.

본 항에서는 직접/저-저항 접지를 하고, 중전압 차단기를 활용하는 방식에서의 전력밀도를 계산하고 이를 바탕으로 컨버터를 설계한다. 후술하는 전력밀도 계산과 설계 원리는 고저항 접지 방식에도 동일하게 적용할 수 있다. k 층에 적층 되어있는 컨버터의 공진 커패시터에 직류 전압 성분으로 저장된 에너지의 최대치 $E_{dc,k}^{\max}$ 는 컨버터의 전압 변동을 고려하여 (3.33)과 같이 계산할 수 있다.

$$\begin{aligned} E_{dc,k}^{\max} &= \frac{1}{2} C_r \left((k-1) V_{dc,p}^{\max} \right)^2 \\ &= \frac{1}{2 F_N Z_o \omega_{sw}} \left((k-1) V_{dc,p}^{\max} \right)^2 \end{aligned} \quad (3.33)$$

여기서 $V_{dc,p}^{\max}$ 는 1차측 전압이 가장 높을 때(본 논문에서는 공칭 전압의 +5%)의 커패시터에 저장되는 에너지를 의미한다.

본 논문에서는 상기 분석한 인덕터와 커패시터가 소비하는 최대 무효 전력 $|Q_L^{\max}|$ 과 $|Q_C^{\max}|$ 그리고 직류 전압 성분으로 저장된 에너지의 최대치 성분

$(E_{dc,k}^{\max})$ 을 포함하여 (3.34)와 같이 전력밀도 비용 함수 g_E 를 계산한다.

$$g_E := \sum_{k=1}^N W_{LC} E_{L,k}^{\max} + E_{C,k}^{\max} + E_{dc,k}^{\max} \quad (3.34)$$

여기서 N 은 총 적층 되는 모듈의 개수를 의미한다. 한편 수동소자에 소비되는 무효 전력의 크기는 적층 모듈의 층에 따라 변하지 않으므로 논의의 간편화를 위해 (3.34)는 (3.35)와 같이 변형될 수 있다.

$$g_E := N \left(W_{LC} E_L^{\max} + E_C^{\max} + \frac{(2N^2 - 3N + 1)}{12F_N Z_o \omega_{sw}} (V_{dc,p}^{\max})^2 \right) \quad (3.35)$$

최대 전압 위상 각 ϕ_{\max} 는 3.2.4(동작 특성 설계 단계)에서 고정되었으므로, 정규-공진점 F_N 의 설계 변화는 최대 전압 위상 각 ϕ_{\max} 이 고정된 상태에서 수동소자의 제정수 변동을 의미한다. 이는 다시 말해, $X_{T1} = X_{L1} - X_{C1}$ 을 고정시킨 상태에서 수동소자의 제정수 조정을 의미한다. 따라서 공진 점이 멀어지는 설계지점들은 X_{L1} 과 X_{C1} 이 그 차이를 유지한채로, 모두 그 크기가 감소하는 방향으로 나아간다. 즉, 무효전력이 최소화되는 지점으로 나아가는 것을 의미한다. 또, X_{L1} 과 X_{C1} 의 크기가 모두 감소하므로 인덕터 제정수 L_r 은 작아지고, 커패시터 제정수 C_r 은 커지게 된다. 이는 정규-공진점 F_N 이 0에 가까워지는(공진에서 멀어지는) 설계는 C_r 의 증가로 직류단 전압으로 저장되는 에너지가 최대화(무한대 까지) 되는 것을 알 수 있다.

반면, 정규-공진점 F_N 이 1에 가까워지는(공진에 가까워지는) 설계는 X_{L1} 과 X_{C1} 가 모두 커지는 방향이며 무효전력이 최대화(무한대 까지) 된다. 이때 인덕터 제정수 L_r 값은 커지며, 커패시터 제정수 C_r 값은 작아지게 된다. 따라서, 이러한 설계는 C_r 의 감소로 직류단 전압으로 저장되는 에너지가 최소화되는 것을 알 수 있다.

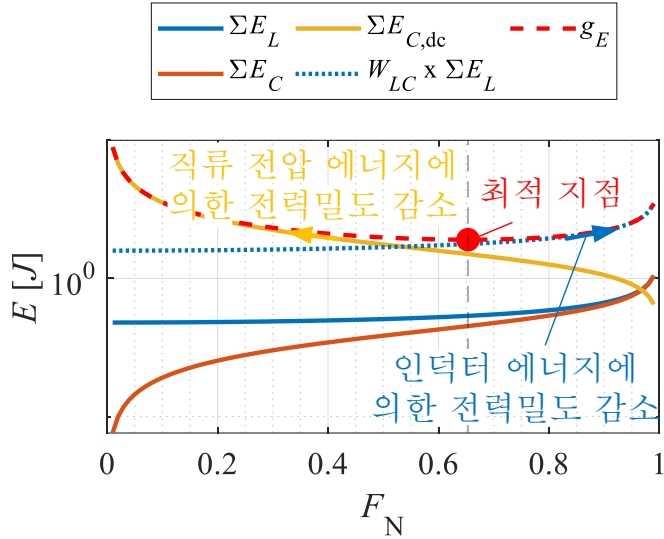


그림 3-23 최대 전압 위상 각 $\phi_{\max} = 26^\circ$, $V_{MV} = 12 \text{ kV}$ 설계에서
정규-공진점 F_N 의 변화에 따른 각 수동소자별 저장 에너지

이러한 점을 종합하면, 전력밀도 비용함수 g_E 의 극소점이 $0 < F_N < 1$ 에 존재한다는 것을 알 수 있다. 이는 그림 3-23에서 $\phi_{\max} = 26^\circ$, $V_{MV} = 12 \text{ kV}$ 설계에서 정규-공진점 F_N 의 변화에 따른 임피던스 저장 에너지 비교 도시 그래프를 통해서도 확인해 볼 수 있다. 전력밀도 비용함수 g_E 의 극소점이 0.65 근처에서 형성됨을 확인할 수 있다.

또, (3.35)에서 유추해볼 수 있는 사실은, 총 적층 개수 N 이 작을 때에는 컨버터의 동작 상태에 따른 무효 전력의 총합 성분이 전력밀도에 큰 영향을 미침으로 공진점을 멀게 설계하여 무효 전력의 총합을 최소화하는 것이 유리할 수 있다는 점이다. 이와 반면에, 총 적층 개수 N 이 클 때에는 직류 전압 성분

으로 인한 에너지 성분이 커져서, C_r 을 낮추는 설계, 즉 공진에 가깝거나 Z_0 가 큰 설계가 유리할 수 있다는 점을 알 수 있다.

그림 3-24는 최대 전압 위상 각 $\phi_{\max} = 26^\circ$ 설계에서 증전압 증가에 따라 최적 공진 설계점의 변화를 보여준다. 설계하고자 하는 컨버터의 증전압 크기가 증가할수록 전력밀도 비용함수 g_E 의 극소점이 공진에 가까운 방향으로 설계 지점이 변화하는 것을 볼 수 있다.

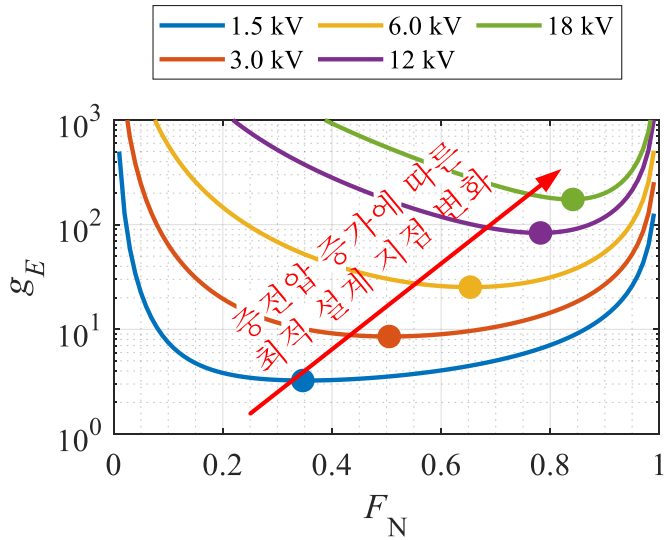


그림 3-24 최대 전압 위상 각 $\phi_{\max} = 26^\circ$ 설계에서 증전압 증가에 따른 최적 정규-공진점 F_N 과 g_E 의 변화

3.2.6 고조파의 영향을 고려한 설계 과정

앞선 설계 과정을 간략하게 요약하자면 다음과 같다. SR-DAHB 컨버터는 최대 전압 위상 각 ϕ_{\max} 와 정규-공진점 F_N 을 설계함으로써 설계 될 수 있다. 이러한 제정수 중, 컨버터 동작 특성을 설계 목표에 맞추기 위해서 최대 전압 위상 각 ϕ_{\max} 를 먼저 설계하고, 그 다음 전력밀도 최적화를 위해서 정규-공진점 F_N 을 설계하였다.

한편, 앞선 컨버터 동작 특성 설계 과정은 컨버터의 전류 성분 중 기본파 성분만으로 해석한 것으로, 고조파 전류에 의한 실제적인 ZVS 동작 특성은 상이할 수 있다. 본 항에서는 이러한 고조파의 영향을 설계에 고려하는 방안 에 대하여 서술한다.

고조파로 흐르는 전류의 크기는 고조파 전압과 고조파 임피던스의 크기에 의해서 결정된다. 임피던스에 인가되는 고조파 전압의 크기는 제정수와 관계 없이 전력 제어를 위한 1, 2차측 전압 사이의 위상 각 ϕ 에 의해 결정된다. 그러나 고조파 임피던스의 크기는 정규-공진점 F_N 에 대해서 그 크기가 다르게 된다. SR-DAHB 컨버터의 SPS 제어시에는 홀수 고조파 전압 성분만 존재하게 되는데, (3.36)은 정규-공진점 F_N 에 따른 기본파 임피던스와 n 차 고조파 임피던스 크기 X_{Tn} 의 비율의 관계식을 나타낸다.

그림 3-25는 (3.36)을 바탕으로 정규-공진점 F_N 에 따라서 3, 5, 7차 고조파 임피던스의 크기를 기본파 임피던스와 상대 비교하여 그래프로 도시한 그림이다.

$$\frac{X_{T1}}{X_{Tn}} = \frac{n(1 - F_N^2)}{n^2 - F_N^2}, \quad n = 3, 5, 7 \dots \quad (3.36)$$

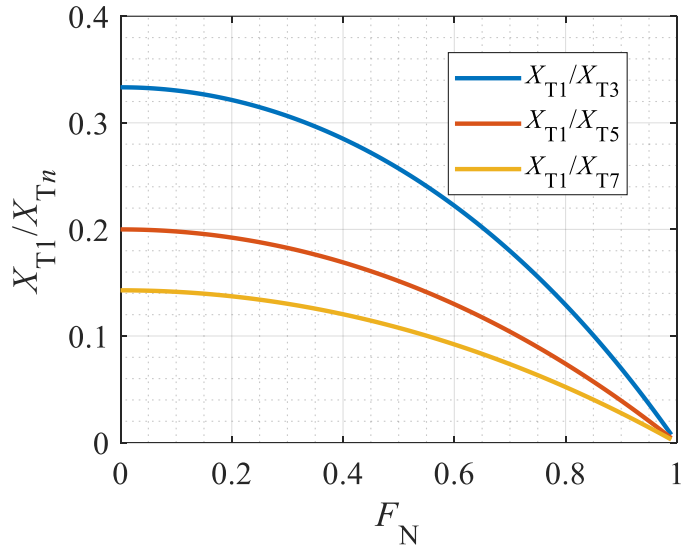


그림 3-25 정규-공진점 F_N 의 변화에 따른
기본파 임피던스와 고조파 임피던스의 비율의 변화

정규-공진점 F_N 을 1에 가깝게 설계할수록 고조파 임피던스의 크기는 기본파 임피던스에 비하여 매우 크게 되고, 이는 전류를 기본파 전류로 근사 하는 것이 유효함을 알 수 있다. 반면, 공진점이 극단적으로 멀게 설계하면 3고조파 성분의 경우 그 크기가 기본파 임피던스의 3배까지 작아 짐을 알 수 있다. 이렇게 설계된 컨버터는 일반적인 L -DAB 컨버터의 특성과 같게 된다.

고조파 성분 중 가장 지배적인 성분인 3고조파 성분을 분석함으로써 고조파 성분이 ZVS에 어떠한 영향을 주는지 분석할 수 있다. 3고조파 전류성분의 스위칭-전류는 스위칭-전류의 고차 푸리에 분석(부록 표 7-21)을 통해 (3.37)과 같이 구할 수 있다.

$$\begin{cases} I_{sw,S_H} = I_{sw,S_L} = \frac{2V_{dc,p}}{3\pi X_{T3}} (\cos(3\phi) - M) & M \leq 1 \\ I_{sw,P_H} = I_{sw,P_L} = \frac{2V_{dc,p}}{3\pi X_{T3}} (M\cos(3\phi) - 1) & M > 1 \end{cases} \quad (3.37)$$

이때, 이러한 3고조파 전류가 ZVS 달성에 유리한지 불리한지를 판단하기 위해서 3고조파 스위칭-전류가 0보다 작다는 조건을 이용하면, 1, 2차측 ZVS를 달성에 3고조파 전류가 도움을 주는 조건은 (3.38)과 같이 결정된다.

$$\begin{cases} \cos(3\phi) < M & M \leq 1 \\ \cos(3\phi) < \frac{1}{M} & M > 1 \end{cases} \quad (3.38)$$

한편, 동작하는 컨버터의 전압 이득 M 의 범위가 0.95~1.05 사이라는 점을 미루어 보았을 때, 3고조파 전류는 전압 위상 ϕ 에 대해 대부분의 제어영역에서 그림 3-26과 같이 스위치의 턴-오프 전류의 크기를 키우게 된다. 즉, ZVS 영역의 확장을 가져온다. 이는, 정규-공진점 F_N 을 작게 설계할수록 ZVS 영역

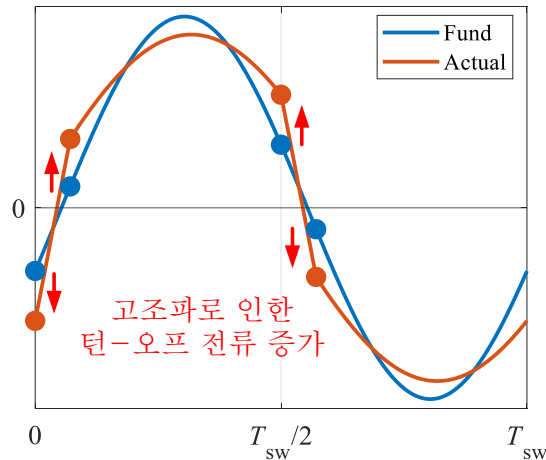


그림 3-26 고조파 전류로 인한 턴-오프 전류 증가 및 ZVS 영역의 확장

의 확장을 가져온다는 것을 의미한다.

한편 SR-DAHB 컨버터에서 SPS 제어시 모든 고조파를 포함한 전력과 스위칭-전류의 크기는 스위치 분석을 통해 (3.39)-(3.41)과 같이 구할 수 있다[169]. ([169]에서는 SR-DAB 컨버터로 분석이 되어있으나, 전압크기 비례 조정을 통해 SR-DAHB 컨버터 분석으로 쉽게 유도 할 수 있다.)

$$P_o = \frac{V_{dc,p}^2}{Z_o} \frac{M}{2F_N \pi \sin(F_N \pi)} \left(-\sin(F_N \pi) + 2\cos\left(F_N\left(\phi - \frac{\pi}{2}\right)\right) \sin\left(F_N \frac{\pi}{2}\right) \right) \quad (3.39)$$

$$\begin{aligned} I_{sw,S_H} &= I_{sw,S_L} \\ &= \frac{V_{dc,p}}{Z_o} \frac{-\sin\left(F_N \frac{\pi}{2}\right) \left(\sin\left(F_N\left(\phi - \frac{\pi}{2}\right)\right) + M \sin\left(F_N \frac{\pi}{2}\right) \right)}{\sin(r\pi)} \end{aligned} \quad (3.40)$$

$$\begin{aligned} I_{sw,P_H} &= I_{sw,P_L} \\ &= \frac{V_{dc,p}}{Z_o} \frac{-\sin\left(F_N \frac{\pi}{2}\right) \left(\sin\left(F_N \frac{\pi}{2}\right) - M \sin\left(\frac{\pi}{2} - \phi\right) \right)}{\sin(F_N \pi)} \end{aligned} \quad (3.41)$$

이때, 2차측 스위치가 ZVS가 되기 위한 조건은 (3.40)에 의해서 (3.42)와 같이 나타낼 수 있다.

$$\begin{cases} M < \frac{\sin\left(F_N\left(\frac{\pi}{2} - \phi\right)\right)}{\sin\left(F_N \frac{\pi}{2}\right)} & M \leq 1 \\ \frac{1}{M} < \frac{\sin\left(F_N\left(\frac{\pi}{2} - \phi\right)\right)}{\sin\left(F_N \frac{\pi}{2}\right)} & M > 1 \end{cases} \quad (3.42)$$

이러한 ZVS 조건 (3.42)를 본 논문에서의 설계 제정수인, 최대 전압 위상 각 ϕ_{max} 와 정규-공진점 F_N 으로 나타내는 것이 필요하다. 설계가 1차측 공칭전압에서 설계된다는 점과 정격 전력의 정의 (3.24)에 의해서 (3.43)의 관계식을 얻을 수 있다.

$$\left. \frac{V_{dc,p}^2}{Z_o} \right|_{V_{dc,p}=V_{p,nom}} = \frac{\pi^2 P_{rated,fwd}}{2 \sin(\phi_{max}) M_{min}} \left(\frac{1}{F_N} - F_N \right) \quad (3.43)$$

최종적으로 (3.39), (3.42), 그리고 (3.43)을 연립하게 되면 전력에 따른 ZVS 경계 (3.44)를 얻을 수 있다.

$$|P_o| > \frac{\pi(1 - F_N^2) P_{rated,fwd}}{4 F_N^2 \sin(\phi_{max})} \frac{M}{M_{min}} \left(\sqrt{\sec^2 \left(F_N \frac{\pi}{2} \right) - M^2 \tan^2 \left(F_N \frac{\pi}{2} \right)} - 1 \right) \quad (3.44)$$

본 논문에서는 드롭 제어를 활용하므로, 출력 전류에 의한 식으로 나타내는 것이 간편하다. 따라서 (3.44)는 정규화 된 출력전류에 따른 ZVS 경계조건인 (3.45)와 같이 표현될 수 있다.

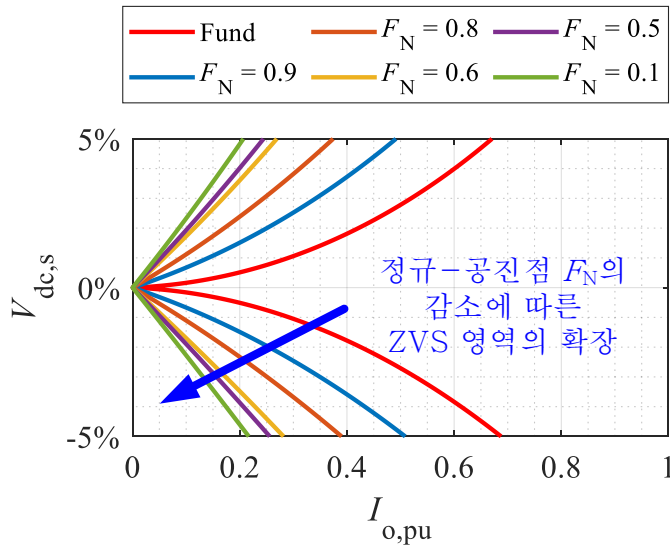


그림 3-27 최대 전압 위상 각 $\phi_{max} = 26^\circ$ 설계에서 고조파를 고려하였을 때 정규-공진점 F_N 의 변화에 따른 ZVS 영역의 변화

$$\begin{cases} |I_{o,pu}| > \frac{\pi(1-F_N^2)}{4F_N^2 \sin(\phi_{\max})} \left(\sqrt{\sec^2\left(F_N \frac{\pi}{2}\right) - M^2 \tan^2\left(F_N \frac{\pi}{2}\right) - 1} \right) & M \leq 1 \\ |I_{o,pu}| > \frac{\pi(1-F_N^2)}{4F_N^2 \sin(\phi_{\max})} \left(\sqrt{\sec^2\left(F_N \frac{\pi}{2}\right) - \frac{1}{M^2} \tan^2\left(F_N \frac{\pi}{2}\right) - 1} \right) & M > 1 \end{cases} \quad (3.45)$$

그림 3-27은 (3.45)를 기반으로, 정규-공진점 F_N 에 따른 ZVS 영역의 변화를 보여준다. 빨간색 실선은 기본파로 계산된 ZVS 경계선이며, 정규-공진점 F_N 의 감소에 따라 ZVS 영역이 확장되는 경향을 보여준다. 이는 기본파로 분석한 출력-전류/ZVS-특성 (3.29)와는 다르게 고조파를 모두 고려하게 되면 ZVS 특성에 최대 전압 위상 각 ϕ_{\max} 뿐 아니라, 정규-공진점 F_N 도 영향을 주게 된다는 점을 알 수 있다. 또, 이러한 고조파 전류는 결과적으로 ZVS 달성 영역을 확장시키는 효과를 가져온다는 것을 알 수 있다. 따라서 전력밀도 비용함수 g_E 를 통해 최적으로 도출한 정규-공진점 F_N 값을 기반으로 다시 (3.45)를 통해 최대 전압 위상 각 ϕ_{\max} 을 조정하여, 컨버터의 동작 특성을 세밀하게 보정해 주는 것이 필요하다.

3.2.7 영전압-스위칭에 필요한 최소 전류 크기를 고려한 설계 과정

영전압-스위칭(ZVS)은 게이트 신호가 인가되기 이전에, 스위치의 출력 커패시터의 에너지가 모두 방전되어 스위치의 V_{DS} 전압이 영전압으로 떨어진 다음에 턴-온 되는 것을 의미한다. 스위치의 출력 커패시터의 방전은 데드타임 구간동안 일어나며 방전을 위해서는 음의 전류가 필요하게 된다. 예를 들어, 그림 3-28의 스위치 Q_{pH} 가 ZVS를 달성하기 위해서는 스위치 Q_{pL} 의 전류 i_{pL} 이 스위치 턴-오프 때 양의 값 이어서, 데드타임 구간동안 음의 i_{pH} 전류가 흐르게 되고, 이를 통해 스위치의 출력 커패시터가 에너지를 방전 되어야 한다. 따라서 ZVS를 위하여 턴-오프 되는 스위치에서 0A이상의 스위치 턴-오프 전류를 남겨두는 것이 필요하다. 이는 실제적인 ZVS 달성 여부를 결정한다.

한편, 스위치의 출력 커패시터 C_{oss} 는 전압에 따라 커패시턴스가 변화하는 비선형 특성으로, 크게 섭동 출력 커패시턴스 C_{oss} , 에너지-등가 출력 커패시턴스 $C_{oss,ER}$, 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 형태로 스위치의 데이터 시트에 별도로 명시되어 있다. 상기 3개의 출력 커패시터 중 ZVS 달성여부를 판단하는데 이용되는 커패시턴스는 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 이다[170]. 한편

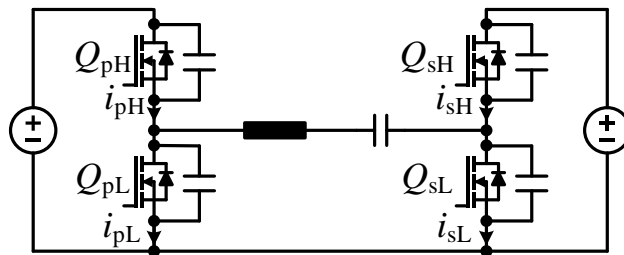


그림 3-28 SR-DAHB 컨버터내 스위치 전류

본 논문에서 이용되는 스위치 [163]은 섭동 출력 커패시턴스 $C_{oss}(800V) = 220\text{ pF}$, 에너지-등가 출력 커패시턴스 $C_{oss,ER}(800V) = 275\text{ pF}$ 은 명시 되어 있지만, 시간-등가 출력 커패시턴스가 명시 되어 있지 않다. 또, 테스트 전압도 본 논문의 공칭 전압인 $600V$ 보다 $200V$ 가 높다. 따라서, 설계에 앞서서 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 을 사전 평가 하는 것이 필요하다.

본 논문에서는 스위치([163])의 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 를 부록 7.2와 같이 실험을 통한 계측으로 사전 평가하였다. 실험으로 계측된 시간-등가 출력 커패시턴스 $C_{oss,TR} = 510\text{ pF}$ 는 후술할 ZVS 분석을 위한 스위치 출력 커패시턴스로 활용한다.

3.2.7.1 설계에 이용될 ZVS에 필요한 최소 전류 크기의 선정

실제적인 ZVS 달성여부의 판단은 1. 브릿지의 극에서 바라보이는 공통-모드 등가 전압 V_{com} (보통 반대편 브릿지 극 전압), 2. 공진 인덕터 L_r , 3. 스위치 출력 커패시터 C_{oss} 등의 데드타임 구간동안 ZVS 달성에 관여하는 요소들로 미분방정식을 세우고, 미분방정식의 해를 도출함으로써 판단할 수 있다. 직렬-LC 구조를 갖는 하프-브릿지의 ZVS 달성에 필요한 최소 스위칭-전류 크기 분석은 직렬 인덕터만을 갖는 하프-브릿지를 분석한 문헌[171]과 동일한 방식으로 분석 될 수 있다. 본 분석에서의 스위치의 출력 커패시턴스의 크기는 부록 7.2에서의 계측을 통해 도출한 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 을 활용하고 선형 소자로 가정한다.

그림 3-29는 1차측 브릿지에서 아랫상이 턴-오프 되고, 윗상이 턴-온 되기 전 데드타임 구간 동안의 등가모델을 보여준다. 그림 3-29의 등가회로를 간략

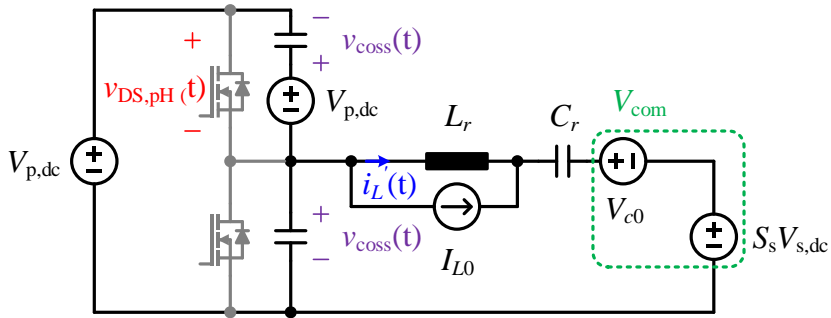


그림 3-29 1차측 브릿지에서 아랫상이 꺼지고 윗상이 켜지기 전 데드타임 구간 동안의 회로 모델

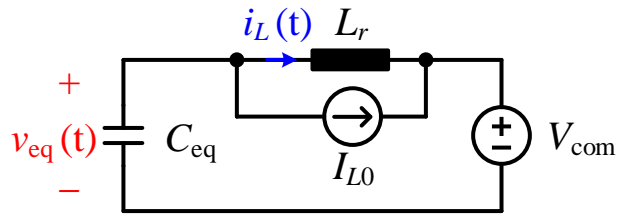


그림 3-30 브릿지의 극에서 바라본 데드타임 구간 동안의 등가 회로 모델

하게 표현하여, 브릿지의 극에서 바라본 등가모델로 다시 나타내면 그림 3-30과 같이 나타낼 수 있다. 그림 3-30에서 공통-모드 등가 전압 V_{com} 은 반대편 브릿지의 극 전압과 공진 커패시터 C_r 의 초기전압 V_{c0} 의 합과 같으며 (3.46)과 같이 표현된다.

$$V_{com} = S_s V_{dc,s} + V_{c0} \quad (3.46)$$

여기서 S_s 는 2차측(반대편) 브릿지의 스위치의 턴-온/오프 여부를 나타낸다. 스위치의 출력 커패시터의 전압 $v_{coss}(t)$ 을 분석하기 위하여 그림 3-30의 등가 회로의 미분 방정식을 세우면 (3.47)과 같이 표현될 수 있다.

$$v_{\text{eq}}(t) + \frac{1}{\omega_{\text{res}}^2} \frac{d^2 v_{\text{eq}}(t)}{dt^2} - V_{\text{com}} = 0$$

이때,

$$\omega_{\text{r,ZVS}} = \frac{1}{\sqrt{L_r C_{\text{eq}}}}, \quad C_{\text{eq}} = \frac{2C_{\text{oss,TR}} C_r}{2C_{\text{oss,TR}} + C_r} \quad (3.47)$$

여기서 $v_{\text{eq}}(t)$ 는 인덕터와 공진하는 등가 커패시터 C_{eq} 의 전압크기를 나타낸 것으로 그 전압 크기는 $v_c(t) + v_{\text{coss}}(t)$ 와 같다. 이때 직렬 공진 커패시터 C_r 의 크기(최소 수십 nF 이상)는 스위치의 출력 커패시터의 $C_{\text{oss,TR}}$ (수백 pF)에 비하여 충분히 크므로 (3.48)과 같이 $v_{\text{eq}}(t)$ 전압은 $v_{\text{coss}}(t)$ 전압과 같다고 가정할 수 있다. 따라서, 1차측 윗상 스위치의 양단 전압 $v_{\text{DS,pH}}$ 는 (3.48)과 같이 근사할 수 있다.

$$\begin{aligned} v_{\text{DS,pH}}(t) &= V_{\text{dc,p}} - v_{\text{coss}}(t) \\ &= V_{\text{dc,p}} - \frac{C_r}{2C_{\text{oss,TR}} + C_r} v_{\text{eq}}(t) \\ &\approx V_{\text{dc,p}} - v_{\text{eq}}(t) \end{aligned} \quad (3.48)$$

이때, 직렬-LC 구조를 갖는 하프-브릿지의 ZVS 달성에 필요한 최소 스위칭-전류 분석은 (3.49), (3.50)과 같이 구할 수 있다. 이는, 공진 커패시터 없이, 직렬 인덕터만을 갖는 하프-브릿지 분석 [171]과 동일한 결과 이다.

$$v_{\text{DS,pH}}(t) = V_{\text{dc,p}} - V_{\text{com}} - \sqrt{(I_{L0} Z_{\text{zvs}})^2 + V_{\text{com}}^2} \sin\left(\omega_{\text{zvs}} t + \text{atan}\left(\frac{V_{\text{com}}}{I_{L0} Z_{\text{zvs}}}\right)\right)$$

이때,

$$Z_{\text{zvs}} = \sqrt{\frac{L_r}{2C_{\text{eq}}}} \approx \sqrt{\frac{L_r}{2C_{\text{oss,TR}}}} \quad (3.49)$$

$$i_L'(t) = \frac{V_{com}}{Z_{zvs}} \sin(\omega_{zvs}t) - I_{L0} \cos(\omega_{zvs}t) - I_{L0} \quad (3.50)$$

(3.50)을 기반으로 ZVS 달성을 만족하는 스위칭 시 필요한 인덕터 초기전류 I_{L0} 는 (3.51)과 같이 도출 될 수 있다[171].

$$I_{L0} = \begin{cases} 0 & V_{com} > \frac{1}{2}V_{dc,p} \\ -\sqrt{\frac{V_{dc,p}(V_{dc,p} - 2V_{com})}{Z_{zvs}^2}} & V_{com} < \frac{1}{2}V_{dc,p} \end{cases} \quad (3.51)$$

한편 (3.51)을 통한 최소 ZVS 스위칭-전류 조건은 동작 지점마다의 최적의 스위칭 순간이 존재하며, 이를 고려한 데드타임의 실시간 수정이 필요하다는 한계점이 존재한다. 그림 3-31은 (3.51)로 결정된 스위치 턴-오프 전류로 스위

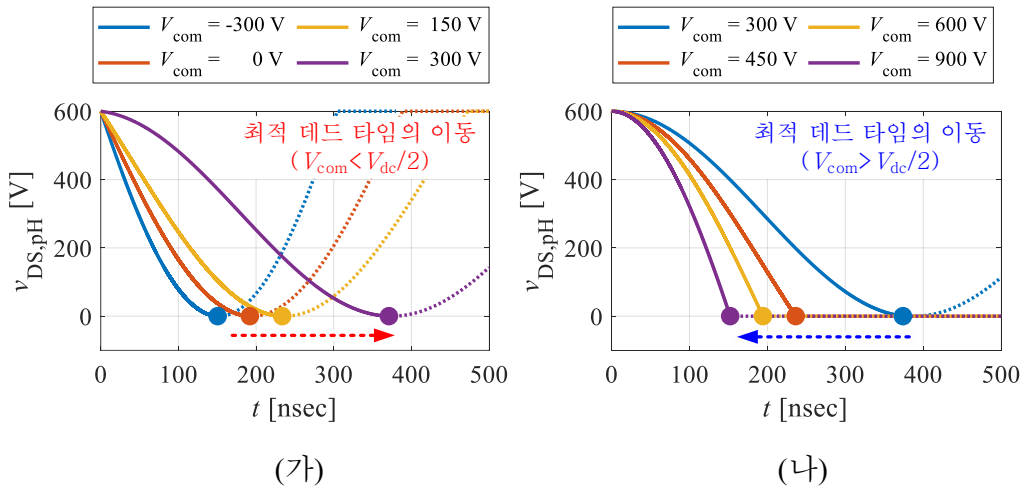


그림 3-31 ZVS가 달성가능한 스위칭 전류 I_{L0} 로 스위칭 했을 때 v_{coss} 의 변화와 최적의 데드타임 시간 $T_{D,opt}$ 의 이동 ($L_r = 15 \mu\text{H}$, $C_{oss} = 510 \text{ pF}$)

(가) $V_{com} < \frac{1}{2}V_{dc,p}$ 일 때 (나) $V_{com} > \frac{1}{2}V_{dc,p}$ 일 때

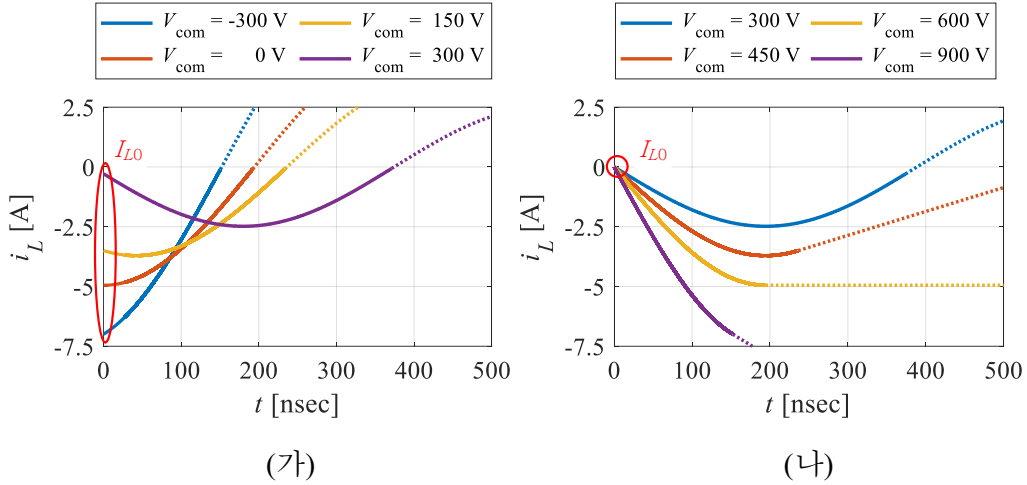


그림 3-32 ZVS가 달성가능한 스위칭 전류 I_{LO} 로 스위칭 했을 때 i_L 의 변화

(가) $V_{com} < \frac{1}{2}V_{dc,p}$ 일 때 (나) $V_{com} > \frac{1}{2}V_{dc,p}$ 일 때

칭 할 때 윗상 스위치의 DS 전압 $v_{DS,pH}$ 의 전압변화를 보여주며 그림 3-32는 이때의 인덕터의 전류 i_L 을 보여준다.

그림 3-31(가)를 보면, $v_{DS,pH}$ 전압이 0전압에 도달하였다가 다시 올라가는 모습을 볼 수 있다. 이는 $V_{dc,p}$ 전압에 도달하였을 때에 맞추어 윗상 게이트 신호를 인가해 주는 최적의 데드타임 시간 $T_{D,opt}$ 이 존재함을 알 수 있다. 만약 이 시점보다 빠른 시점 또는 늦은 시점에서 게이트 신호를 인가해 주게 되면 불완전한 ZVS(iZVS, insufficient ZVS)가 일어난다는 것을 알 수 있다.

한편, 실제적인 기생성분들과 제정수 오차, 게이트 신호 지연 등을 고려하였을 때, 최적 스위칭 순간 $T_{D,opt}$ 에 정확히 MOSFET을 턴-온 하는 것은 어렵다. 또, 최적의 스위칭 시간 $T_{D,opt}$ 이 V_{com} 에 대해서도 변화하는데, 직렬-LC 공진형 컨버터의 경우 L-DAB와 달리 공통-모드 등가 전압 V_{com} 은 공진 커패시터 전압에 의해 동작 상태에 따라서 연속적으로 변화하므로, 이에 따라 실시간으로

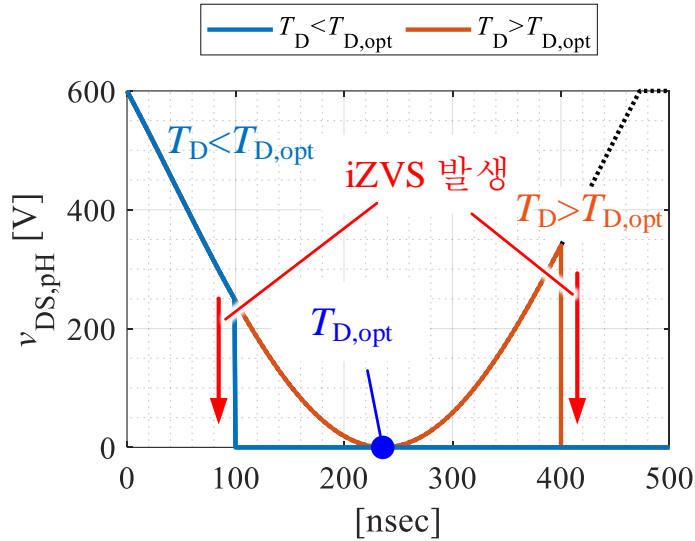


그림 3-33 실제 인가한 데드타임 T_D 이 최적의 데드타임 시간 $T_{D,opt}$ 보다 길거나 짧은 경우에 발생하는 불완전 ZVS(iZVS)의 대표적 예시

데드타임을 수정하는 것이 필요하다. 그림 3-33은 실제 인가한 데드타임 T_D 이 최적의 데드타임 시간 $T_{D,opt}$ 보다 길거나 짧은 경우에 발생하는 불완전 ZVS(iZVS)의 대표적 예시를 보여준다. 양 경우 모두 C_{oss} 방전 손실이 나타날 것을 예상할 수 있다. 이렇게 최적의 데드타임 시간 $T_{D,opt}$ 가 가변 되는 것은 데드타임 시간을 변인 요소로 두고 도출한 최소 스위칭-전류 방식 (3.51)의 한계점으로 볼 수 있다.

따라서 본 논문에서는 데드타임을 실시간으로 수정하지 않고, 불완전 ZVS 문제를 방지하기 위하여, 설정한 데드타임 시간 T_D 에 $v_{DS,pH}$ 전압이 영전압으로 떨어지도록 하는 전류크기를 최소한의 스위칭-전류로 선정한다. (3.51)의 경우

에는 (3.49)의 $V_{\text{coss}}(t)$ 에 관한 방정식을 0전압으로 떨어지는 시간의 길이에 대한 제한 조건없이 0전압 도달 가능성을 조건으로 도출하였다면, 본 논문에서는 (3.52)와 같이 설정한 데드타임 시간 T_D 에 $v_{\text{DS,pH}}$ 전압이 0전압으로 떨어지는 방정식을 품으로써 전류 초기 조건 (3.53)을 도출할 수 있다.

$$v_{\text{DS,pH}}(T_D) = V_{\text{dc,p}} - V_{\text{com}} - \sqrt{(I_{L0}Z_{\text{zvs}})^2 + V_{\text{com}}^2} \sin\left(\omega_{\text{zvs}}T_D + \text{atan}\left(\frac{V_{\text{com}}}{I_{L0}Z_{\text{zvs}}}\right)\right) = 0 \quad (3.52)$$

$$I_{L0} = -\frac{V_{\text{dc,p}} + V_{\text{com}}(\cos(\omega_{\text{zvs}}T_D) - 1)}{Z_{\text{zvs}}\sin(\omega_{\text{zvs}}T_D)} \quad (3.53)$$

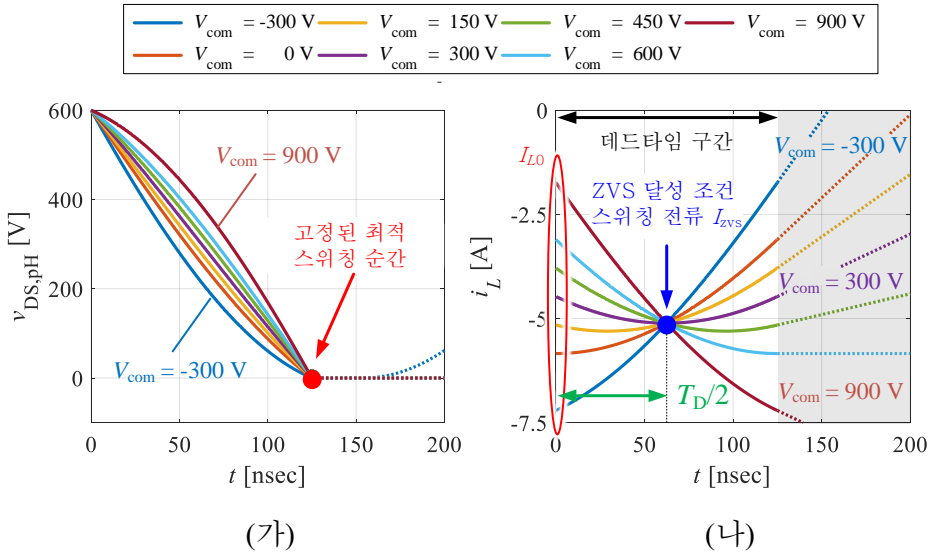


그림 3-34 고정된 데드타임 조건에서 ZVS가 실현가능한 최소한의 전류로 스위칭 했을 때 ($T_D = 125$ nsec, $L_r = 15$ μ H, $C_{\text{oss}} = 510$ pF)

(가) $v_{\text{DS,pH}}$ 의 변화 (나) i_L 의 변화

전류 초기 조건은 (3.51)의 경우에서는 공통-모드 등가 전압 V_{com} 의 함수였지만, 데드타임에 대한 제한조건을 넣게 되면 (3.53)에서 볼 수 있듯이, 공통-모드 등가 전압 V_{com} 과 데드타임 T_D 의 함수로 바뀌는 것을 알 수 있다. 그림 3-34는 그림 3-31과 같은 제정수 조건에서 (3.53)을 통하여 도출된 스위칭-전류로 스위칭 했을 때 $v_{DS,pH}$ 과 i_L 의 데드타임 구간 동안의 변화 양상을 보여준다. 이때 설정된 데드타임은 125 nsec 이다.

한편 설계단계에서 데드타임을 고려한 실제 동작 상태를 도출하는 것은 스위칭 동작 모드를 2배 이상(최소 8개) 증가시키고, 하드/소프트-스위칭 경우의 수에 따라 전압 보정을 모든 스위치에 대해서 수행해야 하는 등 매우 어렵고 설계의 복잡성을 과도하게 가중시킨다. 따라서, ZVS를 판단하는 방정식은 데드타임이 없는 상태에서 도출된 스위칭-전류와 ZVS 판단 기준으로 삼은 특정 전류 값 크기를 상대 비교함으로써 명목적으로 ZVS 여부를 판단하게 된다. 여기서 ‘명목적인 판단’의 의미는, 모의 실험 또는 데드타임 등이 고려된 복잡한 컨버터의 모드 분석을 통해 실제적인 ZVS 경계선을 파악하는 것을 생략하고, 여러가지 가정을 통해서 비교적 단순화된 형태로 ZVS 경계선을 파악하는 것을 말한다. 예를 들어 L-DAB 컨버터의 경우 (3.51)의 가장 최악의 조건인 공통-모드 등가 전압 V_{com} 을 0이라고 둔 조건으로 (3.54)를 도출하고, 이 수치를 데드타임이 고려되지 않은 전류 파형에서의 스위칭-전류와 비교하므로써 ZVS 영역을 파악한다.

$$I_{sw} = -\frac{V_{dc,x}}{Z_{ZVS}}, \quad x = p, s \quad (3.54)$$

한편, 0 전압과 V_{dc} 전압, 단 두가지 경우의 공통-모드 등가 전압 V_{com} 전압만 고려하면 되는 L-DAB 컨버터 경우와 달리, 직렬 공진형의 경우 커패시터의

초기전압으로 인한 연속적인 공통-모드 등가 전압 V_{com} 을 고려 해야 하며, 그 범위도 $0 \sim V_{dc,s}$ 가 아닌 그 이하, 이상도 고려해야 한다. 따라서 (3.54) 방식을 그대로 직렬-LC 공진형에 적용하기에는 한계가 있다고 볼 수 있다.

본 논문에서는, 설계단계에서의 분석을 위한 명목적인 ZVS 달성 조건으로 쓰일 대표 스위칭-전류 값 $I_{zvs,x}$ 를 데드타임 구간의 절반지점($T_D/2$)에서의 인덕터 전류 값으로 선정한다. 이는 (3.49)와 (3.53)을 통해 (3.55)와 같이 도출될 수 있다.

$$\begin{aligned} I_{zvs,x} &:= i_L' \left(\frac{T_D}{2} \right) + I_{L0} \\ &= - \frac{V_{dc,x}}{2Z_{zvs} \sin \left(\omega_{zvs} \frac{T_D}{2} \right)}, \quad x = p, s \end{aligned} \quad (3.55)$$

(3.55)에서 볼 수 있듯이 I_{zvs} 의 크기는 브릿지의 직류단 전압 크기 V_{dc} 와 관계가 있기 때문에, 공칭전압에서의 값으로 정규화 하여 나타내는 편이 편리하다. 이에 ‘최소 ZVS 스위칭-전류, I_{zvsb} ’는 (3.56)과 같이 계산될 수 있다

$$I_{zvsb,x} = - \frac{V_{nom,x}}{2Z_{zvs} \sin \left(\omega_{zvs} \frac{T_D}{2} \right)}, \quad x = p, s \quad (3.56)$$

위와 같은 방식으로 선정된 명목 ZVS 달성조건 (3.56)은 그림 3-34(나)에서 확인할 수 있듯이 데드타임 구간 동안에서의 시간적으로 중심 위치 스위칭-전류를 의미하기 때문에, 데드타임이 없는 이상적 스위칭과 동일한 지점을 의미한다. 따라서, 데드타임 구간동안 전류의 개형이 선형에 가깝다고 가정하면 (3.56)은 평균 전류 크기와 유사하다고 할 수 있다. 또, 공통-모드 등가 전압 V_{com} 과 관계없이 데드타임 시간 T_D 의 크기에 따라서 (3.56)의 전류 크기가 바뀌기 때문에 동작 지점의 변화에 따른 V_{com} 의 크기 고려를 최소화할 수 있다.

3.2.7.2 ZVS에 필요한 최소 전류 크기 고려에 따른 ZVS 영역 변화

MOSFET 계열의 스위치를 이용하여 브릿지 회로를 구성함에 있어서 비용을 최소화하기 위하여 스위치에 별도의 역방향 다이오드를 두지 않고, MOSFET 바디 다이오드를 그대로 이용하는 경우가 많다. 그러나 이러한 바디 다이오드의 순방향 전압 강하특성은 좋지 않은데 본 논문에서 이용하는 스위치[163]의 경우 이러한 순방향 전압 강하가 4V 이상 된다. 이는 바디 다이오드를 통해 전류가 도통 될 경우 손실이 클 것을 예상할 수 있다. 따라서 높은 스위칭 주파수로 구동 할 수록 상대적으로 커진 데드타임 구간의 비중으로 인한 도통손실 증가를 반드시 고려해야 한다. 한편 데드타임을 매우 작게 선정하는 것은 하드 스위칭 시 암-쇼트의 위험성이 존재하며, ZVS를 위해 상대적으로 높은 스위칭-전류가 필요하다. 따라서 적절한 데드타임을 선정하는 것이 필요하다. 본 논문에서는 스위칭 전체 주기에서 데드타임이 차지하는 비중을 5%이내로 제한하기 위하여 데드타임을 125 nsec로 선정하였다.

한편, 설계 제정수 또한 최소 ZVS 스위칭-전류 I_{zvsb} 에 영향을 준다. L_r 의 크기는 (3.56)의 Z_{zvs} 와 ω_{zvs} 에 영향을 주게 된다. 만약, \sin 의 내부항이 매우 작아 $\sin(\theta) \approx \theta$ 근사가 되는 경우는 (3.57)과 같이 L_r 에 의한 영향이 최소화된다.

$$I_{zvsb,x} \approx -\frac{2V_{nom,x}C_{oss}}{T_D}, \quad x = p, s \quad (3.57)$$

그러나 내부항의 크기가 커질수록 L_r 의 크기가 ZVS 영역에 영향을 줄 수 있게 된다. L_r 의 크기가 증가할수록 Z_{zvs} 은 커지는 반면, ω_{zvs} 는 작아지게 되는데 ω_{zvs} 의 영향은 \sin 함수에 의하여 반감된다. 이는 최소 ZVS 스위칭-전류

I_{zvsb} 의 크기가 작아지는 것을 함의한다. 반대로, L_r 의 크기가 작아진다면, 최소 ZVS 스위칭-전류 I_{zvsb} 의 크기가 커지게 된다. 한편 앞선 절에서 언급하였던 것 처럼, 최대 전압 위상 각 ϕ_{max} 를 고정한 상태에서, 정규-공진점 F_N 을 감소시키는 것은 L_r 의 크기를 감소시키는 것을 의미한다. 이는 다시 말해 정규-공진점 F_N 을 감소시키면 최소 ZVS 스위칭-전류 I_{zvsb} 의 크기가 증가한다는 것을 유추할 수 있다.

그림 3-35는 최대 전압 위상 각 $\phi_{max} = 26^\circ$ 설계에서 정규-공진점 F_N 에 따른 인덕턴스 값과 최소 ZVS 스위칭-전류 I_{zvsb} 의 크기를 비교도시한 그래프이다. 정규-공진점 F_N 이 감소함에 따라, 최소 ZVS 스위칭-전류 I_{zvsb} 크기가 증가하는 것을 알 수 있다.

최소 ZVS 스위칭-전류 I_{zvsb} 를 고려한 명목 ZVS 달성 조건은 스위칭 할 때

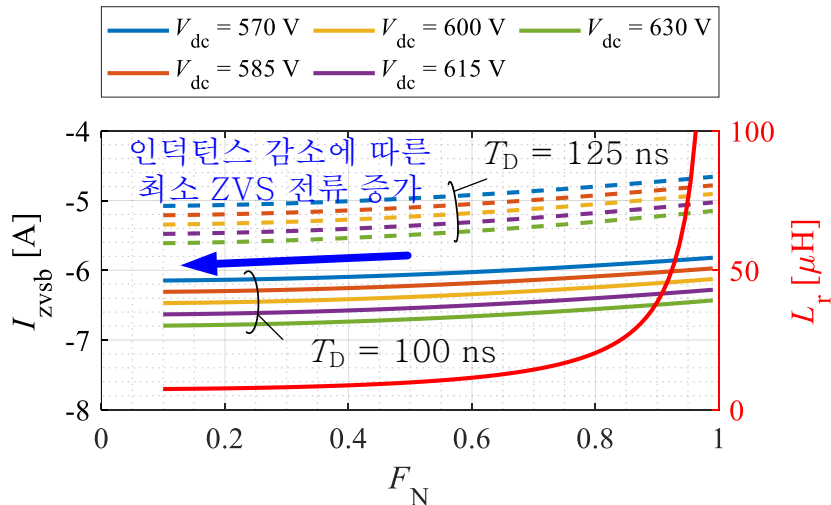


그림 3-35 $\phi_{max} = 26^\circ$ 설계에서 설계 제정수 F_N 에 따른 인덕턴스 값과 ZVS를 위한 최소 전류의 변화($C_{oss} = 510 \text{ pF}$)

의 전류크기 (3.40)과 (3.41)을 0이 아닌 (3.58)과 (3.59)와 같이 I_{zvs} 로 묶어서 계산될 수 있다.

$$I_{zvs,s} = I_{zvsb,s}V_{dc,p,pu}$$

$$= \frac{V_{dc,p}}{Z_o} \frac{-\sin\left(F_N \frac{\pi}{2}\right) \left(\sin\left(F_N \left(\phi - \frac{\pi}{2}\right)\right) + M \sin\left(F_N \frac{\pi}{2}\right) \right)}{\sin(F_N \pi)} \quad (3.58)$$

$$I_{zvs,p} = I_{zvsb,p}V_{dc,s,pu}$$

$$= \frac{V_{dc,p}}{Z_o} \frac{-\sin\left(F_N \frac{\pi}{2}\right) \left(\sin\left(F_N \frac{\pi}{2}\right) - M \sin\left(\frac{\pi}{2} - \phi\right) \right)}{\sin(F_N \pi)} \quad (3.59)$$

이에 따라 고조파를 고려한 정규화 된 출력전류에 따른 ZVS 경계조건인 (3.45)는 최소 ZVS 스위칭-전류 I_{zvsb} 를 추가로 고려하여 (3.60)과 같이 계산될 수 있다.

$$I_{o,pu} > \begin{cases} C_1 \left(\sqrt{\sec^2\left(F_N \frac{\pi}{2}\right) - M^2 \left(\tan\left(F_N \frac{\pi}{2}\right) + \frac{2I_{zvsb,s}}{C_2} \right)^2} - 1 \right) & M \leq 1 \\ C_1 \left(\sqrt{\sec^2\left(F_N \frac{\pi}{2}\right) - \frac{1}{M^2} \left(\tan\left(F_N \frac{\pi}{2}\right) + \frac{2I_{zvsb,p}}{C_2} \right)^2} - 1 \right) & M > 1 \end{cases} \quad (3.60)$$

이때,

$$C_1 = \frac{\pi(1 - F_N^2)}{4F_N^2 \sin(\phi_{\max})}, \quad C_2 = \frac{V_{dc,p}}{Z_o V_{dc,p,pu}}$$

앞선 내용을 종합하자면, 정규-공진점 F_N 의 감소는 전류의 고조파의 크기를 키우는 동시에 최소 ZVS 스위칭-전류 I_{zvsb} 의 크기도 키운다. 이는 정규-공진점 F_N 의 감소가 ZVS 달성에 도움이 되는 영향과 도움이 되지 않는 영향을 동시에 갖음을 알 수 있다.

그림 3-36은 (3.60)을 통해 도출된 최대 전압 위상 각 $\phi_{\max} = 26^\circ$ 설계에서 고조파와 최소 ZVS 스위칭-전류 I_{zvsb} 를 고려 하였을 때의 ZVS 달성 영역을 보여준다. 최소 ZVS 스위칭-전류 I_{zvsb} 를 고려하게 되면 ZVS 달성 영역이 크게 좁아지는 것을 볼 수 있으며, 정규-공진점 F_N 의 감소에 따라 ZVS 달성 영역이 확장되는 것을 볼 수 있다. 이는 정규-공진점 F_N 의 감소에 따라 L_r 이 작아지어 최소 ZVS 스위칭-전류 I_{zvsb} 의 크기가 커지는 것 보다, 고조파에 의해 스위칭-전류크기가 커지는 영향이 더 크다고 해석할 수 있다. 따라서, 명목 ZVS 영역이 결과적으로 확장되었다고 해석할 수 있다.

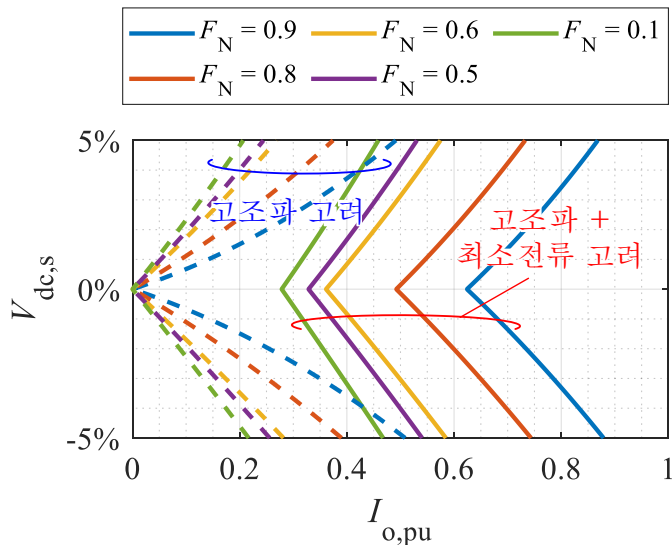


그림 3-36 최대 전압 위상 각 $\phi_{\max} = 26^\circ$ 설계에서 고조파와 ZVS 스위칭-전류 I_{zvsb} 를 고려 하였을 때 정규-공진점 F_N 의 변화에 따른 ZVS 영역의 변화

3.2.8 반복 설계와 모의 실험을 통한 설계 제정수 검증 및 조정

고조파 전류와 최소 ZVS 스위칭-전류 I_{zvsb} 의 고려는 반복 설계를 함으로써 설계에 반영한다. 그림 3-37은 반복 설계의 과정을 보여준다. 기본과 동작 특성 분석 (3.30)을 통해 초기 최대 전압 위상 각 ϕ_{\max}^0 를 선정한다. 그 다음으로는 최대 전압 위상 각 ϕ_{\max} 를 고정하고, (3.35)를 통해 정규-공진점 F_N 에 따른

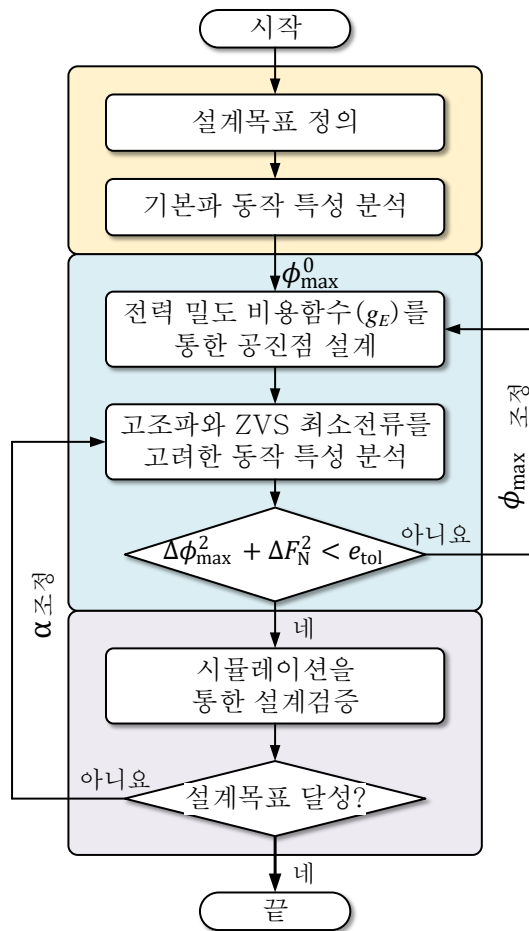


그림 3-37 최종적인 설계 제정수 확정을 위한 반복 설계 과정

전력밀도 비용함수 g_E 를 평가한다. 이렇게 평가된 비용 함수 g_E 가 최소화되는 정규-공진점 F_N 을 구한다. 이후 도출된 최대 전압 위상 각 ϕ_{\max} 와 정규-공진점 F_N 을 이용하여 고조파와 최소 전류를 고려한 동작 특성을 (3.60)을 통하여 분석한다. 설계 목표 ZVS 영역보다 현재 도출된 명목 ZVS 영역이 좁다면 최대 전압 위상 각 ϕ_{\max} 를 좀더 큰 수치로 조정하고, 넓다면 작은 수치로 조정하면 된다.

이렇게 조정된 최대 전압 위상 각 ϕ_{\max} 는 반복 설계에 돌입하여, 다시 전력 밀도 비용함수 g_E 를 통해 정규-공진점 F_N 을 조정하는 절차로 이어진다. 위와 같은 반복 설계를 통해 설계 제정수들이 조금씩 조정되는데, 설계 제정수의 조정 범위 폭이 설계 제정수 확정 조건 e_{tol} 안으로 들어오게 되면 최종적으로

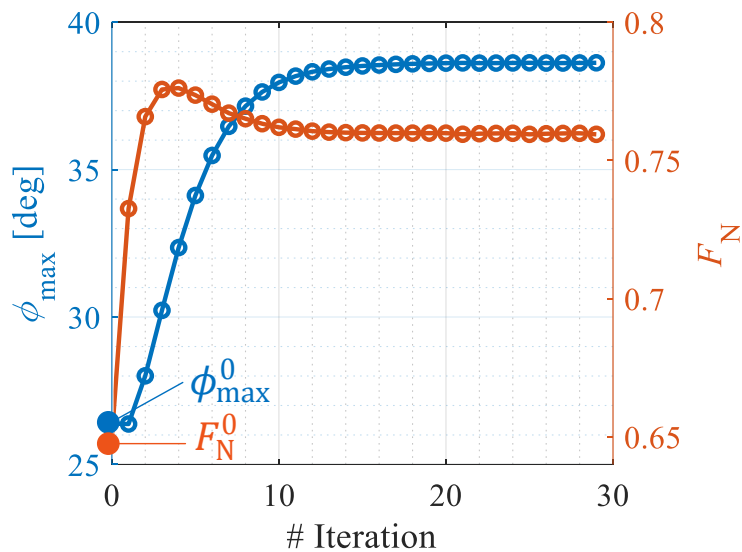


그림 3-38 설계의 반복횟수에 따른 전압 위상 각 ϕ_{\max} 와 정규-공진점 F_N 의 조정과정

변수를 확정하게 된다.

그림 3-38은 그림 3-37과 같은 반복적인 설계 과정을 통해 전압 위상 각 ϕ_{max} 와 정규-공진점 F_N 이 조정되어 최종적으로 수렴하는 모습을 보여준다. 수렴된 설계 제정수는 후술하는 모의 실험을 통해 검증되게 된다.

3.2.8.1 설계 검증을 위한 모의 실험 구성

반복 설계를 통해 수렴된 설계 값은 최종적으로 모의 실험을 통해 검증되게 된다. 그림 3-39(가)는 설계 검증 위하여 제작된 PLECS 모의 실험 모델에서 브릿지 회로 구성을 보여주며 그림 3-39(나)는 실제적인 ZVS 달성 여부를 판단하기 위한 로직 구성을 보여준다. 브릿지 회로 구성에서는 스위치와 병렬로

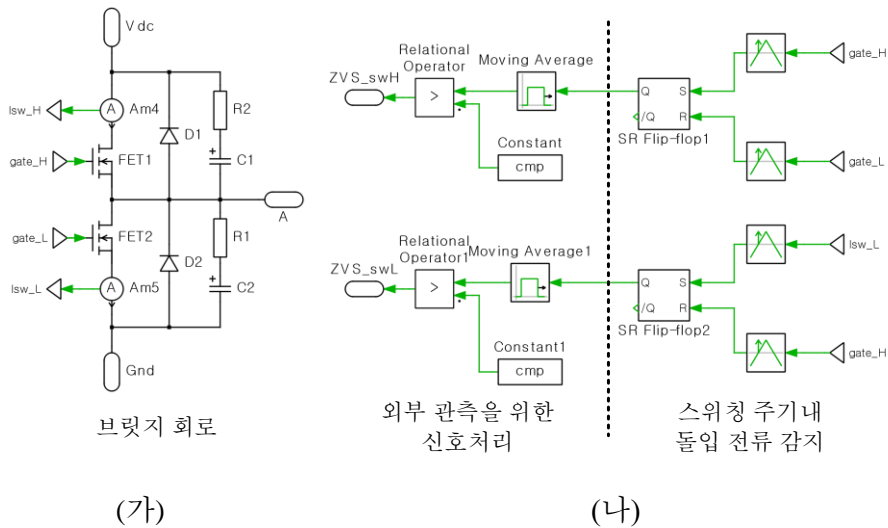


그림 3-39 설계 검증을 위한 모의 실험 구성

(가) 브릿지 회로 구성과 (나) ZVS 달성 여부를 판정하기 위한 로직 회로

시간 증가 커패시터를 두었고, 커패시터의 단락에 의한 모의 실험 에러를 피하기 위해 아주 작은 크기의 저항을 직렬로 두었다. ZVS 달성 여부의 판단은 매우 큰 돌입 전류가 스위치를 통해 흐르는 순간을 포착함으로써 이루어지며, SR flip-flop을 통해 포착된 신호를 스위칭 주기동안 유지시킨다. 이러한 방법을 통하게 되면 데드타임이 상대적으로 길어서 전압이 다시 상승하는 Voltage-sag 문제여부도 감지할 수 있다.

데드타임으로 인한 전압 왜곡 또한 보정 되어 제어 변수에 선 반영되어야 한다. 본 논문에서 설정한 데드타임의 길이(125 nsec)는 2.5%씩 두번으로 한 주기에 총 5%인 반면, 1차측 2차측 전압 위상차의 범위는 30~45° 수준으로 한 주기의 10% 내외 수준이다. 한편, 스위칭 조건에 따라서 그림 3-40과 같이 실

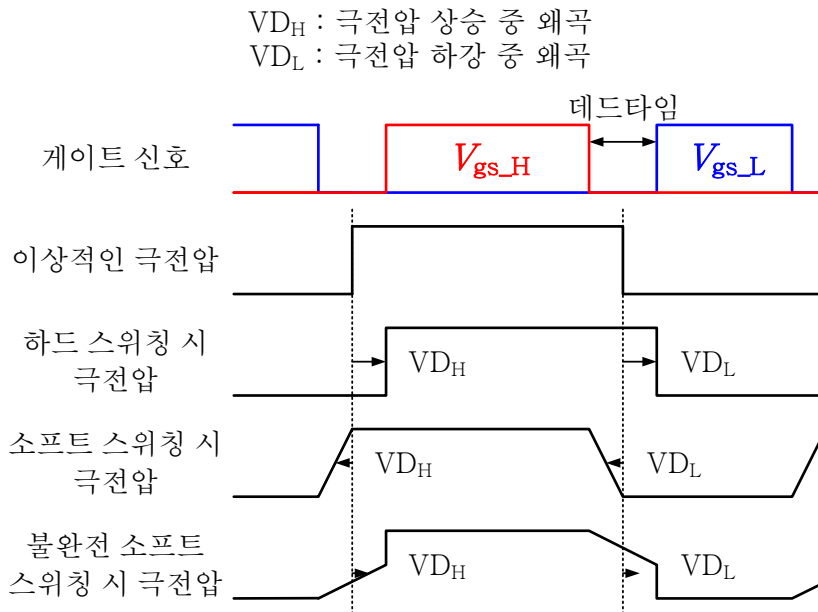


그림 3-40 데드타임으로 인한 극 전압 왜곡

제로 출력되는 극 전압이 차이를 보이게 된다. 하드 스위칭 또는 불완전한 ZVS 조건이 되면 극전압의 기본파 위상을 지연 시키는 효과를 가져오며, 소프트-스위칭이 되면 극전압의 기본파 위상을 앞서게 하는 효과를 가져온다. 이러한 전압 위상의 왜곡은 실제 전류와 전력에 오차를 발생시키게 된다. 따라서, 원하는 극전압을 출력하기 위해서는 스위치마다의 하드/소프트-스위칭 조건을 미리 평가하여 이에 따라 위상을 보정하므로써 실제 게이트 신호에 선 반영시키는 것이 필요하다. 본 논문에서는 모의 실험과 실험에서 부록 7.3 과 같은 데드타임 보상 방법을 사용하였다.

3.2.8.2 모의 실험을 통한 설계 검증과 설계 오차 보정 방안

모의 실험을 통한 설계 검증은 그림 3-41(가)와 같이 바둑판형태의 지령을

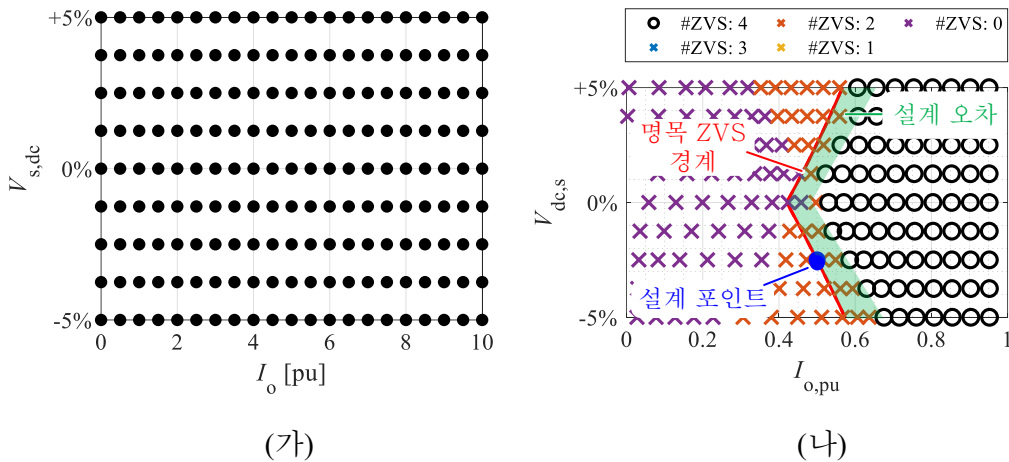


그림 3-41 모의 실험을 통한 설계 검증1

(가) 하달된 전류 지령 (나) ZVS 달성 여부 평가 결과

생성하고, 각 지령 마다 개 루프 제어 모의 실험을 수행함으로써, 설계 목표 달성을 검증하고, 명목 ZVS 경계선과 모의 실험을 통해 얻은 실질 ZVS 경계선의 차이를 비교한다.

그림 3-41(나)는 모의 실험을 통해 실질적인 ZVS 달성 여부를 평가한 그림이다. ‘O’ 표시는 모든 스위치의 ZVS 달성을 의미하며, ‘X’는 일부 스위치가 ZVS 달성되지 못했다는 것을 의미하며 색깔별로 ZVS 달성된 스위치의 개수 표현하였다. 모의 실험에서 컨버터는 개 루프로 제어되기 때문에, 지령 출력 전류와 실제 출력되는 전류 사이에는 오차가 존재하며, 이는 그림 3-41(가)의 격자점과 동일한 위치에 그림 3-41(나)의 ‘O’ 또는 ‘X’ 표시가 표시되지 않는 것을 통해 확인할 수 있다.

그림 3-42에는 여러 ZVS 판정 모델에 따른 명목 ZVS 경계선과 모의 실험

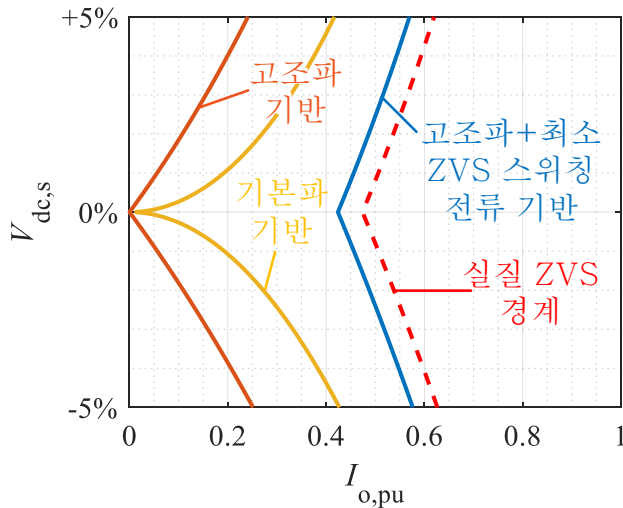


그림 3-42 ZVS 판정 모델에 따른 명목 ZVS 경계선과 모의 실험을 통해 얻은 실질 ZVS 경계선의 차이

을 통해 얻은 실질 ZVS 경계선의 차이를 보여준다. 기본파만 고려한 경우와 고조파를 모두 고려한 모델에 비해서, 최소 전류까지 고려된 모델이 실질 ZVS 경계선의 개형에 가장 유사한 수준으로 ZVS 경계선을 예측하여 준다. 그럼에도 정확한 ZVS 경계선 예측에 오차가 존재하기 때문에 이는 목표하는 동작 특성에 오차를 가져오게 된다. 이러한 ZVS 경계선 예측 오차의 요인은 명목 ZVS 경계선 예측과정에서 과도한 복잡성과 수치 해석적 과정을 최소화하고 분석적 해 기반으로 도출하기 위하여 취하였던 여러 가정들로 인한 것으로 볼 수 있다. 즉, 설계 복잡도 저감 이점을 얻는 대신, 설계 정확도를 희생한 결과라고 볼 수 있다.

설계에서 명목 ZVS 경계선 예측의 절차는 크게 2단계로 요약할 수 있다. 먼저 일반적인 브릿지 회로에서 데드타임 구간 동안의 C_{oss} 와 L_r 의 공진 전류 개형을 도출하고 이를 기반으로, ZVS에 달성에 필요한 최소 ZVS 스위칭-전류 I_{zvsb} 을 선정한다. 그 다음 데드타임이 없는 이상적인 스위칭 전압과 공진 전류의 정상상태의 분석해를 기준으로 스위칭 순간의 전류 값과 최소 ZVS 스위칭-전류 I_{zvsb} 의 대소 여부를 통해 ZVS 경계선을 예측하게 된다. 이러한 절차 과정에서는, (1) 데드타임의 존재로 인한 전압 왜곡을 무시하였으며, (2) 최소 ZVS 스위칭-전류 I_{zvsb} 과 대소 비교를 통한 ZVS 판정의 단순화하는 가정을 하였다고 볼 수 있다. 모의 실험 상에서 부록 7.3과 같은 데드타임 보상 과정을 통해 극 전압 위상 보정을 일부 수행하지만 보정 과정에서 공진 전류를 정전류원으로 가정하였다는 한계가 있다.

상기 한계점들로 데드타임이 고려되었을 때, 명목 ZVS 경계선과 모의 실험을 통해 얻어진 실질 ZVS 경계선사이에 오차가 발생하게 된다. 따라서 본 논

문에서는 설계 예측치와 모의 실험을 통해 얻어진 결과의 차이를 보정하기 위하여 최소 ZVS 스위칭-전류 I_{zvsb} 에 보정 계수 α 를 도입한다. 이에 (3.55)는 (3.61)과 같이 변형되며, 보정된 최소 ZVS 스위칭-전류는 $I_{zvsb,x}^\alpha$ 로 나타낸다.

$$I_{zvsb,x}^\alpha = -\frac{V_{nom,x}}{2Z_{zvs}\sin\left(\omega_{zvs}\frac{T_D}{2}\right)} \cdot \alpha, \quad x = p, s \quad (3.61)$$

보정계수 α 가 1보다 클수록 스위칭 전류가 증가하며, 이에 따라 명목 ZVS 경계선이 확장되는 효과가 나타나게 된다. 이는 모의 실험을 통해 얻게 될 실질 ZVS 경계선 또한 확장시키는 효과를 유도한다.

그림 3-43(가)는 보정계수 α 의 증가에 따라서 명목 ZVS 경계선이 확장되는 모습을 보여준다. 그림 3-43(나)는 이때의 최대 전압 위상 각 ϕ_{max} 과 정규-공

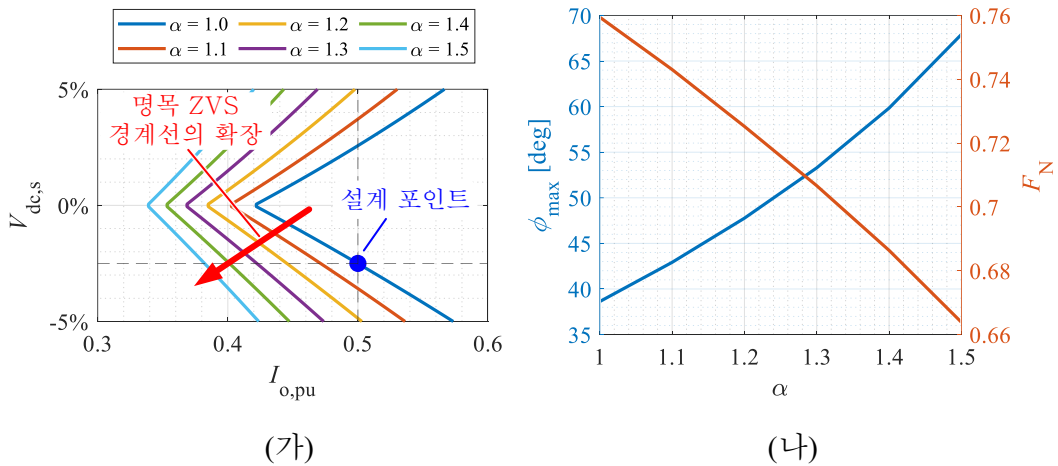
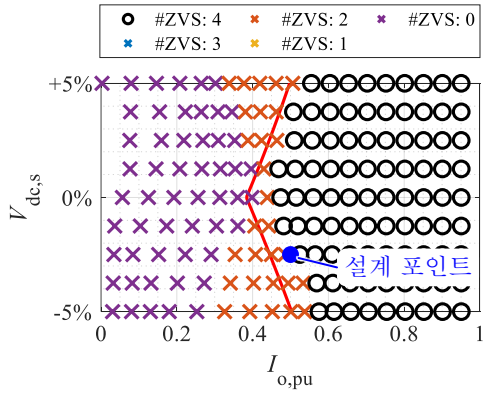


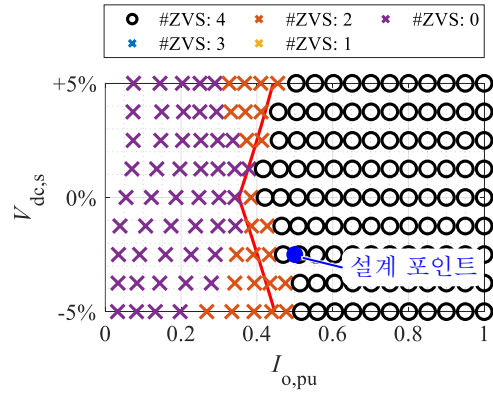
그림 3-43 보정계수 α 에 따른

(가) 명목 ZVS 경계선의 변화와

(나) 최대 전압 위상 각 ϕ_{max} 과 정규-공진점 F_N 의 조정



(가)



(나)

그림 3-44 모의 실험을 통한 설계 검증2

(가) 보정계수 $\alpha = 1.2$ 일 때 (나) 보정계수 $\alpha = 1.4$ 일 때

진점 F_N 의 조정 추이를 보여준다. ZVS 영역을 확장하기 위하여 최대 전압 위상 각 ϕ_{\max} 이 증가하고, 정규-공진점 F_N 이 감소하는 것을 확인할 수 있다. 이렇게 조정된 설계 제정수들은 다시 모의 실험으로 구성되어 평가되게 된다.

그림 3-44는 보정계수 α 를 변화시키어 조정된 설계 값으로 모의 실험을 통해 ZVS 달성 여부를 평가한 그림이다. 그림 3-44(가)와 (나)는 각각 보정계수 $\alpha = 1.2$, $\alpha = 1.4$ 일 때 모의 실험을 통한 설계 검증을 보여준다. 본 논문에서는 모의 실험을 통한 검증과 반복 설계를 통해 보정계수 α 를 1.2로 선정하였으며, 이에 따른 최종 설계 제정수는 표 3-5와 같다.

표 3-5 설계 제정수의 최적 설계 값

설계 제정수	최적 설계 값	단위
ϕ_{\max}	47.7	[deg]
F_N	0.72	
L_r	15.1	[μH]
C_r	79.7	[nF]

최적화된 설계 값에 따른 동작 특성은 그림 3-45와 같다. ZVS 경계선과 동작 지점에 따른 인덕터 전류의 실패 크기가 도시되어 있다. 설계 포인트인 드롭 곡선상의 정방향 50% 부하(빨간색 점)에서 ZVS 경계를 가로지르는 모습을 볼 수 있다. 그림 3-46(가)와 (나)는 각각 1차측 전압 $V_{dc,p}$ 가 공칭 전압 +5%일

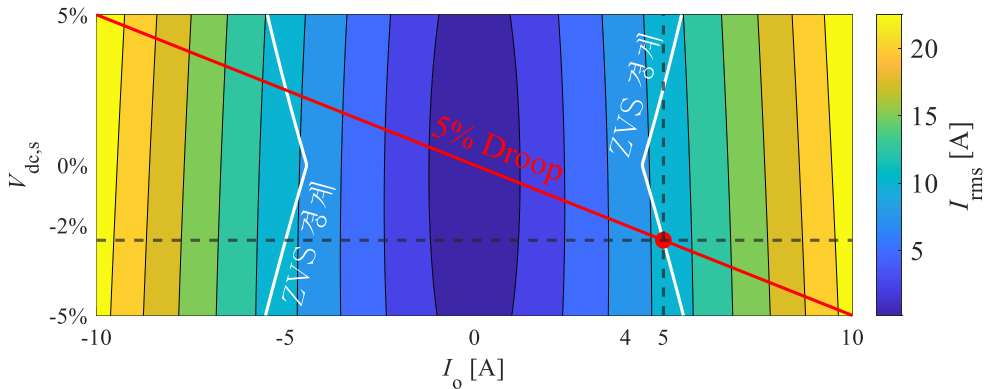
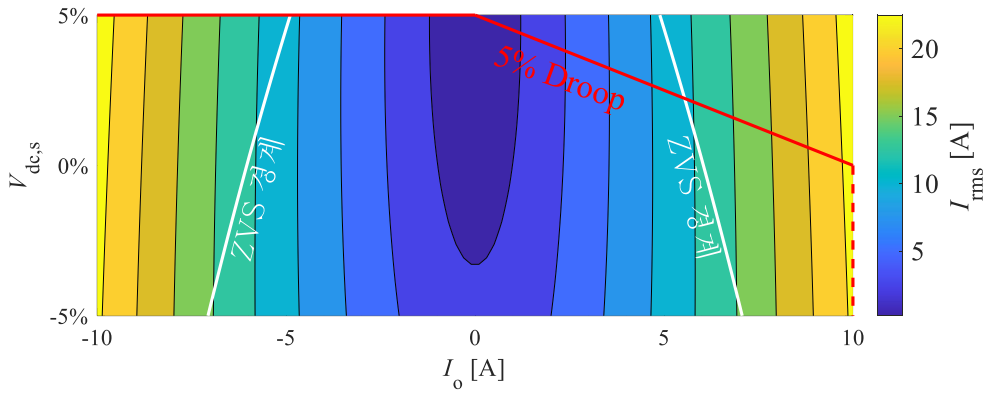
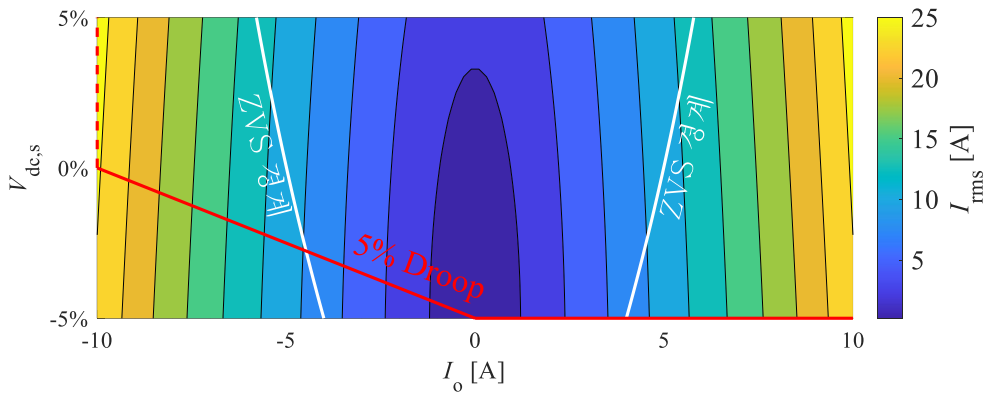


그림 3-45 최적 설계 결과: 1차측 전압 $V_{dc,p}$ 가 공칭 전압일 때 동작 특성



(가)



(나)

그림 3-46 최적 설계 결과: 1차측 전압 $V_{dc,p}$ 가

(가) 공칭 전압 +5% 일 때의 동작 특성

(나) 공칭 전압 -5% 일 때의 동작 특성

때와 -5%일 때의 ZVS 경계선과 동작 지점에 따른 인덕터 전류의 실효 크기가 도시 되어 있으며, 동작 지점인 드롭 곡선(빨간색 선)과 함께 도시 되어있다.

제 4 장 SR-DAHB 컨버터의 시간영역 해석과

경부하 효율 개선 방안

고주파수 스위칭 컨버터에서는 영전압-스위칭(ZVS)이 달성되도록 하는 것이 중요하다. 한편 변압기가 없는(또는 절연형이지만 자화 인덕턴스가 충분히 크게 설계된) SR-DAHB 컨버터에서는 변압기의 자화 전류의 부재로 경부하에서 영전압-스위칭이 달성되도록 하는 것이 좀더 까다롭다. 따라서, SR-DAHB 컨버터의 자유도(시비율, 위상)들을 최대한 활용하여 영전압-스위칭이 만족되는 최소 부하율을 낮추는 것이 중요하다. 이에 본 장에서는 변압기가 없는 SR-DAHB 컨버터의 스위칭 손실을 저감하여 경부하 효율 개선 방안에 관하여 연구한다.

4.1절에서는 SR-DAHB 컨버터에서 스위칭 손실이 컨버터 효율에 미치는 영향에 대해서 알아보고, 하프-브릿지 컨버터에 존재하는 짝수 고조파가 영전압-스위칭 특성에 미치는 요인에 대하여 살펴본다.

4.2절에서는 SR-DAHB 컨버터의 시간영역 해석을 진행한다. 이를 통해, SR-DAHB 컨버터의 제어 자유도(시비율, 위상, 주파수)에 대한 정상상태에서의 상태 변수(인덕터 전류, 커패시터 전압, 평균 전력 등)들의 단힌 해를 도출한다.

4.3절에서는 기존의 연구에서 보다 더 넓은 영역에서 모든 스위치들이 ZVS가 되도록 하는 제어 방식에 대하여 제안한다. 4.2절의 시간영역 해석을 기반으로 특정 스위치들의 스위칭-전류를 특정 값으로 의도적으로 성형하는 제어 기법을 제안하고, 이러한 제어 방식이 기존의 제어 방식과 비교하여 효과적인 부하 영역에 대하여 논한다.

4.4절에서는 경부하 개선을 위하여 컨버터를 일정주기로 켜다 켜다 하는 펄스 밀도 변조 방식 (이하 PDM, Pulse density modulation)을 SR-DAHB 컨버터에 적용하는 방안에 대하여 살펴본다. 경부하에서도 고효율을 얻기 위한 SR-DAHB 컨버터의 전류지령 생성방안에 대하여 살펴보고, 컨버터를 켜는 과도 상태에서 발생하는 전류의 링잉을 저감하는 방안에 대하여 살펴본다.

4.1 연구 배경

스위치의 스위칭 손실은 V-I overlap 성분과 스위치의 출력 커패시터 C_{oss} 의 에너지 충/방전 성분 크게 2가지로 나뉜다. V-I overlap 성분은 스위칭-전류의 크기와 유관하므로, 본 절에서는 스위치의 출력 커패시터 C_{oss} 의 에너지 충/방전 손실로 인한 효율 감소의 영향만 간략히 살펴본다.

그림 4-1은 윗상 하드 스위칭 시 스위치의 출력 커패시터 C_{oss} 의 에너지 충/방전으로 인한 도통 손실을 보여준다. 윗상 하드 스위칭 시, 윗상의 출력 커패시터 C_{oss} 에 충전되어 있던 에너지 E_{oss} 는 단락이 되면서 손실로 나타난다. 이와 동시에 아랫상의 출력 커패시터 C_{oss} 는 V_{dc} 만큼 충전되게 되는데, 이때 충전되면서 흐르는 전류가 윗상 스위치를 통해 흐르게 되며 추가 손실을 발생시키게 된다. 결과적으로 한 개의 스위치가 하드 스위칭 시 총 $2E_{oss}$ 크기만큼의 에너지를 손실하게 된다. 이를 수식으로 나타내면 (4.1)과 같다.

$$P_{Coss} = F_{sw} C_{oss} V_{dc,x}^2 \quad (4.1)$$

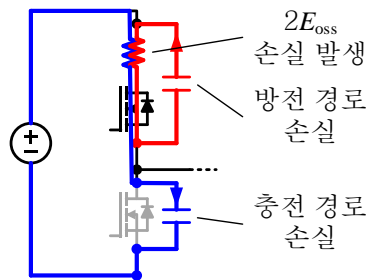


그림 4-1 윗상 하드 스위칭 시 스위치의 출력 커패시터 C_{oss} 에 저장되어 있는 에너지의 하드 스위칭 시 손실 경로

본 논문에서 사용한 스위치의 경우 $C_{oss,TR} = 510 \text{ pF}$ 을 갖으며 공칭 전압인 600 V 에서 200 kHz 동작 시 한 개의 스위치가 하드 스위칭이 되는 경우 (4.1) 을 통해 그 손실은 약 37 W 로 계산할 수 있다. 이러한 손실은 전체 시스템의 효율을 크게 떨어뜨리게 되는데, 그림 4-2는 한 개의 스위치가 하드 스위칭 시 본 논문에서 설계하는 컨버터의 효율에 미치는 영향을 출력 전력과 직류단 전압에 따라 보여준다. 50% 부하에서 단 한개의 스위치가 하드 스위칭이 되어도 효율의 감소가 약 1%이며, 20% 부하에서는 약 4% 감소함을 알 수 있다. 실제로 SR-DAHB 컨버터에서는 스위치가 총 4개가 있으므로 경부하 영역에서 하드 스위칭 손실에 의한 효율 감소가 매우 클 것을 알 수 있다.

한편 DAHB 컨버터는 각 브릿지의 시비율 변조, 브릿지 전압의 위상 차 조

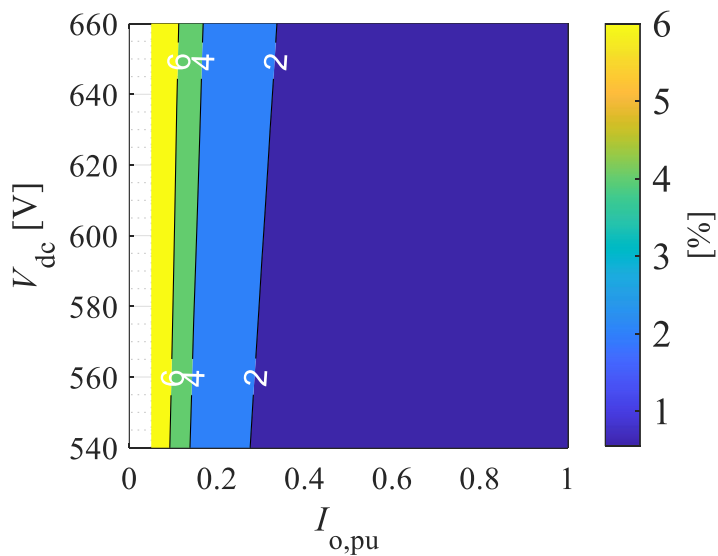


그림 4-2 한 개 스위치 하드 스위칭 시

출력 커패시터 C_{oss} 에 의한 손실이 컨버터 효율에 미치는 영향

정, 스위칭 주파수 조정 등 다자유도를 이용하여 제어할 수 있다. 이는 제어기에서 하달된 지령 전력을 출력하는 제어 변수의 조합이 무한함을 의미한다. 따라서 이러한 무한한 제어 변수의 조합 중에서 컨버터의 주요 손실들이 최소화되는 제어 변수를 택하여 제어하는 것이 필요하다. 이를 위해서는 제어 변수에 따른 정상상태에서의 전류의 개형과 실효 전류 크기, 스위칭-전류 그리고 평균 출력 전력 등을 사전에 알아 내는 것이 중요하다.

4.1.1 SR-DAHB 컨버터 기본파 해석의 한계점

컨버터의 정상상태 분석은 많은 경우 기본파로 분석된다. 기본파 해석은 컨버터의 전압과 전류의 가장 지배적인 성분인 기본파 성분만을 이용하여 분석하는 방법이다. 따라서 도출되는 수식이 비교적 간단하고, 경향성 분석이 비교적 간편하다. 한편, 시비율 변조에 따른 컨버터 분석에 있어서 2.4.1의 기본파 해석이 SR-DAB 컨버터에는 적절한 해석방법이 었던 반면, SR-DAHB 컨버터에서는 짝수 고조파의 존재로 기본파 해석의 오차가 크다는 한계점이 있다. 또, 주파수가 높은 컨버터의 경우에는 ZVS 달성을 위한 최소 스위칭-전류를 반드시 고려해야한다.

■ 짝수 고조파 전압/전류가 ZVS 달성에 미치는 영향

풀-브릿지에서 인가하는 시비율 변조 전압은 (4.2)로 나타낼 수 있으며 하프-브릿지에서 인가하는 시비율 변조 전압은 (4.3)과 같이 나타낼 수 있다.

$$v(t) = \frac{4V_{dc}}{\pi} \sum_{n=1,3,5,\dots}^{\infty} a_n \cos(n\omega_{sw}t) \quad (4.2)$$

$$v(t) = V_{dc}D + \frac{2V_{dc}}{\pi} \sum_{n=1,2,3,\dots}^{\infty} a_n \cos(n\omega_{sw}t) \quad (4.3)$$

여기서 a_n 은 푸리에 계수로 (4.4)와 같이 계산되며, 그림 4-3에는 이에 따라 계산된 시비율 D 에 따른 풀-브릿지와 하프-브릿지의 고조파 전압의 크기가 각각 나타나 있다.

$$a_n = \frac{\sin(n\pi D)}{n} \quad (4.4)$$

(4.2)에서도 확인할 수 있듯이 풀-브릿지에서 인가하는 시비율 변조 전압은 우 대칭이어서 홀수 고조파만 존재하는 반면에 하프-브릿지에서 인가하는 시비율이 변조된 전압은 기 대칭이어서 (4.3)과 같이 모든 차수의 고조파 성분이 존재한다. 하프-브릿지의 경우 시비율 변조정도가 낮을 때에는 3고조파 전압

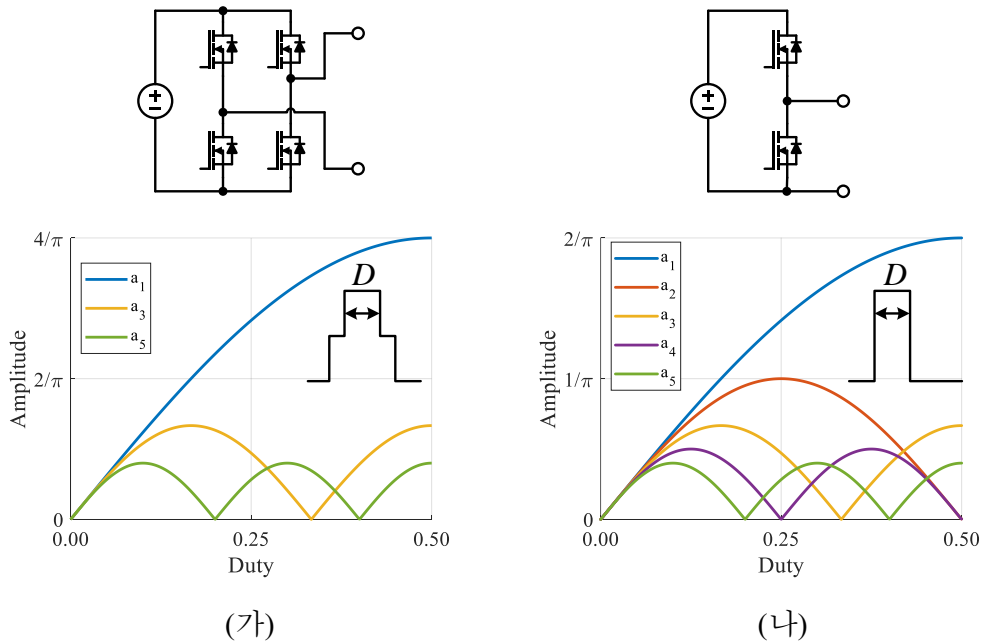


그림 4-3 시비율 D 에 따른 고조파 전압 (가) 풀-브릿지 (나) 하프-브릿지

이 가장 큰 고조파 전압 크기를 갖지만, 시비율 변조정도가 커짐에 따라 크기는 감소하는 방향으로 나아간다. 반면, 시비율 변조정도가 커질수록 짝수파 고조파 전압의 크기가 빠르게 증가하게 된다. 특히나 2고조파 전압의 경우 시비율이 약 0.42 이하가 되면 가장 큰 고조파 전압이 되며, 그 크기가 시비율이 0.25 까지 계속적으로 증가하여 기본파 전압 크기와 비슷한 정도까지 커지는 것을 알 수 있다. 이는 시비율을 변조하는 제어를 활용하는 경우, 고조파 전압 특히 2고조파 전압은 무시할 수 없는 정도의 크기임을 알 수 있다.

고조파 전압이 있다 하더라도 고조파 임피던스 크기가 크다면, 전류가 크게 유기되지 않는다. 그림 4-4는 정규-공진점 F_N 에 따라서 기본파 임피던스와 고조파 임피던스의 비율이 어떻게 변화하는지 나타낸다. 스위칭 주파수가 공진

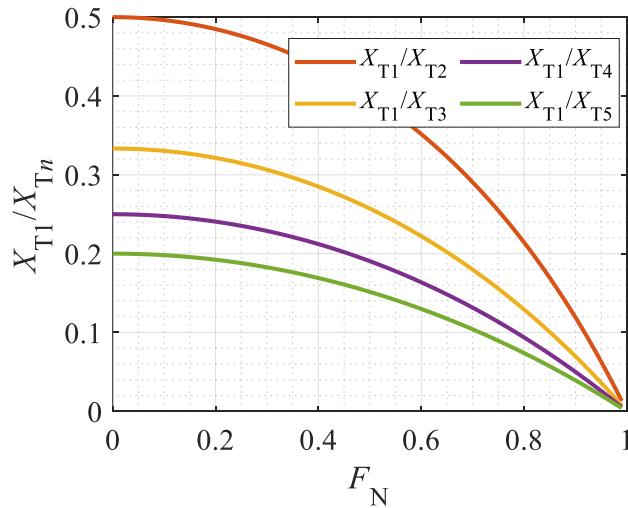


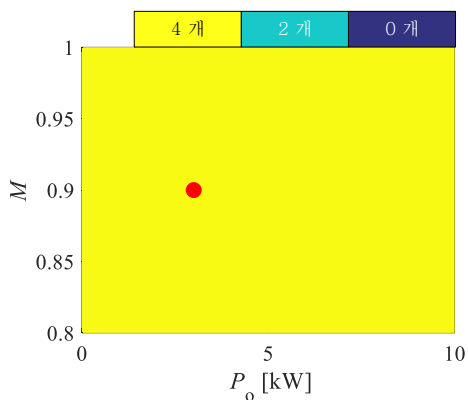
그림 4-4 정규-공진점 F_N 에 따른 기본파 주파수의 임피던스와 고조파 임피던스 사이의 비율의 변화

주파수에 가까울수록 기본파 주파수의 임피던스와 고조파 임피던스 사이의 비율이 증가한다. 즉 스위칭 주파수가 공진주파수와 가까운 경우에는 기본파 주파수 성분으로만 분석한다 하더라도 충분한 해석 결과를 얻을 수 있다. 그러나, 공진 주파수와 스위칭 주파수가 가까울 수록 기본파 임피던스의 크기가 0으로 수렴하기 때문에 위상 제어에 따른 전력 전달의 민감도가 극단적으로 커지게 된다. 이러한 경우, 구현된 컨버터의 실제적인 제어가 매우 어렵기 때문에 기본파 임피던스를 일정 크기 이상으로 설계하게 되고, 이에 정규-공진점 F_N 의 값은 0.9~0.5 사이에 많이 설계된다.

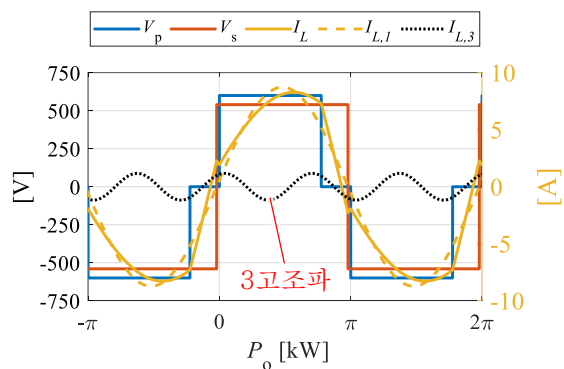
앞선 분석에서 언급하였던 것처럼 하프-브릿지에서는 시비율 변조 시 2고조파 전압이 유기되기 때문에 2고조파 성분의 전류가 유기된다. 한편 2고조파 임피던스는 3고조파 임피던스보다 그 크기가 훨씬 작다. 즉 고조파의 영향은 홀수 고조파만 존재하는 풀-브릿지 컨버터와 달리 모든 차수의 고조파가 존재하는 하프-브릿지 컨버터에서 훨씬 큰 영향을 준다는 것을 알 수 있다.

이러한 짝수 고조파 성분들은 ZVS 특성을 크게 달라지게 한다. 예를 들어 가장 일반적으로 쓰이는 MCT(MCT, minimum conduction trajectory control) 제어 방식 [145]에서는 낮은 전압 측의 시비율을 0.5로 고정한 상태에서 낮은 전압 측 구형파에 기본파 전류를 동상으로 맞추게 되는데, 이는 스위칭 순간의 기본파 전류 크기가 0임을 의미한다. SR-DAB 컨버터의 경우에는 홀수 고조파만 존재하기 때문에, 시비율이 0.5인 브릿지에서는 윗상 스위치가 턴-오프 될 때나, 아랫상 스위치가 턴-오프 될 때나, 고조파 전류가 스위치의 턴-오프 전류에 미치는 영향은 동일하다. 따라서 적절한 설계를 통해 홀수 고조파가 ZVS에 도움을 주도록 한다면 2차측 스위치의 ZVS를 쉽게 달성할 수 있다.

그림 4-5 (가)²는 $M < 1$ 동작영역(2차측의 전압이 낮기 때문에 2차측의 스위치 시비율이 0.5로 고정됨)에서 MCT 제어 하에서 SR-DAB 컨버터의 2차측 스위치의 ZVS가 실현되는 스위치의 개수(풀-브릿지이므로 최대 4개의 스위치)의 예시를 보여준다. 해당 분석에서는 편의상 턴-오프 전류의 크기가 0 이상이면 ZVS가 달성된다고 판정하였다. 홀수 고조파의 영향으로 전 영역에서 2차측 스위치의 ZVS가 실현되는 것을 볼 수 있다. 이는 그림 4-5(나)에서 보여지는 $M = 0.9$, $P_o = 3.0 \text{ kW}$ 의 제어 예시 파형에서도 확인할 수 있다. 주황색 실선은 실제 전류 파형을 나타내며 주황색 점선과 검정색 점선은 그 중 기본파 전류 성분과 3고조파 전류 성분을 나타낸다. 홀수 고조파 성분이 기본파 성분에 더



(가)



(나)

그림 4-5 $M < 1$ 동작영역에서 SR-DAB 컨버터의 MCT 제어 하에 ZVS 판정

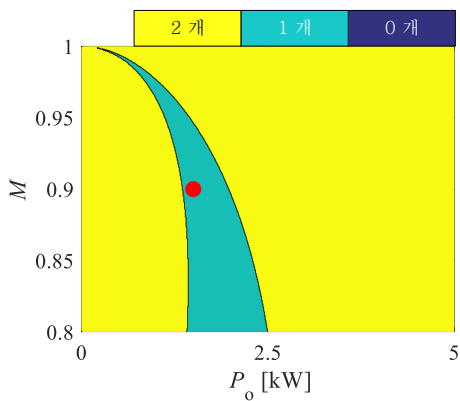
(가) 2차측 브릿지에서 ZVS 달성한 스위치 개수

(나) $M = 0.9$, $P_o = 3.0 \text{ kW}$ 동작파형(빨간색 동작 점)

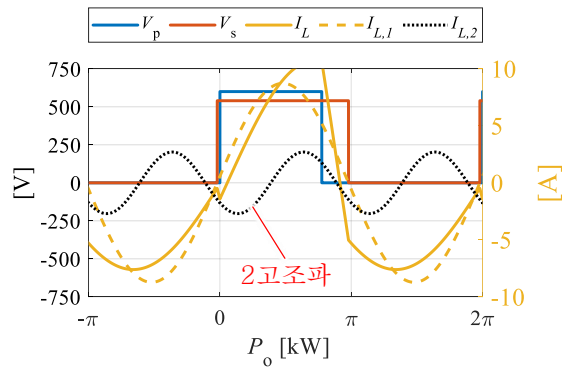
² 분석 조건: $V_{dc,p} = 600 \text{ V}$, $F_N = 0.75$, $Z_o = 40 \Omega$

해져서 2차측 브릿지의 스위치들이 ZVS가 실현되도록 스위치의 턴-오프 전류를 형성함을 확인할 수 있다.

한편 SR-DAHB 컨버터의 경우에는 1, 2차측 브릿지 중 한 개 브릿지라도 시비율이 조정되는 경우 홀수 고조파 뿐 아니라 짝수 고조파가 존재하게 된다. 이때 짝수 고조파는 홀수 고조파와 다르게, 시비율이 조정되지 않은 반대편 브릿지($D = 0.5$)의 윗상과 아랫상 스위치의 스위칭-전류에 비 대칭적인 영향을 준다. 즉 한쪽 스위치는 ZVS 달성에 유리하게 다른 한쪽 스위치에는 불리하게 영향을 주게 된다. 이는 시비율이 변조되는 브릿지에서 발생시키는 짝수 고조파 전류로 인해, 시비율이 0.5로 고정된 브릿지의 모든 스위치가 ZVS 만족되는 것이 까다로움을 함의한다.



(가)



(나)

그림 4-6 $M < 1$ 동작영역에서 SR-DAHB 컨버터의 MCT 제어 하에 ZVS 관정

(가) 2차측 브릿지에서 ZVS 달성한 스위치 개수

(나) $M = 0.9, P_o = 1.5 \text{ kW}$ 동작과형(빨간색 동작 점)

그림 4-6(가)³는 그림 4-5(가)와 같은 조건에서 SR-DAHB 컨버터의 2차측 스위치의 ZVS가 달성되는 스위치의 개수(하프-브릿지이므로 최대 2개이며, 출력 전력도 절반)의 예시를 보여준다. 짝수 고조파의 영향으로 일부 영역에서 2차측 윗상 스위치가 하드 스위칭 함을 알 수 있다. 이는 그림 4-6(나)에서 보여주는 $M = 0.9$, $P_o = 1.5 \text{ kW}$ 의 제어 예시 파형에서도 확인할 수 있다. 주황색 실선은 실제 전류 파형을 나타내며 주황색 점선과 검정색 점선은 그 중 기본파 전류 성분과 2고조파 전류 성분을 나타낸다. 고조파 성분이 기본파 성분에 더해져서 2차측 브릿지의 윗상 스위치에서 하드 스위칭이 일어나는 것을 확인할 수 있다.

그러나, 짝수 고조파 성분의 존재성이 SR-DAHB 컨버터가 ZVS 측면에서 SR-DAB 컨버터보다 반드시 열위에 있도록 하는 것은 아니다. 이는 시비율이 조정되는 브릿지($D \neq 0.5$)에서는 짝수 고조파 성분이 윗상, 아랫상 모두의 ZVS 달성에 유리하도록 스위치 턴-오프 전류를 키우게 만들 수도 있기 때문이다. 일례로 그림 4-5(나)의 경우에는 시비율이 조정되는 1차측 스위치의 윗상 스위치가 하드 스위칭이 일어나는 반면, 그림 4-6(나)에서는 ZVS가 달성됨을 확인할 수 있다.

앞선 분석을 정리하자면, SR-DAHB 컨버터에서는 한 개의 브릿지라도 시비율이 조정되는 경우 전류에 짝수 고조파 성분이 존재하는데, 이는 시비율이 고정된 브릿지($D = 0.5$)의 ZVS 달성에 유불리를 동시에 준다. 즉, 한쪽 스위치의 하드 스위칭을 유도한다. 그러나 시비율이 조정된 브릿지($D \neq 0.5$)에서는 이러한 짝수 고조파 성분이 ZVS에 도움을 줄 수 있다. 이러한 점을 고려하여

³ 분석 조건 : $V_{dc,p} = 600 \text{ V}$, $F_N = 0.75$, $Z_o = 20 \Omega$

불 때, SR-DAHB 컨버터에서는 시비율을 조정하고자 할 때는 한쪽 브릿지만 조정하는 것이 아닌, 양쪽 브릿지 모두의 시비율을 조정하는 것이 모든 스위치의 ZVS 달성에 유리함을 알 수 있다. 이는 곧, 한쪽 브릿지의 시비율만을 조정하는 MCT제어 [145]가 모든 스위치 ZVS 달성에 한계가 있음을 함의한다.

■ 최소 ZVS 스위칭-전류와 작은 최대 전압 위상 각 설계의 영향

한편 3.2.7절에서 언급하였 듯이 스위칭-전류 크기 또한 스위치의 실제적인 ZVS 달성에 큰 영향을 준다. 스위치의 ZVS 달성을 위해서는 데드타임 구간 동안 공진 인덕터와 스위치의 출력-커패시터가 공진하여, 스위치의 DS전압을 영전압까지 낮추어야 한다. 한편 스위칭 주파수가 증가할수록 공진 인덕터의

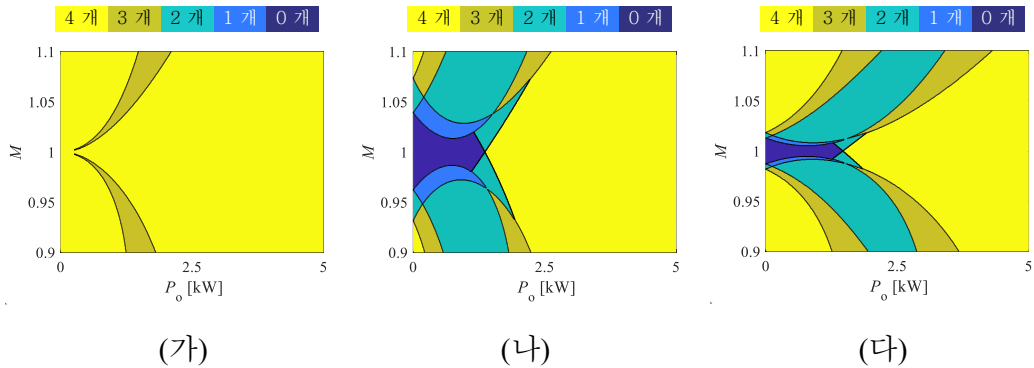


그림 4-7 MCT 제어 방식에서 ZVS 스위칭-전류 I_{zvsb} 크기와

최대 전압 위상 각 ϕ_{max} 설계에 따른 ZVS 달성 스위치 개수($F_N = 0.75$)

(가) $\phi_{max} = 60^\circ$, $I_{zvsb,p} = I_{zvsb,s} = 0$ A일 때

(나) $\phi_{max} = 60^\circ$, $I_{zvsb,p} = I_{zvsb,s} = 3$ A일 때

(다) $\phi_{max} = 30^\circ$, $I_{zvsb,p} = I_{zvsb,s} = 3$ A일 때

제정수는 작아지게 되는데, 이는 최소 ZVS 스위칭-전류 I_{zvsb} 의 크기를 키우게 된다. 이는 고주파수 스위칭 시, 같은 제어 기법으로 제어한다 하더라도 ZVS 달성 영역이 좁아지는 것을 예상할 수 있다. 그림 4-7은 MCT 제어 하에서 최소 ZVS 스위칭-전류 I_{zvsb} 크기에 따른 ZVS 달성 스위치의 개수 비교를 보여준다. 그림 4-7(가)는 $I_{zvsb,p} = I_{zvsb,s} = 0\text{ A}$ 로 하였을 때의 경우를 나타내며 이러한 ZVS 영역 특성은 저주파수로 구동하는 컨버터 특성을 대표한다. 그림 4-7(나)는 $I_{zvsb,p} = I_{zvsb,s} = 3\text{ A}$ 로 둔 경우를 보여준다. 저 출력 전력 영역에서는 스위칭-전류의 크기가 작기 때문에 하드 스위칭 또는 불완전 ZVS가 일어나는 것을 확인할 수 있다.

한편, 도통 손실을 저감 하기 위한 무효전력 최소화를 위해 최대 전압 위상각 ϕ_{\max} 를 작게 설계 하는 것이 일반적이다. 그러나 이러한 경우 같은 출력 전력에서 스위칭-전류가 작아지게 되어 일부 스위치가 하드 스위칭 또는 불완전 ZVS가 일어나는 시점의 지령 전력이 높아지게 된다. 이는 그림 4-7(다)에서도 확인할 수 있다.

4.1.2 시간영역 해석의 특징과 선행 연구의 제한점

시간영역 해석은 각 스위치 모드별로 회로의 상태방정식을 이용해서 전류 또는 전압 구하고, 이전 구간의 초기 값(Initial value)이 다음 구간의 종말 값(Final value)과 같다는 점을 이용해서 스위칭 한구간의 전류, 전압 값들을 높은 정확도로 얻어낼 수 있다. 시간영역 해석은 컨버터의 스위칭 패턴이 여러 개인 경우 각 스위칭 패턴마다 다른 해석을 진행하여야 하기 때문에 해석의 결과가 많고 복잡 하여 직관적인 분석을 어렵게 한다는 단점을 지닌다. 하지만, 컨버터의 실제 동작상태와 동일한(또는 매우 근사한) 전압, 전류, 출력 전력 등을 얻어 낼 수 있다는 장점을 갖고 있다. 이에, 시간영역 해석을 통해 컨버터의 동작 상태를 오프라인에서 높은 정확도로 예측할 수 있고, 그 결과를 통한 최적화가 가능하다.

시비율 D_p , D_s 를 0.5로 고정하고 위상 D_ϕ 만을 제어하는 SR-DAHB 컨버터의 시간영역 해석은 그 결과가 SR-DAB와 1/2로 비례 축소하면 같게 된다. 따라서 SR-DAB의 분석 방법 [169]를 그대로 이용할 수 있다. [169]에서는 고조파를 모두 고려한 스위칭-전류, 출력 전력, 인덕터 실효 전류 등이 도출되었다. 하지만, 컨버터의 제어 자유도가 위상 하나이기 때문에 해석 결과가 단순하며, 해석 결과의 쓰임도 한정된다.

시비율이 제어되는 SR-DAHB 컨버터의 시간영역 해석은 [149]에 의해서 일부 수행 된 바 있다. 해당 논문은 시간영역 해석을 기반으로 한 ZVS 영역 분석을 위하여 고조파를 포함한 스위칭-전류를 구하였다. 하지만, 해를 도출하기 위한 과정이 비교적 복잡하며 스위칭-전류 이외에는 분석해를 도출하지 않았다는 한계 점이 있다. 또, 해석 결과를 기존의 시비율 제어 방식(MCT 제어)의

ZVS 영역 분석에만 적용하는데 그쳤다.

실제적으로 제어 방식 별 유불리를 정밀 하게 판별하기 위해서는 (고조파 전력을 포함한) 동일한 출력 전력 조건하에, 실효 전류 상대 크기와 ZVS 달성 여부를 판별하는 것이 필요하다. 그러나 이를 위한 선행 연구들의 SR-DAHB 컨버터 해석은 아직 충분히 진행되었다고 할 수 없다.

따라서, 본 논문에서는 일반적인 직렬-LC 공진회로의 행렬 분석 방식 [172]를 SR-DAHB 컨버터에 적용하여 시비율이 조정되는 SR-DAHB 컨버터의 시간 영역 해석을 진행한다. 이를 통하여 고조파를 모두 포함한 스위칭-전류, 출력 전력, 인덕터 실효 전류, 커패시터 실효 전압의 단힌 해를 도출한다. 또, 도출된 단힌 해를 바탕으로 기존의 방법보다 더 넓은 영역에서 모든 스위치가 ZVS를 달성하는 제어 방식을 제안하고자 한다.

4.2 SR-DAHB 시간영역 해석

본 절에서는 SR-DAHB 컨버터의 시간영역 해석을 진행한다. 컨버터의 해석에 앞서 논의의 간편화를 위해 아래와 같은 가정을 한다.

- 컨버터는 정상상태(Steady-state)에 도달하였다.
- 입력단 커패시터와 출력단 커패시터의 전압 리플은 없다.
- 수동소자는 이상적인 소자로 손실이 없으며(Loss-less) 주파수 변동에 따른 제정수 변동이 없다.
- 윗상 스위치와 아랫상 스위치는 상보적으로 동작하며 데드타임은 없다.

4.2.1 SR-DAHB 컨버터의 정규화와 제어 자유도

본 항에서는 후술할 시간영역 해석의 수식을 간략화 하기 위해서 정규화를 진행한다. 그림 4-8은 정규화 된 SR-DAHB 컨버터를 보여준다. 전압의 기준치(V_b)는 1차측 직류단 전압($V_{dc,p}$)으로, 임피던스의 기준치(Z_b)는 특성-임피던스(Z_0)를 사용하였다. 이러한 전압 기준치를 이용하여 정규화 된 순시전압, 순시

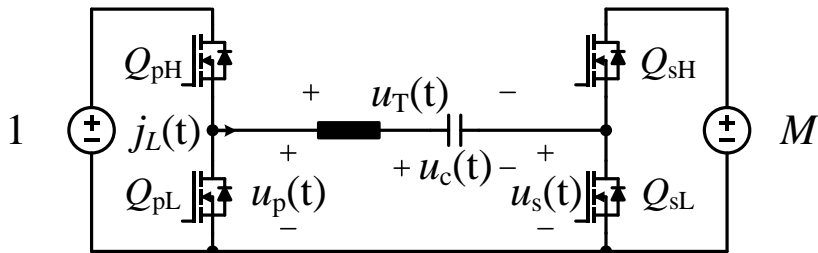


그림 4-8 정규화 된 SR-DAHB 컨버터

전류, 순시전력은 각각 u, j, γ 로 나타냈으며, 정규화 된 직류 전압, 전류, 유효 전력, 무효전력은 U, J, Γ, Ψ 로 나타냈다. 본 논문에서 사용한 기준치와 정규화 된 기호는 표 4-1에 도시 되어 있다.

SR-DAHB 컨버터에는 총 4개의 제어 변수가 있다. 1차측 구형파 전압의 시비율 D_p , 2차측 구형파 전압의 시비율 D_s , 1차측 구형파 전압의 중심과 2차측 구

표 4-1 SR-DAHB 컨버터의 정규화

	기준치 (Base value)	정규화 된 기호 (Normalized notation)	
		순시 값	직류 값
전압	$V_b := V_{dc,p}$	$u_x(t) := \frac{v_x(t)}{V_b}$	$U_x := \frac{V_x}{V_b}$
임피던스	$Z_b := Z_o = \sqrt{\frac{L_r}{C_r}}$	-	
전류	$I_b := \frac{V_{dc,p}}{Z_o}$	$j_x(t) := \frac{i_x(t)}{I_b}$	$J_x := \frac{I_x}{I_b}$
전력	$P_b := \frac{V_{dc,p}^2}{Z_o}$	$\gamma_x(t) := \frac{p_x(t)}{P_b}$	$\Gamma_x := \frac{P_x}{P_b}$ $\Psi_x := \frac{Q_x}{P_b}$
주파수	$F_b := F_{sw}$		$F_N := \frac{F_r}{F_b}$

형파 전압의 중심 사이의 위상을 나타내는 전압 위상 D_ϕ , 그리고 스위칭 주파수 F_{sw} 이다. D_ϕ 는 변위 값으로 크기와 부호를 갖고 있으며 $2\pi \text{ rad}$ 으로 정규화된 값이다. 컨버터의 제어 변수 중 $[D_p, D_s, D_\phi]$ 는 컨버터의 임피던스에 인가되는 전압을 바꾸는 방법이라고 볼 수 있다. 한편, 스위칭 주파수 제어는 정규-공진점 F_N 의 변조로 증가 할 수 있으며, 임피던스의 크기를 변화시키는 방법이라고 볼 수 있다.

시비율 D_p, D_s 의 범위는 0부터 1까지 가능하며, 전압 위상 D_ϕ 는 이론적으로는 ± 0.5 까지 가능 하나, 전달가능한 최대전력이 $\pm 0.25(\text{deg}$ 단위로는 $\pm 90^\circ$)에 나타남을 고려하여 최대 값을 ± 0.25 로 제한한다. 한편 ZVS 달성을 위해서는 임피던스가 유도성을 띄는 것이 유리하다. 따라서 스위칭 주파수를 공진주파수보다 높게 동작 시키며 이는 정규-공진점 $F_N < 1$ 인 영역에서 설계 되고 제어 됨을 의미한다. 제어 자유도의 변조 범위를 정리하면 (4.5)-(4.8)과 같이 나타낼 수 있다.

$$0 \leq D_p \leq 1 \quad (4.5)$$

$$0 \leq D_s \leq 1 \quad (4.6)$$

$$-0.25 \leq D_\phi \leq 0.25 \quad (4.7)$$

$$F_N < 1 \quad (4.8)$$

또, 전류 크기의 정규화에 따라서 최소 ZVS-스위칭-전류 I_{zvsb} 는 (4.9)와 같이 J_{zvsb} 로 정규화 된다.

$$J_{zvsb,x} = \frac{I_{zvsb,x}}{I_b}, \quad x = p, s \quad (4.9)$$

4.2.2 스위칭 패턴 분류

앞선 연구배경에서 언급했던 것처럼, 시간영역 해석에서는 스위치 모드의 패턴에 따라서 각기 다른 해석 결과가 도출된다. 스위치 모드의 패턴이라는 것은 한 주기동안 컨버터 내 스위치들의 턴-온/오프 패턴을 의미하는 것으로, 직렬- LC 임피던스에 계단적으로 인가되는 전압의 패턴을 의미한다.

DAHB 컨버터에서는 총 4개의 스위치 턴-온 시점이 존재한다. 이때, 1차측 윗상 스위치 턴-온 시점($Q_{pH\uparrow}$)을 기준으로 (1) 1차측 아랫상 스위치 턴-온 시점($Q_{pL\uparrow}$), (2) 2차측 윗상 스위치 턴-온 시점($Q_{sH\uparrow}$), (3) 2차측 아랫상 스위치 턴-온 시점($Q_{sL\uparrow}$) 총 3가지의 스위치들의 턴-온 시점의 시간적 순서를 조합하면, 표 4-2와 같은 총 6가지(${}_3P_2$)의 스위칭 패턴을 얻을 수 있다.

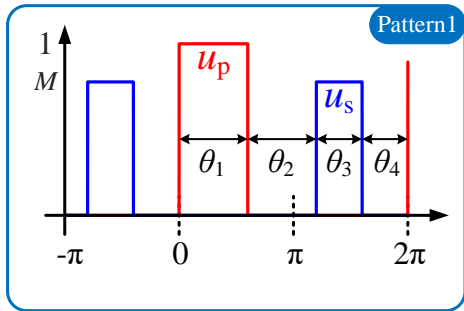
각 패턴을 나타내는 대표 파형은 그림 4-9와 같이 나타낼 수 있으며 스위칭 간격(θ_*)과 제어 변수 사이의 관계는 표 4-3과 같이 나타낼 수 있다.

표 4-2 스위치 턴-온 시점의 조합에 따른
직렬-LC 임피던스에 인가되는 전압 패턴

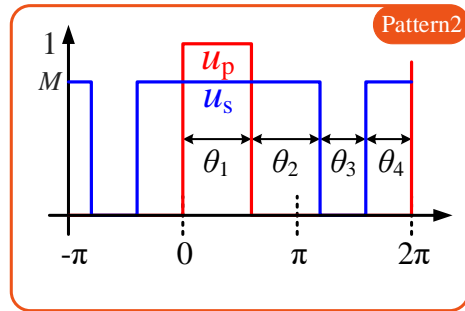
패턴 번호	스위치 턴-온 패턴	각 스위치 모드에서의 인가 전압			
		θ_0	θ_1	θ_2	θ_3
1	$[Q_{pH\uparrow} \quad Q_{pL\uparrow} \quad Q_{sH\uparrow} \quad Q_{sL\uparrow}]$	[1,	0,	$-M$,	0]
2	$[Q_{pH\uparrow} \quad Q_{pL\uparrow} \quad Q_{sL\uparrow} \quad Q_{sH\uparrow}]$	[$1 - M$,	$-M$,	0,	$-M$]
3	$[Q_{pH\uparrow} \quad Q_{sH\uparrow} \quad Q_{pL\uparrow} \quad Q_{sL\uparrow}]$	[1,	$1 - M$,	$-M$,	0]
4	$[Q_{pH\uparrow} \quad Q_{sH\uparrow} \quad Q_{sL\uparrow} \quad Q_{pL\uparrow}]$	[1,	$1 - M$,	1,	0]
5	$[Q_{pH\uparrow} \quad Q_{sL\uparrow} \quad Q_{pL\uparrow} \quad Q_{sH\uparrow}]$	[$1 - M$,	1,	0,	$-M$]
6	$[Q_{pH\uparrow} \quad Q_{sL\uparrow} \quad Q_{sH\uparrow} \quad Q_{pL\uparrow}]$	[$1 - M$,	1,	$1 - M$,	$-M$]

표 4-3 스위치 모드 간격(θ_*)과 제어 변수 사이의 관계

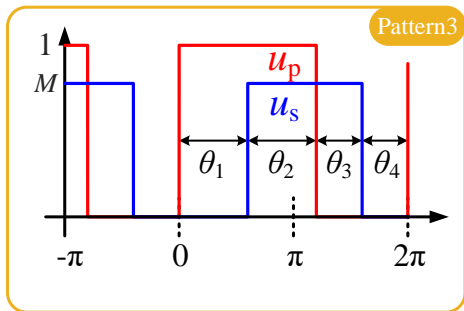
패턴 번호	$\theta_1/2\pi$	$\theta_2/2\pi$	$\theta_3/2\pi$	$\theta_4/2\pi$
1	D_p	$-\frac{D_p}{2} - \frac{D_s}{2} + D_\phi$	D_s	$1 - \frac{D_p}{2} - \frac{D_s}{2} - D_\phi$
2	D_p	$-\frac{D_p}{2} + \frac{D_s}{2} + D_\phi$	$1 - D_s$	$-\frac{D_p}{2} + \frac{D_s}{2} - D_\phi$
3	$\frac{D_p}{2} - \frac{D_s}{2} + D_\phi$	$\frac{D_p}{2} + \frac{D_s}{2} - D_\phi$	$-\frac{D_p}{2} + \frac{D_s}{2} + D_\phi$	$1 - \frac{D_p}{2} - \frac{D_s}{2} - D_\phi$
4	$\frac{D_p}{2} - \frac{D_s}{2} + D_\phi$	D_s	$\frac{D_p}{2} - \frac{D_s}{2} - D_\phi$	$1 - D_p$
5	$\frac{D_p}{2} + \frac{D_s}{2} + D_\phi$	$\frac{D_p}{2} - \frac{D_s}{2} - D_\phi$	$1 - \frac{D_p}{2} - \frac{D_s}{2} + D_\phi$	$-\frac{D_p}{2} + \frac{D_s}{2} - D_\phi$
6	$\frac{D_p}{2} + \frac{D_s}{2} + D_\phi$	$1 - D_s$	$\frac{D_p}{2} + \frac{D_s}{2} - D_\phi - 1$	$1 - D_p$



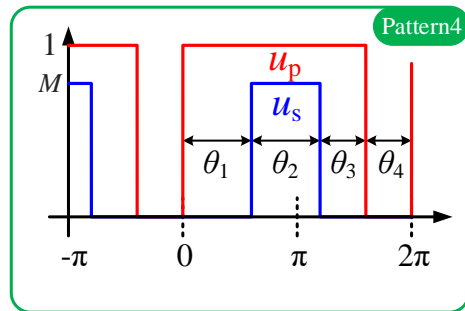
(가)



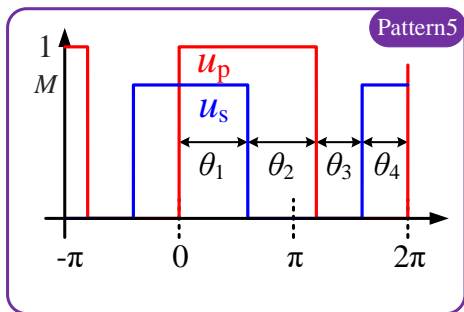
(나)



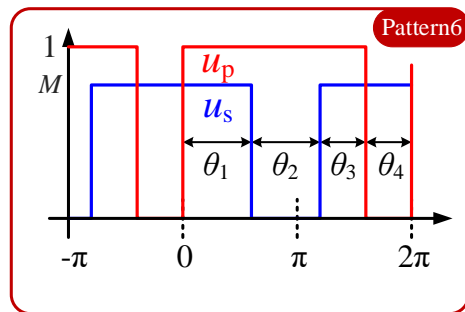
(다)



(라)



(마)



(바)

그림 4-9 SR-DAHB 컨버터의 스위칭 패턴 분류

- (가) 스위칭 패턴1 (나) 스위칭 패턴2 (다) 스위칭 패턴3
 (라) 스위칭 패턴4 (마) 스위칭 패턴5 (바) 스위칭 패턴6

4.2.3 순시 전압 전류의 닫힌 표현식 도출

본 항에서는 SR-DAHB 컨버터의 시간영역 해석을 도출한다. 직렬-LC 공진 회로에 인가되는 전압 $u_T(t)$ 에 대해서 인덕터 전류 $j_L(t)$ 와 커패시터 전압 $u_C(t)$ 는 각각 (4.10)과 (4.11)과 같이 미분방정식으로 나타낼 수 있다.

$$\frac{1}{\omega_r} \frac{dj_L(t)}{dt} = u_T(t) - u_C(t) \quad (4.10)$$

$$\frac{1}{\omega_r} \frac{du_C(t)}{dt} = j_L(t) \quad (4.11)$$

이러한 미분 방정식을 활용하여, 직렬-LC 회로에서 $t = 0$ 에 인가된 정 전압 U_T 에 대한 전압/전류의 계단 응답은 각각 (4.12), (4.13)과 같이 구할 수 있다.

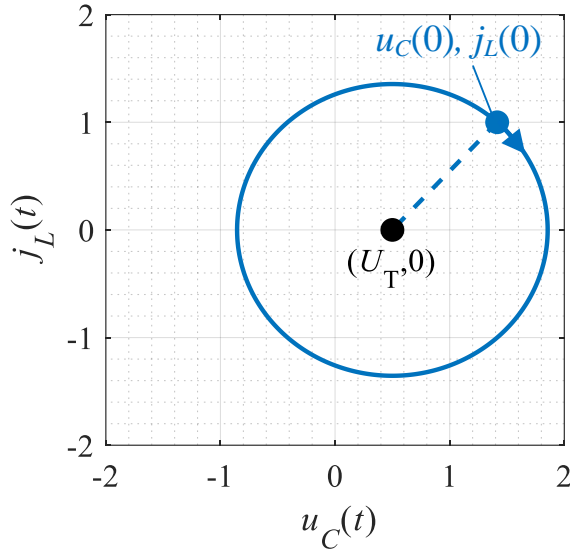


그림 4-10 직렬-LC 회로에서 정규화 된 커패시터 전압 $u_C(t)$ 과 인덕터 전류 $j_L(t)$ 의 계단 응답 궤적

$$u_c(t) = j_L(0)\sin(\omega_r t) + (u_c(0) - U_T)\cos(\omega_r t) + U_T \quad (4.12)$$

$$j_L(t) = j_L(0)\cos(\omega_r t) - (u_c(0) - U_T)\sin(\omega_r t) \quad (4.13)$$

수식 (4.12)와 (4.13)에서 $u_c(0)$ 과 $j_L(0)$ 는 각각 $t = 0$ 에서의 커패시터 전압과 인덕터의 전류의 초기값을 나타낸다. 식 (4.12)와 (4.13)을 각각 제곱하여 합하면 (4.14)를 얻을 수 있다. (4.14)를 통하여서, 정규화 된 커패시터 전압과 인덕터의 전류 궤적이 그림 4-10과 같이 2차원 평면상에서 중심이 $(U_T, 0)$ 인 원임을 알 수 있다.

$$(u_c(t) - U_T)^2 + j_L(t)^2 = (u_c(0) - U_T)^2 + j_L(0)^2 \quad (4.14)$$

이러한 공진회로의 미분 방정식의 해 도출 과정을 바탕으로 SR-DAHB의 시간영역 해석의 닫힌 해를 도출할 수 있다. 앞서 언급하였던 것과 같이 SR-DAHB에서는 총 6개의 스위칭 패턴이 존재하고, 각각의 스위칭 패턴에 따른 닫힌 해를 구해주어야 한다. 본 항에서는 스위칭 패턴3에 대해서 닫힌 해를 도출하는 과정을 대표적으로 서술한다. 나머지 스위칭 패턴에 대한 닫힌 해는 후술하는 과정과 동일한 방식으로 도출할 수 있다. SR-DAHB 컨버터의 각 스위칭 패턴은 총 4개의 스위치 모드가 존재하기 때문에 총 4개의 스위치 모드 분석이 필요하다. 본 논문에서는 수식의 간편화를 위해서 시간 T_* 에서의 전압 $u_c(T_*)$ 과 전류 $j_L(T_*)$ 를 각각 U_C^* , J_L^* 로 나타내겠다.

■ 스위치 모드 1: $T_0 = 0 \leq t < T_1$ 구간

스위치 모드 1은 1차측의 윗상 스위치가 턴-온 되고, 2차측 스위치는 아랫상이 턴-온 되어 있는 구간이다. 즉 공진 임피던스에 인가되는 전압 U_T 는 그림 4-11(가)와 같이 1이다. 커패시터 전압과 인덕터 전류는 각각 (4.15)와 (4.16)과

같이 얻을 수 있고, 이를 통해 전압 전류의 궤적은 중심이 (1, 0)인 원을 그리며 T_1 시간동안 시계 방향으로 움직인다는 것을 알 수 있다.

$$u_c(t) = (U_c^0 - 1)\cos(\omega_r t) + J_L^0 \sin(\omega_r t) + 1 \quad (4.15)$$

$$j_L(t) = -(U_c^0 - 1)\sin(\omega_r t) + J_L^0 \cos(\omega_r t) \quad (4.16)$$

최종적으로 그림 4-11(나)에서 확인할 수 있듯이, T_1 시간이 될 때 전압과 전류는 초기 값인 (U_c^0, J_L^0) 에서 원의 궤적을 따라 $F_N \theta_1$ 만큼 회전하여 있으며 그 다음 스위치 모드 1의 초기값 (U_c^1, J_L^1) 에 도달한다. 이를 수식으로 나타내면 (4.17)과 같다.

$$\begin{bmatrix} U_c^1 \\ J_L^1 \end{bmatrix} = \begin{bmatrix} \cos(F_N \theta_1) & \sin(F_N \theta_1) \\ -\sin(F_N \theta_1) & \cos(F_N \theta_1) \end{bmatrix} \begin{bmatrix} U_c^0 \\ J_L^0 \end{bmatrix} + \begin{bmatrix} 1 - \cos(F_N \theta_1) \\ \sin(F_N \theta_1) \end{bmatrix} \quad (4.17)$$

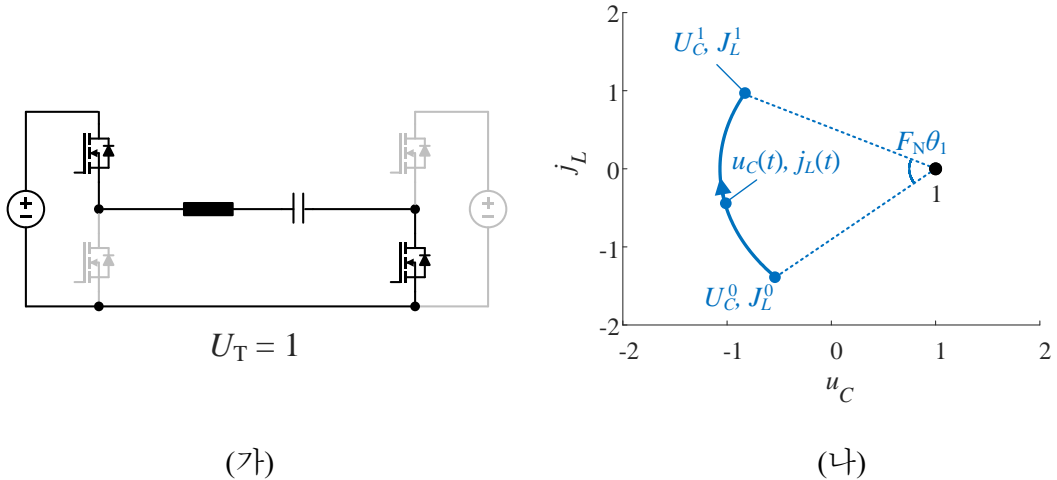


그림 4-11 스위치 모드 1에서의 (가) 등가회로 (나) 전압 u_c 와 전류 j_L 궤적

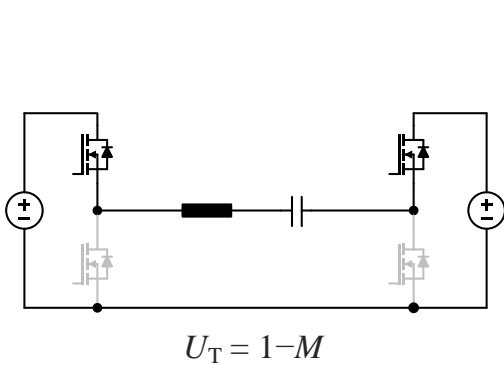
■ 스위치 모드 2: $T_1 \leq t < T_2$ 구간

스위치 모드 2는 1차측의 윗상 스위치가 턴-온 되어있는 상태에서, 2차측 스위치의 윗상이 턴-온 되는 구간이다. 즉 직렬-LC 임피던스에 인가되는 전압 U_T 는 그림 4-12(가)와 같이 $1 - M$ 이다. 커패시터 전압과 인덕터 전류는 각각 (4.18)과 (4.19)와 같이 얻을 수 있고, 이를 통해 전압과 전류의 궤적이 중심이 $(1 - M, 0)$ 인 원을 그리며, $T_2 - T_1$ 시간동안 시계 방향으로 움직인다는 것을 알 수 있다.

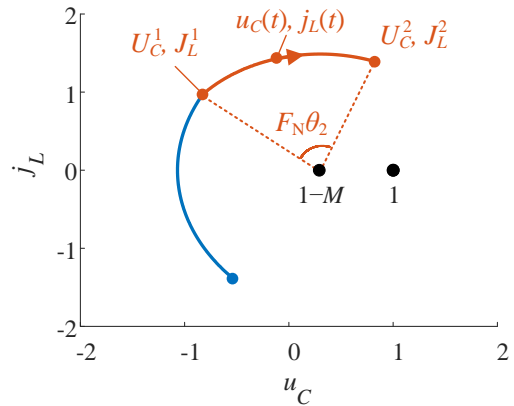
$$u_c(t) = J_L^1 \sin(\omega_r(t - T_1)) + (U_C^1 - 1 + M) \cos(\omega_r(t - T_1)) + 1 - M \quad (4.18)$$

$$j_L(t) = J_L^1 \cos(\omega_r(t - T_1)) - (U_C^1 - 1 + M) \sin(\omega_r(t - T_1)) \quad (4.19)$$

최종적으로 그림 4-12(나)에서 확인할 수 있듯이, T_2 시간이 될 때 전압과 전류는 초기 값인 (U_C^1, J_L^1) 에서 원의 궤적을 따라 $F_N \theta_2$ 만큼 회전하여 있으며 그 다음 스위치 모드의 초기값 (U_C^2, J_L^2) 에 도달한다. 이를 수식으로 나타내면



(가)



(나)

그림 4-12 스위치 모드 2에서의 (가) 등가회로 (나) 전압 u_c 와 전류 j_L 궤적

(4.20)과 같다.

$$\begin{bmatrix} U_C^2 \\ J_L^2 \end{bmatrix} = \begin{bmatrix} \cos(F_N\theta_2) & \sin(F_N\theta_2) \\ -\sin(F_N\theta_2) & \cos(F_N\theta_2) \end{bmatrix} \begin{bmatrix} U_C^1 \\ J_L^1 \end{bmatrix} + (1-M) \begin{bmatrix} 1 - \cos(F_N\theta_2) \\ \sin(F_N\theta_2) \end{bmatrix} \quad (4.20)$$

■ 스위치 모드 3: $T_2 \leq t < T_3$ 구간

스위치 모드 3은 1차측의 아랫상 스위치가 턴-온 되며, 2차측 스위치는 윗상이 턴-온 되는 구간이다. 따라서 이 구간동안 직렬-LC 임피던스에 인가되는 전압 U_T 는 그림 4-13(가)와 같이 $-M$ 이다. 커패시터 전압과 인덕터 전류는 각각 (4.21)과 (4.22)와 같이 얻을 수 있고, 이를 통해 전압 전류의 궤적이 중심이 $(-M, 0)$ 인 원을 그리며, $T_3 - T_2$ 시간동안 시계 방향으로 움직인다는 것을 알 수 있다.

$$u_c(t) = J_L^2 \sin(\omega_r(t - T_2)) + (U_C^2 + M) \cos(\omega_r(t - T_2)) - M \quad (4.21)$$

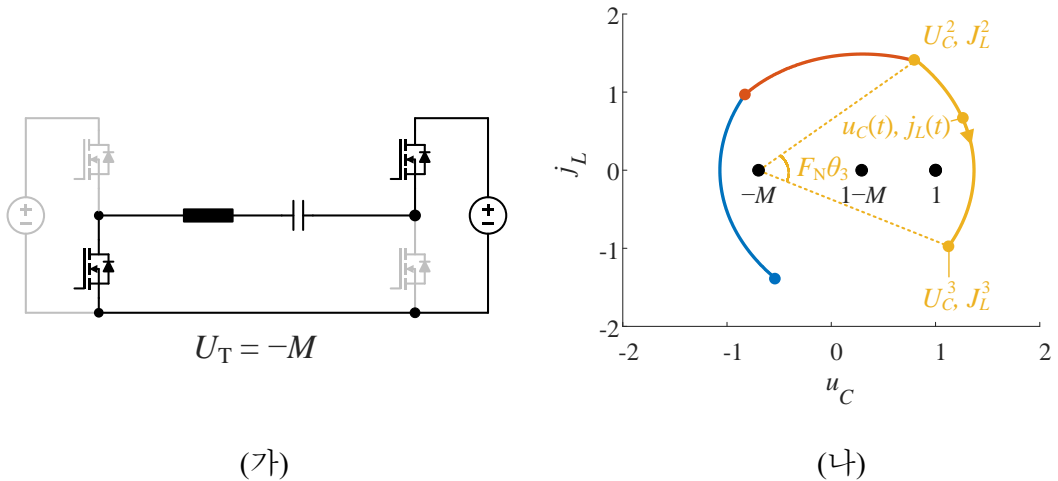


그림 4-13 스위칭 모드 3에서의 (가) 등가회로 (나) 전압 u_c 와 전류 j_L 궤적

$$j_L(t) = J_L^2 \cos(\omega_r(t - T_2)) - (U_c^2 + M) \sin(\omega_r(t - T_2)) \quad (4.22)$$

최종적으로 그림 4-13(나)에서 확인할 수 있듯이, T_2 시간이 될 때 전압과 전류는 초기 값인 (U_c^2, J_L^2) 에서 원의 궤적을 따라 $F_N\theta_3$ 만큼 회전하여 있으며 그 다음 스위치 모드의 초기값 (U_c^3, J_L^3) 에 도달한다. 이를 수식으로 나타내면 (4.23)과 같다.

$$\begin{bmatrix} U_c^3 \\ J_L^3 \end{bmatrix} = \begin{bmatrix} \cos(F_N\theta_3) & \sin(F_N\theta_3) \\ -\sin(F_N\theta_3) & \cos(F_N\theta_3) \end{bmatrix} \begin{bmatrix} U_c^2 \\ J_L^2 \end{bmatrix} + (-M) \begin{bmatrix} 1 - \cos(F_N\theta_3) \\ \sin(F_N\theta_3) \end{bmatrix} \quad (4.23)$$

■ 스위치 모드 4: $T_3 \leq t < T_4 = T_{sw}$

마지막 스위치 모드 4는 1차측의 아랫상 스위치가 턴-온 되어 있는 상태에서, 2차측 스위치는 아랫상이 턴-온 되는 구간이다. 따라서 이 구간동안 직렬- LC 임피던스에 인가되는 전압 U_T 는 그림 4-14 (가)와 같이 0이다. 커패시터 전

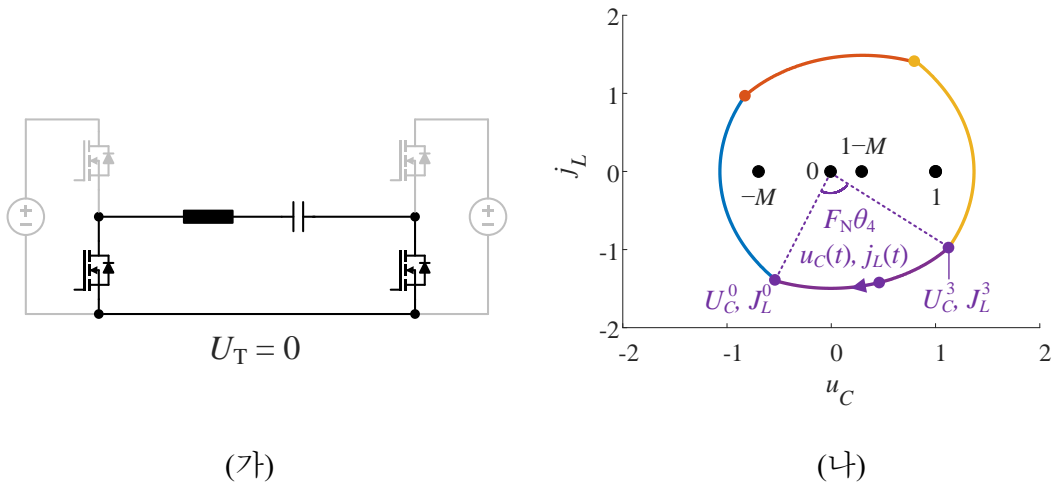


그림 4-14 스위치 모드4에서의 (가) 등가회로 (나) 전압 u_c 와 전류 j_L 궤적

압과 인덕터 전류는 각각 (4.24)와 (4.25)와 같이 얻을 수 있고, 이를 통해 전압 전류의 궤적이 중심이 (0, 0)인 원을 그리며, $T_4 - T_3$ 시간동안 시계 방향으로 움직인다는 것을 알 수 있다.

$$u_c(t) = J_L^3 \sin(\omega_r(t - T_3)) + U_c^3 \cos(\omega_r(t - T_3)) \quad (4.24)$$

$$j_L(t) = J_L^3 \cos(\omega_r(t - T_3)) - U_c^3 \sin(\omega_r(t - T_3)) \quad (4.25)$$

최종적으로 T_4 시간이 될 때 전압과 전류는 초기 값인 (U_c^3, J_L^3) 에서 원의 궤적을 따라 $F_N \theta_4$ 만큼 회전하여 있으며 스위치 모드 1의 초기값 (U_c^0, J_L^0) 에 도달한다(그림 4-14 (나)). 이를 수식으로 나타내면 (4.26)과 같다.

$$\begin{bmatrix} U_c^0 \\ J_L^0 \end{bmatrix} = \begin{bmatrix} U_c^4 \\ J_L^4 \end{bmatrix} = \begin{bmatrix} \cos(F_N \theta_4) & \sin(F_N \theta_4) \\ -\sin(F_N \theta_4) & \cos(F_N \theta_4) \end{bmatrix} \begin{bmatrix} U_c^3 \\ J_L^3 \end{bmatrix} + (0) \begin{bmatrix} 1 - \cos(F_N \theta_4) \\ \sin(F_N \theta_4) \end{bmatrix} \quad (4.26)$$

상기 서술한 4개의 스위치 모드 분석을 통하여 (4.17), (4.20), (4.23), (4.26) 총 8개의 방정식을 얻을 수 있으며, 이를 이용하여 인덕터와 커패시터의 스위칭 순간의 전류 J_L^* 와 전압 U_c^* 의 닫힌 해를 도출하게 된다. 상기 8개의 방정식은 회전변환 행렬 (4.27)을 이용하여 (4.28)과 같이 $\mathbf{Ax} = \mathbf{b}$ 형태로 통합하여 나타낼 수 있다.

$$\mathbf{R}(\theta_*) = \begin{bmatrix} \cos(\theta_*) & -\sin(\theta_*) \\ \sin(\theta_*) & \cos(\theta_*) \end{bmatrix} \quad (4.27)$$

$$\mathbf{Ax} = \mathbf{b}$$

이때,

$$\mathbf{A} = \begin{bmatrix} \mathbf{R}(-F_N\theta_1) & -\mathbf{I} & & \\ & \mathbf{R}(-F_N\theta_2) & -\mathbf{I} & \\ & & \mathbf{R}(-F_N\theta_3) & -\mathbf{I} \\ -\mathbf{I} & & & \mathbf{R}(-F_N\theta_4) \end{bmatrix}$$

$$\mathbf{x} = \begin{bmatrix} U_c^0 \\ J_L^0 \\ U_c^1 \\ J_L^1 \\ U_c^2 \\ J_L^2 \\ U_c^3 \\ J_L^3 \end{bmatrix}, \mathbf{b} = \begin{bmatrix} -(1 - \cos(F_N\theta_1)) \\ -\sin(F_N\theta_1) \\ -(1 - M)(1 - \cos(F_N\theta_2)) \\ -(1 - M)\sin(F_N\theta_2) \\ M(1 - \cos(F_N\theta_3)) \\ M\sin(F_N\theta_3) \\ 0 \\ 0 \end{bmatrix} \quad (4.28)$$

여기서 벡터 \mathbf{x} 는 각 스위칭 순간에서의 커패시터 전압 U_c^* 와 인덕터 전류 J_L^* 을 벡터 나타낸 것이며 닫힌 해로 도출하고자 하는 대상을 나타낸다. 따라서 8개의 방정식을 통합하여 얻어진 행렬 \mathbf{A} 의 역행렬을 (4.29)와 같이 \mathbf{b} 와 곱하여 주면 스위칭 순간에서의 커패시터 전압 U_c^* 와 인덕터 전류 J_L^* 의 닫힌 해를 얻어 낼 수 있다.

$$\mathbf{x} = \mathbf{A}^{-1}\mathbf{b} \quad (4.29)$$

표 4-4와 표 4-5는 이렇게 \mathbf{A} 의 역행렬을 통하여 얻어진 스위치 모드 3의 스위칭 순간에서의 커패시터 전압 U_c^* 와 인덕터 전류 J_L^* 의 닫힌 해를 보여준다. 위와 같은 동일한 과정을 통해서 모든 스위칭 패턴에 대해서 닫힌 해들을 도출할 수 있으며 그 결과는 부록 7.4에 수록 되어있다.

표 4-4 스위칭 패턴3에서의 스위칭 순간 커패시터 전압 값

변수	표현식
U_c^0	$\frac{-\cos(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \cos(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)} + 1$
U_c^1	$\frac{-\sin(F_N \overline{D_p} \pi) \cos(F_N (D_s - 2D_\phi) \pi) + M \cos(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(r\pi)} + (1 - M)$
U_c^2	$\frac{\sin(F_N D_p \pi) \cos(F_N \overline{D_p} \pi) + M \cos(F_N (D_p - 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} - M$
U_c^3	$\frac{\sin(F_N D_p \pi) \cos(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \cos(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 4-5 스위칭 패턴3에서의 스위칭 순간 인덕터 전류 값

변수	표현식
J_L^0	$\frac{-\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
J_L^1	$\frac{-\sin(F_N \overline{D_p} \pi) \sin(F_N (D_s - 2D_\phi) \pi) + M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^2	$\frac{\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \sin(F_N (D_p - 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^3	$\frac{\sin(F_N D_p \pi) \sin(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

4.2.4 평균 전력의 닫힌 표현식 도출

본 항에서는 앞선 절의 과정을 바탕으로 얻어진 스위칭 패턴 별, 스위칭 순간 커패시터 전압, 인덕터 전류의 닫힌 해를 바탕으로 평균 전력의 닫힌 해를 도출한다. SR-DAHB 컨버터의 평균 전력은 입력 전압 $u_p(t)$ 와 인덕터 전류 $j_L(t)$ 의 순시 곱의 적분 또는 출력 전압 $u_s(t)$ 와 인덕터 전류 $j_L(t)$ 의 순시 곱의 적분 2가지 방법을 통해서 얻을 수 있다. 이렇게 2가지 방법으로 얻어진 평균 전력은 회로의 무손실을 가정하였기 때문에 그 크기가 같다. 본 논문에서는 (4.30)과 같이 입력 전압과 인덕터 전류 순시 곱의 적분 방식으로 평균 전력의 닫힌 해를 도출한다.

$$\begin{aligned} \Gamma_p &= \frac{1}{T_{sw}} \int_0^{T_{sw}} u_p(t) \cdot j_L(t) dt \\ &= \frac{1}{2\pi} \int_0^{2\pi} u_p\left(\frac{T_{sw}}{2\pi}\theta\right) \cdot j_L\left(\frac{T_{sw}}{2\pi}\theta\right) d\theta \end{aligned} \quad (4.30)$$

SR-DAHB 컨버터는 총 4개의 스위치 모드가 존재하므로, 각 스위치 모드별로 공진 전류의 양상이 변화하게 된다. 따라서 (4.30)은 각 스위치 모드별로 나누어 적분하는 것이 편리하다. (4.30)을 각 스위치 모드별로 4구간으로 나누어 적분하면 (4.31)과 같다.

$$\Gamma_p = \frac{1}{2\pi F_N} \sum_{k=1}^4 U_p^k \left((U_c^{k-1} - U_T^k) (\cos(F_N \theta_k) - 1) + J_L^{k-1} \sin(F_N \theta_k) \right) \quad (4.31)$$

이때 U_p^k 는 k 구간에서의 1차측 스위치의 전압을 나타낸다. 또한 U_T^k 는 k 구간에서 공진 임피던스에 인가되는 전압을 나타내며 그 값은 $U_p^k - U_s^k$ 와 같다. 최종적으로 (4.31)에 앞선 절에서 얻어진 닫힌 해인 U_c^* 와 J_L^* 을 대입하게 되면 평균 전력의 닫힌 해를 도출할 수 있게 된다. 표 4-6은 이렇게 도출된 평균 전

표 4-6 스위칭 패턴에 따른 평균 전력의 닫힌 해

패턴 번호	표현식
1	$\frac{M}{2\pi F_N \sin(F_N \pi)} \{2\sin(F_N D_p \pi) \sin(F_N D_s \pi) \sin(F_N (1 - 2D_\phi) \pi)\}$
2	$\frac{M}{2\pi F_N \sin(F_N \pi)} \{2\sin(F_N D_p \pi) \sin(F_N \overline{D}_s \pi) \sin(2F_N D_\phi \pi)\}$
3	$\frac{M}{2\pi F_N \sin(F_N \pi)} \left\{ \begin{array}{l} -\sin(F_N \pi) + \cos(F_N (\overline{D}_p - 2D_\phi) \pi) \sin(F_N D_s \pi) \\ + \cos(F_N (D_p - 2D_\phi) \pi) \sin(F_N \overline{D}_s \pi) \end{array} \right\}$
4	$\frac{M}{2\pi F_N \sin(F_N \pi)} \{2\sin(F_N \overline{D}_p \pi) \sin(F_N D_s \pi) \sin(2F_N D_\phi \pi)\}$
5	$\frac{M}{2\pi F_N \sin(F_N \pi)} \left\{ \begin{array}{l} \sin(F_N \pi) - \sin(F_N D_p \pi) \cos(F_N (\overline{D}_s + 2D_\phi) \pi) \\ - \sin(F_N \overline{D}_p \pi) \cos(F_N (D_s + 2D_\phi) \pi) \end{array} \right\}$
6	$\frac{M}{2\pi F_N \sin(F_N \pi)} \{-2\sin(F_N \overline{D}_p \pi) \sin(F_N \overline{D}_s \pi) \sin(F_N (1 + 2D_\phi) \pi)\}$

력의 닫힌 해를 모든 스위칭 패턴에 대해서 정리한 것을 나타낸다.

4.2.5 실효 전류/전압의 단힌 표현식 도출

본 항에서는 앞선 절과 유사하게 실효 전류/전압의 단힌 해 도출한다. SR-DAHB 컨버터의 인덕터 실효 전류는 (4.32)와 같이 공진 전류의 제곱 평균의 제곱근을 구하므로 써 얻을 수 있다.

$$\begin{aligned}
 J_{L,rms} &= \sqrt{\frac{1}{T_{sw}} \int_0^{T_{sw}} j_L(t)^2 dt} \\
 &= \sqrt{\frac{1}{2\pi} \int_0^{2\pi} j_L\left(\frac{T_{sw}}{2\pi} \theta\right)^2 d\theta}
 \end{aligned} \tag{4.32}$$

앞서 언급하였던 것과 마찬가지로 SR-DAHB 각 스위치 모드별로 공진 전류의 양상이 변화하므로, 평균 전력을 구할 때와 마찬가지로 각 스위치 모드별로 나누어 적분하는 것이 편리하다. (4.32)를 각 스위치 모드별로 4구간으로 나누어 적분하면 (4.33)과 같다.

$$J_{L,rms} = \sqrt{\frac{1}{4F_N\pi} \sum_{k=1}^4 \left(\begin{aligned} & \left((J_L^{k-1})^2 + (U_c^{k-1} - U_T^k)^2 \right) (F_N \theta_k) \\ & + \left((J_L^{k-1})^2 - (U_c^{k-1} - U_T^k)^2 \right) \cos(F_N \theta_k) \sin(F_N \theta_k) \\ & - 2J_L^{k-1} (U_c^{k-1} - U_T^k) \sin^2(F_N \theta_k) \end{aligned} \right)} \tag{4.33}$$

같은 과정을 통해 공진 커패시터에 인가되는 실효 전압 크기는 (4.34)와 같이 구할 수 있다.

$$\begin{aligned}
& U_{C,rms} \\
= & \sqrt{\frac{1}{4F_N\pi} \sum_{k=1}^4 \left(\begin{aligned} & \left((J_L^{k-1})^2 + (U_C^{k-1} - U_T^k)^2 + 2(U_T^k)^2 \right) (F_N\theta_k) \\ & - \left((J_L^{k-1})^2 - (U_C^{k-1} - U_T^k)^2 \right) \cos(F_N\theta_k) \sin(F_N\theta_k) \\ & + 2J_L^{k-1}(U_C^{k-1} - U_T^k) \sin^2(F_N\theta_k) \\ & - 4J_L^{k-1}U_T^k(\cos(F_N\theta_k) - 1) \\ & + 4(U_C^{k-1} - U_T^k)U_T^k \sin(F_N\theta_k) \end{aligned} \right)} \quad (4.34)
\end{aligned}$$

이렇게 얻어진 (4.33)과 (4.34)에 앞선 절에서 얻어진 분석해인 U_C^* 와 J_L^* 을 대입하게 되면 각 스위칭 패턴별로 SR-DAHB 컨버터의 인덕터 실효 전류와 커패시터 실효 전압을 닫힌 해 형태로 도출할 수 있게 된다.

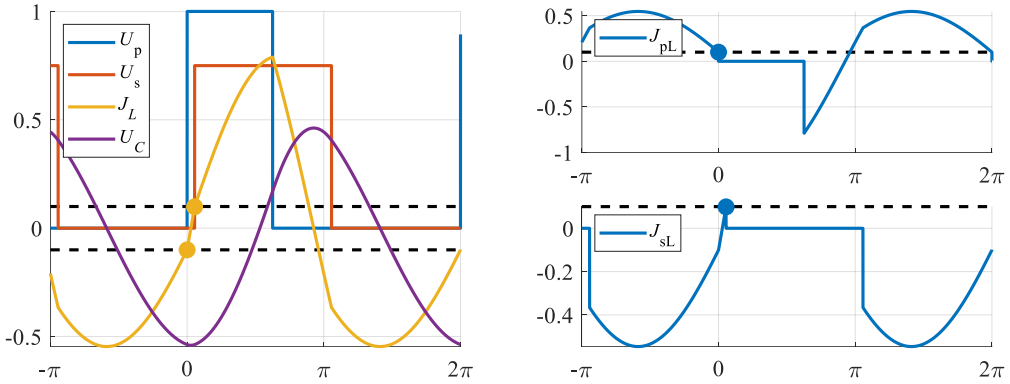
4.3 영전압-스위칭 영역 확장 제어 방식(EZVS 제어)

본 절에서는 연구배경에서 언급한 기존의 제어 방식들의 한계점에 주목하여, 앞선 절에서의 시간영역 해석을 기반으로 기존의 고정 스위칭 주파수 제어 방식보다 스위칭 손실을 저감하기 위한 스위칭-전류 성형 제어 기법을 제안한다.

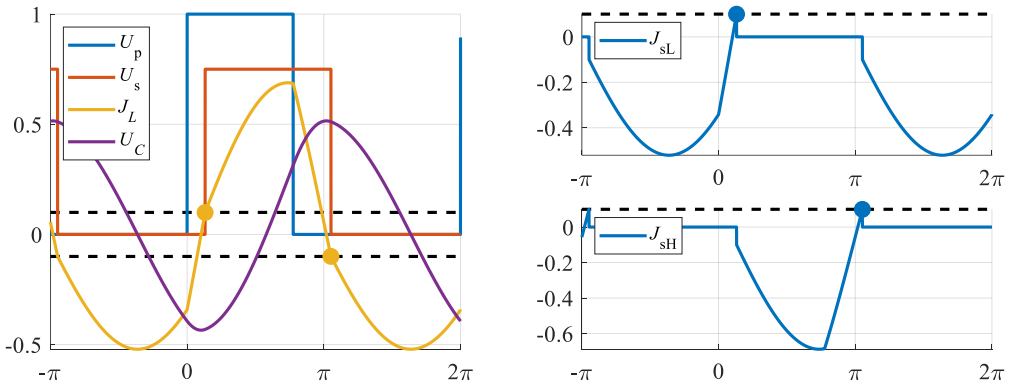
4.3.1 스위칭-전류 성형 제어 방식의 기본 원리

본 항에서는 제안하는 ZVS 영역 확장 제어 방식을 논하기에 앞서서, 제안하는 제어 방식의 기본 원리인 스위칭-전류 성형방법에 대하여 살펴본다. 고정 스위칭 주파수로 제어되는 SR-DAHB 컨버터는 3개의 제어 자유도(시비율 2개, 전압 위상 1개)가 있고, 지령 전력을 만족시켜야 하는 제한 조건이 1개 있으므로 2개의 제어 자유도가 남게 된다. 즉, 4개 스위치의 턴-오프 전류 중에서 최대 2개 스위치의 턴-오프 전류를 원하는 값으로 맞출 수 있음을 의미한다. 이러한 방법을 통해서 총 4개의 스위치 중 최소 2개의 스위치의 ZVS를 전 부하 영역에서 반드시 만족하도록 할 수 있다.

그림 4-15(가)와 (나)는 스위칭 패턴3에서 동일한 정규화 된 전력을 만족시키면서 다른 조합의 스위치 턴-오프 전류를 원하는 값으로 성형한 예를 보여준다. 검정색 점선은 성형하고자 하는 스위치 턴-오프 전류 값을 보여준다. 그림 4-15(가)는 1차측과 2차측의 윗상 스위치의 ZVS를 반드시 만족시키게 하기 위하여 1차측과 2차측의 아랫상 스위치의 턴-오프 전류가 성형된 모습을 보여준다. 같은 원리로, 그림 4-15(나)는 2차측의 윗상과 아랫상 스위치의 ZVS를 반드시 만족시키게 하기 위하여 2차측의 아랫상과 윗상 스위치의 턴-오프 전



(가)



(나)

그림 4-15 동일 지령 출력 전력 하에서 다른 조합의 스위치들의

턴-오프 전류를 성형한 제어 방식의 전압 전류 파형

(가) 1차측과 2차측의 아랫상 스위치 턴-오프 전류 성형의 경우

(나) 2차측의 윗상, 아랫상 스위치 턴-오프 전류 성형의 경우

류가 특정 값으로 성형된 모습을 보여준다. SR-DAHB 에서는 총 6개의 스위칭 패턴이 있으므로, 4개의 스위치 중 2개의 스위치를 고르는 선택의 조합을 고려

하면 총 $4C_2 * 6$ 가지의 스위칭-전류 성형 제어 방식이 존재할 수 있다.

한편, 원하는 지령 전력과 스위치 턴-오프 전류크기에 대해서 모든 스위칭-전류 성형 제어 방식에 해가 존재하는 것은 아니다. 또, 선택된 스위칭 패턴과, 만족시키고자 하는 스위치 종류에 따라서, 선택되지 않은 스위치들의 ZVS 만족 여부가 달라지고, 실효 전류 크기도 모두 다르게 된다. 따라서 지령 전력의 크기와 실효 전류의 크기를 고려하여 적절한 스위칭-전류 성형 제어 방식을 선택하는 것이 중요하다.

4.3.2 영전압-스위칭 영역 확장 제어 방식의 제어 변수 도출

본 항에서는 제안하는 ZVS 영역 확장 제어 방식에 대하여 자세히 살펴본다. 앞선 항에서 언급하였듯이, 고정 스위칭 주파수 제어 방식에서는 2개의 스위칭-전류를 원하는 값으로 맞출 수 있다. 이러한 배경으로, 제안하는 제어 방식은 ‘낮은 전압측 브릿지’의 스위치 2개의 스위칭 턴-오프 전류를 성형하도록 한다.

예를 들어, 그림 4-16(가)의 경우에는 2차측 전압이 1차측 전압보다 낮으므로 2차측의 2개의 스위치의 턴-오프 전류를 성형하게 된다. 이에 따라 그림 4-16(나)에서 볼 수 있듯이 출력 전력이 증가하여 전류 개형이 변화한다 하여도, 2차측 2개의 스위치의 턴-오프 전류가 일정하게 유지시킬 수 있다.

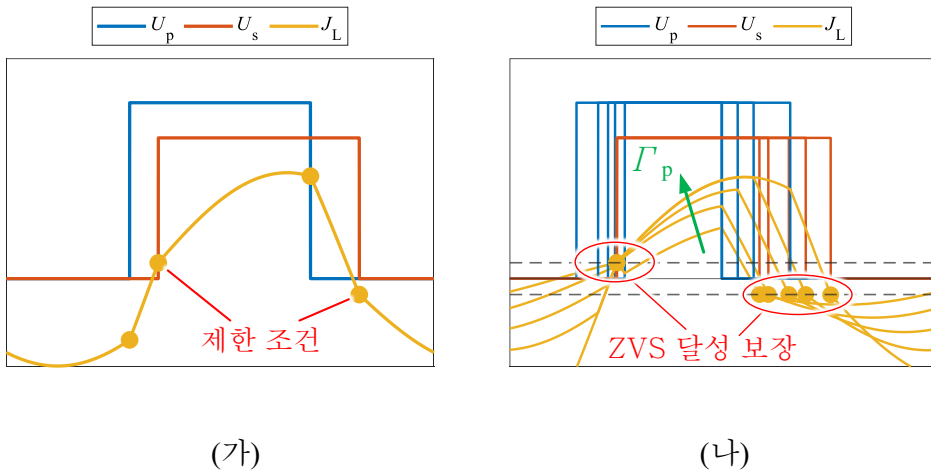


그림 4-16 제안하는 ZVS 영역 확장 스위칭 기법(EZVS)

(가) 턴-오프 전류를 성형 시키고자 하는 스위치 (낮은 전압측 브릿지)

(나) 출력 전력 증가에 따른 극 전압과 인덕터 전류 제어 파형의 변화

이러한 방식은 크게 2가지 장점이 있다. 첫째, 출력 전력이 낮아질수록 전압이 낮은 전압 측 브릿지 스위치들의 ZVS 달성에 가장 먼저 위협받게 되는데, 위와 같은 방식을 통해 낮은 전압 측 브릿지의 스위치들의 ZVS를 보장하여 주게 되면, 더 넓은 범위에서 모든 스위치가 ZVS 되도록 유도할 수 있다. 둘째, 낮은 전압 측의 턴-오프 전류의 크기를 최소화한다는 것은 낮은 전압 측의 무효전력을 최소화하는 것과 같다. 이러한 효과로 인덕터 실효 전류를 작은 크기로 유도하게 된다. 본 논문에서는 제안하는 스위칭 기법을 ‘ZVS 영역 확장 스위칭 기법(Extended ZVS control)’ 줄여서 EZVS 기법이라고 명명하겠다.

낮은 전압 측의 브릿지의 스위치 2개를 선택하는 문제이기 때문에, 그림 4-17과 같이 전압 이득 M 이 1보다 큰지 작은지에 따라 스위치 턴-오프 전류를 성형 시키고자 하는 스위치들이 달라지게 된다. 본 항에서는 $M \leq 1$ 이면서 정방향 전력전달 경우에 대해서만 자세하게 논의한다. $M > 1$ 경우 또는 역방향 전력방향인 경우에 대해서는 후술할 논의 과정과 동일한 과정을 통해서 유도

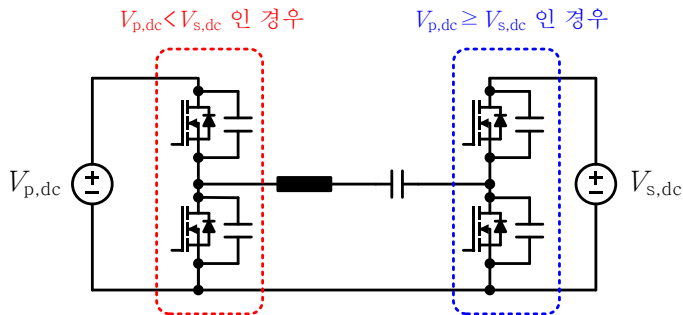


그림 4-17 제안하는 EZVS 제어 방식에서 ZVS가 반드시 달성되도록 선택되는 스위치

표 4-7 본 항에서 제어 파형 예시를 위해 쓰이는 컨버터 제정수

제정수	값	제정수	값
F_N	0.75	$J_{ZVSb,p}$	0.075
Γ_p	[0 0.2]	$J_{ZVSb,s}$	0.075
Z_o	15 Ω	M	0.9

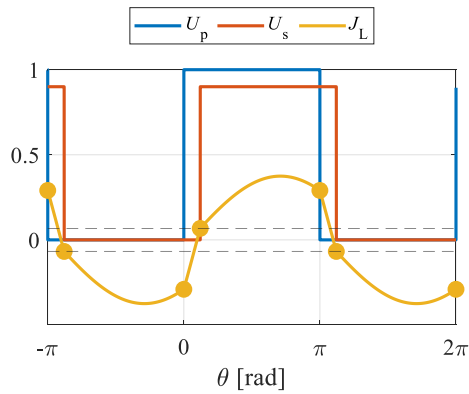
될 수 있다.

제안하는 EZVS제어 방식은 고출력에서는 SPS로 제어되며, 중 출력에서는 스위칭 패턴3에서, 저 출력에서는 스위칭 패턴2에서 스위치 턴-오프 전류 성형 제어가 이루어 진다. 즉 총 3개의 구역으로 나뉘어서 제어된다. 후술하는 과정은 각 제어 구역에서의 제어 변수 산출방법과 각 구역의 경계 지점에 관하여 논의한다. 본 항에서는 제어 파형 예시를 위해 표 4-7의 제정수를 사용하였다.

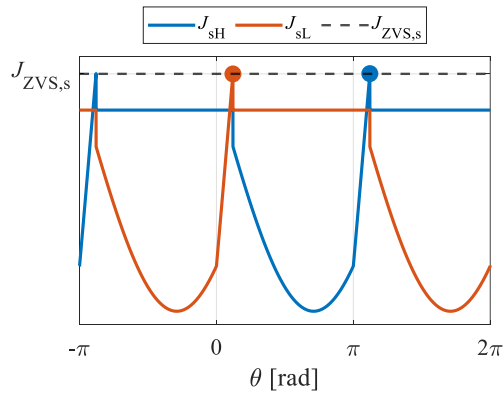
4.3.2.1 고부하 전략: SPS 제어

컨버터 제어기의 지령 출력을 SPS 제어로 수행할 때, 모든 스위치들이 ZVS 달성을 만족한다면 본 논문에서 제안하는 EZVS 제어 방식은 SPS 제어 방식과 등가로 제어하게 된다. 이러한 출력 전력 지령은 고출력 지령 영역으로 높은 전류로 임피던스에서 높은 무효전력을 소비하고, 이에 따라 양쪽 브릿지에서 충분한 유도성 무효전력을 공급하게 되면서 모든 스위치의 ZVS가 달성된다.

SPS 제어 방식에서는 양쪽 시비율 D_p, D_s 가 0.5로 고정되며, 위상 D_ϕ 로만 출력 전력이 제어된다. 이때, 제한조건은 지령 출력 전력 Γ_p^* 을 만족하는 조건 1개로 (4.35)와 같이 표현되며, 제어 자유도도 전압 위상 D_ϕ 1개이므로 전압 위상 D_ϕ 는 (4.36)과 같이 유일하게 결정된다.



(가)



(나)

그림 4-18 $\Gamma_{p,\min,SPS}^*$ 제어상태 예시

(가) 정상상태 전압 전류 (나) 2차측 스위치 전류와 스위치 턴-오프 전류

$$\Gamma_p^* = \frac{M}{2\pi F_N \sin(F_N \pi)} \left(-\sin(F_N \pi) + 2 \cos \left(F_N \left(\frac{1}{2} - 2D_\phi \right) \pi \right) \sin \left(\frac{F_N \pi}{2} \right) \right) \quad (4.35)$$

$$D_\phi = \frac{1}{4} - \frac{1}{2\pi F_N} \operatorname{acos} \left(\cos \left(\frac{F_N \pi}{2} \right) \left(\frac{2\pi F_N \Gamma_p^*}{M} + 1 \right) \right) \quad (4.36)$$

출력 전력 Γ_p 가 낮아 질수록 2차측 스위치의 턴-오프 전류($J_{sH,off}, J_{sL,off}$)들 또한 낮아지기 시작하는데 그 값이 $J_{zvs,s}$ 이하로 낮아지는 순간부터는 온전한 ZVS를 달성되지 못하며 불완전 ZVS가 발생하게 된다. 본 논문에서는 이 지령 출력 전력 시점을 ‘SPS 최소 출력, $\Gamma_{p,min,SPS}^*$ ’ 이라고 정의한다. SPS 최소 출력 $\Gamma_{p,min,SPS}^*$ 는 SPS 제어 방식에서 벗어나 시비율 변조 제어가 시작되는 시점으로 $J_{sH,off} = J_{zvs}$ 조건, (4.37)을 이용해 (4.38)과 같이 계산할 수 있다. 그림 4-18(가)는 SPS 최소 출력 $\Gamma_{p,min,SPS}^*$ 에서의 제어 상태의 예시를 보여주며 그림 4-18(나)에서 확인할 수 있듯이 2차측 스위치들의 턴-오프 전류 모두 $J_{zvs,s}$ 와 같음을 알 수 있다.

$$\Gamma_{p,min,SPS}^* = \Gamma_p^*$$

When,

$$\begin{aligned} J_{zvsb,s} &= \frac{1}{M} J_{zvs,s} = \frac{1}{M} J_{sL,off} = \frac{1}{M} J_{sH,off} \\ &= \frac{1}{M} J_L^1 = -\frac{1}{M} J_L^3 \end{aligned} \quad (4.37)$$

$$= \frac{1}{M} \frac{\sin \left(F_N \frac{\pi}{2} \right) \sin \left(F_N \left(\frac{1}{2} - 2D_{\phi,min,SPS} \right) \pi \right) - M \sin^2 \left(F_N \frac{\pi}{2} \right)}{\sin(F_N \pi)}$$

$$D_{\phi,min,SPS} = \frac{1}{4} - \frac{1}{2\pi F_N} \operatorname{acos} \left(\cos \left(F_N \frac{\pi}{2} \right) \left(\frac{2\pi F_N \Gamma_{p,min,SPS}^*}{M} + 1 \right) \right)$$

$$\Gamma_{p,\min,SPS}^* = \frac{M}{2\pi F_N} \left(\sqrt{\sec\left(F_N \frac{\pi}{2}\right)^2 - M^2 \left(\tan\left(F_N \frac{\pi}{2}\right) + 2J_{ZVS,S}\right)^2} - 1 \right) \quad (4.38)$$

4.3.2.2 중부하전락: 스위칭 패턴3에서 스위칭-전류 성형

컨버터 제어기의 출력 전력 지령이 낮아져서, SPS 최소 출력 $\Gamma_{p,\min,SPS}^*$ 이하로 지령이 하달된 경우에는 SPS 제어를 포기하고 위상과 시비율 모두를 제어하기 시작한다. 이는, 위상과 시비율 제어를 통해 지령 전력을 만족하면서 2차측 스위치 모두가 ZVS를 만족하도록 하는 문제로 귀결된다.

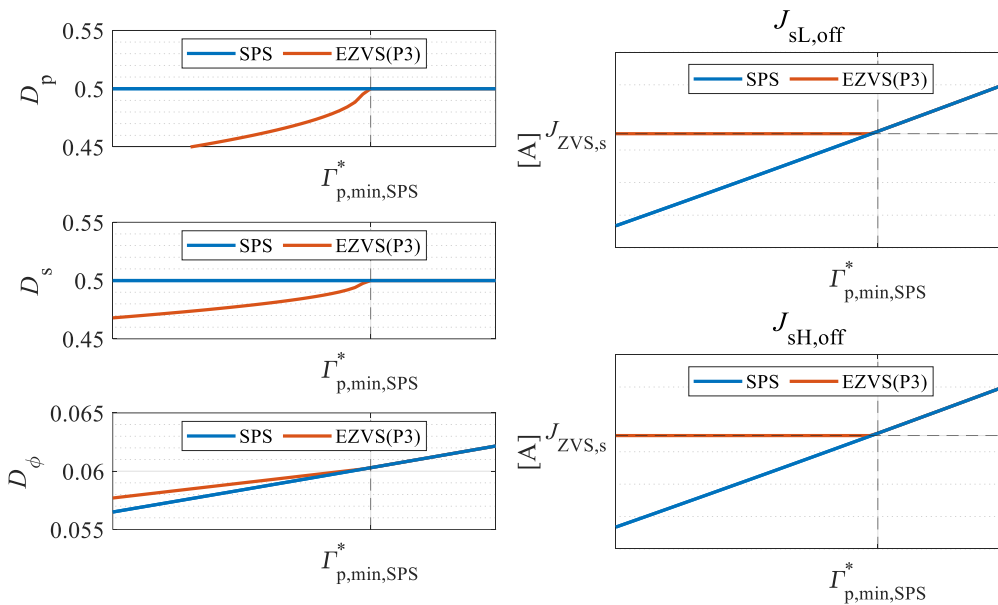
이때, 스위칭 패턴3에서 2차측 스위치의 ZVS가 만족되도록 하는 제어 변수를 찾게 되면 SPS 제어 방식에서 연속적으로 제어 변수가 이어지게 된다. 그 이유는 SPS 제어의 정방향 출력 제어는 모든 제어 영역에서 스위칭 패턴3을

표 4-8 스위칭 패턴3에서 EZVS 제어 방식의 해 도출 위한 제한조건 표현식

제한조건	표현식
1	$\Gamma_p^* = \frac{M}{2\pi F_N \sin(F_N \pi)} \left(\begin{array}{l} -\sin(F_N \pi) + \cos(F_N (\overline{D}_p - 2D_\phi) \pi) \sin(F_N D_s \pi) \\ + \cos(F_N (D_p - 2D_\phi) \pi) \sin(F_N \overline{D}_s \pi) \end{array} \right)$
2	$J_{ZVSb,s} = J_{sL,off}/M = J_L^1/M$ $= \frac{\sin(F_N \overline{D}_p \pi) \sin(F_N (D_s - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D}_s \pi)}{M \sin(F_N \pi)}$
3	$J_{ZVSb,s} = J_{sH,off}/M = -J_L^3/M$ $= \frac{\sin(F_N D_p \pi) \sin(F_N (\overline{D}_s - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D}_s \pi)}{M \sin(F_N \pi)}$

이용하는데, SPS 최소 출력 $\Gamma_{p,min,SPS}^*$ 제어 상태의 상태 변수가 $J_{sL,off} = J_{pL,off} = MJ_{ZVSb,s}$ 인 한편, 스위칭 패턴3에서 시비율을 변조하여 2차측 스위치의 ZVS 달성을 만족하도록 하는 제어 변수들은 모두 $J_{sL,off} = J_{pL,off} = MJ_{ZVSb,s}$ 를 만족하기 때문이다, 이는 $\Gamma_{p,min,SPS}^*$ 출력 지령에서 두 제어 기법의 제어 변수들이 만나게 되는 것을 의미한다.

스위칭 패턴3에서 2차측 스위치의 ZVS 달성을 보장을 위한 제어 변수 제한 조건은 표 4-8과 같이 총 3가지로, (1) 스위칭 패턴3에서 지령 출력 만족 조건,



(가)

(나)

그림 4-19 SPS 제어 방식과 EZVS 제어 방식 사이의
(가)제어 변수 비교와 (나)정규화 된 스위치 턴-오프 전류 비교

(2) 2차측 아랫상 스위치 턴-오프 전류 성형 조건, (3) 2차측 윗상 스위치 턴-오프 전류 성형 조건으로 정리할 수 있다. 이를 만족하는 해는 수치해석적으로 구할 수 있다. 그림 4-19(가)는 수치해석적으로 구해진 제어 변수의 예시를 보여주며, 그림 4-19(나)는 이때의 스위치 턴-오프 전류들을 보여준다. SPS 제어 변수는 ‘SPS’로 표기하였으며, 스위칭 패턴3에서 얻어진 EZVS 제어 방식의 제어 변수는 ‘EZVS(P3)’로 표기하였다.

앞서 논의했던 것처럼, SPS 제어 시 전력이 낮아질수록 스위치 턴-오프 전류가 낮아지게 되고, 2차측 스위치들이 iZVS 또는 하드 스위칭으로 진입하게 된다. 이때, SPS 최소 출력 $\Gamma_{p,min,SPS}^*$ 부터 제안된 스위칭 기법으로 분기하게 되면 최소 스위치 턴-오프 전류를 유지하면서 동작할 수 있고, 이를 통해 최소 2개 스위치의 ZVS를 계속적으로 유지시킬 수 있게 된다. 결과적으로 가장 먼저 ZVS에 위협을 받는 스위치의 ZVS 동작을 보장함으로써 기존의 방법보다 더 넓은 영역까지 모든 스위치가 ZVS를 만족하도록 할 수 있다.

4.3.2.3 경부하전략: 스위칭 패턴2에서 스위칭-전류 성형

앞선 절 4.3.1에서도 언급하였듯, 임의의 스위칭 패턴과 성형하고자 하는 스위치조합에 대해서 지령 출력을 만족하는 해가 반드시 존재하는 것은 아니다. 스위칭 패턴3에서 출력 지령 전력을 계속적으로 줄이게 되면, 출력 전력을 줄이기 위한 전압 위상 D_ϕ 의 감소분이 스위칭 패턴3의 스위치 모드1의 θ_1 구간을 좁게 만들며 결과적으로 스위칭 패턴3을 벗어나게 만들게 된다. 이는 스위칭 패턴3에서 2차측 턴-오프 전류 크기를 만족시키기 위한 지령 출력 전력에 하한이 있다는 것을 의미한다. 본 논문에서는 스위칭 패턴3에서의 출력 하한을

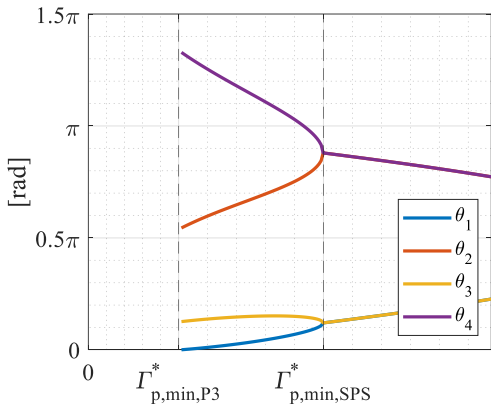
$\Gamma_{p,\min,P3}^*$ 로 정의하며, 이 값은 (4.39)와 같이 구할 수 있다.

$$\Gamma_{p,\min,P3}^* = \Gamma_p^* \Big|_{\theta_1=0}$$

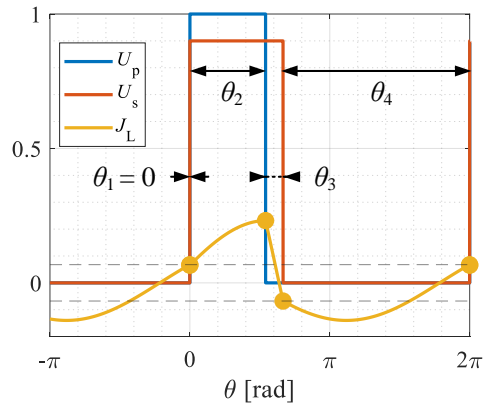
이때,

$$\theta_1 \Big|_{\Gamma_{p,\min,P3}^*} = \left((D_p^* - D_s^*)\pi + 2D_\phi^*\pi \right) \Big|_{\Gamma_{p,\min,P3}^*} = 0 \quad (4.39)$$

그림 4-20(가)는 지령 출력 전력에 따른 스위칭 패턴3에서 각 스위치 모드들의 간격을 나타낸다. 지령 출력이 작아질수록 스위치 모드1의 θ_1 간격이 줄어들게 되며 최종적으로 0으로 도달하여 스위칭 패턴3의 출력 하한 $\Gamma_{p,\min,P3}^*$ 이하부터는 스위칭 패턴3에서 지령 출력 전력을 만족하면서 2차측 턴-오프 전류



(가)



(나)

그림 4-20 스위칭 패턴3에서 2차측 턴-오프 전류 크기를 유지하는

지령 출력 전력에 하한의 존재성

(가) $\Gamma_{p,\min,P3}^*$ 이상의 지령 출력 전력에 따른 스위치 모드 간격

(나) $\Gamma_{p,\min,P3}^*$ 제어상태 예시

크기를 만족하는 해가 없음을 보여준다. 그림 4-20(나)는 스위칭 패턴3의 출력 하한 $\Gamma_{p,\min,P3}^*$ 의 제어상태를 보여주며, 이 지령 전력 이하를 제어하기 위해서는 다른 스위칭 패턴으로 분기 해야함을 알 수 있다.

따라서 제안하는 EZVS 제어 방식은 스위칭 패턴3의 출력 하한 $\Gamma_{p,\min,P3}^*$ 이하 부터는 스위칭 패턴2로 분기하여 제어를 하도록 하여 연속적으로 제어 변수들을 이어 나가도록 한다. 스위칭 패턴2에서 EZVS 제어 변수를 얻기 위한 제한 조건은 스위칭 패턴3에서와 유사하게 총 3가지로, (1) 스위칭 패턴2에서 지령 출력 만족 조건, (2) 2차측 아랫상 스위치 턴-오프 전류 성형 조건, (3) 2차측 윗상 스위치 턴-오프 전류 성형 조건으로 표 4-9와 같이 정리할 수 있다. 이를 만족하는 해는 (4.40)과 같이 닫힌 해로 구할 수 있다.

표 4-9 스위칭 패턴2에서 EZVS 제어 방식의 해 도출 위한 제한조건 표현식

제한조건	표현식
1	$\Gamma_p^* = \frac{M}{2\pi F_N \sin(F_N \pi)} \left(2\sin(F_N D_p \pi) \sin(F_N \bar{D}_s \pi) \sin(2F_N D_\phi \pi) \right)$
2	$J_{ZVSb,s} = J_{sL,off}/M = -J_L^3/M$ $= \frac{\sin(F_N D_p \pi) \sin(F_N (\bar{D}_s + 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \bar{D}_s \pi)}{M \sin(F_N \pi)}$
3	$J_{ZVSb,s} = J_{sH,off}/M = J_L^2/M$ $= \frac{\sin(F_N D_p \pi) \sin(F_N (\bar{D}_s - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \bar{D}_s \pi)}{M \sin(F_N \pi)}$

$$\begin{aligned}
 D_p &= \frac{1}{F_N \pi} \operatorname{asin} \left(\sqrt{C_1^2 + C_2^2} \right) \\
 D_s &= 1 - \frac{1}{2F_N} \\
 D_\phi &= \frac{1}{2\pi F_N} \operatorname{atan} \left(\frac{C_2}{C_1} \right)
 \end{aligned} \tag{4.40}$$

이때,

$$\begin{aligned}
 C_1 &= M \left(J_{ZVsb,s} \sin(F_N \pi) - \cos(F_N \pi) \right) \\
 C_2 &= \frac{\pi \Gamma_p^* F_N \sin(F_N \pi)}{M}
 \end{aligned}$$

그림 4-21은 제안하는 EZVS 제어 방식의 스위칭 패턴에서의 제어 파형 예시를 보여준다. 낮은 전력에서도 2차측 스위치의 ZVS를 보장해주는 것을 확인할 수 있으며, 이를 통해 전 동작영역에서 최소 2개 이상의 스위치의 ZVS를 만족시켜준다.

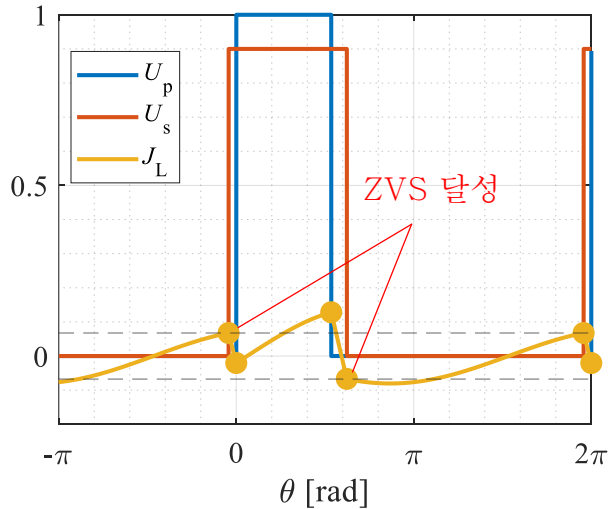
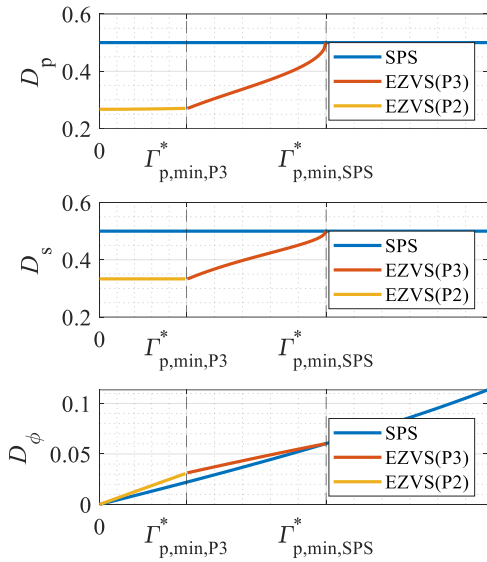
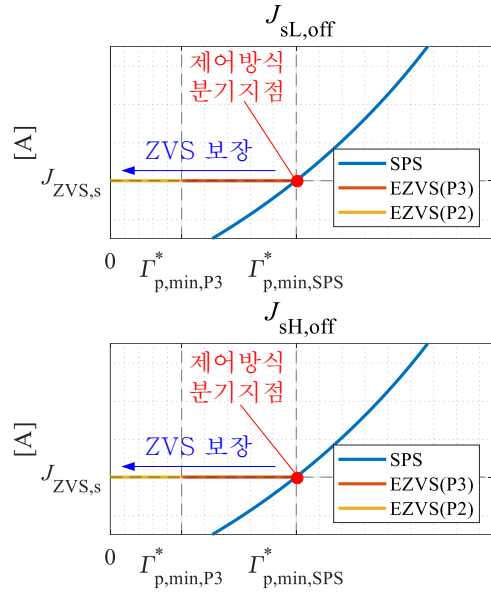


그림 4-21 스위칭 패턴에서 EZVS 제어 방식의 제어 파형



(가)



(나)

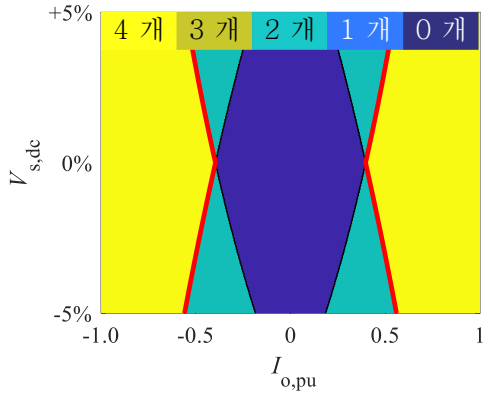
그림 4-22 표 4-9 제어 조건하에서 얻어진

(가) EZVS 제어 방식의 제어 변수와 (나) 2차측 스위치의 턴-오프 전류

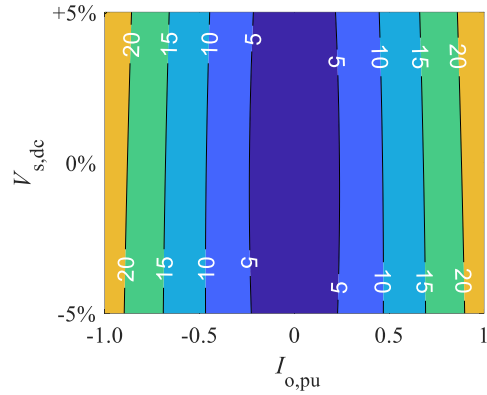
그림 4-22(가)는 표 4-9조건에서 상기 과정을 통해서 구해진 0전력부터 정격 전력까지의 제어 변수 예시를 보여주며, 그림 4-22(나)는 이때의 스위치 턴-오프 전류들을 보여준다. 고부하에서 SPS 제어로 유지 하면서 스위치 턴-오프 전류들이 계속적으로 낮아지다가 ZVS 달성을 위협받는 크기까지 낮아지게 되면, 시비율 제어를 추가로 도입하여 스위치 턴-오프 전류를 성형함으로써 계속적인 ZVS 달성을 유도한다.

4.3.3 선행연구 제어 방식과의 비교우위와 제한점

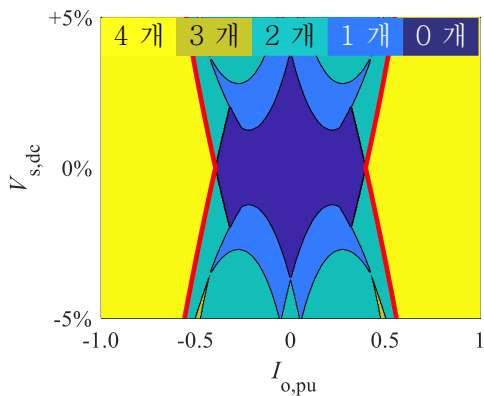
본 항에서는, 기존의 제어 방식들과 제안된 EZVS 제어 방식의 동작 특성의 우위를 비교한다. 그림 4-23은 제 3 장에서 설계하였던 설계 제정수 (표 3-5)를 바탕으로 1차측 전압이 공칭 전압일 때, 컨버터의 제어 방식 별 ZVS 달성 스위치의 개수와 고조파를 포함한 실효 전류 크기가 도시되어 있다. 그림



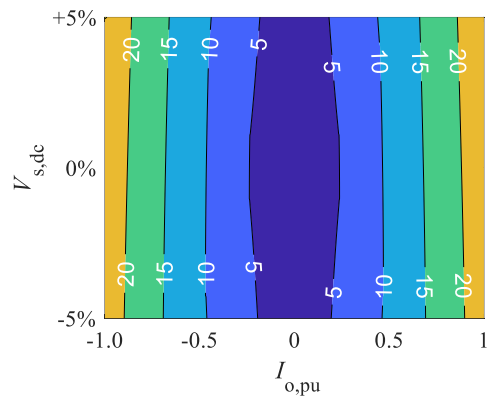
(가)



(나)



(다)



(라)

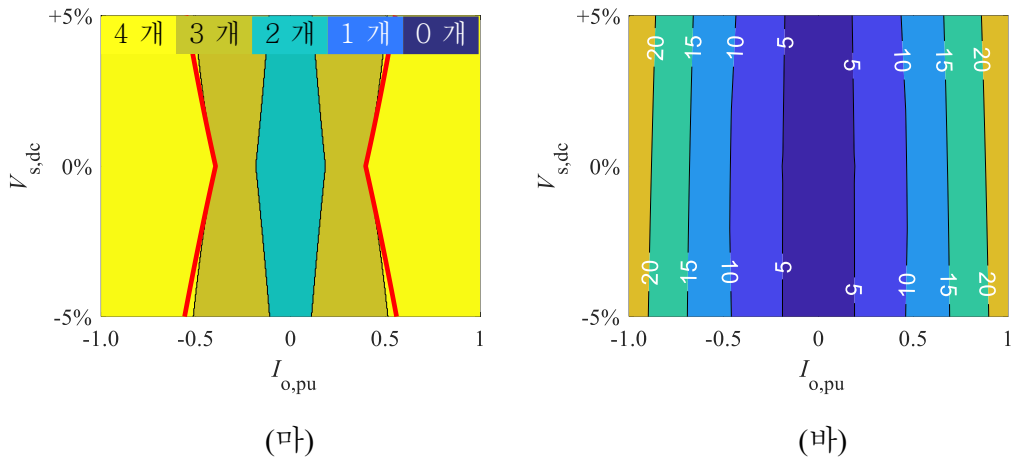


그림 4-23 1차측 전압이 공칭 전압일 때

SPS [141] 제어시의 (가)ZVS 달성 스위치의 개수 (나) 실효 전류 크기

MCT [142] 제어시의 (다)ZVS 달성 스위치의 개수 (라) 실효 전류 크기

EZVS 제어시의 (마)ZVS 달성 스위치의 개수 (바) 실효 전류 크기

4-23(가)와 (나)는 각각 SPS 제어 방식([144])의 ZVS 달성 스위치 개수와 실효 전류의 크기를 나타내며, (다)와 (라)는 각각 MCT 제어 방식([145])의 ZVS 달성 스위치 개수와 실효 전류의 크기를 나타내며, (마)와 (바)는 본 논문에서 제안한 EZVS 제어 방식의 ZVS 달성 스위치 개수와 실효 전류의 크기를 나타낸다. ZVS 달성 스위치를 나타내는 그림의 빨간색 선은 SPS 제어 조건하에 최소한 개 스위치가 ZVS가 달성되지 않는 제어범위의 경계를 제어 방식 별 비교를 위하여 표시하였다.

SPS 제어 방식과 MCT 제어 방식에서는 낮은 전력으로 갈수록 모든 스위치의 스위칭-전류가 작아지어서, 일정 전력 이하로 떨어지게 되면 모든 스위치

가 ZVS 달성에 실패하게 된다. 반면에, 본 논문에서 제안한 방식의 경우 최소 2개의 ZVS를 반드시 만족되도록 제어하기 때문에 낮은 출력 전력 지령이라 하더라도, 최소 2개 이상의 스위치가 ZVS를 만족하게 된다. 이러한 효과는 전압 이득이 1인 지점에서 특징이 잘 드러나는데, 기존의 제어 방식의 경우에는 0.4 pu 부하에서부터 모든 스위치의 ZVS 달성에 실패하지만, 제안하는 방법의 경우에는 0.2 pu 부하까지 스위치 3개의 ZVS를 만족시키며 0.2 pu 이하에는 2개의 스위치의 ZVS를 만족시킴을 알 수 있다.

- 제안된 EZVS 제어 방식의 제한점1

고 출력 부하에서는 모든 제어 기법들이 SPS 제어 기법과 동일하기 때문에 실효 전류의 차이가 없지만, 경부하에서는 제어 변수가 달라지기 때문에, 그림 4-23에서도 확인할 수 있듯이 실효 전류의 차이가 발생한다. 한편 실효 전류 측면에서는 제안하는 스위칭 방식이 가장 높은 실효 전류크기를 보였다. 이러한 이유는 크게 2가지로, 첫째, 제안하는 방식에서는 스위치의 시비율을 조정 이 일어나기 때문에, 낮은 전압 측의 무효전력을 최소화하였다 하더라도, 낮은 구형파 크기로 인하여 동일한 전력을 전달하기 위해서는 더 높은 전류가 요구되기 때문이다. 둘째, 2고조파 등의 고조파 전류를 ZVS에 도움이 되도록 의도적으로 유기하였기 때문이다.

- 제안된 EZVS 제어 방식의 제한점2

그림 4-23에서 보여지는 ZVS 달성 스위치의 개수의 우위가 반드시 턴-온 스위칭 손실의 저감과 직결되는 것은 아니다. 그림 4-23에서 표시되는 ZVS 달성 스위치의 개수는 온전히 ZVS가 달성되는 스위치의 개수를 의미하며, ZVS 달

성에 실패한 스위치는 불완전 ZVS 또는 하드 스위칭 상태에 있음을 의미한다. 이는 극단적으로 1V의 전압이 커패시터에 남아있는 상태에서 스위칭이 일어난 경우에도 불완전 ZVS로 취급되어 ZVS 달성개수가 차감되어 해석 되는 것을 의미한다.

만약, 동일 동작지점에서 제어 방식 A의 경우 모든 스위치가 ZVS가 되는데 반해, 제어 방식 B의 경우 일부 스위치가 ZVS가 달성되지 못하는 경우라면, 제어 방식 A에 턴-온 스위칭 손실의 우위가 있다고 할 수 있다. 반면에, 같은 동작 지점에서 두 제어 방식 모두 모든 스위치 ZVS 달성에는 실패하는 경우는, ZVS 달성 개수에 제어 방식 A가 우위에 있다 하더라도 최종적인 스위칭 손실에 우위가 있다고는 할 수 없다. 이는 출력 커패시터의 방전에 의한 손실은 커패시터에 남아 있는 전압의 제곱에 비례하기 때문에, 그림 4-24의 예시와 같이 단 한 개의 스위치 불완전 ZVS 손실이 복수의 스위치의 불완전 ZVS 손실 총합보다 클 수 있기 때문이다. 따라서, 일부 스위치의 ZVS가 달성되지 않는 경우, 턴-온 스위칭 손실의 우위와 ZVS 달성 개수의 우위가 반드시 일치하지는 않는다.

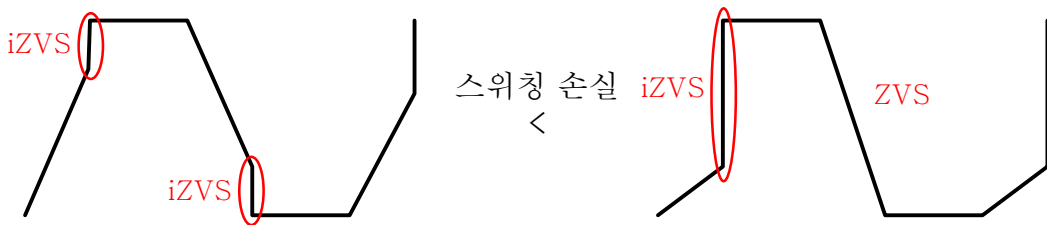


그림 4-24 복수의 스위치의 스위칭 턴-온 손실이 한 개의 스위칭 턴-온 손실보다 큰 경우의 예시

한편, 그림 4-23에서 확인할 수 있듯이, 일부 스위치의 ZVS가 달성되지 못하는 경계지점은 제어 방식과 무관하게 거의 동일하다. 따라서, 제안된 방식이 다른 제어 방식에 비하여 ZVS 달성 개수에 우위가 있다 하더라도, 반드시 유리한 제어 방식이라고 단정 지을 수 없다.

하지만, 제안된 EZVS 제어 방식의 경우, 전 동작 영역에서 ZVS를 달성시키는 스위치를 최소 2개 이상으로 유지시키기 때문에, 최대 스위칭 손실을 제한하는 효과가 있다. 이는 컨버터에서 방열해야 하는 열의 최대치를 제한하는 효과를 가져오며, 방열판의 크기를 감소시킬 수 있는 가능성을 내포한다.

- 제안된 EZVS 제어 방식의 제한점3

그림 4-23에서 확인할 수 있듯이, 제안하는 EZVS 제어 방식이 ZVS에 가장 먼저 위협을 받는 스위치의 ZVS를 보장시키는 제어를 표방하여 모든 스위치의 ZVS 달성 영역을 넓히는 효과를 유도했음에도 불구하고, 모든 스위치가 ZVS를 달성하는 영역은 제안하는 방법과 기존의 방법이 큰 차이를 보이지 않았다. 이는 전압 이득이 1에 가까울 수록 1차측과 2차측의 스위칭-전류 차이가 크지 않기 때문에, 가장 먼저 ZVS 달성에 위협을 받는 2차측 스위치 두개의 ZVS 달성을 보장한다 하더라도, 출력전력이 낮아짐에 따라 곧바로 1차측 스위치의 윗상이 ZVS 달성에 실패하기 때문이다.

제안된 EZVS 제어 방식의 모든 스위치 ZVS 달성 영역은 표 4-10과 같이 2차측 스위치 ZVS 만족 조건 2개와 1차측 스위치 윗상 ZVS 만족 조건을 통해서 얻을 수 있다. 이를 통해 얻어진 ZVS 영역을 기존의 제어 방식과 비교하면 그림 4-25와 같이 비교 될 수 있다.

그림 4-25는 전압 이득이 1에 가까울 때에 기존의 제어 방식과 제안된 EZVS 제어 방식의 ZVS 영역차이가 크지 않다는 것을 말해준다. 한편, 전압 이득이 1에서 멀어질 수록 1차측과 2차측의 스위칭-전류의 차이가 커지기 때문에, 2차측 스위치의 ZVS를 만족시키더라도 1차측 스위치의 ZVS가 달성되지 못하는 지령 전력이 상대적으로 낮아지게 된다. 이는 제안된 방식의 ZVS 영역 확장 효과가 높은 전압 이득을 감당할 때 크게 나타남을 함의하며, 그림 4-25에서도 확인할 수 있다.

따라서 본 논문에서 상정한 계통응용분야의 컨버터는 $\pm 5\%$ 정도의 낮은 전압 변동률만 감당하기 때문에 제안된 제어 방식의 ZVS 달성영역 확장이 크지 않았지만, 계통에서의 LVRT/HVRT 상황이나 배터리 충전, PV 등 전압 변동률이 10% 이상 되는 응용분야에서는 제안된 제어 방식의 효과성이 클 것을 기

표 4-10 EZVS 제어 방식의 ZVS 경계선을 얻기 위한 제한조건

제한조건	표현식
1	$J_{ZVSb,p} = J_{sL,off} = -J_L^0$ $= \frac{\sin(F_N D_p \pi) \sin(F_N \overline{D}_p \pi) - M \sin(F_N (\overline{D}_p - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
2	$J_{ZVSb,s} = J_{sL,off}/M = J_L^1/M$ $= \frac{\sin(F_N \overline{D}_p \pi) \sin(F_N (D_s - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D}_s \pi)}{M \sin(F_N \pi)}$
3	$J_{ZVSb,s} = J_{sH,off}/M = -J_L^3/M$ $= \frac{\sin(F_N D_p \pi) \sin(F_N (\overline{D}_s - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D}_s \pi)}{M \sin(F_N \pi)}$

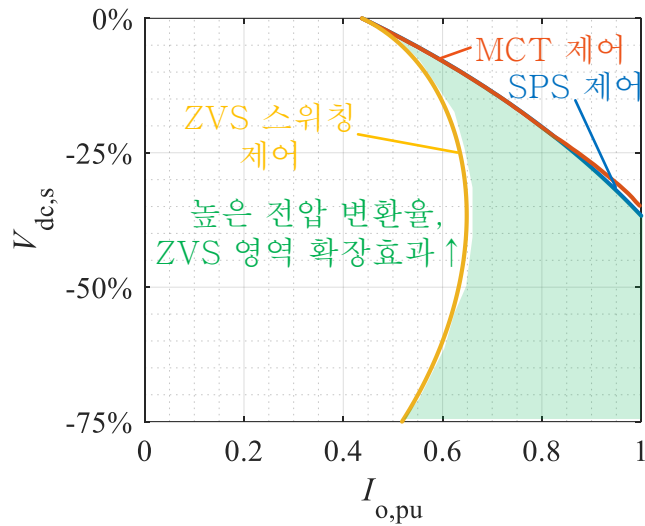


그림 4-25 제어 방식 별 모든 스위치 ZVS 달성 영역 경계선의 비교

대할 수 있다.

그림 4-26은 전압 이득이 0.5~1.5 사이로 넓은 응용분야를 가정하여 제어 방식 별 동작 특성을 비교한 것이다. 그림 4-26(가)는 SPS 제어시의 ZVS를 달성하는 스위치의 개수를 나타내며 그림 4-26(나)는 본 논문에서 제안하는 EZVS 제어시 ZVS를 달성하는 스위치의 개수를 보여준다. 그림에서 확인할 수 있듯이 제안된 방식의 ZVS영역 확장효과가 전압 이득이 넓은 응용분야에서 효과적일 것을 예상할 수 있다.

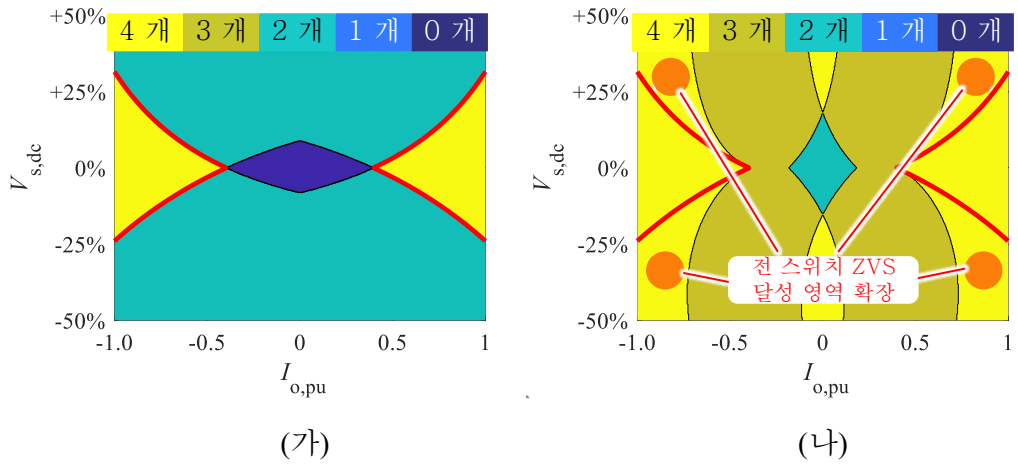


그림 4-26 전압 변환율이 넓은 응용분야에서 제어 방식 별 동작 특성 비교
 (가) SPS 제어 ZVS 동작 특성 (나) 제안된 EZVS 제어 ZVS 동작 특성

4.4 펄스 밀도 변조 방식(PDM 제어)

경부하 효율을 개선하기 위한 대표적인 방안은 Burst-모드 제어이다. Burst-모드 제어는 효율이 낮은 경부하 지령을 그대로 수행하지 않고, 컨버터를 켜다 끄는 것을 교번함으로써 평균적으로 지령 출력을 제어하는 방법이다. 따라서 컨버터가 켜지는 동안의 등가 부하율을 높일 수 있고, 높은 효율을 달성할 수 있는 동작 지점에서 운전할 수 있게 된다[173]. 이상적으로는 경부하 효율을 그림 4-27과 같이 최적의 효율 지점과 같은 효율 특성을 나타낼 수 있다.

Burst-모드는 크게 2가지 형태로 구현 될 수 있는데, 그림 4-28(가)와 같이 피드백 받은 전압을 기준으로 히스테리시스 제어를 통해 컨버터를 켜고 끄는 지령을 생성하거나 [174], [175], 그림 4-28(나)와 같이 고정된 Burst-모드 주기를 선정하고 컨버터를 켜는 시비율을 조정함으로써 평균 적인 전압 제어를 한다 [173], [176]. 본 논문에서는 고정 Burst-모드 주기를 사용한 방식을 펄스 밀도

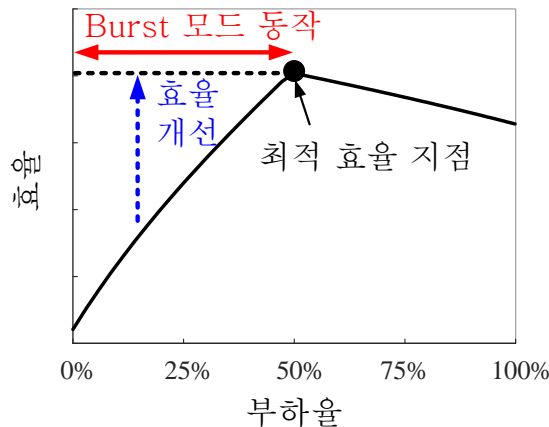


그림 4-27 Burst-모드를 통한 경부하 효율 개선 특성

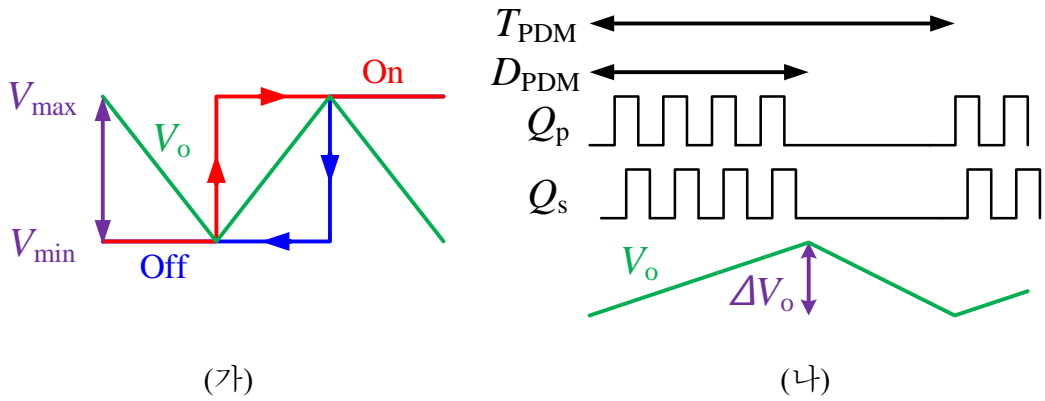


그림 4-28 대표적인 Burst-모드 구현 방법

(가) 히스테리시스 제어 방식

(나) 펄스 밀도 변조 방식(Pulse Density Modulation)

변조 방식(PDM, Pulse Density Modulation)로 명명하겠다.

히스테리시스 제어는 과도 상황에서 우수한 전압 Regulation 성능을 보인다. 한편, PDM 제어 방식은 전압 리플의 주파수를 고정할 수 있어 필터 설계에 유리하다는 장점이 있으며, PDM 제어 시비율 D_{PDM} 가 0.5에서 멀어질수록 전압 리플폭이 작아지는 특징이 있다.

이러한 Burst-모드 제어는 *LC* [177], [178], *LLC* [176], [179]–[184], *LCC* [185], [186] 등 주파수 제어 컨버터, *L-DAB* 컨버터 [187]–[189]에서 성공적으로 적용된 바 있으며, 본 논문의 컨버터인 *SR-DAHB* 컨버터에도 히스테리시스 제어 방식의 Burst-모드 제어가 [190]에서 구현된 바 있다. 그러나, 최적 전류 지령의 선정에 복잡한 P&O(Perturbation and Observation) 방식을 사용하였으며 컨버터가 꺼졌다가 켜질 때 일어나는 전류 링잉 등의 과도 상황에 대한 논의가 이루어 지

지 않았다는 한계가 있다.

본 절에서는, SR-DAHB 컨버터의 PDM 제어 방식에 대하여 논의한다. 후술하는 항에서는 PDM 제어 방식의 전류 지령과 주파수를 선정하고, 컨버터가 켜질 때의 과도상황에서 전류 링잉을 저감하기 위한 방안을 살펴본다.

4.4.1 펄스 밀도 변조 방식의 전류 지령 및 주파수 선정

제 3 장에서 언급 하였듯이, DAB 컨버터의 도통 손실은 전류 공급의 함수이므로, 일반적인 DAB 컨버터의 효율은 부하율이 감소할수록 올라가게 된다. 한편, 일정 부하율 이하로 감소하게 되면 컨버터의 스위치들이 ZVS 달성에 실패하게 되며 스위칭 손실이 크게 발생한다. 이러한 스위칭 손실로 인하여 ZVS가 달성되지 않는 부하율부터는 부하율이 감소할수록 효율이 급격히 떨어지게 된다. 이러한 이유로, 컨버터의 최대 효율 지점은 대략 도통 손실과 스위칭 손실이 동일한 지점에서 나타난다.

한편, 이러한 도통 손실과 스위칭 손실이 동일한 최대 효율 지점을 실험을 통해 파악하기이전에, 설계 시점에서 알아내는 것은 매우 어렵다. 인덕터, 커패시터 등 각 전력 소자들의 손실 성분들이 실제 구현되기 이전에 정밀하게 사전 파악되는 것이 어렵기 때문이다. 하지만, 고주파수 컨버터에서는 스위칭 손실이 완전한 ZVS 달성을 실패할 때부터 급격히 증가한다는 것을 고려하면, 이러한 ZVS 달성 실패 시작지점이 실제 컨버터가 구현되었을 때의 최대 효율 지점과 거의 유사한 동작 지점으로 근사 할 수 있다.

위와 같은 배경으로, 본 논문에서는 제 3 장에서 컨버터의 정상상태 분석을 통하여 얻은 ZVS 경계선을 최대 효율 지점으로 가정하고, 이 경계선 아래로

전류 제어기에 전류 지령 $I_{o,ref}$ 가 하달된 경우, PDM 제어 방식에 진입하도록 한다. 이에 따라, 컨버터의 등가 전류지령 $I_{o,PDM}$ 은 (4.41)과 같이 구할 수 있다.

$$I_{o,PDM,pu} = \text{sign}(I_{o,ref,pu}) * \max(|I_{o,ref,pu}|, I_{o,zvs,pu}) \quad (4.41)$$

여기서 $I_{o,zvs,pu}$ 는 ZVS 경계선의 전류를 나타낸 것으로 (3.60)을 통해 (4.42)와 같이 구할 수 있다.

$$I_{o,zvs,pu} = \begin{cases} C_1 \left(\sqrt{\sec^2\left(F_N \frac{\pi}{2}\right) - M^2 \left(\tan\left(F_N \frac{\pi}{2}\right) + \frac{2I_{zvsb,s}}{C_2} \right)^2} - 1 \right) & M \leq 1 \\ C_1 \left(\sqrt{\sec^2\left(F_N \frac{\pi}{2}\right) - \frac{1}{M^2} \left(\tan\left(F_N \frac{\pi}{2}\right) + \frac{2I_{zvsb,p}}{C_2} \right)^2} - 1 \right) & M > 1 \end{cases} \quad (4.42)$$

이때,

$$C_1 = \frac{\pi(1 - F_N^2)}{4F_N^2 \sin(\phi_{\max})}, \quad C_2 = \frac{V_{dc,p}}{Z_o V_{dc,p,pu}}$$

그림 4-29(가)는 (4.41)을 통해 수정된 전류지령의 예시를 보여준다. ZVS 경계선 안쪽으로 형성된 전류 지령들은 모두 ZVS 경계선으로 등가 전류 지령으로 수정되는 것을 볼 수 있다. 이와 같은 과정을 통해, 그림 4-29(나)는 1차측 전압이 공칭전압인 상황에서, 드롭 제어를 통해 컨버터가 제어되고 있을 때의 정상상태 등가 전류 지령의 궤적을 보여준다. 그림 4-29(나)에서 볼 수 있듯이, 드롭 곡선을 따라 제어가 되다가, 경부하 영역에서는 드롭 곡선에서 벗어나 ZVS 경계선을 따라 등가 전류 지령이 형성되는 것을 알 수 있다.

등가 전류 지령이 결정된 이후에는, PDM 제어 주기 T_{PDM} 와 이에 따라 PDM 제어 방식에서 조정가능한 최소단위 시비율 D_{Δ} 이 결정되어야 한다. 최소단위로 조정가능한 PDM 제어 시비율 D_{Δ} 은 최소단위로 컨버터를 켜고 끌 수 있는

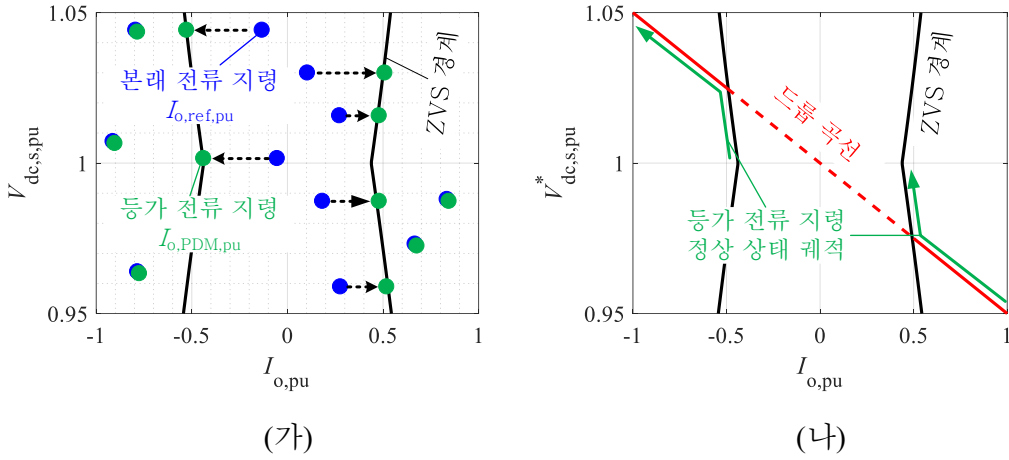


그림 4-29 PDM 제어 방식을 통해 수정된 전류 지령

(가) 본래 전류 지령 $I_{o,ref,pu}$ 와 수정된 등가 전류 지령 $I_{o,PDM,pu}$

(나) 1차측 전압이 공칭전압 일 때 등가 전류 지령 $I_{o,PDM,pu}$ 의 정상 상태 궤적

시간이 존재로 발생하는 제한 사항이다. 이러한 최소 시간 T_{Δ} 은 스위칭 주기 T_{sw} 와 전력 시스템 하드웨어, DSP 소프트웨어 구성 방식 등 복합적인 요소로 결정되게 되는데, 연속적인 출력 전류 제어를 제한한다. 조정가능한 최소단위 시비율 D_{Δ} 은 (4.43)과 같이 구할 수 있으며, 최소 단위로 제어되는 전류의 변위 $\Delta I_{o,PDM}$ 는 (4.44)와 같이 결정된다.

$$D_{\Delta} = \frac{T_{\Delta}}{T_{PDM}} \quad (4.43)$$

$$\Delta I_{o,PDM} = D_{\Delta} I_{o,zvs} \quad (4.44)$$

(4.43)과 (4.44)에 의해서 PDM 제어의 시비율 D_{PDM} 는 (4.45)와 같이 구할 수 있다.

$$D_{PDM} = \left[\frac{|I_{o,ref}|}{\Delta I_{o,PDM}} \right] D_{\Delta} \quad (4.45)$$

여기서 기호 ‘[*]’는 가우스 기호로, 소수점 이하를 버림하여 정수로 나타내는 것을 의미한다. PDM 제어 주기 T_{PDM} 를 높이면, 최소 변위 시비율 D_{Δ} 이 작아 지게 되어, 제어되는 전류의 분해능을 높일 수 있다. 그러나, 이러한 PDM 제어 주기 T_{PDM} 를 높이는 것은, 일반적으로 출력 전압 리플을 키우게 된다. 한편, 본 논문의 경우에는 직렬-입력/병렬-출력 컨버터로 구성되어 있으므로, PDM 제어 동작상태에서 모듈 간의 Interleave 제어를 고려하게 되면, 출력 전압 리플은 무시하고, 반대로 그림 4-30(가)와 같이 입력 전압 리플을 고려 할 수 있다. 입력 커패시터에 충/방전되는 변위 전하량 ΔQ_c 를 구하면 (4.46)과 같이 구할 수 있으며, 최대 입력 전압 리플은 (4.47)과 같이 구할 수 있다.

$$\Delta Q_c = \frac{I_{o,zvs} T_{\text{PDM}}}{2} \left(\frac{1}{4} - \left(D_{\text{PDM}} - \frac{1}{2} \right)^2 \right) \quad (4.46)$$

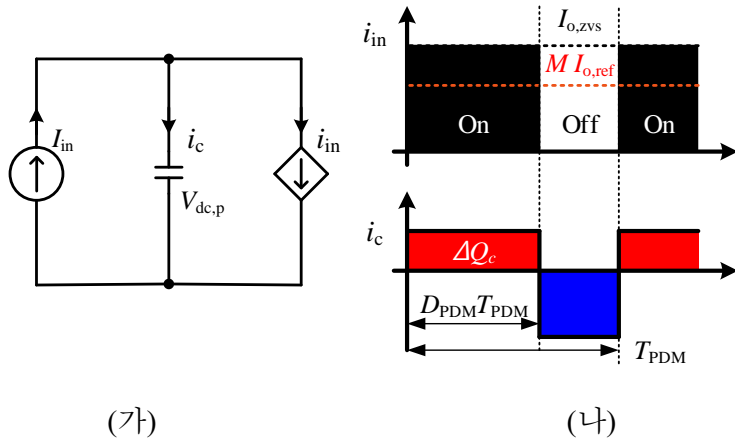


그림 4-30 PDM 제어에 따른 입력 커패시터의 전류 리플
 (가) PDM 제어 상태에서의 등가회로 (나) 전류 파형

$$\Delta V_{c,\max} = \frac{I_{o,zvs} T_{\text{PDM}}}{8C_{\text{dc}}} \quad (4.47)$$

(4.47)을 통해서 유추할 수 있는 것은 긴 PDM 제어 주기 T_{PDM} 를 설정할 수록, 최대 입력 전압 리플 $\Delta V_{c,\max}$ 의 크기가 커진다는 것을 알 수 있다. 이는, 최대 입력 전압 리플 $\Delta V_{c,\max}$ 을 낮추는 것과, 최소 변위 시비율 D_{Δ} 를 낮추는 것은 서로 상충 관계에 있다고 할 수 있다. 본 논문에서 제안하는 PDM 제어 전류 지령은 약 5 A이며, 제 5 장에서 구현된 하드웨어가 $C_{\text{in}} \approx 100 \mu\text{F}$, $T_{\Delta} = 20 \mu\text{s}$ 임을 감안하여, PDM 제어 주기 T_{PDM} 에 따른 최대 입력 전압 리플 $\Delta V_{c,\max}$ 과 최소 변위 시비율 D_{Δ} 를 도시하면 그림 4-31과 같다. 이를 바탕으로 최대 입력 전압 리플 요구조건과 최소 변위 시비율 D_{Δ} 요구조건에 따라 PDM 제어 주기 T_{PDM} 을 선정할 수 있다.

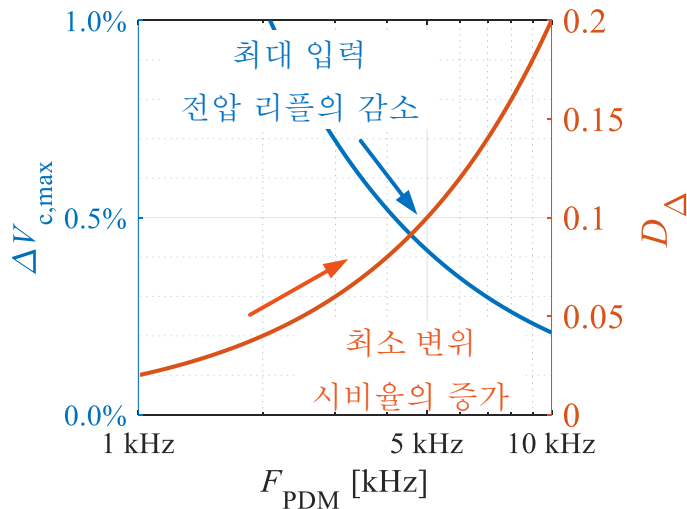


그림 4-31 PDM 제어 주기 T_{PDM} 에 따른 최대 입력 전압 리플 $\Delta V_{c,\max}$ 와 최소 변위 시비율 D_{Δ} ($I_{o,zvs} = 5 \text{ A}$, $C_{\text{in}} = 100 \mu\text{F}$, $T_{\Delta} = 20 \mu\text{s}$)

4.4.2 과도상황에서 전류 링잉 최소화 방안

본 항에서는 컨버터가 켜질 때, 과도상태에서의 전류 링잉 최소화 방안에 대해서 논의한다. 그림 4-32는 제 3 장에서 설계하였던 설계 제정수(표 3-5)로 설계된 컨버터에서 임의의 시점에서 컨버터를 턴-온 하는 경우에서의 제어 파형 예시를 보여준다. 파란색 점선의 컨버터 턴-온 시점에서 스위치의 게이트에 PWM 신호가 인가되어 극전압이 출력되게 된다. 이때 인덕터 전류 I_L 과 커패시터 전압 V_C 는 과도 응답상태에 있게 된다. 정상상태에서의 인덕터 전류 I_L 과 커패시터 전압 V_C 의 개형은 점선으로 표시되어 있으며, 이 점선에 얼마나 빠르게 겹쳐지는지에 따라서 링잉 감쇠 정도가 평가될 수 있다. 그림 4-32에서 확인할 수 있듯이 인덕터 전류 I_L 과 커패시터 전압 V_C 의 정상상태 궤적을 곧바로 따라가지 않고, 링잉하는 것을 확인할 수 있다. 이러한 링잉은 컨버터의

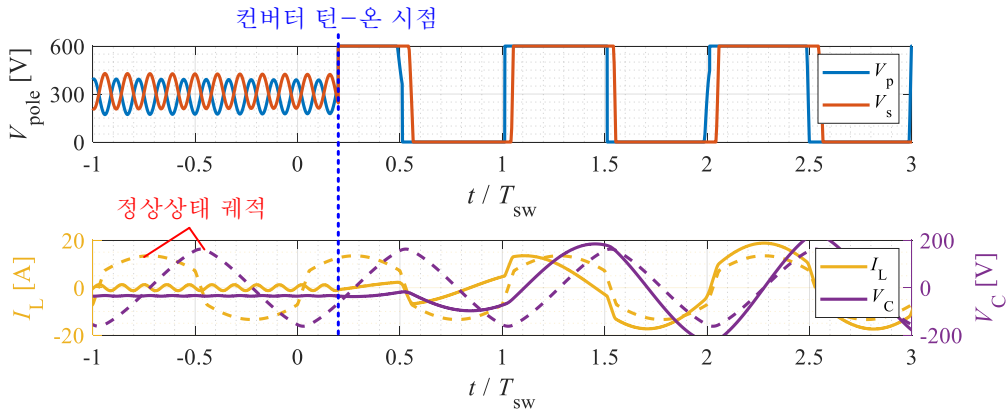


그림 4-32 임의의 시점에서 컨버터를 턴-온하는 경우에서의 과도상태 예시

(600 V/600 V, $I_{o,PDM} = 5$ A, $T_D = 125$ nsec)

턴-온시점에서의 인덕터 전류 I_L 과 커패시터 전압 V_C 의 크기가 정상상태 크기와 다름에서 발생한다.

인덕터 전류 I_L 과 커패시터 전압 V_C 의 링잉 구간에는 컨버터의 출력이 정상상태와 같지 않기 때문에 출력 전력의 오차를 발생시키며, 인덕터 전류 I_L 을 센서로 측정하는 경우 과도상태의 전류가 센서의 사고 문턱 크기를 순간적으로 넘게 되어 사고상황으로 오인 할 수 있다. 과도상태를 감쇠 시키는 요소는 임피던스와 스위치에 존재하는 직렬 저항성분으로 볼 수 있는데, 도통 손실을 줄이기 위하여 직렬 저항성분을 줄일수록 정상상태에 수렴하는 시간이 길어지게 된다. 이는 PDM 제어 주기에 영향을 주는 요소로도 자리잡는다. 따라서 컨버터의 턴-온 과도 상황에서 빠르게 정상상태에 도달하는 것은 PDM 제어에서 매우 중요하다고 볼 수 있다.

본 논문에서는 턴-온시점에서의 링잉의 원인이 인덕터 전류 I_L 과 커패시터 전압 V_C 의 크기가 정상상태 크기와 다름에서 온다는 점을 바탕으로, 컨버터의 턴-오프 상태의 인덕터 전류 I_L 과 커패시터 전압 V_C 의 크기가 컨버터의 정상상태 크기와 동일한 순간에 컨버터를 턴-온 하도록 한다. 이러한 방식을 통하여 컨버터의 턴-온 시점에서의 상태 변수의 크기가 정상상태와 다르지 않게 되므로, 이상적으로는 곧바로 정상상태에 도달하게 된다.

컨버터가 턴-오프 되면, 인덕터의 전류 I_L 은 0전류로 떨어지는데, 이는 컨버터의 정상상태 인덕터 전류 I_L 이 0전류를 횡단하는 시점에서 턴-온 하면 인덕터 전류 I_L 의 크기 동일 조건을 만족할 수 있다는 것을 의미한다. 따라서, 본 논문에서 제안하는 PDM 제어에서의 과도상태 저감을 위하여, 정상상태 전류 I_L 이 0전류를 횡단하는 시점에서 컨버터가 턴-온 되도록 제안한다.

과도상태의 링잉을 저감하기 위해서는 인덕터 전류 I_L 크기 뿐 아니라 커패시터의 전압크기 또한 동일하게 맞추어 주어야 한다. 인덕터 전류 I_L 이 0전류인 시점으로 컨버터의 턴-온 시점을 제한하였으므로 만족해야 할 커패시터의 전압 V_C 의 크기는 수동적으로 결정된다. 따라서 턴-온 시점에서 커패시터 전압 V_C 를 정상상태와 동일하게 맞추기 위해서는 컨버터의 턴-오프 시점을 조정하여야 한다.

결과적으로, 한 주기 내에서 컨버터의 턴-온 시점과 턴-오프 시점을 동일하게 일치시키고 이를 모두 정상상태 인덕터 전류 I_L 이 0을 횡단하는 시점으로 조정하게 되면, 컨버터의 턴-온 시점의 인덕터 전류 I_L 과 커패시터 전압 V_C 의 크기를 정상상태 크기와 일치시킬 수 있다.

이러한 컨버터의 턴-온/오프 시점은 그림 4-33과 같이 2개의 시점이 존재하게 된다. 이러한 2개의 시점 중 한 개의 시점을 선택하여 그 순간에 컨버터를

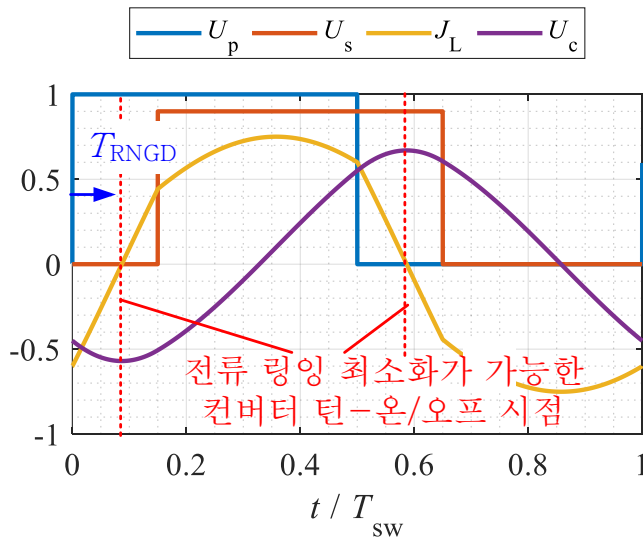


그림 4-33 전류 링잉을 최소화 하기위한 컨버터의 턴-온, 턴-오프 시점

턴-온, 턴-오프 하게 되면, 컨버터의 턴-온 시 발생하는 전류 링잉을 최소화할 수 있다. 본 논문에서는 두 시점 중 1차측 브릿지의 턴-온과 2차측 브릿지의 턴-온 시점 사이의 0전류 횡단 지점의 시점을 도출한다. 이러한 시점을 ‘링다운 턴-온 시점 T_{RNGD} ’이라고 정의 하겠다. 링다운 턴-온 시점 T_{RNGD} 은 시간영역 분석 기반으로 스위칭 패턴3의 스위치 모드 1에서의 공진 전류와 전압의 수식 (4.16)을 기반으로 (4.48)과 같이 표현될 수 있다

$$jL^0 \cos(\omega_r T_{\text{RNGD}}) - (u_c^0 - 1) \sin(\omega_r T_{\text{RNGD}}) = 0 \quad (4.48)$$

이를 시간영역 분석 결과(표 4-4, 표 4-5)를 대입하여 정리하면 (4.49)와 같이 링다운 턴-온 시점 T_{RNGD} 을 계산할 수 있다.

$$T_{\text{RNGD}} = \frac{\text{sign}(D_\phi)}{2\pi F_N} \text{atan}\left(\frac{C_1}{C_2}\right)$$

이때,

$$\begin{aligned} C_1 &= \sin\left(\frac{F_N \pi}{2}\right) - M \sin\left(-2F_N \pi |D_\phi| + \frac{F_N \pi}{2}\right) \\ C_2 &= \cos\left(\frac{F_N \pi}{2}\right) + M \sin\left(-2F_N \pi |D_\phi| + \frac{F_N \pi}{2}\right) \end{aligned} \quad (4.49)$$

그림 4-34는 그림 4-32와 같은 조건에서 링다운 턴-온 시점 T_{RNGD} 에서 컨버터가 턴-온 되었을 때의 인덕터 전류 I_L 과 커패시터 전압 V_C 의 개형을 보여준다. 정상상태 크기를 일치시킨 상태에서 컨버터가 턴-온 되는 효과로, 컨버터의 인덕터 전류 I_L 과 커패시터 전압 V_C 가 곧바로 정상상태 궤적을 따라가는 것을 확인 할 수 있다.

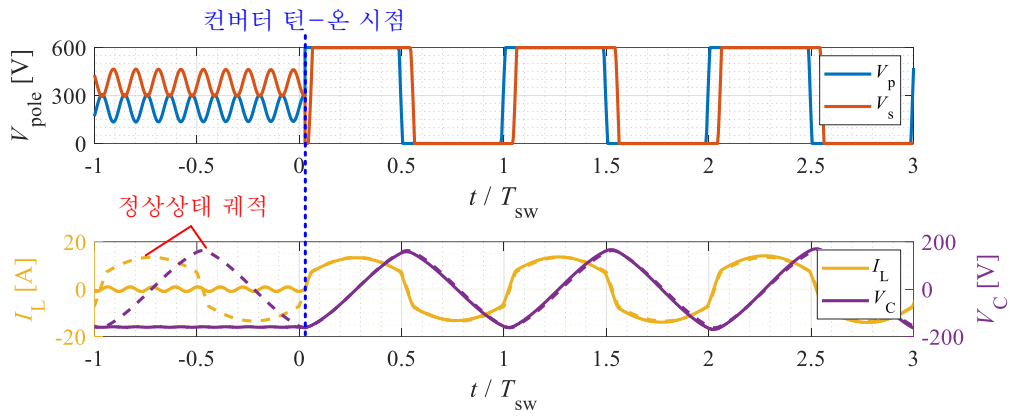


그림 4-34 링다운 턴-온 시점 T_{RNGD} 에서 컨버터를 턴-온 하는 경우에서의
과도상태 예시 (600 V/ 600 V, $I_{o,PDM} = 5$ A, $T_D = 125$ nsec)

제 5 장 실험결과

5.1 설계된 제정수와 전력회로

5.1.1 설계된 제정수

본 논문에서 사용하는 중전압 차단 커패시터는 22 nF의 커패시턴스를 직렬/병렬함으로써 구현되므로, 제정수는 22 nF의 정수배로 선정되는 것이 회로 구현에 유리하다. 따라서, 커패시터의 구현 편의를 위하여 최적 설계 결과와 유사한 동작 특성을 갖는 제정수를 선정하여 실험을 하였다. 최적 설계 제정수와, 실험을 위하여 구현된 제정수는 표 5-1에서 확인할 수 있으며, 두 설계 제정수 사이의 동작 특성 비교는 그림 5-1에서 확인할 수 있다.

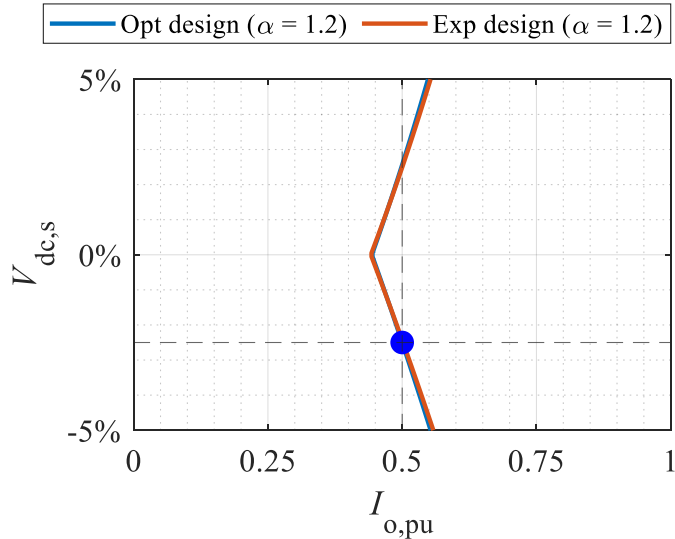


그림 5-1 최적 설계와 실험을 위해 구현된 임피던스의 동작 특성 비교

표 5-1 SR-DAHB 컨버터의 최적 설계 제정수와 실험 위한 설계 값

설계 제정수	최적 설계 값	실험 설계 값	단위
ϕ_{\max}	47.7	45.2	[deg]
F_N	0.72	0.71	
L_r	15.1	14*	[μH]
C_r	79.6	88.8**	[nF]

*터미널 등 기생 성분 포함, **22 nF 4병렬

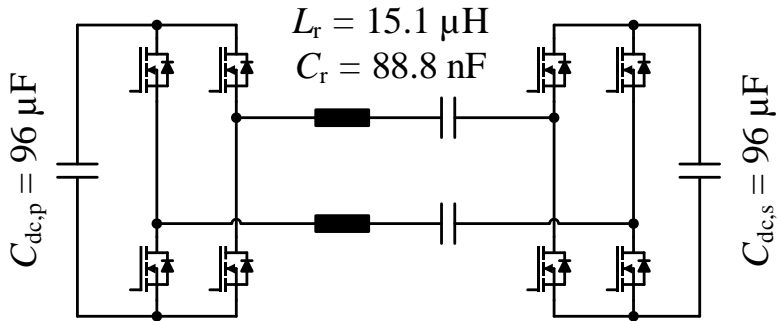


그림 5-2 설계된 SR-DAHB 컨버터의 제정수

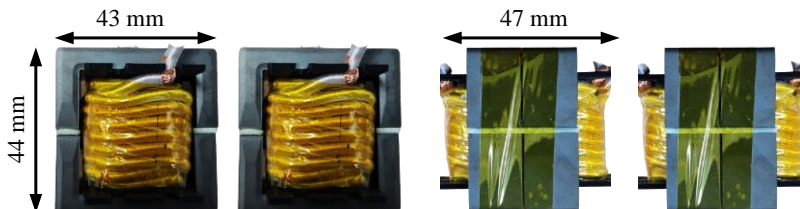


그림 5-3 실험을 위해 설계된 고주파 인덕터(각각 87 cm³)

공진 인덕터의 경우 터미널 와이어 등 기생 성분들을 고려하여 13.2 μH 로 원하는 값보다 다소 작게 설계하였다. 코어는 수백 kHz 대역대에 최적화되어 있는 3C94 물성을 이용하였으며 E42/21/15 사이즈의 4개를 이용하여 EE로 구성하였다. 턴 수는 7.5턴이며 공극은 1.6 mm이다. 한 개의 모듈에 두개의 SR-DAHB 컨버터가 있으므로 한 모듈 당 2개의 인덕터가 필요하다. 설계된 인덕터는 그림 5-3에서 확인할 수 있다.

대조군 실험을 위해서 12 kV 고주파 변압기도 설계되었다. 공극을 통하여 절연되도록 설계하였으며, 이에 따라 높은 1차측 전압에 대해서 코어와 2차측

표 5-2 대조 실험을 위해 설계한 200 kHz 고주파 변압기의 설계 값

설계 제정수	실험 설계 값	단위
V_{iso}	12	[kV]
ϕ_{max}	42	[deg]
$L_{\text{lkp}} + L_{\text{lks}}$	13.1	[μH]
L_{m}	1.05	[μH]

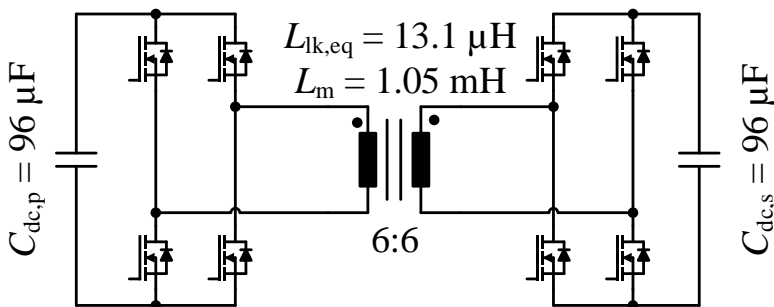


그림 5-4 설계된 L-DAB 컨버터의 제정수

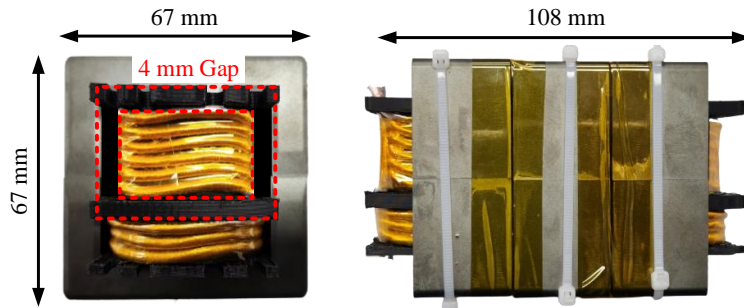


그림 5-5 대조 실험을 위해 설계된 12 kV 공극 절연(4 mm)
고주파 변압기(485 cm³)

이 절연이 파괴 되지 않도록 1차측 권선을 4 mm의 공극이 감싸도록 디자인 하였다.

대조군의 변압기를 이용한 DAB 컨버터는 별도의 인덕터 없이 변압기의 누설 인덕터로만 제어되도록 하였다. 설계된 누설 인덕터 값 13.1 μH 는 SR-DAHB의 동작 특성 지표인 최대 전압 위상 각 ϕ_{max} 가 실험군과 비슷하도록 한 값이다. 코어는 SR-DAHB 컨버터 설계와 마찬가지로 3C94 물성을 이용하였으며 E65/32/27 사이즈의 6개를 EE로 구성하였다. 자화 인덕턴스 L_m 은 자화 전류 I_m 으로 순환하는 전류를 1 A 이내로 제한하기 위하여 1.05 mH로 설계되었다. 턴 수는 6:6 이다. 설계된 고주파 변압기는 그림 5-5에서 확인할 수 있으며, 제정수는 표 5-2에서 확인할 수 있다.

디자인된 변압기의 절연 테스트를 위하여 Kikusui 사의 TOS 5101 내전압 시험기를 이용하였다. 그림 5-6은 내전압 시험기의 시험가능한 최대 전압 크기인 10 kV까지 설계된 변압기의 절연이 파괴되지 않은 것을 보여준다.

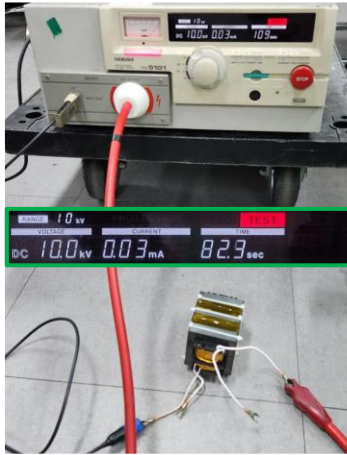


그림 5-6 TOS 5101을 이용한 대조군으로 설계된 변압기의 10 kV 절연 테스트

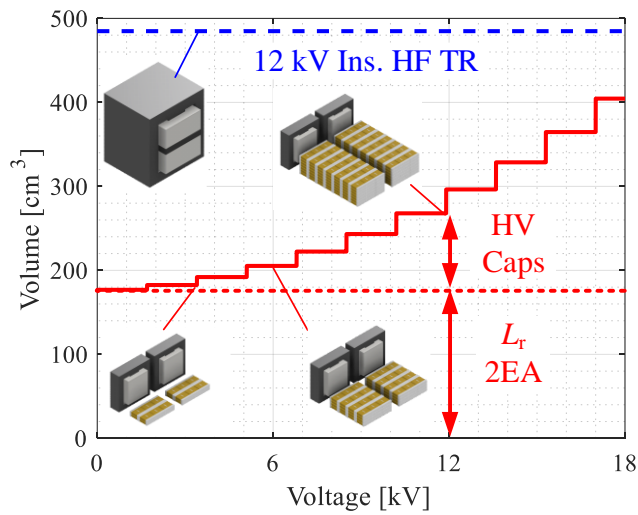


그림 5-7 설계된 제정수의 전압에 따른 부피 비교

상기 설계 제정수 기준으로, 변압기 커플링을 이용한 컨버터와 커패시터 커플링을 이용한 컨버터의 임피던스 부피 비교는 그림 5-7에서 확인할 수 있다. 설계 목표 전압 12 kV에서 커패시터 커플링을 이용한 컨버터의 임피던스 부피가 더 작음을 확인할 수 있다.

5.1.2 설계된 전력회로

그림 5-8은 실험을 위하여 설계된 풀-브릿지 전력 회로를 보여준다. 단위 모듈은 그림 5-8과 같은 풀-브릿지 전력 회로 2개를 이용하여 1차측과 2차측을 구성하게 된다. 스위치는 인피니언사의 ‘FF23MR12W1M1P’ SiC 하프-브릿지 모듈을 사용하였으며 (표 3-3 [163]), 직류단 커패시터는 필름 커패시터 TDK 사

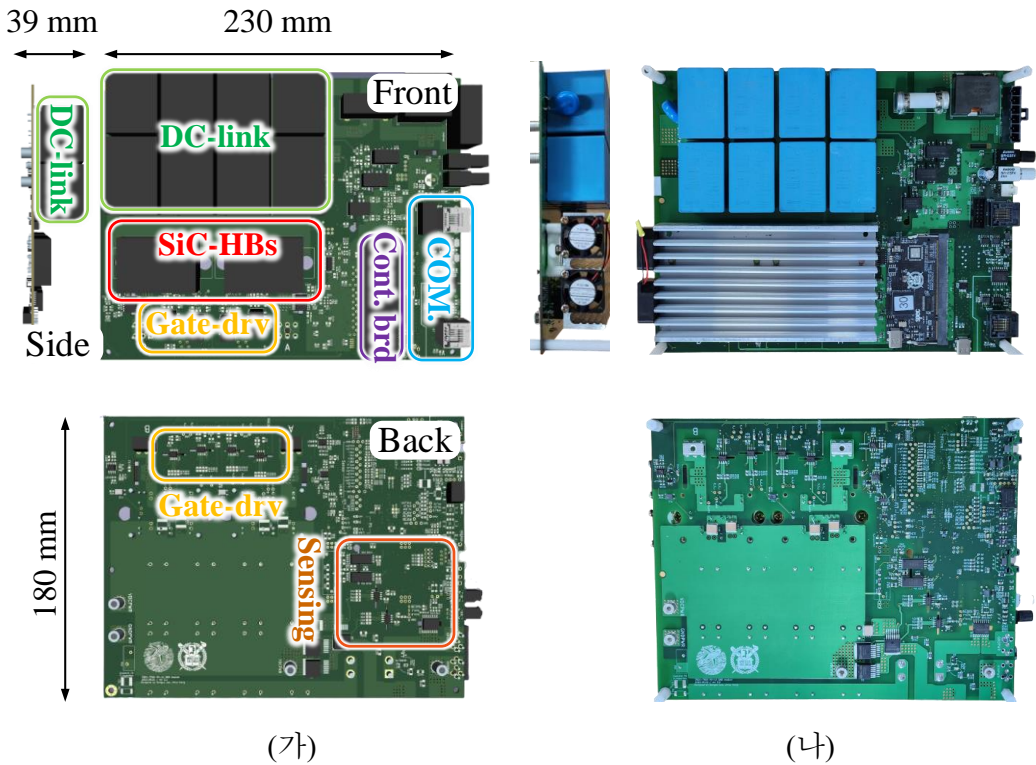


그림 5-8 실험을 위하여 설계된 풀-브릿지 전력회로

(가) 3D CAD 설계 (나) 실제 구현된 보드

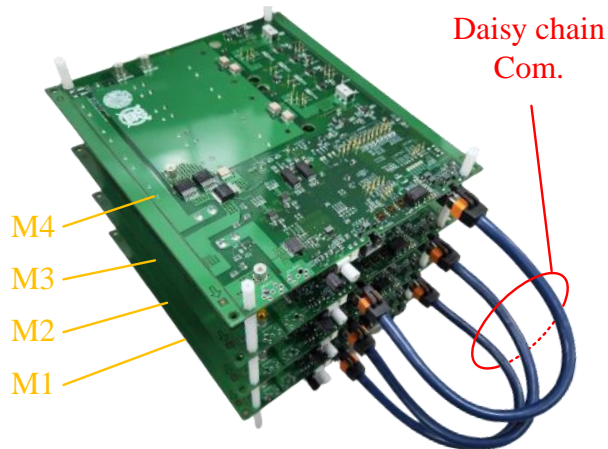
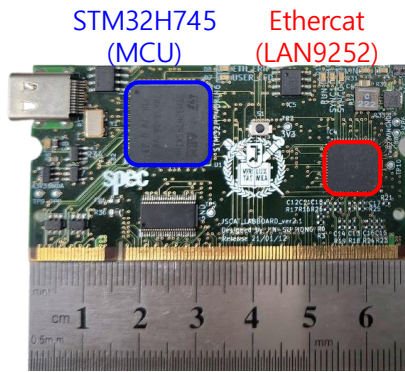


그림 5-9 4개의 풀-브릿지 모듈이 적층 된 구성

의 ‘B32776H’ $12\ \mu\text{F}$ 을 8병렬하여 총 $96\ \mu\text{F}$ 로 구성하였다. 게이트 드라이버는 인피니언사의 ‘1EDB9275F’를 사용하였으며, SiC에 게이트 전압을 $15 / -3\ \text{V}$ 로 제어하였으며, 게이트 저항은 턴-온/턴-오프 저항 각각 $5\ \Omega / 2.5\ \Omega$ 을 사용하였다.

그림 5-9는 그림 5-8의 풀-브릿지 회로 4개가 적층 된 모습이다. 모듈간 통신은 SCI를 이용하였으며 Baud-rate는 1 Mbps로 설정되었다. Daisy-chain 결선을 통해 신호 절연 전압은 층과 층사이로 최소화하였으며, 이를 통해 고전압 광 절연기가 없도록 설계하였다. 통신은 마스터 제어기에 의해 Server/Client 방식으로 이루어 지며, 통신주기는 5 kHz이다.

제어보드는 STM사의 ‘STM32H745’를 사용하여 그림 5-10(가)와 같이 노트북 램 카드(SO-DIMM) 크기로 설계되었다. 1, 2차 측 각각 한 개의 제어보드가 들어가며, 총 2개의 제어보드가 한개의 모듈제어를 담당하게 된다. 자기 위치의 직류 단 전압과 전류는 ADC를 통해 얻고, 반대편 풀-브릿지의 직류 단 전압



(가)



(나)

그림 5-10 실험을 위해 설계된 제어보드와 보조전원

(가) STM32H745 제어보드(W: 65mm, L: 35mm) (나) 플라이백 보조 전원

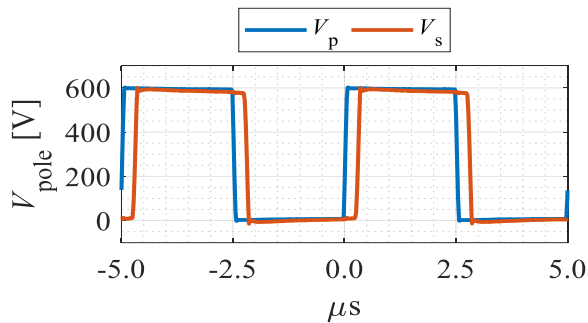
과 전류는 통신을 통해 얻는다. 제어 알고리즘은 두개의 제어보드 중 한 개의 제어보드에서만 수행된다. 제어 알고리즘이 수행되는 제어보드에서는 자기 폴-브릿지의 시비율과 위상을 제어하며 반대편 폴-브릿지 보드에 지령 시비율을 통신을 통해 전달한다.

제어회로와 게이트 회로에 전원을 공급하기 위한 플라이백 전원 장치도 그림 5-10(나)와 같이 설계되었다. 플라이백 전원장치는 직류단 전압이 200V 이상일 때부터 동작하도록 설계되었으며, 12V/1A 출력을 갖도록 설계하였다.

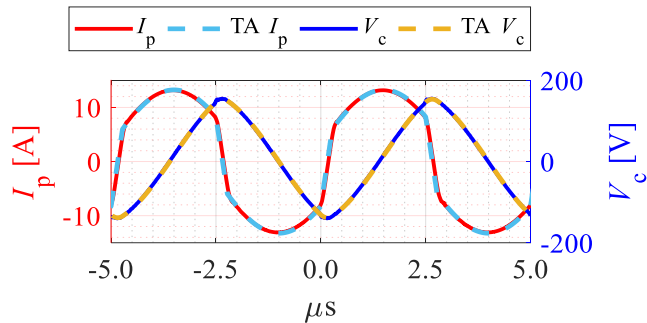
5.2 단위 모듈 설계 검증과 효율 계측 결과

5.2.1 설계 검증 결과

그림 5-11은 본 논문에서 SR-DAHB 컨버터의 설계 목표인 ‘1차측 전압이 공칭전압인 상태에서 정방향 50% 부하에서 ZVS 달성’ 여부를 확인하는 파형이



(가)



(나)

그림 5-11 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 585 \text{ V}$, $I_o = 5 \text{ A}$ 개 루프 실험 파형1

(가) 1,2차측 극 전압 V_p , V_s (나) 인덕터 전류 I_L , 커패시터 전압 V_C

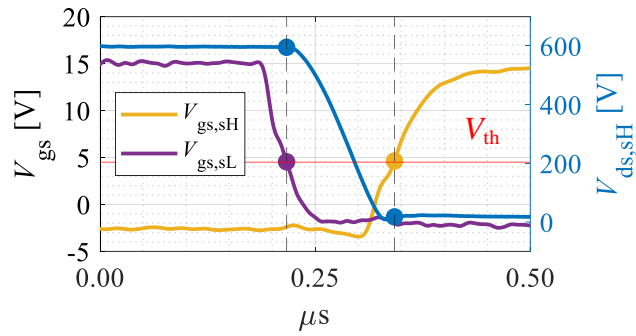
다. 데드타임 T_D 는 분석에서 사용한 값과 동일한 125 nsec로 설정되었으며 실험은 개 루프 제어로 수행되었다.

그림 5-11(가)는 1차측과 2차측의 극 전압을 나타내며, 그림 5-11(나)는 공진 인덕터 전류 I_L 와 공진 커패시터 전압 V_C 을 도시한 것이다. 실제 전압 전류 파형이, 이상적인 파형과 얼마나 유사한지를 비교할 수 있도록 4.2절에서 분석하였던 시간영역 해석을 기반으로 한 예측 파형을 청록색과 주황색 점선으로 함께 도시하였다. 실험 파형과 시간영역 해석 기반 예측 파형은 실험파형의 1차측 전압 상승 엣지의 중간지점을 기준으로 도시하였다. 그림 5-11(나)에서 확인할 수 있듯이, 실험 파형과 예측 파형이 거의 일치 하는 것을 확인할 수 있다. 실제 계측된 출력 전류는 5.11 A로 개 루프 지령 전류 보다 약 2% 크게 출력되었다.

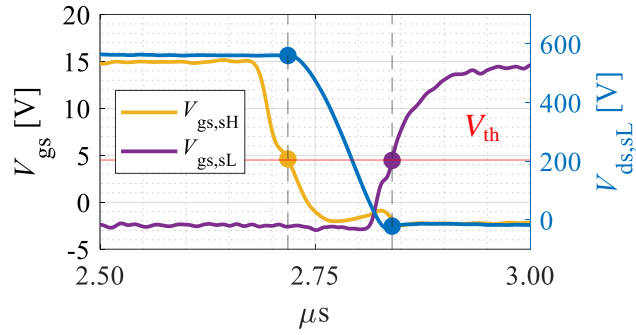
그림 5-12(가)와 (나)는 ZVS 달성 여부를 확인하기 위하여 계측된 파형이다. SPS 제어로 감압 하는 상황에서는 2차측의 스위치 ZVS가 가장 먼저 달성되지 못하므로, 2차측의 윗/아랫상 스위치의 V_{ds} 전압과 각 스위치에 인가되는 게이트 신호를 측정하였다.

그림 5-12에서의 빨간색 선은 스위치의 문턱 전압을 표시한 것이다. ZVS 달성 여부는 데드타임 동안 게이트 신호가 문턱 전압을 가로지르는 지점 (보라색 점과 주황색 점) 사이에서 스위치의 양단 전압 V_{ds} 가 영전압까지 떨어졌는지를 확인함으로써 평가될 수 있다.

그림 5-12(가)와 (나)에서 확인할 수 있듯이, 2차측 스위치의 윗/아랫상 모두 데드타임 구간 동안 0전압으로 떨어진 후, 스위치가 턴-온 하는 것을 확인할 수 있다. 또, V_{ds} 전압의 하강 시간이 거의 데드타임 T_D 와 같은 것을 확인할



(가)



(나)

그림 5-12 $V_{dc,p}/V_{dc,s} = 600\text{ V}/585\text{ V}$, $I_o = 5\text{ A}$ 개 루프 실험 파형2

(가) 2차측 윗상 스위치 DS 전압 $V_{ds,sH}$ 와 게이트 신호 $V_{gs,sH}$

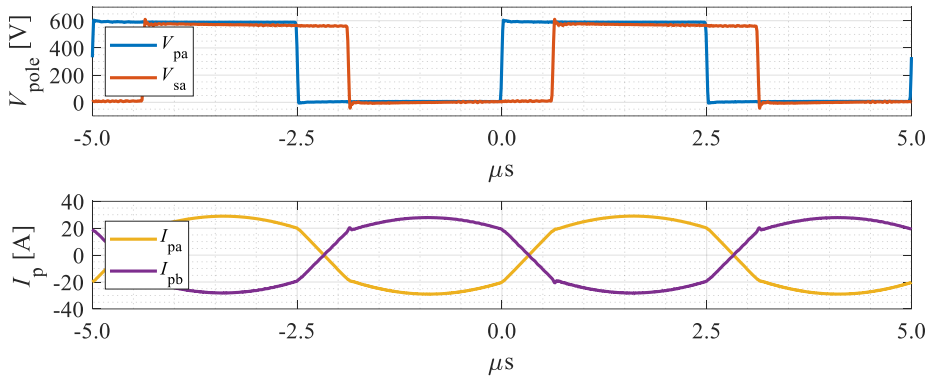
(나) 2차측 아랫상 스위치 DS 전압 $V_{ds,sL}$ 와 게이트 신호 $V_{gs,sL}$

수 있다. 이는 5A출력 지점이 거의 2차측 스위치의 ZVS 경계선에 가까움을 함의한다.

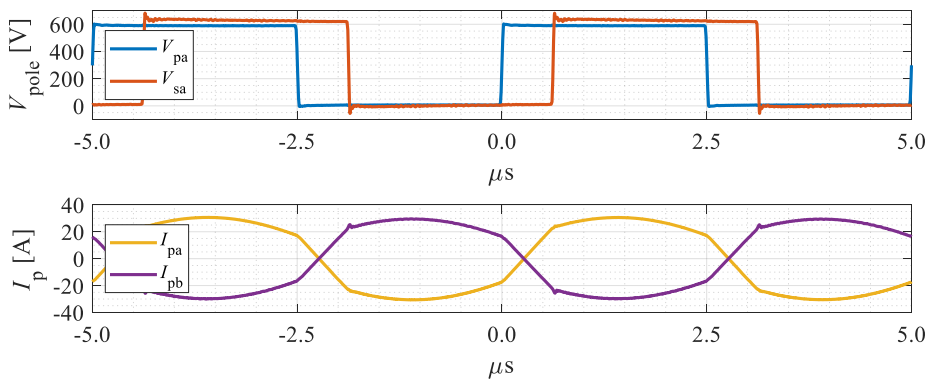
상기 실험 결과를 통해, 구현된 컨버터가 설계 목표를 만족함을 확인할 수 있다.

5.2.2 정격 실험 결과

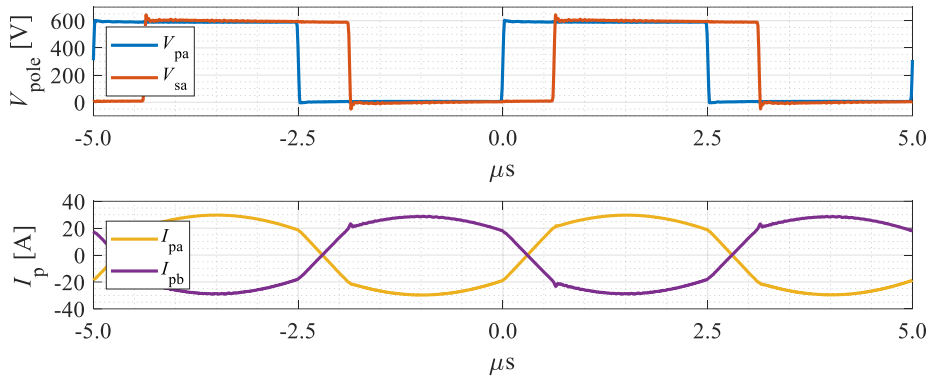
그림 5-13은 단위 모듈의 정격을 테스트한 파형이다. 1차측 전압과 2차측 전압은 a 브릿지의 극 전압만 측정하였으며, 전류는 a 브릿지 전류와 b 브릿지 전류를 모두 측정하였다. 각 SR-DAHB 컨버터에 지령 출력은 10 A로 입력하였으며, 총 20 A를 출력하였다. 그림 5-13(가)는 정방향 정격 출력 지점인



(가)



(나)



(다)

그림 5-13 단위 모듈(2 병렬 SR-DAHB)의 정격 출력 개 루프 제어 파형

(가) $V_{\text{dc,p}}/V_{\text{dc,s}} = 600 \text{ V} / 570 \text{ V}$, $I_o = 20 \text{ A}$

(나) $V_{\text{dc,p}}/V_{\text{dc,s}} = 600 \text{ V} / 630 \text{ V}$, $I_o = 20 \text{ A}$

(다) $V_{\text{dc,p}}/V_{\text{dc,s}} = 600 \text{ V} / 600 \text{ V}$, $I_o = 20 \text{ A}$

$V_{\text{dc,p}}/V_{\text{dc,s}} = 600 \text{ V} / 570 \text{ V}$ 에서의 개 루프 제어 파형을 보여준다. 실제 출력 전류는 19.5 A, 전력은 11.1 kW로 계측 되었으며, 약 2.7% 오차를 보였다.

그림 5-13(나)는 역방향 정격 출력 지점인 $V_{\text{dc,p}}/V_{\text{dc,s}} = 600 \text{ V} / 630 \text{ V}$ 에서의 개 루프 제어 파형을 보여준다. 실험 셋업의 구현상 편의를 위하여 대칭성을 이용, 지령 출력은 -20 A 가 아닌 20 A 로 하달하였다. 실제 출력 전류는 19.2 A, 전력은 12.1 kW로 계측 되었으며, 약 4.0% 오차를 보였다.

그림 5-13(다)는 전압 이득이 1인 상황인 $V_{\text{dc,p}}/V_{\text{dc,s}} = 600 \text{ V} / 600 \text{ V}$ 에서의 개 루프 제어 파형을 보여준다. 실제 출력 전류는 19.7 A, 전력은 11.8 kW로 계측 되었으며, 약 1.6% 오차를 보였다.

5.2.3 효율 측정 결과

그림 5-14는 본 논문에서 제안한 커패시터 커플링 반도체 변압기 설계 방법의 유용성과 기존의 변압기 커플링을 이용한 반도체 변압기와의 효율 비교를 위하여 구현된 측정 셋업과 전력 순환 구조이다. 동일한 모듈 2개를 병렬로 두고, 한개의 컨버터는 부하기 역할을 하여 정 전압 제어를 수행하고, 다른 한개의 컨버터(대상 컨버터)는 정전류 또는 개 루프 제어를 수행한다. 효율 측정 기에는 Voltech사의 정밀 전력 계측기 ‘PM 6000’을 이용하였으며, 대상 컨버터의 직류 입출력 포트 바로 뒷 단에서 전류와 전압을 측정하였다.

실험은 파워 서플라이를 이용하여, 1차측 전압은 공칭전압인 600 V로 고정하고 대상 컨버터의 개 루프 제어를 통해 출력 전류를 변화시키면서 수행되었다.

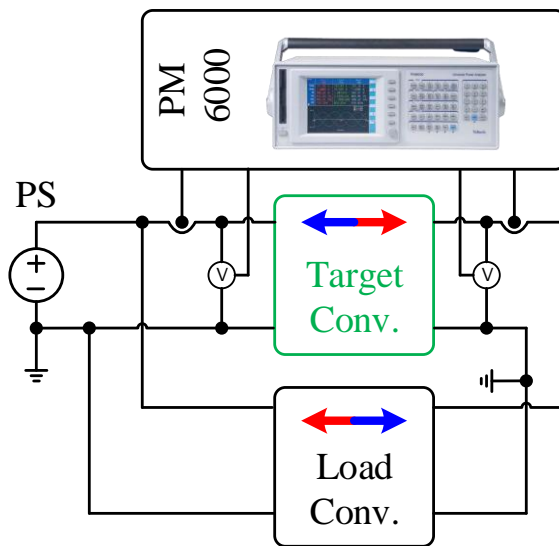
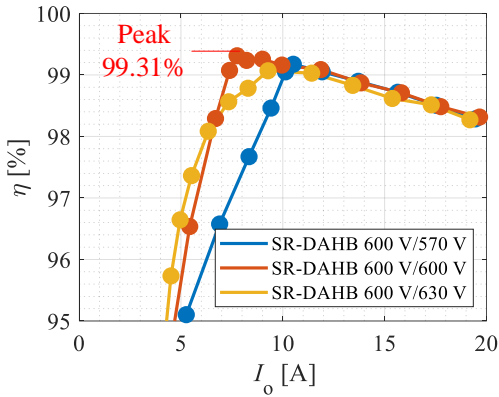
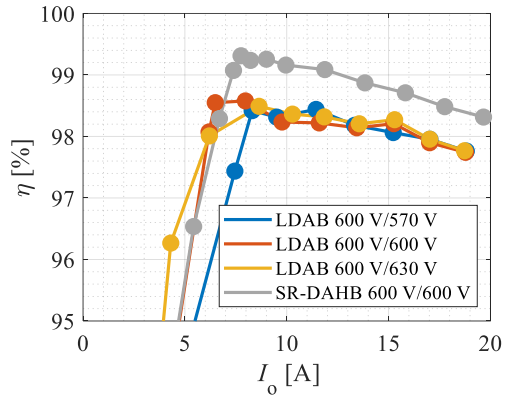


그림 5-14 효율을 측정하기 위한 계측기 셋업과 부하기, 대상 컨버터 전력 순환 구조



(가)



(나)

그림 5-15 SPS 제어 효율 비교(보조 전원 손실 미포함)

(가) 커패시터 커플링 방식 (나) 변압기 커플링 방식

전압 변동에 의한 효율을 측정하기 위하여, 2차측 전압을 부하기로 각각 570 V(-5%), 600 V(0%), 630V(+5%)로 변화시키어 3가지 전압 변동 상황에 대하여 효율을 측정하였다.

그림 5-15 (가)는 이러한 방식으로 계측된 커패시터 커플링을 이용한 모듈의 정격까지의 효율(보조 전원 손실 미포함)을 보여준다. $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 570 \text{ V}$ 에서 최고 효율은 출력 전류가 약 10.5 A일 때 99.17%로 계측 되었으며, 정격 전류에서 효율은 약 98.28%로 계측되었다. $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$ 에서 최고 효율은 출력 전류가 약 7.8 A일 때 99.31%로 계측 되었으며, 정격 전류에서 효율은 약 98.32%로 계측되었다. $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 630 \text{ V}$ 에서 최고 효율은 출력 전류가 약 9.3 A일 때 99.07%로 계측 되었으며, 정격 전류에서 효

율은 약 98.27%로 측정되었다.

그림 5-15(나)는 같은 방식으로 측정된 변압기 커플링을 이용한 모듈의 정격까지의 효율을 보여준다. $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$ 에서 최고 효율은 출력 전류가 약 8.3 A일 때 98.48%로 측정 되었으며, 정격 전류에서 효율은 약 97.76%로 측정되었다. $V_{dc,p}/V_{dc,s} = 600\text{ V} / 600\text{ V}$ 에서 최고 효율은 출력 전류가 약 8.0 A일 때 98.57%로 측정 되었으며, 정격 전류에서 효율은 약 97.74%로 측정되었다. $V_{dc,p}/V_{dc,s} = 600\text{ V} / 630\text{ V}$ 에서 최고 효율은 출력 전류가 약 8.6 A일 때 98.40%로 측정 되었으며, 정격 전류에서 효율은 약 97.77%로 측정되었다.

효율 측정 결과를 정리하면, 설계된 두개의 모듈에서 커패시터 커플링을 이용한 모듈이 변압기 커플링을 이용한 모듈보다 50% 이상 부하에서 전체적으로 약 1%의 효율 증가가 있음을 확인 할 수 있었다.

앞서 언급한 것과 같이, 상기 측정된 효율에는 풀-브릿지 회로에서 보조전

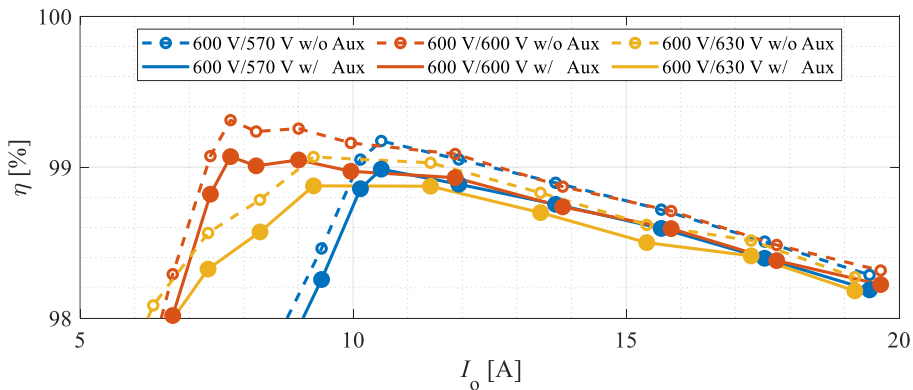
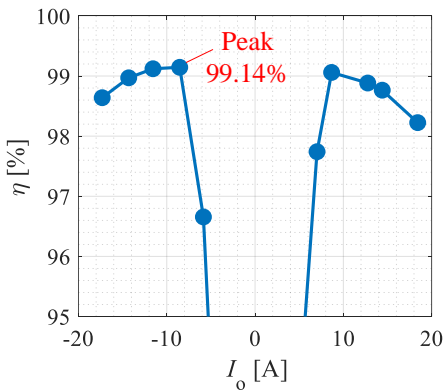


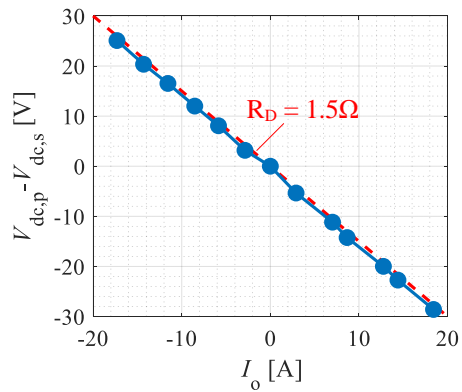
그림 5-16 보조 전원으로 인한 손실을 포함하여 계산된 효율

원에 의한 손실을 미포함한 것으로, 이를 포함하면 추가적인 효율 감소가 있다. MCU를 포함한 제어 회로 손실 약 2.9W, 게이트 회로 손실 약 1.6W, 공랭 팬 손실 약 1.2W로 계측 되었다. 즉, 1, 2차 합하여 약 11.4W의 보조 전원으로 인한 손실이 있었다. 보조 전원 손실을 가산한 효율은 그림 5-16과 같으며, 최대 효율은 약 99.07%로 예측되었다.

그림 5-17(가)는 1차측 전압이 공칭 전압일 때 드롭 제어를 통한 정상상태에서의 계측 효율을 보여준다. 최대 효율은 역방향 약 50% 부하에서 99.14%로 계측되었음을 확인할 수 있다. 그림 5-17(나)는 정상상태 모듈 출력 전류를 보여준다. 제작된 모듈이 드롭 저항 $R_D = 1.5\Omega$ 을 따라서 드롭 제어를 잘 수행하는 모습을 확인할 수 있다.



(가)



(나)

그림 5-17 1차측 전압이 공칭전압일 때 드롭 곡선상의
(가) 정상상태 모듈 효율 (나) 정상상태 모듈 출력 전류

5.3 제안된 경부하 효율 개선 방법의 검증 및 효율

5.3.1 영전압-스위칭 영역 확장 제어 방식(EZVS 제어) 실험 결과

5.3.1.1 전압 전류 파형 비교

4.3절에서 제안된 EZVS 제어 방식을 검증하기 위한 실험이 수행되었다. 컨버터가 경부하 영역에서 동작하게 되면, 일부 스위치에 하드-스위칭이 발생하게 되는데, 이때 발생한 전압 왜곡으로, 개 루프 제어특성이 나빠지게 된다. 3.2.8.1에서 언급한 것과 같이, 이러한 전압 왜곡을 부록 7.3을 통해 일부 예측하여 보상할 수 있다. 그러나, SPS 제어 같이 동시에 여러 스위치들이 하드 스위칭 또는 불완전 ZVS가 일어나는 경우에는 이러한 보상 방법에도 한계점이 있으며, 실제 출력 전류가 지령 출력 전류에서 크게 벗어나게 된다. 그림 5-18

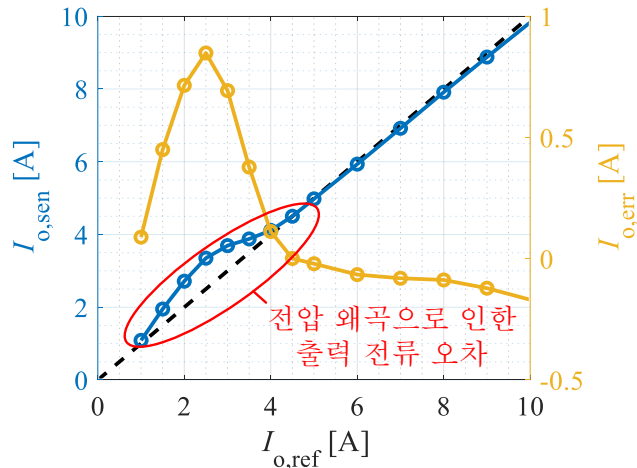


그림 5-18 SPS 제어의 개 루프 제어 특성

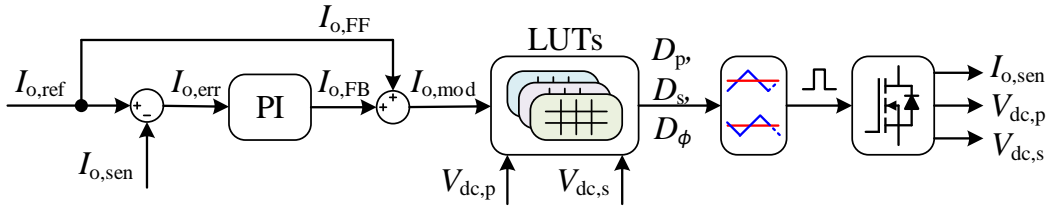
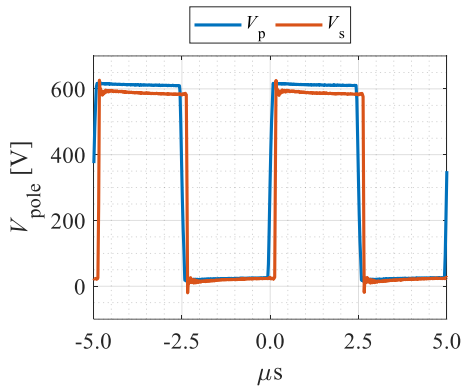


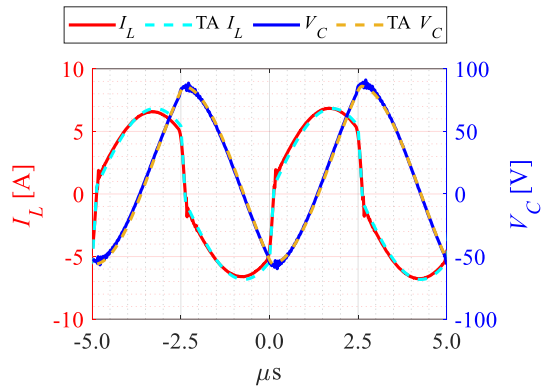
그림 5-19 전류 폐 루프 제어 블락도

은 실제 실험으로 계측된 SPS 제어 방식에서의 개 루프 제어 특성을 보여준다. ZVS가 달성되지 못하기 시작하는 4 A 지점에서부터 최악의 경우 0.8 A까지 출력 전류 오차를 보임을 확인할 수 있다.

이러한 이유로, 서로 다른 제어 방식의 동등한 출력 전력 상태에서의 비교를 손쉽게 구현하기 위해서 그림 5-19와 같이 지령 전류를 전향 보상하고, PI 제어기를 통해 전류 에러를 보상하여 주는 방식의 폐 루프 전류 제어기를 구현하여 정전류 제어 상태에서 실험하였다.



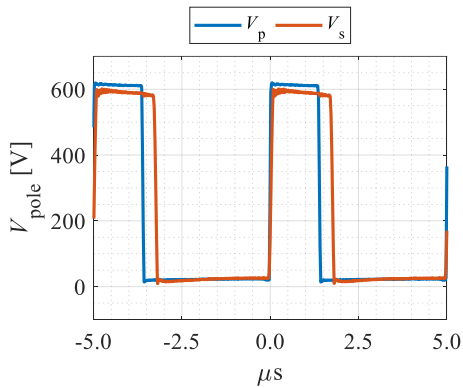
(가)



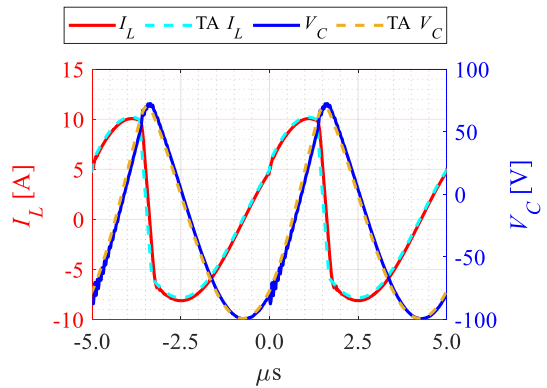
(나)

그림 5-20 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 570 \text{ V}$, $I_o = 2.5 \text{ A}$, SPS 제어 방식 파형1

(가) 1,2차측 극 전압 V_p , V_s (나) 인덕터 전류 I_L , 커패시터 전압 V_C



(가)



(나)

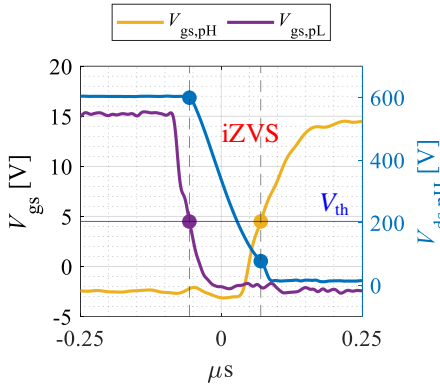
그림 5-21 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 570 \text{ V}$, $I_o = 2.5 \text{ A}$, EZVS 제어 방식 파형1

(가) 1,2차측 극 전압 V_p , V_s (나) 인덕터 전류 I_L , 커패시터 전압 V_C

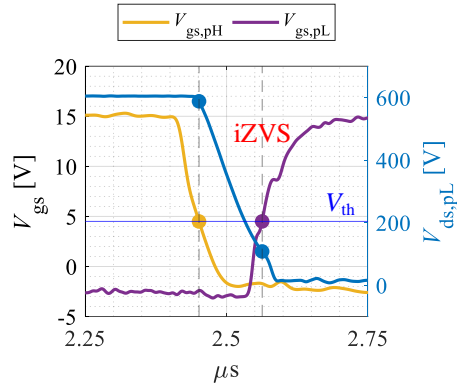
그림 5-20과 그림 5-21은 $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$ 전압 상황에서 출력전류 $I_o = 2.5\text{ A}$ 지령을 각각 SPS 제어 방식과 제안한 EZVS 제어 방식으로 수행하는 동작 파형이다. 실제 전압 전류 파형이, 이상적인 파형과 얼마나 유사한지를 비교할 수 있도록 5.2.1절에서와 마찬가지로, 시간영역 해석을 기반으로 한 예측 파형을 청록색과 주황색 점선으로 함께 도시하였다. SPS 제어 방식의 경우 위상으로만 전력이 제어되는 모습을 보이는 반면, EZVS 제어 방식은 1차측 2차측 시비율과 위상 3가지 자유도를 갖고 제어되는 모습을 보여주며, 두 제어 방식 모두 시간영역 해석으로 분석된 파형과 거의 유사함을 확인할 수 있다.

두 제어법의 차이는 전체 스위치 중 ZVS 턴-온 되는 스위치의 개수에서 갈리게 된다. 그림 5-22(가)-(라)와 그림 5-23(가)-(라)는 SR-DAHB 컨버터에 있는 모든 스위치의 턴-온 시점을 계측한 파형이다.

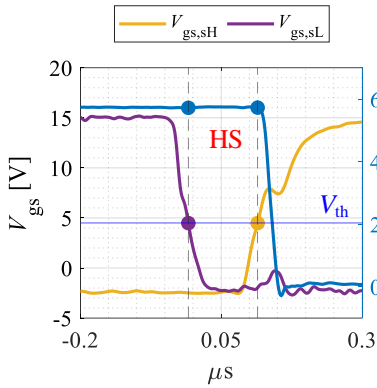
SPS 제어의 경우, 1차측의 윗상 스위치와 아랫상 스위치는 모두 불완전 ZVS가 일어났으며, 2차측 윗상 스위치와 아랫상 스위치는 모두 하드 스위칭이 일어났다. 이와 반면에, 제안한 EZVS 제어 방식의 경우, 1차측 윗상 스위치는 하드 스위칭, 아랫상 스위치는 ZVS가 일어났으며, 2차측의 경우는 윗상 스위치와 아랫상 스위치 모두 ZVS가 일어난 것을 확인할 수 있다. 이는 해당 동작지점에서 제안한 방식의 스위칭 방식을 적용하는 경우 스위칭 손실의 저감을 가져올 수 있음을 함의한다.



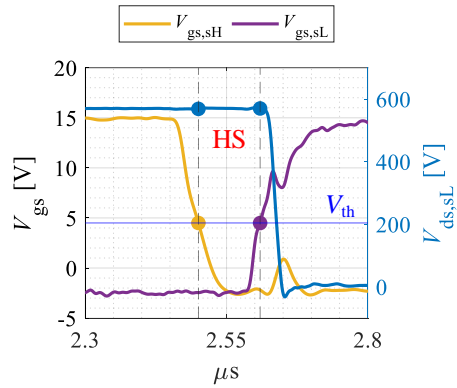
(가)



(나)



(다)



(라)

그림 5-22 $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 2.5\text{ A}$, SPS 제어 방식 파형2

(가) 1차측 윗상 스위치 DS 전압 $V_{ds,pH}$ 와 게이트 신호 $V_{gs,pH}$

(나) 1차측 아랫상 스위치 DS 전압 $V_{ds,pL}$ 와 게이트 신호 $V_{gs,pL}$

(다) 2차측 윗상 스위치 DS 전압 $V_{ds,sH}$ 와 게이트 신호 $V_{gs,sH}$

(라) 2차측 아랫상 스위치 DS 전압 $V_{ds,sL}$ 와 게이트 신호 $V_{gs,sL}$

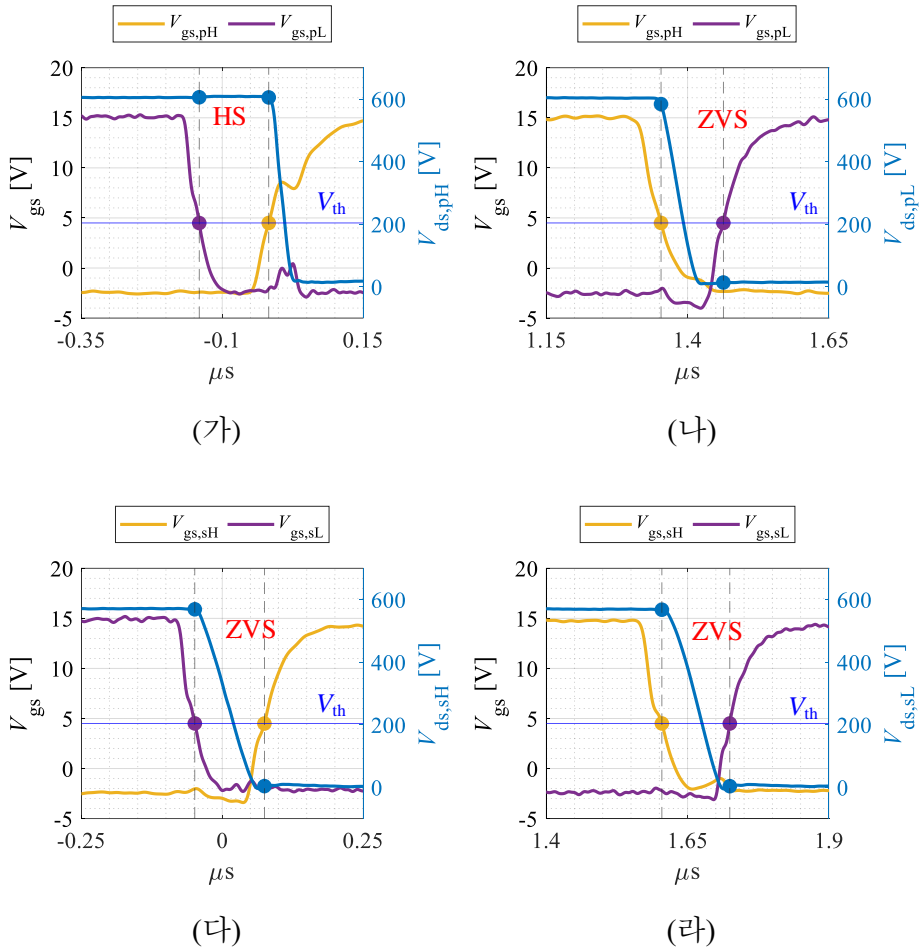


그림 5-23 $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 2.5\text{ A}$, EZVS 제어 방식 파형2

(가) 1차측 윗상 스위치 DS 전압 $V_{ds,pH}$ 와 게이트 신호 $V_{gs,pH}$

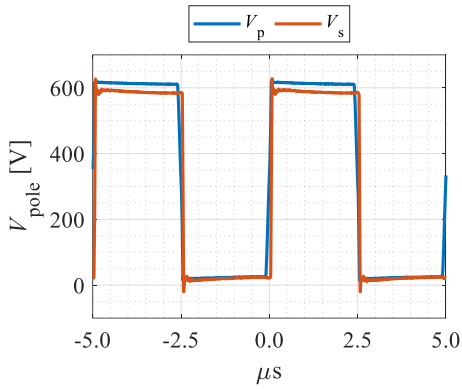
(나) 1차측 아랫상 스위치 DS 전압 $V_{ds,pL}$ 와 게이트 신호 $V_{gs,pL}$

(다) 2차측 윗상 스위치 DS 전압 $V_{ds,sH}$ 와 게이트 신호 $V_{gs,sH}$

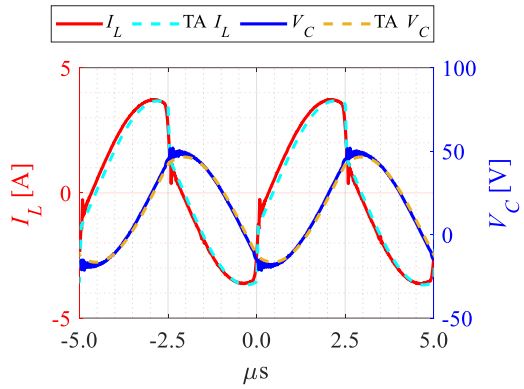
(라) 2차측 아랫상 스위치 DS 전압 $V_{ds,sL}$ 와 게이트 신호 $V_{gs,sL}$

그림 5-24와 그림 5-25는 $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$ 전압 상황에서 출력전류 $I_o = 1.0\text{ A}$ 지령을 각각 SPS 제어 방식과 제안한 EZVS 제어 방식으로 수행하는 동작 파형이다. 두 제어 방식 모두 시간영역 해석으로 분석된 파형과 거의 유사함을 확인할 수 있다.

그림 5-26(가)-(라)와 그림 5-27(가)-(라)는 SR-DAHB 컨버터에 있는 모든 스위치의 턴-온 시점을 계측한 파형이다. SPS 제어의 경우, 1차측의 윗상 스위치와 아랫상 스위치는 모두 불완전 ZVS가 일어났으며, 2차측 윗상 스위치와 아랫상 스위치는 모두 하드 스위칭이 일어났다. 이와 반면에, 제안한 EZVS 제어 방식의 경우, 1차측 윗상 스위치는 하드 스위칭, 아랫상 스위치는 불완전 ZVS가 일어났으며, 2차측의 경우는 윗상 스위치와 아랫상 스위치 모두 ZVS가 일어난 것을 확인할 수 있다. 이는 해당 동작지점에서 제안한 방식의 스위칭 방식을 적용하는 경우 스위칭 손실의 저감을 가져올 수 있음을 함의한다.



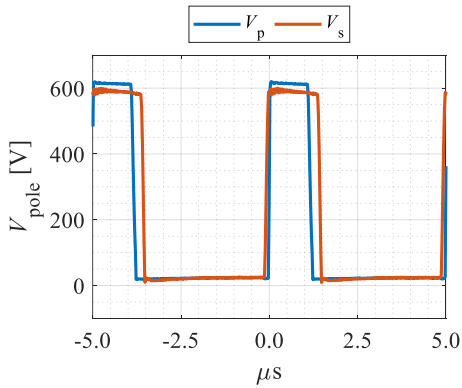
(가)



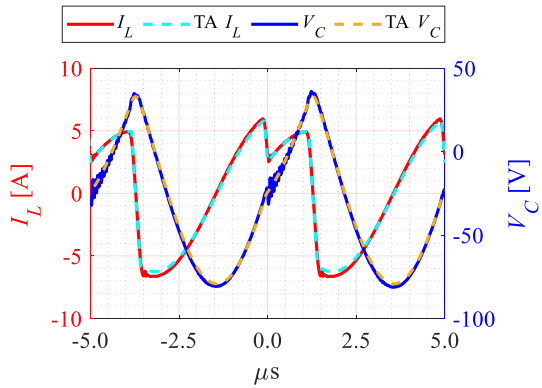
(나)

그림 5-24 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 570 \text{ V}$, $I_o = 1.0 \text{ A}$, SPS 제어 방식 파형1

(가) 1, 2차측 극 전압 V_p , V_s (나) 인덕터 전류 I_L , 커패시터 전압 V_C



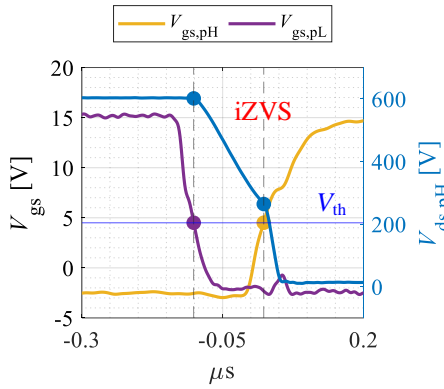
(가)



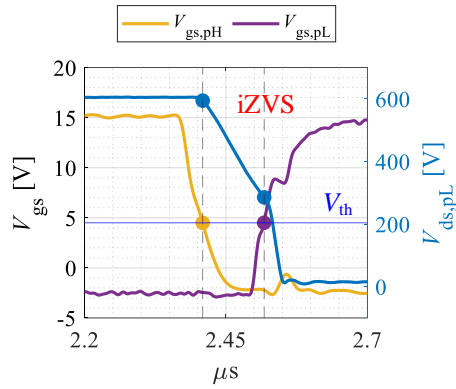
(나)

그림 5-25 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 570 \text{ V}$, $I_o = 1.0 \text{ A}$, EZVS 제어 방식 파형1

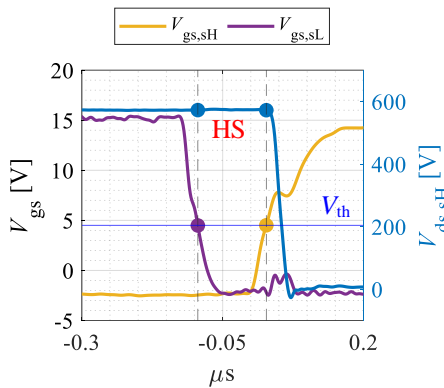
(가) 1, 2차측 극 전압 V_p , V_s (나) 인덕터 전류 I_L , 커패시터 전압 V_C



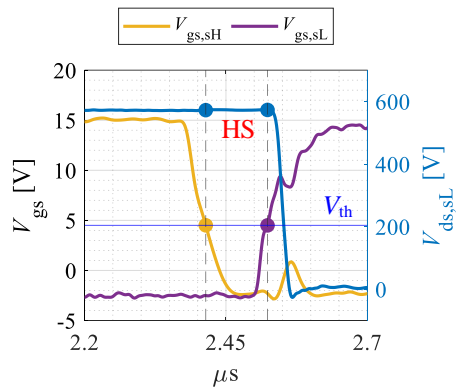
(가)



(나)



(다)



(라)

그림 5-26 $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$, $I_o = 1.0\text{ A}$, SPS 제어 방식 파형2

(가) 1차측 윗상 스위치 DS 전압 $V_{ds,pH}$ 와 게이트 신호 $V_{gs,pH}$

(나) 1차측 아랫상 스위치 DS 전압 $V_{ds,pL}$ 와 게이트 신호 $V_{gs,pL}$

(다) 2차측 윗상 스위치 DS 전압 $V_{ds,sH}$ 와 게이트 신호 $V_{gs,sH}$

(라) 2차측 아랫상 스위치 DS 전압 $V_{ds,sL}$ 와 게이트 신호 $V_{gs,sL}$

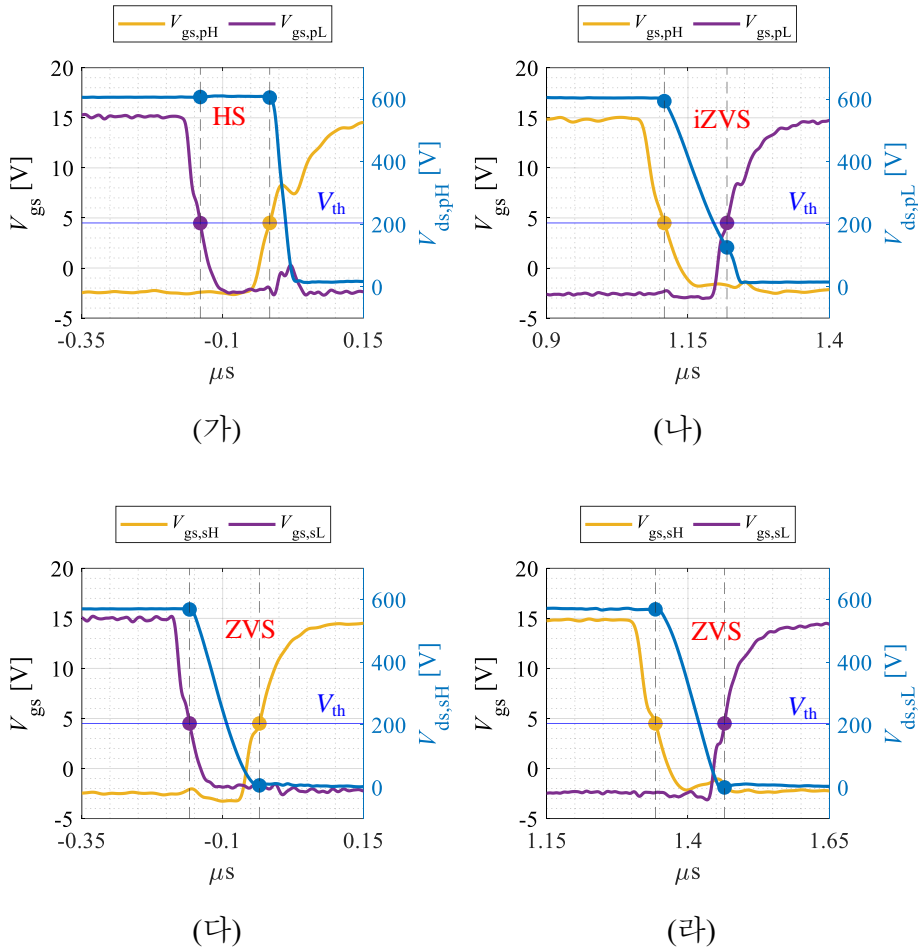


그림 5-27 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 570 \text{ V}$, $I_o = 1.0 \text{ A}$, EZVS 제어 방식 파형2

(가) 1차측 윗상 스위치 DS 전압 $V_{ds,pH}$ 와 게이트 신호 $V_{gs,pH}$

(나) 1차측 아랫상 스위치 DS 전압 $V_{ds,pL}$ 와 게이트 신호 $V_{gs,pL}$

(다) 2차측 윗상 스위치 DS 전압 $V_{ds,sH}$ 와 게이트 신호 $V_{gs,sH}$

(라) 2차측 아랫상 스위치 DS 전압 $V_{ds,sL}$ 와 게이트 신호 $V_{gs,sL}$

5.3.2 펄스 밀도 변조 방식(PDM 제어) 실험 결과

4.4절에서 제안된 펄스 밀도 변조 방식의 전류 지령 동작 상태와 과도 전류 저감 방법을 검증하기 위한 실험이 수행되었다. 실험은 그림 5-14와 같이 1차단과 2차단의 전압이 파워 서플라이와 부하기에 의해서 전압 제어되고 있는 상태에서 개 루프 제어로 진행되었다. PDM 제어 주기 $T_{PDM} = 1 \text{ ms}$, 조정가능한 최소단위 시비율 $D_{\Delta} = 0.05$ 로 설정되었다,

그림 5-28(가)는 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$ 에서 $I_o = 1.0 \text{ A}$ 로 제어되고 있는 파형이며, 그림 5-28(나)는 같은 조건에서 $I_o = 2.5 \text{ A}$ 로 제어되고 있는 파형이다. 실제 출력 전류는 각각 1.05 A, 2.37 A였다.

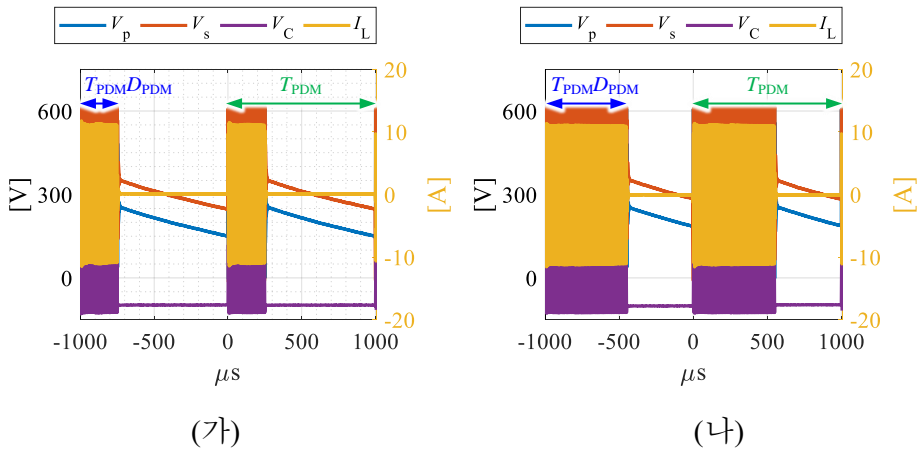


그림 5-28 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$ 에서

(가) $I_o = 1.0 \text{ A}$, PDM 제어 방식 파형 (나) $I_o = 2.5 \text{ A}$, PDM 제어 방식 파형

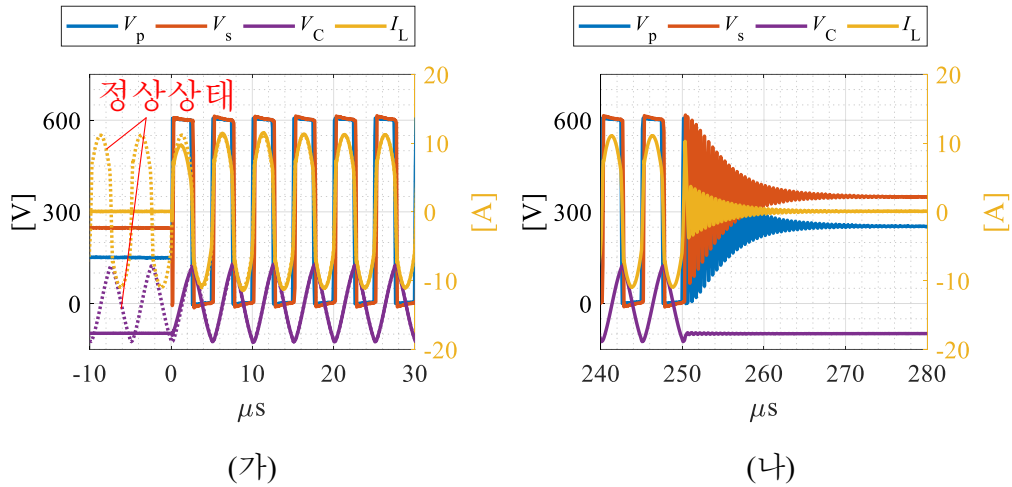


그림 5-29 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$, $I_o = 1.0 \text{ A}$ 에서
과도 전류 저감 방법 적용 시 PDM 제어 방식 파형
(가) 컨버터 턴-온 시 파형 (나) 컨버터 턴-오프 시 파형

그림 5-29는 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$, $I_o = 1.0 \text{ A}$ 에서 과도 전류 저감 방법 적용 시 PDM 제어 방식의 파형을 보여준다. 그림 5-29(가)는 컨버터 턴-온 시 파형을 보여주며, 그림 5-29(나)는 컨버터 턴-오프 시 파형을 보여준다. 정상상태 전류에 얼마나 빠르게 수렴하는지를 확인할 수 있도록, 정상상태의 인덕터 전류와 커패시터 전압을 점선으로 함께 도시하였다. 실험 파형에서 확인할 수 있듯이, 컨버터 턴-온 시 인덕터 전류와 커패시터 전압이 2~3주기 안에 정상상태 파형으로 수렴되는 것을 확인할 수 있다.

그림 5-30은 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$, $I_o = 2.5 \text{ A}$ 에서 과도 전류 저감 방법 적용 시 PDM 제어 방식의 파형을 보여주며, 앞선 분석 파형과 마찬가지로 2~3주기 내에 정상상태 파형으로 수렴되는 것을 확인할 수 있다.

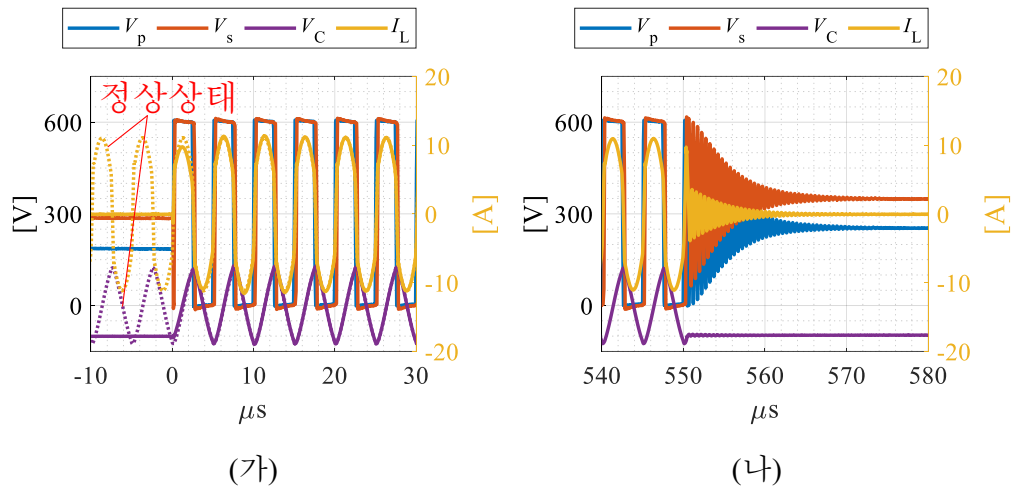


그림 5-30 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$, $I_o = 2.5 \text{ A}$ 에서
과도 전류 저감 방법 적용 시 PDM 제어 방식 파형
(가) 컨버터 턴-온 시 파형 (나) 컨버터 턴-오프 시 파형

5.3.3 제어 방식 별 효율 특성 비교 결과

그림 5-31(가)는 $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$ 에서 출력 전류 제어에 따른 제어 방식 별 효율을 보여준다. SPS 제어 방식([144])과 MCT 제어 방식([145])은 기존의 방식이며, 각각 ‘SPS’, ‘MCT’ 로 표기하였다. 본 논문에서 제안한 EZVS 제어 방식과 PDM 제어 방식은 각각 ‘EZVS’, ‘PDM’로 표기하였다. 약 5 A 이상 부터는 모든 제어 방식이 SPS 제어로 수렴하기 때문에 제어 방식 별 차이는 없고, 5 A 이하부터는 제어 방식이 달라지면서 효율의 차이가 나타나게 된다. 그림 5-31(가)에서 확인할 수 있듯이, PDM 제어에 따른 효율이 5 A 이하에서 평탄하면서 높은 효율을 유지하는 것을 볼 수 있다. 이는 PDM 제어를 제외한 나머지 3개의 제어 방식은 약 5 A 이하부터 최소 한 개의 스위치의 ZVS 달성

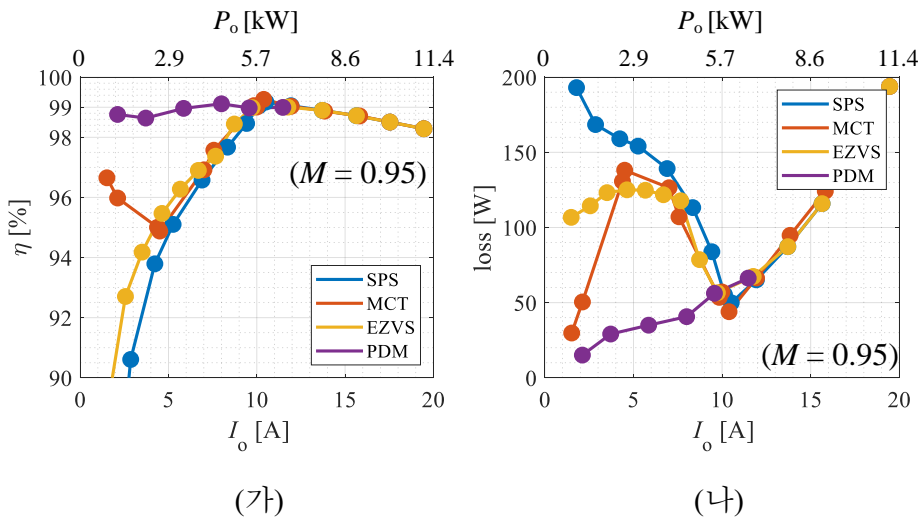


그림 5-31 $V_{dc,p}/V_{dc,s} = 600\text{ V} / 570\text{ V}$ 에서 제어 방식 별
(가) 모듈 효율 비교와 (나) 모듈 손실 비교

에 실패하기 때문에 급격하게 효율 곡선이 꺾이는 것으로부터 유추할 수 있다. 본 논문에서 제안한 EZVS 제어 방식은 5 A 이하 대역대에서 SPS 제어보다는 모두 효율이 높았으나, MCT 제어와 비교하여서는 약 2 A 이하 부터는 불리한 특성을 보였다.

그림 5-32 (가)는 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$ 에서 출력 전류 제어에 따른 제어 방식 별 효율을 보여준다. 전압 이득이 1인 상황이므로 기존의 제어 방식인 MCT 제어 방식이 SPS 제어 방식과 모든 부하율에서 제어 변수가 동일하기 때문에 두 방법에 의한 효율 특성은 같고 이에 따라 효율 곡선 그래프가 완벽히 겹치게 된다. 그림 5-32 (가)에서 확인할 수 있듯이, PDM 제어 방식에 따른

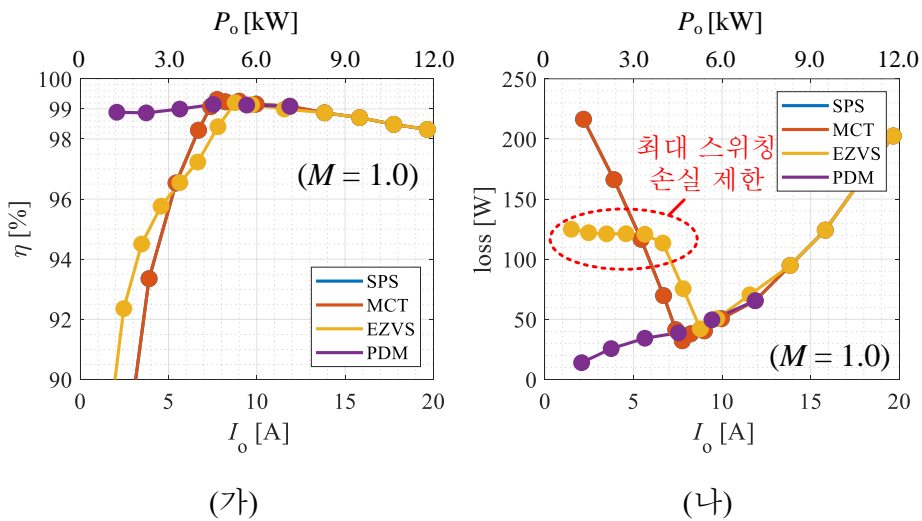


그림 5-32 $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$ 에서 제어 방식 별

(가) 모듈 효율 비교와 (나) 모듈 손실 비교

(전압 이득이 1인 상황에서는 MCT 제어 방식과 SPS 제어 방식은 동일)

효율이 이전 효율 분석그래프와 동일하게 평탄하면서 높은 효율을 유지하는 것을 볼 수 있었다. 본 논문에서 제안한 EZVS 제어 방식은 기존의 제어 방식에 비하여 2.5~4.5 A 에서는 근소하게 효율이 낮으나, 그 이하부터는 근소하게 높은 효율을 보였다. 특히 제안한 EZVS 제어 방식의 경우 스위치의 최대 손실 크기를 제한하는 효과가 있었다.

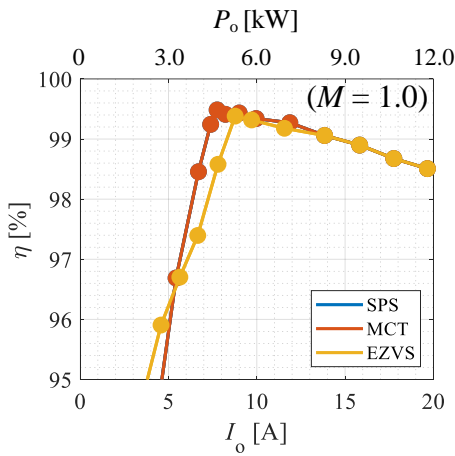
그림 5-31(가)와 그림 5-32(가)에서 볼 수 있듯이, 본 논문에서 제안한 EZVS 제어 방식이 완전한 ZVS 달성 스위치 개수가 더 많음에도 불구하고, 실제 효율 향상은 크게 효과적이지 않음을 알 수 있다. 이러한 이유는 4.3.3에서 언급하였듯이 다음과 같다. 전압 이득이 크지 않으면, 제안한 방식과 기존의 방식 사이에서 모든 ZVS 달성이 실현되지 않는 시점은 그림 4-23에서 볼 수 있듯이 거의 동일하다. 모든 스위치의 ZVS 달성이 불가능한 시점부터, 기존의 방식들은 컨버터 내의 복수의 스위치들이 불완전 ZVS가 이루어 지는 방향으로 나아간다. 반면에, 본 논문에서 제안한 방식은 ZVS가 안되는 영향을 한쪽 스위치에 몰아주게 되고, 복수가 아닌 한 개 스위치의 불완전 ZVS가 이루어 지는 방향으로 나아가게 된다. 한편, C_{oss} 에 의한 스위칭 손실은 스위치 턴-온 시점에서 0전압까지 떨어지지 않고 남은 전압의 제곱에 비례하는데, 제안한 방식의 경우 한쪽 스위치로 불완전 ZVS가 편중되기 때문에, 불완전 ZVS가 이루어 지는 스위치의 턴-온 시점에 남은 전압의 크기가, 기존의 방식보다 크게 된다. 스위칭 손실의 함수가 남은 전압의 거듭 제곱의 함수임을 고려한다면, 그림 4-24에서의 예시처럼 복수의 스위치가 불완전 ZVS 된다 하더라도 그 손실의 총합이 제안한 방식에서의 한 개 스위치의 불완전 ZVS에 의한 손실보다 작은 구간이 생기게 된다. 특히 전압 변동이 1인 경우에서 SPS 제어의 경우는 0출

력 전력부터 ZVS 경계선까지 하드 스위칭 하는 스위치는 없고, 전 스위치가 불완전 ZVS로 동작하기 때문에, 이러한 손실의 유불리가 가장 크게 드러나는 구간이 된다. 상기 언급한 이유로 전압 변동이 크지 않은 상황에서는 제안한 방식이 크게 효과적이지는 않음을 알 수 있다.

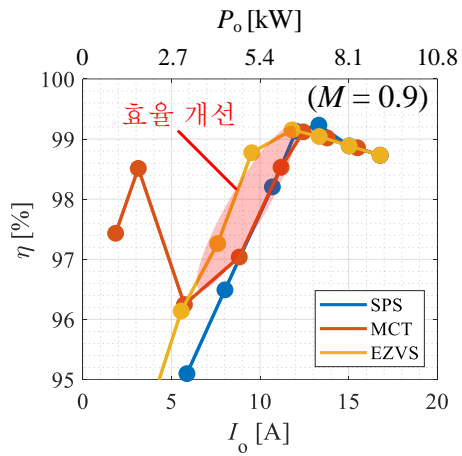
한편, 4.3.3에서 언급하였듯이, 그림 4-26에서처럼 전압 변동이 큰 경우에는 제안한 방식이 모든 스위치가 ZVS가 달성되는 출력 전력 구간이 기존의 방식보다 더 넓어지는 효과를 얻을 수 있다. 이는, 기존의 방식에서 보다, 제안한 방식의 제어 방식이 컨버터의 효율이 급격하게 하락하는 전력 구간을 좀더 낮은 부하 대역으로 낮출 수 있음을 함의한다.

그림 5-33, 그림 5-34 그리고 그림 5-35는 전압 이득 M 이 각각 1.0 – 0.25 인 경우 각각의 효율 곡선을 각 제어 방식에 따라 실험한 것이다. 제안한 방식의 모든 스위치의 ZVS 달성 영역을 넓혀주는 효과로, 중부하 영역에서 기존의 방식들 보다 효율이 상승하며, 특히 전압 이득이 클수록 그 효과가 더 뚜렷하게 나타나는 것을 확인할 수 있다. 실제적으로 경부하 효율을 높이기 위해서 PDM 제어 방식으로 동작한다고 하여도, 기존의 방식보다는 제안된 방식과 결합하는 것이 PDM 제어 방식의 동작 시작 시점을 좀더 경부하로 낮추는 효과를 가져오고, 이는 출력 커패시터의 부담을 저감하는 효과를 가져온다.

따라서, 본 논문에서의 SR-DAHБ 컨버터는 계통 연계형 응용분야에서의 직렬-입력 병렬-출력 컨버터의 구성 모듈로 전압 변동률이 $\pm 5\%$ 로 한정하였지만, 계통 연계형 응용 분야가 아닌 전압 변동이 $\pm 10\%$ 이상 되는 응용분야 예를 들어 자동차 배터리 충전, 태양광 발전, 범용 파워 서플라이 등등에서는 본 논문에서 제안한 방식이 효과적일 수 있음을 알 수 있다.



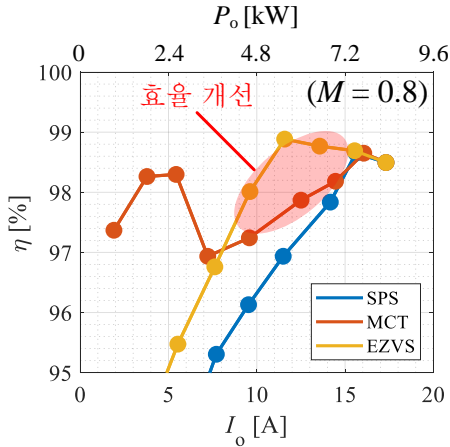
(가)



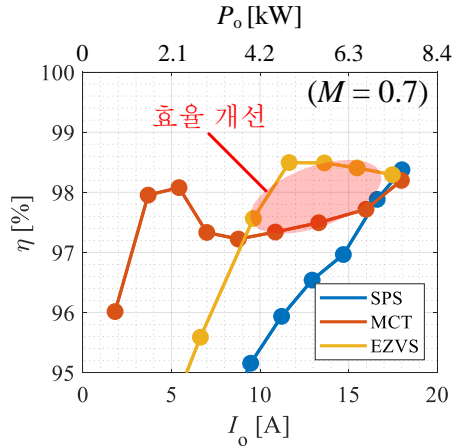
(나)

그림 5-33 높은 전압 이득에 따른 제어 방식 별 모듈 효율 특성 비교1

(가) $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 600 \text{ V}$ (나) $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 540 \text{ V}$



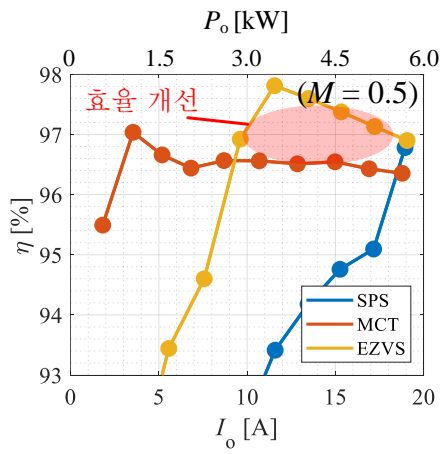
(가)



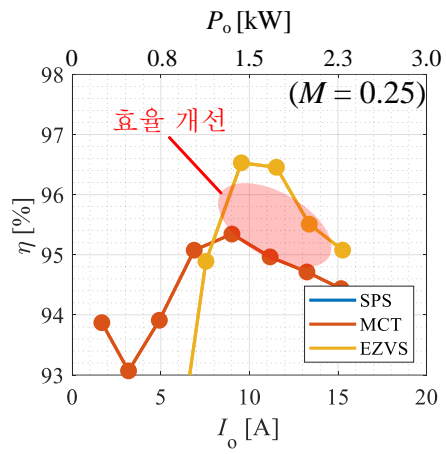
(나)

그림 5-34 높은 전압 이득에 따른 제어 방식 별 모듈 효율 특성 비교2

(가) $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 480 \text{ V}$ (나) $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 420 \text{ V}$



(가)



(나)

그림 5-35 높은 전압 이득에 따른 제어 방식 별 모듈 효율 특성 비교3

(가) $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 300 \text{ V}$ (나) $V_{dc,p}/V_{dc,s} = 600 \text{ V} / 150 \text{ V}$

제 6 장 결론 및 향후 과제

6.1 연구 결과

커패시터 커플링을 활용한 컨버터는 고주파 변압기의 부재로 높은 효율과 높은 전력밀도 달성이 가능하며 설계비용을 크게 절감할 수 있다. 또 커패시터 커플링을 이용한 컨버터를 직렬-입력 병렬-출력 구조로 적층 시킴으로써 쉽게 고 승압비 달성이 가능하며, 승압비에 따른 동작 특성의 의존성을 최소화할 수 있다.

한편 선행연구의 커패시터 커플링을 활용한 직렬-입력 병렬-출력 컨버터는 전압 변환비율을 고정된 설계를 하였다. 따라서 응용분야가 한정되거나 또는 전압 변동률을 대응하기 위한 컨버터를 직렬로 두어야 했다. 또, 중전압 차단으로 인한 커패시터의 부피를 고려하지 않았다. 따라서 실제로 컨버터가 구현되었을 때 전력밀도의 큰 감소가 있을 것을 예상할 수 있었다.

본 논문에서는 각 층에 적층 되어있는 커패시터 커플링을 이용한 컨버터가 모두 전압 변동률을 대응할 수 있는 구조로 설계되었다. 드롭 제어를 고려하여 옥내 직류 배전 변압기용 반도체 변압기 설계 목표를 세우고, 컨버터 동작 특성과 전력밀도를 고려하여 설계 제정수를 도출하였다. 또, 컨버터의 경부하 효율을 높이기 위한 제어 방안을 제시하였다. 제어 방안 제시를 위하여 SR-DAHB 컨버터의 시간영역 해석 또한 수행되었다.

본 논문의 연구 결과는 다음과 같이 요약된다.

- 1) 직렬-입력 병렬-출력 커패시터 커플링을 이용한 컨버터의 각 모듈은 2 병렬화 된 SR-DAHB 컨버터로 모델링 됨을 보이고, 영상분 전류를 최소화하기 위한 스위칭 방법을 제시하였다.
- 2) SR-DAHB 컨버터의 고조파는 ZVS 특성에 유리하게 작용하므로 임피던스를 공진 시키지 않는 방향으로 설계되는 것이 유리하지만 중전압 차단 커패시터의 사이즈를 키우게 되고, 전력밀도가 크게 감소함을 보였다. 이러한 분석을 바탕으로 임피던스 전체 크기를 최적화하기 위한 비용함수기반 설계 방안을 제시하였다.
- 3) 목표하는 부하율에서 높은 효율을 갖도록 설계하기 위해서는 ZVS 경계선을 예측하는 것이 필요하다. 이를 위해서는 ZVS를 위한 최소 전류 크기를 고려해주어야 한다. 공진 인덕터, 스위치의 출력 커패시터, 데드타임 크기를 고려하여 ZVS를 위한 최소 전류 크기를 선정하고, 이를 통한 ZVS 경계선 예측 방안을 제시하였으며, 모의 실험을 통한 설계 오차 보정 방안을 제시하였다.
- 4) 시비율이 조정되는 SR-DAHB 컨버터는 짝수와 고조파의 존재로, 기본파 해석에 한계점이 존재한다. SR-DAHB 컨버터의 시간영역 해석이 수행되었고, 이를 통해, SR-DAHB 컨버터 내에 존재하는 자유도(시비율, 위상, 주파수)에 대한 컨버터의 정상상태에서의 상태 변수(인덕터 전류, 커패시터 전압, 평균 전력 등)들의 닫힌 해가 도출되었다.

- 5) SR-DAHB 컨버터의 시간영역 해석 기반으로, 가장 최악의 ZVS 달성 조건을 갖은 스위치의 ZVS 영역을 시비율 제어를 통해 넓혀 줌으로써, 더 넓은 영역에서 모든 스위치들이 ZVS가 되도록 하는 제어 방식이 제안되었다. 제안된 방법은 전압 이득이 1에 가까운 상황에서는 최대 스위칭 손실을 저감하는 효과가 있었고, 전압 이득이 큰 상황에서는 모든 스위치가 ZVS 되는 영역이 넓어진 효과가 있었다.

- 6) 컨버터를 일정주기로 켜다 켜다 하는 PDM 제어 방식을 SR-DAHB 컨버터에 적용하는 방안이 연구되었다. PDM 제어 시, SR-DAHB 컨버터의 전류지령 생성방안에 대하여 제시하였고, 컨버터를 켜는 과도상태에서 발생하는 전류의 링잉을 저감하는 방안도 제시되었다.

6.2 향후 연구

본 연구의 향후 연구는 다음과 같다.

- 1) 본 논문에서는 일반적인 계통 접지에 대해서 등가모델을 도출하고, 실험에서는 양 계통을 직접 접지하였다. 한편 계통의 접지 방식은 컨버터의 보호와 사고 전류 감지 등 계통 연계 컨버터에 큰 영향을 끼친다. 따라서, 직접 접지, 고 저항 접지, 임피던스 접지 등 다양한 접지 방식에 대한 유불리 검토가 필요하다.
- 2) 컨버터가 계통에 연계되기 위해서는 LVRT/HVRT 제어동작이 가능해야 한다. 이를 위해서는 순간적으로 매우 높은 전압 이득 제어를 해야 한다. 높은 전압 이득 제어를 위해서는 시비율 뿐 아니라, 주파수 제어도 함께 이루어지는 것이 유리하다. 따라서, 총 4자유도를 갖고 높은 전압 이득을 순간적으로 감당하는 제어 기법에 관한 연구가 필요하다.
- 3) 제정수 오차로 인하여 임피던스 크기가 크게 차이나는 경우에는 브릿지에서 인가하는 영상분 전압을 최소화하여도 영상분 전류가 유기된다. 따라서 이를 저감하기 위한 제어 방법이 필요하다. 극 전류를 각각 측정하여 영상분 전류를 측정하고, 이를 통해 2 병렬된 SR-DAHB 컨버터의 지령에 차이를 주는 제어를 통하여 영상분 전류를 저감하는 제어 방안을 연구할 수 있다.

- 4) 직렬-입력 병렬-출력 컨버터는 모듈의 개수에 여유율을 두어 신뢰성을 향상시키게 된다. 일부 모듈에 사고가 발생하여 탈락되는 경우 여유율로 둔 컨버터가 동작을 시작하는 Hot-swap 기법에 대한 연구가 필요하다.

- 5) 초기 컨버터 구동을 위한 초기 시동 연구가 필요하다. 컨버터의 초기 시동에 흐르는 과도 전류를 억제하기 위해서 2차측 브릿지는 정류기로 동작하다가 능동 스위칭으로 전환되는 것이 필요하다. 이러한 제어 방법 전환 연구가 필요하며 전환 과정에서 발생하는 불필요한 링잉을 저감하는 연구가 필요하다.

제 7 장 부 록

7.1 인덕터/커패시터 에너지 밀도 차이 보정 계수 산정

코어의 물성과 사이즈가 결정되었을 때, 이 코어로 만든 인덕터 L 에 최대로 저장될 수 있는 에너지는 (7.1)과 같이 계산될 수 있다. 본 절에서 쓰이는 인덕터의 주요 설계 제정수의 기호는 그림 7-1과 같다.

$$\max(E_L) = \max\left(\frac{1}{2}LI_{\text{peak}}^2\right) = \frac{1}{2}\max(\mathcal{F}\phi) \quad (7.1)$$

이때 기자력 \mathcal{F} 의 최대값은 권선에서 허용 가능한 최대 전류 밀도 $J_{\text{peak,max}}$ 와 권선이 감긴 효과 면적 $A_w k_{\text{fill}}$ 의 곱과 같고, 자속 ϕ 의 최대값은 코어에서 허용 가능한 최대 자속밀도 B_{max} 와 코어의 단면적 A_c 의 곱과 같다. 따라서 (7.1)은 (7.2)와 같이 표현될 수 있다.

$$\max(E_L) = \frac{1}{2}(J_{\text{peak,max}} * A_w k_{\text{fill}})(B_{\text{peak,max}} A_c) \quad (7.2)$$

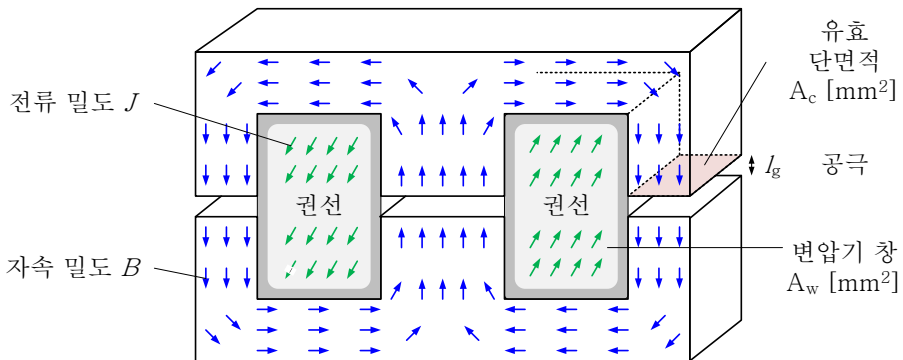


그림 7-1 인덕터의 주요 설계 제정수

여기서 허용 가능한 최대 전류 밀도 $J_{\text{peak,max}}$ 는 사용하는 권선에 의해서, 허용 가능한 최대 자속밀도 $B_{\text{peak,max}}$ 는 코어 물성에 의해서, A_c 는 코어 형상에 의해서 정해지는 제정수이다. 권선이 감긴 효과 면적 $A_w k_{\text{fill}}$ 은 인덕터 보빈과 사용하는 권선 등으로 정해진다. 본 논문에서는 코어에 허용 가능한 단위 체적당 손실 P_v 을 자연 냉각을 가정했을 때 사용하는 일반적인 수치 300 kW/m^3 로 선정하였다. 그리고 스위칭 주파수 200 kHz 를 고려하여, 제조사에서 제공하여 준 손실 특성 그림 7-2([164])를 바탕으로 허용 가능한 최대 자속밀도 $B_{\text{peak,max}}$ 를 125 mT 로 선정하였다. 허용 가능한 최대 전류 밀도 $J_{\text{peak,max}}$ 의 경우 통상 $1\sim 10$ 사이의 값을 선정하는데, 높은 스위칭 주파수에 따른 높은 교류 도통 손실을 고려하여 낮은 저항을 갖도록 2.5 로 선정하였다. 또, 권선의 Fill factor는 0.8 로 선정하였다. 이렇게 산정된 인덕터 제정수는 표 7-1에 정리되어 있다.

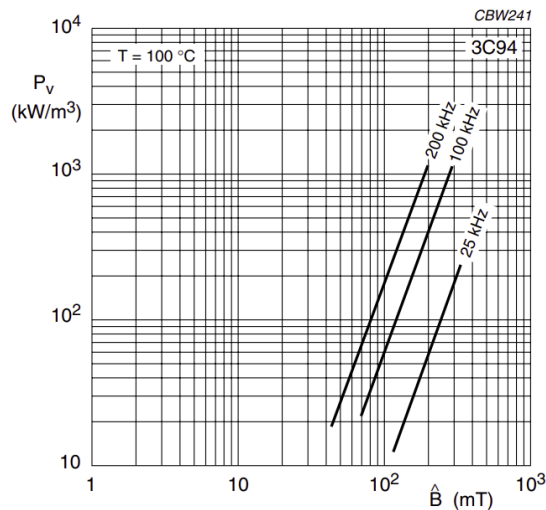


그림 7-2 3C94 코어 물성에서의 주파수, 자기장에 따른 손실 특성 [183]

표 7-1 본 논문에서 3C94 코어 에너지 밀도 비교를 위해
산정한 인덕터 제정수

기호	값	단위	설명
$B_{\text{peak,max}}$ @200 kHz	125	[mT]	코어에 최대로 인가 가능한 자기장 세기
J_{max}	2.5	[A/mm ²]	권선의 전류 밀도
k_{fill}	0.80		코어 Fill factor

표 7-2 3C94 코어 형상 별 설계 제정수

코어 형상	투자율 m_r	유효 단면적 $A_c(\text{mm}^2)$	유효 길이 $L_c(\text{mm})$	유효 부피 $V_e(\text{mm}^3)$
E13/06/06	1,600	20.2	27.7	559
E20/10/06	1,700	32	46	1,490
E35/18/10	1,600	100	80.7	8,070
E42/21/15	1,700	178	97	17,300
E47/20/16	1,700	234	88.9	20,800
E55/28/21	1,800	353	124	44,000
E65/32/27	1,900	540	147	79,000
E71/33/32	1,900	683	149	102,000
E80/38/20	1,900	392	184	72,300

(7.2)를 이용해서 코어 물성 3C94에 대해 표 7-2와 같이 EE모양의 다양한 크기에 대해서 최대로 저장될 수 있는 에너지를 그래프로 표현하면 그림 3-20(가)와 같은 코어 형상 별 에너지 밀도를 구할 수 있다.

7.2 스위치 출력 커패시턴스의 사전 평가

스위치의 출력 커패시터 C_{oss} 는 전압에 따라 커패시턴스가 변화하는 비선형 특성이 존재한다. 그림 7-3은 본 논문에서 사용되는 스위치와 비슷한 정격의 스위치(UF3C120040K4S [191])의 전압에 따른 출력 커패시터의 변화를 보여준다. 이러한 스위치의 출력 커패시터 C_{oss} 의 비선형적인 커패시턴스값의 변화로 스위치의 출력 커패시턴스는 크게 3가지 형태로 데이터시트에 명시된다.

첫번째는 테스트 전압에서 전압의 섭동을 통해 얻어진 출력 커패시턴스로 그림 7-3의 전압에 따른 커패시터 그래프를 통해 얻을 수 있다.

두번째 형태의 출력 커패시턴스는 에너지-등가 출력 커패시턴스 $C_{oss,ER}$ 로 영 전압부터 테스트 전압 V_T 까지의 V_{DS} 전압에 따라 충전되는 에너지를 기준으로 구한다. C_{oss} 에 저장된 에너지를 역으로 환산하여 $C_{oss,ER}$ 은 (7.3)과 같이 계산될 수 있다[170].

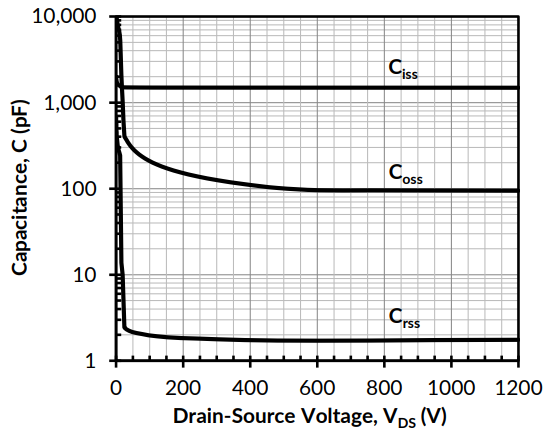


그림 7-3 스위치의 드레인-소스 전압 V_{DS} 에 따른 C_{oss} 특성 [158]

$$C_{\text{oss,ER}}(V_T) = \frac{2E_{\text{oss}}(V_T)}{V_T^2} = \frac{2 \int_0^{V_T} v \cdot C_{\text{oss}}(v)}{V_T^2} dv \quad (7.3)$$

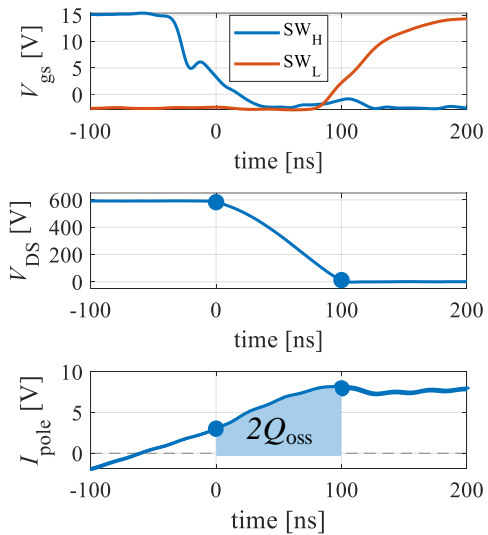
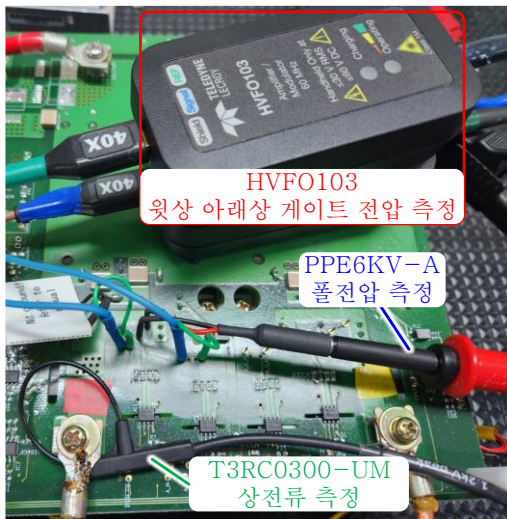
세번째 형태의 출력 커패시턴스는 시간-등가 출력 커패시턴스 $C_{\text{oss,TR}}$ 로 영전압부터 테스트 전압까지 출력 커패시턴스 C_{oss} 에 충전되는 전하를 적분 함으로써 구한다. 최종적으로 저장된 전하를 테스트 전압 V_T 기준으로 역으로 환산하여 $C_{\text{oss,TR}}$ 은 (7.4) 와 같이 계산될 수 있다[192].

$$C_{\text{oss,TR}}(V_T) = \frac{Q_{\text{oss}}(V_T)}{V_T} = \frac{\int_0^{V_T} C_{\text{oss}}(v)}{V_T} dv \quad (7.4)$$

한편 대부분의 출력 커패시터의 비선형성은 낮은 전압일수록 스위치의 출력 커패시턴스가 크게 증가하는 형태로 보이기 때문에, 섭동 출력 커패시턴스, 에너지-등가 출력 커패시턴스, 시간-등가 출력 커패시턴스 순으로 크기가 커지게 된다. 또 이러한 커패시턴스의 크기 차이는 테스트 전압이 낮을수록 크게 나타나게 된다. 예를 들어 [191]에서는 800 V 에서의 섭동 출력 커패시턴스 $C_{\text{oss}}(800 \text{ V}) = 100 \text{ pF}$, 0전압부터 800 V 까지의 에너지-등가 출력 커패시턴스 $C_{\text{oss,ER}}(800\text{V}) = 112 \text{ pF}$, 시간-등가 출력 커패시턴스 $C_{\text{oss,TR}}(800\text{V}) = 280 \text{ pF}$ 을 명시하고 있다.

상기 3개의 출력 커패시터 중 ZVS 달성여부를 판단하는데 이용되는 커패시턴스는 시간-등가 출력 커패시턴스 $C_{\text{oss,TR}}$ 이다[170]. 한편 본 논문에서 이용되는 스위치 [163]은 섭동 출력 커패시턴스 $C_{\text{oss}}(800 \text{ V}) = 220 \text{ pF}$, 에너지-등가 출력 커패시턴스 $C_{\text{oss,ER}}(800 \text{ V}) = 275 \text{ pF}$ 은 명시 되어 있지만, 시간-등가 출력 커패시턴스가 명시 되어 있지 않으며, 테스트 전압도 본 논문의 공칭 전압인 600 V 보다 200 V가 높기 때문에 설계에 앞서서 시간-등가 출력 커패시턴스 $C_{\text{oss,TR}}$ 을 사전 평가 하는 것이 필요하다.

그림 7-4(가)는 본 논문에 쓰인 스위치 [163]의 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 을 측정을 위한 셋업을 보여준다. 아랫상 V_{DS} 전압 측정을 위해서 고전압 패시브 프로브 PPE6KV-A(500 MHz)를 사용하였으며, ZVS 달성 여부를 확인하기 위한 스위치 게이트 신호를 관측을 위해 광 절연 전압 프로브 HVFO103(60 MHz)를 사용하였으며, 전류 측정을 위하여 로고스키 전류 프로브 T3RC0330-UM(30 MHz)를 사용하였다. 모든 프로브는 계측 이전에 Deskew 조



(가)

(나)

그림 7-4 스위치의 시간-등가 출력 커패시턴스 측정

(가) 측정을 위한 실험 셋업 ($R_{g,ext-on} = 5 \Omega$, $R_{g,ext-off} = 2.5 \Omega$, $L_r = 15 \mu H$)

(나) 아래/위상 게이트 신호, 아랫상 V_{DS} 측정 결과, 극 전류 측정 결과

(총 전하량 $2Q_{oss}$: 612 nC, 시간-등가 출력 커패시턴스 $C_{oss,TR}$: 510 pF)

절을 한 뒤 계측에 이용되었다.

그림 7-4(나)는 계측 결과를 나타낸다. 아랫상 스위치에 게이트 신호가 인가되어 문턱전압($V_{th}: 4.5\text{ V}$)을 넘기 이전에 아랫상 V_{DS} 전압이 600 V에서 0 전압까지 떨어져서 온전히 ZVS 턴-온 된 것을 확인할 수 있다. 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 은 이때 계측된 전류의 시간적분을 통해 얻을 수 있다. 총 전하량은 약 612 nC으로 계측되었으며, 이 전하량이 데드타임 시간동안 윗상과 아랫상에 총 전하량이 동일하게 나뉘어 흘렀다고 가정하면, 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 은 약 510 pF으로 계산될 수 있다.

일반적으로 에너지-등가 출력 커패시턴스 $C_{oss,ER}$ (본 논문에 쓰인 스위치의 경우: 275 pF @ 800V) 보다 시간-등가 출력 커패시턴스 $C_{oss,TR}$ 이 수배 이상 크며, 계측된 시간-등가 출력 커패시턴스는 PCB와 스위치 패키지로 인한 기생성분을 모두 포함한다는 점을 고려하면, 계측된 수치는 합리적인 범위 안에 있다고 볼 수 있다.

7.3 데드타임으로 인한 전압 왜곡 보상 방법

그림 7-5는 극 전압 왜곡을 사전 평가하는 방법을 나타낸다. 데드타임 구간 동안 전류는 정전류 원이라고 가정하고, 이때의 전류 값은 분석적으로 구한 스위칭-전류 크기 (3.40)을 사용 한다. 위와 같은 가정을 통해 데드타임 구간 동안 극 전압 형태는 사다리꼴 또는 삼각형으로 근사할 수 있고, 이러한 극 전압 왜곡을 동일한 면적의 직사각형 극 전압으로 근사 시키므로써 극 전압 왜곡 VD를 (7.5)와 같이 평가할 수 있다.

$$\begin{cases} VD_{xy} = \frac{T_D}{2T_{sw}} & \text{HS: } I_{sw,xy} > 0 \\ VD_{xy} = \frac{T_D}{2T_{sw}} \left(\frac{T_D}{T_\lambda} + 1 \right) & \text{iZVS: } I_{sw,xy} \leq 0, T_\lambda > T_D \\ VD_{xy} = \frac{T_\lambda - T_D}{2T_{sw}} & \text{ZVS: } I_{sw,xy} \leq 0, T_\lambda < T_D \end{cases} \quad (7.5)$$

이때,

$$T_\lambda = -\frac{2C_{oss,TR}V_{dc,x}}{I_{sw,xy}}, \quad x = p \text{ or } s, \quad y = H \text{ or } L$$

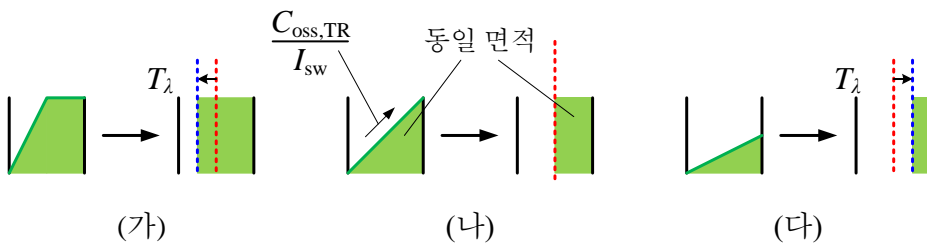


그림 7-5 데드타임으로 인한 극 전압 보상을 위한 극 전압 왜곡 계산 방법

(가) 충분한 전류로 소프트-스위칭 시 (나) 소프트-스위칭 시

(다) 불완전 소프트-스위칭 시

위와 같이 사전 평가된 극 전압 왜곡을 통해 SR-DAHB 컨버터의 시비율과 전압 위상은 (7.6)과 같이 전향 보상될 수 있다.

$$\left\{ \begin{array}{l} D_{p,comp} = (VD_{pH} - VD_{pL}) \\ D_{s,comp} = (VD_{sH} - VD_{sL}) \\ D_{\phi,comp} = \frac{(VD_{pH} + VD_{pL}) - (VD_{sH} + VD_{sL})}{2} \end{array} \right. \quad (7.6)$$

7.4 시간영역 해석으로 도출된 단힌 표현식

4.2.3에서 얻어진 스위칭 패턴3에서의 컨버터의 전압/전류 단힌 해들은 (4.28)의 역행렬을 통해 도출되었다. 나머지 스위칭 패턴들에 대해서도 동일한 방식을 통해 단힌 해를 얻을 수 있다. (4.28)은 일반화를 통해 (7.7)과 같이 표현될 수 있다. (7.7)의 역행렬을 통해 스위칭 패턴1-6까지의 단힌 표현식을 얻을 수 있다.(표 7-4 - 표 7-20)

$$\begin{aligned}
 & \mathbf{x} = \mathbf{A}^{-1} \mathbf{b} \\
 & \text{이때,} \\
 & \mathbf{x} = \begin{bmatrix} U_c^0 \\ J_L^0 \\ U_c^1 \\ J_L^1 \\ U_c^2 \\ J_L^2 \\ U_c^3 \\ J_L^3 \end{bmatrix}, \quad \mathbf{b} = \begin{bmatrix} -U_{T,0}(1 - \cos(F_N \theta_0)) \\ -U_{T,0} \sin(F_N \theta_0) \\ -U_{T,1}(1 - \cos(F_N \theta_1)) \\ -U_{T,1} \sin(F_N \theta_1) \\ -U_{T,2}(1 - \cos(F_N \theta_2)) \\ -U_{T,2} \sin(F_N \theta_2) \\ -U_{T,3}(1 - \cos(F_N \theta_3)) \\ -U_{T,3} \sin(F_N \theta_3) \end{bmatrix} \quad (7.7) \\
 & \mathbf{A} = \begin{bmatrix} \mathbf{R}(-F_N \theta_0) & -\mathbf{I} & 0 & 0 \\ 0 & \mathbf{R}(-F_N \theta_1) & -\mathbf{I} & 0 \\ 0 & 0 & \mathbf{R}(-F_N \theta_2) & -\mathbf{I} \\ -\mathbf{I} & 0 & 0 & \mathbf{R}(-F_N \theta_3) \end{bmatrix}
 \end{aligned}$$

여기서 θ_* 는 각 스위칭 패턴에서 스위치 모드의 구간 간격을 나타낸다.

표 7-3 스위칭 패턴1에서의 스위치 모드의 구간별 간격

변수	표현식
θ_0	$2D_p\pi$
θ_1	$(-D_p - D_s + 2D_\phi)\pi$
θ_2	$2D_s\pi$
θ_3	$(2 - D_p - D_s - 2D_\phi)\pi$

표 7-4 스위칭 패턴1에서의 스위칭 순간 커패시터 전압 값

변수	표현식
U_c^0	$\frac{-\cos(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \cos(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
U_c^1	$\frac{\sin(F_N D_p \pi) \cos(F_N \overline{D_p} \pi) - M \cos(F_N (1 + D_p - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
U_c^2	$\frac{\sin(F_N D_p \pi) \cos(F_N (1 + D_s - 2D_\phi) \pi) + M \cos(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
U_c^3	$\frac{\sin(F_N D_p \pi) \cos(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \cos(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 7-5 스위칭 패턴1에서의 스위칭 순간 인덕터 전류 값

변수	표현식
J_L^0	$\frac{-\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
J_L^1	$\frac{\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (1 + D_p - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
J_L^2	$\frac{\sin(F_N D_p \pi) \sin(F_N (1 + D_s - 2D_\phi) \pi) + M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^3	$\frac{\sin(F_N D_p \pi) \sin(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 7-6 스위칭 패턴2에서의 스위치 모드의 구간별 간격

변수	표현식
θ_0	$2D_p\pi$
θ_1	$(-D_p + D_s + 2D_\phi)\pi$
θ_2	$2(1 - D_s)\pi$
θ_3	$(-D_p + D_s - 2D_\phi)\pi$

표 7-7 스위칭 패턴2에서의 스위칭 순간 커패시터 전압 값

변수	표현식
U_c^0	$\frac{-\cos(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \cos(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)} + (1 - M)$
U_c^1	$\frac{\sin(F_N D_p \pi) \cos(F_N \overline{D_p} \pi) - M \cos(F_N (1 + D_p - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)} - M$
U_c^2	$\frac{\sin(F_N D_p \pi) \cos(F_N (1 + D_s - 2D_\phi) \pi) + M \cos(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
U_c^3	$\frac{\sin(F_N D_p \pi) \cos(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \cos(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} - M$

표 7-8 스위칭 패턴2에서의 스위칭 순간 인덕터 전류 값

변수	표현식
J_L^0	$\frac{-\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (D_p + 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^1	$\frac{\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \sin(F_N (D_p - 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^2	$\frac{\sin(F_N D_p \pi) \sin(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^3	$\frac{-\sin(F_N D_p \pi) \sin(F_N (\overline{D_s} + 2D_\phi) \pi) + M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 7-9 스위칭 패턴3에서의 스위치 모드의 구간별 간격

변수	표현식
θ_0	$(D_p - D_s + 2D_\phi)\pi$
θ_1	$(D_p + D_s - 2D_\phi)\pi$
θ_2	$-(D_p - D_s - 2D_\phi)\pi$
θ_3	$(2 - D_p - D_s - 2D_\phi)\pi$

표 7-10 스위칭 패턴3에서의 스위칭 순간 커패시터 전압 값

변수	표현식
U_c^0	$\frac{-\cos(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \cos(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)} + 1$
U_c^1	$\frac{-\sin(F_N \overline{D_p} \pi) \cos(F_N (D_s - 2D_\phi) \pi) + M \cos(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} + (1 - M)$
U_c^2	$\frac{\sin(F_N D_p \pi) \cos(F_N \overline{D_p} \pi) + M \cos(F_N (D_p - 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} - M$
U_c^3	$\frac{\sin(F_N D_p \pi) \cos(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \cos(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 7-11 스위칭 패턴3에서의 스위칭 순간 인덕터 전류 값

변수	표현식
J_L^0	$\frac{-\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
J_L^1	$\frac{-\sin(F_N \overline{D_p} \pi) \sin(F_N (D_s - 2D_\phi) \pi) + M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^2	$\frac{\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \sin(F_N (D_p - 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^3	$\frac{\sin(F_N D_p \pi) \sin(F_N (\overline{D_s} - 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 7-12 스위칭 패턴4에서의 스위치 모드의 구간별 간격

변수	표현식
θ_0	$(D_p - D_s + 2D_\phi)\pi$
θ_1	$2D_s\pi$
θ_2	$(D_p - D_s - 2D_\phi)\pi$
θ_3	$2(1 - D_p)\pi$

표 7-13 스위칭 패턴4에서의 스위칭 순간 커패시터 전압 값

변수	표현식
U_c^0	$\frac{-\cos(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \cos(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)} + 1$
U_c^1	$\frac{-\sin(F_N \overline{D_p} \pi) \cos(F_N (D_s - 2D_\phi) \pi) + M \cos(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} + (1 - M)$
U_c^2	$\frac{-\sin(F_N \overline{D_p} \pi) \cos(F_N (D_s + 2D_\phi) \pi) - M \sin(F_N D_s \pi) \cos(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} + 1$
U_c^3	$\frac{\sin(F_N D_p \pi) \cos(F_N \overline{D_p} \pi) - M \cos(F_N (\overline{D_p} + 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$

표 7-14 스위칭 패턴4에서의 스위칭 순간 인덕터 전류 값

변수	표현식
J_L^0	$\frac{-\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (\overline{D_p} - 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
J_L^1	$\frac{-\sin(F_N \overline{D_p} \pi) \sin(F_N (D_s - 2D_\phi) \pi) + M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^2	$\frac{\sin(F_N \overline{D_p} \pi) \sin(F_N (D_s + 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^3	$\frac{\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \sin(F_N (\overline{D_p} + 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$

표 7-15 스위칭 패턴5에서의 스위치 모드 구간별 간격

변수	표현식
θ_0	$(D_p + D_s + 2D_\phi)\pi$
θ_1	$(D_p - D_s - 2D_\phi)\pi$
θ_2	$(2 - D_p - D_s + 2D_\phi)\pi$
θ_3	$(-D_p + D_s - 2D_\phi)\pi$

표 7-16 스위칭 패턴5에서의 스위칭 순간 커패시터 전압 값

변수	표현식
U_c^0	$\frac{-\cos(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \cos(F_N (D_p + 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} + (1 - M)$
U_c^1	$\frac{-\sin(F_N \overline{D_p} \pi) \cos(F_N (D_s + 2D_\phi) \pi) - M \sin(F_N D_s \pi) \cos(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} + 1$
U_c^2	$\frac{\sin(F_N D_p \pi) \cos(F_N \overline{D_p} \pi) - M \cos(F_N (\overline{D_p} + 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
U_c^3	$\frac{\sin(F_N D_p \pi) \cos(F_N (\overline{D_s} + 2D_\phi) \pi) + M \cos(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)} - M$

표 7-17 스위칭 패턴5에서의 스위칭 순간 인덕터 전류 값

변수	표현식
J_L^0	$\frac{-\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (D_p + 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^1	$\frac{\sin(F_N \overline{D_p} \pi) \sin(F_N (D_s + 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^2	$\frac{\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) - M \sin(F_N (\overline{D_p} + 2D_\phi) \pi) \sin(F_N D_s \pi)}{\sin(F_N \pi)}$
J_L^3	$\frac{-\sin(F_N D_p \pi) \sin(F_N (\overline{D_s} + 2D_\phi) \pi) + M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 7-18 스위칭 패턴2에서의 스위치 모드의 구간별 간격

변수	표현식
θ_0	$(D_p + D_s + 2D_\phi)\pi$
θ_1	$(2 - 2D_s)\pi$
θ_2	$(D_p + D_s - 2D_\phi - 2)\pi$
θ_3	$(2 - 2D_p)\pi$

표 7-19 스위칭 패턴6에서의 스위칭 순간 커패시터 전압 값

변수	표현식
U_c^0	$\frac{-\cos(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \cos(F_N (D_p + 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
U_c^1	$\frac{-\sin(F_N \overline{D_p} \pi) \cos(F_N (D_s + 2D_\phi) \pi) - M \sin(F_N D_s \pi) \cos(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
U_c^2	$\frac{-\sin(F_N \overline{D_p} \pi) \cos(F_N (\overline{D_s} + 2D_\phi + 1) \pi) + M \cos(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
U_c^3	$\frac{\sin(F_N D_p \pi) \cos(F_N \overline{D_p} \pi) + M \cos(F_N (\overline{D_p} + 2D_\phi + 1) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

표 7-20 스위칭 패턴6에서의 스위칭 순간 인덕터 전류 값

변수	표현식
J_L^0	$\frac{-\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (D_p + 2D_\phi) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^1	$\frac{\sin(F_N \overline{D_p} \pi) \sin(F_N (D_s + 2D_\phi) \pi) - M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^2	$\frac{\sin(F_N \overline{D_p} \pi) \sin(F_N (\overline{D_s} + 2D_\phi + 1) \pi) + M \sin(F_N D_s \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$
J_L^3	$\frac{\sin(F_N D_p \pi) \sin(F_N \overline{D_p} \pi) + M \sin(F_N (\overline{D_p} + 2D_\phi + 1) \pi) \sin(F_N \overline{D_s} \pi)}{\sin(F_N \pi)}$

7.5 SR-DAHB 컨버터의 고차 푸리에 해석

SR-DAHB는 2.4.1의 기본파 해석과 동일한 방법으로 고조파 주파수에 대해서도 상태 변수를 얻을 수 있다. 이를 통해 얻어진 고차 푸리에로 해석된 컨버터 상태 변수는 표 7-21과 같으며, 스위칭-전류는 표 7-22와 같다.

표 7-21 SR-DAHB 컨버터의 고차 푸리에로 해석된 컨버터 상태 변수

변수	표현식
$P_{N,p}$	$\frac{2M}{\pi^2} \sum_{k=1,2,3\dots}^N \frac{\sin(k\pi D_p)\sin(k\pi D_s)\sin(2k\pi D_\phi)}{k^2 X_{Tk}}$
$j_L(t)$	$\frac{2}{\pi} \sum_{k=1,2,3\dots}^N \frac{\sin(k\pi D_p)\sin(k\omega_s t) - M\sin(k\pi D_s)\sin(k\omega_{sw}t - 2k\pi D_\phi)}{k X_{Tk}}$
$J_{L,rms}$	$\frac{\sqrt{2}}{\pi} \sqrt{\sum_{k=1,2,3\dots}^N \frac{\left(\begin{array}{c} \sin^2(k\pi D_p) + M^2 \sin^2(k\pi D_s) \\ -2M\sin(k\pi D_p)\sin(k\pi D_s)\cos(2k\pi D_\phi) \end{array} \right)}{k^2 X_{Tk}^2}}$
$u_C(t)$	$+ \frac{2F_N}{\pi} \sum_{k=1,2,3\dots}^N \frac{\begin{array}{c} D_p - MD_s \\ -\sin(k\pi D_p)\cos(k\omega_s t) + M\sin(k\pi D_s)\cos(k\omega_{sw}t - 2k\pi D_\phi) \end{array}}{k^2 X_{Tk}}$
$U_{C,rms}$	$\sqrt{(D_p - MD_s)^2 + \frac{2r^2}{\pi^2} \sum_{k=1,2,3\dots}^N \frac{\left(\begin{array}{c} \sin^2(k\pi D_p) + M^2 \sin^2(k\pi D_s) \\ -2M\sin(k\pi D_p)\sin(k\pi D_s)\cos(2k\pi D_\phi) \end{array} \right)}{k^4 X_{Tk}^2}}$

표 7-22 SR-DAHB 컨버터의 고차 푸리에로 해석된 스위칭 전류

변수	표현식
J_{sw,P_H}	$\frac{2}{\pi} \sum_{k=1,2,3\dots}^N \frac{-\sin^2(k\pi D_p) + M\sin(k\pi D_s)\sin(k\pi D_p + 2k\pi D_\phi)}{kX_{Tk}}$
J_{sw,P_L}	$\frac{2}{\pi} \sum_{k=1,2,3\dots}^N \frac{-\sin^2(k\pi D_p) + M\sin(k\pi D_s)\sin(k\pi D_p - 2k\pi D_\phi)}{kX_{Tk}}$
J_{sw,S_H}	$\frac{2}{\pi} \sum_{k=1,2,3\dots}^N \frac{\sin(k\pi D_p)\sin(k\pi D_s - 2k\pi D_\phi) - M\sin^2(k\pi D_s)}{kX_{Tk}}$
J_{sw,S_L}	$\frac{2}{\pi} \sum_{k=1,2,3\dots}^N \frac{\sin(k\pi D_p)\sin(k\pi D_s + 2k\pi D_\phi) - M\sin^2(k\pi D_s)}{kX_{Tk}}$

7.6 동손을 고려했을 때 시간영역 해석 오차

동손을 고려했을 때 시간영역 해석의 오차는 무손실 회로 그림 7-6(가)와 손실 회로 그림 7-6(나)를 비교 함으로써 평가할 수 있다 [149]. 무손실 회로와 손실 회로의 전달함수는 각각 (7.8)과 (7.9)와 같이 나타낼 수 있다.

$$I_{\text{loss-less}}(s) = \frac{U_T(s)}{sL_r + \frac{1}{sC_r}} \quad (7.8)$$

$$I_{\text{lossy}}(s) = \frac{U_T(s)}{R_{\text{esr}} + sL_r + \frac{1}{sC_r}} \quad (7.9)$$

무손실 회로와 손실 회로의 전달함수 차이는 (7.10)과 같이 구할 수 있다.

$$G_{\text{res}}(s) = \frac{I_{\text{lossy}}(s)}{I_{\text{loss-less}}(s)} = \frac{s^2 + \omega_r^2}{s^2 + s\frac{\omega_r}{Q} + \omega_r^2}$$

이때, (7.10)

$$Q = \frac{1}{R_{\text{esr}}} \sqrt{\frac{L_r}{C_r}}$$

(7.10)을 통해 전류 크기와 위상 오차는 각각 (7.11)과 (7.12)와 같이 구할 수 있다.

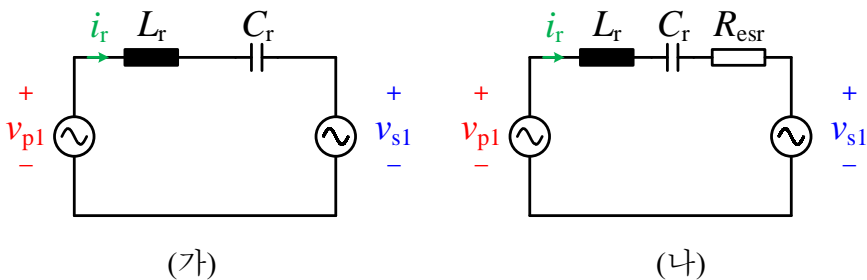


그림 7-6 무손실 회로와 손실 회로의 등가회로

(가) 무손실 등가 회로 (나) 손실 등가 회로

$$|G_{\text{res}}(j\omega_{\text{sw}})| = \frac{1}{\sqrt{1 + \left(\frac{F_N}{Q(F_N^2 - 1)}\right)^2}} \quad (7.11)$$

$$\angle G_{\text{res}}(j\omega_{\text{sw}}) = \text{atan}\left(\frac{F_N}{Q(1 - F_N^2)}\right) \quad (7.12)$$

이때 여러 Q 값에 따라서 크기 오차와 위상 오차를 그래프로 도시하면 그림 7-7과 같다. 그림 7-7에서의 빨간 점선은 본 논문에서 디자인한 정규 공진점을 나타낸다. 구성된 임피던스의 고주파 성분을 측정하는 것은 매우 어렵지만, 구성된 컨버터의 효율을 고려하여 보았을 때, Q 값은 약 75-100 사이로 추정되며, 따라서 크기 오차는 거의 없으며, 기본과 전류의 위상 오차는 약 1도정도 차이날 수 있음을 알 수 있다.

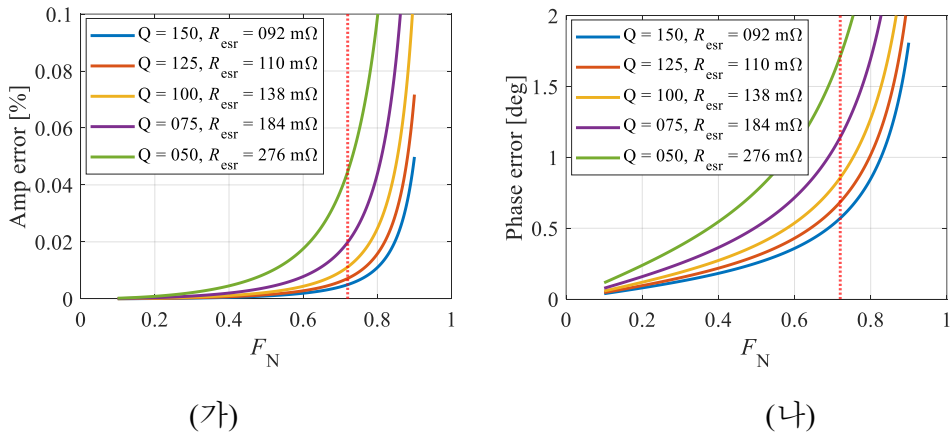


그림 7-7 Q 값에 따른 무손실 회로와 손실 회로의
(가) 전류 크기 오차 (나) 전류 위상 오차

참고 문헌

- [1] 외교부, “기후변화협상 | 기후변화·환경 외교부.” https://www.mofa.go.kr/www/wpge/m_20150/contents.do (accessed Sep. 27, 2022).
- [2] “e-나라지표.” <https://www.index.go.kr/main.do> (accessed Sep. 27, 2022).
- [3] B. Grainger and R. W. D. Doncker, Eds., *Medium Voltage DC System Architectures*. Stevenage: The Institution of Engineering and Technology, 2022.
- [4] G. Abeynayake, J. Yu, A. Moon, and J. Liang, “Analysis and Control of MVDC Demonstration Project in the UK: ANGLE-DC,” vol. 37, pp. 44–50, Oct. 2020, doi: 10.19421/j.cnki.1006-6357.2020.10.007.
- [5] “IEC 60038: IEC standard voltages.” International Electrotechnical Commission: Geneva, Switzerland, 2009-2020.
- [6] “IEEE Recommended Practice for 1 kV to 35 kV Medium-Voltage DC Power Systems on Ships,” *IEEE Std 1709-2018 (Revision of IEEE Std 1709-2010)*, pp. 1–54, Dec. 2018, doi: 10.1109/IEEEESTD.2018.8569023.
- [7] G. Bathurst, G. Hwang, and L. Tejwani, “MVDC - The New Technology for Distribution Networks,” in *11th IET International Conference on AC and DC Power Transmission*, Feb. 2015, pp. 1–5. doi: 10.1049/cp.2015.0037.
- [8] J. Chen *et al.*, “Main Loop Design of Zhuhai Three-terminal DC Distribution System,” in *2019 4th IEEE Workshop on the Electronic Grid (eGRID)*, Nov. 2019, pp. 1–5. doi: 10.1109/eGRID48402.2019.9092752.
- [9] L. Qu *et al.*, “Planning and analysis of the demonstration project of the MVDC distribution network in Zhuhai,” *Front. Energy*, vol. 13, no. 1, pp. 120–130, Mar. 2019, doi: 10.1007/s11708-018-0599-2.
- [10] R. W. De Doncker, “The War of Currents.” E.ON ERC RWTH Festschrift. Accessed: Sep. 27, 2022. [Online]. Available: <https://www.eonerc.rwth-aachen.de/cms/E-ON-ERC/Das-Center/Aktivitaeten-und-Publikationen/~pajj/Festschrift-des-E-ON-ERC/lidx/1/>
- [11] 국가통계포털, “배전설비 현황.” <https://kosis.kr> (accessed Dec. 20, 2022).
- [12] 전기연구원, “변압기 최저소비효율 기준 등 개발.” 에너지관리공단, 2010.

- [13] 김선구, 배석명, 방선배, 정중욱, and 이관제, “국내 전력용변압기 이용실태에 관한 조사연구,” in *대한전기학회 2007년도 춘계학술대회 논문집 전기설비전문위원회*, 2007, pp. 114–116.
- [14] J. Taufiq, “Power Electronics Technologies for Railway Vehicles,” in *2007 Power Conversion Conference - Nagoya*, Apr. 2007, pp. 1388–1393. doi: 10.1109/PCCON.2007.373146.
- [15] M. K. Das *et al.*, “10 kV, 120 A SiC half H-bridge power MOSFET modules suitable for high frequency, medium voltage applications,” in *2011 IEEE Energy Conversion Congress and Exposition*, Sep. 2011, pp. 2689–2692. doi: 10.1109/ECCE.2011.6064129.
- [16] C. Zhao *et al.*, “Power Electronic Traction Transformer—Medium Voltage Prototype,” *IEEE Transactions on Industrial Electronics*, vol. 61, no. 7, pp. 3257–3268, Jul. 2014, doi: 10.1109/TIE.2013.2278960.
- [17] G. Ortiz, M. G. Leibl, J. E. Huber, and J. W. Kolar, “Design and Experimental Testing of a Resonant DC–DC Converter for Solid-State Transformers,” *IEEE Transactions on Power Electronics*, vol. 32, no. 10, pp. 7534–7542, Oct. 2017, doi: 10.1109/TPEL.2016.2637827.
- [18] H. Kim, J. Baek, M. Kim, H. Yun, D. Jeong, and J. Cho, “A 13.2kV / 150kVA Solid State Transformer for a Bipolar LVDC Distribution System,” in *2019 IEEE Third International Conference on DC Microgrids (ICDCM)*, May 2019, pp. 1–4. doi: 10.1109/ICDCM45535.2019.9232771.
- [19] KERI, “배전급 3상 스마트 전력용 반도체 변압기 기술 개발,” 한국전기연구원, 2021.
- [20] “효율관리기자재 운용규정.” <https://www.law.go.kr> (accessed Sep. 27, 2022).
- [21] T. Guillod, D. Rothmund, and J. W. Kolar, “Active Magnetizing Current Splitting ZVS Modulation of a 7 kV/400 V DC Transformer,” *IEEE Transactions on Power Electronics*, vol. 35, no. 2, pp. 1293–1305, Feb. 2020, doi: 10.1109/TPEL.2019.2918622.
- [22] D. Rothmund, T. Guillod, D. Bortis, and J. W. Kolar, “99% Efficient 10 kV SiC-Based 7 kV/400 V DC Transformer for Future Data Centers,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, no. 2, pp. 753–767, Jun. 2019, doi: 10.1109/JESTPE.2018.2886139.

- [23] D. Rothmund, G. Ortiz, Th. Guillod, and J. W. Kolar, "10kV SiC-based isolated DC-DC converter for medium voltage-connected Solid-State Transformers," in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2015, pp. 1096–1103. doi: 10.1109/APEC.2015.7104485.
- [24] J.-S. Lai, W.-H. Lai, S.-R. Moon, L. Zhang, and A. Maitra, "A 15-kV class intelligent universal transformer for utility applications," in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2016, pp. 1974–1981. doi: 10.1109/APEC.2016.7468139.
- [25] I. Villar, A. Garcia-Bediaga, U. Viscarret, I. Etxeberria-Otadui, and A. Rufer, "Proposal and validation of medium-frequency power transformer design methodology," in *2011 IEEE Energy Conversion Congress and Exposition*, Sep. 2011, pp. 3792–3799. doi: 10.1109/ECCE.2011.6064284.
- [26] M. Steiner and H. Reinold, "Medium frequency topology in railway applications," in *2007 European Conference on Power Electronics and Applications*, Sep. 2007, pp. 1–10. doi: 10.1109/EPE.2007.4417570.
- [27] L. Heinemann, "An actively cooled high power, high frequency transformer with high insulation capability," in *APEC. Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.02CH37335)*, Mar. 2002, vol. 1, pp. 352–357 vol.1. doi: 10.1109/APEC.2002.989270.
- [28] M. Mogorovic and D. Dujic, "100 kW, 10 kHz Medium-Frequency Transformer Design Optimization and Experimental Verification," *IEEE Transactions on Power Electronics*, vol. 34, no. 2, pp. 1696–1708, Feb. 2019, doi: 10.1109/TPEL.2018.2835564.
- [29] H. Fan and H. Li, "High-Frequency Transformer Isolated Bidirectional DC–DC Converter Modules With High Efficiency Over Wide Load Range for 20 kVA Solid-State Transformer," *IEEE Transactions on Power Electronics*, vol. 26, no. 12, pp. 3599–3608, Dec. 2011, doi: 10.1109/TPEL.2011.2160652.
- [30] J. E. Huber, D. Rothmund, L. Wang, and J. W. Kolar, "Full-ZVS modulation for all-SiC ISOP-type isolated front end (IFE) solid-state transformer," in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2016, pp. 1–8. doi: 10.1109/ECCE.2016.7855128.
- [31] F. Sarrafin-Ardebili, B. Allard, and J.-C. Crebier, "Capacitive Coupling for High Voltage Ratio Power Transfer in Multi-Cell Converters Based on GaN HFETs," in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, Mar. 2016, pp. 1–6.

- [32] A. G. Andreta *et al.*, “A High Efficiency and Power Density, High Step-Up, Non-isolated DC-DC Converter Based on Multicell Approach,” in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, Mar. 2018, pp. 1–5.
- [33] P. Channegowda and G. Venkataramanan, “Comparative evaluation of capacitor-coupled and transformer-coupled dual active bridge converters,” in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2016, pp. 1–8. doi: 10.1109/ECCE.2016.7854935.
- [34] M. Antivachis, M. Kasper, D. Bortis, and J. W. Kolar, “Analysis of capacitive power transfer GaN ISOP multi-cell DC/DC converter systems for single-phase telecom power supply modules,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oct. 2016, pp. 1280–1287. doi: 10.1109/IECON.2016.7794025.
- [35] K. Arita, Y. Hayashi, and K. Takao, “99%, 15 W/cm³ capacitively coupled modular DCPET for low-voltage dc power supply system,” in *2022 International Power Electronics Conference (IPEC-Himeji 2022- ECCE Asia)*, May 2022, pp. 2628–2635. doi: 10.23919/IPEC-Himeji2022-ECCE53331.2022.9806995.
- [36] B. Sun, C. Gao, X. Liu, Z. Chen, and T. Zheng, “Voltage-Adjustable Capacitor Isolated Solid-State Transformer,” *IEEE Transactions on Industrial Electronics*, vol. 67, no. 9, pp. 7550–7559, Sep. 2020, doi: 10.1109/TIE.2019.2945305.
- [37] A. Parastar, Y. C. Kang, and J.-K. Seok, “Multilevel Modular DC/DC Power Converter for High-Voltage DC-Connected Offshore Wind Energy Applications,” *IEEE Transactions on Industrial Electronics*, vol. 62, no. 5, pp. 2879–2890, May 2015, doi: 10.1109/TIE.2014.2363818.
- [38] G. Ortiz, J. Biela, D. Bortis, and J. W. Kolar, “1 Megawatt, 20 kHz, isolated, bidirectional 12kV to 1.2kV DC-DC converter for renewable energy applications,” in *The 2010 International Power Electronics Conference - ECCE ASIA -*, Jun. 2010, pp. 3212–3219. doi: 10.1109/IPEC.2010.5542018.
- [39] D. Aggeler, J. Biela, and J. W. Kolar, “A compact, high voltage 25 kW, 50 kHz DC-DC converter based on SiC JFETs,” in *2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition*, Feb. 2008, pp. 801–807. doi: 10.1109/APEC.2008.4522813.
- [40] F. Wang, G. Wang, A. Huang, W. Yu, and X. Ni, “Design and operation of A 3.6kV high performance solid state transformer based on 13kV SiC MOSFET and JBS diode,” in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2014, pp.

4553–4560. doi: 10.1109/ECCE.2014.6954024.

- [41] I. Villar, L. Mir, I. Etxeberria-Otadui, J. Colmenero, X. Agirre, and T. Nieva, “Optimal design and experimental validation of a Medium-Frequency 400kVA power transformer for railway traction applications,” in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2012, pp. 684–690. doi: 10.1109/ECCE.2012.6342754.
- [42] T. Zhao, L. Yang, J. Wang, and A. Q. Huang, “270 kVA Solid State Transformer Based on 10 kV SiC Power Devices,” in *2007 IEEE Electric Ship Technologies Symposium*, May 2007, pp. 145–149. doi: 10.1109/ESTS.2007.372077.
- [43] L. Yang, T. Zhao, J. Wang, and A. Q. Huang, “Design and Analysis of a 270kW Five-level DC/DC Converter for Solid State Transformer Using 10kV SiC Power Devices,” in *2007 IEEE Power Electronics Specialists Conference*, Jun. 2007, pp. 245–251. doi: 10.1109/PESC.2007.4341996.
- [44] M. Leibl, G. Ortiz, and J. W. Kolar, “Design and Experimental Analysis of a Medium-Frequency Transformer for Solid-State Transformer Applications,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, no. 1, pp. 110–123, Mar. 2017, doi: 10.1109/JESTPE.2016.2623679.
- [45] A. Tripathi *et al.*, “Grid connected CM noise considerations of a three-phase multi-stage SST,” in *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*, Jun. 2015, pp. 793–800. doi: 10.1109/ICPE.2015.7167873.
- [46] G. Ortiz, “High-Power DC-DC Converter Technologies for Smart Grid and Traction Applications,” Doctoral Thesis, ETH Zurich, 2014. doi: 10.3929/ethz-a-010213553.
- [47] S. Madhusoodhanan *et al.*, “Solid-State Transformer and MV Grid Tie Applications Enabled by 15 kV SiC IGBTs and 10 kV SiC MOSFETs Based Multilevel Converters,” *IEEE Transactions on Industry Applications*, vol. 51, no. 4, pp. 3343–3360, Jul. 2015, doi: 10.1109/TIA.2015.2412096.
- [48] K. Hatua, S. Dutta, A. Tripathi, S. Baek, G. Karimi, and S. Bhattacharya, “Transformer less Intelligent Power Substation design with 15kV SiC IGBT for grid interconnection,” in *2011 IEEE Energy Conversion Congress and Exposition*, Sep. 2011, pp. 4225–4232. doi: 10.1109/ECCE.2011.6064346.
- [49] J. W. Baek, D.-W. Yoo, and H.-G. Kim, “High-voltage switch using series-connected IGBTs with simple auxiliary circuit,” *IEEE Transactions on Industry Applications*, vol. 37, no. 6, pp. 1832–1839, Nov. 2001, doi: 10.1109/28.968198.

- [50] A. Piazzesi and L. Meysenc, "Series connection of 3.3 kV IGBTs with active voltage balancing," in *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, Jun. 2004, vol. 2, pp. 893-898 Vol.2. doi: 10.1109/PESC.2004.1355537.
- [51] S. Ji, T. Lu, Z. Zhao, H. Yu, and L. Yuan, "Series-Connected HV-IGBTs Using Active Voltage Balancing Control With Status Feedback Circuit," *IEEE Transactions on Power Electronics*, vol. 30, no. 8, pp. 4165-4174, Aug. 2015, doi: 10.1109/TPEL.2014.2360189.
- [52] X. She, A. Q. Huang, Ó. Lucía, and B. Ozpineci, "Review of Silicon Carbide Power Devices and Their Applications," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8193-8205, Oct. 2017, doi: 10.1109/TIE.2017.2652401.
- [53] A. Anurag, S. Acharya, Y. Prabowo, G. Gohil, and S. Bhattacharya, "Design Considerations and Development of an Innovative Gate Driver for Medium-Voltage Power Devices With High dv/dt ," *IEEE Transactions on Power Electronics*, vol. 34, no. 6, pp. 5256-5267, Jun. 2019, doi: 10.1109/TPEL.2018.2870084.
- [54] D. Rothmund, D. Bortis, and J. W. Kolar, "Highly compact isolated gate driver with ultrafast overcurrent protection for 10 kV SiC MOSFETs," *CPSS Transactions on Power Electronics and Applications*, vol. 3, no. 4, pp. 278-291, Dec. 2018, doi: 10.24295/CPSSTPEA.2018.00028.
- [55] Y. Sun, Z. Gao, C. Fu, C. Wu, and Z. Chen, "A Hybrid Modular DC Solid-State Transformer Combining High Efficiency and Control Flexibility," *IEEE Transactions on Power Electronics*, vol. 35, no. 4, pp. 3434-3449, Apr. 2020, doi: 10.1109/TPEL.2019.2935029.
- [56] T. Todorčević, R. van Kessel, P. Bauer, and J. A. Ferreira, "A Modulation Strategy for Wide Voltage Output in DAB-Based DC-DC Modular Multilevel Converter for DEAP Wave Energy Conversion," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 3, no. 4, pp. 1171-1181, Dec. 2015, doi: 10.1109/JESTPE.2015.2449756.
- [57] J. Lee, J. Roh, M. Y. Kim, S.-H. Baek, S. Kim, and S.-H. Lee, "A Novel Solid-State Transformer With Loosely Coupled Resonant Dual-Active-Bridge Converters," *IEEE Transactions on Industry Applications*, vol. 58, no. 1, pp. 709-719, Jan. 2022, doi: 10.1109/TIA.2021.3119535.
- [58] M. Jaritz, S. Blume, and J. Biela, "Design procedure of a 14.4 kV, 100 kHz transformer with a high isolation voltage (115 kV)," *IEEE Transactions on Dielectrics and Electrical Insulation*, vol. 24, no. 4, pp. 2094-2104, 2017, doi:

10.1109/TDEI.2017.006279.

- [59] B. Zhao, Q. Song, J. Li, Q. Sun, and W. Liu, "Full-Process Operation, Control, and Experiments of Modular High-Frequency-Link DC Transformer Based on Dual Active Bridge for Flexible MVDC Distribution: A Practical Tutorial," *IEEE Transactions on Power Electronics*, vol. 32, no. 9, pp. 6751–6766, Sep. 2017, doi: 10.1109/TPEL.2016.2626262.
- [60] B. Zhao, Q. Song, J. Li, W. Liu, G. Liu, and Y. Zhao, "High-Frequency-Link DC Transformer Based on Switched Capacitor for Medium-Voltage DC Power Distribution Application," *IEEE Transactions on Power Electronics*, vol. 31, no. 7, pp. 4766–4777, Jul. 2016, doi: 10.1109/TPEL.2015.2483543.
- [61] D. Grider *et al.*, "10 kV/120 A SiC DMOSFET half H-bridge power modules for 1 MVA solid state power substation," in *2011 IEEE Electric Ship Technologies Symposium*, Apr. 2011, pp. 131–134. doi: 10.1109/ESTS.2011.5770855.
- [62] S. Bifaretti, P. Zanchetta, A. Watson, L. Tarisciotti, and J. C. Clare, "Advanced Power Electronic Conversion and Control System for Universal and Flexible Power Management," *IEEE Transactions on Smart Grid*, vol. 2, no. 2, pp. 231–243, Jun. 2011, doi: 10.1109/TSG.2011.2115260.
- [63] X. She, A. Q. Huang, T. Zhao, and G. Wang, "Coupling Effect Reduction of a Voltage-Balancing Controller in Single-Phase Cascaded Multilevel Converters," *IEEE Transactions on Power Electronics*, vol. 27, no. 8, pp. 3530–3543, Aug. 2012, doi: 10.1109/TPEL.2012.2186615.
- [64] X. She, X. Yu, F. Wang, and A. Q. Huang, "Design and demonstration of a 3.6kV–120V/10KVA solid state transformer for smart grid application," in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, Mar. 2014, pp. 3429–3436. doi: 10.1109/APEC.2014.6803801.
- [65] G. Wang *et al.*, "Design and hardware implementation of Gen-1 silicon based solid state transformer," in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2011, pp. 1344–1349. doi: 10.1109/APEC.2011.5744766.
- [66] J. Shi, W. Gou, H. Yuan, T. Zhao, and A. Q. Huang, "Research on voltage and power balance control for cascaded modular solid-state transformer," *IEEE Transactions on Power Electronics*, vol. 26, no. 4, pp. 1154–1166, Apr. 2011, doi: 10.1109/TPEL.2011.2106803.
- [67] H. Tao, A. Kotsopoulos, J. Duarte, and M. Hendrix, "Family of multiport bidirectional

- DC-DC converters,” *Electric Power Applications, IEE Proceedings -*, vol. 153, pp. 451–458, Jun. 2006, doi: 10.1049/ip-epa:20050362.
- [68]Md. A. Rahman, Md. R. Islam, K. M. Muttaqi, and D. Sutanto, “Data-Driven Coordinated Control of Converters in a Smart Solid-State Transformer for Reliable and Automated Distribution Grids,” *IEEE Transactions on Industry Applications*, vol. 56, no. 4, pp. 4532–4542, Jul. 2020, doi: 10.1109/TIA.2020.2972507.
- [69]M. Kang, P. N. Enjeti, and I. J. Pitel, “Analysis and design of electronic transformers for electric power distribution system,” in *IAS '97. Conference Record of the 1997 IEEE Industry Applications Conference Thirty-Second IAS Annual Meeting*, Oct. 1997, vol. 2, pp. 1689–1694 vol.2. doi: 10.1109/IAS.1997.629077.
- [70]L. F. Costa, F. Hoffmann, G. Buticchi, and M. Liserre, “Comparative Analysis of Multiple Active Bridge Converters Configurations in Modular Smart Transformer,” *IEEE Transactions on Industrial Electronics*, vol. 66, no. 1, pp. 191–202, Jan. 2019, doi: 10.1109/TIE.2018.2818658.
- [71]J. Maneiro, R. Ryndzionek, T. Lagier, P. Dworakowski, and C. Buttay, “Design of a SiC based triple active bridge ceil for a multi-megawatt DC-DC converter,” in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, Sep. 2017, p. P.1-P.10. doi: 10.23919/EPE17ECCEEurope.2017.8099005.
- [72]A. Karbozov, M. G. Majumder, H. Krishnamoorthy, and K. Rajashekara, “Medium Frequency SST Based Multiport Energy Routers for Subsea – Renewable Interconnection,” in *2022 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2022, pp. 416–421. doi: 10.1109/APEC43599.2022.9773753.
- [73]R. Chattopadhyay, S. Gulur, V. Nair, S. Bhattacharya, and P. R. Ohodnicki, “Medium Voltage DC Bus Enabled by Series Connection of SiC Mosfet Based Three Port DC-DC Converters,” in *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2019, pp. 6231–6238. doi: 10.1109/ECCE.2019.8911893.
- [74]L. F. Costa, G. Buticchi, and M. Liserre, “Quad-Active-Bridge DC–DC Converter as Cross-Link for Medium-Voltage Modular Inverters,” *IEEE Transactions on Industry Applications*, vol. 53, no. 2, pp. 1243–1253, Mar. 2017, doi: 10.1109/TIA.2016.2633539.
- [75]A. Lesnicar and R. Marquardt, “An innovative modular multilevel converter topology suitable for a wide power range,” in *2003 IEEE Bologna Power Tech Conference Proceedings*, Jun. 2003, vol. 3, p. 6 pp. Vol.3-. doi: 10.1109/PTC.2003.1304403.
- [76]S. Cui, N. Soltan, and R. W. De Doncker, “A High Step-Up Ratio Soft-Switching DC–

- DC Converter for Interconnection of MVDC and HVDC Grids,” *IEEE Transactions on Power Electronics*, vol. 33, no. 4, pp. 2986–3001, Apr. 2018, doi: 10.1109/TPEL.2017.2702207.
- [77] S. Cui, J. Hu, and R. W. De Doncker, “Control and Experiment of a TLC-MMC Hybrid DC–DC Converter for the Interconnection of MVDC and HVDC Grids,” *IEEE Transactions on Power Electronics*, vol. 35, no. 3, pp. 2353–2362, Mar. 2020, doi: 10.1109/TPEL.2019.2928258.
- [78] B. Zhao, Q. Song, J. Li, X. Xu, and W. Liu, “Comparative Analysis of Multilevel-High-Frequency-Link and Multilevel-DC-Link DC–DC Transformers Based on MMC and Dual-Active Bridge for MVDC Application,” *IEEE Transactions on Power Electronics*, vol. 33, no. 3, pp. 2035–2049, Mar. 2018, doi: 10.1109/TPEL.2017.2700378.
- [79] B. Zhao, Q. Song, J. Li, Y. Wang, and W. Liu, “Modular Multilevel High-Frequency-Link DC Transformer Based on Dual Active Phase-Shift Principle for Medium-Voltage DC Power Distribution Application,” *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1779–1791, Mar. 2017, doi: 10.1109/TPEL.2016.2558660.
- [80] G. Sha *et al.*, “Research on Multi-Port DC-DC Converter Based on Modular Multilevel Converter and Cascaded H Bridges for MVDC Applications,” *IEEE Access*, vol. 9, pp. 95006–95022, 2021, doi: 10.1109/ACCESS.2021.3072161.
- [81] B. Zhao, Q. Song, J. Li, Y. Wang, and W. Liu, “High-Frequency-Link Modulation Methodology of DC–DC Transformer Based on Modular Multilevel Converter for HVDC Application: Comprehensive Analysis and Experimental Verification,” *IEEE Transactions on Power Electronics*, vol. 32, no. 5, pp. 3413–3424, May 2017, doi: 10.1109/TPEL.2016.2586196.
- [82] I. A. Gowaid, G. P. Adam, A. M. Massoud, S. Ahmed, D. Holliday, and B. W. Williams, “Quasi Two-Level Operation of Modular Multilevel Converter for Use in a High-Power DC Transformer With DC Fault Isolation Capability,” *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 108–123, Jan. 2015, doi: 10.1109/TPEL.2014.2306453.
- [83] Z. Xing, X. Ruan, H. You, X. Yang, D. Yao, and C. Yuan, “Soft-Switching Operation of Isolated Modular DC/DC Converters for Application in HVDC Grids,” *IEEE Transactions on Power Electronics*, vol. 31, no. 4, pp. 2753–2766, Apr. 2016, doi: 10.1109/TPEL.2015.2448125.
- [84] H.-J. Lee, J. Jung, and S.-K. Sul, “A switching frequency reduction and a mitigation of voltage fluctuation of modular multilevel converter for HVDC,” in *2014 IEEE*

- Energy Conversion Congress and Exposition (ECCE)*, Sep. 2014, pp. 483–490. doi: 10.1109/ECCE.2014.6953433.
- [85] G. Ortiz, J. Biela, and J. W. Kolar, “Optimized design of medium frequency transformers with high isolation requirements,” in *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, Nov. 2010, pp. 631–638. doi: 10.1109/IECON.2010.5675240.
- [86] M. A. Saket, N. Shafiei, and M. Ordonez, “LLC Converters With Planar Transformers: Issues and Mitigation,” *IEEE Transactions on Power Electronics*, vol. 32, no. 6, pp. 4524–4542, Jun. 2017, doi: 10.1109/TPEL.2016.2602360.
- [87] W. Chen, A. Q. Huang, C. Li, G. Wang, and W. Gu, “Analysis and Comparison of Medium Voltage High Power DC/DC Converters for Offshore Wind Energy Systems,” *IEEE Transactions on Power Electronics*, vol. 28, no. 4, pp. 2014–2023, Apr. 2013, doi: 10.1109/TPEL.2012.2215054.
- [88] J. Robinson, D. Jovcic, and G. Joos, “Analysis and Design of an Offshore Wind Farm Using a MV DC Grid,” *IEEE Transactions on Power Delivery*, vol. 25, no. 4, pp. 2164–2173, Oct. 2010, doi: 10.1109/TPWRD.2010.2053390.
- [89] Y. Hu, R. Zeng, W. Cao, J. Zhang, and S. J. Finney, “Design of a Modular, High Step-Up Ratio DC–DC Converter for HVDC Applications Integrating Offshore Wind Power,” *IEEE Transactions on Industrial Electronics*, vol. 63, no. 4, pp. 2190–2202, Apr. 2016, doi: 10.1109/TIE.2015.2510975.
- [90] A. Gandomkar, A. Parastar, and J.-K. Seok, “High-Power Multilevel Step-Up DC/DC Converter for Offshore Wind Energy Systems,” *IEEE Transactions on Industrial Electronics*, vol. 63, no. 12, pp. 7574–7585, Dec. 2016, doi: 10.1109/TIE.2016.2594050.
- [91] X. Zhang and T. C. Green, “The Modular Multilevel Converter for High Step-Up Ratio DC–DC Conversion,” *IEEE Transactions on Industrial Electronics*, vol. 62, no. 8, pp. 4925–4936, Aug. 2015, doi: 10.1109/TIE.2015.2393846.
- [92] A. Allehyani, “A Voltage Multiplier Medium Voltage DC Collection (MVDC) Grid Using SiC Devices for Two Large PV Plants,” in *2019 21st European Conference on Power Electronics and Applications (EPE '19 ECCE Europe)*, Sep. 2019, p. P.1-P.8. doi: 10.23919/EPE.2019.8915172.
- [93] J. Stewart *et al.*, “Design & Evaluation of a Hybrid Switched Capacitor Circuit with Wide-Bandgap Devices for Compact MVDC PV Power Conversion,” in *2017 IEEE 44th Photovoltaic Specialist Conference (PVSC)*, Jun. 2017, pp. 3224–3229. doi:

10.1109/PVSC.2017.8366472.

- [94] J. Delhotal *et al.*, “Design and control methodology for improved operation of a HV bipolar hybrid switched capacitor converter,” in *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Oct. 2017, pp. 60–66. doi: 10.1109/WiPDA.2017.8170523.
- [95] A. Alassi and A. Massoud, “High-gain DC-DC converters for high-power PV applications: Performance assessment,” in *2018 IEEE 12th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG 2018)*, Apr. 2018, pp. 1–6. doi: 10.1109/CPE.2018.8372486.
- [96] H. Choi, M. Ciobotaru, M. Jang, and V. G. Agelidis, “Performance of Medium-Voltage DC-Bus PV System Architecture Utilizing High-Gain DC-DC Converter,” *IEEE Transactions on Sustainable Energy*, vol. 6, no. 2, pp. 464–473, Apr. 2015, doi: 10.1109/TSTE.2014.2382690.
- [97] X. Zhu, H. Hu, H. Tao, and Z. He, “Stability Analysis of PV Plant-Tied MVdc Railway Electrification System,” *IEEE Transactions on Transportation Electrification*, vol. 5, no. 1, pp. 311–323, Mar. 2019, doi: 10.1109/TTE.2019.2900857.
- [98] 김성민, “멀티 터미널 직류 송전 시스템 구성을 위한 모듈형 고전압 DC/DC 컨버터의 회로 구성 및 제어,” 서울대학교, 2014.
- [99] H. Yang, M. Saeedifard, and A. Yazdani, “An Enhanced Closed-Loop Control Strategy With Capacitor Voltage Elevation for the DC-DC Modular Multilevel Converter,” *IEEE Transactions on Industrial Electronics*, vol. 66, no. 3, pp. 2366–2375, Mar. 2019, doi: 10.1109/TIE.2018.2850035.
- [100] A. Schön and M.-M. Bakran, “Average loss calculation and efficiency of the new HVDC auto transformer,” in *2014 16th European Conference on Power Electronics and Applications*, Aug. 2014, pp. 1–10. doi: 10.1109/EPE.2014.6910725.
- [101] J.-S. Hong and J.-I. Ha, “Common mode current minimization of Capacitor-Coupled Dual-Active-Bridge for SIPO MVDC-LVDC Distribution Converter,” in *IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society*, Oct. 2019, vol. 1, pp. 5733–5738. doi: 10.1109/IECON.2019.8927791.
- [102] G. J. Kish, “On the Emerging Class of Non-Isolated Modular Multilevel DC-DC Converters for DC and Hybrid AC-DC Systems,” *IEEE Transactions on Smart Grid*, vol. 10, no. 2, pp. 1762–1771, Mar. 2019, doi: 10.1109/TSG.2017.2777473.
- [103] K. Rouzbehi, S. S. Heidary Yazdi, and N. Shariati Moghadam, “Power Flow

- Control in Multi-Terminal HVDC Grids Using a Serial-Parallel DC Power Flow Controller,” *IEEE Access*, vol. 6, pp. 56934–56944, 2018, doi: 10.1109/ACCESS.2018.2870943.
- [104] N. Deng, P. Wang, X.-P. Zhang, G. Tang, and J. Cao, “A DC current flow controller for meshed modular multilevel converter multiterminal HVDC grids,” *CSEE Journal of Power and Energy Systems*, vol. 1, no. 1, pp. 43–51, Mar. 2015, doi: 10.17775/CSEEJPES.2015.00006.
- [105] G. Ning, W. Chen, and X. Zhu, “A novel interline DC power flow controller for meshed HVDC grids,” in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2016, pp. 1–7. doi: 10.1109/ECCE.2016.7854735.
- [106] J. Sau-Bassols, E. Prieto-Araujo, and O. Gomis-Bellmunt, “Modelling and Control of an Interline Current Flow Controller for Meshed HVDC Grids,” *IEEE Transactions on Power Delivery*, vol. 32, no. 1, pp. 11–22, Feb. 2017, doi: 10.1109/TPWRD.2015.2513160.
- [107] J. Sau-Bassols, E. Prieto-Araujo, O. Gomis-Bellmunt, and F. Hassan, “Series Interline DC/DC Current Flow Controller for Meshed HVDC Grids,” *IEEE Transactions on Power Delivery*, vol. 33, no. 2, pp. 881–891, Apr. 2018, doi: 10.1109/TPWRD.2017.2734122.
- [108] M. Wang, X. Yang, T. Q. Zheng, and M. Ni, “DC Autotransformer-Based Traction Power Supply for Urban Transit Rail Potential and Stray Current Mitigation,” *IEEE Transactions on Transportation Electrification*, vol. 6, no. 2, pp. 762–773, Jun. 2020, doi: 10.1109/TTE.2020.2979020.
- [109] M. Wang, X. Yang, M. Ni, S. Li, H. Wang, and T. Q. Zheng, “Dynamic Performance Analysis, Optimization, and Verification of DC Auto-Transformer System With Rail Potential and Stray Current Emulator,” *IEEE Transactions on Transportation Electrification*, vol. 8, no. 1, pp. 480–491, Mar. 2022, doi: 10.1109/TTE.2021.3102424.
- [110] M. Wang, X. Yang, L. Wang, and T. Q. Zheng, “Resonant switched capacitor converter based DC auto-transformer for urban rail transit,” in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2018, pp. 1441–1446. doi: 10.1109/APEC.2018.8341206.
- [111] J. Fabre, P. Ladoux, E. Solano, G. Gateau, and J.-M. Blaquièrre, “MVDC Three-Wire Supply Systems for Electric Railways: Design and Test of a Full SiC Multilevel Chopper,” *IEEE Transactions on Industry Applications*, vol. 53, no. 6, pp. 5820–5830, Nov. 2017, doi: 10.1109/TIA.2017.2747498.

- [112] P. Ladoux, J. M. Blaquiere, H. Caron, D. Iannuzzi, and M. Coppola, “New three-wire supply systems for DC electric railways,” *IET Electrical Systems in Transportation*, vol. 5, no. 3, pp. 112–119, 2015, doi: 10.1049/iet-est.2014.0029.
- [113] F. Z. Peng, F. Zhang, and Z. Qian, “A magnetic-less DC-DC converter for dual-voltage automotive systems,” *IEEE Transactions on Industry Applications*, vol. 39, no. 2, pp. 511–518, Mar. 2003, doi: 10.1109/TIA.2003.808945.
- [114] K. Filsoof and P. W. Lehn, “A Bidirectional Modular Multilevel DC–DC Converter of Triangular Structure,” *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 54–64, Jan. 2015, doi: 10.1109/TPEL.2014.2307004.
- [115] A. Schön and M.-M. Bakran, “A new HVDC-DC converter for the efficient connection of HVDC networks,” in *PCIM Europe Conference Proceedings*, Jan. 2013, pp. 525–532.
- [116] A. Schoen and M.-M. Bakran, “Comparison of the most efficient DC-DC converters for power conversion in HVDC grids,” in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, May 2015, pp. 1–9.
- [117] W. Lin, “DC–DC Autotransformer With Bidirectional DC Fault Isolating Capability,” *IEEE Transactions on Power Electronics*, vol. 31, no. 8, pp. 5400–5410, Aug. 2016, doi: 10.1109/TPEL.2015.2491781.
- [118] W. Lin, J. Wen, and S. Cheng, “Multiport DC–DC Autotransformer for Interconnecting Multiple High-Voltage DC Systems at Low Cost,” *IEEE Transactions on Power Electronics*, vol. 30, no. 12, pp. 6648–6660, Dec. 2015, doi: 10.1109/TPEL.2015.2397172.
- [119] W. Lin, J. Wen, L. Yao, and B. Yang, “Step-up unidirectional DC-DC autotransformer for HVDC applications,” in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, May 2016, pp. 703–707. doi: 10.1109/IPEMC.2016.7512371.
- [120] S. Du, B. Wu, K. Tian, D. Xu, and N. R. Zargari, “A Novel Medium-Voltage Modular Multilevel DC–DC Converter,” *IEEE Transactions on Industrial Electronics*, vol. 63, no. 12, pp. 7939–7949, Dec. 2016, doi: 10.1109/TIE.2016.2542130.
- [121] P. A. Gray, P. W. Lehn, and N. Yakop, “A Modular Multilevel DC–DC Converter With Flying Capacitor Converter Like Properties,” *IEEE Transactions on Industrial Electronics*, vol. 69, no. 7, pp. 6774–6783, Jul. 2022, doi: 10.1109/TIE.2021.3099229.

- [122] G. J. Kish, M. Ranjram, and P. W. Lehn, "A Modular Multilevel DC/DC Converter With Fault Blocking Capability for HVDC Interconnects," *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 148–162, Jan. 2015, doi: 10.1109/TPEL.2013.2295967.
- [123] X. Zhang, T. C. Green, and A. Junyent-Ferré, "A New Resonant Modular Multilevel Step-Down DC–DC Converter with Inherent-Balancing," *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 78–88, Jan. 2015, doi: 10.1109/TPEL.2014.2301974.
- [124] A. Elserougi, I. Abdelsalam, A. Massoud, and S. Ahmed, "A Non-Isolated Hybrid-Modular DC-DC Converter for DC Grids: Small-Signal Modeling and Control," *IEEE Access*, vol. 7, pp. 132459–132471, 2019, doi: 10.1109/ACCESS.2019.2941249.
- [125] A. Elserougi, I. Abdelsalam, A. Massoud, and S. Ahmed, "Modular multilevel DC–DC converter with arm interchange concept," *IET Generation, Transmission & Distribution*, vol. 14, no. 4, pp. 564–576, Feb. 2020, doi: 10.1049/iet-gtd.2019.1113.
- [126] J. A. Ferreira, "The Multilevel Modular DC Converter," *IEEE Transactions on Power Electronics*, vol. 28, no. 10, pp. 4460–4465, Oct. 2013, doi: 10.1109/TPEL.2012.2237413.
- [127] Y. Li, X. Lyu, and D. Cao, "A Zero-Current-Switching High Conversion Ratio Modular Multilevel DC–DC Converter," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, no. 1, pp. 151–161, Mar. 2017, doi: 10.1109/JESTPE.2016.2623794.
- [128] A. Elserougi, A. Massoud, and S. Ahmed, "A bi-directional boost converter-based non-isolated DC-DC transformer with modular solid-state switches for medium-/high-voltage DC grids," in *2017 4th International Conference on Information Technology, Computer, and Electrical Engineering (ICITACEE)*, Oct. 2017, pp. 54–59. doi: 10.1109/ICITACEE.2017.8257675.
- [129] H. Athab, A. Yazdani, and B. Wu, "A Transformerless DC–DC Converter With Large Voltage Ratio for MV DC Grids," *IEEE Transactions on Power Delivery*, vol. 29, no. 4, pp. 1877–1885, Aug. 2014, doi: 10.1109/TPWRD.2013.2297431.
- [130] D. Jovcic, "Bidirectional, High-Power DC Transformer," *IEEE Transactions on Power Delivery*, vol. 24, no. 4, pp. 2276–2283, Oct. 2009, doi: 10.1109/TPWRD.2009.2028600.
- [131] A. A. Hagar and P. W. Lehn, "Comparative Evaluation of a New Family of

- Transformerless Modular DC–DC Converters for High-Power Applications,” *IEEE Transactions on Power Delivery*, vol. 29, no. 1, pp. 444–452, Feb. 2014, doi: 10.1109/TPWRD.2013.2276526.
- [132] D. Jovcic and L. Zhang, “LCL DC/DC Converter for DC Grids,” *IEEE Transactions on Power Delivery*, vol. 28, no. 4, pp. 2071–2079, Oct. 2013, doi: 10.1109/TPWRD.2013.2272834.
- [133] D. Jovcic and W. Lin, “Multiport High-Power LCL DC Hub for Use in DC Transmission Grids,” *IEEE Transactions on Power Delivery*, vol. 29, no. 2, pp. 760–768, Apr. 2014, doi: 10.1109/TPWRD.2013.2280759.
- [134] D. Jovcic, “Step-up DC–DC converter for megawatt size applications,” *IET Power Electronics*, vol. 2, no. 6, pp. 675–685, Nov. 2009, doi: 10.1049/iet-pel.2008.0101.
- [135] P. Channegowda, P. Rengasamy, D. Ludois, and G. Venkataramanan, “High Voltage DC- DC Converter Topology based on Capacitive Coupling with Soft Switching Characteristics,” in *2020 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, Dec. 2020, pp. 1–6. doi: 10.1109/PEDES49360.2020.9379784.
- [136] J.-S. Hong and J.-I. Ha, “Transformer-less Series-Input-Parallel-Output Dual Active Half-Bridge for MV-LV DC/DC Converter,” in *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2020, pp. 1061–1066. doi: 10.1109/APEC39645.2020.9124334.
- [137] “Film Capacitors - General technical information.” TDK, 2018. [Online]. Available: <https://www.tdk-electronics.tdk.com/>
- [138] “KEMET : KC-LINK.” [Online]. Available: <https://www.kemet.com/>
- [139] 정의훈, “부하 임피던스 변동을 고려한 공진형 전력 변환 시스템의 4단 자 네트워크 설계,” 서울대학교, 2020.
- [140] F. Krismer and J. W. Kolar, “Closed Form Solution for Minimum Conduction Loss Modulation of DAB Converters,” *IEEE Transactions on Power Electronics*, vol. 27, no. 1, pp. 174–188, Jan. 2012, doi: 10.1109/TPEL.2011.2157976.
- [141] R. W. De Doncker and J. P. Lyons, “The auxiliary resonant commutated pole converter,” in *Conference Record of the 1990 IEEE Industry Applications Society Annual Meeting*, Oct. 1990, pp. 1228–1235 vol.2. doi: 10.1109/IAS.1990.152341.

- [142] W. Choi, K.-M. Rho, and B.-H. Cho, "Fundamental Duty Modulation of Dual-Active-Bridge Converter for Wide-Range Operation," *IEEE Transactions on Power Electronics*, vol. 31, no. 6, pp. 4048–4064, Jun. 2016, doi: 10.1109/TPEL.2015.2474135.
- [143] J.-H. Jung, H.-S. Kim, M.-H. Ryu, and J.-W. Baek, "Design Methodology of Bidirectional CLLC Resonant Converter for High-Frequency Isolation of DC Distribution Systems," *IEEE Transactions on Power Electronics*, vol. 28, no. 4, pp. 1741–1755, Apr. 2013, doi: 10.1109/TPEL.2012.2213346.
- [144] X. Li and A. K. S. Bhat, "Analysis and Design of High-Frequency Isolated Dual-Bridge Series Resonant DC/DC Converter," *IEEE Transactions on Power Electronics*, vol. 25, no. 4, pp. 850–862, Apr. 2010, doi: 10.1109/TPEL.2009.2034662.
- [145] L. Corradini, D. Seltzer, D. Bloomquist, R. Zane, D. Maksimović, and B. Jacobson, "Minimum Current Operation of Bidirectional Dual-Bridge Series Resonant DC/DC Converters," *IEEE Transactions on Power Electronics*, vol. 27, no. 7, pp. 3266–3276, Jul. 2012, doi: 10.1109/TPEL.2011.2181421.
- [146] F. Bez, W. Han, and L. Corradini, "A Low-Complexity Trajectory Controller for Reduced Conduction Losses in Series-Resonant Dual Half-Bridge Converters," *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9963–9974, Nov. 2018, doi: 10.1109/TPEL.2018.2796141.
- [147] W. Han and L. Corradini, "Wide-Range ZVS Control Technique for Bidirectional Dual-Bridge Series-Resonant DC–DC Converters," *IEEE Transactions on Power Electronics*, vol. 34, no. 10, pp. 10256–10269, Oct. 2019, doi: 10.1109/TPEL.2019.2893282.
- [148] L. Yang, Y. Zhang, Y. Hu, Q. Guan, Q. Chen, and R. Liu, "Time-Domain Efficiency Optimization Evaluation for Series Resonant Converter with Variable Frequency plus Shift Phase Control," in *2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia)*, Nov. 2020, pp. 558–565. doi: 10.1109/IPEMC-ECCEAsia48364.2020.9367978.
- [149] W. Han and L. Corradini, "General Closed-Form ZVS Analysis of Dual-Bridge Series Resonant DC–DC Converters," *IEEE Transactions on Power Electronics*, vol. 34, no. 9, pp. 9289–9302, Sep. 2019, doi: 10.1109/TPEL.2018.2886301.
- [150] N. Duy-Dinh, N. D. Tuyen, F. Goto, and F. Toshihisa, "Dual-active-bridge series resonant converter: A new control strategy using phase-shifting combined frequency modulation," in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2015, pp. 1215–1222. doi: 10.1109/ECCE.2015.7309830.

- [151] S. M. Tayebi, W. Xu, H. Wang, R. Yu, Z. Guo, and A. Q. Huang, "A Single-Stage Isolated Resonant SiC DC/AC Inverter for Efficient High-Power Applications," in *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2020, pp. 399–404. doi: 10.1109/APEC39645.2020.9124343.
- [152] M. Yaqoob, K. H. Loo, and Y. M. Lai, "A Four-Degrees-of-Freedom Modulation Strategy for Dual-Active-Bridge Series-Resonant Converter Designed for Total Loss Minimization," *IEEE Transactions on Power Electronics*, vol. 34, no. 2, pp. 1065–1081, Feb. 2019, doi: 10.1109/TPEL.2018.2865969.
- [153] A. Safaee, P. Jain, and A. Bakhshai, "Time-domain analysis of a wide-range dual-active-bridge bidirectional series resonant converter," in *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, Nov. 2015, pp. 004139–004145. doi: 10.1109/IECON.2015.7392746.
- [154] T. Chen, R. Yu, and A. Q. Huang, "A Bidirectional Isolated Dual-Phase-Shift Variable-Frequency Series Resonant Dual-Active-Bridge GaN AC-DC Converter," *IEEE Transactions on Industrial Electronics*, pp. 1–11, 2022, doi: 10.1109/TIE.2022.3181349.
- [155] J.-S. Hong, S. Choi, and J.-I. Ha, "A Modulation Method of Series-Resonant Dual-Active Half-Bridge Converter for ZVS and Minimum RMS current," in *2022 International Power Electronics Conference (IPEC-Himeji 2022- ECCE Asia)*, May 2022, pp. 1028–1035. doi: 10.23919/IPEC-Himeji2022-ECCE53331.2022.9807261.
- [156] C. E. Commission, "California Energy Commission(CEC)," *California Energy Commission*. <https://www.energy.ca.gov> (accessed Aug. 22, 2022).
- [157] U. Kundu, B. Pant, S. Sikder, A. Kumar, and P. Sensarma, "Frequency Domain Analysis and Optimal Design of Isolated Bidirectional Series Resonant Converter," *IEEE Transactions on Industry Applications*, vol. 54, no. 1, pp. 356–366, Jan. 2018, doi: 10.1109/TIA.2017.2761822.
- [158] T. LaBella, W. Yu, J.-S. Lai, M. Senesky, and D. Anderson, "A Bidirectional-Switch-Based Wide-Input Range High-Efficiency Isolated Resonant Converter for Photovoltaic Applications," *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3473–3484, Jul. 2014, doi: 10.1109/TPEL.2013.2282258.
- [159] S. Wang, Z. Zheng, and Y. Li, "Optimal Design Methodology of Bidirectional Dual Active Bridge Series Resonant DC/DC Converter," in *2019 IEEE 13th International Conference on Power Electronics and Drive Systems (PEDS)*, Jul. 2019, pp. 1–5. doi: 10.1109/PEDS44367.2019.8998856.

- [160] J. M. Guerrero, J. C. Vasquez, J. Matas, L. G. de Vicuna, and M. Castilla, "Hierarchical Control of Droop-Controlled AC and DC Microgrids—A General Approach Toward Standardization," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 1, pp. 158–172, Jan. 2011, doi: 10.1109/TIE.2010.2066534.
- [161] F. Chen, R. Burgos, D. Boroyevich, J. C. Vasquez, and J. M. Guerrero, "Investigation of Nonlinear Droop Control in DC Power Distribution Systems: Load Sharing, Voltage Regulation, Efficiency, and Stability," *IEEE Transactions on Power Electronics*, vol. 34, no. 10, pp. 9404–9421, Oct. 2019, doi: 10.1109/TPEL.2019.2893686.
- [162] "Wolfspeed." <https://www.wolfspeed.com/>
- [163] "FF23MR12W1M1P_B11." [Online]. Available: <https://www.infineon.com/>
- [164] "3C94_Material_Specification." Accessed: Oct. 24, 2022. [Online]. Available: <https://www.ferroxcube.com/>
- [165] K. Jalili and S. Bernet, "Design of LCL Filters of Active-Front-End Two-Level Voltage-Source Converters," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 5, pp. 1674–1689, May 2009, doi: 10.1109/TIE.2008.2011251.
- [166] G. Zeng, T. W. Rasmussen, and R. Teodorescu, "A novel optimized LCL-filter designing method for grid connected converter," in *The 2nd International Symposium on Power Electronics for Distributed Generation Systems*, Jun. 2010, pp. 802–805. doi: 10.1109/PEDG.2010.5545882.
- [167] M. Borage, K. V. Nagesh, M. S. Bhatia, and S. Tiwari, "Resonant Immittance Converter Topologies," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 3, pp. 971–978, Mar. 2011, doi: 10.1109/TIE.2010.2047835.
- [168] S. Li and C. C. Mi, "Wireless Power Transfer for Electric Vehicle Applications," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 3, no. 1, pp. 4–17, Mar. 2015, doi: 10.1109/JESTPE.2014.2319453.
- [169] R. Lenke, F. Mura, and R. W. De Doncker, "Comparison of non-resonant and super-resonant dual-active ZVS-operated high-power DC-DC converters," in *2009 13th European Conference on Power Electronics and Applications*, Sep. 2009, pp. 1–10.
- [170] M. Kasper, R. M. Burkart, G. Deboy, and J. W. Kolar, "ZVS of Power MOSFETs Revisited," *IEEE Transactions on Power Electronics*, vol. 31, no. 12, pp. 8063–8067, Dec. 2016, doi: 10.1109/TPEL.2016.2574998.

- [171] H. van Hoek, J. A. Ferreira, and R. W. de Doncker, "Design and operation considerations of three-phase dual active bridge converters for low-power applications with wide voltage ranges," *Shaker*, 2017. Accessed: Apr. 08, 2022. [Online]. Available: <https://publications.rwth-aachen.de/record/686740>
- [172] D. Biadene and G. Spiazzi, "A Matrix Presentation of State-Plane Analysis for a Broad Class of Series-Resonant Converters," *IEEE Transactions on Power Electronics*, vol. 33, no. 12, pp. 10935–10945, Dec. 2018, doi: 10.1109/TPEL.2018.2806915.
- [173] Y. Jang and M. M. Jovanovic, "Light-Load Efficiency Optimization Method," *IEEE Transactions on Power Electronics*, vol. 25, no. 1, pp. 67–74, Jan. 2010, doi: 10.1109/TPEL.2009.2024419.
- [174] ON Semiconductor, "NCP1395A/B - Controller, High Performance Resonant Mode." [Online]. Available: <http://www.onsemi.com>
- [175] Texas Instruments, "UCC25700: 8-pin highperformance resonant mode controller." [Online]. Available: <https://www.ti.com/>
- [176] B. Wang, X. Xin, S. Wu, H. Wu, and J. Ying, "Analysis and Implementation of LLC Burst Mode for Light Load Efficiency Improvement," in *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition*, Feb. 2009, pp. 58–64. doi: 10.1109/APEC.2009.4802633.
- [177] Z. Fang, H. Dong, H. Sun, F. Xie, and Z. Huang, "Intermittent Sinusoidal Modulation of Bidirectional Series Resonant Converter With Zero Current Switching, Linear Current Controllability, and Load-Independent Efficiency," *IEEE Transactions on Power Electronics*, vol. 37, no. 10, pp. 11725–11738, Oct. 2022, doi: 10.1109/TPEL.2022.3174390.
- [178] H. Zeng, N. S. González-Santini, Y. Yu, S. Yang, and F. Z. Peng, "Harmonic burst mode control strategy for full-bridge series resonant converters for electric vehicles application," in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2015, pp. 579–585. doi: 10.1109/ECCE.2015.7309741.
- [179] W. Feng, F. C. Lee, and P. Mattavelli, "Optimal Trajectory Control of Burst Mode for LLC Resonant Converter," *IEEE Transactions on Power Electronics*, vol. 28, no. 1, pp. 457–466, Jan. 2013, doi: 10.1109/TPEL.2012.2200110.
- [180] F. Musavi, M. Craciun, D. S. Gautam, and W. Eberle, "Control Strategies for Wide Output Voltage Range LLC Resonant DC–DC Converters in Battery Chargers," *IEEE Transactions on Vehicular Technology*, vol. 63, no. 3, pp. 1117–1125, Mar. 2014, doi: 10.1109/TVT.2013.2283158.

- [181] J. Narli, H. D. Tafti, G. G. Farivar, J. Pou, B. X. Nguyen, and K. Leong Hai, "Control Scheme for LLC Resonant Converter with Improved Performance Under Light Loads and Wide Input-Output Voltage Variation," in *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2019, pp. 1605–1608. doi: 10.1109/ECCE.2019.8913175.
- [182] S. Zhao, J. Xu, and O. Trescases, "Burst-Mode Resonant LLC Converter for an LED Luminaire With Integrated Visible Light Communication for Smart Buildings," *IEEE Transactions on Power Electronics*, vol. 29, no. 8, pp. 4392–4402, Aug. 2014, doi: 10.1109/TPEL.2013.2286104.
- [183] J. Chen, T. Sato, K. Yano, H. Shiroyama, M. Owa, and M. Yamadaya, "An Average Input Current Sensing Method of LLC Resonant Converters for Automatic Burst Mode Control," *IEEE Transactions on Power Electronics*, vol. 32, no. 4, pp. 3263–3272, Apr. 2017, doi: 10.1109/TPEL.2016.2582851.
- [184] S. Zhao, J. Xu, and O. Trescases, "A dimmable LED driver for visible light communication (VLC) based on LLC resonant DC-DC converter operating in burst mode," in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2013, pp. 2144–2150. doi: 10.1109/APEC.2013.6520592.
- [185] J. Zhao, L. Wu, H. Lin, X. Sun, and G. Chen, "State Trajectory Control of Burst Mode for LCC Resonant Converters With Capacitive Output Filter," *IEEE Transactions on Power Electronics*, vol. 37, no. 1, pp. 377–391, Jan. 2022, doi: 10.1109/TPEL.2021.3100539.
- [186] J. Zhao, L. Wu, and G. Chen, "Adaptive Burst Mode of LCC Resonant Converters With Reduced Audible Noise," *IEEE Transactions on Industrial Electronics*, vol. 69, no. 10, pp. 10457–10466, Oct. 2022, doi: 10.1109/TIE.2022.3163555.
- [187] V. M. Iyer, S. Gulur, and S. Bhattacharya, "Hybrid control strategy to extend the ZVS range of a dual active bridge converter," in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2017, pp. 2035–2042. doi: 10.1109/APEC.2017.7930979.
- [188] G. G. Oggier and M. Ordonez, "High-Efficiency DAB Converter Using Switching Sequences and Burst Mode," *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 2069–2082, Mar. 2016, doi: 10.1109/TPEL.2015.2440753.
- [189] N. S. Mohd Sharifuddin, N. M. L. Tan, and H. Akagi, "Evaluation of a Three-Phase Bidirectional Isolated DC-DC Converter with Varying Transformer Configurations Using Phase-Shift Modulation and Burst-Mode Switching," *Energies*,

vol. 13, no. 11, Art. no. 11, Jan. 2020, doi: 10.3390/en13112836.

- [190] A. Sepahvand, L. Scandolat, Y. Zhang, and D. Maksimović, “Voltage regulation and efficiency optimization in a 100 MHz series resonant DC-DC converter,” in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2015, pp. 2097–2103. doi: 10.1109/APEC.2015.7104638.
- [191] “UF3C120040K4S.” [Online]. Available: <https://unitedsic.com/>
- [192] F. Krismer, “Modeling and optimization of bidirectional dual active bridge DC-DC converter topologies,” Doctoral Thesis, ETH Zurich, 2010. doi: 10.3929/ethz-a-006395373.

Abstract

Solid-state transformers have the advantages of higher power density, light load efficiency characteristics, voltage drop compensation, and active response to grid faults. However, there is a limitation in that the efficiency is lower than that of line transformers at medium/high loads, which is a significant limitation in commercializing solid-state transformers. A non-isolated solid-state transformer using high-voltage capacitor coupling has attracted attention as an alternative to these conventional solid-state transformers. Converters using capacitor coupling can achieve high efficiency/power density and significantly reduce design costs because of the absence of a high-voltage, high-frequency transformer. In addition, by stacking capacitor-coupled converters in a series-input parallel-output structure, it is possible to achieve a high step-up ratio and minimize the dependence of operating characteristics on the step-up ratio.

In this paper, a model of a non-isolated solid-state transformer using capacitor coupling is driven, and a systematic design method is proposed considering droop control characteristics. The common-mode current is confirmed by deriving a common-mode equivalent model, and a switching method for minimizing the common-mode current is presented. Subsequently, a differential-mode equivalent model is derived, showing that the capacitor-coupling converter stacked on each layer is a 2-parallelized SR-DAHB converter. A capacitor-coupling converter for an indoor transformer is designed based on the modeling results. A design goal is presented, and a method for finely adjusting the operating characteristics of the converter to have the highest efficiency characteristics at the target load is presented. In addition, a converter design method considering the power density reduction by the high-voltage capacitor is presented.

The capacitor-coupled converter has a disadvantage in that it is difficult to achieve zero-voltage switching (ZVS) at a light load due to the absence of a magnetizing current. Therefore, this paper proposes a control method for improving light load efficiency in capacitor-coupled converters. A time-domain analysis of the SR-DAHB considering the duty ratio control is performed. The converter state variables are derived in a closed-form

solution for all switching patterns. Based on the results of time-domain analysis, an 'Extended ZVS area control method' that improves the worst ZVS characteristics of switches is proposed. As a result of the proposed control method, all switches achieve ZVS in a broader range, and the effectiveness is increased as the voltage conversion ratio increases. Subsequently, as a second method to improve the light load efficiency characteristics, dual frequency PWM control, which periodically turns on and off the converter, is applied to the capacitor-coupled converter. A current reference generation method for dual-frequency PWM control and a ring-down method when the converter turns on are also presented.

To verify the effectiveness of the proposed design method, a 11 kW capacitor-coupling converter was designed. The design goal was confirmed through experiments, and superior efficiency was confirmed compared to the transformer-coupling type converter. Experiments were also conducted to verify the proposed control method. The operation waveforms of the proposed control methods were similar to the simulation results. And the effectiveness was demonstrated through a comparison of operating characteristics and efficiency with existing control methods.

Key Words: Solid-state transformer, Capacitor coupled converter, Series-resonance, Dual Active Bridge converter, Zero-voltage switching

Student Number: 2017-21050