



공학전문석사 학위 연구보고서

더블 게이트 산화물 박막 트랜지스터를 이용한 마이크로 발광 다이오드 디스플레이 화소회로 연구

Oxide-Based Pixel Circuit Using Double-Gate Structure Thin-Film Transistor for Micro Light-Emitting Diode Displays

2023년 2월

서울대학교 공학전문대학원 응용공학과 응용공학전공 정창원

더블 게이트 산화물 박막 트랜지스터를 이용한 마이크로 발광 다이오드 디스플레이 화소회로 연구

Oxide-Based Pixel Circuit Using Double-Gate Structure Thin-Film Transistor for Micro Light-Emitting Diode Displays

지도교수 이 수 연

이 프로젝트 연구보고서를 공학전문석사 학위 연구보고서로 제출함 2023년 1월

> 서울대학교 공학전문대학원 응용공학과 응용공학전공 정창원

정창원의 공학전문석사 학위 연구보고서를 인준함 2023년 2월

위원장	전홍범	(인)
위 원	김성우	(인)
위 원	이수연	(인)

초록

현재 디스플레이 시장은 스마트폰, TV 뿐 아니라 AR/VR, PID와 같 이 응용기술의 범위를 더욱 더 확장하고 있다. 하지만 LCD, OLED와 같은 기존의 디스플레이 기술들은 새로운 응용기술들이 요구하는 고휘도, 고해 상도, 고신뢰성과 같은 특성들을 만족하는데 있어 한계가 분명하다. 이에 따라 기존의 디스플레이 기술이 갖고 있는 한계를 극복할 차세대 디스플 레이 기술로서 micro-LED는 많은 각광을 받고 있다. Micro-LED 디스플 레이는 고휘도, 고신뢰성, 대면적화와 같은 뛰어난 특성을 갖고 있으나 상용화를 위해서는 공정, 화질 등의 다양한 측면에서 연구 개발이 필요한 상황이다.

따라서 본 연구는 micro-LED 디스플레이의 고화질 구현을 위한 화소 회로를 설계하고 이를 검증하는 내용을 주제로 한다. 기존의 디스플레이 공정을 그대로 이용할 수 있고 공정비용에 이점이 있는 a-IGZO TFT 백플 레인 기반의 화소회로를 설계하고, micro-LED의 전류밀도에 따른 파장 변화를 억제하기 위해 PWM 구동부를 화소회로에 추가하였다. 게이트 바 이어스 스트레스, 열 및 입사광 등에 의한 a-IGZO TFT 문턱전압 변동에 따른 화질 저하를 막을 수 있도록 보상회로를 적용였으며, 화소회로내 더 블게이트 TFT를 추가하고 이의 특성을 활용하여 문턱전압 보상 및 PWM 구동을 구현하면서도 화소회로를 구성하는 TFT 및 커패시터 수를 최소화 하고자 하였다. 제안된 화소회로는 시뮬레이션을 통해 micro-LED의 파장 변화를 억제함과 동시에 계조표현이 가능함을 확인하였고, a-IGZO TFT 의 문턱전압 변동에도 이를 성공적으로 보상할 수 있음을 확인하였다. 또 한 7마스크 공정을 기반으로 한 레이아웃을 설계하여 약 85PPI 수준의 대형 UHD 디스플레이를 구현할 수 있음을 확인하였다.

주요어 : a-IGZO TFT, 더블 게이트 TFT, Micro-LED, PWM 구동 **학번 :** 2021-24345

목차

I.	서·	론	1
	1.1	연구배경 및 목적	1
	1.2	연구 보고서의 개요 구성	4
II.	관	련 연구	5
	2.1	Micro-LED 디스플레이 및 화소회로	5
		2.1.1 Micro-LED 디스플레이	5
		2.1.2 Micro-LED 디스플레이용 PWM 화소회로	7
		2.1.3 화소회로의 문턱전압 보상	12
	2.2	비정질 산화물 TFT 와 더블게이트 구조 TFT	15
		2.2.1 비정질 산화물 TFT	15
		2.2.2 더블게이트 구조 TFT	17
III	[. 본	문	20
	3.1	Micro-LED 디스플레이용 PWM 화소회로의 구성 및 동작 .	20
	3.2	더블게이트 TFT 및 micro-LED 모델 개발	32
	3.3	화소회로 HSPICE 시뮬레이션 및 결과분석	34
	3.4	화소회로의 레이아웃 설계	39
IV	. 결	론	42
	4.1	연구의 성과 및 고찰	42
	4.2	향후 연구 방향	44

참고 문헌	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	4	5
Abstract .			•	•		•	•	•	•				•											•		•						•	4	9

그림목차

그림 1.	구동방식에 따른 발광휘도 표현, (a) PAM 구동, (b)
	PWM 구동
그림 2.	기본적인 2T1C 화소회로 구조, (a) 회로도, (b) 타이
	밍도
그림 3.	기본적인 PWM 4T2C 화소회로 구조, (a) 회로도, (b)
	타이밍도
그림 4.	구동 TFT의 문턱전압 변화에 따른 동작점 차이 14
그림 5.	문턱전압 보상방식 비교 (a) 소스-팔로워 방식, (b) 다
	이오드-커넥션 방식
그림 6.	더블게이트 구조의 a-IGZO TFT 단면 구조 19
그림 7.	제안된 micro-LED 용 화소회로의 구조, (a) 화소회로
	의 회로도, (b) 타이밍도
그림 8.	제안된 회로의 (1) 초기화 단계 회로도 25
그림 9.	제안된 회로의 (2) V _{TH} 보상 단계 회로도 25
그림 10.	제안된 회로의 (3) PWM 데이터 전압 기입 단계 회로도 27
그림 11.	제안된 회로의 (4) CCG 전압 기입 단계 회로도 27
그림 12.	제안된 회로의 (5) 발광 단계 중 발광단계 회로도 31
그림 13.	제안된 회로의 (5) 발광 단계 중 비발광단계 회로도 31
그림 14.	시뮬레이션을 위한 소자 모델링 결과, (a) 싱글게이
	트 TFT의 측정 데이터 및 피팅 결과 비교, (b) 추가
	게이트 전압 변화에 따른 피팅 된 더블게이트 TFT의
	전달 특성, (c) 피팅 된 micro-LED의 I-V 곡선 33

제안된 회로의 PWM 동작 시뮬레이션 결과, (a) 1 프	
레임 내 PWM 데이터 전압에 따른 micro-LED 전류	
비교, (b) PWM 데이터 전압에 따른 평균 전류 및 발	
광시간 비교	37
	제안된 회로의 PWM 동작 시뮬레이션 결과, (a) 1 프 레임 내 PWM 데이터 전압에 따른 micro-LED 전류 비교, (b) PWM 데이터 전압에 따른 평균 전류 및 발 광시간 비교.

- 그림 16. 제안된 회로의 문턱전압 보상능력 비교 (a) 문턱전압 변동에 따른 보상 능력 비교, (b) 문턱전압 변동에 따 른 제안된 회로와 미보상회로 (4T2C)의 오차율 비교 . 38
- 그림 17. 7마스크 공정의 적층구조 (a) 7마스크 공정 기반 더 블게이트 TFT 구조 단면, (b) 마스크 공정별 더블게 이트 TFT 구조(top-view). 40
- 그림 18. 제안된 화소회로의 레이아웃 및 다른 크기의 화소회 로 비교 41

표목차

표 1. 제안된 회로의 시뮬레이션을 위한 파라미터 36

제1장

서론

1.1 연구배경 및 목적

현재 디스플레이 시장은 기존의 중소형 디스플레이 중심의 유기 발 광 다이오드(organic light-emitting diode, OLED)와 대형 디스플레이 중 심의 액정 디스플레이(liquid crystal display, LCD)에 의해 주도되어 왔다. 하지만 모바일기기, 스마트워치, TV와 같은 기존의 디스플레이에 한정 되지 않고, 증강현실 및 가상현실 디스플레이(augmented display/virtual display, AR/VR)부터 공공 인포메이션 디스플레이(public information display, PID)까지 더 다양해진 디스플레이 응용기술과 높아진 기술적 요구 에 부응하기 위해 기존의 LCD, OLED를 이어 갈 차세대 디스플레이로서 마이크로 발광 다이오드(micro light-emitting diode, micro-LED)는 많은 각광을 받고 있다 [1-5]. Micro-LED 디스플레이는 칩 크기가 100 @ 이하 인 LED를 발광소자로 사용하는 디스플레이로, 타일링 방식으로 제작할 경우 디스플레이 면적에 대한 제약이 없어 소형 디스플레이부터 대면적 디스플레이까지 구현이 가능한 장점이 있다. 또한 무기 발광재료를 사용 함으로써 기존 디스플레이 기술 대비 고휘도 및 고신뢰성과 같은 뛰어난 발광 특성을 가지고 있다 [6-8]. 하지만 micro-LED가 기존 디스플레이 기 술을 완전히 대체하기 위해서는 극복해야 할 허들이 존재한다. 이 중 화질 관점에서 고려해야 할 부분은 micro-LED에 인가하는 전류밀도에 의해 발 광파장이 달라지는 특성이다 [9]. 이는 계조에 따라 색정확도가 떨어지고 화질저하를 유발할 수 있어 고화질 디스플레이 구현을 위해서는 필수적 으로 해결되어야 할 문제이다. 따라서 기존의 OLED와 같이 전류밀도를 조절하는 방법이 아닌, 일정한 전류를 공급하여 micro-LED의 파장변화를 억제하고, 발광시간을 조절하여 계조를 표현하는 pulse width modulation (PWM) 구동 기반의 화소회로가 필요하다.

Micro-LED 디스플레이 또한 기존 디스플레이 기술과 동일하게 능 동구동을 기반으로 동작한다. Micro-LED 디스플레이 패널 내 각 화소 회 로는 외부에서 들어오는 신호에 따라 micro-LED에 전류를 흘려줄 수 있 는 소자들로 구성되어 있다. 이런 능동구동을 위한 소자들을 통틀어 디스 플레이 백플레인(backplane) 이라고 한다. 다양한 백플레인 기술 중 기판 의 종류 및 크기의 제약으로부터 자유롭고, 기존 디스플레이 공정을 그대 로 활용할 수 있는 이점에서 박막트랜지스터(thin-film transistor, TFT) 백 플레인 기반의 micro-LED 연구가 다양하게 진행되고 있다 [10-12]. TFT 백플레인 중 저온 다결정 실리콘(low-temperature polycrystalline silicon, LTPS) TFT는 높은 이동도 특성으로 발광소자에 큰 전류를 짧은 시간에 공급할 수 있어 기존 OLED 디스플레이에 적용되었다. 단 LTPS TFT는 증 착 된 비정질 실리콘(a-Si)을 상대적으로 낮은 온도에서(~500 ℃) 결정화 시키기 위해 엑시머 레이저 어닐링(excimer laser annealing, ELA) 공정이 추가되어 공정비용 상승의 요인이 되고, 결정립계에 기인한 문턱전압과 같은 소자 특성에 산포가 발생하여 균일도가 떨어져 패널의 대면적화에 걸림돌이 된다 [13]. 또한 최근 소비전력을 개선하기 위해 상황에 따라 구동 주파수를 가변 할 수 있는 가변 주사율(variable refresh rate, VRR) 기 술이 다양한 디스플레이에 적용되면서, 높은 off 전류를 갖는 LTPS TFT 는 저주파수 구동 시 누설 전류로 인한 화질 저하를 일으킬 수 있다.

디스플레이용 TFT 백플레인으로서 각광을 받고 있는 산화물 TFT는

상대적으로 높은 균일도와 낮은 off 전류 특성으로 대면적화 및 저주파수 구동 관점에서 유리하다. 대표적인 산화물 TFT는 비정질 인듐-갈륨-주 석 산화물(indium-gallium-zinc oxide, a-IGZO) TFT로, 각 원소의 조성을 조절하여 a-IGZO TFT의 특성을 조절할 수 있다. 또한 ELA와 같은 추가 공정이 불필요하며 비교적 낮은 온도에서 공정을 진행할 수 있는 장점이 있다 [14-16]. 단 초기의 산화물 TFT는 LTPS 대비 낮은 전자 이동도를 갖 고 있는 한계가 있었으나, 고이동도 산화물 TFT 연구가 다양하게 진행되 면서 사화물 TFT 기반 디스플레이에 대한 관심이 높아지고 있다 [12,16]. 하지만 산화물 TFT 기반 백플레인의 경우 게이트 바이어스 스트레스 및 온도, 열, 외부광에 의해 문턱전압이 변화되는 단점을 가지고 있다 [17,18]. 문턱전압의 변동은 디스플레이의 휘도 및 색 균일도 저하의 주된 원인으 로, 고품질의 디스플레이를 구현하기 위해서는 문턱전압을 보상할 수 있 는 화소회로 연구가 진행되어왔다 [12,19]. 문턱전압 보상 화소회로 연구 중 더블게이트 TFT를 도입한 OLED 디스플레이용 화소회로는 문턱전압 을 보상하면서도 싱글게이트 TFT 기반의 화소회로 대비 TFT 구성을 단 순화하여 고해상도의 화소회로를 제작할 수 있음을 보고하였다 [20,21].

이에 따라, 본 연구보고서는 대표적인 산화물 TFT인 a-IGZO TFT 백플레인 기반의 PWM 구동 micro-LED 디스플레이용 화소회로를 설계 하고 이를 검증하였다. 본 화소회로는 더블게이트 TFT를 도입하여 화소 회로의 소자 구성을 최소화하고, 문턱전압 변화를 보상하는 화소회로의 동작 및 보상능력을 확인하기 위해 시뮬레이션을 진행하였다. 본 연구를 통해 산화물 TFT 기반의 고품질 micro-LED 디스플레이 구현이 가능함을 확인하고, 기존의 디스플레이 공정을 활용할 수 있는 이점과 상대적으로 낮은 공정단가를 통해 micro-LED 디스플레이 시장에서 경쟁력을 갖추고 빠른 상용화를 기대할 수 있을 것이다.

1.2 연구 보고서의 개요 구성

본 연구보고서는 총 4장으로 구성되어있다. 각 장의 내용은 아래와 같다.

1장에서는 서론으로 연구의 배경과 연구 목적을 정리하고, 본 보고서 의 개요 및 구성을 소개하였다.

2장에서는 micro-LED 디스플레이 구현을 위한 이의 화소회로 구조 및 문턱전압보상, 비정질 산화물 TFT, 그리고 더블게이트 TFT에 대한 이 론적 배경을 정리하였다.

제 3장에서는 2장에서 정리한 관련 연구 내용을 바탕으로 산화물 TFT 기반의 더블게이트 TFT를 적용한 micro-LED PWM 화소회로 설계 안을 제시하고, 이의 동작과 기능을 기술하였다. 또한 시뮬레이션을 통해 이의 구동 및 문턱전압 보상능력을 검증하고, 실제 화소회로의 레이아웃 설계를 통해 구현 가능한 최대 해상도를 확인하였다.

제 4장에서는 본 연구보고서의 연구 내용을 정리 및 고찰하였으며 향후 연구방향에 대해 기술하였다.

제 2 장

관련 연구

2.1 Micro-LED 디스플레이 및 화소회로

2.1.1 Micro-LED 디스플레이

1965년 Nick Holonyak Jr.가 최초의 가시광선 영역대의 LED를 개 발한 것을 시작으로, 1994년 Shuji Nakamura가 청색, 녹색 LED의 개발 하며 다양한 산업계에서 적용 가능한 백색 LED의 상용화가 시작되었다 [22,23]. 이후 LED를 발광소자로서 활용할 수 있는 다양한 연구가 진행되 면서, 소자의 크기를 수십 µm로 줄여 능동구동 디스플레이로 구현가능한 micro-LED 연구까지 진행되어왔다 [1–5].

Micro-LED는 기존의 OLED와 같은 자발광 소자로서 빠른 반응속도 와 높은 색표현력, 높은 명암비와 같은 장점을 그대로 가지고 있으면서도, 무기재료를 발광층으로 사용하여 높은 휘도 및 장기간의 사용시간에도 특성변화가 없는 장점이 있다 [12]. 또한 제작방식에 따라 디스플레이 크 키에 대한 제약으로부터 자유로워 다양한 사이즈의 디스플레이 구현이 가능하기 때문에, micro-LED는 집적도에 따라 초소형 AR/VR 디스플레 이부터 PID와 같은 초대형 디스플레이까지 광범위한 적용이 가능한 차세 대 발광소자로서 높은 잠재력을 지니고 있다.

단 micro-LED 디스플레이의 상용화를 위해서는 아직 해결해야 할 문 제가 존재한다. 공정관점에서 가장 큰 문제점은 웨이퍼에서 제작한 micro-

5

LED 칩을 백플레인 상부에 전사하는 공정의 연구이다. 고전적인 pickand-place 방식의 경우 micro-LED 소자를 하나씩 백플레인 상에 전사해야 하기 때문에 UHD 해상도(3840 × 2160) 디스플레이의 경우 약 25,000,000 번 소자를 옮겨야 하므로 고해상도 디스플레이를 구현하는데 있어 매우 비현실 적이다. 따라서 제작된 micro-LED 칩을 빠르고 정확하게 전사할 수 있는 대량 전사 공법이 다양하게 제안되고 있으나, 상용화를 위해서는 지속적인 연구가 필요한 상황이다. 현재까지 제안된 대표적인 전사공정으 로는 elastomer 스탬프 전사, 정전헤드 전사, 레이저 전사, roll-to-roll/plate 전사, 그리고 monolithic 전사 등이 있다 [2,5].

화질측면에서 고려해야할 사항은 micro-LED는 OLED와 다르게 공 급되는 전류밀도에 따라 micro-LED의 발광파장이 달라진다는 점이다 [9]. 기존 OLED 화소회로의 경우에는 pulse amplitude modulation (PAM) 구동 으로 OLED에 공급하는 전류밀도를 조절하여 휘도를 조절할 수 있다. 하 지만 micro-LED 화소회로는 전류밀도를 통해 휘도를 조절할 경우 발광파 장의 변화가 발생하여 계조(gray level)별 색표현이 일정하지 않은 문제가 발생하게 된다. 이러한 색표현 시 발생하는 왜곡은 디스플레이에 심각한 화질 저하를 유발하기 때문에, 이를 방지하면서 micro-LED의 계조를 조 절하기 위해서는 기존의 OLED와는 차별화된 구동 방식이 요구된다.

6

2.1.2 Micro-LED 디스플레이용 PWM 화소회로

이전 절에서 기술한 바와 같이 micro-LED의 계조별 파장변화를 방지 하기 위한 구동 방식으로는 PWM 구동 방식이 있다. Micro-LED 디스플레 이에서 PWM 구동이란 micro-LED에 공급하는 전류는 고정한 상태에서 발광 시간을 조절하여 계조를 표현함을 의미한다. 그림 1은 PAM 구동과 PWM 구동 간 계조 표현 방식을 비교하였다. 그림 1(a)는 PAM 구동을 이용하여 계조를 조절하는 방식으로, 화소회로에서 발광소자에 공급하는 전류의 크기를 조절하여 휘도를 표현할 수 있다. 그림 1(b)는 PWM 구동 을 이용한 계조 조절 방식으로, 표현하고자 하는 계조와 무관하게 발광 휘도는 유지하면서 발광 시간을 조절하여 계조를 표현한다. 인간의 눈은 한 프레임 동안의 휘도를 해당하는 평균 값으로 밝기를 인식하기 때문에, 일정한 휘도의 발광시간의 차이에도 밝고 어두움을 인식할 수 있다. 이 PWM 구동방식을 이용하여 파장 변화를 억제할 수 있는 micro-LED 화소 회로 연구가 다양하게 진행되고 있다 [10, 11]. 하지만 PWM 구동방식의 micro-LED 화소회로는 일정한 전류를 공급해주는 회로부와 PWM 구동 을 위한 회로부가 함께 구성되어야 하므로, 화소회로를 구성하는 TFT 및 캐패시터의 수가 늘어나는 것은 불가피 하다. 이는 화소회로의 사이즈와 구현가능한 최대 pixel-per-inch (PPI)에 영향을 미치므로 PWM 구동을 구 현하기 위한 최소한의 TFT 및 캐패시터 구성이 필요하다.



그림 1: 구동방식에 따른 발광휘도 표현, (a) PAM 구동, (b) PWM 구동.

Micro-LED는 OLED와 같이 화소회로에서 전류를 공급하면 이에 해 당하는 휘도를 발광할 수 있는 전류구동 발광소자이다. 따라서 화소회로 는 전류를 공급할 수 있는 구동 TFT와, 구동 TFT 게이트에 원하는 데이터 전압을 인가할 수 있는 스위칭 TFT, 그리고 능동 구동을 위해 데이터 전 압을 발광 시간동안 유지할 수 있는 스토리지 커패시터(storage capacitor) 가 필요하다. 위 기술한 2-transistors-1-capacitor (2T1C) 회로는 회로 구동 을 위한 최소한의 회로구성으로, 그림 2(a)와 같이 표현할 수 있다. 그림 2(b)와 같이 선택된 스캔 신호에 의해 해당 화소회로의 SW TFT가 켜지면 DTFT 게이트와 연결 된 C_{ST}에 전압이 저장되고, 저장된 데이터 전압에 따라 발광소자에 공급되는 전류를 변화시켜 휘도를 조절할 수 있다. 이런 구동 방식은 PAM 구동방식으로 OLED 기술에 적합한 회로구조이다.

Micro-LED 디스플레이용 PWM 화소회로에서는 고정전류를 공급하는 constant current generation (CCG)부와 발광시간을 조절하는 PWM부로 구성 되어있으며, 그림 3(a)와 같이 4T2C 회로는 가장 기본적인 PWM 구동 회로이다. CCG부는 기존 2T1C 구조와 동일하게 TCCG의 게이트에 고정된 CCG 전압을 인가하여 micro-LED에 일정한 전류를 공급하고, micro-LED는 표현하고자 하는 계조와 무관하게 동일한 휘도로 발광을 시작한다. 그림 3(b)와 같이 PWM 부는 SW2 TFT를 통해 TPWM 게이트에 데이터 전압을 인가하는데, 이때 SWEEP 전압은 발광시간동안 low에서 high로 일정하게 증가한다. CswEEP의 전하 보존으로 TPWM의 게이트가 데이터 전압과 SWEEP 전압 변화의 합으로 증가하게 되면, TPWM의 문 탁전압보다 TPWM의 게이트 전압이 커지는 시점에서 TPWM에 전류가 흐르기 시작한다. 이때 CsT에 저장된 TCCG의 게이트 전압은 VSS로 방전된다. 이는 데이터 전압을 조절하여 TPWM이 켜지는 시점, 즉 TCCG를 끄는 시점을 결정하므로 micro-LED의 발광시간을 결정할 수 있다.

9



그림 2: 기본적인 2T1C 화소회로 구조, (a) 회로도, (b) 타이밍도.



그림 3: 기본적인 PWM 4T2C 화소회로 구조, (a) 회로도, (b) 타이밍도.

2.1.3 화소회로의 문턱전압 보상

위 1.2절에서 기술한 2TIC 및 4T2C PWM 화소회로는 능동구동을 위한 기본적인 회로구성이다. 하지만 백플레인을 구성하는 TFT의 종류에 따라 다양한 원인에 의한 전기적 특성의 산포가 발생한다. LTPS와 산화물 TFT는 동작 중 인가되는 게이트 바이어스 스트레스 및 열, 그리고 외부 광 입사로 인해 문턱전압의 변동이 발생할 수 있으며 [13, 17, 18], LTPS TFT는 불규칙적인 결정립 형성에 의해 추가적인 문턱전압의 산포가 발 생할 수 있다. 그림 4는 화소회로 내 구동 TFT에서 문턱전압의 변동에 따라 전류가 어떻게 변동되는지 나타내었다. 그림과 같이 구동 TFT의 출 력(output) 곡선과 발광다이오드의 I-V 곡선이 만나는 동작점에 해당하는 전류가 흐르게 된. 이때 TFT의 문턱전압이 변화할 경우 출력 곡선이 변하 면서 동작점의 전류 또한 변하게 된다. 이로 인해 동일한 데이터 전압을 기입하더라도 발광소자에 공급되는 전류가 변화되는 문제가 발생하고, 이는 디스플레이 패널의 휘도 균일도를 저하시키는 요인이 된다. 따라서 문턱전압의 변동에도 동일한 전류를 공급할 수 있도록 하는 보상방법이 필요하다.

구동 TFT의 문턱전압을 화소회로 내부에서 보상하는 방법은 그림 5(a)의 소스-팔로워(source-follower) 방식, 그림 5(b)의 다이오드-커넥션 (diode-connection) 방식이 있다. 소스-팔로워 방식은 구동 TFT의 게이트 노드에 포화 동작을 만족하는 *V_{REF}* 전압을 인가할 때 구동 TFT에 전류가 흐르면서 캐패시터가 충전되며 소스 노드의 전압이 올라간다. 이 때 소스 노드 전압이 *V_{REF} - V_{TH}*로 증가할 때까지, 즉 구동 TFT의 *V_{GS} - V_{TH}*가 0 이 될 때 까지 충전이 진행되면 전류가 더 이상 흐르지 않게 되고 캐패시 터에 게이트 노드 전압과 소스 노드의 전압 차이인 문턱전압이 저장된다.

다이오드-커넥션 방식은 드레인 노드와 게이트 노드가 연결된 채로 구동 TFT 전류가 흐르면서 캐패시터가 충전되며 소스 노드 전압이 올라간다. 이때 소스 노드 전압이 *VDD – VTH* 까지, 즉 구동 TFT의 *VGS – VTH*가 0이 될 때까지 증가하여 캐패시터에 문턱전압을 저장할 수 있다. 캐패시터에 저장된 문턱전압은 이후 데이터 전압과 함께 게이트 노드에 인가 되므로, 아래 식 (2.1)와 같이 포화 동작 전류식에 포함된 문턱전압 항을 소거할 수 있다.

$$I_{DS} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V DATA + V_{TH} - V_{LED} - V_{TH})^2$$

$$= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V DATA - V_{LED})^2$$
(2.1)

이때 µ는 전하이동도, Cox는 게이트 절연막의 단위면적당 캐패시턴 스, W, L은 각각 채널의 폭 및 길이, VDATA, VLED 및 VTH는 각각 TFT 게 이트 노드에 인가한 데이터 전압, LED 동작 전압, TFT의 문턱전압이다. 따라서 문턱전압 보상을 적용할 경우 구동 TFT 문턱전압에 무관하게 발 광소자에 일정한 전류를 공급할 수 있음을 알 수 있다. 하지만 다이오드-커 넥션 방식은 게이트 및 드레인 노드 모두 VDD 값을 가지므로 문턱전압이 음의 값을 가질 경우 소스 노드가 VDD보다 커질 수 없어 캐패시터에 문 턱전압 저장이 불가능하나, 소스-팔로워 방식의 경우 VREF – VTH 가 VDD 보다 낮은 값을 유지하기만 한다면 음의 문턱전압까지 캐패시터에 저장할 수 있다. 따라서 소자의 특성변화 정도를 고려하여 이에 적합한 문턱전압 보상 방법을 선택하는 것이 필요하다.



그림 4: 구동 TFT의 문턱전압 변화에 따른 동작점 차이.



그림 5: 문턱전압 보상방식 비교 (a) 소스-팔로워 방식, (b) 다이오드-커넥 션 방식.

2.2 비정질 산화물 TFT 와 더블게이트 구조 TFT

2.2.1 비정질 산화물 TFT

현재 디스플레이 백플레인으로 널리 사용되고 있는 Si 기반 백플레인 은 대표적으로 비정질 실리콘(amorphous silicon, a-Si), LTPS가 있다. a-Si 는 비정질 특성으로 균일도가 높고 공정이 단순하기 때문에 대면적화가 용이하여 LCD기반의 대형디스플레이에 적용되었다. 하지만 비정질 소 자는 무질서한 결정립의 배열로 현저히 낮은 전하 이동도를 갖는 단점이 있어 LCD를 제외한 OLED, micro-LED와 같은 전류구동 발광소자에는 부적합하다. a-Si의 단점을 극복하기 위해 개발된 LTPS는 a-Si에 ELA 공 정을 추가하여 상대적으로 낮은 온도(~500 °C)에서 재결정화를 진행한 다. 재결정화된 LTPS는 높은 이동도를 갖고 있어 빠른 스위칭과 높은 전 류공급이 가능하다. 따라서 LTPS는 OLED, micro-LED와 같은 전류구동 발광소자에 적합하나, 다결정 구조의 특성상 무작위하게 배열된 결정립 과 결정립계에서 기인한 소자특성 산포가 발생하여 대면적화에 어려움이 있다 [13].

위 기술한 Si 기반의 디스플레이 백플레인들이 갖고 있는 단점들을 극복하기 위해 비정질 산화물 TFT가 다양하게 연구되고 있으며, 이 중 비정질 산화물 TFT의 대표적인 소자는 2004년 Hosono 교수가 발표한 a-IGZO TFT이다 [14]. a-IGZO는 전하 이동도를 높이는 In³⁺과 전자 캐리어 생성을 억제하는 Ga³⁺, 결합네트워크를 형성하는 Zn²⁺로 구성되어 a-Si 대비 높은 이동도와 LTPS 대비 높은 균일도를 가지고 있다. 또한 낮은 off 전류 특성 및 저온공정이 가능하고 넓은 밴드갭으로 투과도가 높아 플렉 시블 및 투명 디스플레이 백플레인으로도 각광을 받고 있다 [24]. a-IGZO 가 비정질 구조임에도 a-Si 대비 높은 이동도를 가질 수 있는 이유는 산화 물 반도체의 결정 구조에 기인한다. [14]. Si은 sp³ 혼성오비탈을 형성하여 결합하기 때문에, 단결정 Si의 경우 높은 방향성을 갖고 있어 이동도가 높으나, a-Si는 Si-Si 간 결합이 끊어지고 무작위 배열이 발생하면서 전하 이동도가 급격하게 낮아진다. 하지만 비정질 산화물 TFT의 경우 금속이 온 ns 오비탈이 큰 반경을 갖기 때문에, 인접한 금속이온 ns 오비탈들이 서로 겹치는 현상이 발생하게 된다. 따라서 단결정 및 비정질 상태에서도 결합 구조 변화에 따른 전자 이동의 영향이 낮고, 비정질 상에서도 높은 이 동도를 확보할 수 있다. 하지만 여전히 LTPS의 전하 이동도(~100 cm²/V· s) 대비 낮은 a-IGZO의 전하 이동도(10~20 cm²/V·s)는 고해상도, 고주파 수 및 높은 구동전류를 요구하는 디스플레이 용 백플레인을 만족시키는 데 있어 걸림돌이 되고 있다. 이에 따라서 고이동도 a-IGZO를 구현하기 위한 많은 연구가 진행되고 있는데, 대표적으로 In³⁺ 비율 증가, IGZTO co-sputtering, bilayer channel 구조, metal-induced 결정화 등을 들 수 있 다 [25]. 기존 연구들을 통해 위와 같은 고이동도 a-IGZO는 ~70 cm²/V·s 수준의 전하 이동도를 확보할 수 있음을 확인하였으며, 따라서 LTPS TFT 대비 낮은 공정단가에도 높은 전하 이동도 및 높은 투과도, 낮은 off 전류 특성을 활용하여 차세대 디스플레이 용 백플레인 구현에 적합할 것이라 생각한다.

2.2.2 더블게이트 구조 TFT

더블게이트 TFT란 게이트를 채널 상하부에 모두 배치한 TFT를 의 미한다. 기존의 싱글게이트 TFT는 하나의 게이트를 이용하여 TFT의 동 작을 결정하나, 더블게이트 TFT는 상하부에 배치된 상부 게이트 와 하부 게이를 통해 TFT 동작 및 이의 특성을 조절할 수 있는 장점이 있다. 더블 게이트 구조의 a-IGZO TFT의 단면은 그림 6과 같다. 2개의 게이트 중 하 나의 게이트는 기존의 싱글게이트 TFT의 게이트와 동일한 역할로서 TFT 의 문턱전압을 기준으로 게이트 전압에 따라 TFT의 ON/OFF 및 전류를 결정한다. 더블게이트 구조에서 추가된 게이트는 이의 전압을 통해 TFT 의 특성을 조절한다. 추가된 게이트에 전압을 인가하는 방식에 따라 더블 게이트 TFT를 분류할 수 있는데, 상부 게이트와 하부 게이트를 연결한 게 이트-싱크(gate-sync) 방식, 그리고 독립인가 방식이 있다. 각 연결방식에 따라 소자의 신뢰성을 높이고 이의 특성을 조절할 수 있는데, 게이트-싱크 방식의 더블게이트 TFT는 subthreshold swing (SS) 및 이동도, 안정성에서 싱글게이트 TFT 대비 더 유리함을 확인하였다 [26,27]. 또한 더블게이트 전압을 각각 독립적으로 인가할 경우, 다른 게이트 인가 전압을 조절함으 로써 문턱전압을 변화시킬 수 있음을 확인하였다 [28]. 하부 게이트기준 으로 구동하는 더블게이트 TFT에서 서로 다른 상부 게이트 전압을 인가 할 경우 전달특성(transfer) 곡선이 상부 게이트 전압을 인가한 만큼 반대 방향으로 특성이 이동할 때, 상부 게이트 전압의 변화에 따라 이동하는 문턱전압과의 관계식은 아래 식(2.2)과 같이 표현할 수 있다.

$$V'_{TH} = V_{TH} - \alpha V_{TGS},$$
where $\alpha = \frac{dV_{TH}}{dV_{TGS}} = -\frac{t_{BG}}{\frac{\varepsilon_{BG}}{\varepsilon_{IGZO}}t_{IGZO} + t_{TG}}.$
(2.2)

V'_{TH}는 상부 게이트 전압 조절로 이동한 문턱전압, V_{TGS}는 상부 게 이트 - 소스 전압, ε_{BG}, ε_{IGZO}는 각각 하부 게이트 절연막, a-IGZO의 유 전상수, t_{BG}, t_{TG}, t_{IGZO}는 각각 하부 게이트 절연막, 상부 게이트 절연막, a-IGZO 두께이다. 위 식(2.2)을 통해 반대 게이트 전압을 통해 조절되는 문턱전압은 α에 의해 결정됨을 알 수 있고, 이 α는 상부 게이트 절연막 및 하부 게이트 절연막의 비율로 결정됨을 알 수 있다. 이런 더블게이트 TFT의 특성은 추가된 게이트의 역할에서 기인하는데, 추가된 게이트는 기존의 게이트와 동일하게 채널 포텐셜을 조절하고 또한 채널 내 수직 전 기장을 낮추어 채널 계면의 전하 분산을 줄이기 때문이다 [28].

기존의 싱글게이트 TFT가 단일 게이트에 인가된 전압만으로 TFT의 ON, OFF 동작 및 전류를 조절해야 했던 것과는 달리, 더블게이트 TFT 는 두 개의 게이트 전압을 조절하며 유연하게 TFT를 제어할 수 있으며 구조에 따라 전하 이동도와 SS 등 TFT 소자 특성을 개선하는 것이 가능 하다. 이러한 이점을 활용하여 더블게이트 TFT을 도입한 AMOLED 용 화소회로 관련 연구 또한 다양하게 진행되어왔다 [20,21]. Micro-LED 화 소회로에서도 더블게이트 TFT를 적용하면 능동 소자들의 전기적 특성을 더욱 향상시킬 수 있으며 단일 TFT로도 여러 동작들을 수행할 수 있다. 따라서 더블게이트 TFT를 통해 기존 싱글게이트 TFT 기반 화소회로 대 비 더욱 조밀하고 효율적인 구동을 달성함으로써, 높은 해상도를 가지는 차세대 micro-LED 디스플레이를 구현할 수 있을 것이다.



그림 6: 더블게이트 구조의 a-IGZO TFT 단면 구조.

제3장

본문

3.1 Micro-LED 디스플레이용 PWM 화소회로의 구성 및 동작

a-IGZO TFT 백플레인은 디스플레이 용 백플레인으로서 a-Si TFT 대비 높은 이동도와 LTPS TFT 대비 낮은 공정단가 및 off 전류로 이점을 갖고 있으나, 게이트 바이어스 스트레스, 입사광, 열 등에 의해 문턱전압과 같은 특성변화가 발생한다 [17,18]. Micro-LED에 일정한 전류를 공급해 야하는 TFT의 문턱전압 변화는 화소별 휘도 차이를 유발하여 디스플레이 패널 내 균일도 및 화질 저하를 초래한다. 따라서 TFT의 문턱전압 변화가 발생 하더라도 이를 보상할 수 있는 회로가 필요하다. 이러한 보상회로는 기본적인 구동을 위한 회로 구성 외에 추가적인 TFT와 캐패시터를 요구 하기 때문에, 고해상도 디스플레이를 구현하기 위해서는 이를 구성하는 TFT와 캐패시터의 수를 최소화해야 한다. 이 때 더블게이트 TFT는 단일 소자로서 상부 게이트와 하부 게이트에서 동시에 회로 동작을 수행할 수 있어 TFT의 갯수를 최소화할 수 있다. 따라서 더블게이트 구조를 갖는 a-IGZO TFT를 이용한 micro-LED용 PWM구동 화소회로를 제안하고자 한다.

본 화소회로의 구성 및 타이밍도는 그림 7와 같다. 10T3C로 구성된 이 회로는 1.2절에서 기술한 것과 같이 micro-LED의 파장변화를 피하기 위해 PWM 구동방식을 적용하여 micro-LED에 일정한 전류를 공급하는 CCG부, 그리고 데이터 전압에 따라 발광시간을 조절하여 계조를 표현할 수 있는 PWM부로 나뉘어져 있다. T1과 T6는 각각 CCG부 및 PWM부의 구동 TFT이고, 이를 제외한 T2-T5, T7-T10은 스위칭 TFT이다. T1은 게이 트에 인가된 전압에 따라 micro-LED에 전류를 공급하는 역할, T6는 발광 종료시점에 CCG 구동 TFT를 VSS전압으로 방전시키는 역할이다. T2, T7 는 각 구동 TFT의 게이트 노드와 연결되어 초기화 및 문턱전압 보상을 위 한 기준 전압을 공급한다. T3 및 T9는 각 구동 TFT에 CCG 전압과 데이터 전압을 각각 인가하는 역할이며, T4, T8은 문턱전압 보상단계에서 소스-팔로워 방식으로 특정 노드를 연결하는 역할, 그리고 T5, T9는 각각 EM 신호를 통해 발광 단계에서만 micro-LED 전류를 공급하고 T6를 통해 T1 게이트 노드를 방전시키는 역할을 한다.



그림 7: 제안된 micro-LED 용 화소회로의 구조, (a) 화소회로의 회로도, (b) 타이밍도.

화소회로의 동작은 120 Hz 구동(1 프레임 기준 약 8.33 ms)을 기준 으로 그림 7(b)와 같이 (1) 초기화, (2) V_{TH} 보상, (3) PWM 데이터 전압 기입, (4) CCG 전압 기입, (5) 발광의 총 5개의 단계로 진행된다. 본 동작은 동시발광 방식으로, (1) 초기화 단계부터 (4) CCG 전압 기입까지 패널 내 모든 화소회로에 V_{TH} 보상 및 데이터 전압 기입 후 (5) 발광 단계에서 동 시에 발광하게 된다. 이때 (3) PWM 데이터 전압 기입 단계는 화소회로의 능동구동을 위해 각 행별로 순차적으로 데이터 전압을 기입한다. 단계별 상세 동작은 다음과 같다.

(1) 초기화: 이전 프레임에서 저장된 전압을 초기화 하는 단계이다. 그림 7(b)의 타이밍도 내 (1) 단계로 SCAN1, SCAN2, SCAN3 전압이 high 가 되고, EM 전압은 low가 되어 T2-T4, T7-T9를 ON 시킨다. 그림 8과 같이 이전 프레임에 저장된 C_{CCG}, C_{PWM}, C_{SWEEP}의 전압들을 VSS로 방전 시키고, 다음 단계인 문턱전압 보상을 위하여 T1, T6 게이트 노드는 각각 VREF1, VREF2로 방전시킨다.

(2) V_{TH} 보상: 본 단계는 PWM부 및 CCG부 구동 TFT의 문턱전압 영향을 제거하기 위해 각 구동 TFT의 문턱전압을 센싱하는 단계이다. 그 림 7(b)의 타이밍도 내 (2) 단계로 SCAN1 전압은 high, SCAN2, SCAN3, 그리고 EM 전압은 low가 되어 T3, T5, T9, T10이 OFF 된다. 초기화 단계 후 그림 9과 같이 T1,T6의 전류가 흐르고 소스 노드의 전압이 상승하여 소 스-팔로워 방식으로 문턱전압을 센싱한다. 이 단계는 T1, T6의 V_{GS} – V_{TH} 가 0이 되어 전류가 거의 흐르지 않는 시점, 즉 T1, T6의 소스 노드가 각 각 VREF1 – V_{TH,T1}, VREF2 – V_{TH,T6} 가 되는 시점에서 종료되고, 이때 C_{CCG}, C_{PWM} 양단에 각각 T1, T6의 문턱전압이 저장된다. 한편 T6의 하부 게이트 전압은 T6의 소스 노드와 동일하게 VREF2 – V_{TH,T6}로 증가하여 V_{BGS}가 0의 값을 같기 때문에, 식 (2.2)에 의해 하부 게이트 전압에 따라 변동되지 않은 문턱전압을 저장할 수 있다.



그림 8: 제안된 회로의 (1) 초기화 단계 회로도



그림 9: 제안된 회로의 (2) VTH 보상 단계 회로도.

(3) PWM 데이터 전압 기입: 본 단계에서는 micro-LED의 발광시간을 결정하는 데이터 전압을 PWM부에 인가하는 단계이다. SCAN1, SCAN2, EM 전압은 low로, SCAN3 전압은 high를 인가하여 그림 10와 같이 T9 가 ON이 되고, VDATA를 통해 T6의 하부 게이트 노드에 -VDATA가 인 가된다. 이때 micro-LED의 능동구동을 위하여 화소 어레이의 각 행마다 순차적으로 SCAN3 전압이 high가 되고, VDATA 배선에서도 이에 해당하 는 데이터 전압을 순차적으로 각 화소에 인가한다. 이렇게 T6 하부 게이트 노드에 인가된 데이터 전압은 해당 프레임 동안 *C*_{SWEEP}에 의해 유지될 수 있고, *Cccg*, *C*_{PWM}에 각각 저장된 T1, T6의 문턱전압 또한 변동없이 유지 될 수 있다.

(4) CCG 전압 기입: 본 단계에서는 CCG부의 구동 TFT가 일정한 전 류를 micro-LED에 공급할 수 있도록 CCG 전압을 인가하는 단계이다. 그 림 11과 같이 SCAN1, SCAN3, EM 전압은 low, SCAN2 전압은 high로 인가하여 T3를 ON 시키고, VDATA 배선을 통해 VCCG를 기입한다. 이전 단계까지 *Cccg*에 T1의 문턱전압이 저장되어 있기 때문에 *Cccg*가 연결된 T1의 게이트 노드의 전압은 *VCCG* + *V*_{TH,T1}가 된다. CCG 전압 기입 단 계는 PWM 데이터 전압 기입 단계와 다르게 화소 어레이 전체에 동일한 전압을 동시에 인가하는 차이가 있으며, 또한 발광 단계까지 계속 SCAN2 가 high전압을 유지하기 때문에 발광이 종료되는 시점까지 T1의 게이트 노드 전압이 *VCCG* + *V*_{TH,T1}으로 변동없이 유지된다.



그림 10: 제안된 회로의 (3) PWM 데이터 전압 기입 단계 회로도



그림 11: 제안된 회로의 (4) CCG 전압 기입 단계 회로도.

(5) 발광: 본 단계는 이전의 초기화 - V_{TH} 보상 - 데이터 전압 기입 후 최종적으로 모든 화소에서 발광을 진행하는 단계이다. 본 화소회로는 PWM 구동으로 일정한 전류를 micro-LED에 공급하면서 발광시간을 조 절하여 휘도를 표현하기 때문에 발광단계, 비발광단계로 나뉘게 된다. 그 림 12와 같이 SCAN1, SCAN3 전압은 low, SCAN2, EM 전압은 high로 T3, T5, T10가 ON이 된다. 이때 VSWEEP 신호는 발광 단계가 진행되는 동안 전압이 점점 증가하여 *C*_{SWEEP}의 전하 보존으로 인해 T6의 하부 게이트 노드의 전압이 △VSWEEP - VDATA가 된다. 이는 T6가 ON 됨에 따라 T1의 게이트 노드 전압이 방전되는 시점을 결정하게 된다.

1) 발광단계: 발광단계에서는 PWM부의 구동 TFT인 T6가 OFF 상태 로, T1을 통해 micro-LED에 전류가 공급되는 단계이다. 그림 12와 같이 T6 소스 노드가 VSS가 되면서 *V_{TGS.T6}*는 T6의 문턱전압이, *V_{BGS.T6}*에는 -VDATA + △VSWEEP - VSS가 된다. 그림 7(b)의 타이밍도 내 (5)단계와 같이 △VSWEEP이 VDATA보다 낮은 시점에서 T6가 OFF되는 조건은 식 (3.1)를 이용하여 아래와 같이 표현할 수 있다.

$$V_{TGS_{T6}} - V'_{TH_{T6}} = V_{TGS_{T6}} - (V_{TH_{T6}} - \alpha V_{BGS})$$
$$= V_{TH_{T6}} - [V_{TH_{T6}} - \alpha (\Delta VSWEEP - VDATA - VSS)] < 0, \qquad (3.1)$$
where $\Delta VSWEEP < VDATA + VSS$

V[']_{TH.T6}는 T6의 V_{BGS.T6}가 ΔVSWEEP - VDATA - VSS로 되어 변화된 T6의 문턱전압이다. 식 (2.2)를 통해 V_{TGS.T6} – V[']_{TH.T6}이 0보다 작기 때문 에 T6은 OFF 상태임을 알 수 있다. 한편 CCG부의 구동 TFT 게이트 노 드는 VCCG + V_{TH.T1}을 유지하고 있으므로, micro-LED에 일정한 전류를 공급한다. 이는 아래와 같이 T1의 포화 영역의 전류식 (3.2)으로 확인할 수 있다.

$$I_{DS_{-}T1} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (VCCG + V_{TH_{-}T1} - V_{LED} - V_{TH_{-}T1})^{2}$$

$$= \frac{1}{2} \mu C_{ox} \frac{W}{L} (VCCG - V_{LED})^{2}$$
(3.2)

이때 µ는 전하이동도, Cox는 게이트 절연막의 단위면적당 캐패시턴 스, W, L은 각각 T1 채널의 폭 및 길이, VCCG, V_{LED} 및 V_{TH.T1}는 각각 T1 게이트 노드에 인가한 CCG 전압, LED 동작 전압, TFT의 문턱전압이다. 위 전류식을 통해 발광단계에서 micro-LED에 흐르는 전류는 T1의 문턱 전압의 영향이 소거됨을 알 수 있다.

2) 비발광단계: 그림 7(b)의 타이밍도 내 (5)단계와 같이, △VSWEEP 이 VDATA + VSS 보다 높아질 경우 아래 식 (3.3)과 같이 표현할 수 있다.

$$V_{TGS_T6} - V'_{TH_T6} = V_{TGS_T6} - (V_{TH_T6} - \alpha V_{BGS})$$
$$= V_{TH_T6} - [V_{TH_T6} - \alpha (\Delta VSWEEP - VDATA - VSS)] > 0, \qquad (3.3)$$
where $\Delta VSWEEP > VDATA + VSS$

T6의 V_{TGS_T6} - V'_{TH_T6}이 0보다 크기 때문에 T6이 ON이 되고, 그림 13와 같이 T1의 게이트 노드가 VSS로 방전되어 T1 또한 OFF가 되면서 발광이 종료된다. △VSWEEP이 VDATA보다 커지는 시점에서 T6에서 흐 르는 전류는 아래 식(3.4)와 같이 표현할 수 있다.

$$I_{DS_T6} = \frac{1}{2} \mu C_{ox} \frac{W}{L} [V_{TH_T6} - V_{TH_T6} - \alpha (\Delta VSWEEP - VDATA - VSS)]^2$$
$$= \frac{1}{2} \mu C_{ox} \frac{W}{L} [\alpha (\Delta VSWEEP - VDATA - VSS)]^2$$
(3.4)

위 식을 통해 T1 게이트 노드를 방전시키는 T6의 전류 또한 T6의 문 턱전압과 무관하게 micro-LED의 발광종료 시점을 결정할 수 있음을 알 수 있다.



그림 12: 제안된 회로의 (5) 발광 단계 중 발광단계 회로도.



그림 13: 제안된 회로의 (5) 발광 단계 중 비발광단계 회로도.

3.2 더블게이트 TFT 및 micro-LED 모델 개발

본 절에서는 이전 절에서 기술한 더블게이트 a-IGZO TFT를 이용한 micro-LED PWM 화소회로의 동작을 시뮬레이션으로 검증하고, 본 회로 의 문턱전압 보상 능력을 확인하고자 한다. 신뢰성 높은 시뮬레이션을 진 행하기 위해 먼저 TFT SPICE 모델 라이브러리를 개발하였다. 우선 제 작된 싱글게이트 TFT 의 특성을 측정하고, 싱글게이트 TFT 및 더블게이 트 TFT 모델을 활용하여 실측치를 피팅하였다. 그림 14(a)은 제작한 싱 글게이트 a-IGZO TFT의 전달 특성(transfer) 실측치와, SPICE 내장 RPI poly-TFT model (LEVEL=62)을 활용하여 피팅한 전달 특성을 비교하였 다. 제작된 소자의 문턱전압 및 전자이동도는 각각 -0.68 V, 7.64 cm²/V· s이다. 그림 14(b)는 싱글게이트 TFT 를 바탕으로 하부 게이트를 전압을 변경할 경우 문턱전압이 이동할 수 있도록 Verilog-A를 기반으로 한 피팅 결과이다. 상부 게이트를 통해 동작하는 TFT에서 추카 게이트의 전압에 따라 전달특성 곡선이 평행하게 이동함을 알 수 있다. 추가로 그림 14(b) inset 그래프는 하부 게이트 변화에 따른 문턱전압의 변화를 나타내며 식 (2.2)의 a 값을 의미한다. 이때 a는 게이트 절연막의 두께 비율을 고려하 여 약 1.3으로 결정하였다. 그림 14(c)는 micro-LED의 I-V 곡선을 피팅한 결과이며, 발광시 구동전류 범위를 고려하면 LED의 동작 전압은 약 2.3 V 이다.



그림 14: 시뮬레이션을 위한 소자 모델링 결과, (a) 싱글게이트 TFT의 측 정 데이터 및 피팅 결과 비교, (b) 추가 게이트 전압 변화에 따른 피팅 된 더블게이트 TFT의 전달 특성, (c) 피팅 된 micro-LED의 I-V 곡선. 33

3.3 화소회로 HSPICE 시뮬레이션 및 결과분석

이전 절에서 모델링된 싱글게이트 TFT, 더블게이트 TFT 및 micro-LED를 바탕으로 그림 7(a)와 같은 화소회로를 구성하였다. 시뮬레이션 툴은 HSPICE를 사용하였으며, 본 회로를 동작하기 위해 적용된 상세 구 동전압 및 TFT size는 표 1과 같다. SCAN3 신호는 세로 해상도에 따라 순차적으로 데이터 전압을 기입하기 때문에, micro-LED 하나의 모듈 해 상도 270 × 480을 갖는 화소 어레이의 타이밍도를 설정하고, 이의 중간인 135번째 화소를 기준으로 화소 시뮬레이션을 진행하였다.

본 화소회로의 PWM 구동을 통한 계조표현 능력을 확인하기 위하여, 그림 15(a)과 같이 1 프레임 동안 서로 다른 PWM 데이터 전압을 인가했 을 때 micro-LED의 전류를 표현하였다. CCG부에서 공급하는 전류는 약 27 µA이며, 일정한 전류를 공급하면서 PWM 데이터 전압을 통해 micro-LED의 발광시간을 조절할 수 있음을 확인하였다. 그림 15(b)는 1 프레임 동안 PWM 데이터 전압에 따른 micro-LED의 평균전류 와 발광시간을 비교한 결과이다. micro-LED의 평균전류는 1 프레임 동안 micro-LED에 흐르는 전류의 평균을, 발광시간은 miro-LED의 공급전류의 50%에 해당 하는 13.5 µA를 기준으로 micro-LED에 흐르는 전류가 증가하는 시간과 감소하는 시간의 차로 산정하였다. PWM 데이터 전압에 따라 micro-LED 의 발광시간을 선형적으로 조절할 수 있고, 이에 따라 micro-LED의 평균 전류 또한 선형적으로 조절할 수 있음을 알 수있다. 따라서 본 화소회로를 통해 PWM 데이터을 조절함으로써 전계조에 걸친 micro-LED 휘도 표현 이 가능함을 확인했다.

그림 16(a)는 본 화소회로의 문턱전압 보상 능력을 확인하기 위해 PWM 구동 TFT인 T6의 문턱전압을 ±1 V 이동시켰을 때의 T6 게이트

34

노드 및 소스 노드 전압의 각 단계별 transient waveform을 나타낸 그래 프이다. (2) *V_{TH}* 보상 단계가 끝나면서 T1, T6의 VGS에 각 문턱전압이 센싱되고, 문턱전압이 ±1 V 변함에 따라 T6의 *V_{GS}*각각 +0.99 V, -0.99 V 만큼 차이남을 확인할 수 있다. 이후 (5) 발광 단계에서도 T1, T6의 *V_{TH}* 는 변화된 문턱전압을 그대로 유지하고 있어 micro-LED가 발광하는 동 안 성공적으로 문턱전압을 보상할 수 있음을 알 수 있다. 그림 16(b)는 본 화소회로와 문턱전압 보상이 적용되지 않은 PWM 4T2C회로(그림 3)의 오차율을 데이터 전압 별로 비교한 결과이다. 문턱전압을 보상하는 정도 인 오차율은 아래와 같이 식 (3.5)으로 표현할 수 있다.

Error Rate (%) =
$$\frac{|I_{\Delta V_{TH}=0 V} - I_{\Delta V_{TH}=\pm 1 V}|}{I_{\Delta V_{TH}=0 V}} \times 100 (\%)$$
(3.5)

그림 16(b)를 통해 문턱전압 보상이 없는 4T2C 회로의 경우 문턱전 압 변화에 따라 CCG 전류 및 발광시간의 편차가 발생하여 최대 94%의 오차율이 발생하나, 제안된 10T3C 화소회로는 최대 4%대로 문턱전압의 변화를 성공적으로 억제함을 확인할 수 있다. 이는 게이트 바이어스 스트 레스 및 소자 편차 등으로 발생할 수 있는 패널 내 휘도 편차를 줄여 균일한 휘도를 얻을 수 있음을 의미한다.

Parameter	Value
VDD	20 V
VSS	0 V
VREF1	8 V
VREF2	3 V
VCCG	14V
VDATA	0 V ~ 8.5 V
VSWEEP	0 V ~ 8.5 V
SCAN1, SCAN2, SCAN3[N], EM	-11 V ~ 15 V
C_{CCG}	0.3 pF
C_{PWM}	0.2 pF
C_{SWEEP}	0.1 pF
Parameter	Size
W/L of T1	50 μm/ 5 μm
W/L of T5	30 µm/ 5 µm
W/L of T6	15 µm/ 5 µm
W/L of T2 ~ T4, T7 ~ T10	5 μm/ 5 μm

표 1: 제안된 회로의 시뮬레이션을 위한 파라미터



그림 15: 제안된 회로의 PWM 동작 시뮬레이션 결과, (a) 1 프레임 내 PWM 데이터 전압에 따른 micro-LED 전류 비교, (b) PWM 데이터 전압에 따른 평균 전류 및 발광시간 비교.



그림 16: 제안된 회로의 문턱전압 보상능력 비교 (a) 문턱전압 변동에 따 른 보상 능력 비교, (b) 문턱전압 변동에 따른 제안된 회로와 미보상회로 (4T2C)의 오차율 비교

3.4 화소회로의 레이아웃 설계

본 절은 제안된 micro-LED 화소회로의 실제 구현을 위해 이에 해당 하는 TFT 구조 및 설계 룰을 활용하여 화소회로 레이아웃을 설계하였다. 그림 17(a)는 본 화소회로를 설계하기 위한 기본적인 구조이며, 그림 17(b) 는 이의 공정 순서와 각 공정별 top-view를 보여준다. 더블게이트 TFT 형 성, 그리고 micro-LED 전극을 백플레인과 전기적으로 연결하기위한 패드 형성을 위해 BOTTOM-GATE, a-IGZO, TOP-GATE, CNT, MET1, VIA, MET2 레이어가 포토마스크로 사용되는 7마스크 공정이 최소한으로 필요 하다. 싱글게이트 TFT 및 더블게이트 TFT의 구동은 상부 게이트를 통해 동작하며, 하부 게이트는 더블게이트 TFT의 문턱전압을 조절하는 추가 된 게이트로 동작한다. 화소회로 내 데이터 전압 및 문턱전압을 저장하기 위한 캐패시터는 하부 게이트와 a-IGZO, MET1, 그리고 도핑 된 a-IGZO 를 통해 구성하였다. 하부 게이트와 a-IGZO, MET1과 a-IGZO의 단위면적 당 캐패시턴스는 각각 52 aF/µm², 115 aF/µm²이다. MET2 상부는 노출된 상태로 이후 micro-LED 칩의 전극과 MET2 상부를 전기적으로 연결한다.

그림 18는 위 기술한 내용을 바탕으로 설계한 서브픽셀 레이아웃 이다. 화소회로 내 VDATA, VDD, VSS는 디스플레이 패널 기준 하단, SCAN1, SCAN2, SCAN3, EM 및 VREF1, VREF2는 패널 기준 좌우 인 가를 기준으로 설계하였다. 또한 micro-LED 칩과 솔더를 통해 연결될 전 극은 픽셀 하단에 설계하였으며, 실제 micro-LED 칩의 전극과 MET2와의 접촉면적은 30 × 30 µm² 로 설계하였다. 화소회로의 크기는 100 × 300 µm²로, 약 84.66 PPI (pixel-per-inch)이다. 55" UHD 해상도의 PPI가 약 80.11, 75" UHD 해상도의 PPI가 58.76임을 감안하면, 대형 UHD급의 고 해상도 디스플레이 구현이 가능함을 알 수 있다.







그림 17: 7마스크 공정의 적층구조 (a) 7마스크 공정 기반 더블게이트 TFT 구조 단면, (b) 마스크 공정별 더블게이트 TFT 구조(top-view).



그림 18: 제안된 화소회로의 레이아웃 및 다른 크기의 화소회로 비교

제4장

결론

4.1 연구의 성과 및 고찰

본 연구는 현재 LCD 및 OLED 중심의 디스플레이 시장에서 기존의 디스플레이의 한계를 극복할 수 있는 micro-LED 디스플레이의 구현을 위 해 micro-LED 화소회로를 설계 및 검증하고, 레이아웃을 설계하여 고해상 도 적용 가능성을 살펴보았다. 본 화소회로는 계조표현을 위해 구동전류 를 고정하고 발광시간을 조절하는 PWM구동방식을 적용하여 micro-LED 의 발광 파장 변화를 방지하고자 하였다. 또한 추가 공정 없이 기존 LCD, AMOLED 디스플레이 공정을 그대로 차용할 수 있으며, 기판의 종류 및 크기에 자유로운 이점을 고려하여 a-IGZO TFT 백플레인을 적용하였다.

더블게이트 TFT는 추가 게이트 전압에 따라 문턱전압을 조절할 수 있는 장점을 활용하여 상부 게이트를 통한 문턱전압 보상, 그리고 하부 게이트를 통한 데이터 전압 인가를 단일 TFT로 진행할 수 있는 장점을 활용하였다. 이를 바탕으로 설계한 micro-LED용 화소회로는 PWM 구동 으로 발광시간을 조절하여 다양한 계조를 표현할 수 있으며, 문턱 전압 보상을 이용하여 PWM 및 CCG의 구동 TFT의 ±1 V 문턱전압 변화에도 최대 4%대의 오차율을 달성하여 micro-LED 디스플레이 패널에서 균일 한 휘도 표현이 가능함을 검증하였다. 또한 제안된 화소회로의 레이아웃 설계를 통해 7MASK 공정을 적용할 경우 55"UHD 해상도대비 높은 PPI 의 디스플레이 화소회로를 구현하였다. 이는 높은 공정난이도와 높은 비 용이 필요한 CMOS 기반의 백플레인을 적용하지 않더라도, a-IGZO TFT 기반의 디스플레이 기술을 통해 고품질의 대형 micro-LED 디스플레이를 구현할 수 있음을 알 수 있다.

4.2 향후 연구 방향

최근 다양한 분야의 전자산업에 걸쳐 대두되고 있는 에너지 절감 요 구에 부응하기 위해, 한 제품의 전력 소모에 큰 비중을 차지하고 있는 디 스플레이 또한 낮은 소비전력을 달성해야 한다. 본 화소회로는 동시발광 구조로서, 디스플레이 패널 내 모든 화소의 문턱전압 보상 및 데이터 전압 을 기입 후 동시에 발광을 진행하게 된다. 동시발광의 장점은 화소회로를 동작시키는 SCAN 신호를 생성하기위한 주변회로를 단순화할 수 있는 장 점이 있으나, 순차적으로 데이터를 기입하고 발광하는 순차구동방식 대비 발광 시간동안 동작하는 화소 수가 많아지기 때문에 순간소비전력이 상 승하는 단점이 있다. 따라서 본 화소회로 또한 순차구동방식을 구현할 수 있도록 후속 연구를 진행하고자 한다. 순차구동을 적용할 경우 화소의 행 별로 SCAN신호를 생성하는 회로를 배치해야 하므로, 화소회로에 연결된 SCAN 신호를 줄이고, 인접한 화소의 신호를 활용하여 동작시키는 방안을 연구하고자 한다. 이를 통해 고해상도 및 고화질을 구현할 뿐만 아니라 소 비전력까지 절감하여, 차세대 디스플레이로서 micro-LED 디스플레이가 타 기술 대비 경쟁력을 갖출 수 있도록 기술을 선도해나가고자 한다.

참고 문헌

- Y. Huang, E.-L. Hsiang, M.-Y. Deng, and S.-T. Wu, "Mini-LED, Micro-LED and OLED displays: Present status and future perspectives," *Light: Science & Applications*, vol. 9, no. 1, pp. 1–16, 2020.
- [2] Z. Chen, S. Yan, and C. Danesh, "MicroLED technologies and applications: characteristics, fabrication, progress, and challenges," *Journal* of Physics D: Applied Physics, vol. 54, no. 12, p. 123001, 2021.
- [3] P. J. Parbrook, B. Corbett, J. Han, T.-Y. Seong, and H. Amano, "Micro-Light Emitting Diode: From Chips to Applications," *Laser & Photonics Reviews*, vol. 15, no. 5, p. 2000133, 2021.
- [4] T. Wu, C.-W. Sher, Y. Lin, C.-F. Lee, S. Liang, Y. Lu, S.-W. Huang Chen, W. Guo, H.-C. Kuo, and Z. Chen, "Mini-LED and micro-LED: Promising candidates for the next generation display technology," *Applied Sciences*, vol. 8, no. 9, p. 1557, 2018.
- [5] A. R. Anwar, M. T. Sajjad, M. A. Johar, C. A. Hernández-Gutiérrez, M. Usman, and S. Łepkowski, "Recent Progress in Micro-LED-Based Display Technologies," *Laser & Photonics Reviews*, p. 2100427, 2022.
- [6] C.-J. Chen, H.-C. Chen, J.-H. Liao, C.-J. Yu, and M.-C. Wu, "Fabrication and Characterization of Active-Matrix 960 × 540 Blue GaN-Based Micro-LED Display," *IEEE Journal of Quantum Electronics*, vol. 55, no. 2, pp. 1–6, 2019.
- [7] J. Day, J. Li, D. Lie, C. Bradford, J. Lin, and H. Jiang, "III-Nitride fullscale high-resolution microdisplays," *Applied Physics Letters*, vol. 99, no. 3, p. 031116, 2011.
- [8] Z. Fan, J. Lin, and H. Jiang, "III-Nitride micro-emitter arrays: development and applications," *Journal of Physics D: Applied Physics*, vol. 41, no. 9, p. 094001, 2008.

- [9] Z. Gong, S. Jin, Y. Chen, J. McKendry, D. Massoubre, I. M. Watson, E. Gu, and M. D. Dawson, "Size-dependent light output, spectral shift, and self-heating of 400 nm InGaN light-emitting diodes," *Journal of Applied Physics*, vol. 107, no. 1, p. 013103, 2010.
- [10] J.-H. Kim, S. Shin, K. Kang, C. Jung, Y. Jung, T. Shigeta, S.-Y. Park, H. S. Lee, J. Min, J. Oh, *et al.*, "15-1: PWM Pixel Circuit with LTPS TFTs for Micro-LED Displays," in *SID Symposium Digest of Technical Papers*, vol. 50, pp. 192–195, Wiley Online Library, 2019.
- [11] J. Oh, J.-H. Kim, J. Lee, E. K. Jung, D. Oh, J. Min, H. Im, and Y.-S. Kim, "Pixel circuit with P-type low-temperature polycrystalline silicon thin-film transistor for micro light-emitting diode displays using pulse width modulation," *IEEE Electron Device Letters*, vol. 42, no. 10, pp. 1496–1499, 2021.
- [12] W.-S. Shin, H.-A. Ahn, J.-S. Na, S.-K. Hong, O.-K. Kwon, J.-H. Lee, J.-G. Um, J. Jang, S.-H. Kim, and J.-S. Lee, "A driving method of pixel circuit using a-IGZO TFT for suppression of threshold voltage shift in AMLED displays," *IEEE Electron Device Letters*, vol. 38, no. 6, pp. 760–762, 2017.
- [13] V. W. Chan, P. C. Chan, and C. Yin, "The effects of grain boundaries in the electrical characteristics of large grain polycrystalline thin-film transistors," *IEEE Transactions on Electron Devices*, vol. 49, no. 8, pp. 1384–1391, 2002.
- [14] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors," *Nature*, vol. 432, no. 7016, pp. 488–492, 2004.
- [15] T. Kamiya, K. Nomura, and H. Hosono, "Present status of amorphous In–Ga–Zn–O thin-film transistors," *Science and Technology of Ad*vanced Materials, 2010.

- [16] J. S. Park, W.-J. Maeng, H.-S. Kim, and J.-S. Park, "Review of recent developments in amorphous oxide semiconductor thin-film transistor devices," *Thin Solid Films*, vol. 520, no. 6, pp. 1679–1693, 2012.
- [17] J.-M. Lee, I.-T. Cho, J.-H. Lee, and H.-I. Kwon, "Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors," *Applied Physics Letters*, vol. 93, no. 9, p. 093504, 2008.
- [18] M. Kimura and S. Imai, "Degradation Evaluation of α-IGZO TFTs for Application to AM-OLEDs," *IEEE Electron Device Letters*, vol. 31, no. 9, pp. 963–965, 2010.
- [19] C.-L. Lin, W.-Y. Chang, and C.-C. Hung, "Compensating pixel circuit driving AMOLED display with a-IGZO TFTs," *IEEE Electron Device Letters*, vol. 34, no. 9, pp. 1166–1168, 2013.
- [20] C. H. Jeon, J. G. Um, M. Mativenga, and J. Jang, "Fast threshold voltage compensation AMOLED pixel circuit using secondary gate effect of dual gate a-IGZO TFTs," *IEEE Electron Device Letters*, vol. 37, no. 11, pp. 1450–1453, 2016.
- [21] Y.-H. Tai, L.-S. Chou, H.-L. Chiu, and B.-C. Chen, "Three-transistor AMOLED pixel circuit with threshold voltage compensation function using dual-gate IGZO TFT," *IEEE Electron Device Letters*, vol. 33, no. 3, pp. 393–395, 2012.
- [22] N. Holonyak Jr and S. F. Bevacqua, "Coherent (visible) light emission from Ga (As_{1-x} P_x) junctions," *Applied Physics Letters*, vol. 1, no. 4, pp. 82–83, 1962.
- [23] S. Pimputkar, J. S. Speck, S. P. DenBaars, and S. Nakamura, "Prospects for LED lighting," *Nature Photonics*, vol. 3, no. 4, pp. 180– 182, 2009.

- [24] H. Hosono, "Ionic amorphous oxide semiconductors: Material design, carrier transport, and device application," *Journal of Non-Crystalline Solids*, vol. 352, no. 9-20, pp. 851–858, 2006.
- [25] M. H. Cho, C. H. Choi, H. J. Seul, H. C. Cho, and J. K. Jeong, "Achieving a low-voltage, high-mobility IGZO transistor through an ALDderived bilayer channel and a hafnia-based gate dielectric stack," ACS Applied Materials & Interfaces, vol. 13, no. 14, pp. 16628–16640, 2021.
- [26] K.-S. Son, J.-S. Jung, K.-H. Lee, T.-S. Kim, J.-S. Park, Y.-H. Choi, K. Park, J.-Y. Kwon, B. Koo, and S.-Y. Lee, "Characteristics of doublegate Ga–In–Zn–O thin-film transistor," *IEEE Electron Device Letters*, vol. 31, no. 3, pp. 219–221, 2010.
- [27] K.-S. Son, J.-S. Jung, K.-H. Lee, T.-S. Kim, J.-S. Park, K. Park, J.-Y. Kwon, B. Koo, and S.-Y. Lee, "Highly stable double-gate Ga–In–Zn– O thin-film transistor," *IEEE Electron Device Letters*, vol. 31, no. 8, pp. 812–814, 2010.
- [28] K. Takechi, M. Nakata, K. Azuma, H. Yamaguchi, and S. Kaneko, "Dual-Gate Characteristics of Amorphous InGaZnO₄ Thin-Film Transistors as Compared to Those of Hydrogenated Amorphous Silicon Thin-Film Transistors," *IEEE Transactions on Electron Devices*, vol. 56, no. 9, pp. 2027–2033, 2009.

Abstract

Oxide-Based Pixel Circuit Using Double-Gate Structure Thin-Film Transistor for Micro Light-Emitting Diode Displays

Changwon Jeong Graduate School of Practical Engineering Seoul National University

Recently, the display market is expanding the scope of its applications such as AR/VR and public information display (PID) as well as smartphones and TVs. However, the conventional display technologies such as LCD and OLED have limitations to satisfy the technical demands such as high brightness, high resolution, and high reliability that these applications require. Micro-LED has gathered attention as a next-generation display technology which will overcome the obstacles the conventional display technologies have. The micro-LED display has excellent characteristics such as high brightness, high reliability, and scalability. Still, the research in various aspects is required such as manufacturing process and image quality for realization of micro-LED displays.

The subject of this study is to design a pixel circuit for high imagequality micro-LED display and to verify its operation. A pixel circuit was designed based on a-IGZO TFT backplane that can be utilized from the existing fabrication process and has an advantage in processing cost, and a PWM circuit part was added to the pixel circuit to suppress the wavelength shift due to the change of the current density of micro-LED. A threshold voltage compensation is applied to prevent image quality deterioration due to the instability of a-IGZO TFT from gate bias, thermal and illumination stress. A double-gate TFT is also added to minimize the number of the transistors and capacitors in a pixel circuit. The simulation results show that the proposed pixel circuit suppresses the wavelength shift of micro-LED and can express grayscale at the same time. Also, it can successfully compensate for the threshold voltage variation of a-IGZO TFT. In addition, it was confirmed that a large-sized UHD display with 85 PPI can be realized by designing a layout based on the 7MASK process.

Keywords : a-IGZO TFT, double-gate TFT, Micro-LED, PWM driving **Student Number :** 2021-24345