



공학석사 학위논문

유한요소법 시뮬레이션을 통한 리튬 이온 기반 전기화학 시냅스 소자 성능 평가 및 개선 연구

2023년 08월

서울대학교 대학원

재료공학부 하이브리드재료 전공

최 진 하

유한요소법 시뮬레이션을 통한 리튬 이온 기반 전기화학 시냅스 소자 성능 평가 및 개선 연구

지도 교수 김 상 범

이 논문을 공학석사 학위논문으로 제출함 2023년 08월

서울대학교 대학원

재료공학부 하이브리드재료 전공

최 진 하

최진하의 공학석사 학위논문을 인준함 2023년 08월

위 역	원장	이 윤 석	(인)
부위	원장	김 상 범	(인)
위	원	강 기 훈	(인)

초 록

뉴로모픽 컴퓨팅 구현을 위한 시냅스 소자의 후보로 우수한 시냅스 업데이트 특성과 전력 소모 특성을 가지는 리튬 이온 기반의 전기화학 시냅스 소자가 제안되었다. 그러나 아직 소자 신뢰성, 산포 특성, 펄스 길이에 따른 선형성 등에 대한 논의가 부족하며, 계면에서의 특성에 대한 이해도 부족하다. 따라서 본 논문에서는 COMSOL multiphysics 를 활용하여 이차원 유한요소법을 통해 전기 이중막, SEI layer 등 계면에서의 비이상성이 반영된 전기화학 시냅스 소자를 모델링하고, 여러 시냅스 특성을 분석했다.

펄스 길이가 2ms 이하 수준으로 짧아짐에 따라 전기 이중막 효과에 따른 전류 누설로 인해 소자 업데이트 선형성이 감소하는 것을 확인하였으며, 2ds 이상의 펄스 길이에 대해서도 소자 업데이트 선형성이 감소하는 것을 통해 동작 범위에 대한 고려가 필요함을 확인했다. 또한, 소자 증착 시의 장비에 따라 생기는 전극 두께와 표면 거칠기로 인해, 소자 간 산포가 나타날 수 있음을 고려하여 이에 따른 업데이트 양상 차이를 확인했다. 소자 신뢰성 평가에서는 Retention 과 Cycling시에 대해 SEI(Solid Electrolyte Interphase) layer 형성 반응에 따른 소자 용량 저하 및 소자 특성 저하를 확인했다. 특히, Retention 에 대해서는 시간에 따른 용량과 채널 내 리튬 농도의 수학적 관계식을 구하여, 보다 긴 시간 간격에 대한 retention 특성을 평가하였다.

본 연구에서는 여러 요인을 통해 발생하는 시냅스 특성 저하에 대해 알아보았고, 소자 동작 범위 조정, 초기 소자 동작 등을 통해 이를 개선할 수 있음을 확인하였다. 전기화학 시냅스 소자의 이온 기반 소자라는 장점을 충분히 활용하고 개선하기 위해선, 전기 이중막과 SEI layer 등 계면에서의 특성에 대한 충분한 이해가 필요함을 시사한다.

주요어 : 뉴로모픽 컴퓨팅, 전기화학 시냅스, 유한요소법, 선형성, 신뢰성

학 번:2021-26474

i

목 차

1. 7	서	론	1	
_			_	
2. 1	실험 및	· 분석 방법	7	
	2 - 1	시뮬레이션 모델 구조	10	
	2 - 2	리튬 이온의 거동	13	
		2-2-1 전해질 영역 내부	13	
		2-2-2 전극 영역 내부	15	
		2-2-3 채널 전극/전해질 계면	15	
		2-2-4 게이트 전극/전해질 계면	17	
	2-3	쓰기 및 읽기 동작	22	
		2-3-1 쓰기 동작	22	
		2-3-2 읽기 동작	22	
3. 3	결과 및	토의	24	
	3-1	실제 소자 측정 데이터와의 비교	24	
	3-2	소자 선형성 평가	26	
		3-2-1 펄스 크기 및 길이에 따른 가중치 업데이트	26	
		3-2-2 펄스 길이에 따른 소자 선형성 평가	30	
	3-3	소자 산포 특성 평가	37	
		3-3-1 영역 두께에 따른 소자 특성 평가	37	
		3-3-2 표면 거칠기에 따른 소자 특성 평가	40	
	3-4	소자 retention 특성 평가	45	
		3-4-1 SEI layer 생성에 따른 용량 저하	45	
		3-4-2 소자 용량 저하 수학적 모델링	47	
		3-4-3 SEI layer 생성에 따른 state retention	50	
		3-4-4 State retention 수학적 모델링	50	
	3-5	소자 cycle endurance 특성 평가	54	
		3-5-1 Cycle에 따른 소자 용량 저하	54	
		3-5-2 Cycle에 따른 소자 업데이트 특성 저하	54	
4. 3	결	론	57	
참고	1문헌		59	
Abs	Abstract			

List of Tables

Table 1. Symbols and their descriptions used in equations for FEMsimulation model of electrochemical synaptic transistor.

Table 2. Parameters and their values used in FEM simulation.

 Table 3. Values of swept parameter during linearity test simulation.

Table 4. Conductance write linearity during 100 current pulses from various operation range. Pulse width is 2s and double layer capacitance is 0.5F/m².

Table 5. Values of swept parameter during surface roughness testsimulation.

List of Figures

Figure 1. (a)Schematic of Li-ion based all-solid-state electrochemical synaptic transistor. Schematic of **(b)**1-dimensional and **(c)**2-dimensional FEM simulation model.

Figure 2. Schematic figure of SEI forming reaction. The desired electrochemical reaction at the electrolyte/anode interface is the intercalation of lithium ions, but lithium ions can also react with electrolyte components to form solid-electrolyte interphase.

Figure 3. Effect of volume expansion of electrode on SEI forming reaction. A portion of SEI layer is cracked during lithiation, and then SEI forming reaction is accelerated through new host active particle material exposed to electrolyte solvent.[2]

Figure 4. Volume expansion with regard to Li composition of (a)graphite electrode[1], and (b)Si electrode[3]

Figure 5. Comparison of simulated and measured data for (a) conductance, G_{SD}(t) and (b) change in conductance per pulse, during current pulse update of LISTA device

Figure 6. (a) Pulse width and **(b)** pulse amplitude dependence of the change of normalized Li composition in LCO. Double layer capacitance is varied during simulation.

Figure 7. (a) Pulse width and (b) pulse amplitude dependence of the change of conductance states of LCO. Double layer capacitance is varied during simulation.

Figure 8. SOC update profile during 100 current pulses under various pulse widths and double layer capacitances. Pulse widths during simulation are (a) 2s, (b) 200ms, (c) 20ms, (d) 2ms, (e) 200μs, (f) 20μs, and (g) 2μs.

Figure 9. Conductance update profile during 100 current pulses under various pulse widths and double layer capacitances. Pulse widths during simulation are (a) 2s, (b) 200ms, (c) 20ms, (d) 2ms, (e) 200μs, (f) 20μs, and (g) 2μs.

Figure 10. Write linearity over pulse width under various double layer capacitances calculated for **(a)** conductance and **(b)** SOC. 100 current pulses applied from initial SOC of 0.559.

Figure 11. Conductance over SOC calculated through 2D simulation. Update linearity can vary according to device operation range.

Figure 12. Write linearity over pulse width under various double layer capacitances calculated for **(a)** conductance and **(b)** SOC. 100 current pulses applied from initial SOC of 0.434.

iv

Figure 13. Update profile of **(a)**SOC and **(b)**conductance while sweeping channel thickness within 5% variation, where default thickness(X1.00) of channel is 120nm. Current pulses of 350nA and 2s for 100 potentiation/100 depression have been applied.

Figure 14. Update profile of **(a)**SOC and **(b)**conductance while sweeping electrolyte thickness within 5% variation, where default thickness(X1.00) of electrolyte is 400nm. Current pulses of 350nA and 2s for 100 potentiation/100 depression have been applied.

Figure 15. Schematic of 2-dimensional LISTA device. Surfaces of sputtered LiPON electrolyte and LCO channel electrodes are modelled with curvy sine wave. Period and amplitude of the sine wave are varied during simulation.

Figure 16. Electric current density along horizontal x direction $[A/m^2]$. Current preferentially flows through the shortest path between source and drain electrode. Period is $2/3\mu m$ and R_{rms} is 20nm.

Figure 17. Schematic of 2-dimensional LISTA device with various surface roughness conditions. (a)R_{rms} is varied with period of 1/2μm.
(b)Period is varied with R_{rms} of 12nm.

Figure 18. Conductance update during 10 potentiation/10 depression current pulses of 200ms. (a)R_{rms} is varied while period=0.5μm and (b)period is varied while R_{rms} = 12nm.

Figure 19. SOC update during 10 potentiation/10 depression current pulses of 200ms. (a)R_{rms} is varied while period=0.5μm and (b)period is varied while R_{rms} = 12nm.

Figure 20. Simulated relative capacity fades over time due to the SEI layer forming reaction. OCP was applied to the device during 1280s.

V

Figure 21. Relative capacity fades over time due to the SEI layer forming reaction. OCP was applied to the device during 1280s. (a)Simulated data and comparison with calculated data through mathematical modelling. (b)Relative capacity fade over longer time of 2Ms, calculated through mathematical modelling.

Figure 22. Simulated loss of SOC and relative SOC over time due to the SEI layer forming reaction. OCP was applied to the device during 10ks.

Figure 23. I_{SEI} , kinetics for SEI forming reaction, and $I_{Li, EC}$, charge transfer current at electrolyte/cathode interface are compared. Fitting parameter s, defined as the fraction between I_{SEI} and $I_{Li, EC}$ remains constant after initial deviation.

Figure 24. SOC and relative SOC over time due to the SEI layer forming reaction. OCP was applied to the device during 100ks. **(a)**Simulated data and comparison with calculated data through mathematical modelling. **(b)**Relative capacity fade over longer time of 2Ms, calculated through mathematical modelling.

Figure 25. Cycle endurance during 100 cycles. 10 Voltage pulses of 75mV, 2ds are applied for each potentiation/depression per 1 cycle.
(a)Capacity fade due to SEI layer formation. (b)SOC update profile during simulation, and (c)SOC update profile with enlarged y-axis.

vi

1. 서론

기존의 디지털 컴퓨터는 폰 노이만(John Von Neumann)이 고안한 구조로, 메모리와 연산 장치를 분리하여 명령어를 메모리에 저장하고, 이를 통해 입력된 명령을 순차적으로 실행하며 동작한다. 이러한 구조적 유연성을 바탕으로, 폰 노이만 컴퓨터는 시스템 성능의 급속한 향상을 이끌어왔다.[4-7]

그러나 기술이 발전하며 컴퓨터의 크기가 작아지고, 처리해야 할 데이터가 많아짐에 따라, 폰 노이만 컴퓨터에서 필연적으로 발생하는 데이터 병목 현상이 문제가 되기 시작했다. 데이터들이 연산 장치와 메모리 장치 사이를 오가며 비효율이 발생하는 것이다.[4, 6, 8] 뿐만 아니라, 방대한 양의 데이터와 연산을 다루는 딥 러닝 기반의 인공지능을 구현에 이용하기 위해서는 기존의 컴퓨터는 연산 속도와 에너지 효율성 측면에서 한계를 보이고 있다.

이에 따라, 기존의 폰 노이만 구조를 벗어난, 새로운 방식의 컴퓨터 아키텍쳐가 제안되어 왔으며, 그 중 인간의 뇌에서 영감을 받은 뉴로모픽 컴퓨팅이 활발히 연구되고 있다.[6, 9-12] 인간의 뇌는 fJ 단위의 극소량의 에너지를 통해 방대한 연산을 병렬적으로 수행할 수 있다. 뉴로모픽 컴퓨팅에선 아날로그 비휘발성 메모리 소자를 통해 뉴런과 시냅스를 구현하고, 이를 크로스바 어레이 구조로 배열하여 뇌의 기능을 모사한다. 메모리 소자는 컨덕턴스 값을 뉴런 사이의 연결성을 나타내는 가중치 값으로 사용하며, 키르히호프의 법칙과 옴의 법칙에 따라 심층신경망과 같은 인공지능 알고리즘 연산에 사용되는 행렬곱 연산을 병렬적으로 수행할 수 있다.[13] 높은 학습 정확도의 인공지능 알고리즘을 구현하기 위해선 가중치 업데이트에서의 높은 선형성(linearity) 및 대칭성(symmetry)이 요구되며, 많은 컨덕턴스

수와, 넓은 동작 범위(on/off ratio), 데이터 신뢰성 특성(retention 및 cycle endurance)과 산포 특성(Uniformity)도 중요하다. [14, 15]

위와 같은 특성들을 기준으로 상변화 메모리(PCM, Phase Change Memory), 저항 기반 메모리(RRAM, Resistive Random Access Memory), 강유전체 메모리(FeFET, Ferroelectric Field Effect Transistor), 전기화학 메모리(ECRAM, Electrochemical Random Access Memory) 등 다양한 아날로그 비휘발성 메모리 소자가 활발히 연구되고 있으며, 실리콘 기반의 CMOS(Complementary Metal Oxide Semiconductor)을 통해서도 뉴로모픽 컴퓨팅이 구현된 바 있다.[13, 16-19] 이들은 모두 전류/전압 신호에 따라 컨덕턴스 값을 바꿈으로써 시냅스 사이의 가중치 값을 조절하며 동작하지만, 해당 동작을 구현하는 메커니즘과 위에 소개한 특징들을 만족하는 지에는 차이를 보인다.

먼저 상변화 메모리(PCM)의 경우, 이름에서 암시하듯 물질의 상(Phase)에 따라 달라지는 컨덕턴스 값을 이용해 상을 변화시키며 동작하는 소자로, 높은 동작 범위와 전력 소모 및 집적도 등의 측면에서 강점을 보인다.[20, 21] 주로 GST(Ga-Sb-Te)와 같은 칼코제나이드 물질을 사용하며, 해당 물질은 결정질 상태에서 높은 컨덕턴스 값을, 비결정질 상태에서 낮은 컨덕턴스 값을 나타낸다. 이 상은 온도를 통해 결정되므로 전압 펼스에 따른 Joule heating을 통해 프로그래밍할 수 있다. 소자에 녹는점 이상의 온도를 주었다가, 급랭(quenching)시킬 경우 소자는 비결정질 상태(RESET 상태)가 되며, 결정화 온도 이상, 녹는점 이하의 온도를 천천히 가해주면 다시 결정질 상태(SET 상태)로 조절할 수 있다.[22] 이와 같이 비대청적인 동작 특성은 상변화 메모리 소자의 큰 단점 중 하나인 낮은 가중치 업데이트 특성으로 이어진다.[22-25]

저항 기반 메모리(RRAM)의 경우, 일반적으로 물질 내에 전도성

필라멘트를 형성함으로써 컨덕턴스를 조절한다. RRAM 소자 내부는 산화물, 금속 이온, 또는 다른 이온 등의 활성 물질로 이루어져 있으며, 셀에 인가되는 전압에 따라 활성 물질이 산화 혹은 환원되며 금속 필라멘트를 형성한다.[26, 27] RRAM은 이와 같은 필라멘트의 형성과 소멸을 통해 컨덕턴스를 조절할 수 있으며, ns 수준의 빠른 동작, 높은 데이터 신뢰성(retention), CMOS 공정과의 호환성 등이 검증되었다.[28, 29] 하지만 전류와 전압 펄스를 이용해 활성 물질 들의 이동을 세밀히 제어하기 어렵기 때문에, 선형성에서 큰 한계를 보이고 있다.[30, 31]

강유전체 메모리(FeFET)는 금속-산화물-반도체의 구조를 가지는 전계 효과 트랜지스터(Field Effect Transistor)에 강유전체 레이어를 추가하여 컨덕턴스를 변화시킨다. 강유전체 레이어 사이에 강한 전기장을 걸면 계면에 전하들이 쌓이게 되어 이는 컨덕턴스의 변화로 이어진다.[32-34] 이 소자는 강유전체의 특성으로 인해 전압을 껐을 때도 컨덕턴스가 오래 유지되는 높은 신뢰성 특성(retention)을 가지며, 빠른 스위칭 특성과 낮은 전력 소모 또한 검증된 바 있다.[35, 36] 하지만 극성을 지속적으로 바꾸어 에너지 밴드의 휨을 수반하며 동작하는 소자의 특성 상 내구성의 저하가 쉽게 일어난다는 한계가 있다.[37, 38]

전기화학 시냅스 소자(ECRAM)는 기존의 리튬 이차 전지의 음극, 전해질, 양극으로 이루어진 구조에서 양극을 채널로 사용하고 음극에 게이트 전극을, 양극에 소스와 드레인 전극을 붙인 삼단자 소자로, 채널 물질의 호스트 내 리튬 이온의 농도에 따라 컨덕턴스가 달라지는 특성을 통해 동작한다.[19] 게이트와 소스 전극 사이에 전류 또는 전압 펄스를 가하면 전해질을 통해 리튬 이온을 주입시키고 빼낼 수 있으며(Write 동작), 소스 전극과 드레인 전극 사이에 전압 차를 가하면 채널 영역의

컨덕턴스를 읽어올 수 있다(Read 동작). 전기저항이 높은 전해질을 통해 펄스가 가해지지 않을 때에도 채널 내 리튬 이온의 농도를 잘 유지할 수 있으며, 채널로 주입되는 리튬의 양을 펄스의 길이와 진폭을 통해 정밀하게 조절할 수 있기에 가중치 업데이트에서의 뛰어난 선형성과 대칭성을 확보할 수 있다. 또한, 이온 주입 반응의 낮은 에너지 장벽에 따라 펨토줄 수준의 높은 에너지 효율성 또한 검증되었다.[19, 39, 40] 다만, 낮은 이온의 이동도에 따라 펄스 길이를 일정 수준 이하로 줄이기 어렵고, 이는 비교적 느린 동작 속도라는 한계로 이어진다.[41] 또한 리튬 이온을 이용하는 소자의 특성 상 기존의 실리콘 기반 반도체(CMOS)와 호환성 문제를 피할 수 없다. 이에 따라 처음 제안된 리튬 이온 기반 소자 이외에도 구리, 양성자, 산소 등 다양한 이온을 통해 전기화학 시냅스 소자를 제작하려는 시도가 진행되고 있다.[42-49]

전기화학 시냅스 소자는 2017년 LISTA(Lithium Ion Synaptic Transistor for Analog Computing)라는 이름으로 처음 제안되었으며, 해당 소자는 Li_xSi, LiPON(Lithium Phosphorus Oxynitride), LCO(Lithium Cobalt Oxide)를 각각 게이트 전극, 전해질, 채널 물질로 사용하였다. 게이트 전극과 소스 전극 사이 전류 또는 전압 펄스를 가하면 LCO 채널로 리튬을 충방전 시킬 수 있고, LCO 물질 내로 주입된 리튬 이온은 산화코발트 이온을 4가에서 3가로 환원시키며 LCO 물질의 컨덕턴스 변화로 이어진다.[19]

해당 소자는 2s 길이의 전압 펄스와 전류 펄스를 통해 이상적인 선형성과, 40 사이클 동안의 열화 없는 동작이 검증되었다. 또한, 각 쓰기 동작 당 에너지 소모가 1aJ 이하 수준으로 계산되는 등, 우수한 잠재성을 보여주었다.[19]

하지만, 해당 선행연구에서는 그 이외에 업데이트 대칭성, retention

특성, 산포 특성 등에 대한 논의가 부족했으며, 선형성에 대해서도 펄스 길이가 너무 긴 2s에서만 검증되었다는 점, 그리고 cycle endurance의 경우에도 40 cycle 까지만 검증되었다는 한계가 있다. Cycle endurance의 경우 LCO와 LiPON을 각각 양극과 전해질로 사용한 리튬 이차 전지에서 10%의 용량에서 10⁵번의 충방전 사이클에 대한 내구성이 검증된 바 있으나, 본 소자에서 음극으로 사용한 Si의 경우 충방전이 반복됨에 따라 부피가 최대 4배까지 팽창하는 등 다양한 문제가 발생함이 보고되었다.[50, 51]

이외에도, 리튬 이차전지의 구조를 모사한 만큼 배터리 내의 계면에서 발생하는 여러 잠재적 문제를 피할 수 없을 것으로 예상된다. 먼저 양극과 전해질 사이의 계면 전하 전달 반응에서는 모든 전하가 이상적으로 전달되지 않고, 일부 계면에 남아 전기 이중막(EDL, Electric Double Layer)을 형성한다.[52-55] 이는 계면에 병렬적으로 커패시터가 존재하는 효과를 내며, 특히 수십 나노 수준으로 배터리보다 얇은 채널 두께를 갖는 전기화학 시냅스 소자의 특성상 전기 이중막 효과에 의한 영향은 더욱 클 것으로 예상된다.[54] 또한, 음극과 전해질 사이의 계면에서도 전하 전달 반응에 의한 리튬 이온이 모두 충방전되지 않고, 채널과 전해질 사이의 계면에 쌓여 SEI(Solid Electrolyte Interphase) layer를 형성하는 문제도 리튬 이차전지에서 보고된 바 있다.[56-58] 이에 따라 활용 가능한 리튬 이온의 양이 감소하고, 계면에 쌓이는 레이어에 전계가 걸리는 등 이는 소자의 내구성 저하로 이어질 수 있다.[59, 60]

이와 같이 LISTA 소자는 특정 조건 하에서 우수한 선형성과 에너지 효율성 등으로 우수한 잠재성을 보임이 검증되었지만, 대칭성, retention 특성, 산포 특성 등 아직 논의가 부족한 시냅스 특성이 남아있으며, 또한 음극으로 사용된 Si과 각 계면에서 발생할 여러 문제들이 시냅스

특성에 끼칠 영향에 대한 이해도 부족하다.

따라서, 본 연구에서는 COMSOL Multiphysics 소프트웨어를 활용한 유하요소법(FEM, Finite Element Method) 시뮬레이션을 통해 LISTA 소자의 동작을 모사하고, 앞서 언급한 계면에서의 비이상적 특성 등을 시뮬레이션에 반영하여 LISTA 소자의 선형성, 대칭성, 신뢰성, 산포 특성 등 다양한 시냅스 특성을 평가한다. 유한요소법 시뮬레이션을 통해 전기화학 시냅스 소자의 특성을 분석하려는 시도들이 있었지만, 여러 계면에서의 특성과 일차원 시뮬레이션이라는 한계로 소자의 너비 방향에 따른 특성을 반영하지 못했다는 한계가 있다.[19, 41] 전해질과 채널 계면 사이에 생기는 전기 이중막 효과를 반영하여 2차원 유한요소법 시뮬레이션으로 전기화학 시냅스 소자를 모델링한 시도가 있었지만, 소자의 펄스 길이에 따른 선형성 평가에만 집중하였다.[61] 본 연구에서는 게이트 전극과 전해질 사이 계면에서 쌓이는 SEI laver 등을 추가로 반영해 기존 모델을 확장하여 시뮬레이션 정밀도를 향상시키고, 선형성, 대칭성, 신뢰성, 산포 특성, 동작 속도 등 다양한 시냅스 소자로서의 특성을 종합적으로 평가하였다. 이를 통해 여러 환경과 조건에 따른 시냅스 소자의 동작 특성을 미리 예측하고, 이후의 개선 방향에 대해 제안할 수 있을 것으로 기대한다.

2. 실험 및 분석 방법

전기화학 시냅스 소자의 동작은 각 전극 및 전해질 내 이온의 이동과 계면에서의 전하 전달 반응 등과 같이 서로 상호작용 하는 여러 현상들에 의해 결정된다. 이온의 이동에는 농도 그래디언트에 의한 확산(diffusion)과 전계에 의한 이동(migration) 등 다양한 메커니즘이 작용하며, 계면에서의 전하 전달 반응 또한 계면에 걸린 전계와 물질의 종류, 온도 등 다양한 요인에 영향을 받는다. 이와 같은 영향들을 COMSOL Multiphysics 소프트웨어에 반영하기 위해서는 이들을 수학적으로 기술할 필요가 있다. 이들은 각각 tcd(Tertiary current distribution, Nernst-Planck), tds(transport of diluted physics), ec(electric currents) physics를 사용하여 반영되었으며, 기술된 기호들에 대한 설명은 Table 1에 요약하여 정리하였다.

Symbol	Symbol Description	
i _{loc}	Local current density	A/m ²
io	Exchange current density	A/m ²
αa	Charge transfer coefficient of anodic reaction	1
α _c	Charge transfer coefficient of cathodic reaction	1
F	Faraday constant	C/mol
η	Overpotential	V
R	Gas constant	J/mol·K
Rj	Electrolyte dissociation-recombination reaction rate	mol∕m ³ ·s
Т	Temperature	К
k	Boltzmann constant	m ² ·kg/s ² ·K
е	Elementary charge	С

Ci	Concentration of species i	mol/m ³	
C _{i,max}	Maximum concentration of species i	mol/m ³	
Ci,min	Minimum concentration of species i	mol/m ³	
Ci,init	Initial concentration of species i	mol/m ³	
<u> </u>	Total concentration of Li atoms in LiPON	mol/m ³	
0	matrix	11101/111	
δ	Fraction of free Li ions in electrolyte at	1	
Ŭ	equilibrium state	1	
12.1	Dissociation rate constant for ionic generation	1/c	
Kd	reaction	1/5	
kr	Rate constant for recombination reaction	m3/mol·s	
Ect	charge transfer potential	V	
Eeq	Equilibrium potential	V	
$\Phi_{ m s,ext}$	Electrode potential	V	
Φ_1	Electrolyte potential	V	
Φ_1	Electrolyte potential	V	
i _{tot}	Total current density	A/m ²	
ict	Current density of charge transfer reaction	A/m ²	
i _{dl}	Current density of double layer	A/m ²	
Qdl	Charge accumulated in double layer	С	
ηdi	Overpotential along double layer	V	
Lie	Local current density corresponding to a 1C	Λ/m^2	
110	discharging rate	A/ 111	
$J_i(x)$	Flux of species j at distance x	mol/s·m ²	
Dj	Diffusion coefficient of species j	m²/s	
z _j	Valence of species j	1	
v(x)	Flow velocity	m/s	
E(x)	Electric field	V	
Н	Dimensionless anode volume expansion factor	1	
J	Dimensionless exchange current density	1	

f	Lumped nondimensional parameter	1/s
Q _{SEI}	Local accumulated charge in SEI layer	С
u sei	Reaction coefficient of the SEI species	1
n	Number of electrons involved in the SEI forming reaction	1
Av	Electrode surface area	1/m
Mp	Molar weight of SEI product	g/mol
ρp	Density of the SEI product	g/m ³
κ	Conductivity of SEI film	S/m
$\delta_{\rm film}$	SEI film thickness	m
$\delta_{\text{film, 0}}$	Initial SEI film thickness	m
τ	Tortuosity	1
3	Volume fraction (porosity)	1

Table 1. Symbols and their descriptions used in equations for FEM simulation model of electrochemical synaptic transistor.

2-1. 시뮬레이션 모델 구조

연구에선 Li_xSi, LiPON(Lithium Phosphorus Oxynitride), 본 LCO(Lithium Cobalt Oxide) 물질을 각각 게이트 전극, 전해질, 채널로 사용한 선행연구[19]에서 제작한 소자를 모델링한다. 각 필름의 두께는 50nm, 400nm, 120nm에 해당하며 소스 전극과 드레인 전극은 2um의 간격을 두고 채널의 끝 부분에 부착되었다. 이차원 시뮬레이션을 통한 특성 평가를 기본으로 하되. 신뢰성 특성 평가와 같이 시뮬레이션 시간이 필연적으로 길어지는 항목에 대해서는 일차원 시뮬레이션을 통해 평가했다. 전기화학 시냅스 소자의 구조와, 모델링한 소자의 구조를 Figure 1에 나타내었다. Figure 1(b)에서 확인할 수 있듯이 일차원 시뮬레이션의 경우 소스 전극과 드레인 전극은 모델링할 수 없으며, 이에 따라 일차원 시뮬레이션에선 소스 전극과 드레인 전극 사이에 전압차를 가하는 읽기 동작을 모사할 수 없다. 따라서 일차원 시뮬레이션의 컨덕턴스 값에 대해선, 이차원 시뮬레이션에서 구한 채널 내 리튬 농도 vs 채널 컨덕턴스 관계를 활용하여 채널 내 리튬 농도를 컨덕턴스로 바꾸어 평가한다.

일차원 시뮬레이션에서의 각 영역은 interval node를 통해 구현하였으며, 이차원 시뮬레이션에선 rectangle node를 통해 구현하였다. 이차원 시뮬레이션의 소스 전극과 드레인 전극의 경우, polygon node를 이용하여 2μm 길이의 두께를 갖지 않는 직선으로 모델링하였다.

이후, sputtering 장비 등을 이용하여 각 물질을 도포(deposition)할 때 생기는 비균일성(nonuniformity)를 반영하기 위해 이차원 시뮬레이션의 직선으로 구현된 각 영역을 곡선으로 확장한다. Line segment 노드와 parametric curve 노드를 통해 각 영역과 테두리를

구현하고, convert to solid 노드를 이용해 영역으로 반영하였다. 전해질 및 채널 전극의 위쪽 테두리가 sine wave를 통해 구현되었으며, 이 때 sine wave의 주기와 진폭을 파라미터로 입력하여 이후에 쉽게 비교할 수 있도록 하였다. 마찬가지로 소스 전극과 드레인 전극도 parametric curve 노드를 통해 sine wave로 확장하였다.



Figure 1. (a)Schematic of Li-ion based all-solid-state electrochemical synaptic transistor. Schematic of (b)1-dimensional and (c)2-dimensional FEM simulation model.

2-2. 리튬 이온의 거동

전기화학 시냅스 소자 내 리튬 이온의 거동에 대해 전해질 영역 내부(2-2-1), 게이트와 채널 영역 내부(2-2-2), 각 영역 사이 계면(2-2-3,2-2-4)으로 나누어 설명한다.

2-2-1. 전해질 영역 내부

본 모델링에서 전해질 물질로 사용된 LiPON은 고체 전해질로서 이온 전도도가 높으며, 뛰어난 전기화학적 안정성을 보인다.[62, 63] 고체 전해질 영역 내 리튬 이온의 거동은 아래의 Nernst-Planck equation 및 전하 중성 조건을 통해 모델링하였다.[64, 65]

$$\frac{\partial c_j}{\partial t} + \nabla \cdot J_j = R_j \tag{1}$$

$$J_i(x) = -D_j \nabla c_j - \frac{D_j z_j e}{kT} c_j E(x) + c_j v(x)$$
⁽²⁾

$$\sum_{j} z_j c_j = 0 \tag{3}$$

Nernst-Planck equation의 유량 J는 농도 그래디언트에 의한 확산(diffusion)과, 이온 이동(electromigration), 대류(convection)를 통해 결정되며 이는 순서대로 수식 (2)의 우변에 반영되었다. 이 중 대류(convection)은 외부 힘의 작용에 의한 영향으로, 본 소자의 고체 전해질에선 무시할 수 있다. 수식 (1)의 R_j는 전하 캐리어 생성 반응 상수로, 아래의 고체 전해질 내 전하 캐리어 생성 반응식에 따라 정의된다.

$$Li + V_{Li^+} \underset{k_r}{\overset{k_d}{\leftrightarrow}} Li^+ + V_{Li}^- \tag{4}$$

LiPON 물질 내 리튬 이온의 일부는 열적으로 여기된 상태로 존재하며 host material 내 리튬 이온 공공(Vacancy)를 형성하고, 이를 통해 리튬 이온의 이동이 일어날 수 있다.[66] 평형 상태의 여기된 리튬 이온의 양은 δ값을 통해 다음 식들을 따라 정해진다. 시뮬레이션 내에서는 전체 전하 캐리어 반응 상수 R의 값을 변수로 입력하여 반영한다.

$$c_{Li^{+}}^{eq} = c_{n^{-}}^{eq} = \delta c_0 \tag{5}$$

$$c_{Li^0}^{eq} = (1 - \delta)c_0 \tag{6}$$

$$k_d = k_r \frac{c_0 \delta^2}{1 - \delta} \tag{7}$$

$$R = k_d c_{Li^0} - k_r c_{Li^+} c_{n^-} \tag{8}$$

리튬 이온에 대한 Nernst-Planck equation의 다이나믹 경계 조건은 아래 수식을 따라 계면에서의 전하 전달 전류에 의해 결정된다. 전해질 내 반대 음이온에 대해서도 같은 방법으로 경계 조건이 정해지며, 단 반대 음이온의 경우 계면에서의 유량이 0으로 고정된다.

$$i_l = F \sum_j z_j J_j \tag{9}$$

$$\nabla \cdot i_l = F \sum_j z_j R_j + Q_l \tag{10}$$

2-2-2. 전극 영역 내부

게이트와 채널 전국 내 리튬 이온의 거동은 tds physics 를 통해 모델링하였다. 전국 내부에서 전기장에 의한 리튬 이온의 이동(migration)은 전자의 이동에 비해 무시할 만하다고 가정하며, 이에 따라 네른스트-플랑크 식에서 농도 그래디언트에 의한 확산 항만을 통해 모델링한다.

$$\frac{\partial c_j}{\partial t} + \nabla \cdot J_j = R_j \tag{11}$$

$$J_j(x) = -D_j \nabla c_j \tag{12}$$

또한, 각 전국 내의 전기 전도도를 따라 옴의 법칙이 모델링된다. 채널 전국(LCO)의 경우 전기 전도도는 리튬 농도에 대한 함수로 반영되었다.[67, 68]

$$i_s = -\sigma_s \nabla \phi_s \tag{13}$$

$$\nabla \cdot i_s = -F \sum_j z_j R_j + Q_s \tag{14}$$

2-2-3. 채널 전극/전해질 계면

소자의 게이트 전극과 소스 전극 사이에 전류 또는 전압 펄스가 가해지면 채널 전극과 전해질 사이 계면에서는 아래 수식을 따라 전하 전달 반응이 일어난다.

$$LiCoO_2 \stackrel{k_1}{\underset{k_{-1}}{\leftrightarrow}} Li_{1-x}CoO_2 + xLi^+ + xe^-$$
(15)

해당 계면 전하 전달 반응의 kinetics는 아래의 버틀러-볼머 식(Butler-Volmer Equation)을 통해 모델링된다.

$$i_{loc} = i_0 \left[\exp\left(\frac{\alpha_c F \eta}{RT}\right) - \exp\left(\frac{-\alpha_c F \eta}{RT}\right) \right]$$
(16)

$$i_{0} = Fk \left[\frac{(c_{s,max} - c_{s})c_{Li^{+},}}{(c_{s,max} - c_{s,min})c_{Li^{+}, init}} \right]^{\alpha_{a}} \left[\frac{(c_{s} - c_{s,min})}{(c_{s,max} - c_{s,min})} \right]^{1-\alpha_{a}}$$
(17)

$$\eta = E_{ct} - E_{eq} = \phi_{s,ext} - \phi_l - E_{eq} \tag{18}$$

과전압(η)에 따라 계면에서의 국소 전류(i_{loc})가 정해지며, 이 때 과전압이란 가해준 전압에서 평형 전위를 제한 값으로, 수식 (18)을 통해 정해진다.

$$i_{tot}(t) = i_{ct}(t) + i_{dl}(t)$$
 (19)

$$i_{dl}(t) = \frac{dq_{dl}(t)}{dt} = C_{dl} \frac{d\eta_{dl}}{dt} = C_{dl} \frac{d(\phi_s - \phi_l)}{dt}$$
(20)

하지만 서론에서 소개한 바와 같이, 모든 전류가 계면 전하 전달 반응에 사용되지 않고 일부는 계면에서 전기 이중막을 형성하는 데 소모된다. 전기 이중막은 소자에 병렬적으로 커패시터가 연결된 효과를 낸다.[52-55] 수식 (19)에서 확인할 수 있듯이, 채널 전극과 전해질 사이 계면에 흐르는 전류(i_{tot}) 중 일부는 전기 이중막에 따른 커패시턴스에 의해 비-패러데이 전류(i_{dl}, Double Layer Current)로 소모되고, 나머지(i_{ct}, Charge Transfer Current)만이 전하 전달 반응에 사용된다. [69] 이와 같은 효과는 COMSOL multiphysics의 tcd physics 내의 Double Layer Capacitance 노드를 통해 아래 수식에 따라 모델링하였다. 이중막 커패시턴스(Cd) 값으로는 참고 문헌[69-71]의 값을 기본으로 하고, 해당 값의 영향이 주요해지는 선형성을 평가할 때는 이를 적절한 범위 내에서 변화시키며 시뮬레이션 결과를 분석하였다.

2-2-4. 게이트 전극/전해질 계면

소자 동작 시 게이트 전극과 전해질 사이 계면에서는 아래의 전하 전달 반응이 일어난다. 해당 전하 전달 반응의 kinetics는 채널 전극과 전해질 사이 계면과 마찬가지로 버틀러-볼머 식을 통해 모델링되었다.

$$Li \leftrightarrow Li^+ + e^- \tag{21}$$

 $Si + xLi \leftrightarrow Li_xSi$ (22)

추가로, 전기화학 시냅스의 게이트 전극과 전해질 사이 계면에서는 이온 중 일부가 전해질 물질과 만나 부산물을 생성하는 기생 반응(parasitic reaction)이 일어난다.(Figure 2) 이는 전기 이중막과 마찬가지로 전하 전달 반응에 사용되어야 할 이온을 일부 소모하며, 또한 이와 같은 부산물이 쌓여 계면에 SEI layer가 형성되면 소자에 걸릴 전계를 일부 소모할 수도 있다. [57, 58, 60] 이와 같은 효과는 COMSOL multiphysics의 tcd physics 내의 Electrode Reaction 노드를 통해 모델링하였으며, 아래 수식들을 따른다.[60]

$$S + Li^+ + e^- \to P_{SEI} \tag{23}$$

$$I_{SEI} = -(1+H)\frac{JI_{1C}}{exp\left(\frac{\alpha\eta_{SEI}F}{RT}\right) + \frac{Q_{SEI}fJ}{I_{1C}}}$$
(24)

$$\frac{\partial c_{SEI}}{\partial t} = -\frac{v_{SEI}i_{SEI}}{nF} \tag{25}$$

$$\delta_{film} = \frac{c_{SEI}M_P}{A_v \rho_P} + \delta_{film,0} \tag{26}$$

수식 (23)의 반응식과 같이 전해질의 Solvent(S)와 리튬 이온이 만나 부산물(P_{SEI})를 형성하며, 해당 반응식의 반응속도는 수식 (24)를 통해 결정된다. 그리고 수식 (25), (26)를 따라 I_{SEI} 값에 비례하는 속도로 SEI layer가 성장하게 된다.

이 중 수식 (24)의 H, f, J는 각각 fitting parameter로 이후 추가 연구를 통해 값들을 파악할 필요가 있으며, 우선 본 연구에서는 선행연구의 전극 및 전해질 물질을 따르는 값으로 사용하였다. [60]

이 중, H는 Volume Expansion Factor로, 게이트 전국 내 리튬이 유입될 때, 부피가 팽창함에 따라 SEI layer 생성 반응이 가속화되는 효과를 반영한다. 게이트 전국 물질로 사용된 Li_xSi는 전국 내 리튬의 양에 따라 부피가 대략 최대 4배까지 증가하게 된다.[51] 게이트 전국의 부피가 증가함에 따라 SEI layer는 점차 압력을 받고, 어느 순간 깨지게 되면 게이트 전국 물질이 SEI layer에 막히지 않고 전해질 물질에 직접 노출되는 부분이 생겨 반응이 가속화되는 것이다.(Figure 3) 따라서 H는 리튬 주입에 따른 음국의 팽창 속도에 비례하며, 리튬이 음국에서 반대로 빠져나갈 때에는 0의 값을 갖는다. 참고문헌[60]에서 음국으로 사용한 graphite의 경우 리튬 양에 따른 부피가 여러 단계에 따라 비선형적으로 따라 증가하지만(Figure 4a), 본 연구에서 음국으로 사용한 Li_xSi의 경우 선형적으로 증가한다(Figure 4b). 따라서, H값의 경우 본 연구에서는 상수로 적용하였으며, 리튬이 음극에서 양극으로 빠져나가는 depression 동작에서만 0으로 모델링하였다. 다음으로 f와 J는 각각 frequency parameter, non-dimensional exchange current로, 각각 아래 수식을 따라 정의된다.

$$f = \frac{\tau V I_{1C}^2}{\varepsilon (1 - \varepsilon) c D F A^2}$$
(27)

$$J = \frac{\varepsilon I_0}{I_{1C}} \tag{28}$$



Figure 2. Schematic figure of SEI forming reaction. The desired electrochemical reaction at the electrolyte/anode interface is the intercalation of lithium ions, but lithium ions can also react with electrolyte components to form solid-electrolyte interphase.



Figure 3. Effect of volume expansion of electrode on SEI forming reaction. A portion of SEI layer is cracked during lithiation, and then SEI forming reaction is accelerated through new host active particle material exposed to electrolyte solvent.[2]



Figure 4. Volume expansion with regard to Li composition of (a)graphite electrode[1], and (b)Si electrode[3]

2-3. 쓰기 및 읽기 동작

2-3-1. 쓰기 동작

전기화학 시냅스 소자의 쓰기 동작은 전류 펄스 또는 전압 펄스를 통해 가능하다. 전류 펄스의 경우 tcd physics 내의 electrode current node와 electric ground 노드를 통해 구현하였으며, 소스 전극을 그라운드로 잡고, 게이트 전극에 전류를 펄스 형태로 가하였다. 전압 펄스의 경우 tcd physics 내의 electric potential 노드와 electric ground 노드를 통해 구현하였으며, 게이트 전극을 그라운드로 잡고, 소스 전극에 전압을 펄스 형태로 가하였다. 이 때, 전압 펄스는 게이트 전극과 채널 전극의 초기 리튬 농도를 바탕으로 계산한 평형 전위를 기준으로, 해당 평형 전위에 펄스 형태의 전압값을 더하여 가하였다. 이 때, 소자의 평형 전위에 펄스 형태의 전압값을 더하여 가하였다. 이 때, 소자의 평형 전위는 각 전국 내의 리튬 조성에 따라 달라지기 때문에 때 시점에서 평형 전위를 새로 계산하여 가하는 것이 이상적이지만, 이는 실제 소자에서는 구현이 불가능하므로 초기 농도를 통해 계산한 평형 전위로 고정하여 가하였다.

2-3-2. 읽기 동작

읽기 동작의 경우 ec physics 내의 ground 노드와 electric potential 노드를 통해 구현하였다. 드레인 전극을 그라운드로 잡고, 소스 전극에 적당한 bias(0.175V)를 가하였으며, 소스 전극에 흘러들어오는 전류밀도를 적분하고, 가해준 bias로 나눠줌으로써 컨덕턴스로 변환하였다. 이 때, 시뮬레이션의 수렴성을 위해 읽기 동작은 쓰기 동작에 대한 study를 먼저 진행한 후, 해당 결과를 바탕으로 읽기 동작을 따로 진행하였다. 시뮬레이션에 사용된 각 파라미터의 값은 Table 2 에 요약하여 정리하였다. 명시된 값들을 각 파라미터의 기본 값으로 사용하였으며, 변화가 있는 경우 각 챕터에서 따로 언급하였다.

Parameter	Description	Value	unit
C _{Li} LCO, max	Maximum Li concentration in LCO	23500	mol/m ³
${\sf C}_{{\sf L}{\sf i}}^{{\sf LCO},{\sf min}}$	Minimum Li concentration in LCO	10105	mol/m ³
C _{Li} ^{Si, max}	Maximum Li concentration in Si	3060000	mol/m ³
C _{Li} ^{Si, min}	Minimum Li concentration in Si	0	mol/m ³
$c_{Li,0}^{\text{LiPON}}$	Initial Li concentration in LiPON	30500	mol/m ³
$D_{\mathrm{Li}}{}^{\mathrm{LCO}}$	Diffusion constant of Li in LCO	2x10 ⁻¹⁴	m ² /s
$D_{\mathrm{Li}}{}^{\mathrm{Si}}$	Diffusion constant of Li in Si	4x10 ⁻¹³	m ² /s
$D_{\mathrm{Li}}{}^{\mathrm{LiPON}}$	Diffusion constant of Li in LiPON	1x10 ⁻¹⁵	m ² /s
D_n^-	Diffusion constant of electrons in LiPON	5x10 ⁻¹⁵	m ² /s
$D_{\mathrm{Li}}{}^{\mathrm{LCO}}$	Diffusion constant of Li in LCO	2x10 ⁻¹⁴	m ² /s
F	Faraday's Constant	96485.33	A/mol
А	Cross-sectional area	600000	μm^2
õ	Fraction of free Li ions in electrolyte at	0.18	1
0	equilibrium state	0.10	I
Т	Temperature	298	К
R	Gas constant	8.314	J/molK

Table 2. Parameters and their values	used in FEM	simulation.
--------------------------------------	-------------	-------------

3. 결과 및 토의

3-1. 실제 소자 측정 데이터와의 비교

COMSOL multiphysics를 통해 진행한 이온 제어 시냅스 소자의 모델링의 정확도를 평가하기 위해, 실제 소자를 공정한 선행연구[19]에서의 측정 데이터와 이차원 시뮬레이션 데이터를 비교한다. 전류 펄스를 통해 몇 번의 potentiation과 depression을 진행하며 얻은 시간 vs 전도도 데이터를 비교하였으며, 이는 Figure 5에 나타냈다. 쓰기 동작에서 전류 펄스는 350nA로 2초씩 주어졌으며, 펄스 사이의 휴지 기간도 2초씩 주어졌다. 읽기 동작에서는 소스 전극과 드레인 전극 사이 0.175V의 전압을 가해 채널의 컨덕턴스를 읽었다.

Figure 5a에서 확인할 수 있듯이, 실제 소자의 실험 데이터를 높은 정확도로 모사할 수 있었으며, Figure 5b에서 각 펄스마다의 컨덕턴스 업데이트 양 수치를 확인할 수 있다. 전체적으로 시뮬레이션 데이터보다 측정 데이터의 펄스 당 컨덕턴스 변화량이 보다 불규칙적으로 나온 것을 확인할 수 있으며, 이는 소자의 공정과 실제 쓰기/읽기 동작에서 발생하는 실험 오차에 기인하는 것으로 생각한다. 소자의 특성과 입력 신호 컨트롤을 이상적으로 조절하는 시뮬레이션에서 이런 미세한 실험 오차까지는 반영하지 못했지만, 전체적으로 최소 1.19배의 정확도에서부터, 최대 1.00배의 정확도까지 높은 정확도로 측정데이터를 모사할 수 있었다. 또한, 소스 전극에 Read 동작에 따른 전류 뿐만 아니라, 쓰기 동작에 따른 전류도 같이 읽히며, 시간에 따른 컨덕턴스의 개형 그래프(Figure 5a)에서 각 펄스가 주어질 때 마다 일시적으로 컨덕턴스가 증감하는 모양도 성공적으로 모델링하였다.



Figure 5. Comparison of simulated and measured data for (a) conductance, $G_{SD}(t)$ and (b) change in conductance per pulse, during current pulse update of LISTA device

3-2. 소자 선형성 평가

3-2-1. 펄스 크기 및 길이에 따른 가중치 업데이트

본 연구에서의 전기화학 시냅스 소자와 같은 전하/이온 이동 기반 메모리의 장점 중 하나는 전하 중립성(charge neutrality)을 기반으로 소자를 통하는 전자의 양을 통해 소자의 특성을 정교하게 조정할 수 있다는 것이다. 전류 펄스에서의 경우, 가해지는 전류 펄스의 길이와 크기의 곱에 해당하는 전하가 이동하며, 따라서 전기화학 시냅스 소자의 채널 내 리튬 이온 농도 및 컨덕턴스 변화량은 가해지는 펄스의 크기와 길이에 비례한다. 펄스 길이와 펄스 크기를 바꾸어 가며 소자를 동작시키며, 이와 같은 소자 특성이 이차원 시뮬레이션에서 잘 나타나는지 확인한다. 변화시킨 파라미터의 값에 대해서는 Table 3에 정리하여 나타냈으며, 이 중 이중막 커패시턴스(Double layer capacitance)에 대해서는 3-2-2에서 보다 자세히 논의한다.

Parameter	Description	Value	unit
Wa	Pulse width	2E-1 2E-2 2E-3	S
F		2E-4 2E-5 2E-6	
I _{gs}	Pulse amplitude	50 200 350 500	nA
C _{dl}	Double layer capacitance	0.005 0.02 0.05 0.2 0.5	F/m ²

Table 3. Values of swept parameter during linearity test simulation.



Figure 6. (a) Pulse width and (b) pulse amplitude dependence of the change of normalized Li composition in LCO. Double layer capacitance is varied during simulation.


Figure 7. (a) Pulse width and (b) pulse amplitude dependence of the change of conductance states of LCO. Double layer capacitance is varied during simulation.

펄스 길이와 크기에 따른 펄스 당 채널 전극 내 리튬 농도 업데이트 양(Figure 6)과, 컨덕턴스 업데이트 양(Figure 7) 모두 예상한 바와 같이 선형적인 비례 관계를 나타냄을 확인할 수 있다. 이 때, Figure 6의 y 축 값으로 나타낸 X 는 normalized SOC 로, 수식 (30)을 통해 계산하였다. 이를 통해 이온 이동을 기반으로 동작하는 전기 화학 시냅스 소자의 특성이 잘 나타났음을 알 수 있으며, 이러한 선형성은 펄스 길이에 대해서보단 펄스 크기에 대해서, 그리고 컨덕턴스 변화량 보다는 리튬 조성 변화량에서 더 이상적으로 나타난 것도 확인할 수 있다. 각 그래프의 선형성을 아래 수식 (31)을 따라 평가했을 때 0.05F/m²의 C_{dl} 값 기준으로, Figure 6a 와 Figure 6b 는 각각 8.70 과 10.73, 그리고 Figure 7a 와 Figure 7b 는 각각 2.55, 1.45 로 나타났다. 수식 (31)의 rsq 는 선형 회귀 모델에서의 결정계수(R-Squared)를 의미한다.

$$SOC = \frac{c_{Li}}{c_{Li,max}} \tag{29}$$

$$X[\%] = \frac{c_{Li} - c_{Li,min}}{c_{Li,max} - c_{Li,min}} \times 100$$
 (30)

$$Linearity = -\log(1 - rsq) \tag{31}$$

컨덕턴스 변화량이 리튬 조성 변화량에 비해 덜 이상적인 선형성을 보이는 이유는 LCO 채널 물질의 리튬 조성에 따른 컨덕턴스 관계가 완벽하게 선형적으로 비례하지는 않기 때문이다. 이에 따라 채널 내 리튬 농도를 읽기 동작을 통해 컨덕턴스 값으로 변환할 때 약간의 비선형성이 추가되는 것이다. 펄스 크기에 대한 의존성보다 펄스 길이에 대한 의존성이 보다 비선형적으로 나타난 이유에 대해서는 채널 전극과 전해질 사이 계면의 전기 이중막 때문으로 이해할 수 있으며, 3-2-2 에서 보다 자세히 논의한다.

3-2-2. 펄스 길이에 따른 소자 선형성 평가

C_{dl} 값을 변화시켜가며 펄스 길이에 따라 100 번의 전류 펄스를 통해 업데이트한 SOC 를 Figure 8 에, 그리고 컨덕턴스를 Figure 9 에 비교하여 나타냈다. 전반적으로 2ms 이상의 펄스 길이에 대해선 우수한 선형성을 보임을 확인할 수 있으며(Figure 8a-d, Figure 9a-d), 또한 이중막 커패시턴스 값에 따른 차이도 나타나지 않는다. 반면, 2ms 보다 짧은 펄스에 대해선 이중막 커패시턴스 값에 따른 그래프 양상의 차이를 확인할 수 있으며(Figure 8e-g, Figure 9e-g), 특히 이중막 커패시턴스 값이 증가할수록 비선형적인 업데이트 양상이 나타나는 것 또한 확인할 수 있다.

펄스 길이에 따른 컨덕턴스 업데이트 선형성을 Figure 10a 에 도시하였다. 언급한 대로, 펄스 길이가 2ms 이상으로 충분히 길 때에는 이중막 커패시턴스 값에 상관없이 1 에 가까운 우수한 선형성을 보이며, 펄스 길이가 2ms 보다 짧아질 경우 이중막 커패시턴스 값에 영향을 받으며 선형성이 감소함을 확인할 수 있다. 또한 펄스 길이가 2s 일 때에도 200ms, 20ms, 2ms 일 때에 비해 미세하게 컨덕턴스 선형성이 감소한 것을 확인할 수 있는데(Figure 10a), 이러한 현상은 펄스 길이에 따른 SOC 업데이트 선형성에서는 관찰되지 않는다.(Figure 10b) 이는 채널 전극으로 사용한 LCO 의 컨덕턴스가 SOC 에 완벽히 선형적으로 비례하지는 않기 때문이다. (Figure 11)

Figure 8, Figure 9 그리고 Figure 10 의 데이터는 SOC 의 초기 값을 0.559 로 설정한 경우이며, 2s 의 펄스 기준 100 회의 펄스 동안 SOC

값이 0.657 까지 증가한다. 소자의 동작 범위가 달라질 경우 선형성이 달라질 수 있으며, 다양한 초기 SOC 값에 따라 2s 길이의 100 번의 전류 펄스 동안 컨덕턴스 업데이트 선형성을 평가한 결과를 Table 4 에 정리하였다. 또한, 0.434 의 초기 SOC 값에 대해 펄스 길이와 Cd 값에 따른 업데이트 선형성을 도시한 결과를 Figure 12 에 나타냈다. 펄스 길이가 2s 로 길어질 때 컨덕턴스 업데이트 선형성이 Figure 10a 에 비해 더 눈에 띄게 감소하는 것을 확인할 수 있다. 이를 통해 동작 범위의 조정을 통해 소자 업데이트 특성을 개선할 수 있음을 확인할 수 있다.



Figure 8. SOC update profile during 100 current pulses under various pulse widths and double layer capacitances. Pulse widths during simulation are (a) 2s, (b) 200ms, (c) 20ms, (d) 2ms, (e) 200μ s, (f) 20μ s, and (g) 2μ s.



Figure 9. Conductance update profile during 100 current pulses under various pulse widths and double layer capacitances. Pulse widths during simulation are (a) 2s, (b) 200ms, (c) 20ms, (d) 2ms, (e) 200 μ s, (f) 20 μ s, and (g) 2 μ s.



Figure 10. Write linearity over pulse width under various double layer capacitances calculated for (a) conductance and (b) SOC. 100 current pulses applied from initial SOC of 0.559.



Figure 11. Conductance over SOC calculated through 2D simulation. Update linearity can vary according to device operation range.

Initial SOC	Operation range	Write Linearity
0.434	0.434 ~ 0.532	0.974
0.559	0.559 ~ 0.657	0.998
0.701	0.701 ~ 0.798	0.955

Table 4. Conductance write linearity during 100 current pulses obtained from various operation range. Pulse width is 2s and double layer capacitance is $0.5F/m^2$.



Figure 12. Write linearity over pulse width under various double layer capacitances calculated for (a) conductance and (b) SOC. 100 current pulses applied from initial SOC of 0.434.

3-3. 소자 산포 특성 평가

3-3-1. 영역 두께에 따른 소자 특성 평가

선행연구[19]에서 소자의 게이트 전극으로 사용된 Si 은 e-beam evaporation 을 통해서, 그리고 채널 전극과 전해질로 사용된 LCO 와 LiPON의 경우 radio frequency magnetron sputter를 통해 도포되었다. 이 중, 전해질과 채널 물질을 도포한 sputter 의 경우, 서울대학교 반도체공동연구소의 Endura Sputter(Endura 5500) 기준 5% 이내의 두께 균일도 산포가 발생한다고 소개되어 있으며, 선행연구에서도 3% 이내의 산포가 발생한다고 확인된 바 있다.[72] 이에 따라 전해질 영역과 채널 영역의 두께를 0.95 배부터 1.05 배까지 바꿔가며 진행한 시뮬레이션 결과를 비교하여, 두께 산포에 따른 소자 특성을 확인한다.

Figure 13 과 Figure 14 에 각각 채널 영역의 두께와 전해질 영역의 두께에 따른 리튬 농도 및 컨덕턴스 업데이트 양상을 나타냈다. 전해질 영역의 두께에 따라서는 각 그래프가 별다른 차이를 보이지 않지만(Figure 14), 채널 영역의 두께에 따라서는 펄스 당 업데이트 양이 전해질 두께에 반비례하는 것을 확인할 수 있다.(Figure 13) 이는 리튬 조성이 채널 영역의 부피에 대한 농도로 표현되기 때문이며, 이에 따라 컨덕턴스 또한 리튬 조성에 비례하여 변하게 된다. 이를 통해 LISTA 소자의 채널 물질을 도포할 때, 도포 두께 산포에 따라 소자의 시냅스 특성의 산포가 발생할 수 있음을 확인했다.



Figure 13. Update profile of (a)SOC and (b)conductance while sweeping channel thickness within 5% variation, where default thickness(X1.00) of channel is 120nm. Current pulses of 350nA and 2s for 100 potentiation/100 depression have been applied.



Figure 14. Update profile of (a)SOC and (b)conductance while sweeping electrolyte thickness within 5% variation, where default thickness(X1.00) of electrolyte is 400nm. Current pulses of 350nA and 2s for 100 potentiation/100 depression have been applied.

3-3-2. 표면 거칠기에 따른 소자 특성 평가

Sputter를 통해 도포된 전해질과 채널 영역의 경우, 두께 균일성에 오차가 있을 뿐 아니라, 평평하지 않은 곡률 형태로 표면이 형성되는 표면 거칠기 이슈도 있다. 선행연구에서 200nm의 LiCoO₂ 필름을 RF magnetron sputter를 통해 도포했을 때, Sputtering gas pressure(3mtorr~18mtorr)에 따라 4~20nm의 제곱근 평균 거칠기(root-mean-square roughness, R_{rms})를 가짐이 확인되었다.[73] 제곱근 평균 거칠기 값은 수식 (32)를 통해 계산된다.

$$R_{rms} = \sqrt{\frac{1}{L} \int_0^L r^2(x) dx}$$
(32)

이 때, L 은 구간 길이, r(x)는 측정 구간 표면 윤곽의 높이이다. 이를 반영하기 위해 채널 전극 영역의 위아래 경계선을 sine wave 로 구현하였으며(Fig. 15), <u>8</u> _{주기} 값이 자연수인 관계를 만족하는 경우 위 수식을 아래와 같이 간단하게 정리할 수 있다.

$$R_{rms} = \frac{1}{\sqrt{2}} \times amplitude \tag{33}$$

R_{rms}값을 4~20nm 범위에서 가지도록 sine wave의 주기와 진폭 값을 바꾸어가며 시뮬레이션하였다. 변화시킨 파라미터의 값은 table 5 에 요약하여 정리하였다. 같은 sine wave 주기에서 진폭을 변화시킨 경우와, 같은 sine wave 진폭에 대해 주기를 변화시킨 경우에 대한 소자 구조를 각각 Figure 17a 와 Figure 17b 에 도시하였다. Sine wave 의 주기와 진폭을 변화시키며, 200ms 의 전류 펄스를 통해 potentiation 과 depression 을 10 번씩 반복하는 동안 측정된 conductance 를 Figure 18 에, 그리고 SOC 를 Figure 19 에 나타냈다. 같은 sine wave 주기(0.5µm)에서 R_{rms} 값이 커질수록, 즉 표면의 곡률이 커질수록 읽히는 컨덕턴스 값이 작아지는 것을 확인할 수 있으며(Fig. 18a), 또한 같은 R_{rms} 값에 대해 sine wave 의 주기가 작아질수록 컨덕턴스 값이 작게 읽히는 것을 확인할 수 있다.(Fig. 18b) 이에 반해 채널 내 리튬 농도는 sine wave 의 R_{rms} 값과 주기에 관계없이 업데이트 양상이 일정하게 나타났다(Figure 19). 이는 표면의 굴곡에 상관 없이 채널 영역의 총 부피가 일정하기 때문이며, Table 5 의 진폭과 주기 조건들에서 sine wave 의 적분값이 0 임을 통해 이해할 수 있다.

채널 내 리튬 농도와 달리 컨덕턴스 값이 곡률에 따라 다르게 읽히는 이유는 곡률이 증가함에 따라 채널 내의 전류 분포가 복잡해지고, 소스 전극과 드레인 전극 사이의 전류 이동 거리가 길어지기 때문으로 이해할 수 있다. Figure 16 에 그림의 수평 방향(x 축)으로 흐르는 전류 밀도를 나타냈으며, 소스와 드레인 사이에 걸리는 bias 에 따라 전류가 왼쪽에서 오른쪽으로 흐르는 것을 관찰할 수 있다. 이 때, 채널 영역의 가운데에서의 전류 밀도 값이 더 큰 것을 통해, 전류가 최단 경로를 통해 흐르고자 하는 것을 확인할 수 있다.

Period [µm]	Amplitude [nm]	R _{rms} [nm]			
1 2/3 1/2	5.657 16.971 28.285	4 12 20			

Table	5.	Va	lues	of	swept	parameter	during	surface	roughness	test	simulation	on.
-------	----	----	------	----	-------	-----------	--------	---------	-----------	------	------------	-----



Gate(Si)

Figure 15. Schematic of 2-dimensional LISTA device. Surfaces of sputtered LiPON electrolyte and LCO channel electrodes are modelled with curvy sine wave.



Figure 16. Electric current density along horizontal x direction[A/m²]. Current preferentially flows through the shortest path between source and drain electrode. Period is $2/3\mu m$ and R_{rms} is 20nm.





Figure 17. Schematic of 2-dimensional LISTA device with various surface roughness conditions. (a) R_{rms} is varied with period of 1/2µm. (b)Period is varied with R_{rms} of 12nm.



Figure 18. Conductance update during 10 potentiation/10 depression current pulses of 200ms. (a) R_{rms} is varied while period=0.5µm and (b)period is varied while $R_{rms} = 12$ nm.



Figure 19. SOC update during 10 potentiation/10 depression current pulses of 200ms. (a) R_{rms} is varied while period=0.5µm and (b)period is varied while $R_{rms} = 12$ nm.

3-4. 소자 retention 특성 평가

3-4-1. SEI layer 생성에 따른 소자 용량 저하

기본적으로 ECRAM의 경우 외부 회로를 따른 전류의 흐름을 차단하면, 전하 중성 유지 조건에 따라 내부 이온의 흐름도 차단되며 훌륭한 retention 특성을 나타낸다. 하지만, 2-2-4에서 언급한 SEI layer의 경우 과전압(overpotential)이 걸리지 않을 때에도 생성될 수 있으며, 이는 수식 (34)에서 7 SEI 값이 0 일때에도, 정의된 교환 전류 밀도에 따라 ISEI 값이 0이 아님을 통해 확인할 수 있다.

이런 현상을 반영하여 소자에 OCP(Open Circuit Potential)를 10000s동안 가해주는 시뮬레이션을 수행하고, 시간에 따른 소자의 용량 저하를 측정하였다.(Fig. 20) 시뮬레이션의 수렴성을 위해 이전 실험들과 달리 일차원 시뮬레이션을 통해 진행하였으며, 용량 저하는 수식 (35)을 통해 평가하였다.

$$\frac{dQ_{SEI}}{dt} = -I_{SEI} = (1+H) \frac{JI_{1C}}{exp(\frac{\alpha \eta_{SEI}F}{RT}) + \frac{Q_{SEI}fJ}{I_{1C}}}$$
(34)

$$C_{batt} = \frac{Q_{batt,0} - Q_{SEI}}{Q_{batt,0}} \tag{35}$$

$$Q_{batt,0} = AL_{pos}F(c_{Li,pos,max} - c_{Li,pos,min})$$
(36)

Figure 20에서 초기에 비해 점차 용량 저하 속도가 느려지는 것을 확인할 수 있다. 이는 SEI layer 생성 반응에서 반응물이 SEI layer를 통해 이동해와야 하므로, 이미 SEI layer가 충분히 쌓여있을 경우 추가 생성 반응을 줄여주는 역할을 하기 때문이다. 이는 수식(34)의 우변의 분모에 있는 두번째 항을 통해서도 확인할 수 있다.



Figure 20. Simulated relative capacity fades over time due to the SEI layer forming reaction. OCP was applied to the device during 1280s.

3-4-2. 소자 용량 저하 수학적 모델링

Retention 시뮬레이션과 같이 소자에 OCP가 가해지고 있는 경우, 수식 (34)를 보다 간단히 정리할 수 있다. 이를 바탕으로, 시간에 따른 용량 저하 관계를 수식을 통해 모델링한다.

$$\eta_{SEI} \simeq 0, H \simeq 0 \tag{37}$$

$$\frac{dQ_{SEI}}{dt} \simeq \frac{JI_{1C}}{1 + \frac{Q_{SEI}fJ}{I_{1C}}}$$
(38)

소자에 OCP가 가해지는 rest 동작에서는 계면에 가해지는 과전압이 이이라고 가정할 수 있으며, 음극의 볼륨 팽창 효과를 반영하는 H 또한 리튬 이온이 음극으로 주입될 때에만 유효하므로 마찬가지로 0으로 가정할 수 있다. 수식 (37)의 근사를 통해 수식 (34)가 수식 (38)과 같이 간소화된다.

$$Q_{SEI} = \frac{\sqrt{2fJ^{2}t + 1} - 1}{fJ} \times I_{1C}$$
(39)

$$C_{batt} = 1 - \frac{\sqrt{2(1+H)fJ^2t+1}-1}{Q_{batt, 0}fJ} \times I_{1c}$$
(40)

그 후, 수식 (38)의 Q_{SEI}에 대한 미분방정식을 풀이하여 정리하면, 수식 (39)과 같이 t^{1/2}에 비례하는 Q_{SEI}를 구할 수 있다. 이를 수식 (34)에 대입하여 수식 (40)의 시간과 소자 용량 사이의 관계식을 유도한다.

Figure 21a에 수식 (35)를 통해 1280s 동안 시뮬레이션 상에서 측정된 소자 용량과, 수식 (40)를 통해 계산한 소자 용량을 비교하여 시간에 따라 도시하였다. 두 그래프가 일치하는 것을 통해 수식(37)의 근사와 이를 통한 계산이 유효했음을 확인할 수 있으며, 수식 (40)를 통해, 직접 시뮬레이션을 하지 않더라도 보다 더 긴 시간 동안의 용량 저하를 예상해볼 수 있다. Figure 21b에 2Ms 동안의 용량 저하를 수식 (40)를 통해 계산한 결과를 나타냈다. 대표적으로, 130시간 이후 1%의 용량 저하, 107일 이후 5%의 용량 저하가 예상되었다.



Figure 21. Relative capacity fades over time due to the SEI layer forming reaction. OCP was applied to the device during 1280s. (a)Simulated data and comparison with calculated data through mathematical modelling. (b)Relative capacity fade over longer time of 2Ms, calculated through mathematical modelling.

3-4-3. SEI layer 생성에 따른 state retention

또한, 과전압(ŋ)이 0 일 때에도 SEI layer 생성 반응이 일어난다는 것은, 소자를 동작시키지 않는 rest 상태에서도 채널 내 리튬 이온이 빠져나갈 수 있다는 것을 의미한다. SEI layer 생성 반응에 따라 음극과 전해질 사이 계면에서 리튬 이온이 소모될 때, 채널 영역에서도 일정량 리튬 이온이 빠져나가게 되며, 이에 따라 소자의 retention 특성 저하로 이어지게 된다. 소자를 10ks 동안 rest 상태로 두었을 때의 채널 SOC 변화를 Figure 22 에 나타냈다. 또한, 수식 (41)을 통해 계산한 Relative SOC 값을 함께 나타냈다. 10ks 이후 초기 SOC 의 99.992%를 유지하며, 주어진 기간 동안에는 매우 우수한 retention 특성이 확인되었다.

$$SOC_{relative} = \frac{SOC}{SOC_{init}}$$
 (41)

3-4-4. State retention 수학적 모델링

유의미한 retention 저하가 나타나는 더 긴 시간 간격에 대해 평가하기 위해, 시간에 따른 SOC의 수학적 관계식을 구한다.

$$I_{EC} = sI_{SEI} \tag{42}$$

$$\frac{dSOC}{dt} = -\frac{I_{EC}}{Fc_{Li,pos,max}L_{pos}A} = -\frac{sI_{SEI}}{Fc_{Li,pos,max}L_{pos}A}$$
(43)

$$\varDelta \text{SOC} = -\frac{\text{sQ}_{\text{SEI}}}{Fc_{Li,pos,max}L_{pos}A}$$
(44)

$$SOC = SOC_{init} - sI_{1C} \frac{\sqrt{2fJ^2t + 1} - 1}{fJFc_{Li,pos,max}L_{pos}A}$$
(45)

수식 (42)에 나타낸 바와 같이, fitting parameter로 s(Interface current density ratio[1])를 도입하여 IsEI와 전해질/채널 사이 계면에서의 전류(IEC) 사이 선형적인 비례 관계를 가정하였다. 즉, SEI layer 형성 반응에 의해 음극과 전해질 사이 계면에서 소모되는 리튬의 양에 선형적으로 비례하는 만큼 채널 영역 내의 리튬 이온이 빠져나간다고 가정하였다. 400s 동안 소자를 rest 상태에 두며 두 값을 비교하였을 때, 두 전류 값 사이의 비율로 정의된 s값이 초기 구간을 제외하고 안정된 상수 값을 가지는 것을 Figure 23에서 확인할 수 있다. 전해질과 채널 사이 계면에서의 전류, IEC는 채널에서 빠져나가는 리튬 이온의 양을 나타낸다. 즉, IEC의 크기에 비례하여 수식 (43)을 따라 SOC가 감소하며, 수식 (43)을 적분하여 수식 (44)를 유도할 수 있다. 그리고 수식 (39)의 소자 용량과 시간 사이 관계식을 대입하고 정리하여. 수식 (45)의 시간에 따른 SOC 변화 관계식을 유도한다.

소자 용량 저하와 마찬가지로, t^{1/2}에 비례하여 감소하는 SOC를 확인할 수 있으며, 100ks 동안 채널 내 SOC 변화를 시뮬레이션한 결과와, 수식 (45)을 통해 계산한 결과를 비교하여 Figure 24a에 나타냈다. s의 값은 Levenberg-Marquardt 알고리즘을 통해 0.05952로 최적화하였다. 해당 s 값에 대해 시뮬레이션 데이터와의 높은 일치도를 보여주며, 수식 (42)에서의 가정이 유효했음을 확인할 수 있다.

3-4-2 에서와 마찬가지로, 2Ms 의 더 긴 시간 동안에 대한 SOC 저하를 수식 (45)을 통해 계산한 결과를 Figure 24b 에 나타냈다. 대표적으로 46 일 이후 0.5%, 197 일 이후 1%의 리튬 농도 손실이 일어났다.



Figure 22. Simulated loss of SOC and relative SOC over time due to the SEI layer forming reaction. OCP was applied to the device during 10ks



Figure 23. I_{SEI} , kinetics for SEI forming reaction, and $I_{Li, EC}$, charge transfer current at electrolyte/cathode interface are compared. Fitting parameter s, defined as the fraction between I_{SEI} and $I_{Li, EC}$ remains constant after initial deviation.



Figure 24. SOC and relative SOC over time due to the SEI layer forming reaction. OCP was applied to the device during 100ks. (a)Simulated data and comparison with calculated data through mathematical modelling. (b)Relative capacity fade over longer time of 2Ms, calculated through mathematical modelling.

3-5. 소자 Cycle endurance 특성 평가

3-5-1. Cycle 에 따른 소자 용량 저하

소자를 여러 cycle 동안 potentiation 과 depression 을 반복할 경우에도 SEI layer 의 형성에 의한 열화가 발생할 수 있다. 먼저, retention 시뮬레이션에서와 같이 cycle 에 따라서도, 리튬 이온이 SEI layer 를 형성하는 데에 소모되며 이용가능한 소자 용량이 감소할 수 있다. 2s, 75mV의 전압 펄스를 통해 1 cycle 당 10 번의 potentiation 과 10 번의 depression 씩, 총 100cycle 동안 반복한 업데이트 결과를 Figure 25a 에 나타냈다. 전압 펄스는 초기 조건에서 계산된 OCV 값 기준으로 가하였다. 3-4-1 에서 논의한 바와 같이 용량 저하가 처음에는 비교적 빠르게 일어나다가, 점차 저하 속도가 감소하는 양상을 확인할 수 있다. 이는 가해준 전압 펄스 모양이, 각 구간마다 상수 값을 가지는 비교적 간단한 형태이기 때문에, 여러 가정을 통해 정리한 수식 (40)의 결과와 같은 경향성을 나타내는 것으로 이해할 수 있다.

3-5-2. Cycle 에 따른 소자 업데이트 특성 저하

또한, 3-4-3 에서 논의한 바와 같이 가해준 전압에 따라 흐르는 전류 중 일부가 SEI layer 를 형성하는데 쓰일 수 있으며, SEI layer 형성 반응 속도를 나타내는 I_{SEI} 값은 η_{SEI} 값에 따라 depression 동작과 potentiation 동작에서 다르게 나타날 수 있다. 이에 따라 소자 대칭성에 열화가 생길 수 있으며, cycle 이 반복됨에 따라 소자 업데이트 특성 저하로 나타날 수 있다. 2s, 75mV 의 전압 펄스를 통해 cycle 당 potentiation 과 depression 동작을 10번씩, 총 100cycle 동안 반복하며 측정한 소자 컨덕턴스를 Figure 25b 에 나타냈다. 앞선 논의들과

마찬가지로, SEI layer 가 거의 형성되어 있지 않은 초기에 열화가 크게 나타나는 것을, 그리고 시간이 지나며 충분한 SEI layer 가 형성됨에 따라 이상적인 업데이트 특성을 보이는 것을 확인할 수 있다. 시간에 따른 열화 정도는 그래프의 y 축 범위를 0.662~0.67 로 제한하여 확대한 Figure 25c 에서 보다 더 잘 확인할 수 있다.



Figure 25. Cycle endurance during 100 cycles. 10 Voltage pulses of 75mV and 2ds are applied for each potentiation/depression per 1 cycle. (a)Capacity fade due to SEI layer formation. (b)SOC update profile during simulation, and (c)SOC update profile with enlarged y-axis.

4. 결론

본 논문에서는 이차원 유한요소법을 통해 전기 이중막, SEI layer 등 계면에서의 특성을 포함한 소자 내 리튬 이온의 거동을 시뮬레이션하였다. 먼저, 실제 소자의 전류 펄스에 따른 컨덕턴스 업데이트 측정 데이터와 비교하여 우수한 시뮬레이션 정확도를 확인하였으며, 전류 펄스의 크기와 길이에 선형적으로 비례하여 컨덕턴스 변화량이 증감하는 것 또한 확인하였다.

소자 선형성 평가에서는 펄스 길이가 2ms 이하 수준으로 짧아질 경우, 이중막 커패시턴스에 따라 선형성에 저하가 생기는 것을 확인하였다. 또한, 2ds 이상 수준으로 펄스 길이가 길어질 경우에도 LiCoO₂ 채널 물질의 비이상적인 리튬 농도와 컨덕턴스 관계에 따라, 선형성이 감소하는 것을 확인하였다.

소자 산포 특성 평가에서는 채널 물질과 전해질 물질을 쌓는 sputter 공정에서 두께 균일성과 표면 거칠기에서 산포가 생길 수 있음을 고려하였으며, 채널 영역의 두께에 비례하여 컨덕턴스 업데이트 양이 변화하는 것을, 그리고 표면 거칠기에 따라 소스 전극과 드레인 전극 사이 경로가 길어질수록 컨덕턴스가 작게 읽히는 것을 확인하였다.

소자 retention 특성 평가에서는 SEI layer 생성 반응에 따라 소자에 OCV 를 가하며 rest 상태를 유지할 시의 용량 저하를 확인했다. 시뮬레이션을 통해 시간에 따라 점점 느린 속도로 용량이 저하되는 것을 확인하였다. 여러 가정을 통해 SEI layer 생성 반응을 모델링한 수식을 정리하여 시간과 용량 사이의 수학적 관계식을 구하였다. 해당 관계식을 통해 계산된 데이터가 실제 시뮬레이션 데이터와 잘 일치함을 확인하였으며, 이를 통해 130 시간 이후 1%의 용량 저하, 107 일 이후 5%의 용량 저하 등 보다 긴 시간 동안의 용량 저하 양상을 평가했다.

또한 SOC retention 에 대한 평가에서도, 마찬가지로 시간에 따라 점차 열화 속도가 감소하는 양상을 확인했으며, 시간에 따른 SOC 사이의 수학적 관계식을 정리하였다. 이를 통해 대표적으로 46 일 이후 0.5%, 197 일 이후 1%의 SOC 손실 등 보다 긴 시간에 대한 retention 데이터를 평가하였다.

소자 Cycle Endurance 평가에서는 전압 펄스를 통해 potentiation 동작과 depression 동작이 반복됨에 따른 소자 용량 저하 및 업데이트 특성 저하를 확인했다. Retention 특성에서와 마찬가지로, SEI layer 가 거의 형성되지 않은 초기에 비교적 큰 열화가 나타났으며, 이후 점차 열화 정도가 감소하는 양상을 확인할 수 있었다. 이를 통해 실제 소자 동작 이전에, 충분한 SEI layer 를 미리 형성한다면, 이상적인 cycle endurance 특성을 나타낼 수 있음을 예상할 수 있었다.

본 연구에서는 LISTA 소자에 대해, 여러 계면에서의 특성을 반영한 유한요소해석 시뮬레이션을 통해 아직 이해가 부족한 시냅스 특성들을 평가하였다. 소자의 동작시 펄스 길이, 산포, 계면에서의 특성 등에 대한 고려와 이해가 필요함을 확인하였으며, 소자 동작 범위와 초기 cycling 등, 소자가 이상적으로 동작하기 위한 조건을 탐색하고 예상해보았다.

참고 문헌

- Siegel, J.B., et al., Expansion of lithium ion pouch cell batteries: Observations from neutron imaging. Journal of the Electrochemical Society, 2013. 160(8): p. A1031.
- Deshpande, R.D. and D.M. Bernardi, Modeling solid-electrolyte interphase (SEI) fracture: coupled mechanical/chemical degradation of the lithium ion battery. Journal of The Electrochemical Society, 2017. 164(2): p. A461.
- Schmidt, H., et al., Volume expansion of amorphous silicon electrodes during potentiostatic lithiation of Li-ion batteries. Electrochemistry Communications, 2020. 115: p. 106738.
- Von Neumann, J., The principles of large-scale computing machines. Annals of the History of Computing, 1981. 3(3): p. 263-273.
- Aspray, W., The stored program concept. IEEE Spectrum, 1990.
 27(9): p. 51.
- Burr, G.W., et al., Neuromorphic computing using non-volatile memory. Advances in Physics: X, 2017. 2(1): p. 89-124.
- Le, H., T. Tran, and S. Venkatesh, Neural stored-program memory. arXiv preprint arXiv:1906.08862, 2019.
- Zou, X., et al., Breaking the von Neumann bottleneck: architecture-level processing-in-memory technology. Science China Information Sciences, 2021. 64(6): p. 160404.
- Wan, Q., et al., Emerging artificial synaptic devices for neuromorphic computing. Advanced Materials Technologies, 2019. 4(4): p. 1900037.
- 10. Schuman, C.D., et al., Opportunities for neuromorphic computing algorithms and applications. Nature Computational

Science, 2022. 2(1): p. 10-19.

- James, C.D., et al., A historical survey of algorithms and hardware architectures for neural-inspired and neuromorphic computing applications. Biologically Inspired Cognitive Architectures, 2017. 19: p. 49-64.
- Marković, D., et al., Physics for neuromorphic computing. Nature Reviews Physics, 2020. 2(9): p. 499-510.
- Wang, Y., et al., An in-memory computing architecture based on two-dimensional semiconductors for multiply-accumulate operations. Nature Communications, 2021. 12(1): p. 3347.
- Yu, S., Neuro-inspired computing with emerging nonvolatile memorys. Proceedings of the IEEE, 2018. 106(2): p. 260-285.
- Jacobs-Gedrim, R.B., et al. Impact of linearity and write noise of analog resistive memory devices in a neural algorithm accelerator. in 2017 IEEE International Conference on Rebooting Computing (ICRC). 2017. IEEE.
- Deng, Y., et al., RRAM crossbar array with cell selection device: A device and circuit interaction study. IEEE transactions on Electron Devices, 2012. 60(2): p. 719-726.
- De, S., et al., Demonstration of Multiply-Accumulate Operation With 28 nm FeFET Crossbar Array. IEEE Electron Device Letters, 2022. 43(12): p. 2081-2084.
- Indiveri, G., E. Chicca, and R. Douglas, A VLSI array of lowpower spiking neurons and bistable synapses with spike-timing dependent plasticity. IEEE transactions on neural networks, 2006. 17(1): p. 211-221.
- 19. Fuller, E.J., et al., Li-ion synaptic transistor for low power analog computing. Advanced Materials, 2017. 29(4): p. 1604310.
- 20. Burr, G.W., et al., Phase change memory technology. Journal of

Vacuum Science & Technology B, Nanotechnology and Microelectronics: Materials, Processing, Measurement, and Phenomena, 2010. 28(2): p. 223-262.

- Wong, H.-S.P., et al., Phase change memory. Proceedings of the IEEE, 2010. 98(12): p. 2201-2227.
- Nandakumar, S., et al., A phase-change memory model for neuromorphic computing. Journal of Applied Physics, 2018. 124(15): p. 152135.
- 23. Burr, G.W., et al., Experimental demonstration and tolerancing of a large-scale neural network (165 000 synapses) using phase-change memory as the synaptic weight element. IEEE Transactions on Electron Devices, 2015. 62(11): p. 3498-3507.
- Suri, M., et al., Physical aspects of low power synapses based on phase change memory devices. Journal of Applied Physics, 2012. 112(5).
- Qureshi, M.K., et al., PreSET: Improving performance of phase change memories by exploiting asymmetry in write times. ACM SIGARCH Computer Architecture News, 2012. 40(3): p. 380– 391.
- Kumar, D., et al., Metal oxide resistive switching memory: materials, properties and switching mechanisms. Ceramics International, 2017. 43: p. S547-S556.
- Goux, L. and I. Valov, Electrochemical processes and device improvement in conductive bridge RAM cells. physica status solidi (a), 2016. 213(2): p. 274-288.
- Yang, X., Demonstration of ultra-fast switching in nanometallic resistive switching memory devices. Journal of Nanoscience, 2016. 2016.
- 29. Zahoor, F., T.Z. Azni Zulkifli, and F.A. Khanday, Resistive

random access memory (RRAM): an overview of materials, switching mechanism, performance, multilevel cell (MLC) storage, modeling, and applications. Nanoscale research letters, 2020. 15: p. 1-26.

- 30. Park, S.-G., et al. A non-linear ReRAM cell with sub-1µA ultralow operating current for high density vertical resistive memory (VRRAM). in 2012 International Electron Devices Meeting. 2012. IEEE.
- Wu, W., et al. A methodology to improve linearity of analog RRAM for neuromorphic computing. in 2018 IEEE symposium on VLSI technology. 2018. IEEE.
- 32. Jerry, M., et al. Ferroelectric FET analog synapse for acceleration of deep neural network training. in 2017 IEEE International Electron Devices Meeting (IEDM). 2017. IEEE.
- 33. Kim, T., et al., High-Performance and High-Endurance HfO2-Based Ferroelectric Field-Effect Transistor Memory with a Spherical Recess Channel. physica status solidi (RRL)-Rapid Research Letters, 2021. 15(5): p. 2100018.
- 34. Ali, T., et al., High endurance ferroelectric hafnium oxidebased FeFET memory without retention penalty. IEEE Transactions on Electron Devices, 2018. 65(9): p. 3769-3774.
- 35. Kaneko, Y., et al., A 60 nm channel length ferroelectric-gate field-effect transistor capable of fast switching and multilevel programming. Applied Physics Letters, 2011. 99(18): p. 182902.
- Ren, C., et al., Highly Robust Flexible Ferroelectric Field Effect Transistors Operable at High Temperature with Low-Power Consumption. Advanced Functional Materials, 2020. 30(1): p. 1906131.
- 37. Gong, N. and T.-P. Ma, A study of endurance issues in HfO 2-

based ferroelectric field effect transistors: Charge trapping and trap generation. IEEE Electron Device Letters, 2017. 39(1): p. 15-18.

- Ma, T. and N. Gong. Retention and endurance of FeFET memory cells. in 2019 IEEE 11th International Memory Workshop (IMW). 2019. IEEE.
- Kang, H., et al., Ion-Driven Electrochemical Random-Access Memory-Based Synaptic Devices for Neuromorphic Computing Systems: A Mini-Review. Micromachines, 2022. 13(3): p. 453.
- Sood, A., et al., Electrochemical ion insertion from the atomic to the device scale. Nature Reviews Materials, 2021. 6(9): p. 847-867.
- Nikam, R.D., et al., Near ideal synaptic functionalities in Li ion synaptic transistor using Li3POxSex electrolyte with high ionic conductivity. Scientific reports, 2019. 9(1): p. 18883.
- Yang, C.S., et al., A synaptic transistor based on quasi-2D molybdenum oxide. Advanced Materials, 2017. 29(27): p. 1700906.
- 43. Van De Burgt, Y., et al., A non-volatile organic electrochemical device as a low-voltage artificial synapse for neuromorphic computing. Nature materials, 2017. 16(4): p. 414-418.
- 44. Yao, X., et al., Protonic solid-state electrochemical synapse for physical neural networks. Nature communications, 2020. 11(1):
 p. 3134.
- 45. Shi, J., et al., A correlated nickelate synaptic transistor. Nature communications, 2013. 4(1): p. 2676.
- Kim, S., et al. Metal-oxide based, CMOS-compatible ECRAM for Deep Learning Accelerator. in 2019 IEEE International Electron Devices Meeting (IEDM). 2019. IEEE.
- 47. Lee, C., et al., Impact of electrolyte density on synaptic characteristics of oxygen-based ionic synaptic transistor. Applied Physics Letters, 2021. 119(10): p. 103503.
- 48. Hasegawa, T., et al., Volatile/nonvolatile dual-functional atom transistor. Applied physics express, 2010. 4(1): p. 015204.
- Kang, H. and J. Woo, Cu-ion-actuated three-terminal neuromorphic synaptic devices based on binary metal-oxide electrolyte and channel. Applied Physics Letters, 2021. 119(7): p. 072103.
- 50. Cytech, http://www.cytech.com/products-ips (accessed: August 2016).
- Jerliu, B., et al., Volume expansion during lithiation of amorphous silicon thin film electrodes studied by in-operando neutron reflectometry. The Journal of Physical Chemistry C, 2014. 118(18): p. 9395-9399.
- 52. Attard, P., Electrolytes and the electric double layer. Advances in Chemical Physics"(I. Prigogine and SA Rice, Eds.), 2007. 92: p. 1-159.
- Schmickler, W., Electronic effects in the electric double layer. Chemical reviews, 1996. 96(8): p. 3177-3200.
- 54. Aizawa, Y., et al., In situ electron holography of electric potentials inside a solid-state electrolyte: effect of electricfield leakage. Ultramicroscopy, 2017. 178: p. 20-26.
- 55. Braun, S., C. Yada, and A. Latz, Thermodynamically consistent model for space-charge-layer formation in a solid electrolyte. The Journal of Physical Chemistry C, 2015. 119(39): p. 22281-22288.
- 56. An, S.J., et al., The state of understanding of the lithium-ionbattery graphite solid electrolyte interphase (SEI) and its

relationship to formation cycling. Carbon, 2016. 105: p. 52-76.

- 57. Agubra, V.A. and J.W. Fergus, The formation and stability of the solid electrolyte interface on the graphite anode. Journal of Power Sources, 2014. 268: p. 153-162.
- Lee, Y.M., et al., SEI layer formation on amorphous Si thin electrode during precycling. Journal of The Electrochemical Society, 2007. 154(6): p. A515.
- Cho, J.-H. and S.T. Picraux, Silicon nanowire degradation and stabilization during lithium cycling by SEI layer formation. Nano letters, 2014. 14(6): p. 3088-3095.
- 60. Ekström, H. and G. Lindbergh, A model for predicting capacity fade due to SEI formation in a commercial graphite/LiFePO4 cell. Journal of The Electrochemical Society, 2015. 162(6): p. A1003.
- 61. 전한솔, 전기이중막 효과를 고려한 리튬 이온 기반 전기화학적 시냅스 소자의 특성 연구, in Modeling of Li-ion Based All-Solid-State Electrochemical Synaptic Transistor for Neuromorphic Computing: Considering Electric Double Layer Effect. 2021, 서울 : 서울대학교 대학원: 서울.
- 62. Bates, J., et al., Fabrication and characterization of amorphous lithium electrolyte thin films and rechargeable thin-film batteries. Journal of power sources, 1993. 43(1-3): p. 103-110.
- Put, B., et al., Electrical characterization of ultrathin RFsputtered LiPON layers for nanoscale batteries. ACS applied materials & interfaces, 2016. 8(11): p. 7060-7069.
- 64. Samson, E. and J. Marchand, Numerical solution of the extended Nernst-Planck model. Journal of colloid and interface science, 1999. 215(1): p. 1-8.
- 65. Fabre, S.D., et al., Charge/discharge simulation of an all-solid-

state thin-film battery using a one-dimensional model. Journal of The Electrochemical Society, 2011. 159(2): p. A104.

- 66. Le Van-Jodin, L., et al., Dielectric properties, conductivity and Li+ ion motion in LiPON thin films. Solid State Ionics, 2013. 253: p. 151-156.
- 67. Qiu, X.-Y., et al., Electrochemical and electronic properties of LiCoO 2 cathode investigated by galvanostatic cycling and EIS. Physical Chemistry Chemical Physics, 2012. 14(8): p. 2617-2630.
- Milewska, A., et al., The nature of the nonmetal-metal transition in LixCoO2 oxide. Solid State Ionics, 2014. 263: p. 110-118.
- 69. Raijmakers, L., et al., An advanced all-solid-state Li-ion battery model. Electrochimica Acta, 2020. 330: p. 135147.
- 70. Itagaki, M., et al., LiCoO2 electrode/electrolyte interface of Liion rechargeable batteries investigated by in situ electrochemical impedance spectroscopy. Journal of Power Sources, 2005. 148: p. 78-84.
- Dokko, K., et al., Kinetic characterization of single particles of LiCoO2 by AC impedance and potential step methods. Journal of the Electrochemical Society, 2001. 148(5): p. A422.
- 72. Fu, C., et al., The thickness uniformity of films deposited by magnetron sputtering with rotation and revolution. Surface and Coatings Technology, 2006. 200(12-13): p. 3687-3689.
- Park, H.Y., et al., Influence of sputtering gas pressure on the LiCoO 2 thin film cathode post-annealed at 400 C. Korean Journal of Chemical Engineering, 2006. 23: p. 832-837.

Abstract

FEM analysis for Synaptic Characteristics of Li-ion-based Electrochemical Random Access Memory

Jinha Choi Material Science and Engineering The Graduate School Seoul National University

A lithium-ion-based electrochemical random access memory with excellent synaptic update characteristics and extremely low power consumption has been proposed as a candidate for implementing neuromorphic computing. However, there is still lack of understanding of the device interfaces, and discussion regarding the linearity depending on pulse length, device variance, reliability, and cycle endurance. Therefore, in this paper, a two-dimensional finite element simulation incorporating non-ideality at the interface, such as electric double layer and SEI layer, was designed to model the electrochemical random access memory, and various synaptic characteristics were analyzed.

The impact of pulse width on the device linearity is investigated, revealing that update with short pulse widths below 2ms results in decreased linearity due to current leakage caused by the electric double layer effect. Furthermore, it was confirmed that the linearity also decreases for pulse widths longer than 2ds, indicating that the operating range of the device should be considered. In addition, device variance occurring at deposition of the materials, like electrode thickness and surface roughness, was considered and regarding synaptic update characteristics were examined. In terms of device reliability evaluation, it was found that during retention and cycling test the SEI(Solid Electrolyte Interphase) layer forming reaction leads to a decrease in device capacity and state of the device. Specifically, for retention, a mathematical relationship of capacity and lithium concentration over time was derived to evaluate the retention characteristics for longer time intervals.

In this study, the degradation of synaptic characteristics caused by various factors was investigated. And it was confirmed that synaptic characteristics can be improved through adjustment of the device operation range and operating devices beforehand. To fully utilize and improve the advantages of ion-based electrochemical synaptic devices, this study suggests thorough understanding of the characteristics at the interface, such as electric double layer and SEI layer, is required.

Keywords: Neuromorphic computing, Electrochemical Random Access Memory, Finite Element Method, Linearity, Reliability Student Number : 2021-26474