

PG-LDPC 부호를 위한 Soft Bit-Flipping 복호기의 파이프라인 구현

김중홍, 조준호, 지현우, 성원용
서울대학교 전기공학부

e-mail : jhkim@dsp.snu.ac.kr, wysung@snu.ac.kr

Pipelined Implementation of Soft Bit-Flipping Decoders for PG-LDPC codes

Jonghong Kim, Junho Cho, Hyunwoo Ji, and Wonyong Sung
School of Electrical Engineering
Seoul National University

Abstract

Low-density parity-check codes are known to show higher error correcting performance than conventional algebraic codes. However, it is hard to implement in hardware when the row or column weight of them is high. In this paper, we implemented a VLSI for projective-geometry(PG) LDPC codes employing the soft bit-flipping(SBF) algorithm which has low computational and interconnection complexities. In addition to the parallel architecture, the pipelining technique and the processing unit sharing technique are employed to increase the throughput and reduce the chip area. The implemented (1057,813) 4-bit SBF decoder consumes a small area of 2.7mm², while providing the throughput of 11.3Gbps.

I. 서론

Gallager에 의해 발견된 low-density parity-check(LDPC) 부호의 복호는 신뢰도 확산(belief-propagation) 기반의 반복 복호(iterative decoding) 알고리즘을 사용했을 때 채널의 한계(Shannon-limit)에 근접하는 우수한 성능의 부호로 알려져 있다[1]. 대표적인 복호 알고리즘으로는 연판정(soft-decision) 기반의 가장 좋은 오류성능을 보이는 sum-product algorithm(SPA)[2]과 경판정(hard-decision)기반의 구현이 용이한 bit-flipping(BF) 알고리즘이 있다. SBF 알고리즘[3]은 기존의 SPA와 BF알고리즘의 장점을 취한 논문은 지식경제부 출연금으로 ETRI와 시스템반도체산업진흥센터에서 수행한 ITSoc 핵심설계인력양성사업과 교육과학기술부의 재원으로 한국학술진흥재단에서 수행하는 BK21 프로젝트의 지원을 받아 수행된 연구입니다

하여 고안된 알고리즘으로 내부 연결선의 복잡도와 계산량을 줄이기 위해 BF 알고리즘의 기본 구조를 따르며, 에러 성능을 개선하기 위해 SPA에서와 같이 적은 비트의 신뢰도(reliability)를 이용한다. BF와 같이 각 노드의 메시지는 단 하나의 값이기 때문에, 행과 열의 가중치(row/column weight)가 증가하여도 SBF 알고리즘의 연산 복잡도는 SPA보다 매우 천천히 한다. 따라서 좋은 에러 성능을 보이면서 가중치(weight)가 높은 PG-LDPC 부호[4]를 SBF 알고리즘을 사용하여 효율적으로 구현할 수 있다.

본 논문에서는 순환 PG-LDPC 부호에 대한 4비트 SBF 복호기를 설명한다. 설계된 복호기는 처리량(throughput)을 높이기 위해 병렬화와 파이프라인 기법을 사용하였으며, 파이프라이닝 오버헤드를 줄이기 위해 변수노드(variable node) 연산 유닛과 체크노드(check node) 연산 유닛이 공통된 하드웨어를 공유하여 사용하였다.

II. Soft Bit-Flipping 복호기의 구조

3.1 직렬 구조(Serial Architecture)

그림 1은 복호기의 직렬 구조를 나타내는 것으로, 4비트 레지스터로 구성된 노드가 직렬로 1,057개 연결되어 쉬프트 레지스터 구조의 변수노드와 체크 노드를 이루며, 이와 더불어 변수노드 연산 유닛(variable node processing unit, VPU)과 체크노드 연산 유닛(check node processing unit, CPU)이 있다. 구현에 사용된 패리티 검사 행렬(parity check matrix)은 순환 특성을 가지고 있기 때문에 노드와 연산 유닛간의 연결은 고정시킨 채로 노드의 값을 쉬프트 시켜가며 복호를 수행한다. VPU와 CPU의 구조가 그림 2와 3에 나타나 있다. 이때 각각의 노드는 $[s_n : m_n]$ 로 나타낸다. VPU는 연결된 변수노드의 부호들 간의 모듈로-2

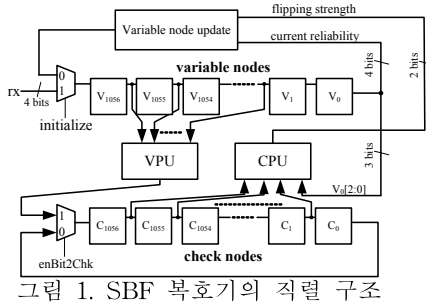


그림 1. SBF 복호기의 직렬 구조

연산을 통해 신드롬 연산을 수행하며, 가중치의 합을 양자화 하여 패리티와 함께 체크노드에 저장한다. 4비트 SBF 알고리즘에서 각 노드 값의 범위는 ± 0 을 제외한 $[-8, 8]$ 이지만, 이를 4비트로 구현할 경우 0을 포함한 $[-8, 7]$ 이기 때문에 양의 입력에 대해 적절히 보상해 주기 위해 CPU에 1비트 입력 가산기를 추가하였다. VPU는 변수 노드의 절대 값-신뢰도-의 합 연산을 수행하며, CPU는 2의 보수 덧셈을 하기 때문에 변수노드와 체크노드에 저장되는 메시지의 형태는 각각 부호-크기체계(sign-magnitude)와 2의 보수로 하였다. CPU의 하단부는 문턱 값을 갱신하는데 쓰이는 임계치 적응(threshold adaptation) 모듈이다.

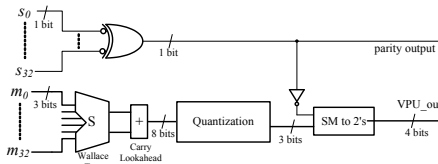


그림 2. Variable node processing unit

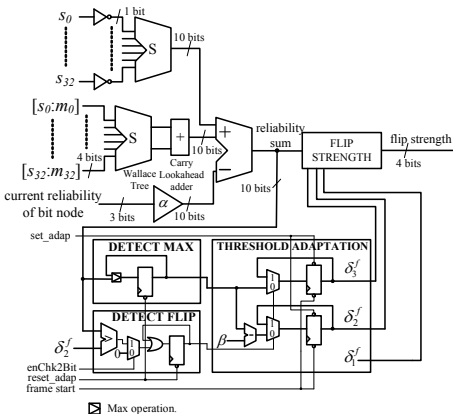


그림 3. Check node processing unit

3.2 병렬 구조(Parallel Architecture)

병렬도를 p 라 할 때, 병렬 복호기는 p 개의 VPU와 CPU를 사용한다. 이때 문턱 값은 모든 CPU에서 공통으로 사용되기 때문에 각각의 CPU는 임계치 적응 모듈을 포함하지 않는다. 또한 노드를 구성하는 레지스터의 수는 병렬도에 무관하다.

복호기의 클럭 주파수를 증가시켜 높은 처리량을 얻기 위해 파이프라인 기법을 적용하였다. 이를 위해 임계 경로(critical path)를 포함하는 CPU를 4단 파이프라인 하였다.

이와 더불어 파이프라이닝 오버헤드를 줄이기 위해 두 노드 연산 유닛의 공통된 유닛을 공유하여 하나의 공유된 노드 연산 유닛(shared node processing unit, SNPU)으로 대체하는 방법을 사용하였다. VPU의 XOR 게이트의 출력은 CPU의 1비트 입력 덧셈기의 LSB로 대체할 수 있으며, 두 연산 유닛의 가산기와 파이프라인 레지스터가 공유될 수 있다. 이때 노드를 구성하는 레지스터의 수는 병렬도에 무관하기 때문에 병렬도가 증가할수록 연산유닛이 전체에서 차지하는 비율이 증가하고, 따라서 병렬도가 클수록 SNPU에 의한 면적 감소 효과는 증가한다.

III. 실험 결과

표 1은 SBF 복호기의 구현결과를 나타낸다. 파이프라이닝을 통해 병렬도 64에서 약 12Gbps의 처리량을 얻었으며, SNPU를 사용하여 12%의 면적을 감소시켰다. 병렬화와 파이프라이닝, 그리고 SNPU를 사용하여 conventional architecture와 비교할 때 5.4배의 면적 증가로 124배의 처리량이 증가한 효과를 얻었다.

	Conventional		Pipelining		Pipelined SNPU	
	serial	p=64	serial	p=64	serial	p=64
Total area (μm^2)	497779	2391868	515249	3093286	509887	2717223
Max. frequency (MHz)	182.15	161.55	436.68	396.83	386.10	374.53
Max. throughput (Mbps)	91.03	4878.84	218.24	11984.13	192.96	11310.86

표 1. SBF 복호기의 구현 결과

IV. 결론

본 논문에서는 (1057,813) PG-LDPC 부호에 대해 최적화된 4비트 SBF 복호기를 구현하였다. 구현된 SBF 복호기는 높은 가중치로 인해 SPA로 구현하기 힘든 PG-LDPC 부호를 구현한 것으로, 파이프라인 기법을 적용한 제안된 SNPU 구조의 복호기는 2.7mm²의 적은 면적에서 최대 11.3 Gbps의 처리량을 보였다.

참고문헌

- [1] D. J. C. MacKay, "Good error-correcting codes based on very sparse matrices," *IEEE Trans. Inform. Theory*, vol. 45, pp. 399 - 432, Mar. 1999.
- [2] F. R. Kschischang, B. J. Frey, and H.-A. Loeliger, "Factor graphs and the sum-product algorithm," *IEEE Trans. Inform. Theory*, vol. 47, no. 2, pp. 498 - 519, Feb. 2001.
- [3] 조준호, 성원용, "높은 무게 LDPC 부호의 저복잡도 고성능 복호 알고리즘," 한국통신학회지, 제 34권, 게재 예정.
- [4] Y. Kou, S. Lin, and M. P. C. Fossorier, "Low-density parity-check codes based on finite geometries: A rediscovery and new results," *IEEE Trans. Inform. Theory*, vol. 47, no. 7, pp. 2711 - 2736, Nov. 2001.