

論文95-32B-4-8

# MAC 방식 TV 시스템용 IC의 설계 - I. 비디오 신호 처리기

## (VLSI's for the MAC TV System - Part I. Video Signal Processor)

南 勝 鉉 \*, 成 元 鎔 \*

(Seunghyeon Nahm, and Wonyong Sung)

### 요 약

유럽의 위성방송용 TV 방식인 MAC (Multiplexed Analog Components) 형식의 신호에서 영상 신호 부분을 재생하는 IC (Integrated Circuits)를 설계하여 실제 ASIC (Application Specific IC)으로 구현하였다. 비화신호의 해독 (descrambling), 시분할 방식으로 압축된 휘도 및 색상 신호의 복원 및 D/A (Digital to Analog) 변환을 위한 저역 필터링 등의 기능을 구현하였다. 설계 방식으로 VHDL (VHSIC Hardware Description Language)을 이용하여 전체 기능을 모의 실험한 후에 논리합성 과정을 이용하였다. 휘도 및 색상 신호의 표본화 주파수를 1.5배로 출력하는 디지털 보간 필터를 polyphase 구조와 CSD (Canonic Signed Digit) 계수를 이용하여 간단한 하드웨어로 구현하였다. 1.0  $\mu\text{m}$  CMOS gate array 공정을 이용하여 160 pin QFP package로 제작되었다. IMS tester를 이용하여 동작을 확인하였다.

### Abstract

A video signal processing integrated circuit for the decoding of television signal encoded with MAC (Multiplexed Analog Components) specification is designed and fabricated. This chip conducts descrambling, recovery of time-multiplexed components, and lowpass filtering of luminance and chrominance signals. The whole function is described in VHDL (VHSIC Hardware Description Language) for simulation, and then the design is converted to logic level by using a logic synthesis software. Digital oversampling filters which interpolate luminance and chrominance signals by 1.5 times are implemented in a reduced chip area by employing the polyphase filter architecture and CSD (Canonic Signed Digit) filter coefficients. This chip is fabricated using 1.0  $\mu\text{m}$  CMOS gate array. The function of the IC has been verified using an IMS tester.

### I. 서 론

C/D/D2 MAC (Multiplexed Analog Components)은 유럽에서 주로 위성 방송 (Direct Broadcast by Satellite)과 유선 방송 (cable TV)을 위해 만든 텔레비전 방식으로서, 휘도 (luminance)와 색상 (chrominance), 디지털 데이터 신호들

\* 正會員, 서울大學校 制御計測工學科 및 半導體共同研究所

(Department of Control and Instrumentation Engineering and ISRC, Seoul National University)

接受日字 : 1994年 5月 7日

을 시분할 (time-multiplexing)하여 보내는 특징을 가지고 있다.<sup>[11]</sup> 데이터 전송량이 적은 D2-MAC 방식의 경우 전송에 필요한 대역폭이 약 8 MHz 정도로 비교적 좁으므로 유선 방송 회선을 이용할 수 있다. 화면의 해상도에 국한해서 볼 때 4:3의 화면비 (aspect ratio)를 가지며, 수평해상도가 약 700 pixel/line, 수직해상도가 비월 주사 (interlaced scanning) 625 라인 (line)이므로 기존의 NTSC (National Television System Committee)나 PAL (Phase Alternation by Line)에 비해서 고품위 화질이라고 할 수는 없으나, 휘도와 색상 신호를 시분할해서 전송하므로 주파수 분할을 이용하는 NTSC나 PAL방식보다 cross-luminance나 cross-color 현상을 크게 줄일 수 있다. 그리고 시분할 방식을 채용하므로, CMOS 디지털 IC로 구현하는데 재래의 텔레비전 방식보다 유리하다. 또한 D-MAC의 경우 약 3 Mbit/sec, D2-MAC의 경우 약 1.5 Mbit/sec의 데이터 전송이 가능하므로 4 채널 (channel)의 음성 신호 (audio)를 디지털 형식 (14 bit resolution, 32 KHz sampling)으로 보낼 수 있을 뿐만 아니라, 문자 방송 (teletext)이나 부호화 (encryption) 정보 등의 다른 여러가지 디지털 정보를 같이 보낼 수 있다. 유럽의 HDTV (High Definition Tele-Vision) 표준으로 논의되었던 HD-MAC방식은 이 D2-MAC방식에 여러가지 신호압축 기법을 적용한 것이다.

D2-MAC 신호의 복호화에는 기본적으로 데이터/클럭/동기 (data/clock/sync)의 복구, 휘도 및 색상 신호의 descrambling 및 decompression, 색상 신호의 라인 보간 (line interpolation), 음성 신호와 데이터 신호의 오류 정정 (error-correction) 등이 필요하다. 이에 따라 clock 재생 (clock IC), 영상신호처리 (video IC), 데이터 복구 (control IC)를 위한 세계의 ASIC (Application Specific Integrated Circuits)이 개발되었다.

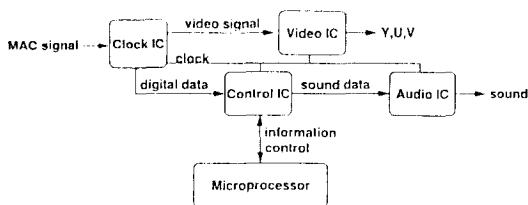


그림 1. MAC 복호화 시스템의 구성

Fig. 1. Block diagram of the MAC decoding system.

그림 1에 이들 IC들을 이용한 전체 시스템의 구성을

보인다. 전체 시스템은 control IC와 마이크로 프로세서 (micro-processor)에 의해 configuration chain이라는 간단한 직렬 통신 (serial communication)에 의해 제어된다.

Video IC에서는 MAC 방식으로 압축되고 scramble된 영상 신호를 A/D 변환기 (converter)를 통해 20.25 MHz의 8 bit 디지털 신호의 형태로 받아들여서, control IC에서 공급하는 동기 신호에 맞추어 descrambling과 decompression을 한다. U와 V 색상 신호는 매 라인에 번갈아서 들어오므로 이 IC에서 보간이 된다. Scrambling으로는 no scrambling, double-cut scrambling, single-cut scrambling을 지원하고,<sup>[11]</sup> 화면비를 바꾸어 주는 panning도 할 수 있다. Scrambling 방법이나 panning 여부, descrambling을 위한 control word, 휘도 신호의 blanking level 등을 configuration chain에 입력하여 제어할 수 있다. Descrambling과 decompression이 된 휘도 신호는 13.5 MHz로 출력되고 색상 신호는 6.75 MHz로 출력되는데, panning을 하는 경우에는 휘도 신호는 10.125 MHz, 색상 신호는 5.0625 MHz로 출력된다.

휘도와 색상 신호들의 표본화 주파수 (sampling frequency)가 각각 13.5 MHz와 6.75 MHz이므로 D/A 변환기를 통과시킬 때 전이 대역 (transition band)이 매우 좁은 아날로그 저역통과 필터 (analog lowpass filter)가 필요하게 된다. 그러므로 video IC 내부에서 미리 보간 (oversampling)을 한 후 출력시키면 D/A 변환 뒤에 필요한 필터가 간단해진다. 이점이 있다. Video IC에 공급되는 클럭의 주파수가 20.25 MHz이므로 비디오 (video) 신호들도 이에 맞추어 출력시키는 것이 바람직하다. 그러므로 휘도 신호는 1.5 배로 표본화 주파수를 높여서 20.25 MHz로, 색상 신호 또한 1.5 배로 보간해서 10.125 MHz로 출력시킨다.<sup>[12][13]</sup> 따라서 보간 필터의 특성은 discrete domain에서  $\pi/3$ 의 절단 주파수 (cut-off frequency)를 갖는 저역통과 필터가 된다. 이 필터를 CSD (Canonic Signed Digit) 계수 최적화 기법과 poly-phase network을 이용하여 작은 면적에 휘도와 색상 신호들을 처리할 수 있는 디지털 보간 필터를 설계하였다.<sup>[4][15][16]</sup>

## II. MAC 비디오 신호의 부호화 및 복호화

### 1. MAC 프레임 구조

MAC 신호는 1296 샘플 (sample)로 1 라인을 이루고 625 라인으로 1 프레임 (frame)을 이루게 되어

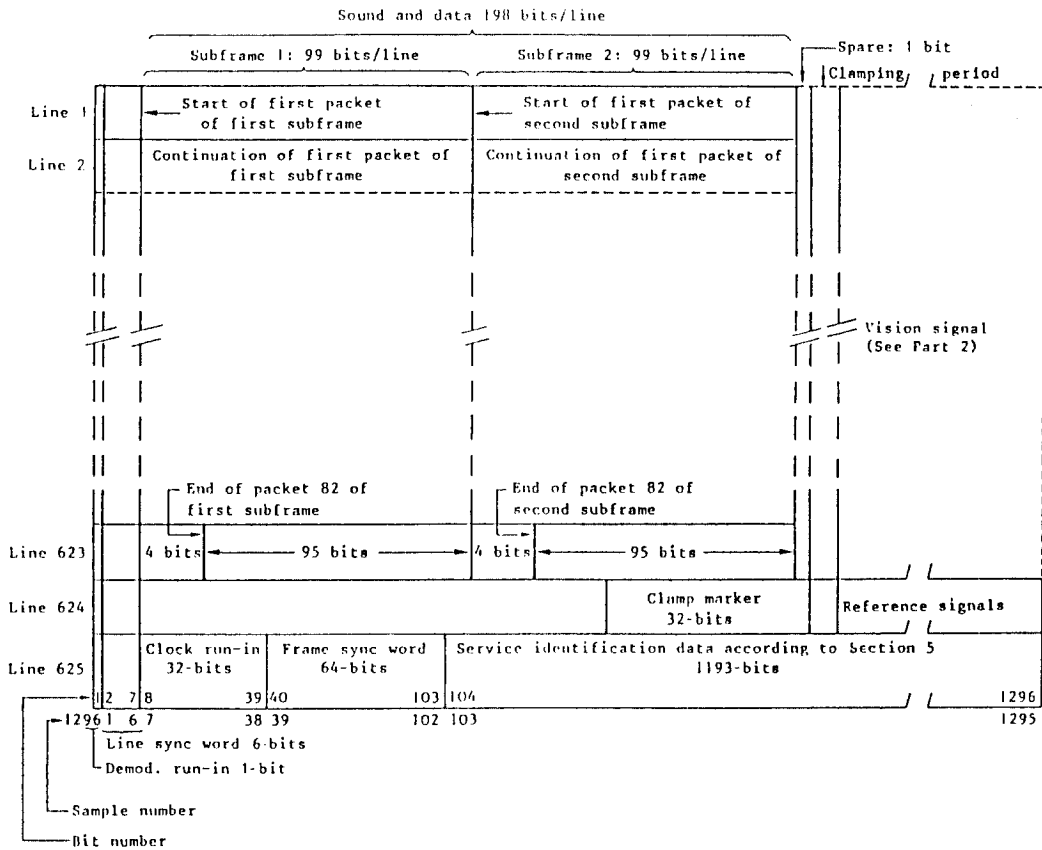


그림 2. MAC 신호의 프레임 구조  
Fig. 2. Frame structure of the MAC signal.

있다. 625 라인 중 라인 23부터 라인 310, 라인 335에서 라인 622까지에 비디오 신호가 들어간다. 그 사이는 vertical blank 기간이 되며, test 신호나 teletext 신호 및 제어 신호들을 넣을 수 있다.<sup>[1]</sup> 그림 2에 프레임 구조를 보였다. 복호화를 하는 경우 라인 번호 (line number)를 살펴서 비디오 신호가 들어 있는 구간을 구별해 내야 할 필요가 있다.

### 2. MAC 영상 신호의 압축과 Scrambling

MAC에서는 영상 신호 R/G/B를 휘도 신호와 색상 신호 Y/U/V로 변환하여 보내는데, Y는 한 라인 당 697 샘플, U/V는 2 라인 당 349 샘플을 보낸다. 그림 2에 보이는 바와 같이 한 라인 1296 샘플 중에 Y 697 샘플, U 또는 V 349 샘플을 시분할하여 실어 보낸다. 그러므로 복호화 할 때 Y/U/V는 다시 원상태로 펼쳐서 동시에 출력해야 한다. 특히 U와 V 신호는 매 라인마다 번갈아서 보내지므로 받지 못하는 라인 부분에서는 앞 뒤 라인을 이용하여 보간해야 한다. 그림 3-(가)에 휘도 신호와 색상 신호가 시간축에서 압축된 MAC 라인 구조를 보인다.

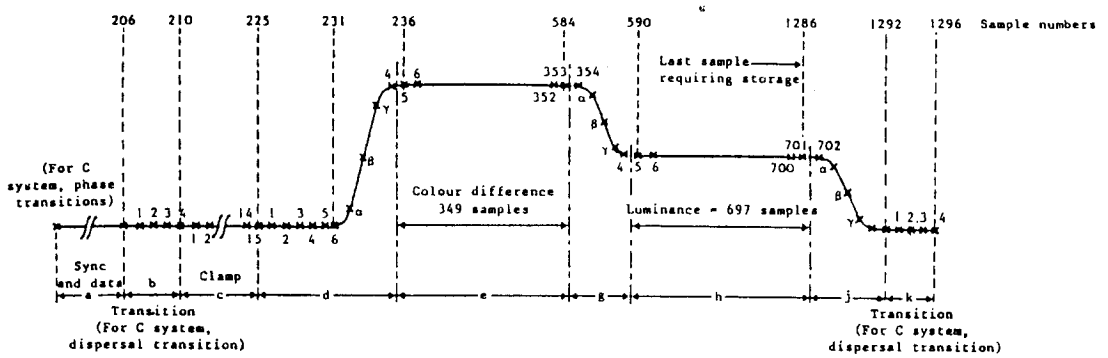
MAC에서는 유료 채널등의 비화목적 때문에 single-cut과 double-cut의 두가지 scrambling을 지원하고 있다. 매 라인 마다 PRBS (Pseudo Random Binary Sequence) 발생기에서 나오는 16 bit를 사용하여 cut-point를 계산하며, 계산된 cut-point에 따라 그림 3-(나)(다)와 같이 scrambling이 된다. 복호화 회로에서도 부호화 과정에서 사용된 PRBS 발생기와 같은 다항식과 seed를 사용해야 한다.

### III. 비디오 신호처리기의 전체 구성

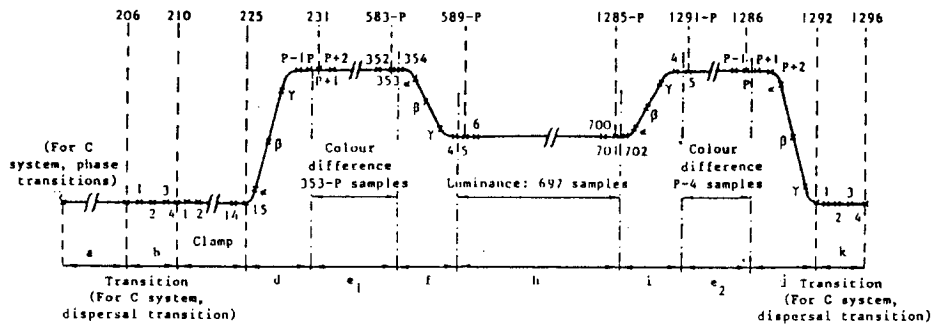
비디오 신호처리기는 그림 4와 같이 REGISTER, DESCRAMBLER, RAMCTRL, VIDEO\_OUT, SYNCOUT의 logic gate 부분과 비화된 영상신호의 해독을 위한 RAM들로 구성되어 있다.

#### 1. Descrambler 회로

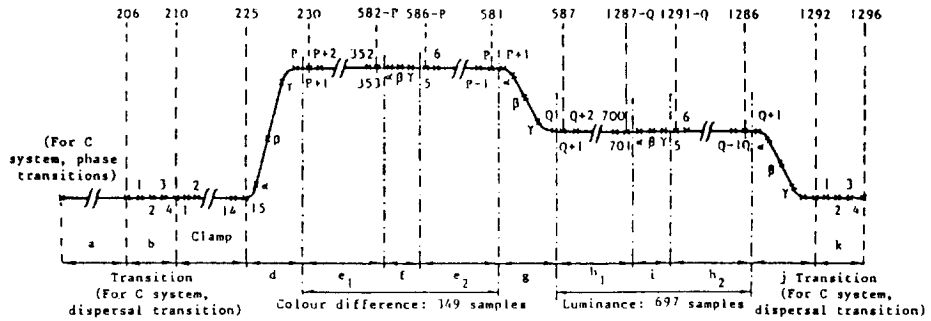
Scrambling 방법에 따라 RAM의 write address와 timing을 계산하기 위한 회로이다. 그림 5와 같이



(a)



(b)



(c)

그림 3. (가) MAC 신호의 라인 구조 (나). Single-cut scrambling 된 MAC 신호의 라인 구조 (다). Double-cut scrambling 된 MAC 신호의 라인 구조

Fig. 3. (a) Line structure of the MAC signal (b). Line structure of the single-cut scrambled MAC signal (c). Line structure of the double-cut scrambled MAC signal

SYNCIN, FRAMECNT, CUTGEN, INADDR, CTRLDSR, TEST, VCONF의 여섯 부분으로 구성 되어 있다.

SYNCIN은 control IC에서 공급하는 동기 신호들을 받아들여서 칩 내부에서 사용할 동기 신호들 - 라인 구분, 프레임 구분 - 을 발생시킨다.

FRAMECNT는 7 bit 카운터 (counter)를 갖고 있으며, 칩 내부에서 프레임 카운터 (frame counter)로 사용한다.

CUTGEN은 frame count 값과 60 bit control word를 이용해 초기단어 (initialization word)를 구하고, 이것을 seed로 하여 shift register와 exclu-

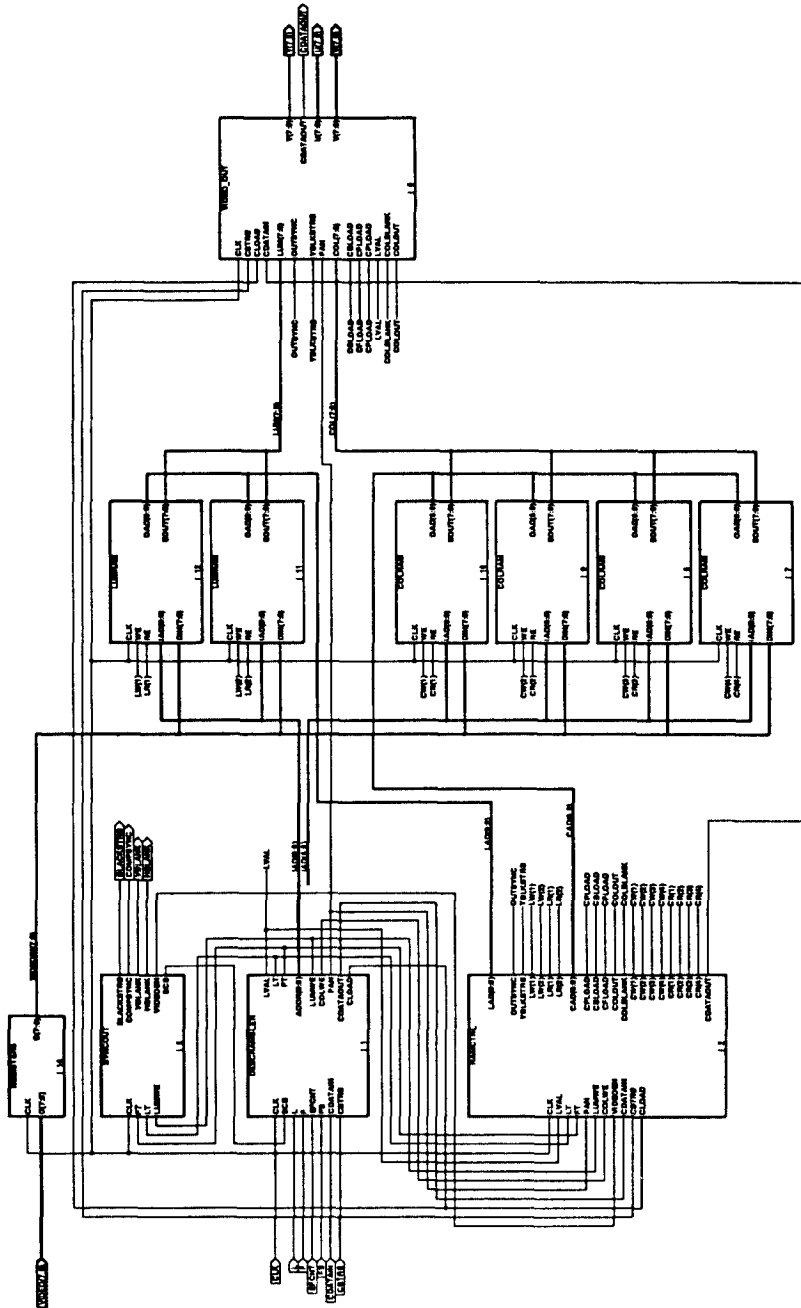


그림 4. 비디오 신호처리기의 전체 구성도  
 Fig. 4. Block diagram of video signal processor.

sive OR (XOR)로 구성된 PRBS generator를 동작시켜 cut-point를 계산하기 위한 16 bit serial data를 얻어낸다. 매 프레임마다 새 초기단어를 읽어들이고, 매 라인에서 16 클럭동안만 동작한다.

INADDR은 PRBS generator의 출력과 직렬 덧셈

(serial addition) 혹은 직렬 뺄셈 (serial subtraction)을 해서, 제어를 달리 해야 하는 sample point와 RAM의 write address를 계산한다. Scrambling을 하지 않는 경우 sample count 232, 586, 1283을 기점으로 chrominance RAM과 lu-

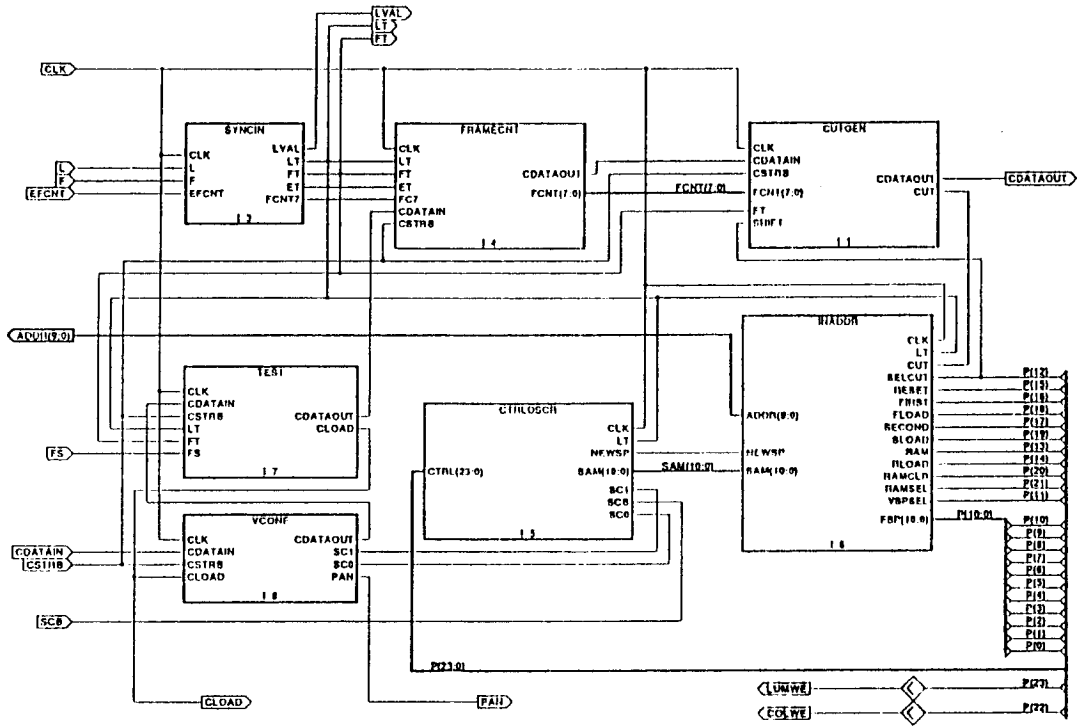


그림 5. Descrambler 회로의 구성  
Fig. 5. Block diagram of descrambler circuit.

minance RAM의 write 제어 신호를 조절하고, double-cut의 경우 1287-Q, 582-P 값을 계산해서 sample count 226, 582-P, 578, 583, 1287-Q, 1283에서 제어 신호들이 바뀐다. Single-cut인 경우는 1287-P, 585-P를 계산해서 sample count 227, 585-P, 1287-P, 1283에서 제어를 달리 한다. 계산된 sample point와 샘플 카운터 (sample counter)의 값을 비교한 결과를 이용하여 적절한 제어 신호를 발생시키도록 PLA의 주소 (address)를 바꿔 준다.

RAM의 write address는 계산된 시작 주소를 읽어 들인 후 카운터를 증가시키는 방법으로 발생시킨다. 시작 주소는 scrambling을 하지 않는 경우 0이고, double-cut의 경우 chrominance RAM은  $[47 + \text{cut-point}]$ , luminance RAM은  $[93 + (2 * \text{cut-point})]$ 로 계산되며, single-cut의 경우는 chrominance RAM만  $[47 + \text{cut-point}]$ 로 계산 된다.

CTRLDSCR은 descrambler 회로를 scrambling 방법에 따라 적절히 제어하기 위한 PLA와 그 주소를 발생시키는 회로이다. 매 라인의 처음에 디지털 데이터가 들어오는 동안에는 PLA의 주소를 샘플 카운터로부터 받아들이어서 cut-point와 RAM의 시작 주소 등을

계산하기 위한 제어 신호들을 발생시키고, 실제 비디오 신호가 들어올 때는 INADDR에서 샘플 카운터와 비교하여 같을 때마다 증가하는 카운터의 출력을 주소로 받아들이어서 RAM의 write 제어 신호들을 발생시킨다. PLA의 주소 중 2 bit를 조절함으로써 scrambling 방법을 달리 할 수 있다.

VCONF는 Service Identification 중의 video configuration 부분을 그대로 저장하는 부분이며 scrambling방법과 panning 여부를 다른 부분에 알려 준다. SC1SC0가 00일 때 double-cut, 10일 때 single-cut, 01일 때 no scrambling이 된다. PAN이 '1'일 때는 16:9 영상이 들어와서 4:3 만큼만 panning이 되서 출력된다.

2. RAM controller 회로

RAM의 read address와 제어 신호들을 발생시키는 부분으로서 그림 6과 같이 VIDEODELAY, LUMOUTCTRL, COLOUTCTRL, LUMRAMCTRL, COLRAMCTRL, OUTADDR의 여섯 부분으로 구성되어 있다.

VIDEODELAY에서는 적당한 지연시간을 두고 LUMEN, COLEN 신호를 내보냄으로써 휘도 신호, 색상 신호들의 COMPSYNC 신호에 대한 상대적인 지

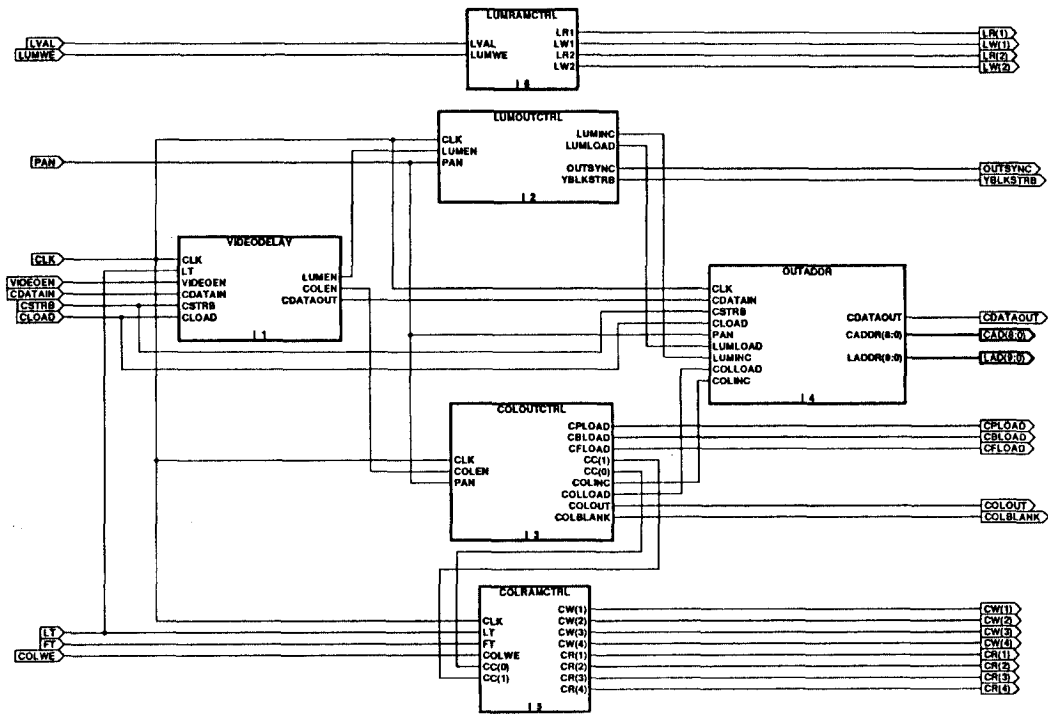


그림 6. RAM controller 회로의 구성  
Fig. 6. Block diagram of RAM controller circuit.

연시간을 조절한다. 이 동작은 VIDEOEN 신호를 직렬로 연결된 레지스터 (register) 들을 통해 LUMEN, COLEN 신호의 두 개의 신호로 출력되게 하면서 MUX를 통해 원하는 클락만큼 지연된 출력을 택함으로써 이루어질 수 있다.

LUMOUTCTRL에서는 2 bit 카운터를 이용하여, LUMEN 신호가 들어왔을 때 휘도 신호 출력이 13.5 MHz, panning을 하는 경우 10.125 MHz로 될 수 있도록 luminance RAM의 read address를 제어하는 신호를 발생시킨다. 비디오 신호를 출력해야 하는 시점에서 LUMEN이 HIGH가 되면, 새로운 시작 주소를 읽어 들이고 두 클락 후에 증가시켰다가 다시 한 클락 후에 증가시키는 주소 카운터의 제어 신호들을 발생시킨다. 이러한 방법으로 시간 간격이 일정하지 않은 20.25 MHz에서 2:1의 시간 간격을 갖는 13.5 MHz 출력을 얻을 수 있다. LUMEN이 LOW가 되면 YBLKSTRB가 HIGH가 되어서 black level에 해당하는 출력을 내보낼 수 있게 한다.

COLOUTCTRL에서는 COLEN 신호가 들어왔을 때 색상 신호 출력이 6.75 MHz, panning을 하는 경우 5.0625 MHz가 되도록 chrominance RAM의 read address를 제어하는 신호를 발생시킨다. 3 클락에 한 번씩 주소 카운터를 증가시켜서 6.75 MHz 출력을 얻

는다. COLEN이 LOW가 되면 COLBLANK가 LOW가 되어서 색상 신호 출력들을 128로 만든다.

LUMRAMCTRL은 어느 luminance RAM에서 읽고 쓸 것인지를 제어한다. 홀수 라인인지 짝수 라인인지만 구분하면 되고 descrambler 부분에서 발생시킨 LUMWE 신호에 맞추어 write enable 신호를 내보낸다.

COLRAMCTRL은 어느 chrominance RAM에서 읽고 쓸 것인지를 제어한다. 색상 신호의 경우에는 번갈아서 들어오는 U, V 신호의 보간을 고려해야 하기 때문에, 쓰는 RAM은 돌아가면서 쓰이고, 읽는 RAM은 쓰는 RAM을 제외한 나머지 중에서 사용된 순서에 따라 차례로 읽어야 한다. 이를 위해 2 bit 카운터가 사용되고 복잡한 decoder 회로가 들어간다.

OUTADDR은 RAM의 read address를 발생시키는 부분이다. LUMOUTCTRL과 COLOUTCTRL에서 발생시킨 increase와 load 신호를 사용하여 카운터들을 동작시킴으로써 주소를 계산하고, panning을 하는 경우 panning을 시작하는 주소를 입력시킬 수 있다.

### 3. 비디오 신호 출력 회로

RAM에서 읽은 영상 신호를 외부로 출력시키는 부분으로서 그림 7과 같이 LUM OUT, COL OUT,

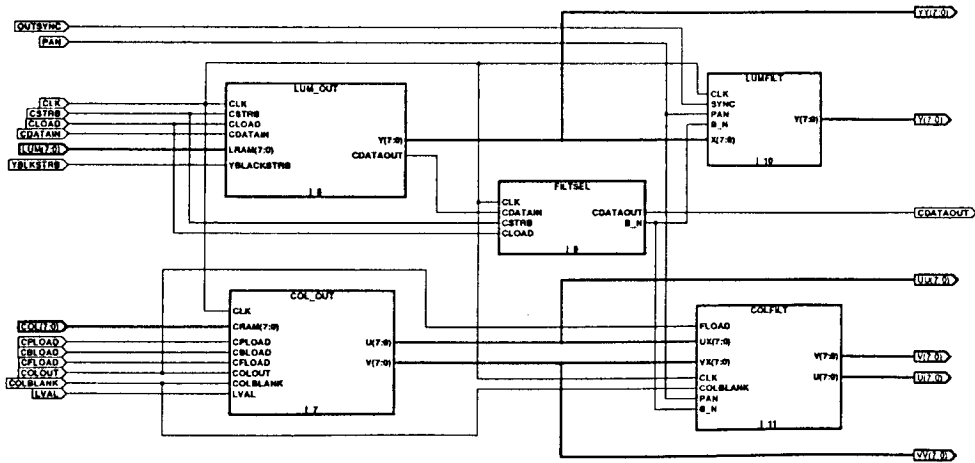


그림 7. 비디오 신호 출력 회로의 구성  
Fig. 7. Block diagram of video signal output circuit.

LUMFILT, COLFILT, FILTSEL의 다섯 부분으로 구성되어 있다.

LUM\_OUT은 luminance RAM으로부터 읽어낸 데이터를 출력 주파수에 맞추어 내보내기 위한 회로이다. 20.25 MHz에서 2 클럭, 1 클럭에 번갈아서 실려오는 일정한 간격이 아닌 휘도 신호를 13.5 MHz 클럭에 동작하는 레지스터를 통과시킴으로써 일정 간격을 갖는 출력을 얻을 수 있다. Blank 기간 동안에는 control register에 입력시켜 놓은 YBLACK 신호를 내보내게 된다.

COLOUT에서는 chrominance RAM 3 개로부터 읽은 데이터로 보간하여 U, V 신호를 만들어서 출력 주파수에 맞추어 내보낸다. 보간은 둘을 더한 결과에서 최하위 한 bit를 버림으로써  $(U1+U3)/2$  혹은  $(V1+V3)/2$ 로써 수행한다. Blank 기간 동안은 COLBLANK 신호가 LOW로 떨어져서 출력을 128로 만든다.

LUMFILT, COLFILT 부분은 출력 영상 신호를 보간하기 위한 필터 부분들로서 다음 장에서 상세히 설명한다.

FILTSEL는 휘도 신호와 색상 신호의 보간용 필터의 특성을 선택하기 위한 configuration chain의 일부분으로서 '0'일 때는 대역폭이 좁은 필터, '1'일 때는 대역폭이 넓은 필터가 선택된다.

4. 비디오 동기 신호 발생 회로

라인에 따른 제어를 하기 위한 LINE\_PLA와 샘플에 따른 제어를 하기 위한 SAMPLE\_PLA를 누어서 COMPSYNC, HBLANK, VBLANK의 동기 신호를 발생시키고, 비디오 IC 내부에서 필요한 VIDEOEN

신호 등을 발생시킨다. PLA의 값과 카운터의 값을 비교하다가 같아지면 다음 주소의 PLA 출력을 동기 신호로 내 보낸다.

내부의 라인 카운터는 0에서 624까지 증가하는데, 이것은 현재 받아들이고 있는 '라인 번호 - 1'에 해당하며 출력시키고 있는 라인 번호를 가리킨다. 입력과 출력의 라인 번호는 한 라인 만큼 차이가 있게 된다. SAMPLE\_PLA에는 HBLANK, VBLANK, COMPSYNC 신호들의 매 라인에서의 파형이 들어 있는데 random logic으로 구현하기 위하여 VHDL code를 작성하여 합성하였다.

LINE\_PLA에는 파형을 바꿔야 할 라인 번호들이 들어 있다. 그 라인 번호는 1, 3, 4, 6, 22, 23, 24, 310, 311, 313, 314, 316, 318, 319, 334, 335, 336, 337, 622, 623, 624, 0 등이다.

5. 휘도와 색상 신호 저장용 RAM

이들 RAM들은 동시에 읽고 쓰는 경우가 없기 때문에 single-port로 충분하며, 대신 입력 주소와 출력 주소를 구분하고, 입력 데이터와 출력 데이터를 구분하기 위한 MUX 회로가 필요하다. 주소와 입력 데이터는 각각의 RAM에서 한 번 레지스터를 거쳐서 사용된다.

IV. 디지털 보간 필터의 설계

1. 보간 필터의 설계 사양

13.5 MHz로 표본화 (sampling)된 휘도 신호를 20.5 MHz로 1.5 배 보간하여 출력시키기 위해서는, 13.5 MHz의 신호를 40.5 MHz로 up-sampling한



후, 이를 다시 20.25 MHz로 down-sampling 해야 한다. 이 때, 40.5 MHz로 3 배 보간을 위해서는, 13.5 MHz의 샘플 사이에 2개의 '0'을 넣어서, 즉 3 배의 up-sampling 후, 휘도 신호의 대역폭이 5.6 MHz이므로 전이 대역 (transition band)이 5.6 MHz에서 7.9 MHz인 저역통과 필터를 통과 시키면 된다.<sup>[1]</sup> 아래 그림 8에 3 배 보간을 위한 휘도 신호의 주파수 특성을 보인다.

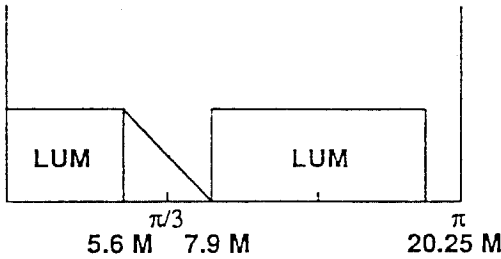


그림 8. 휘도 신호용 보간 필터의 주파수 특성  
Fig. 8. Frequency characteristics of the oversampling filter for luminance.

색상 신호는 6.75 MHz 출력을 10.125 MHz로 역시 1.5 배의 보간을 해야 하므로 20.25 MHz 표본화 주파수에서 절단 주파수가 π/3인 저역통과 필터가 필요하며, 색상 신호의 대역폭이 2.75 MHz이기 때문에 전이 대역이 2.75 MHz에서 3.99 MHz까지로 된다.<sup>[1]</sup>

휘도와 색상 신호를 위한 필터들은 discrete domain에서 같은 특성을 갖는데, 정규화한 주파수 (normalized frequency)로 통과대역 가장자리 (passband edge)가 0.14, 저지대역 가장자리 (stopband edge)가 0.20인 저역통과 필터가 된다. 그러므로 이러한 특성을 갖는 필터를 설계하여 휘도 신호, 색상 신호에 모두 사용할 수 있다.

2. 디지털 보간 필터의 구조

표본화 주파수를 1.5 배로 높이기 위해서는 위에 설명한 바와 같이 표본화 주파수를 3 배 (40.5 MHz)로 올린 후 다시 반으로 낮추어야 한다.<sup>[2]</sup> 그런데, 이 보간에 필요한 필터는 FIR (Finite Impulse Response) 필터로서 되먹임 (feedback)이 없기 때문에 down-sampling 과정에서 없어지는 출력은 계산할 필요가 없고, 단지 20.25 MHz의 시스템 클럭에 맞추어서 출력을 계산하면 된다. 그리고, 이 보간 필터의 입력도 3 배로 up-sampling된 것으로서 3 샘플 중의 2 개는 "0"의 값을 가지기 때문에 사실상 연산이 불필요하다. 따라서, 보간필터의 차수를 L이라 하면, 원래는 L\*40.5M 번의 곱셈과 덧셈이 매초당 필요하다. 이를

(L/3)\*20.25M 번 (즉, 원래의 1/6)으로 줄일 수 있다. 단, 이 때, 필요한 필터의 계수 값은 매 샘플마다 달라진다. 즉 poly-phase구조를 가지는 필터가 된다.

위의 설명을 다시 조직적으로 하면 다음과 같다. 즉, 40.5 MHz에서 동작해야 하는 저역통과 필터를 h[n]이라 하면 보간을 위해 표본들 사이에 '0'을 삽입한 필터 입력은 다음과 같다.

$$y[n] = \begin{cases} x[n/3], & n = 0, 3, 6, \dots \\ 0, & \text{otherwise,} \end{cases}$$

필터의 길이를 12라 하면 위의 입력에 대해 다음과 같은 40.5 MHz 출력을 갖는다.

$$z[n] = \sum_{k=0}^{11} h[k] y[n-k] = \begin{cases} \sum_{k=0}^3 h[3k] x[m-k], & n=3m \\ \sum_{k=0}^3 h[3k+1] x[m-k], & n=3m+1 \\ \sum_{k=0}^3 h[3k+2] x[m-k], & n=3m+2 \end{cases}$$

위의 출력 중 필요한 것은 하나 걸러서 추출한 결과이며 다음과 같다.

$$w[n] = \begin{cases} \sum_{k=0}^3 h[3k] x[m-k], & n=3m \\ \sum_{k=0}^3 h[3k+2] x[m-k], & n=3m+1 \\ \sum_{k=0}^3 h[3k+1] x[m-k+1], & n=3m+2 \end{cases}$$

위 식에서 보듯이 원하는 출력은 매 20.25 MHz의 클럭마다 전체 필터 중 1/3에 해당하는 부분만을 사용하고 있다. 이것은 원래의 저역통과 필터를 다음과 같이 3 개의 성분으로 polyphase 분할한 필터들이다.<sup>[2]</sup>

$$p_k[n] = h[3n+k], \quad k = 0, 1, 2$$

Polyphase 필터들은 각각 1/3 만큼씩 표본 지연 시간(sample delay)의 차를 갖고 있어서 각각이 보간될 중간값들을 계산하기 위한 가중치의 역할을 한다. 필터들은 p<sub>0</sub>[n], p<sub>2</sub>[n], p<sub>1</sub>[n]의 순서로 사용되고 입력으로는 그 때까지 받아들일 수 있는 가장 최근의 연속된 4 개의 값들을 사용한다. 이와 같은 과정은 다음과 같은 시변 디지털 필터로 구현할 수 있다.<sup>[3]</sup>

$$w[m] = \sum_{n=0}^3 p_k[n] \cdot x\left[\left\lfloor \frac{2m}{3} \right\rfloor - n\right]$$

위 식에서 k는 0, 2, 1로 반복되고  $x[\cdot]$ 는  $w[m]$ 을 계산하는데 필요한 가장 최근에 입력된 값을 나타낸다. 결국 위 식은 출력 주파수에서 동작하면서 출력 세 개를 주기로 계수가 변하는 필터를 나타낸다. 입출력과 사용되는 polyphase 필터의 관계를 그림 9에 나타내었다.

$w[m]$	$x\left[\left\lfloor \frac{2m}{3} \right\rfloor - n\right]$	$p_k[n]$
m	$\left\lfloor \frac{2m}{3} \right\rfloor$	k
0	0	0
1	0	2
2	1	1
3	2	0
4	2	2
5	3	1
6	4	0
7	4	2

그림 9. 시변 디지털 시스템의 입출력 관계  
Fig. 9. Input output relation of time-varying digital system.

3. FIR 필터의 계수 설계

디지털 필터의 설계 사양이 주어지면 최적화 기법에 의해 계수를 설계할 수 있는데, 높은 주파수에서 동작하는 필터에서는 하드웨어가 간단한 고정 소수점 연산을 채용하는 것이 필요하다. 그런데, 고정 소수점 연산에서도 곱셈은 큰 부담이 되므로, CSD를 사용하여 계수의 전체 자리수 중 0이 아닌 것수를 제한하여 몇 번의 쉬프트와 덧셈만으로 곱셈을 수행한다.

CSD는 매 자리를 +1, 0, -1의 세 가지 중 하나로 하여 다음의 식과 같이 수를 표현하는 방법이다.

$$x = \sum_{k=1}^L s_k 2^{p_k}, s_k \in \{-1, 0, 1\}, p_k \in \{0, 1, 2, \dots, M-1\}$$

위 식에서 M은 전체 자리수, L은 0이 아닌 자리의 갯수를 나타낸다. 이렇게 표현되는 수를 사용하면 L의 값을 제한하여 실제 필요한 덧셈 횟수를 줄일 수 있다. 이 때 L만큼의 쉬프트와 덧셈으로 곱셈을 구현할 수 있다.

이와 같은 방법을 이용하여 FIR 필터를 구현하기 위해서는 계수들을 모두 CSD로 구성해야 하는데 단순한 양자화만으로는 상당한 성능 저하가 일어나기 때문에

이를 위해 여러가지 최적화 기법들이 제안되어 있다. 우선 최적화된 실계수(real coefficient)를 구한 뒤 그것을 양자화하여 integer programming으로 최적값을 구하는 방법들이 있고 최근에는 simulated annealing을 이용하여 직접 CSD 계수를 구하는 방법이 연구되었다.<sup>14, 15, 16</sup>

본 연구에서 필요한 디지털 필터는 정규화한 주파수로 통과대역 가장자리가 0.14, 저역대역 가장자리가 0.20인 저역통과 필터인데, 필터 길이는 12, 전체 자리수는 8, 0이 아닌 자리를 2개로 하고 local search 알고리즘을 사용하여 원하는 특성을 얻을 수 있었다.<sup>15</sup> 하드웨어 구현상 덧셈과 뺄셈을 모두 할 수 있게 하려면 상당한 부가회로가 필요하기 때문에 앞의 식과 같은 CSD를 그대로 사용하지 않고 다음 식과 같이 2의 거듭제곱의 뺄셈만으로 수를 표현하게 하였다.

$$x = 2^a - 2^b, a, b \in \{0, 1, 2, 3, 4, 5, 6, 7\}$$

이렇게 하는 경우 원래의 CSD보다 표현할 수 있는 수의 가지수가 적지만 하드웨어 구현에는 편리하다. 실제 이것을 사용하여 최적화했을 때 만족할만한 결과를 얻을 수 있었다. 그림 10에 최적화된 CSD 필터의 주파수 특성을 보인다. Filter1,2는 각각 상대적으로 통과대역이 넓은 것과 좁은 것으로서 신호의 잡음 정도에 따라 선택하여 사용할 수 있게 하였다. Filter3,4는 panning을 하는 경우의 필터 특성이다. 이 때도 마찬가지로 선택하여 사용할 수 있다.

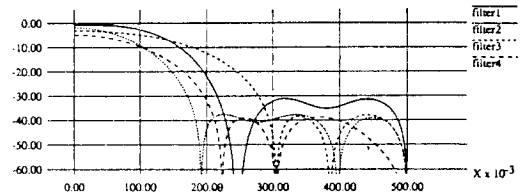


그림 10. 설계된 FIR 필터의 주파수 특성  
Fig. 10. Frequency characteristics of the designed FIR filter.

4. 하드웨어 구현

앞에서 설명한 CSD 계수를 이용한 필터 설계 기법은 필터의 특성이 정해져 있을 때 주로 사용되고 프로그램이 가능한 필터는 보통의 곱셈기를 사용하는 것이 일반적이다. 본 시스템에 필요한 저역통과 필터는 poly-phase 구조를 가지기 때문에, 각 필터의 계수가 3 sample 주기로 변한다. 따라서, 본 연구에서는 CSD 계수를 사용하면서도 프로그램이 가능한 필터를 만들기 위해 그림 11과 같이 barrel shifter를 사용하여 곱셈기를 구현하였다. 필터의 계수를 shifter의 제

어신호로서 표현함으로써 CSD 계수와의 곱셈을 수행할 수 있다.

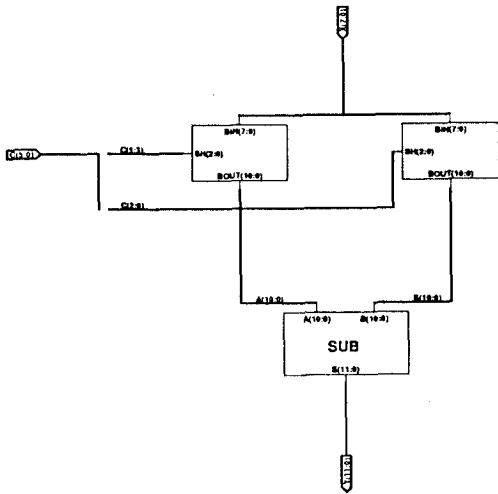


그림 11. CSD 곱셈기  
Fig. 11. CSD multiplier.

CSD 곱셈기는 2 개의 barrel shifter와 하나의 뿔셈기로 구성되어 있고 곱하는 수는 barrel shifter의 제어 신호라는 형태로 받아들여지게 되어 있다. Barrel shifter는 8 자리까지 쉬프트시킬 수 있으므로 곱하는 수의 자리수가 8이 되고 무조건 뿔셈만 하게 함으로써 표현할 수 있는 수가  $(2^0 - 2^{-7}) \sim (-2^0 + 2^{-7})$ 의 범위로 제한된다. 이제 필터의 각 탭 (tap)이 프로그램 가능하므로 polyphase 구조를 이용한 시변 디지털 필터를 구현할 수 있고 필터의 특성 자체도 변화시킬 수 있다. 그림 12에 CSD 곱셈기를 사용한 휘도 신호용 FIR 필터의 구조를 보였다. Direct form으로 구현하였으며 덧셈기에 한 단의 파이프라인을 두어 속도 제약이 발생하지 않도록 하였다.

색상 신호를 1.5 배 보간하기 위해서도 흑백 신호에서와 똑 같은 필터를 사용할 수 있다. 그런데 색상 신호는 10.125 MHz의 출력이 필요하므로 20.25 MHz에 동작하는 필터를 시분할하여 U, V 신호에 공동으로 사용할 수 있다. 이를 위해 입력 부분에 MUX (multiplexer)가 필요하고 출력을 제어할 필요가 생긴다. 사용되는 입력과 polyphase 필터의 관계는 그림 13과 같다. 이 때 출력은 보간된 U, V가 한 클럭마다 번갈아서 나오며 적절한 시간에 latch를 시키면 원하는 10.125 MHz 출력을 얻을 수 있다.

### V. IC 설계, 제작 및 Test 결과

전체 시스템의 설계 과정은 그림 14와 같다. 즉 제

일 상위 단계에서 시스템을 Synopsys의 회로도 와 VHDL (VHSIC Hardware Description Language)로 기술하여 모의 실험을 통하여 검증하였다. 이 때, 회로도상의 블록들과 그 간의 연결된 신호들은 VHDL의 구조 (structural) 형식으로 변화되어 논리 합성에 필요한 VHDL code를 얻을 수 있다. 각 부분의 행위 (behavioral) 형식 VHDL code와 회로도로부터 얻어진 구조 형식의 전체 VHDL code를 Synopsys사의 논리합성기를 이용하여 삼성의 KG 50000 gate array 라이브러리 (library)를 이용한 게이트 (gate) 회로로 바꾸었다. 삼성에서 제공한 Synopsys용 library는 KG50000에서 사용할 수 있는 gate들의 기능과 delay, 면적에 관한 정보가 들어 있어서 Synopsys의 논리 합성기에서 이 정보들을 참고로 하여 논리 회로를 구성한다. 합성된 회로는 Viewlogic사의 PowerView로 옮겨서 다시 한 번 모의 실험을 거치고 fanout 문제 등을 해결한 후 레이아웃 (layout) 단계로 넘긴다. Synopsys library에 fanout의 제한에 관한 정보가 정확히 입력되어 있지 않았기 때문에 하나의 출력에 너무 많은 입력이 연결되어 있는 경우가 생겨서 손으로 수정해야만 했다. 레이아웃은 gate array place and routing tool에 의하여 삼성전자에서 자동으로 이루어졌다. 이렇게 레이아웃된 회로는 다시 back-annotation 과정으로 post-layout delay를 추출하여 다시 PowerView에서 모의 실험을 통해 동작을 확인한다. 이러한 과정을 통해 최종 확정된 레이아웃 결과를 사용하여 실제 공정을 수행하였다. 필요한 RAM들은 삼성의 KG50000 gate array에서 제공하는 RAM compiler로 합성하여 사용하였다. Post-layout후의 모의실험 결과는 typical 32 MHz, worst case 19 MHz의 동작속도를 보여주었다. 속도에 제한을 가하는 critical path는 RAM의 read/write 동작에 있었다. 본 IC는 원래 standard cell 방식으로 제작될 예정이었으나, 설계가 끝날 무렵에 HD-MAC 표준화 사업이 유럽에서 중지됨으로써, 동작 속도가 보증이 안 되나 비용이 저렴한 gate-array를 이용하여 구현되었다.

Video IC는 삼성 반도체의 1.0  $\mu\text{m}$  공정을 사용하여 160 pin QFP package로 제작되었다. IMS tester를 이용하여 모의 실험에서 사용된 test vector를 시험한 결과 모든 기능이 정확히 동작함을 확인할 수 있었다. 양산을 위한 제작이 아니었기 때문에 fault coverage에 대한 고려는 하지 않고 동작만을 확인하기 위한 test vector를 사용하였다. 16 MHz 이상에서는 모의 실험의 입출력과 다른 결과를 보였다. 그러므로 IC의 최고 동작 속도는 약 16 MHz이다.

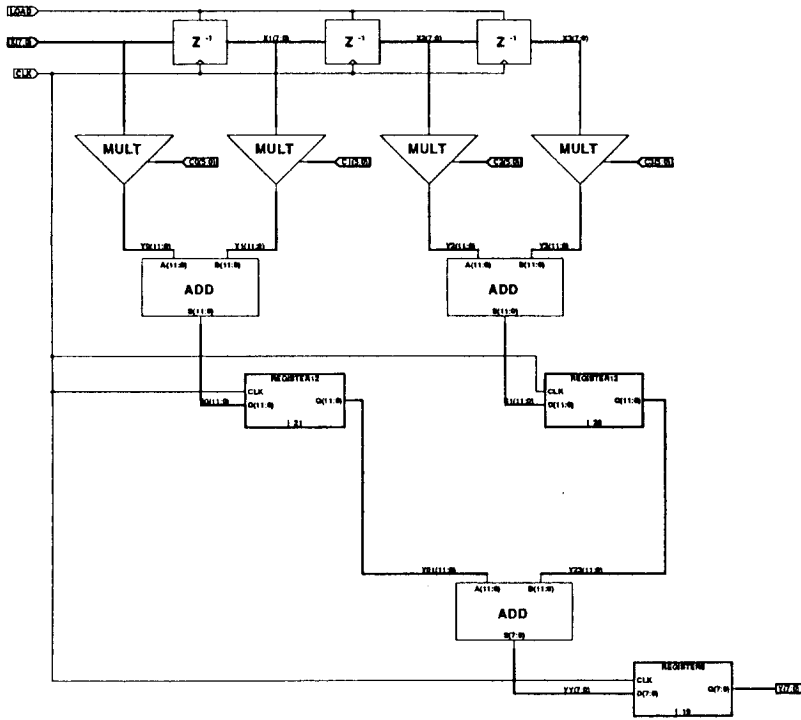


그림 12. 휘도 신호용 FIR 필터의 구조  
Fig. 12. Block diagram of the FIR filter for luminance signal.

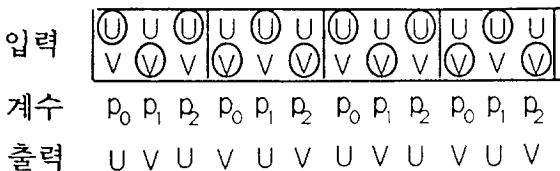


그림 13. 색상 신호의 보간에 있어서 입출력 및 계수의 관계  
Fig. 13. The relation of input, output and coefficients in interpolating chrominance signal.

VI. 결론

MAC 방식으로 부호화된 텔레비전 신호에서 영상신호 부분을 추출하여 압축을 풀고 descrambling을 하는 IC를 설계하여 실제 ASIC으로 구현하였다.

VHDL을 이용하여 설계하였으며, 논리 단계의 설계는 Synopsys를 이용한 합성을 통해 이루어졌다. 13.5 MHz, 6.75 MHz의 휘도와 색상 신호를 보간하여 각각 20.25 MHz, 10.125 MHz로 출력하는 디지털 보간 필터를 polyphase 구조와 CSD 계수를 이용하여 적은 하드웨어로 구현하였다.

IC test 결과 모든 기능이 동작됨을 확인할 수 있었다. ASIC은 삼성 반도체의 KG50000 gate array 공정을 이용하여 160 pin QFP package로 제작되었다.

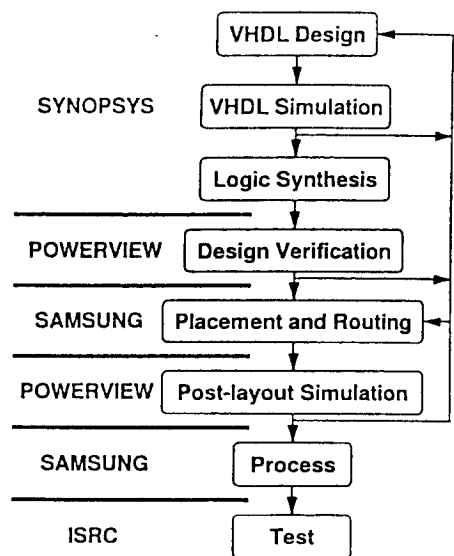


그림 14. Video IC의 설계 과정  
Fig. 14. Design flow of the Video IC.

## 感謝의 글

본 연구는 상공부, 체신부, 과기처에서 시행한 HD TV 수상기 개발사업의 일환으로 생산기술연구원을 통하여 1991년 12월부터 1993년 6월까지 지원된 연구비에 의하여 수행되었으며, 유영준 단장, 심영석 박사, 노기홍 박사께 감사드린다.

## 참 고 문 헌

- [1] *Specification of the systems of the MAC/packet family - Second edition*, European Broadcasting Union, Tech. 3258 - E, Oct. 1991.
- [2] P. P. Vaidyanathan, "Multirate Digital Filters, Filter Banks, Polyphase Networks, and Applications: A Tutorial," *Proc. IEEE*, vol. 78, pp. 56-93, Jan. 1990.
- [3] R. E. Crochiere and L. R. Rabiner, "Interpolation and Decimation of Digital Signals - A Tutorial Review," *Proc. IEEE*, vol. 69, pp. 300-331, Mar. 1981.
- [4] Y. C. Lim and S. R. Parker, "FIR Filter Design Over a Discrete Powers-of-Two Coefficients Space," *IEEE Trans. Acoust., Speech, Signal Processing*, vol. 31, pp. 583-591, Jun. 1983.
- [5] H. Samueli, "An Improved Search Algorithm for the Design of Multiplierless FIR Filters with Powers-of-Two Coefficients," *IEEE Trans. Circuits and Systems*, vol. 36, pp. 1044-1047, Jul. 1989.
- [6] N. Benvenuto, M. Marchesi, and A. Uncini, "Applications of Simulated Annealing for the Design of Special Digital Filters," *IEEE Trans. Signal Processing*, vol. 40, pp. 323-332, Feb. 1992.
- [7] Roger Lipsett, Carl F. Schaefer and Cary Ussery, "VHDL: Hardware Description and Design," Kluwer Academic Publishers, 1989.
- [8] "MV1700, MV1710, MV1720, MV1730," The Plessey Company plc, no. PS2212, Jan. 1989.
- [9] "DMA2271, DMA2280, DMA2281 C/D/D2-MAC Decoder," ITT Semiconductors, Aug. 1991.
- [10] Synopsys Inc., VHDL Compiler Reference Manual, V2.2, 1991.
- [11] Viewlogic Systems Inc., Workview Manual, 1989.

## 저 자 소 개



南勝鉉(正會員)

1969년 2월 22日生. 1991년 2월 서울대 제어계측공학과 졸업(공학사). 1993년 2월 서울대 대학원 제어계측공학과 졸업(공학석사). 1993년 3월 ~ 현재 서울대 대학원 제어계측공학과

박사과정 재학중. 주관심 분야는 VLSI를 이용한 디지털 신호처리 및 컴퓨터이용설계 등임.



成元鎔(正會員)

1955년 4월 14日生. 1978년 2월 서울대 전자공학과 졸업(공학사). 1980년 2월 한국과학원 전기 및 전자공학과 졸업(공학석사). 1987년 7월 미국 University of California, Santa Barbara 전기 및

컴퓨터공학과 졸업(공학박사). 1980년 2월 ~ 1983년 7월 (주) 금성사 중앙연구소 연구원. 1989년 2월 ~ 현재 서울대 제어계측공학과 부교수. 주관심 분야는 병렬처리 컴퓨터와 VLSI를 이용한 고속 신호처리 등임.