

IMT-2000용 WCDMA 모뎀 개발

Design of WCDMA modem for IMT-2000 systems

문준·최지웅·최인호·윤영신·이용환

June Moon · Ji-Woong Choi · Young-Shin Yoon · Inho Choi · Yong-Hwan Lee

광대역 CDMA(WCDMA: Wideband Code Division Multiple Access)는 비동기식 IMT-2000 표준안으로서 각종 최신 기술을 접목시키기 용이하다는 장점과 현재 세계 시장의 절반 이상을 차지하고 있는 GSM의 인프라 때문에 IMT-2000 시장에서 주목을 받고 있다. 본 논문에서는 3GPP 표준안에 따른 WCDMA 단말기 모뎀 시스템의 설계와 구현에 대해 기술한다. 또한 WCDMA의 핵심 변복조 기술인 채널 추정과 전력 제어 및 셀 탐색 기법에 대해 향상된 알고리듬을 제안하고 이러한 알고리듬이 실장된 모뎀의 성능을 분석한다. 개발된 모뎀은 향상된 설계 기준에 따라 여러 송수신 모듈들이 효율적으로 통합될 수 있도록 구현되었으며 개선된 적응 채널 추정 및 SIR 추정 기법을 사용하여 기존 상용 기법을 사용한 단말기 모뎀에 비해 도심 환경에서 0.5~1.0dB 정도 향상된 성능을 나타낸을 확인하였다.

주제어: WCDMA, IMT-2000, 적응 채널 추정, 전력제어, 셀탐색 기법

Recently, wideband code division multiple access (WCDMA) system attracts much attention since it can provide high-speed data rate that can support the multi-media service. This paper considers the design of WCDMA modem and implementation aspects. We propose the adaptive channel estimator, the enhanced power control scheme, and the novel cell search technique. The performance of the implemented modem that incorporate the proposed schemes are compared with that of the system with a conventional techniques. The proposed system can provide the performance improvement by 0.5~1.0dB compared to the conventional system.

Keywords: WCDMA system, IMT-2000, adaptive channel estimation, power control, cell search

I. 서 론

IMT-2000은 인터넷의 광범위한 보급과 이에 따라 증가하고 있는 데이터 통신 수요에 부응하기 위해 육상/워성 환경에서 무선 단말기로 음성, 패킷 데이터, 영상 등의 멀티미디어 서비스 및 글로벌 로밍 등의 차세대 이동 통신 서비스 제공을 목표로 출발하였다. ITU (International Telecommunication Union)에서는 무선 전송 방식과 망 인터페이스 등에 있어서 IMT-2000

의 세계적 통일을 추구하여 왔지만 표준화에 참여하는 주요 국가 및 회사들의 이해관계의 대립으로 인해 단일 표준을 만드는데 어려움을 겪었고, 결국 유럽과 일본을 중심으로 하는 비동기 방식의 3GPP(third Generation Partnership Project)와 미국을 중심으로 하는 동기 방식의 3GPP2의 양 진영으로 나뉘어 독립적으로 표준화 작업을 진행하게 되었다[1],[2].

WCDMA 시스템은 3GPP 진영에서 제시한 IMT-2000 표준안으로서 GPS(Global Positioning

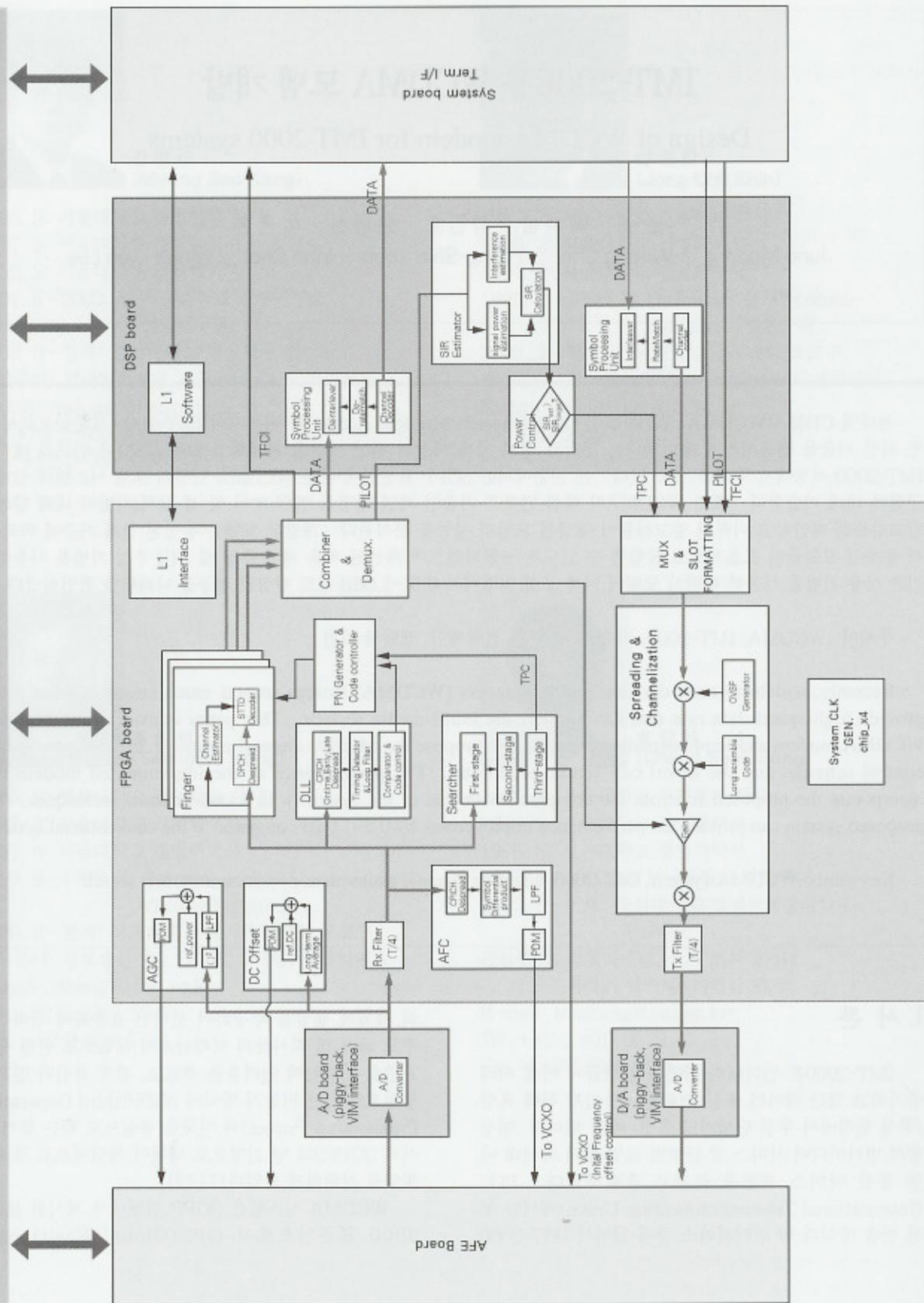


그림 1. WCDMA 단말기 실장 구조

System)를 사용할 필요가 없는 기지국 간의 비동기 시스템이다. 동기 방식인 cdma2000이 2세대 CDMA 시스템과의 호환성 유지를 위해 신규 기술 접목이 어려운 반면, WCDMA는 새로운 시스템으로서 각종 최신 기술을 접목시키기 용이하다는 장점을 가지고 있다. 또한 현재 세계 시장의 절반 이상을 차지하고 있는 GSM의 인프라를 고려할 때, IMT-2000 시장에서는 WCDMA가 주를 이룰 것으로 보는 예상이 지배적이다.

CDMA 시스템은 광대역 변복조 특성으로 인해 칩 단위의 고속 연산을 필요로 한다. 따라서 CDMA 모뎀들은 저속 모뎀들에서 사용되는 상용 DSP(Digital Signal Processor)를 이용하기 보다는 전용 ASIC(Application Specific Integrated Circuit)을 이용해서 구현하는 것이 지금까지의 일반적인 추세였다. 하지만 앞으로 복수의 RTT(Radio Transmission Technology) 및 2세대 이동 통신 시스템을 동시에 지원할 필요성이 증대됨에 따라 DSP와 전용 ASIC의 결합으로 모뎀을 구성하는 경향이 두드러지고 있다. 이는 해당 서비스 지역에 따라 모뎀의 동작 모드를 DSP의 프로그램이 전용 ASIC을 제어하는 다중 모드 단말기를 구현하기 위한 것이다. 이러한 추세에 맞추어 본 연구에서는 칩 단위의 고속 연산을 필요로 하는 부분은 FPGA(Field Programmable Gate Array)를 이용하여 구현하고, 그 이외의 부분은 상용 DSP를 이용하여 모뎀 프로토타입을 실장하였다.

모뎀을 구성하는 핵심 기술로는 크게 WCDMA의 비동기식 기지국 운용에 필수적인 셀 탐색 기법과 레이크 수신기(rake receiver)에 포함되는 여러 알고리듬이 있다[3]. 본 논문에서는 비동기식 기지국의 효율적인 운용을 위해서 빠른 셀 탐색 기법에 관한 연구를 수행하였으며, 특히 셀 탐색 기법은 하드웨어 실장시 복잡도가 높으므로 하드웨어 구현에 적합한 알고리듬을 설계한다. 레이크 수신기는 무선 환경에서 다중 경로 페이딩을 극복하기 위한 효율적인 수신기로서, DS-CDMA(Direct Sequence CDMA) 시스템의 수신 성능을 결정하는 여러 핵심 기술이 집약되어 있다. 채널 추정기는 수신기의 동기 복조의 성능과 직접적으로 연관된 부분으로서 본 연구에서는 가변하는 무선 채널 환경에서 강하게 동작할 수 있는 적응 채널 추정 기법을 사용한다. 전력 제어 기법은 다중 사용자의 수신 신호 전력을 일정하게 조절하는 것으로 이를 위해서는 수신단에서 신호 대 잡음 전력비(SIR: Signal to Interference power Ratio)의 정확한 추정이 필요하다. 이를 위해 다양한 다중 경로 페이딩과 레일리 페이딩 환경에서 신호 대 잡음 전력 비를 정확하게 추정하기 위한 효율적인 기법을 사용한다. 이외에도 수신단의 AGC(Automatic Gain Controller), AFC(Automatic Frequency Controller), DLL(Delay Locked Loop), 송수신 필터 등의 주요 블록들을 하드웨어 구현에 적합한 효율적인 구조로 설계한다.

II장에서는 WCDMA 시스템의 설계 기준과 주요

변복조 알고리듬의 구현에 대해 기술하고 III장에서는 제안된 알고리듬의 설계와 실장에 대해 기술한다. IV 장에서는 이러한 알고리듬을 실장한 하드웨어의 구조와 테스트 환경 및 성능을 기술하고, 마지막으로 V장에서 결론을 맺는다.

II. 시스템 구현

그림 1은 구현된 WCDMA 단말기의 송수신기 구조를 나타낸다. WCDMA 단말기 모뎀은 칩 레이트가 3.84Mcps로서 칩 단위로 동작되는 블록들이 고속 연산을 필요로 하므로 상용 DSP로는 실시간 시스템의 구현이 불가능하다. 따라서 프로토타입 보드의 제작은 그림과 같이 칩 단위로 동작하는 블록들은 FPGA로 구현하고 심볼 단위로 동작하는 블록들은 DSP로 구현한다.

아날로그 인터페이스 부에서 신호가 입력되면 A/D 변환기에서 칩 레이트의 4배의 속도(15.36MHz)로 표본화된다. 6비트 A/D 변환기에 의해 표본화된 I/Q 신호는 FPGA로 구현되는 수신 모뎀으로 입력되어 수신 필터와 레이크 수신기와 같은 기저 대역 신호 처리 과정을 거치게 된다. 모뎀 시스템을 구동하는 클록이 FPGA 내부의 클록 제어기에 의해 발생되고 이 클록은 칩 레이트의 4배인 15.36MHz가 된다. 실제 시스템 구동 클록은 아날로그 단의 VCXO로부터 분주하여 만들어 내게 되고 VCXO는 AFC루프를 통해 기지국과 0.1ppm 이내로 동기되어 있으므로 전체 시스템 클록도 기지국과 0.1ppm 이내로 동기 되어 있다. 이후의 타이밍 제어는 DLL을 통해 타이밍 복원 과정을 거치면서 이루어 지게 되며 심볼 단위로 동작하는 DSP에 타이밍 정보를 제공한다. DSP에서는 비트처리와 SIR 추정, 레이크 수신기와 여러 하드웨어 모듈을 제어하는 L1(Layer-1) 프로그램이 수행된다. DSP에서 처리된 데이터들은 마이크로 프로세서와 연결되어 여러 상위 레이어 과정들과 터미널 인터페이스 기능을 수행할 수 있게 한다.

그림 1에 나타난 주요 송수신 모듈에 대한 설계와 구현에 대해 간략히 기술한다.

1. 송신기

송신기는 심볼 단위로 동작하여 DSP에서 구현되는 비트 처리부와 칩 단위로 동작하여 FPGA에서 구현되는 확산, 변조 블록으로 이루어진다.

1.1. 비트 처리부

단말기의 송신기에 실장하는 비트처리부는 그림 2와 같다. 심볼 단위로 동작하는 블록으로 상위 계층으로부터 데이터를 넘겨받아서 프레임화하고 채널 코딩, 전송을

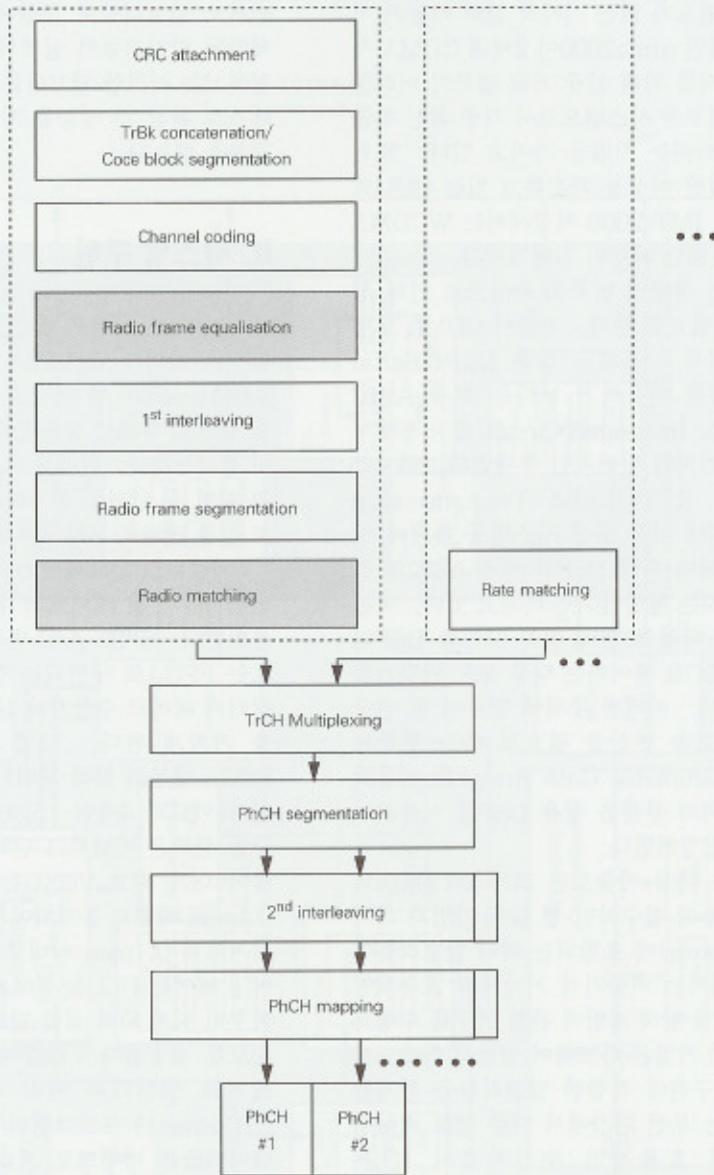


그림 2. 비트 처리부

정합(rate matching), 인터리빙 등을 수행한다[4].

상위 계층으로부터 트랜스포트 블록에 해당하는 비트를 받아서 각 블록마다 CRC(Cyclic Redundancy Check) 비트를 붙이고 여러 트랜스포트 블록이 있을 경우 모두 연결한다. 이후 채널 코딩 블록 단위로 다시 분할하여 길쌈부호나 터보부호로 인코딩한다. 부호화된 비트들을 1차 인터리빙하고 10ms의 프레임 단위로 분할한 뒤 실제 물리 채널에 매핑하기 위해 전송을 정합을 수행한다. 이와 같은 과정을 거친 각 트랜스포트 채널들을 모두 모아서 다시 연결하고(TrCH multiplexing) 2차 인터리빙을 한 후 실제 물리 채널로 매핑하게 된다.

이와 같은 일련의 과정들이 모두 하나의 TTI(Transmission Time Interval) 단위로 동작하므로 비트 처리부는 TTI 단위로 동작하게 되고 여러 가지 과정을 거쳐 물리 채널의 비트로 매핑되어 송신기에 입력된다.

1.2. 확산 및 변조

상향 링크는 실수/허수축(I/Q) 다중화 기법을 이용하여 I, Q 축을 독립적인 채널로 이용하므로 각자 다른 OVSF(Orthogonal Variable Spreading Factor) 부호로 확산될 수 있다. 각 채널은 BPSK 변조방식을 사용

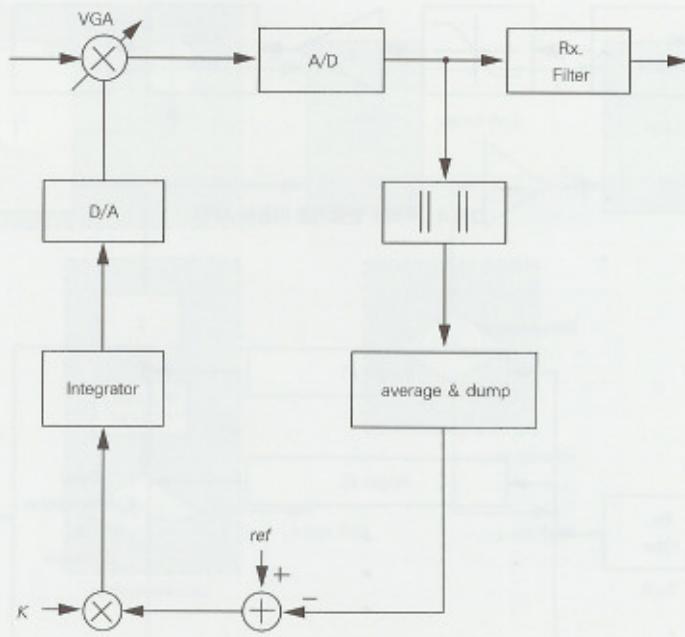


그림 3. AGC 구조

하고 혼화 시 I와 Q를 결합하여 복소 심볼로 생각하고, 복소 혼화 부호를 곱한다. DPCCH(Dedicated Physical Control Channel)는 Q채널로 항상 전송되며 최대 6개의 DPDCH(Dedicated Physical Data Channel)가 다중 코드를 이용하여 I와 Q 측에 나뉘어 전송될 수 있다.

2. 수신기

2.1. Automatic Gain Control(AGC)

수신 신호의 레벨이 A/D 변환기의 원하는 수준에 맞추어질 수 있도록 아날로그단의 가변 이득 조정기 이득값을 조정하는 블록으로 그림 3과 같이 A/D 변환기에서 표본화된 신호를 입력으로 하여 수신 전력을 측정하고 이를 기준값과 비교하여 그 차이만큼 가변 이득 조정기의 입력값을 변화시킨다.

칩 시간 T_c 의 4배($T_c/4$)로 과표본화된 아날로그 입력신호는 가변이득 조정기(VGA: Variable Gain Amplifier)에서 AGC 이득 만큼 증폭되어 A/D 변환기로 입력된다. AGC가 정상적인 동작을 하는 경우, 6비트 이상의 A/D 변환기를 사용하여 부동 소수점의 경우 와의 성능 차이가 0.1dB 이내가 되도록 유지한다.

2.2. Automatic Frequency Control(AFC)

수신기는 수신 신호를 기저 대역으로 변화하기 위해

발진기를 사용하여 반송파 주파수를 만들어 낸다. 수신 신호의 주파수와 수신기의 발진기에서 발진된 신호의 주파수가 다를 경우, 주파수 편이 현상으로 인하여 복조된 신호의 SNR 열화 현상이 나타난다. 주파수 오차는 주로 수신되는 신호의 반송파 주파수와 수신기의 발진기에서 발진된 반송파 주파수가 다르기 때문에 발생된다. AFC는 이러한 주파수 오차를 추정하여 추정된 주파수 오차를 VCO(Voltage Control Oscillator)를 통해 보상한다.

AFC 알고리듬은 수신되는 데이터 신호를 이용하여 주파수 오차를 추정하는 방식과 파일럿 신호를 이용하여 주파수 오차를 추정하는 방식으로 구분된다[5]. 수신되는 데이터를 이용하여 주파수 오차를 추정하는 경우는 변조된 데이터로부터 데이터 성분을 제거하기 위해서 결정궤환을 이용하는 방법과 비선형 회로를 이용하는 방법이 있다. 결정궤환을 이용하는 경우는 수신되는 신호의 낮은 SNR에서 오동작을 하며, 비선형 회로를 이용하는 경우는 정상상태의 지터량이 파일럿 신호를 이용한 기법보다 크다. WCDMA 표준안에서는 공용 파일럿 채널(CPICH: Common Pilot Channel)이 존재하므로 파일럿 신호를 이용한 방식 중 보편적으로 알려진 주파수 분별기를 사용한다.

AFC는 그림 4와 같이 주파수 분별기, 루프 필터, VCO, 주파수 오차 보상블록으로 구성된다. 주파수 분별기는 기저대역으로 변환된 신호에 남아있는 주파수 오차를 추정한다. PLL(Phase Locked Loop)은 주파수 분별기에서 추정한 주파수 오차값을 안정적으로 추

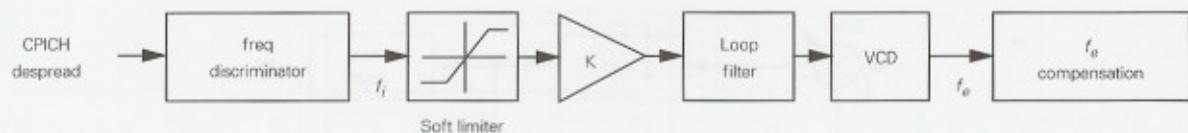


그림 4. 주파수 분별기를 이용한 AFC

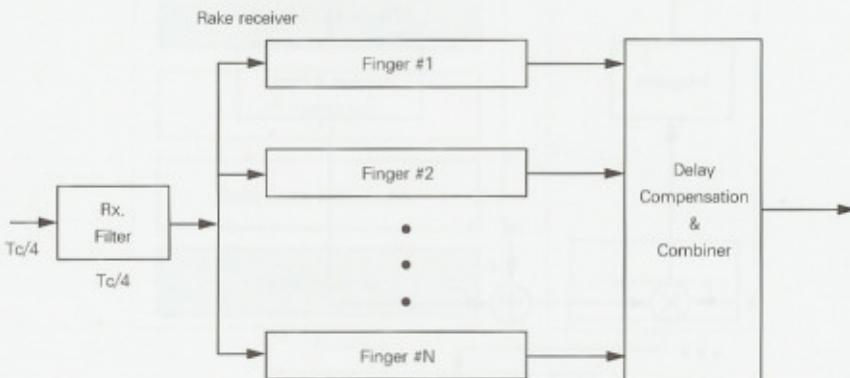


그림 5. 레이크 수신기의 구조

적하기 위해서 사용된다. PLL을 거치고 나온 최종적인 주파수 오차값을 주파수 오차 보상블록에서 보상함으로써, 발진기에서 발생된 반송파 주파수를 수신신호의 반송파 주파수와 일치시킨다.

일반적으로 AFC는 포착 모드와 추적 모드로 구분되어 수행된다[6]. 포착 모드는 초기에 주파수 오차를 추정하는 과정으로 루프의 이득을 크게 하여 빠른 시간에 주파수 오차를 추정하도록 한다. 추적 모드는 미묘한 주파수 오차를 추적하는 과정으로 루프의 이득을 작게 하여 정상상태에서의 지터량을 줄인다. 그러므로 AFC의 성능을 향상시키기 위해서 루프의 이득을 포착 모드와 추적 모드에서 달리하여 최적의 성능을 내도록 설계하는 것이 필요하다.

2.3. 레이크 수신기

레이크 수신기는 그림 5와 같이 크게 각 다중 경로 성분을 복조하기 위한 평거와 각 평거에서 복조된 값의 지연시간을 보상하여 결합하는 심볼 결합기로 이루어 진다. 기존의 레이크 수신기는 평거 앞의 지연 버퍼를 통해 각 평거에서의 칩 타이밍, 심볼 타이밍이 모두 동기 되도록 되어 있으나 이렇게 구현할 경우 무선 채널의 지연 크기만큼의 지연 버퍼를 준비해야 하고 또한 각 평거마다 독립적인 타이밍 제어를 구현하기가 용이하지 않다. 따라서 그림 5와 같이 지연 버퍼를 평거의 뒤에

배치함으로써 각 평거의 출력 단에서 각 평거의 복조된 심볼을 받아서 지연을 보상하여 결합하도록 한다. 이 경우 각 평거는 독립적인 타이밍을 가지게 되므로 각각 독립적인 PN(Pseudo Noise) 코드 타이밍과 독립적인 DLL이 존재하게 되고 채널의 다중 경로 성분들의 간격이 변하게 되더라도 독립적인 평거 타이밍 제어를 통해 다중 경로 성분의 타이밍을 따로 추적할 수 있다.

2.4. Delay Locked Loop(DLL)

DLL은 기지국으로부터 수신되는 PN 코드의 동기를 담당하는 추적 회로이다. 다중 경로 탐색기가 지연 경로를 검색하고 대략적으로 획득된 타이밍을 평거에 제공하면 평거마다 독립적으로 DLL을 사용하여 코드동기를 유지한다. CDMA 시스템 수신기는 코드 타이밍만 동기 시키면 심볼 타이밍, 슬롯 타이밍, 프레임 타이밍이 모두 복원될 수 있으므로 DLL은 수신기 전반에 걸쳐 타이밍 복원을 수행하는 블록이다.

DLL은 각 평거마다 독립적으로 다중 경로 성분의 코드 동기를 수행한다. $T_c/4$ 단위로 과표분화된 신호를 이용하여 코드 타이밍 복원과정을 수행하며, 칩 단위에서 타이밍 복원을 수행하므로 역화산 과정에 의해 칩 간 간섭잡음(ICI: Inter-Chip Interference) 효과가 미해지기 때문에, 정확한 샘플링 위상을 추정하여 보간을 수행하는 기존의 기법 대신 $T_c/4$ 단위로 과표분화된

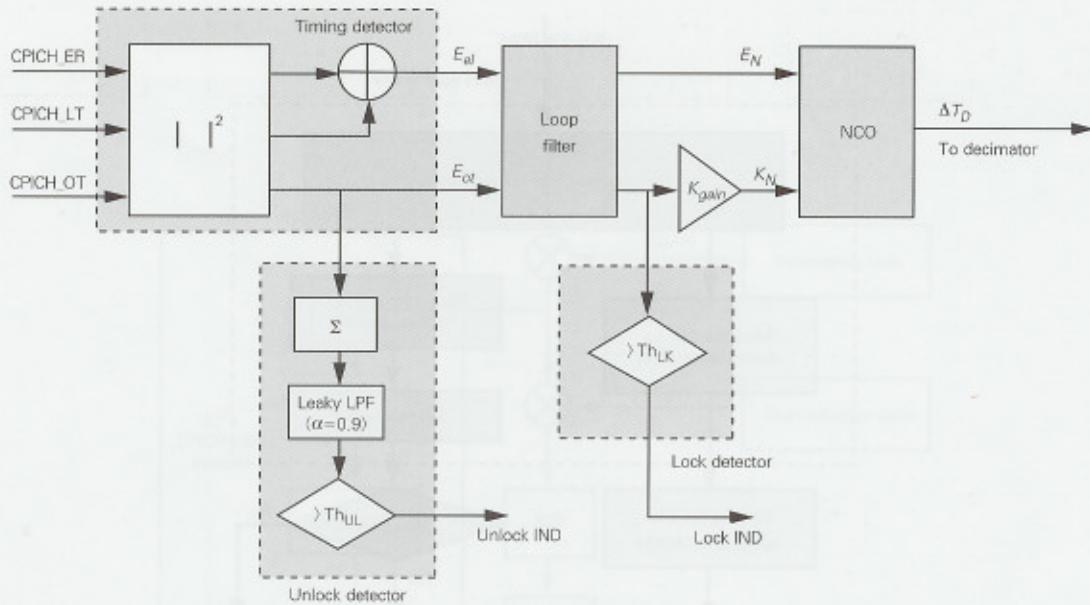


그림 6. 비동기 early-late 방식의 DLL 구조

신호 중 하나를 골라, 추림을 통해 샘플링 위상의 결정과 타이밍 주파수 보상을 수행한다. IS-95 시스템에서는 $T_c/8$ 의 단위로 수행하나, WCDMA의 경우는 칩 레이트가 약 3배 정도 증가하여 8배로 과표본화할 경우 수신 필터와 헤이크 수신기를 실장하기에는 전력소모와 복잡도가 많이 증가하여 적절하지 못하므로 $T_c/4$ 로 동작하는 구조로 설계한다. 이 경우 타이밍 위상이 $T_c/4$ 단위로 나누어지기 때문에 샘플링 위상의 최대오차는 $T_c/8$ 이 되어 표준안에서 제시하는 송수신 필터를 사용할 경우 최대 0.23dB의 SNR 손실이 발생할 수 있으나 수신신호 타이밍 위상의 확률적 특성을 고려한다면 이로 인한 SNR 손실은 미미하다고 할 수 있다.

그림 6은 타이밍 검출기, 루프필터, NCO, Lock/Unlock 검출기로 구성되는 비동기 early-late 방식의 DLL 구조를 나타낸다. WCDMA 시스템에서 여러 하향링크 채널의 프레임 타이밍의 기준이 공용 파일럿 채널(CPICH)에 일치되어 있으므로 큰 전력(10% 내외)으로 전송되는 CPICH의 파일럿 신호를 기준으로 칩 타이밍 복원과정을 수행한다.

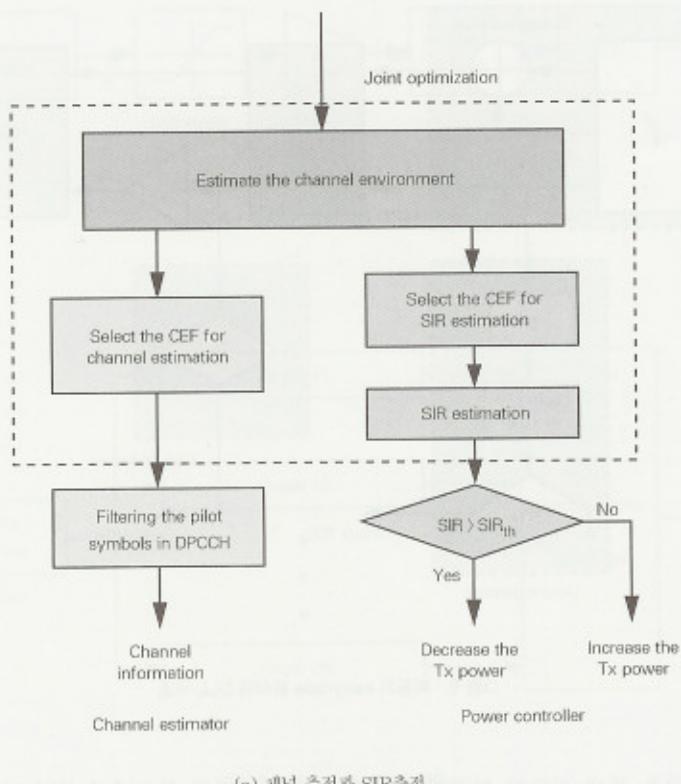
III. 향상된 알고리듬의 설계와 실장

이동 단말 모뎀 시스템을 설계하고 구현하는데 있어 가장 중요한 요소는 성능과 복잡도이다. 특히, 셀룰러 시스템에서 모뎀의 성능은 안정적인 테이터의 전송을 보장할 뿐 아니라 전체 시스템의 용량을 향상시키는 역할을 하며, 단말기는 배터리에 의존하는 휴대 장비이므로 간단한 하드웨어 복잡도는 칩의 전력 소모를 감소시켜 단말기의 운용시간을 늘려주는 역할을 한다.

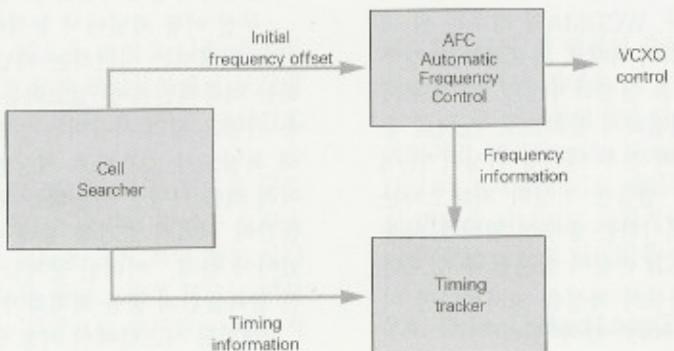
무선 이동 채널에서 동작하는 모뎀의 성능을 향상시키기 위해서는 시변하는 채널 환경에 능동적으로 대처하는 적응적인 수신 알고리듬이 필수적이다. 그러나 적응 기법은 널리 사용되는 일반적인 고정적인 기법에 비해 복잡도가 높으므로 세심한 설계가 필요하다. 또한 여러 적응 기법을 사용하는 수신 블록이 다수일 경우 이들간의 시너지 효과를 통해 수신 성능을 향상 시킬 수 있어야 한다. 이러한 문제들을 해결하기 위해 여러 수신 블록들간의 공동 최적화가 필요하다.

개발된 시스템에서 적응 알고리듬이 사용된 곳은 채널 추정기와 SIR 추정기이다. 채널 추정은 수신기의 동기 복조를 위한 것으로 그 성능이 전체 수신 성능에 직접적으로 영향을 미치는 중요한 요소이다. 채널 추정 기법의 성능은 채널의 상황에 따라 크게 달라질 수 있으므로 적응 채널 추정 기법을 사용하는 것이 중요하다. SIR 추정은 전력 제어를 위한 것으로 CDMA에서 전력 제어 성능은 전체 시스템 용량과 직접적으로 연관되므로 중요한 요소이다. SIR 추정 역시 채널 상황에 맞게 적응 기법을 사용함으로써 성능 향상을 기대할 수 있다. 채널 추정과 SIR 추정에 적응 기법을 사용함으로써 요구되는 채널 환경 추정기를 그림 7 (a)와 같이 두 기법을 동시에 지원 할 수 있게 공동 최적화하였다.

한편 WCDMA 수신기에서 동기 관련 요소는 셀탐색, 자동 주파수 제어(AFC) 그리고 타이밍 추적으로 나뉘어 진다. 이 요소들이 각각 독립적으로 최적화 될 경우 초기에 우선 셀탐색을 수행하고 대략의 타이밍을



(a) 채널 추정과 SIR추정



(b) 주파수와 타이밍 동기

그림 7. 여러 수신 알고리듬 공동 최적화

획득한 뒤 주파수 제어 루프를 통해 주파수 동기를 획득한 이후 타이밍 추적을 통해 동기를 계속 유지시켜 나가는 과정을 거치게 된다. 그러나 구현된 시스템에서는 공동 최적화 과정을 통한 개선된 셀탐색 알고리듬을 이용하여 그림 7(b)와 같이 타이밍 정보 뿐 아니라 주파수 오프셋 정보를 각각 타이밍 추적과 자동 주파수 제어 블록에 제공하면 이 두 블록이 서로의 상호 연관을 고려하여 동시에 동작하게 된다. 이 과정을 통해 초기 수신 기의 동기 획득 시간을 줄일 수 있고, 주파수 동기와 타

이밍 동기의 상호 동작성을 고려하므로 안정적인 동기를 유지해 나갈 수 있다.

1. 채널 추정 및 SIR 추정기

동기 변복조를 수행하는 WCDMA 수신기에서는 수신 신호의 위상 정보를 필요로 한다. 채널 추정기는 각 평거에 들어오는 수신 신호의 위상과 크기를 추정하며, 추정된 채널 충격 응답은 역화산된 데이터 심벌과 곱해

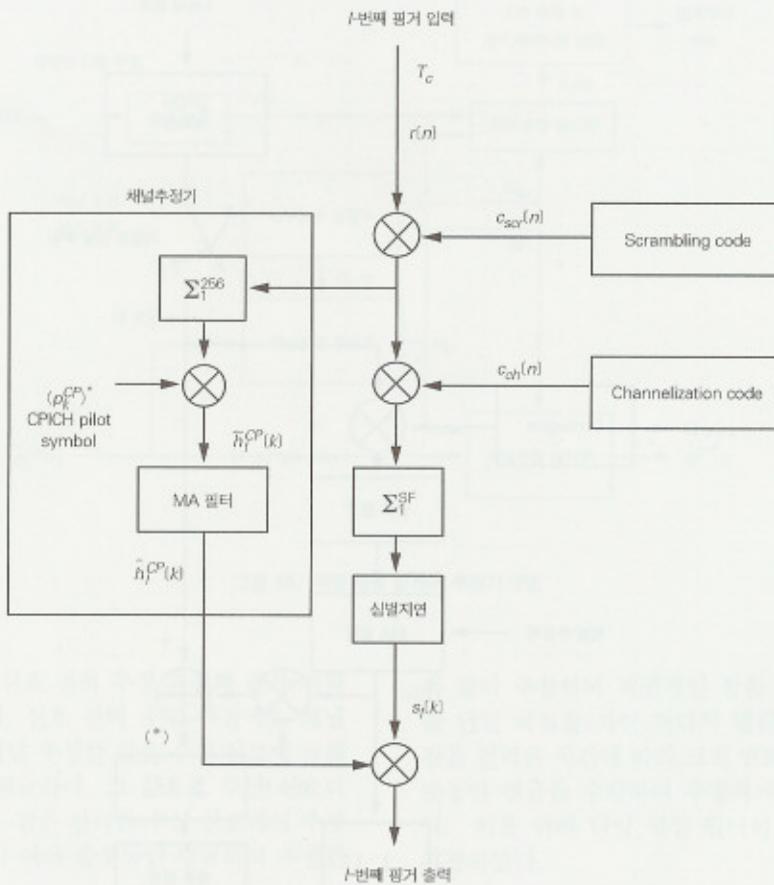


그림 8. 적응 채널 추정기 구조

져 심벌 결합기에 전달된다[7]~[12]. 하향링크 WCDMA 시스템의 경우 기지국에서 모든 사용자들에 게 CPICH를 전송하며, 채널 추정기에서는 CPICH 내의 파일럿 신호를 데이터 신호로부터 분리하여 채널 추정치를 얻게 된다.

레이크 수신기의 I -번째 평거에 해당하는 채널 추정기의 구조는 그림 8과 같다. 수신 신호 $r[n]$ 은 동기가 이루어진 확산 코드 및 파일럿 채널의 채널화 코드와 곱해져 파일럿 심벌을 얻는다. 파일럿 심벌에 포함된 잡음의 전력을 감쇄시키기 위해 파일럿 심벌은 필터링 과정을 거치며 필터의 출력이 채널 추정치가 된다. 이러한 채널 추정치는 데이터 역학산 블록에 전달되어 최대비 결합에 이용된다. 채널 추정기에서는 역학산된 신호를 CPICH의 확산 인자만큼 평균한 후 CPICH 파일럿 심벌을 곱하여 파일럿 심벌 $\tilde{h}_l^{CP}[k]$ 을 얻으며, $\tilde{h}_l^{CP}[k]$ 에 포함된 잡음을 감쇄시키기 위해 복잡도가 낮으면서도 비교적 우수한 추정 성능을 갖는 이동 평균(MA: Moving Average) 필터를 사용한다. MA 필터의 텁수를 $(2M_l+1)$ 라 할 경우, 채널 추정치는 다음 식을 이

용해 구할 수 있다.

$$\hat{h}_l^{CP}[k] = \frac{1}{2M_l+1} \sum_{i=-M_l}^{M_l} \tilde{h}_l^{CP}[k+i] \quad (1)$$

IIR 필터는 도플러 주파수가 아주 높은 경우를 제외하고는 MA 필터와 유사한 추정 성능을 나타내므로 MA 채널 추정 필터 사용으로 인한 복잡도 감소를 위해 IIR 필터를 사용할 수 있다[12]. DPCH의 채널화 코드를 곱해 역학산된 데이터 심벌은 채널 추정 필터의 출력값을 곱하는 최대비 결합 방식을 통해 다른 평거들의 출력값들과 합해진다.

고정 텁수를 갖는 추정 필터를 사용하는 경우 최대 도플러 주파수 환경에서도 동작하기 위해 통과 대역폭이 큰 필터를 사용하는 것이 필요하다. 반송파 주파수 2GHz에 대해 300km/h의 속도로 변화하는 채널의 최대 도플러 주파수는 약 550Hz가 되며 AFC의 출력 주

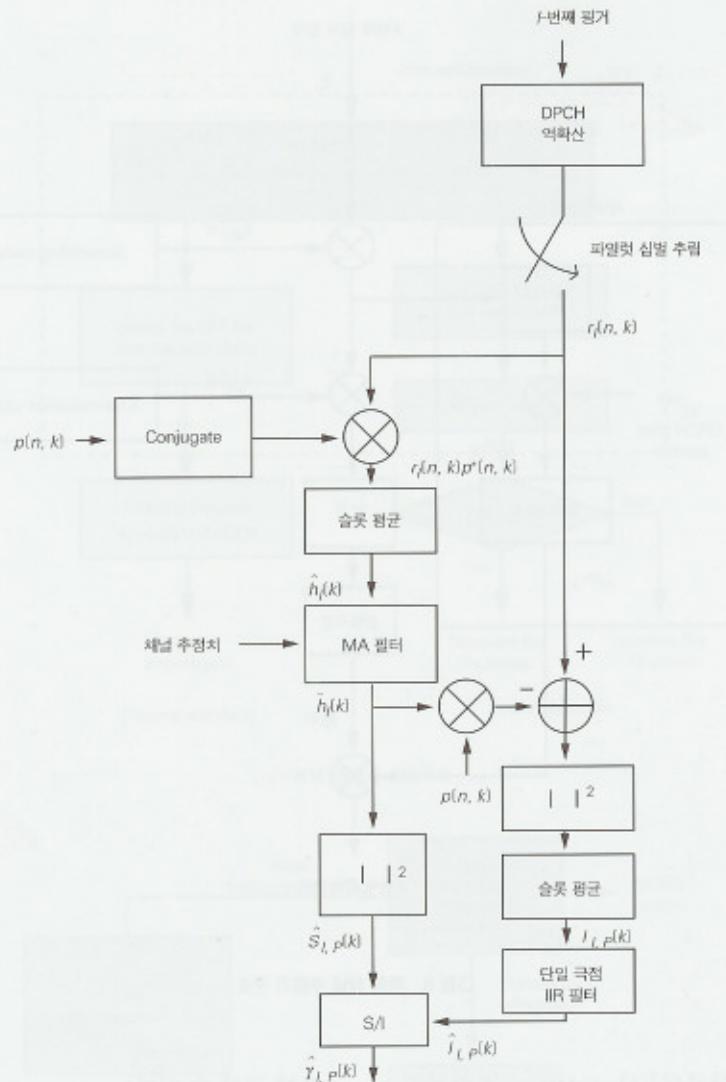


그림 9. 적응 SIR 추정기 구조

파수 오프셋 지터 성분이 채널의 속도에 더해질 수 있다. 표준안에 의하면 AFC는 0.1ppm 이내로 타이밍 오류를 수렴시켜야 하므로 최악의 경우 200Hz 만큼 도플러 주파수가 추가로 더해질 수 있다[13]. IMT-2000 시스템의 성능 조건 조건을 규정한 ITU의 M.1225에서는 시속 500km/h까지 지원해야 한다고 명시되어 있으나[14], 실제 환경에서는 이러한 속도를 내는 서비스가 존재하지 않으므로 최대 지원 속도를 고속 철도의 속도인 300km/h로 설정하는 경우, 단말기가 지원하는 최대 도플러 주파수는 750Hz가 된다. 최대 도플러 주파수에서도 채널 추정이 가능하기 위해서는 고정 MA FIR 필터의 탭 수가 5탭 보다 적은 필터를 사용해야 한다. 이러한 고정적인 채널 추정 필터를 사용할 경우 채널 충격 응답이 느리게 변화할 때, 잡음 전

력을 충분히 감쇄시킬 수 없으므로 채널 추정의 효율성이 저하된다. 따라서 채널의 환경 변화 속도를 추정하고 채널의 페이딩 특성과 수신 심벌의 SIR 변화를 고려하여 이동 평균 필터의 탭 수를 변화시키는 적응 기법을 이용한다[12],[21].

WCDMA 시스템에서는 상향링크와 하향링크 모두 빠른 전력 제어를 수행함으로써 원근 문제 및 다중 경로 페이딩으로 인한 다중 접속 잡음을 줄여 시스템 전체의 용량을 증대시킬 수 있다[16]. 전력제어 수행시 송신 전력 증감의 기준으로는 수신 신호의 크기를 이용하는 방식과 수신기에서 추정한 SIR 값을 이용하는 방식이 있는데, SIR을 기준으로 전력제어를 하는 것이 수신기에서 좋은 성능을 나타낸다고 알려져 있으며, WCDMA 시스템에서도 이 방법을 이용한다[17]~[19].

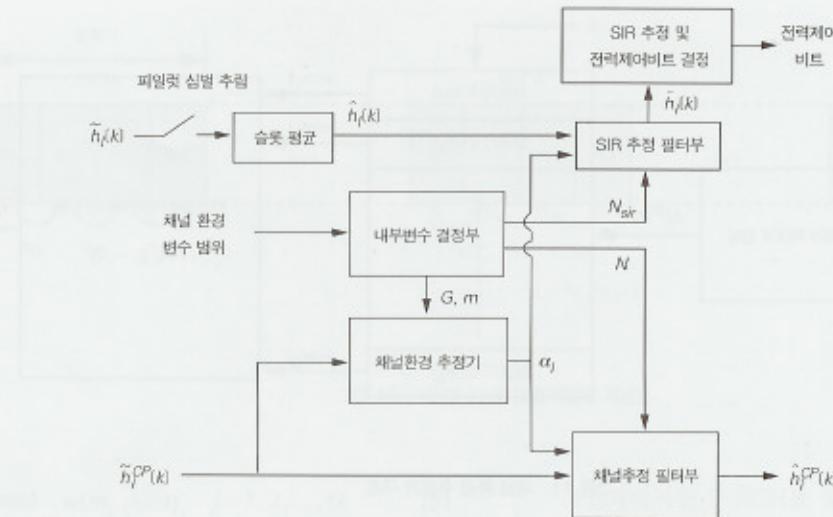


그림 10. 적응 채널 및 SIR 추정기 구조

SIR 추정은 크게 신호 전력 추정 과정과 잡음 전력 추정 과정으로 나뉘며, 신호 전력 추정 과정에는 채널 추정이 필수적이다. 채널 추정한 값을 수신 신호에 곱해 파일럿 심볼 수만큼 평균하여, 그 값으로 수신 신호의 신호 전력을 추정한다. 잡음 전력은 수신 신호에서 추정한 신호값을 제거한 뒤 여러 슬롯동안 평균하여 추정한다.

그림 9는 레이크 수신기의 l 번째 평거에 제안된 SIR 추정기의 구조이다. 레이크 수신기는 각 평거에서 추정된 SIR값을 결합하여 전력제어의 기준으로 사용한다. l 번째 평거에서 채널화 부호를 곱하여 DPCCH의 신호를 역화산한 k 번째 슬롯의 n 번째 파일럿 심벌 신호 $r_l[n, k]$ 는 다음과 같이 표현할 수 있다.

$$r_l[n, k] = h_l[n, k]p[n, k] + z_l[n, k] \quad (2)$$

여기서 $h_l[n, k]$ 는 l 번째 평거에서 수신된 k 번째 슬롯 중 n 번째 DPCCH 심벌이 통과하는 복소 채널 이득이다. 파일럿 심벌을 각 파일럿 심벌 패턴과 상관한 뒤 한 슬롯에 해당하는 파일럿 개수만큼 평균하여 슬롯 단위의 l 번째 평거의 채널 추정치 $\hat{h}_l[k]$ 를 얻는다. $\hat{h}_l[k]$ 를 필터링한 $\hat{h}_l[k]$ 로부터 신호의 전력값을 $\hat{S}_{l, p}[k] = |\hat{h}_l[k]|^2$ 와 같이 추정한다.

T_p 를 슬롯내의 파일럿 전송 구간이라 하면, 한 슬롯 내의 순시 잡음 전력은

$$I_{l, p}[k] = \frac{1}{N_p} \sum_{n \in T_p} |r_l[n, k] - \hat{h}_l[k]p[n, k]|^2 \quad (3)$$

와 같이 추정하며 최종적인 잡음 전력 $\hat{I}_{l, p}[k]$ 는 $I_{l, p}[k]$ 를 단일 극점을 가진 저대역 필터를 사용하여 얻는다. 잡음 전력은 시간에 따라 크게 변화하지 않기 때문에 오랫동안 평균을 수행하여 추정치의 정확도를 높여야 한다. 이를 위해 단일 극점 필터의 기억 상수는 0.95로 결정하였다.

$$\hat{I}_{l, p}[k] = \alpha_{SIR} \hat{I}_{l, p-1}[k-1] + (1 - \alpha_{SIR}) I_{l, p}[k] \quad (4)$$

l 번째 평거의 SIR은

$$\hat{\gamma}_{l, p}[k] = \frac{\hat{S}_{l, p}[k]}{\hat{I}_{l, p}[k]} \quad (5)$$

와 같이 추정한다. 레이크 수신기의 평거수를 L 이라 하면, 전력제어의 기준이 되는 결합된 SIR추정값은 다음과 같이 구한다.

$$\hat{\gamma}_o[k] = \sum_{l=0}^{L-1} \hat{\gamma}_{l, p}[k] \quad (6)$$

최종적으로 $\hat{\gamma}_o[k]$ 를 미리 정해진 기준값과 비교하여 전력 제어를 수행한다.

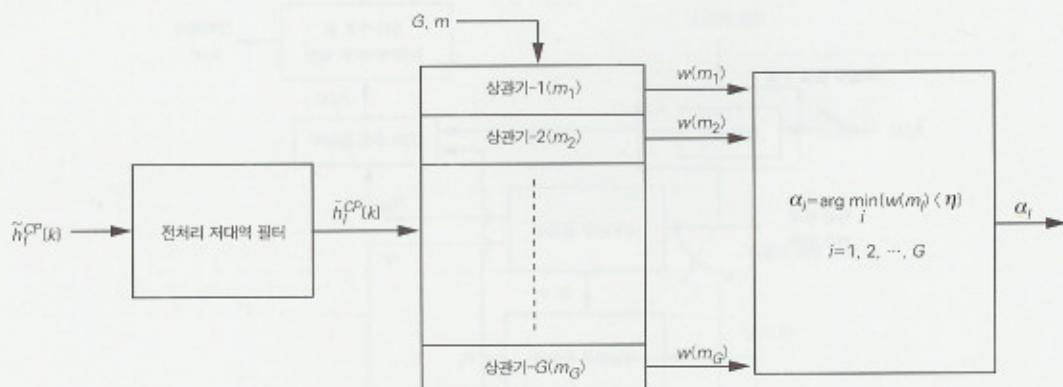


그림 11. 채널 환경 추정기 구조

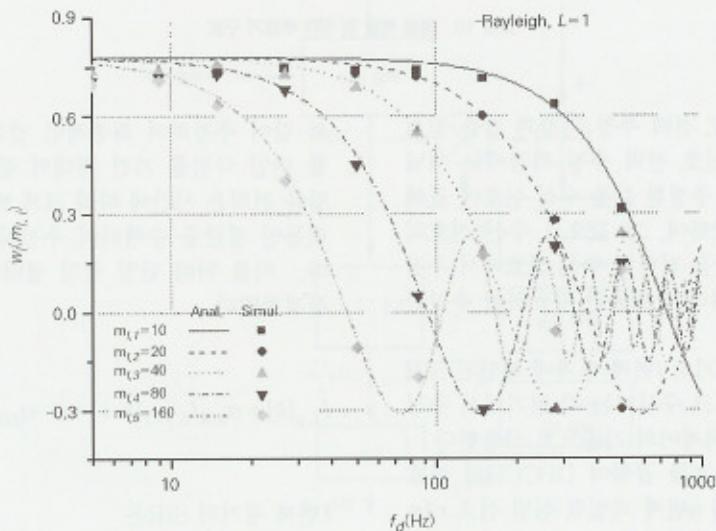


그림 12. 채널 환경 추정기의 상관기 출력

기존의 SIR 추정 기법의 경우, $\hat{h}_l[k]$ 를 그대로 채널 추정치로 사용하나(즉, $h_l[k] = \hat{h}_l[k]$), 제안된 적응 SIR 추정 기법에서는 채널 환경 추정기에서 얻은 채널 변화 속도 정보에 따라 이동 평균 필터의 랙 수를 변화시켜 보다 정확한 채널 추정치를 얻을 수 있다[20], [21]. 그림 10은 I 번째 평거에서의 적응 채널 추정 및 SIR 추정 기의 구조를 나타낸 것으로 그림 11과 같이 수신 파일럿 심벌간의 시간 상관 특성을 이용하여 채널 환경을 추정할 수 있다[20], [21]. 채널 환경 추정기의 별별 상관기의 평균 구간을 J 라 하면 m_l 심벌의 시간 간격을 갖는 상관기의 출력은

$$w_l(m_l) = \frac{\sum_{k=0}^{J-1} \operatorname{Re}\{\bar{h}_l^{CP}[k]\bar{h}_l^{CP*}[k+m_l]\}}{\sum_{k=0}^{J-1} |\bar{h}_l^{CP}[k]|^2} \quad (7)$$

와 같이 나타내어 진다. 상관기의 출력값과의 비교치를 η 라 할 경우, 채널 환경 추정기는 그림 12와 같이 도플러 주파수가 증가하거나 m_l 이 증가할수록 $w_l(m_l)$ 이 빠르게 감소하는 특성을 이용해 다음의 식을 처음으로 만족하는 지수 j 를 도출한다.

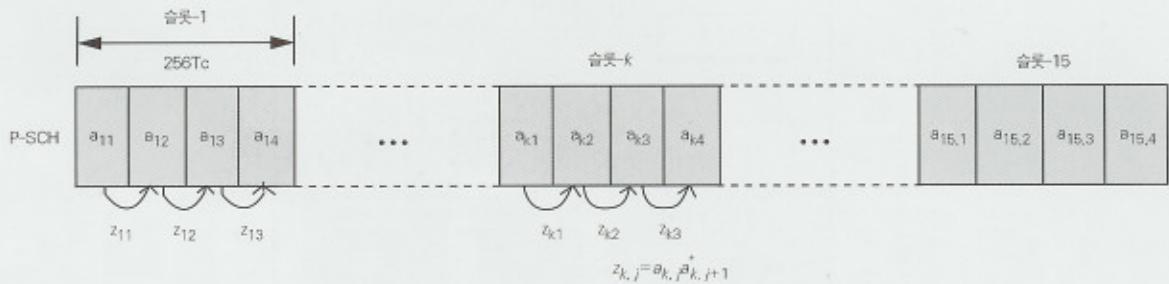


그림 13. 1단계 peak 검출기법의 개념도

$$w(m_j) < \eta \quad \text{and} \quad w(m_{j-1}) \geq \eta, \quad j=1, 2, \dots, G \quad (8)$$

이 경우, 채널 추정 필터부와 SIR 추정 필터부에서는 j 번째 이동 평균 필터가 선택되며, 채널 충격 응답의 변화속도가 아주 느려 (8)을 만족하는 j 가 존재하지 않을 경우에는 템 크기가 가장 큰 이동 평균 필터를 선택한다. 또한 복잡도 감소를 위해 MA FIR 필터 대신 단일 극점 IIR 필터를 채널 추정 필터로 대체할 수 있으며, IIR 필터의 계수는 DC 주파수에서 해당 이동 평균 필터와 심벌 지연이 동일하도록 설정할 수 있다[15].

2. 셀 탐색기

WCDMA 단말기 모뎀에서 코드 동기를 담당하는 부분은 코드와 타이밍 위상을 동시에 탐색하는 셀 탐색과 코드 타이밍을 계속해서 추적하는 타이밍 추적기로 나뉘어 질 수 있다. WCDMA 시스템의 셀 탐색에서는 기존의 동기식 포착 시스템이 단지 코드 타이밍 위상만을 찾아내던 것과는 달리 각 기지국이 서로 다른 스크램블링 코드를 사용하기 때문에 사용되는 코드의 종류까지 알아내어야 한다. WCDMA 표준안에서는 단말기 수 신기의 셀 탐색 동작을 돋기 위하여 주동기 채널(P-SCH: Primary-Synchronization Channel)과 부동기 채널(S-SCH: Secondary SCH)을 할당하여 단말기가 코드 동기를 쉽게 이를 수 있도록 하고 있다.

셀 탐색의 동작은 기본적으로 3단계를 거쳐서 수행된다[1]. 1단계에서는 P-SCH를 이용하여 슬롯 타이밍을 찾아내고 2단계에서는 S-SCH를 이용하여 코드 그룹과 프레임 타이밍을 찾아낸다. 3단계에서는 코드 그룹과 타이밍은 모두 찾았으므로 CPICH를 이용하여 코드 그룹내의 8개의 코드 중 하나를 찾아낸다. 3단계를 거친 후, 셀 탐색기는 가장 큰 전력으로 수신되는 기지국의 혼화 부호와 그 타이밍 정보를 평거에 제공한다. 이중 1단계의 검출 성능이 가장 좋지 않으므로 1단계 동작을 최적화하는 것이 중요하다.

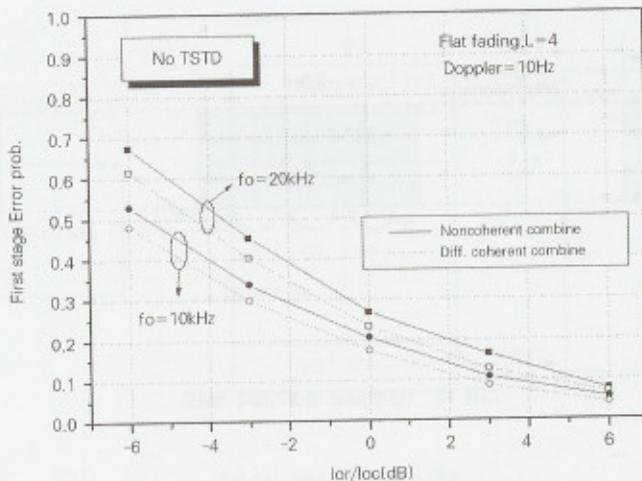
1단계에서는 P-SCH를 통해 매 슬롯의 처음 1심볼 동안 전송되는 주동기 코드(P-SCH code)를 이용하여 정합 필터를 통해 상관하여 슬롯타이밍을 찾아낸다. 그러나 VCXO(Voltage Controlled Crystal Oscillator)의 오차(5~10ppm)로 인한 초기 주파수 편이 (10~20kHz)로 인하여 1심볼 구간 동안 상관을 수행하면 동기 손실로 인해 에너지가 검출되지 않을 수 있다. 따라서 10ppm 정도의 VCXO 오차를 고려하여 그림 13과 같이 1/4 심볼씩 나누어 상관을 수행한 후, 출력된 4개의 부분 상관값에 대해 다음과 같은 차동 검출 기법을 사용한다[22].

$$Z_{Diff} = \sum_{k=0}^{14} \sum_{j=0}^2 a_{k,j}^* a_{k,j+1} \quad (9)$$

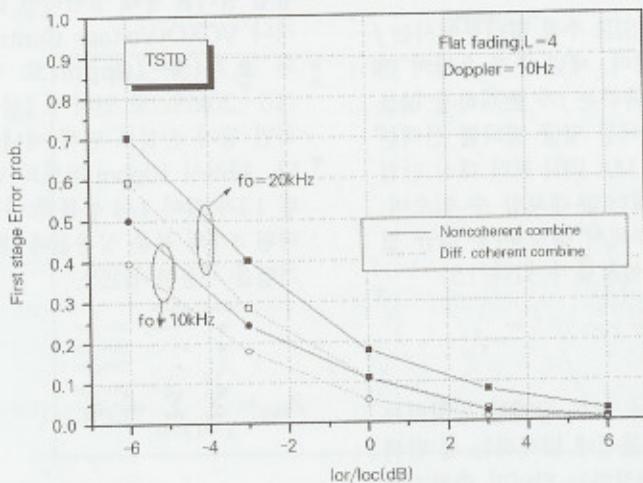
여기서 $a_{k,j}$ 는 k 번째 슬롯의 j 번째 구간의 64칩에 대한 상관값이다. 따라서 그림 13과 같이 1심볼을 4부분으로 나누어 구한 부분 상관값을 1 프레임동안 차동 결합을 하여 구한 값, Z_{Diff} 의 에너지를 정점(peak) 검출의 지표로 사용할 수 있다[22]. 그림 14는 기존 비동기 결합방식과 제안 기법의 검출 에러 확률을 나타낸 것이다. 송신 안테나 다이버시티의 유무에 상관없이 제안 기법이 기존의 비동기 결합보다 좋은 성능을 가짐을 알 수 있다. 또한 Z_{Diff} 의 위상 정보를 이용하여 다음의 식과 같이 초기 주파수 편이를 추정할 수 있다.

$$\hat{f}_o = \frac{1}{2\pi} \cdot \frac{1}{64T_c} \arg[Z_{Diff}] \quad (10)$$

실험 결과 Ior/loc가 -6dB 이상일 경우 대체적으로 2kHz 이하의 지터량을 보이며 이는 1ppm의 발진기 오차에 해당하는 값으로 셀탐색 이후 추가적으로 AFC를



(a) TSTD를 적용하지 않은 경우



(b) TSTD를 적용한 경우

그림 14. 1단계 오류 확률

위한 초기 주파수 편이 포착 회로가 필요 없게 된다. 일 반적으로 AFC를 위한 초기 주파수 편이 포착 회로를 위해 20~30ms 정도의 시간이 부가적으로 더 필요한 것을 생각한다면 셀탐색 1단계의 차동 결합을 통해 기존 셀탐색기의 성능 보다 좋은 성능을 보일 뿐 아니라 20~30ms 정도의 시간 이득을 얻을 수 있다.

IV. WCDMA 모뎀 실험 환경 및 성능 평가

구현된 모뎀 시스템 보드는 아날로그 전단부(AFE: Analog Front End), 데이터 처리부, 그리고 마이크로 프로세서가 있는 시스템 보드로 이루어 진다. 보드를

간의 연결은 PCI 표준 버스를 사용하여 이루어지며 구현하고자 하는 모뎀은 데이터 처리 보드로 구현된다. 데이터 처리 보드는 각각 2개의 FPGA와 DSP를 이용하여 설계되며 각 칩들간의 연결은 FIFO나 EMIF(External Memory Interface)를 통해 이루어진다. 시스템의 아날로그 전단부는 높은 심볼 전송율의 지원 및 대역 효율이 높은 변조 방식까지 지원할 수 있도록 설계되었다. 그림 15와 16은 각각 설계된 디지털 보드와 아날로그 전단부 보드를 보여주고 있다.

그림 17은 WCDMA 단말기 모뎀을 구현하여 테스트를 수행한 환경을 나타낸다. 단말기의 테스트를 위해 기지국 송신기를 만들고 단말기의 수신기를 구현하여 하향링크 채널을 구축하였다. 구축한 프로토타입 보드

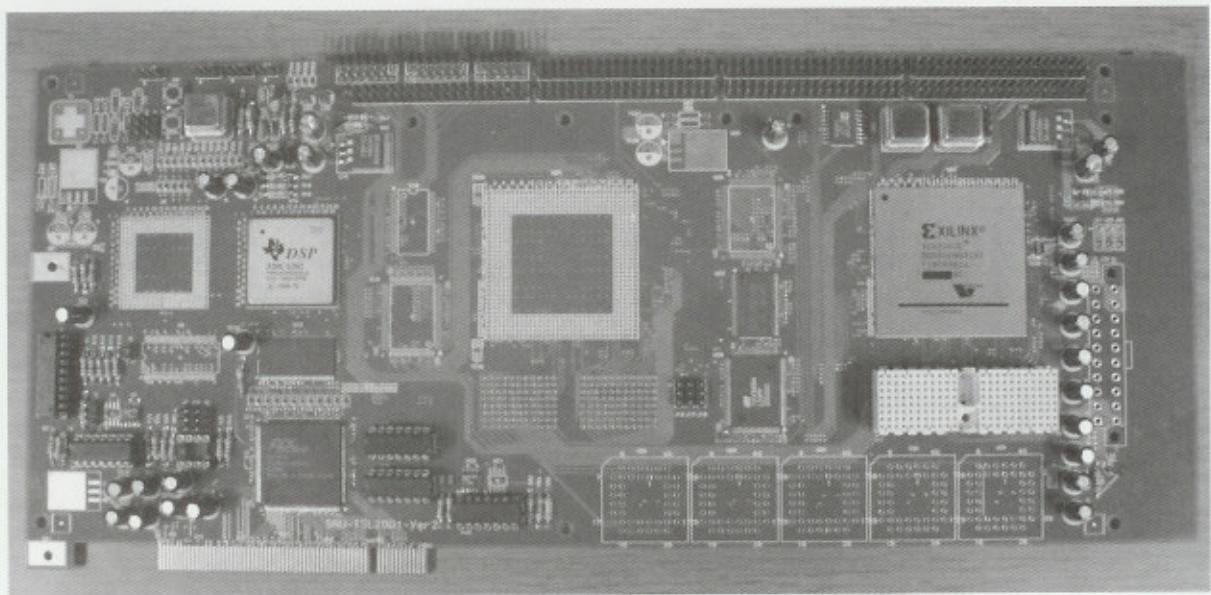


그림 15. 디지털 보드

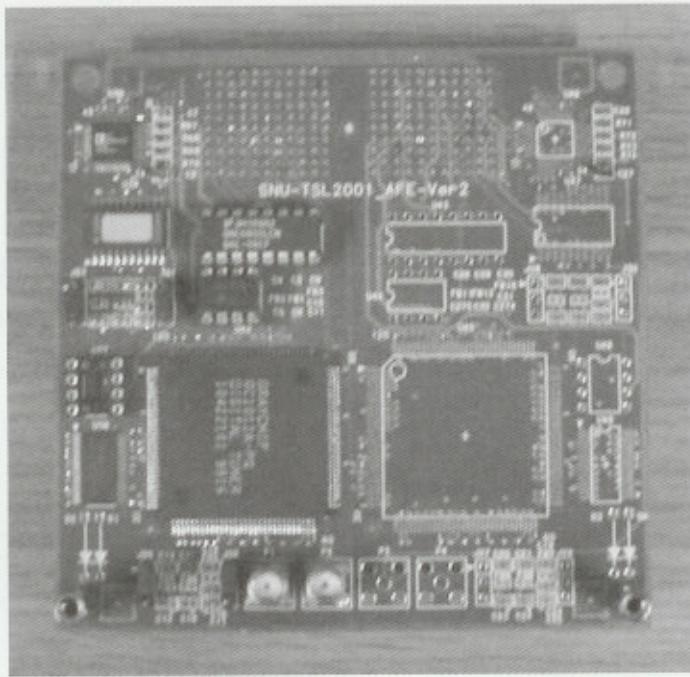


그림 16. 아날로그 전단부 보드

를 통해 기지국에서는 IF주파수인 44MHz로 변조하여 무선채널 에뮬레이터를 거쳐 단말기 보드를 통해 수신한다. 무선 채널 에뮬레이터는 실제 무선 환경을 모사해 주는 장비로서 가변적인 다중 경로, 페이딩 발생, 도

플러 주파수를 지원하므로 실제 존재할 수 있는 다양한 무선을 실험해 봄으로써 개발한 알고리듬의 타당성을 검증할 수 있다. 단말기 시스템을 구현하는 것이므로 상향링크는 따로 구현하지 않았으나 빠른 전력 제어를

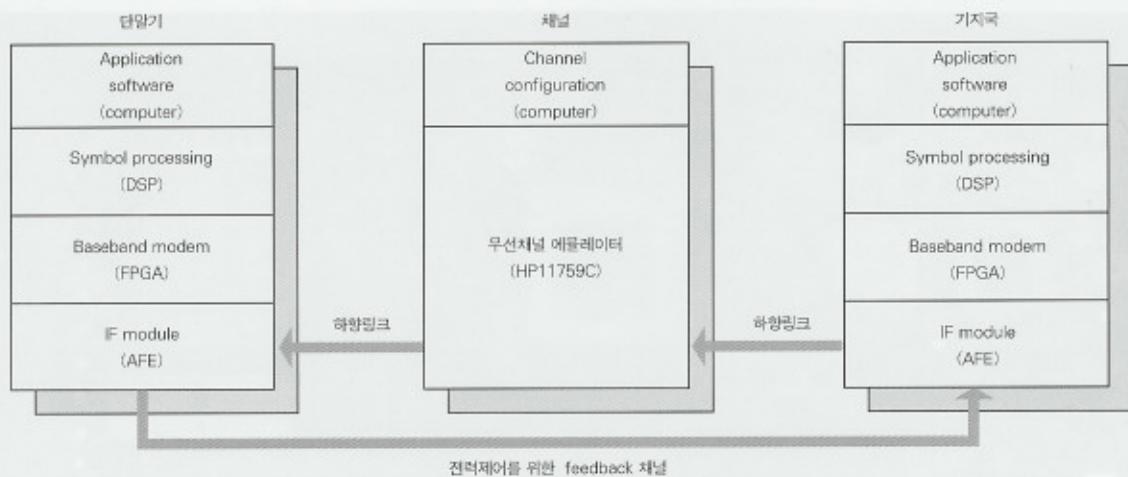


그림 17. WCDMA 모뎀 테스트 환경

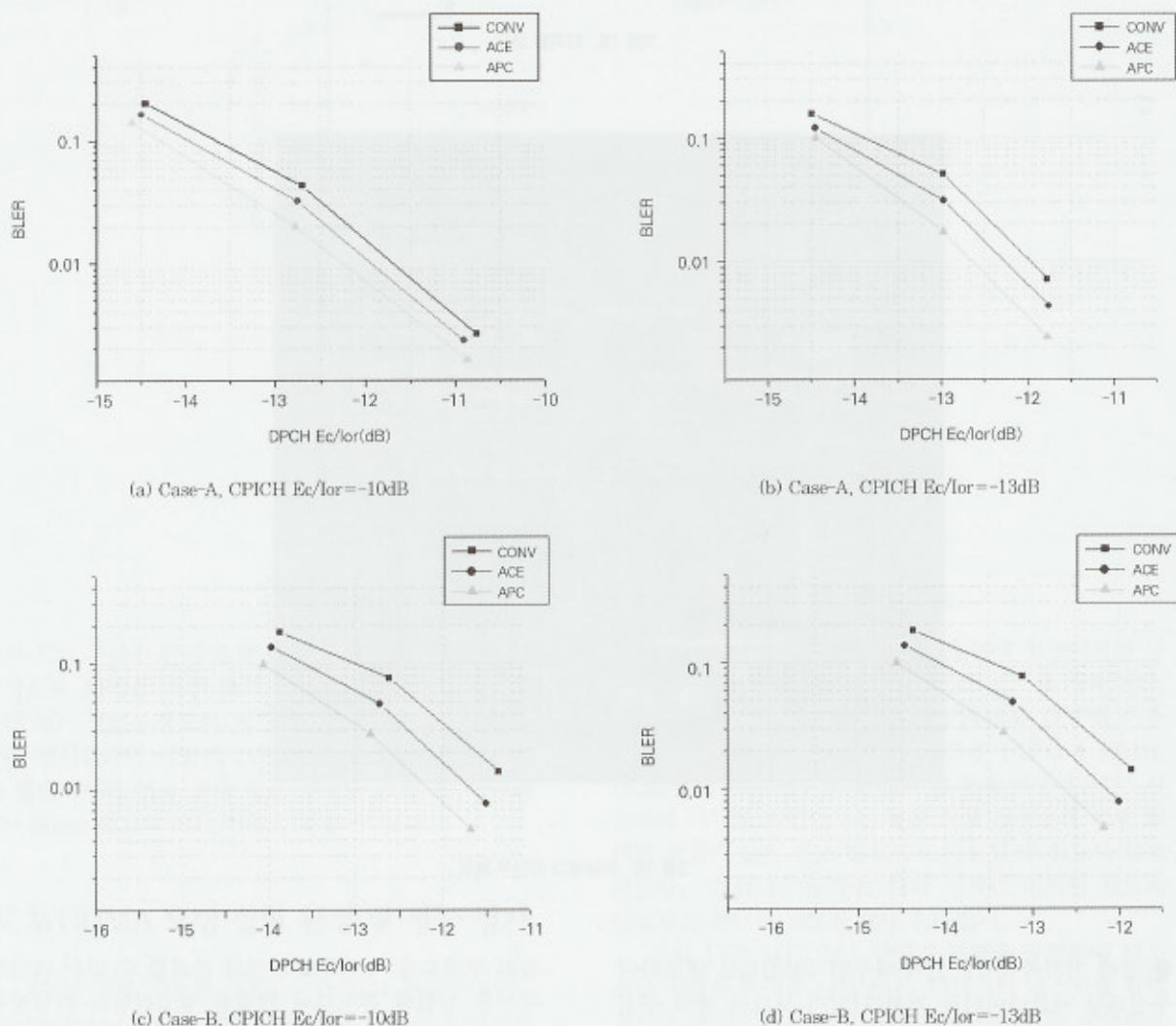


그림 18. 도플러 주파수 6Hz 인 경우의 수신 성능

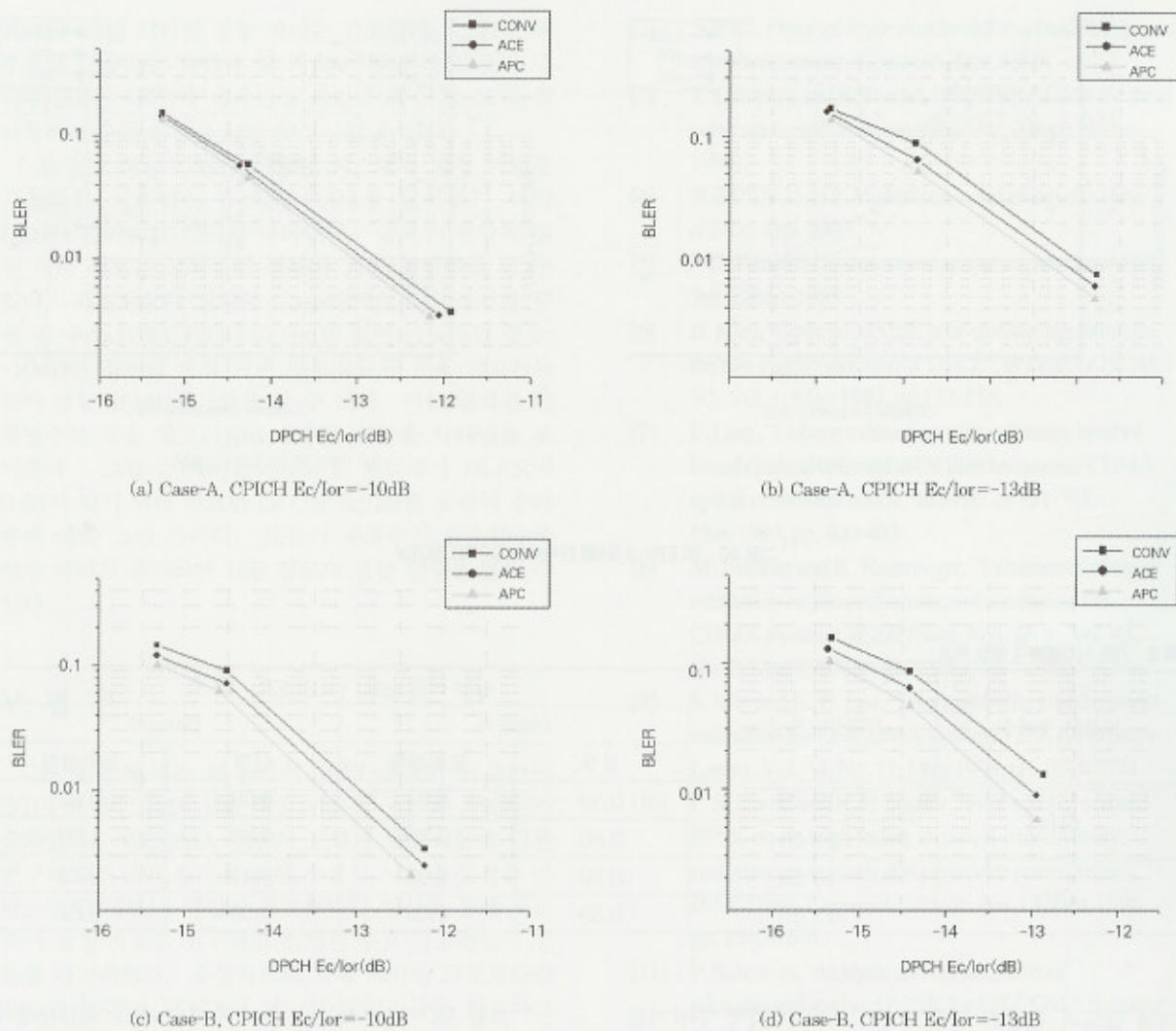


그림 19. 도플러 주파수 40Hz 인 경우의 수신 성능

표 1. 성능 실험 환경

| | 변수 | 값 |
|-----------|--------------------|--|
| 채널추정기법 | 기존 | 1 슬롯 평균 |
| | 적용 | 이동평균필터 |
| 전력제어기법 | 기존 | 1 슬롯 평균 |
| | 적용 | 이동평균필터 |
| Date rate | | 12.2Kbps |
| BLER | BLER | 0.01 |
| CPICH | Ec/Ior | -10dB, -13dB |
| 채널 | 레일리 페이딩(클래식 스펙트럼) | Case-A: (0dB, -9dB) (Ior/Ioc=0dB) |
| | | Case-B: (0dB, -3dB, -6dB) (Ior/Ioc=-3dB) |

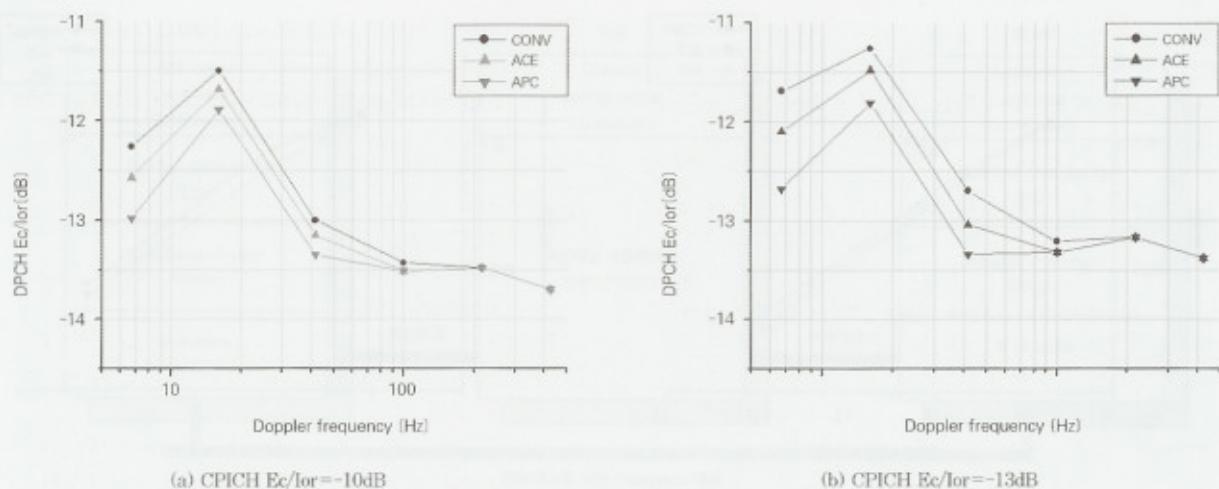


그림 20. BLER=0.01을 만족하는 DPCH Ec/Ior

표 2. 기존 시스템과의 성능 비교

| 도플러 주파수 | CPICH Ec/Ior | 성능 이득 (dB) (@BLER=10 ⁻²) | | | |
|---------|--------------|--------------------------------------|------|--------|------|
| | | Case-A | | Case-B | |
| | | 실장 | 모의실험 | 실장 | 모의실험 |
| 6Hz | -10 dB | 0.59 | 0.51 | 0.80 | 0.67 |
| | -13 dB | 0.66 | 0.79 | 0.99 | 1.03 |
| 40Hz | -10 dB | 0.30 | 0.26 | 0.41 | 0.32 |
| | -13 dB | 0.39 | 0.36 | 0.59 | 0.62 |

위해 별도의 간단한 단말기 송신기와 기지국 수신기를 구축하여 궤환 채널을 구현하였다.

구현된 WCDMA 단말기 모뎀의 성능을 검증하기 위해 하향링크에서 성능을 평가한다. 성능 평가를 위한 실험 환경 및 조건을 표 1에 정리하였다. 채널은 직접 경로가 없는 레일리 페이딩 채널의 Case-A, Case-B의 경우에 대해 실험한다. Case-A는 경로가 2개이고 각 경로가 채널에서 0dB, 10dB의 감쇄를 거친 후 수신단에 도착하는 경우이고, Case-B는 경로가 3개이고 각 경로가 채널에서 0dB, 3dB, 6dB의 감쇄를 거친 후 수신단에 도착하는 경우를 의미한다. 플랫 페이딩 채널과 특성이 유사한 Case-A는 단말기가 기지국과 셀 경계 사이의 중간정도에 위치한 경우($I_{\text{or}}/I_{\text{oc}}=0\text{dB}$)를 나타내며, 다중 경로가 비교적 많은 Case-B는 단말기가 셀 경계에 위치한 보다 열악한 채널 환경($I_{\text{or}}/I_{\text{oc}}=-3\text{dB}$)을 나타낸다. 여기서 I_{or} 는 단말기가 속한 셀로부터 받는 총 수신 전력을 의미하며, I_{oc} 는 다른 셀로부터 수신된 총 신호 전력을 나타낸다. 일반적으로 단말기가 셀 경계에 위치할수록 기지국과 단말기 사이의 장애물이 증가하여 실험환경에서처럼 채널의 다중 경로수가 증가하게 되어 주파수 선택적인 채널 특성이 커지게 된다.

그림 18~19에서는 도플러 주파수 6Hz, 40Hz에서 각 수신 기법의 BLER(Block Error Rate) 성능을 나타낸다. 10^{-2} 의 BLER 성능은 대략 10^{-3} 의 비트 오율(BER)과 유사하다. 그레프에서 CONV는 고정된 채널 추정과 전력제어 알고리듬을 사용했을 경우의 성능을 나타내며, 이때 채널 추정기 및 SIR 추정기는 한 슬롯 구간 만큼의 파일럿을 평균한다. ACE는 기존의 전력제어 기법과 적응 채널추정 기법을 사용했을 경우의 성능을 나타내며, APC는 적응 채널 추정기법과 적응 SIR 추정기법을 통한 전력제어 기법을 함께 사용했을 경우의 성능을 나타낸다. 도플러 주파수 6Hz의 경우, 기존의 알고리듬과 비교시 ACE는 최대 0.5dB, APC는 최대 1.0dB의 성능 향상을 나타낸다. 위의 성능 이득은 송신 전력의 절약을 가능케하여 다른 셀에 미치는 간섭 신호의 양을 감소시킬 수 있다. CDMA 시스템 용량은 잡음에 반비례하므로 이는 약 15~20% 정도의 시스템 용량 증대를 초래한다. 기존의 알고리듬은 채널 추정시 고정된 1슬롯의 파일럿 심볼로 채널을 추정하게 되는데 이는 고속 환경에서의 사용자까지 지원해주기 위한 것이며 도플러 주파수 200Hz 이상에서 최적의 성능을 발휘한다. 따라서 도플러 주파수가 증가할수록 적응 기법

과 기존 기법 사이의 성능 차이는 감소한다. 그러나 대부분의 사용자는 보행자 및 저속 이동 환경(도플러 주파수 50Hz 이하)에 속하므로 제안된 적응 알고리듬을 사용하여 수신 성능을 크게 향상시킬 수 있다.

표 2는 적응 기법을 사용한 시스템과 고정 기법을 사용하는 시스템이 BLER 0.01을 달성하기 위한 DPCH Ec/Ior의 차이를 나타낸다. 실제 구현상의 성능 차이 정도는 모의실험 결과와 거의 동일함을 알 수 있다. 채널환경이 열악한 Case-B에서 성능차이가 큼을 알 수 있으며 CPICH Ec/Ior의 값이 -13dB인 경우, -10dB인 경우에 비해 기존 알고리듬과 적응 알고리듬 간의 성능차이가 증가함을 알 수 있다. 이는 열악한 환경일수록 적응 알고리듬이 우수한 성능을 나타냄을 보여준다. 그럼 20에서는 Case-B 채널에서 BLER이 0.01이 되기 위해 필요한 DPCH Ec/Ior를 도플러 주파수에 따라 그린 것이다. 도플러 주파수가 감소할수록 성능 차이가 증가하여 1dB 정도의 성능 향상을 얻을 수 있다.

V. 결 론

본 논문에서는 비동기식 IMT-2000 표준안인 3GPP의 WCDMA 모뎀 핵심 기술의 구현에 관하여 기술하였다. WCDMA 단말기 모뎀의 알고리듬에 대한 연구와 하드웨어 실장을 위한 수신기 시스템 설계를 바탕으로 WCDMA 단말기 프로토타입 실장을 통해 하드웨어 실장 기술을 연구하고 설계한 주요 알고리듬의 성능을 평가하였다. 우선적으로 자체 제작한 프로토타입 보드의 DSP와 FPGA에 제안된 알고리듬을 실장하고 무선 채널 시뮬레이터 및 아날로그 전단부와 기지국 송신기를 보드에 실장하여 송수신기의 성능을 검증하였다. 자체 개발한 채널 추정, 전력 제어 및 셀 탐색 알고리즘을 장착한 수신기의 성능이 기존 상용 기법을 사용한 송수신기에 비해 우수한 성능을 보임을 확인하였다. 셀탐색 1단계에서 차동 결합 방식을 제안하였고 안테나 수에 상관없이 기존에 비해 빠른 탐색 방식을 보장할 뿐 아니라 추가적인 주파수 획득으로 주파수 동기 시간도 감소시켰다. 또한 적응 레이크 수신기의 설계로 이동성이 작은 보행자 환경에서 0.5~1.0dB 정도 수신 성능이 향상되었다. 개발된 프로토타입은 일반적인 광대역 CDMA 모뎀 제작에 사용할 수 있으며, 특히 FPGA를 이용하여 제작된 송신기, 레이크 수신기 및 셀 탐색기는 합성된 로직을 게이트 어레이이나 스탠다드 셀로 직접 실장할 수 있다.

(참고문헌)

- [1] 3GPP TS 25.211, *Physical channels and mapping of transport channels onto physical channels*, Sep. 2000.
- [2] 3GPP2, *Physical layer standards for cdma2000 spread spectrum systems*, Release A, Dec. 1999.
- [3] T. Ojanpera and R. Prasad, *Wideband CDMA for third generation mobile communications*, Artech House, 1998.
- [4] 3GPP TS 25.212, *Multiplexing and channel coding (FDD)*, Sep. 2000.
- [5] J. G. Proakis, *Digital communications*, McGraw-Hill, 3rd edition, 1995.
- [6] B. Kim, "Optimal MMSE gear-shifting algorithm for the fast synchronization of DPLL", in *Proc. of ISCAS '93*, Vol. 1, May 1993, pp.172-175.
- [7] F. Ling, "Coherent detection with reference symbol based channel estimation for direct sequence CDMA uplink communications," in *Proc. of VTC '93*, May 1993, pp. 400-403.
- [8] M. Benthin and K. Kammeyer, "Influence of channel estimation on the performance of a coherent DS-CDMA System", *IEEE Trans. Veh. Tech.*, Vol. 46, No. 2, May 1997, pp. 262-268.
- [9] S. Min and K. B. Lee, "Pilot and traffic based channel estimation for DS/CDMA systems," *IEE Electronics Letters*, Vol. 34, No. 11, May 1998, pp. 1073-1074.
- [10] P. Schramm and R. R. Muller, "Pilot symbol assisted BPSK on rayleigh fading channels with diversity: performance analysis and parameter optimization", *IEEE Trans. Commun.*, Vol. 46, No. 12, Dec. 1998, pp. 1560-1563.
- [11] P. Schramm, "Analysis and optimization of pilot-channel-assisted BPSK for DS-CDMA Systems", *IEEE Trans. Commun.*, vol.46, no. 9, Sept. 1998, pp. 1122-1124.
- [12] J.-W. Choi and Y.-H. Lee, "An adaptive channel estimator in pilot channel based DS-CDMA systems", in *Proc. of VTC '02*, May 2002, pp. 1429-1433.
- [13] 3GPP TS 25.201, *Physical layer - General description*, Mar. 2000.
- [14] Recommendation ITU-R M.1225, *Guidelines for evaluation of radio transmission technologies for IMT-2000*, 1997.
- [15] H. J. Oh and J. M. Cioffi, "An adaptive channel estimation scheme for DS-CDMA systems", in *Proc. of VTC '00*, Oct. 2000, pp. 2839-2843.
- [16] S. Ariyavisitakul and L. Chang, "Signal and interference statistics of a CDMA system with feedback power control", *IEEE Trans. Commun.*, Vol. 41, No. 11, Nov. 1993, pp. 1626-1634.
- [17] A. J. Viterbi, A. M. Viterbi and E. Zehavi, "Performance of power-controlled wideband terrestrial digital communication", *IEEE Trans. Commun.*,

- Vol. 41, No. 4, Apr. 1993, pp. 559-569.
- [18] S. Seo, T. Dohi and F. Adachi, "SIR-based transmit power control of reverse link for coherent DS-CDMA mobile radio", *IEICE Trans. Commun.*, Vol. E81, No. 7, Jul. 1998, pp. 1508-1516.
- [19] H. Mizuguchi, A. Aoyama, S. Yoshida and A. Ushirokawa, "Performance evaluation on power control and diversity of next-generation CDMA", *IEICE Trans. Commun.*, Vol. E81-B, No. 6, Jul. 1998, pp. 1345-1354.
- [20] Y.-S. Yoon and Y.-H. Lee, "Adaptive SIR estimation in the downlink of WCDMA systems", in *Proc. of VTC02*, May 2002, pp. 275-279.
- [21] J.-W. Choi, Y.-S. Yoon and Y.-H. Lee, "Improved channel estimation and SIR measurement in WCDMA downlink systems", *IEEE Trans. Veh. Technol.*, submitted.
- [22] J. Moon and Y.-H. Lee, "Cell search robust to initial frequency offset in WCDMA systems", in *Proc. of PIMRC'02*, Sep. 2002, pp. 2039-2043.



문준
(June Moon)

1998: 서울대학교 전기공학부 학사
2000: 서울대학교 전기컴퓨터공학부 석사
2000~현재: 서울대학교 전기컴퓨터공학부 박사과정
관심분야: CDMA/OFDM 시스템, 패킷 기반 셀룰러 시스템, 동기 기술
E-mail: myjun@trans.snu.ac.kr
Tel: +82-2-880-8435
Fax: +82-2-880-8213



최지웅
(Ji-Woong Choi)

1998: 서울대학교 전기공학부 학사
2000: 서울대학교 전기컴퓨터공학부 석사
2000~현재: 서울대학교 전기컴퓨터공학부 박사과정
관심분야: CDMA/OFDM 시스템, 통신 신호 처리
E-mail: jwch@fruit.snu.ac.kr
Tel: +82-2-880-7281
Fax: +82-2-880-8213



최인호
(Inho Choi)

1998: 서울대학교 전기공학부 학사
2000: 서울대학교 전기컴퓨터공학부 석사
2000~현재: 군복무 중
관심분야: CDMA/OFDM 시스템, 통신 신호 처리
E-mail: iohcohni@hanmail.net
Tel: +82-31-712-7988
Fax: +82-2-880-8213



윤영신
(Young-Shin Yoon)

2000: 연세대학교 전자공학과 학사
2002: 서울대학교 전기컴퓨터공학부 석사
2002~현재: SK Telecom Platform 연구원 재직
관심분야: CDMA 시스템, 위성 DMB 시스템,
전력제어 기술
E-mail: ysyoon@sktelecom.com
Tel: +82-2-6232-3296



이용환
(Yong-Hwan Lee)

1977: 서울대학교 전기공학과 학사
1980: 한국과학기술원 전기전자공학과 석사
1989: University of Massachusetts, Amherest,
박사
1980~1985: 국방과학연구소 선임연구원
1989~1994: Principal engineer in Motorola, Inc.
2001~2003: 서울대학교 뉴미디어통신공동연구소
소장
1994~현재: 서울대학교 전기컴퓨터공학부 교수
관심분야: 유/무선 송수신기 설계, 차세대 통신용
신호 처리.
E-mail: ylee@snu.ac.kr
Tel: +82-2-880-8413
Fax: +82-2-880-8213