



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

출력 전압에 따른 대기 전류 조절
가능한 **Low-Dropout Regulator**

2017 년 2 월

서울대학교 대학원
전기 정보 공학부
이 병 규

출력 전압에 따른 대기 전류 조절 가능한 **Low-Dropout Regulator**

지도교수 김 수 환

이 논문을 공학석사 학위논문으로 제출함
2017 년 2 월

서울대학교 대학원
전기 정보 공학부
이 병 규

이병규의 석사 학위논문을 인준함
2017 년 2 월

위 원 장 정 덕 균 (인)

부위원장 김 수 환 (인)

위 원 이 혁 재 (인)

초 록

Low-dropout regulator (LDO) 는 일반적인 선형 전압 regulator 에 비해 적은 컴포넌트로 설계가능하며 ripple 및 잡음에 있어서 더 나은 특성을 지닌다. 이에 따라 제작에도 용이하고 비용 또한 저렴한 장점이 있다. 또한 작은 dropout 전압으로 인해 높은 전압 효율을 가진다. 따라서 배터리로 동작되는 장치와 같은 낮은 공급 전압 환경에서 사용하기 유리하다.

일반적으로 LDO 에서는 여러 개의 출력 전압에 대해서 동작하도록 설계하는데, 본 논문에서는 효율적인 전력 소모를 위해서 출력 전압에 따라 대기 전류 (quiescent current) 가 조절 가능한 LDO 에 대해 다룬다.

설계된 LDO는 전체 구동가능 전류 및 출력 전압 범위에서 65°의 위상 여유를 얻었으며, 0.13um CMOS 공정에서 설계되었다. 기준 전압 발생기(Bandgap Voltage Reference)를 포함하여 68.67uA의 대기 전류를 소모하며, 10uF의 외부 커패시터를 출력 단에 연결하여 최대 13mA의 부하전류를 구동가능하다.

주요어 : LDO, low-dropout regulator, 대기 전류 조절

학 번 : 2015-20964

목 차

제 1 장 서 론	1
제 1 절 연구의 배경	1
제 2 절 논문의 구성	3
제 2 장 LDO 회로	4
제 1 절 LDO 회로의 기본 동작 원리	4
제 2 절 LDO 회로의 Design Issue	6
1. LDO 회로의 성능 측정 기준	6
2. LDO 회로의 안정성 문제 / 상충관계	9
제 3 장 제안하는 LDO 회로	12
제 1 절 회로구조	12
제 2 절 회로설계	18
1. 안정성 분석	18
2. 부하 전류 변동률 / 선로 전압 변동률 분석	20
3. 잡 음	22
제 4 장 시뮬레이션 결과 / Layout	25
제 1 절 LDO 동작 및 검증 회로	25
제 2 절 성능 검증	26
1. Dropout 전압	26
2. 선로 과도응답 / 선로 전압 변동률	27
3. 부하 과도응답 / 부하 전류 변동률	28
4. 전반적 성능	28

제 3 절 Layout	29
제 5 장 결 론	30
참고문헌	31
Abstract	32

표 목 차

[표 1-1] 출력 전압에 따른 $p_{dominant}$, p_{2nd} , $g_{m,pass}$ 의 변화	16
[표 2-1] LDO 성능 표(3.0V 출력전압)	28

그 립 목 차

[그림 1] LDO 동작 원리 개념도 1	4
[그림 2] LDO 동작 원리 개념도 2	5
[그림 3] LDO 구조 및 Dropout 전압	6
[그림 4] 대기전류	7
[그림 5] 부하 전류에 따른 LDO 루프 지배극점의 이동 ..	10
[그림 6] 일반적인 LDO 구조	12
[그림 7] 2단 증폭기	13
[그림 8] 바이어스 회로 조절 가능한 오차 증폭기	15
[그림 9] MOS 스위치를 이용한 궤환 저항의 조절	17
[그림 10] LDO의 소신호 블록 다이어그램	18
[그림 11] LDO의 잡음 요소	23
[그림 12] 전체 LDO 회로도	24
[그림 13] LDO 성능 검증 개념도	25
[그림 14] FPGA를 통한 LDO 회로의 검증	26
[그림 15] LDO dropout 전압 (3.0V 출력전압)	27
[그림 16] LDO 부하 과도 응답 (3.0V 출력전압)	27
[그림 17] LDO 선로 과도 응답 (3.0V 출력전압)	28
[그림 18] LDO Layout	29

제 1 장 서 론

제 1 절 연구의 배경

배터리로 동작하는 장치에서 대기 전류를(quiescent current) 줄이고 배터리 지속시간을 늘리기 위한 전력 관리는 필수적이다. 공급 전압이 시간이 지남에 따라서 줄어들게 되면 성능이 낮아지거나 또는 심한 경우 동작을 멈추기도 한다. 따라서 이러한 시스템에서 Low-dropout regulator(LDO)의 존재는 필수적이라고 볼 수 있다.

패스 트랜지스터에 의해서 일어나는 전압강하는 전력 효율을 위해 최대한 작게 설계하여야 한다. 부하/선로 과도 응답 (load/line transient response)은 중요한 성능지표중 하나이며 전류 효율 또한 중요한 지표로써 활용된다.

LDO 설계에서 LDO의 직류 성능 (load/line regulation-부하 전류 변동률/선로 전압 변동률)을 정하는 오차 증폭기의 이득 및 패스 트랜지스터의 크기 또한 최대 부하 전류를 구동가능하게 적절히 설정되어야 한다. 외부 커패시터 및 패스 트랜지스터의 저항으로 생성되는 지배 극점 및 오차 증폭기의 출력 임피던스와 패스 트랜지스터의 게이트 커패시터에 의해 생성되는 두 번째 극점에 의해 LDO 전달함수가 구성된다. 한편 부

하 전류에 의해 지배극점은 수시로 바뀌게 되며 이를 위해 적절한 보상 기법 또한 필요하게 된다.

출력 전압을 변화시켰을 때에도 지배극점의 위치는 바뀔 수 있는데 이는 패스 트랜지스터 의 전압 강하 및 LDO 출력 단에 연결되는 부하가 (같은 양의 전류가 흐르게 된다고 가정하면) 바뀌기 때문이다. 따라서 전류 효율을 높이기 위해 지배극점 및 두 번째 극점을 출력전압에 따라 조절하게 되면 LDO 대기 전류 측면에서 큰 이득을 볼 수 있게 된다.

본 논문에서는 효율적인 대기 전력 소모를 위해 출력 전압에 따라 대기 정에서 설계하였고 SPICE 시뮬레이션을 통해 동작을 검증하였다.

제 2 절 논문의 구성

본 논문은 5 개의 장으로 구성된다. 제 2 장에서는 LDO 회로에 대해 알아본다. 제 3 장에서는 제안하는 LDO 회로 구조 및 설계, 이에 따른 안정성 분석과 LDO 성능에 대해서 알아본다. 제 4 장에서는 회로 시뮬레이션을 통해 본 논문에서 제안하는 방법으로 설계된 회로가 어떻게 동작하는 지를 검증하고 설계된 칩의 레이아웃을 살펴본다. 제 5장에서는 결론을 내리도록 한다.

제 2 장 LDO 회로

제 1 절 LDO 회로의 기본 동작 원리

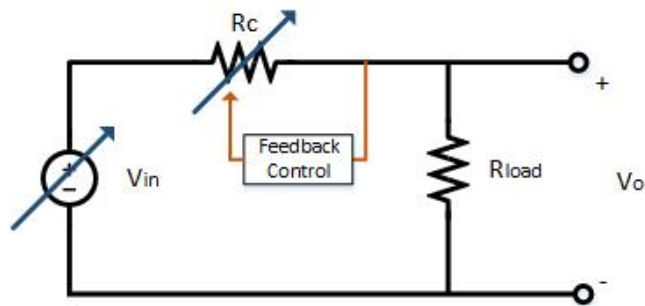


그림 1 LDO 동작 원리 개념도 1

그림 1과 같이 시간에 의해서 변하는 입력 전압 및 부하 저항에 상관없이 부하 저항에 걸리는 전압을 일정하게 유지시키기 위해서는 부계환을 이용하여 가변 저항 R_C 를 조정해주어야 하는 것이 기본적인 동작 원리이다. 이 때 R_C 는 다음과 같은 식에 의해 나타내어질 수 있다.

$$R_C = R_{load} \times \left(\frac{V_{in}}{V_o} - 1 \right) = R_{load} \times \left(\frac{V_{in}}{V_o} - 1 \right) = R_{load} \times \left(\frac{V_{LDO}}{V_o} \right)$$

조금 더 자세한 LDO 동작 원리 개념도를 그림2 에 표시하였다. 궤환 저항을 통해 출력 전압을 변화시킬 수 있으며 (R_{F1} 을 변화시킴으로써) 기준 전압 발생기 (Bandgap Voltage Reference Generator) 에 의해 출력

되는 전압이 V_{REF} 로 연결된다. 출력 단에 연결된 외부 커패시터 C_0 에 의해 ripple/잡음이 필터되며 또한 후에 살펴볼 안정성 측면에서 외부 커패시터는 중요한 역할을 하게 된다.

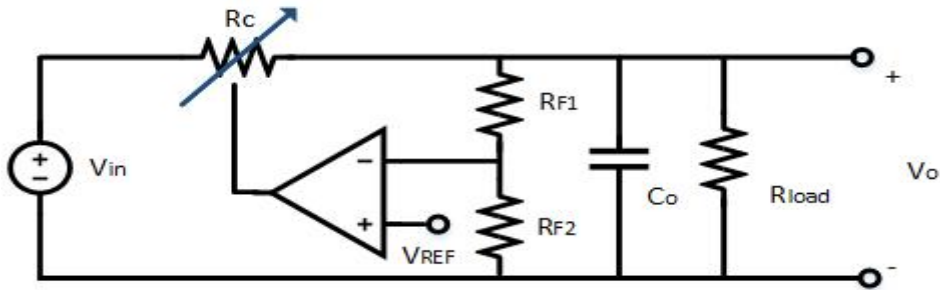


그림 2 LDO 동작 원리 개념도 2

R_C 와 같은 가변저항의 역할을 하는 것을 패스 디바이스라 하며 패스 디바이스로는 다양한 것들이 이용되지만, LDO에서는 PMOS나 NMOS가 주로 이용된다. 전류효율 측면에서는 NMOS가 PMOS보다 좋은 성능을 보편적으로 가지므로 부하 전류가 클 때는 NMOS가 좋을 수 있지만 Low dropout 전압을 얻기 위해서는 PMOS가 주로 이용된다.

기본적으로 LDO는 부하에 인가되는 전압을 조절하고 입력전압을 낮추기 위해(다양한 부하에 대해서) 입력 전압과 부하 사이에 존재하는 가변저항이라고 볼 수 있다.

제 2 절 LDO의 Design Issue

1. LDO 의 성능 측정 기준 (Performance Metrics)

- Dropout 전압 / 전압 효율

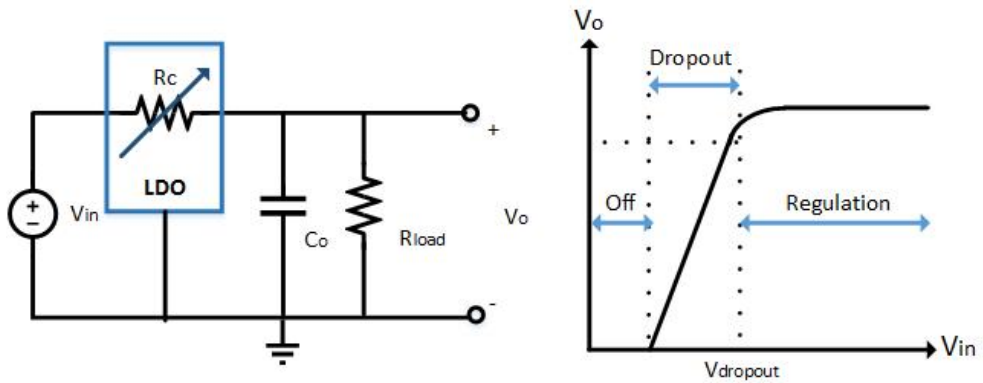


그림 3 LDO 구조 및 Dropout 전압

그림 3과 같이 LDO 는 부하전류에 따라 변하는 가변 저항이라고 볼 수 있는데 이 때 V_{in} 을 증가시킴에 따라서 V_o 이 따라서 증가하는 구간을 dropout 구간, V_{in} 을 증가시킴에 따라서 V_o 이 더 이상 증가하지 않는 구간을 조절 구간(Regulated region)이라 한다. Dropout 전압은 V_{in} 이 조절구간에 들어설 때의 V_{in} 과 V_o 의 차이를 일컫는다.

Dropout 전압이 작을수록 효율적인 전력소모를 할 수 있다. LDO에서 소모하는 전력은 아래의 식 (2) 에서 나타내었다.

$$P_{LOSS} = (V_{in} - V_o) \times I_{out} + (V_{in} \times I_Q) = V_{dropout} \times I_{out} + (V_{in} \times I_Q)$$

이 때 I_Q 는 LDO 의 대기 전류를 지칭하는 말이며 I_{out} 은 부하전류를 의미한다. 따라서 dropout 전압이 작을수록 전력손실이 작다고 볼 수 있다.

Dropout 전압은 패스 디바이스 및 부하 전류에 따라 바뀌게 되며 보통 LDO에서 0.1~0.5V 사이의 값을 갖는다. 다시 말하면 전력 효율 η_p 는 아래의 식과 같이 표현된다. (두 번째 등호는 $I_{out} \gg I_q$ 라 가정하여 근사하였다.)

$$\eta_p = \frac{P_{in} - P_{LOSS}}{P_{in}} \times 100 \approx \frac{V_{out}}{V_{in}} \times 100 \quad (P_{in} = V_{in} \times I_{out})$$

- 대기전류 (Quiescent current) / 전류 효율

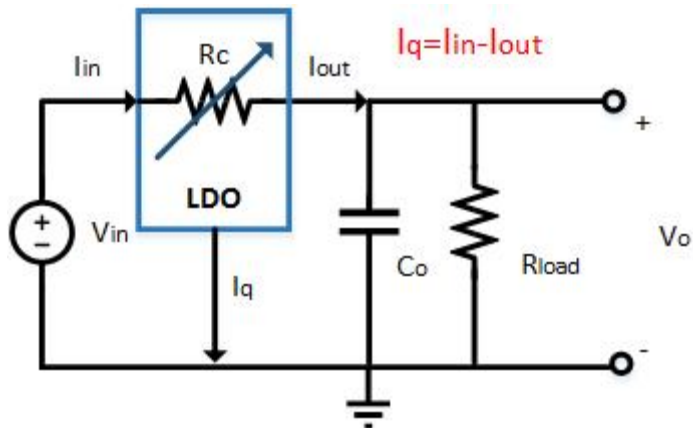


그림 4 대기 전류

그림 4 와 같이 대기 전류란 부하 전류에 상관없이 LDO 에 흐르는 전

류로써 주로 기준 전압 발생기 및 오차 증폭기의 바이어스 회로, 궤환 저항에 흐르는 전류와 기타 부가적인 회로에 의해 발생하는 전류이다. 부하 전류와는 무관한 전류라고 볼 수 있다.

전류 효율은 아래와 같이 정의되며 보통 부하전류 I_{out} 이 LDO 가 구동할 수 있는 최대 전류일 때로 많이 나타낸다.

$$\eta_I = \frac{I_{out}}{I_{out} + I_q} \times 100$$

- 부하 전류 변동률 (Load regulation) / 선로 전압 변동률 (Line regulation)

부하 전류 변동률이란 부하 전류가 변화에 따른 LDO 출력 전압의 변동률로써 다음과 같이 정의된다.

$$LDR = \frac{\Delta V_{out}}{\Delta I_{out}}$$

선로 전압 변동률이란 입력 전압의 변화에 따른 LDO 출력 전압의 변동률로써 다음과 같이 정의된다.

$$LR = \frac{\Delta V_{out}}{\Delta V_{in}}$$

2. LDO 의 안정성 문제 / 상충관계

LDO를 설계하는 과정에는 안정성 문제, 패스 트랜지스터가 구동할 수 있는 최대 전류의 문제, dropout 전압 및 전력 소모의 최소화 문제 등이 있다.

첫째, 안정성 문제를 따져 보도록 한다. LDO 회로에는 크게 두 개의 극점이 존재한다고 볼 수 있다. 오차 증폭기의 출력 단에서 패스 트랜지스터의 게이트 커패시턴스와 만나는 극점과 LDO 출력 단에서 외부 커패시턴스 및 패스 트랜지스터 저항과 부하의 저항의 병렬 합으로 이루어지는 극점이다.

LDO 출력 단의 극점은 큰 값의 외부 커패시턴스 ($>1\mu\text{F}$) 연결로 인해 지배극점이 된다. 일반적으로 패스 트랜지스터는 많은 양의 부하 전류를 흘려주기 위해서 비교적 큰 크기의 트랜지스터가 선택되며 이에 따라 게이트 커패시턴스가 증가하게 된다. 오차 증폭기의 이득 또한 목표 선로 전압 변동률/부하 전류 변동률을 만족하기 위하여 큰 값이 선택되게 되고 이에 따라 오차 증폭기의 출력 저항 역시 마찬가지로 커지게 된다. 이에 오차 증폭기의 출력 단에서의 극점을 단위 이득 주파수보다 충분히 크게 위치하게 하여야 한다.

한편, 그림 5에 나타낸 것처럼 지배극점인 LDO 출력 단의 극점은 고정된 값이 아닌 부하 전류에 의해 언제든지 바뀔 수 있는 극점으로서 패스

트랜지스터의 저항이 부하 전류에 따라 바뀌기 때문이다. 입력 전압과 출력 전압이 고정되어 있으므로 최대 부하전류가 흐를 때에는 패스 트랜지스터의 저항이 작아지게 되어 지배극점이 커지게 되기 때문이다. 따라서 LDO 가 구동할 수 있는 최대의 전류가 부하를 통해 흐를 때 제일 높은 주파수 대역에 위치하게 된다. 한편, 출력단의 저항이 바뀌면 지배극점 뿐만 아니라 루프이득 또한 바뀌기 때문에 이를 잘 고려하여야 한다.

또한 출력 전압이 변화되었을 때 dropout 전압의 변화로 인해 패스 트랜지스터의 트랜스컨덕턴스 값과 패스 트랜지스터의 저항 값이 바뀌게 되므로 출력 전압에 따라서도 안정성을 고려해야 한다.

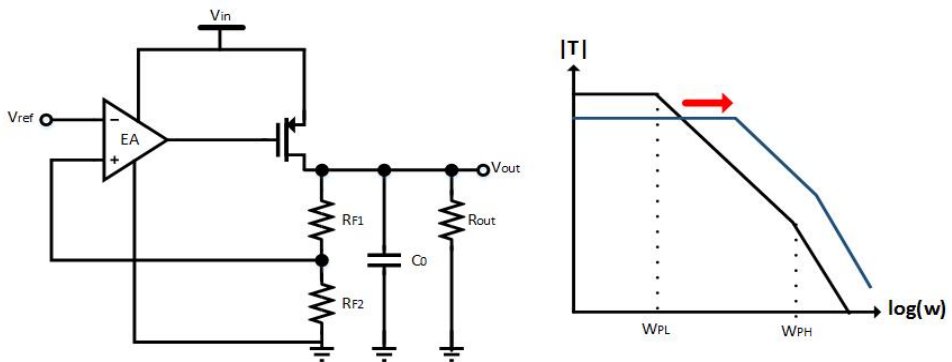


그림 5 부하 전류에 따른 LDO 루프 지배극점의 이동

출력 전압이 최대일 때 dropout 전압은 최소가 되고 이에 따라 패스 트랜지스터 저항은 작아지게 되어 지배극점이 커지게 된다. 트랜스컨덕턴스 값은 커지게 되고 이에 따라 루프 이득이 커짐으로써 위상 여유에

도 영향을 미치게 된다. 자세한 안정성 분석은 제 3장에서 다루도록 한다.

전력 효율을 위해서는 dropout 전압을 작게 하는 것이 좋지만, dropout 전압을 작게 할 경우 다음과 같은 식에 의해 패스 트랜지스터의 폭이 커져야 한다. 이 때 R_{pass} 는 패스 트랜지스터의 저항을 나타낸다.

$$R_{pass} = \frac{1}{\mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

이에 따라서 패스 트랜지스터의 게이트 커패시턴스가 늘어나게 되고 이에 따라 패스 트랜지스터의 트랜스컨덕턴스도 커지기 때문에 안정성에 영향을 미치게 된다. 더불어서 오차 증폭기의 출력 스윙 또한 커져야 되는 문제점이 생기게 된다.

같은 맥락으로 LDO 의 최대 구동가능 전류 또한 위와 같이 설명가능하다. 최대 구동가능 전류를 늘리려면 패스 트랜지스터의 크기를 늘려야 하지만 이의 게이트 커패시턴스가 늘어나게 되고 늘어난 트랜스컨덕턴스에 의해 안정성도 안 좋아지게 된다.

부하 전류 변동률 및 선로 전압 변동률을 향상시키기 위해서는 오차 증폭기의 이득을 증가시켜야 하는데 이는 비 지배 극점(non-dominant pole) 위 위치를 낮은 주파수 영역으로 이동시키게 되고, 전체 루프 이득은 증가시킴으로써 안정성에 영향을 미친다.

결론적으로 위에서 언급된 여러 가지 상충관계 및 안정성을 고려하여

설계하는 것이 필요하다.

제 3 장 제안하는 LDO 회로

제 1 절 회로 구조

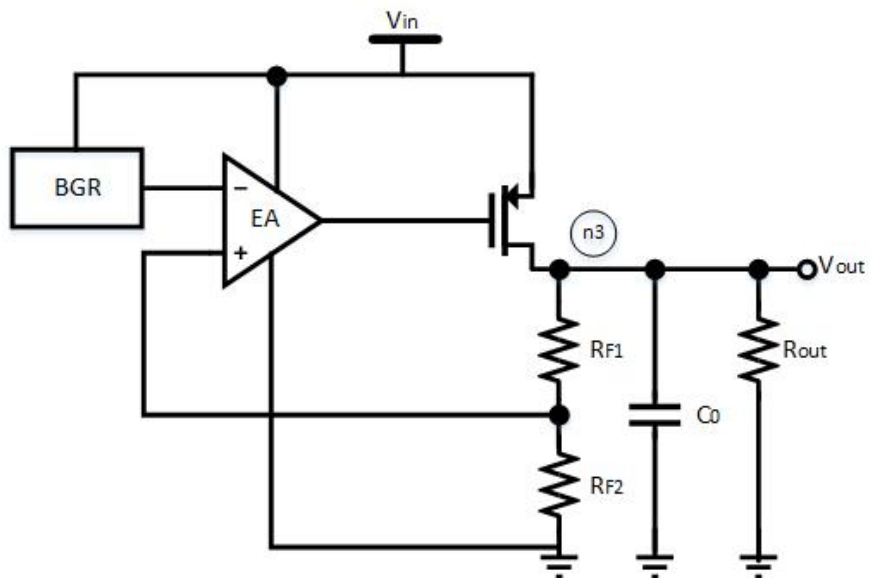


그림 6 일반적인 LDO 구조

일반적인 LDO 구조는 그림 6과 같다. 오차 증폭기, 패스 트랜지스터, 외부 커패시터, 기준전압회로(Bandgap voltage reference)와 캐환 저항이다. 본 논문에서는 2단 증폭기를 오차 증폭기의 구조로 설정하였다.(그림 7.) 높은 선로 전압 변동률 및 부하 전류 변동률을 얻기 위한 높은 이득 및 안정성 확보를 위한 극점의 분리 및 넓은 오차 증폭기 출력 단

의 스wing을 얻기 위해서이다.

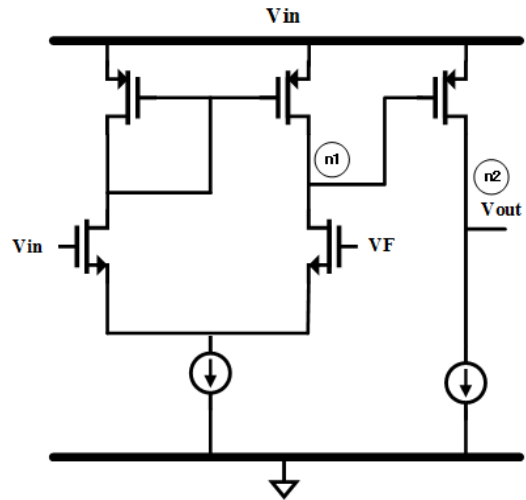


그림 7 2단 증폭기

첫 번째로 선로 전압 변동률 / 부하 전류 변동률은 오차 증폭기의 이득과 크게 관련이 있으며 이득이 높을수록 성능은 좋아지게 된다. 이는 제 2절에서 자세히 다루도록 한다.

두 번째로 극점의 분리를 들 수 있다. 같은 오차 증폭기 이득을 가져도 2단 증폭기에서는 훨씬 낮은 출력 단 저항을 가져갈 수 있다. 이에 따라 비 지배 극점을 이루게 되는 오차 증폭기의 출력 단의 극점이 작아지는 효과를 가져 올 수 있다.

세 번째로 2단 증폭기를 사용할 경우 넓은 출력 단의 스wing을 가져갈 수 있다. 이는 패스 트랜지스터의 게이트 전압의 유연성을 의미하며 (더 넓은 범위를 움직일 수 있음) LDO 의 최대 구동 전류를 확장시키는 효과를 얻을 수 있다.

오차 증폭기를 2단 증폭기로 사용하였을 때 LDO 루프 상에는 크게 세 개의 극점들이 존재한다고 볼 수 있다. 아래와 같이 증폭기의 첫 번째 및 두 번째 출력 에서 생기는 극점(그림 7)과 LDO 출력 단에서 생기는 극점이다. (그림 6)

$$p_{1@n1} = \frac{1}{r_{o1}C_1}$$

$$p_{2@n2} = \frac{1}{r_{o2}(C_2 + C_p)}$$

$$p_{3@n3} = \frac{1}{R_{out}C_{load}}$$

$r_{o1}, C_1, r_{o2}, C_2, C_p$ 는 각각 오차 증폭기의 첫 번째 및 두 번째 단의 출력 저항 및 커패시터를 의미하며 C_p 는 패스 트랜지스터의 게이트 커패시터를 의미한다. p_1 및 p_2 는 루프 안정성에 영향을 끼치지 않게 하기 위해 충분히 높은 주파수 대역에 위치해야 하는데, p_1 의 경우 p_2 에 비해 상대적으로 작은 커패시터 성분으로 인해 무시가능하다. 한편 p_2 와 같은 경우 패스 트랜지스터의 게이트 커패시턴스에 의해 LDO 루프에 영향을 끼칠 만큼 충분히 커지게 된다. 충분한 위상 여유 및 루프 안정성은 2단의 바이어스 전류를 적절하게 조절함으로써 얻을 수 있다.

출력 전압은 궤환 저항을 그에 맞게 바꿔줌으로써 변화시킬 수 있는데 본 논문에서는 3개의 출력 전압을 출력 하도록 설계하였다 (3.0/2.7/2.5V). 그림 8에 LDO 출력 전압에 따라 바이어스 전류를 조절할 수 있

는 2단 증폭기를 나타내었다.

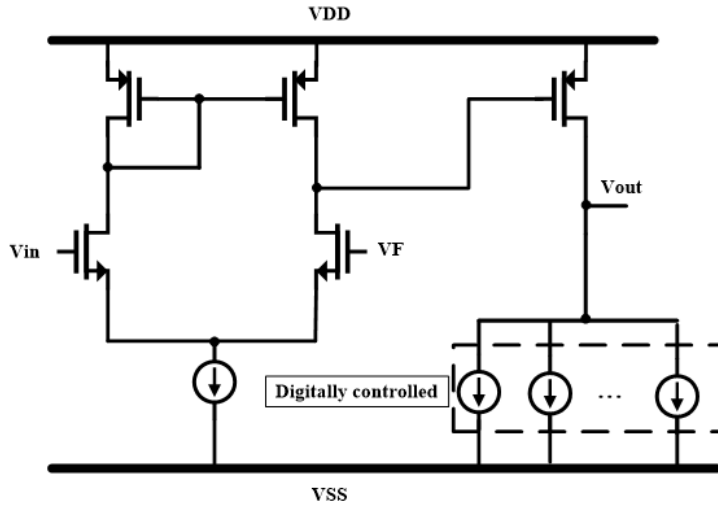


그림 8 바이어스 회로 조절 가능한 오차 증폭기

한편, 단순히 궤환 저항을 변화시켜 출력전압을 조절한다면 루프 안정성에 영향을 줄 수 있다. Dropout 전압의 변화에 따른 패스 트랜지스터의 트랜스컨덕턴스 변화 및 패스 트랜지스터의 저항 변화 때문이다. Dropout 전압 감소에 따라 트랜스컨덕턴스가 증가하면 이는 곧 루프 안정성과 직결되고, 더욱이 패스 트랜지스터의 저항 또한 LDO 출력 전압이 커짐에 따라 작아지기 때문이다. 이를 고려한 지배극점의 위치는 다음과 같이 나타낼 수 있다.

$$p_{dominant} = \frac{1}{(r_{ds}/r_{load})C_{load}} = \frac{1}{\left[\left(\frac{V_{in} - V_{out}}{I_{load,max}}\right) // \left(\frac{V_{out}}{I_{load,max}}\right)\right]C_{load}}$$

여기서 I_{load} 는 LDO 출력 단에서 최대로 흘려줄 수 있는 전류이다. 보통 I_{load} 는 매우 크며 수십, 수백 mA 단위이기 때문에 I_{load} 의 변화량이 지배극점에 끼치는 영향이 크다고 볼 수 있다.

표 1에서 LDO 출력 전압(2.5V, 2.7V, 3.0V)에 따른 지배 및 두 번째 극점의 위치 및 요구되는 패스 트랜지스터 트랜스컨덕턴스를 나타내었다.

패스 트랜지스터의 드레인 소스 전압의 증가로 요구되는 트랜스컨덕턴스가 감소한 것을 볼 수 있다.

따라서 적절한 수준의 위상 여유 및 전류 구동력을 갖추기 위한 적절한 패스 트랜지스터의 크기조절이 효율적인 전력 소모를 위해 필요하다고 볼 수 있다.

	$P_{dominant}$	P_{2nd}	$g_{m.pass}$
2.5V	45Hz	714.958kHz	16.4175mA/V
2.7V	106Hz	678.656kHz	15.88mA/V
3.0V	614Hz	617.637kHz	4.32897mA/V

표 1. LDO 출력 전압에 따른 $p_{dominant}$, p_{2nd} , $g_{m.pass}$ 의 변화

LDO의 두 번째 극점 역시도 루프 안정성에 영향을 미치며 이 역시도 오차 증폭기의 두 번째 단의 바이어스 전류를 조절하여 안정성을 만족시킬 수 있다. 이는 제 2절의 안정성 분석에서 자세히 다루도록 한다.

위에서 언급했던 대로 오차 증폭기의 바이어스 전류를 조절하는 신호로 패스 트랜지스터의 크기를 조절할 수 있으며 이 두 가지를 출력 전압에 따라서 동시에 조절함으로써 효율적인 전류 소모를 할 수 있다.

그림 9와 같은 구조로 궤환 저항을 구성하면 디지털 신호에 대해 대응하는 출력 전압을 조절할 수 있다.

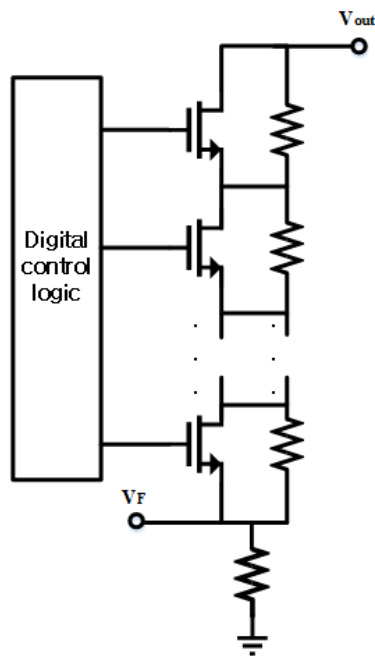


그림 9 MOS 스위치를 이용한 궤환 저항의 조절

제 2 절 회로 설계

1. 안정성 분석

LDO 루프의 안정성은 다음과 같은 전달함수에 의해 분석될 수 있다. 그림 9에 제안하는 LDO 구조의 소신호 모델 블록 다이어그램을 나타내었다.

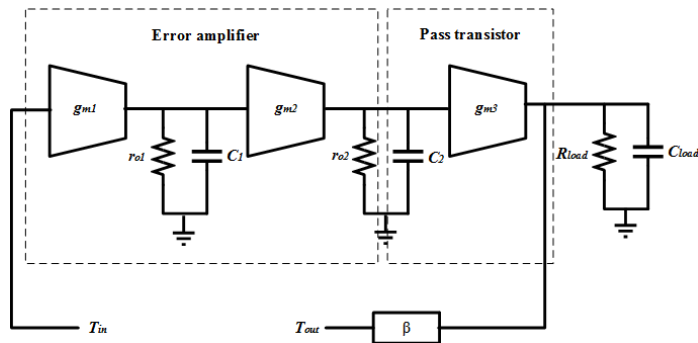


그림 10 LDO의 소신호 블록 다이어그램

g_{m1} , g_{m2} 및 g_{mp} 는 각각 M_1 , M_2 , M_p 의 트랜스컨덕턴스를 나타낸다. β 는 게환 인자를 나타내며 $\frac{R_{F1}}{(R_{F1} + R_{F2})}$ 로 나타내어진다. R_{load} 및 C_{load} 는 각각 출력 단에서 보이는 등가저항, 외부 커패시턴스를 의미한다. 이를 바탕으로 LDO의 전달함수는 다음과 같이 나타낼 수 있다.

$$T(s) = \frac{-\beta g_{m1} g_{m2} g_{mp} r_{o1} r_{o2} R_{load}}{(1 + s C_{load} R_{load})(1 + s C_1 r_{o1})(1 + s C_2 r_{o2})}$$

오차 증폭기 첫 번째 단의 출력 단에서 생성되는 극점은 상대적으로 높

은 주파수에 있어 무시가능하기 때문에 흘려줄 수 있는 전체 전류 범위
 내의 LDO 전달함수는 다음과 같이 나타낼 수 있다.

$$T(s) = \frac{-\beta g_{m1} g_{m2} g_{mp} r_{o1} r_{o2} R_{load}}{(1 + s C_{load} R_{load})(1 + s C_2 r_{o2})}$$

위상 여유는 다음과 같이 나타낼 수 있고,

$$PM \doteq 90^\circ - \arctan \frac{w_u}{p_{2nd}}$$

이 때 w_u 는 단위 이득 주파수이다. $\frac{w_u}{p_{2nd}}$ 가 작아질수록 더 좋은 위상
 여유가 얻어진다고 볼 수 있다. 의 두 번째 극점은 다음과 같이 쓰여
 질 수 있다.

$$p_{2nd} \doteq \frac{g_{m2}}{C_2}$$

따라서 적정한 수준의 위상 여유를 만족하기 위해서 p_{2nd} 는 다음과 같
 은 식을 만족해야 한다.

$$p_{2nd} = \frac{w_u}{\tan(90 - PM)} = \frac{A_{DC} P_{-3dB}}{\tan(90 - PM)} = \frac{\beta g_{mp} g_{m1} g_{m2} r_{o1} r_{o2}}{\tan(90 - PM) C_{load}}$$

위의 두 식을 통해 다음과 같은 오차 증폭기 두 번째 단의 바이어스 전
 류 I_2 를 구할 수 있다.

$$I_2 = \frac{\beta g_{mp} g_{m1} r_{o1} c_2}{\tan(90 - PM) C_{load} \lambda_{2nd}}$$

따라서 적절한 I_2 의 선택으로 루프 안정성을 만족시킬 수 있다.

2. 선로 전압 변동률 / 부하 전류 변동률 분석

그림 10에 간단한 LDO 블록 다이어그램을 나타내었다.

LDO를 설계할 때 중요한 성능 지표 중 하나는 선로 전압 변동률 및 부하 전류 변동률이며 이를 신중히 고려하여 설계하여야 한다. LDO 직류 루프 이득 T_0 는 아래 식과 같이 나타내어지고

$$T_0 = A_{EA0} \times g_{mp} \times [r_{pass} // (R_{F1} + R_{F2})] \times \beta$$

이 때 A_0 는 오차 증폭기의 직류 이득 g_{mp} 는 패스 트랜지스터의 트랜스 컨덕턴스를 가리킨다. 루프 이득은 LDO 출력 전압에 다음과 같은 영향을 미치게 된다.

$$V_{out} \approx \frac{T_0 / (A_{EA0} \beta)}{1 + T_0} V_{in} + \frac{T_0}{\beta(1 + T_0)} V_{ref}$$

$$T_0 \gg 1 \text{ 이라면 } V_{out} \approx \frac{V_{in}}{A_{EA0} \beta} + \frac{V_{ref}}{\beta}$$

즉 충분히 큰 루프 이득에 대해서 LDO 출력 전압은 항상 기준 전압의 $1/\beta$ 가 되는 것이다.

또한 선로 전압 변동률의 정의에 의해서

$$LR = \frac{\Delta V_{out}}{\Delta V_{in}} = \frac{1 + g_{mp} r_{pass}}{1 + A_{EA0} g_{mp} r_{pass} \beta} \approx \frac{1}{\beta A_{EA0}}$$

따라서 어떠한 수준의 선로 전압 변동률을 얻기 위해서는 그에 맞게 적절한 오차 증폭기의 이득을 고려하여 설계 하여야 한다. 위의 식을 변형하면 아래와 같은 식을 얻을 수 있다.

$$\Delta V_{out} = \frac{\Delta V_{in}}{\beta A_{EA0}} + \frac{(\Delta V_{ref} + \Delta V_{os})}{\beta}$$

즉 입력 전압의 변화는 오차 증폭기 이득에 의해 억제되지만 기준 전압과 오차 증폭기의 오프셋 전압은 궤환 인자에 의해 증폭되는 것을 볼 수 있다.

부하 전류 변동률의 정의에 의해서 아래와 같이 나타낼 수 있다.

$$LDR = \frac{\Delta V_{out}}{\Delta I_{out}} \text{ 이고 } \Delta I_{out} = \frac{\Delta V_{out}}{r_{pass} // (R_{F1} + R_{F2})} + \Delta V_{out} \beta A_{EA0} g_{mp}$$

$$\Leftrightarrow LDR \approx \frac{r_{pass} // (R_{F1} + R_{F2})}{1 + \beta A_{EA0} g_{mp} [r_{pass} // (R_{F1} + R_{F2})]} \approx \frac{r_{dsp}}{1 + T_o}$$

즉 LDO 루프 이득이 클수록 더 작은 부하 전류 변동률이 얻어진다.

즉 원하는 선로 전압 및 부하 전류 변동률을 얻기 위해서 높은 루프 이득 (또는 높은 오차 증폭기 이득) 이 필요하지만 이에 대한 대가로 위상 여유를 소모하게 되므로 이를 고려해서 설계하여야 한다.

본 논문에서는 dropout 전압이 300mV 및 최대 구동가능 전류 상황에서 67dB의 오차 증폭기 이득을 가지게 설계하였다. 이는 전압이 높아질

수록 커지게 된다. 더해서 위에서 제시한 방법대로 출력 전압이 낮아질수록 오차 증폭기의 이득은 커지게 되고 더 적은 바이어스 전류를 소모하게 된다. 또한 궤환 인자도 마찬가지로 증가하므로 더 작은 선로 전압 변동률을 얻을 수 있다. 부하 전류 변동률의 경우 루프 이득이 커짐으로써 부하 전류 변동률이 낮아질 것으로 예상되나 출력 전압이 낮아질수록 패스 트랜지스터의 저항 또한 커지기 때문에 이에 대한 영향은 어느 정도 상쇄된다고 볼 수 있다.

결론적으로 출력 전압에 따라서 선로 전압 및 부하 전류 변동률이 변화하므로 가장 높은 출력일 때를 가정하여 설계하여야 한다.

3. 잡 음

LDO 의 잡음은 트랜지스터의 열잡음 및 플리커 잡음과 저항의 열잡음의 합으로 나타낼 수 있다. 그림 11에 LDO 잡음 요소를 나타내었다.

$S_{n.BGR}, S_{n.p}, S_{n.RF}, S_{n.EA}$ 는 각각 기준 전압 발생기, 패스 트랜지스터, 궤환 저항 및 오차 증폭기의 잡음의 PSD (Power Spectral Density)를 나타낸다. 이 때 전체 출력 잡음을 계산하면 아래와 같은 식으로 표현된다.

$$S_{n.o}(f) = (S_{n.BGR}(f) + S_{n.EA}(f) + \frac{S_{n.p}(f)}{A_{EA}^2}) \left(1 + \frac{R_{F1}}{R_{F2}}\right)^2 + S_{n.RF2}(f) \left(\frac{R_{F1}}{R_{F2}}\right)^2 + S_{n.RF1}(f)$$

오차 증폭기의 이득이 충분히 크므로 패스 트랜지스터의 잡음은 무시되

가능하다.

본 논문에서 제안하는 LDO 의 전체 회로는 그림 11과 같으며 출력 전압의 해상도를 높이고 싶은 경우 위에서 언급된 회로를 사용하여 궤환 저항을 구성할 수 있다.

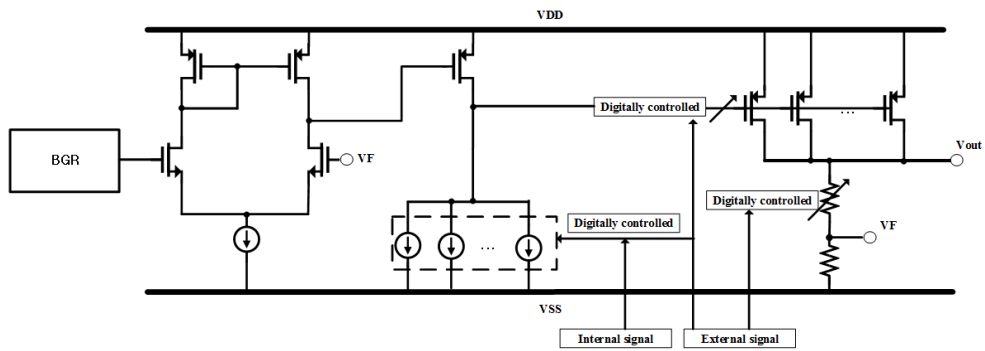


그림 12 전체 LDO 회로도

제 4 장 시뮬레이션 결과

제 1 절 LDO 동작 및 검증 회로

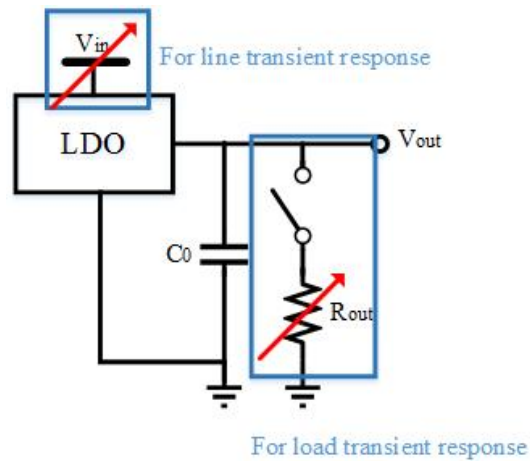


그림 13 LDO 성능 검증 개념도

LDO 성능 검증 개념도를 그림 12에 나타내었다. 부하 전류 변동률은 출력단에 연결된 저항을 변화시켜가며 출력 전압을 감지함으로써 검증할 수 있으며 선로 전압 변동률은 공급 전압을 변화시키면서 출력단의 전압을 봄으로써 얻을 수 있다.

실제 칩이 나올 경우 그림 13과 같은 회로로 검증할 수 있다.

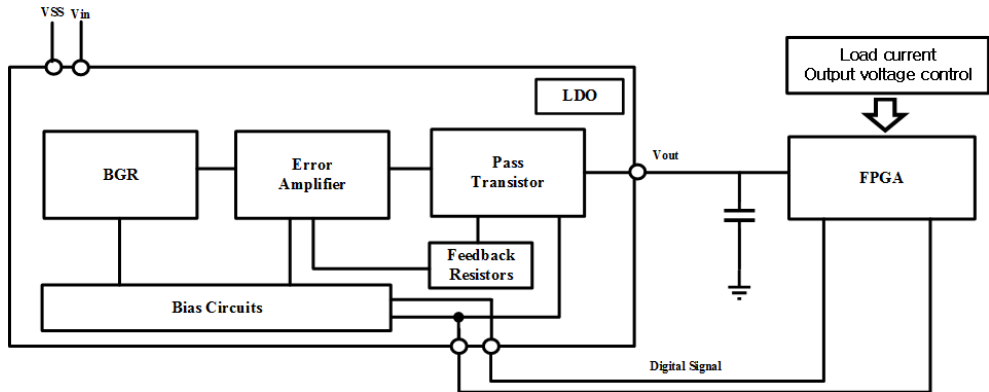


그림 14 FPGA를 통한 LDO 회로의 검증

제 2 절 성능 검증

아래 시뮬레이션은 post layout 시뮬레이션이며 시뮬레이션 환경은 typical 25°C 하에서 수행하였다.

1. Dropout 전압

Dropout 전압은 공급 전압을 증가시켰을 때 LDO 출력 전압이 일정하게 유지되기 시작할 때의 그 차로 정의된다. 따라서 공급 전압 변화에 따른 LDO 출력 전압을 봄으로써 얻을 수 있다.

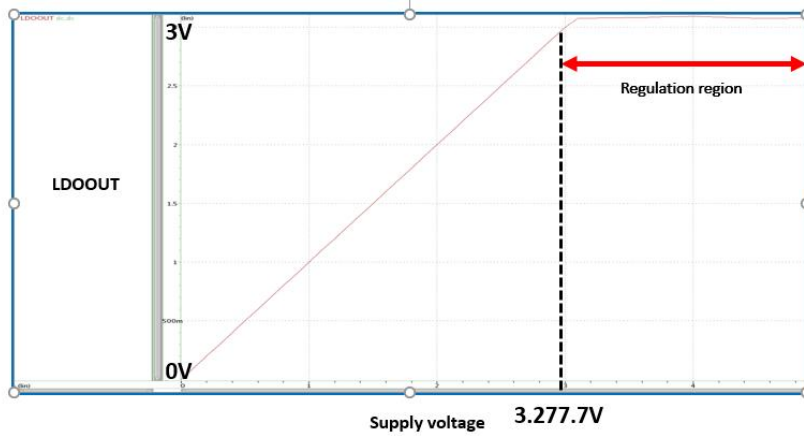


그림 15 LDO dropout 전압 (3.0V 출력전압)

2. 부하 과도 응답

그림 15에 본 LDO 의 부하 과도 응답을 나타내었다. 이 때 부하 전류는 0mA에서 최대 구동가능 전류인 10mA로 변화시켰다.

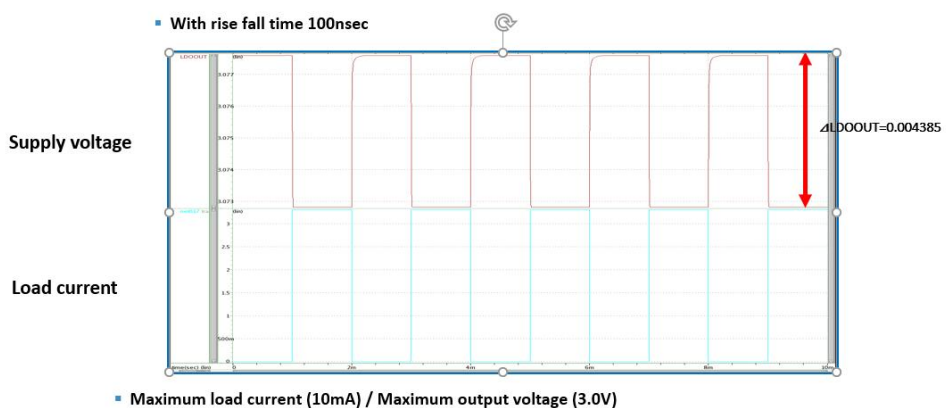


그림 16 LDO 부하 과도 응답 (3.0V 출력전압)

3. 선로 과도 응답

그림 16 에 본 LDO 의 선로 과도 응답을 나타내었다. 공급전압은 3.3V 에서 $\Delta 1V$ 만큼 변화시켰다.

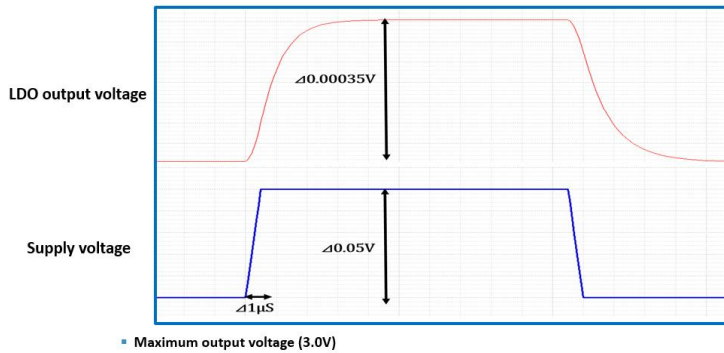


그림 17 LDO 선로 과도 응답 (3.0V 출력전압)

4. 전반적 성능

	Value	Unit	Condition
Input voltage	3.3	V	-
Output voltage	3.077594	V	@ no load current
Dropout voltage	227.7	mV	@ max current $\Delta V_{out}=2\%$
Load regulation	0.01425	%/mA	load current 0mA→10mA
Line regulation	0.2874	%/V	@ load current 100uA $\Delta V_{in}=1V$
Current efficiency	99.3	%	@max current
Quiescent current	69.37	uA	-

표 2. LDO 성능표(3.0V 출력전압)

제 3 절 Layout

본 회로는 0.18 μm CMOS 공정으로 구현되었다. 그림 17에 설계된 LDO의 레이아웃을 나타내었다.

LDO는 240 μm \times 220 μm 의 면적을 가지며 3.3V 공급전압에서 LDO 출력이 3.0V 일 때 230 μW 의 전력을 소모한다.

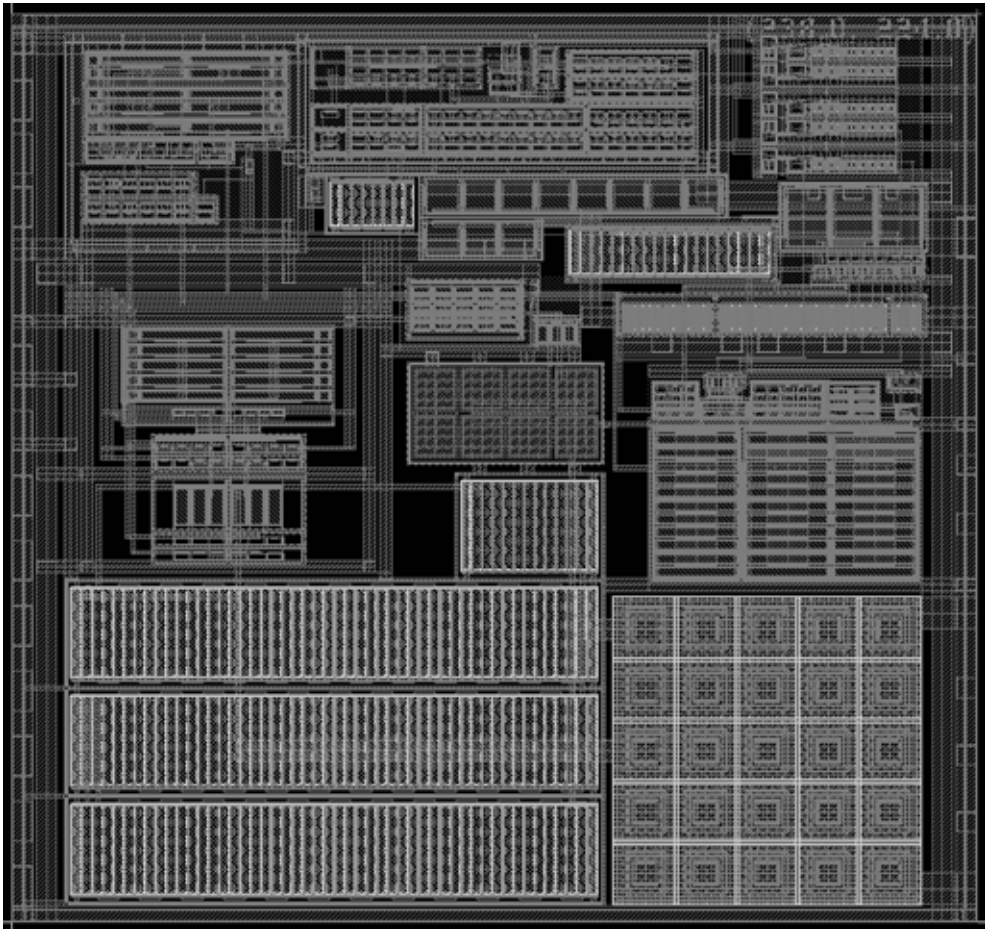


그림 18 LDO Layout

제 5 장 결 론

LDO 설계에 있어서 출력 전압에 따른 안정성 변화는 무시할 수 없는 부분이며 이를 고려하여 설계하여야 한다.

본 논문에서는 출력 전압에 따라 효율적인 전력 소모를 할 수 있게 하는 LDO 설계에 대해 설명하고 설계하였다.. 이는 패스 트랜지스터 크기 및 오차 증폭기의 바이어스 전류를 조절함으로써 얻을 수 있다. 패스 트랜지스터 크기 및 오차 증폭기의 바이어스 전류는 안정성을 고려하여 설계되었고 외부에 10 μ F의 커패시터가 연결되어야 한다. Dropout 전압은 300mV 이며 출력단에 최대 13mA의 부하전류까지 흘려줄 수 있다.

차후에 부하 전류에 따라서도 바이어스를 조절할 수 있는 회로를 추가해서 구현할 예정이다.

참 고 문 헌

- [1] M.Al-Shyoukh, H.Lee and R.Perez “A transient-enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation,” IEEE J. Solid-State Circuits, vol 42. No.8 August 2007/
- [2] Ashis Maity “Tradeoffs aware design procedure for an adaptively biased capacitorless low dropout regulator using nested miller compensation.” IEEE transactions on power electronics Vol. 31. 2016
- [3] Gabriel A “A Low-voltage, Low quiescent current Low dropout regulator” IEEE J. Solid state Circuits vol 33 January 1998
- [4] ESR, stability, and the LDO regulator, 2002:Texas instruments
- [5] Designing with low-dropout voltage regulators, 1998: Micrel semiconductor
- [6] R.J.Milliken, “Full On-chip CMOS Low Dropout Voltage Regulator” IEEE Transactions on circuits and systems - Regular papers, vol 54 No.9 september 2007

Abstract

Output tunable Low Dropout Regulator with Adaptively Controlled Quiescent Current

Byunggyu Lee

Department of Electrical and Computer Engineering

The Graduate School

Seoul National University

In this paper, a output voltage tunable low-drop out regulator (LDO) with adaptively quiescent current control technique is presented. The compensation technique is needed for stable output voltage tuning. By employing the proposed technique, over 65° phase margin is achieved under the full range of the load current and the full range of the LDO output voltage.

The proposed LDO with the output voltage tuning technique is designed and simulated in the 0.13 μm CMOS process. The proposed

LDO, including bandgap voltage reference (BVR), dissipates 68.67 μ m quiescent current at no-load condition and is able to deliver up to 13mA load current with 10 μ F output capacitor.

keywords : LDO, low-dropout regulator, voltage controlled

Student Number : 2015-20964