



저작자표시-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

**Gate Recessed AlGa_N/Ga_N HEMTs 을 위한
Low Damage 건식 식각에 대한 연구**

**A Study on Low Damage Dry Etching for Gate Recessed
AlGa_N/Ga_N HEMTs**

2012 년 08 월

서울대학교 대학원
전기 컴퓨터 공학부
민 일 홍

공학석사학위논문

**Gate Recessed AlGa_N/Ga_N HEMTs 을 위한
Low Damage 건식 식각에 대한 연구**

**A Study on Low Damage Dry Etching for Gate Recessed
AlGa_N/Ga_N HEMTs**

2012 년 08 월

서울대학교 대학원
전기 컴퓨터 공학부
민 일 홍

초록

AlGaIn/GaN HEM 는 spontaneous 와 piezo polarization 에 의해 AlGaIn/GaN interface 에 2DEG channel 을 가지게 되어 normally-on 동작을 하게 된다. 이는 전력 모듈 구동회로의 단순화 및 시스템 안정화 등에 적합하지 않은 영향을 주게 되어 최근에는 gate recess 와 fluorine plasma 처리 등을 이용한 normally-off 소자에 대한 연구가 이루어 지고 있다. 본 논문에서는 건식 식각을 이용한 gate recess 에 대하여 연구를 진행하였다. 우수한 식각은 좋은 균일도, smooth 한 표면 roughness, 미세한 depth control 을 위한 low etch rate, dead time 없는 etching linearity, 그리고 low damage 특성을 가져야 한다. 위에서 언급한 우수한 특성을 가지는 etching recipe 을 얻기 위해 RF bias power, chamber pressure, 그리고 gas ratio 등을 변화 해가며 실험을 진행하였다. 그 결과 ICP source power 200 W, RF bias power 5 W, chamber pressure 10 mTorr, $\text{BCl}_3 : \text{Cl}_2 = 2 : 18$ sccm 의 etching recipe 을 개발하였다.

위에서 개발한 etching recipe 의 damage 특성을 평가하기 위하여 recessed diode 을 제작하였고, 기존의 etching recipe 을 적용한 것과 비교하였을 때, cv hysteresis 가 거의 없어지는 것을 확인 할 수 있었다. 또한, 이를 적용한 gate recessed HEMT 을 제작하였으며, $D_{it} = 6.12 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ 의 낮은 interface trap density 을 가지는 것을 확인 하였으며, 이를 통해 개발한 etching recipe 이 low damage 특성을 가지는 것을 확인 할 수 있었다. 제작된 gate recessed HEMT 는 gate length : 2 μm , gate width : 100 μm , gate to drain length : 15 μm 에서 0.24 V 의 문턱전압, 206 mA/mm 의 최대 전류, 238 mS/mm 의 $G_{m,MAX}$, 515 V 의 off-state 항복전압 특성을 보였다. 또한 1.1 x 1.1 cm^2 크기의 sample size 에서 +/- 70 mV 의 문턱전압 변화를 보였으며, 표준편차는 49 mV 였고, etching 깊이 불 균일성은 5 %로 우수한 균일도를 가지는 것을 확인 할 수 있었다.

주요어 : AlGaIn/GaN HEMT , Normally-off , Low damage etching , Gate recess , CV hysteresis , Interface trap density

학 번 : 2010-23263

목 차

초록	1
목차	3
제 1 장 서론	6
1.1 연구 배경	6
1.2 개요	13
제 2 장 Gate Recess 을 위한 High Quality Etching 공정 개발	15
2.1 High Quality Etching 공정	15
2.1.1 RF bias power variation (Si wafer)	15
2.1.2 Gas ratio variation	16
2.1.3 Chamber pressure variation	17
2.1.4 RF bias power variation (AlGaIn/GaN wafer)	18
2.1.5 BCl ₃ pre-treatment	19
2.1.6 Optimized etching recipe	20
제 3 장 개발 된 Etching Recipe Damage 평가	22

3.1 Etching Damage Assessments (schottky diode)	22
3.1.1 Schottky diode 제작 공정	22
3.1.2 Schottky diode CV 특성 비교 (developed recipe vs. old recipe)	24
3.2 Etching Damage Assessments (schottky HEMT)	27
3.2.1 Schottky HEMT 제작 공정	27
3.2.1.1 Surface cleaning	29
3.2.1.2 SiN _x pre-passivation	29
3.2.1.3 Active region isolation	29
3.2.1.4 Ohmic contact formation	30
3.2.1.5 Gate recess	30
3.2.1.6 Gate formation	31
3.2.2 Interface trap density extraction method	31
3.2.3 Characteristics with function of etching depth	32

제 4 장 Gate Recessed Normally-off AlGaN/GaN HEMT 의 제작 34

4.1 Gate Recessed Normally-off AlGaN/GaN HEMT의 제작 공정	34
4.2 제작된 Gate Recessed Normally-off AlGaN/GaN HEMT의 특성 ..	37

4.2.1 DC Characteristics	37
4.2.2 Uniformity of gate recessed HEMT	42
4.2.3 D_{it} extraction	42
제 5 장 결론 및 앞으로의 과제	44
5.1 결론	44
5.2 앞으로의 과제	45
참고문헌	47

제 1 장 서론

1.1 연구배경

최근 무선 이동통신이 급격히 발달함에 따라 핸드폰 및 기지국의 중계기 등에 이용되는 고주파용 전력증폭기의 수요가 급증하고 있다. 특히 4 세대 LTE 서비스가 시행되면서 이러한 경향을 지속 될 것으로 예상되고 있다. 시대적 요구에 의해 고주파용 전력 증폭기의 수요는 꾸준할 것으로 보이며, 따라서 고주파, 고출력 증폭기에 대한 연구는 계속 요구 될 것이다. 뿐만 아니라 그린 IT의 시대를 맞이함에 따라 고효율로 동작하는 전력반도체에 대한 연구가 요구 되고 있다. 현재 고주파 및 고출력 전력증폭기 연구는 풍부한 자원을 바탕으로 가격적인 측면에서 강력한 장점을 지닌 Si 을 이용한 소자가 많이 연구되고 있는 편이지만 미국, 일본, 독일 등의 선진국을 중심으로 국가적 지원에 힘입어 GaN 계열 반도체를 이용한 전력 소자 개발이 활발히 이루어지고 있다.

	Si	GaAs	4H-SiC	GaN	Diamond
E_g (eV)	1.1	1.42	3.26	3.39	5.45
n_i (cm ⁻³)	1.5×10^{10}	1.5×10^6	8.2×10^{-9}	1.9×10^{-10}	1.6×10^{-27}
ϵ_r	11.8	13.1	10	9.0	5.5
μ_n (cm ² /Vs)	1350	8500	700	1200(Bulk) 2000(2DEG)	1900
v_{sat} (10 ⁷ cm/s)	1.0	1.0	2.0	2.5	2.7
E_{br} (MV/cm)	0.3	0.4	3.0	3.3	5.6
Θ (W/cm K)	1.5	0.43	3.3-4.5	1.3	20
$JM = \frac{E_{br} v_{sat}}{2\pi}$	1	2.7	20	27.5	50

표 1.1 Major characteristics of materials can be used as high frequency, high power device

[1]

표 1.1 은 고주파, 고출력 소자로 사용될 수 있는 다양한 물질들에 대한 주요 특성을 보여 주고 있다. GaN 는 현재 많이 사용되고 있는 Si 및 GaAs 에 비해 더 큰 bandgap energy 특성을 가지고, 이를 바탕으로 우수한 항복전압 특성을 보인다. 또한, Si 과 비교할 때 더 우수한 전자 이동도와 포화 전류 특성을 가지고 있다. GaN HEMT 은 Si 소자와 비교하여 높은 전자 이동도 및 우수한 포화 속도를 바탕으로 높은 주파수 특성을 보이며 GaAs 소자에 비해 더 우수한 항복전압 특성을 가진다. [2], [3] 따라서 GaN 기반 소자는 고주파, 고출력 소자로서 충분히 사용될 수 있다.

이러한 GaN 소자는 spontaneous 와 piezo polarization 에 의해 AlGaIn/GaN interface 에 2DEG channel 을 가지게 되어 normally-on 동작을 하게 된다. [4] 그림 1.2 은 AlGaIn/GaN HMET 의 transfer curve 이다. 보는 바와 같이 threshold voltage 가 negative 값을 가져 normally-on 동작을 하는 것을 확인 할 수 있다. 이는 전력 모듈 구동회로의 단순화 및 시스템 안정성 확보 등에 적합하지 않은 영향을 주게 되며, 현재 널리 상용되고 있는 Si 기반 소자의 대체에 어려움을 주고 있어 최근에는 gate recess [5] 와 fluorine plasma 처리 [6], [7] 등을 이용한 normally-off 소자에 대한 연구가 이루어 지고 있다. 그림 1.2 은 normally-off 동작하는 소자의 구현을 위한 다양한 방안들을 보여주고 있다. 본 논문에서는 이 중 gate recess 을 이용하여 normally-off 을 구현하는 방향으로 연구를 진행 하였다.

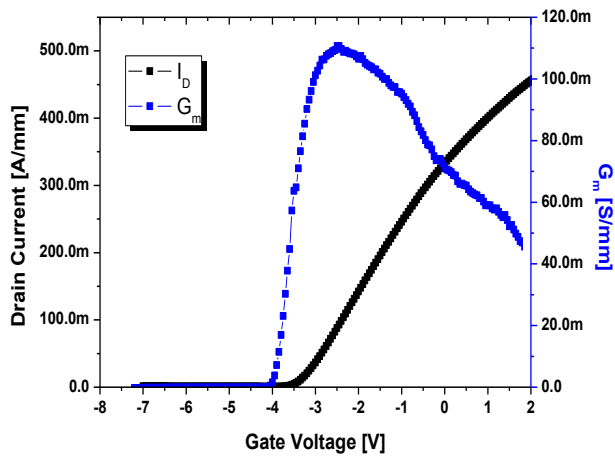


그림 1.1 Various approaches for normally-off devices

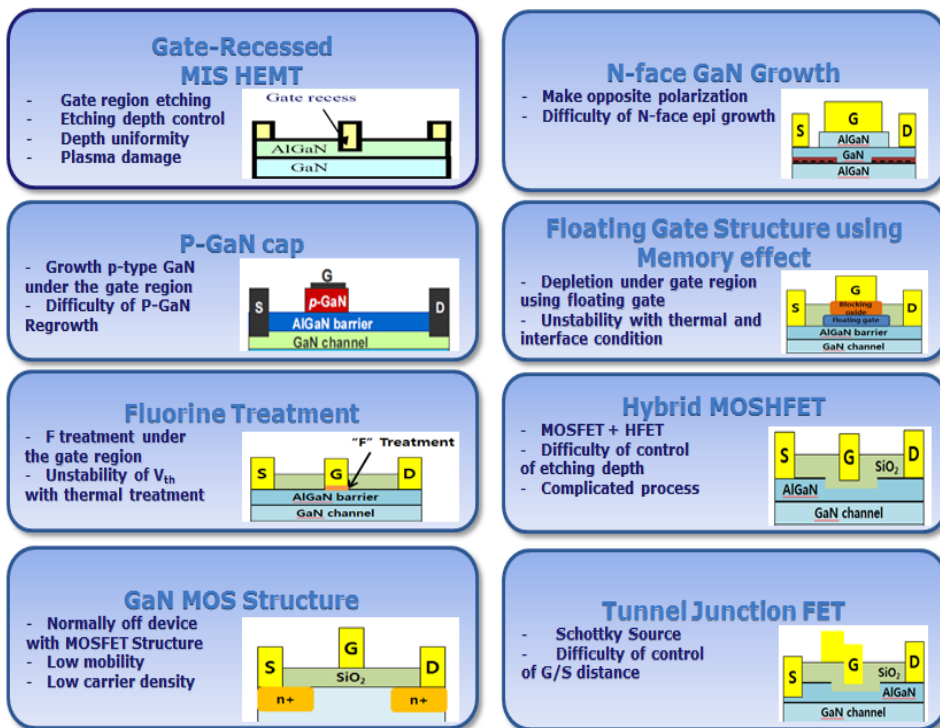


그림 1.2 Various approaches for normally-off devices

다음에 보여지는 그림 1.3 은 2011 년에 본 실험실에서 만들어진 gate recessed AlGaIn/GaN MISHEMT 이다.

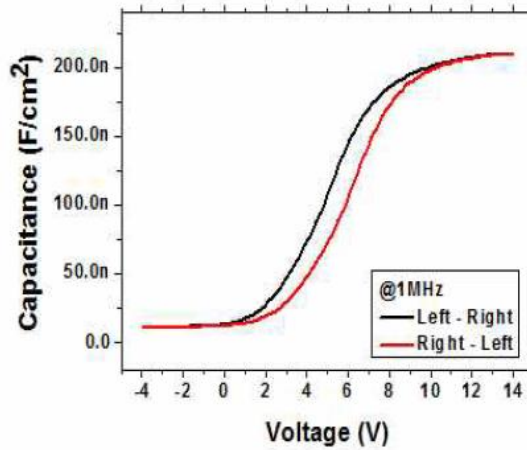


그림 1.3 CV profile of gate recessed AlGaIn/GaN MISHEMT (2011)

보는 바와 같이 1 MHz 의 주파수에서 약 1 V 의 cv hysteresis 가 존재하는 것을 확인 할 수 있다.

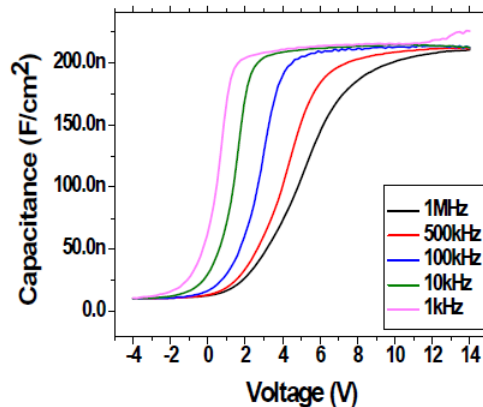


그림 1.4 Frequency dispersion of cv profile (frequency : 1 kHz ~ 1 MHz)

그림 1.4 은 1 kHz ~ 1 MHz 에서의 frequency dispersion 을 보여준다. 약 6 V 에 걸친 frequency dispersion 을 확인 할 수 있다.

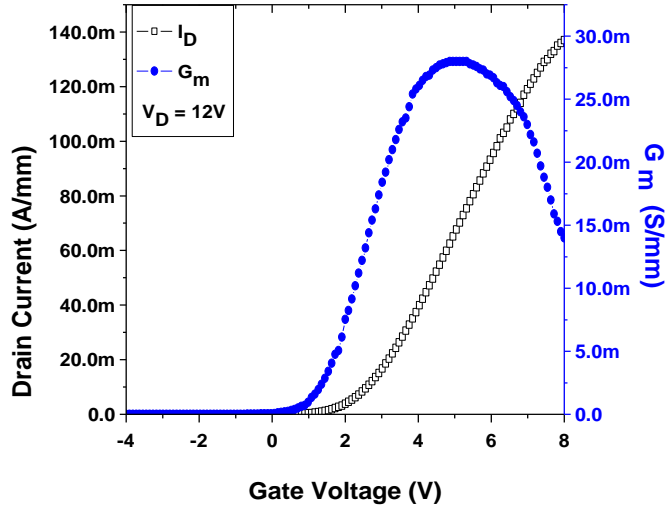


그림 1.5 Transfer curve of gate recessed AlGaIn/GaN MISHEMT

그림 1.5 은 같은 소자의 transfer curve 이다. Normally-off 동작을 하지만 30 mS/mm 가 안 되는 $G_{m,MAX}$ 을 확인 할 수 있다. 이는 그림 1.6 의 그림과 같이 MIS dielectric 내에 존재하는 trap 과 gate region etching damage 에 의한 trap 이 같이 영향을 미친 것으로 볼 수 있다.

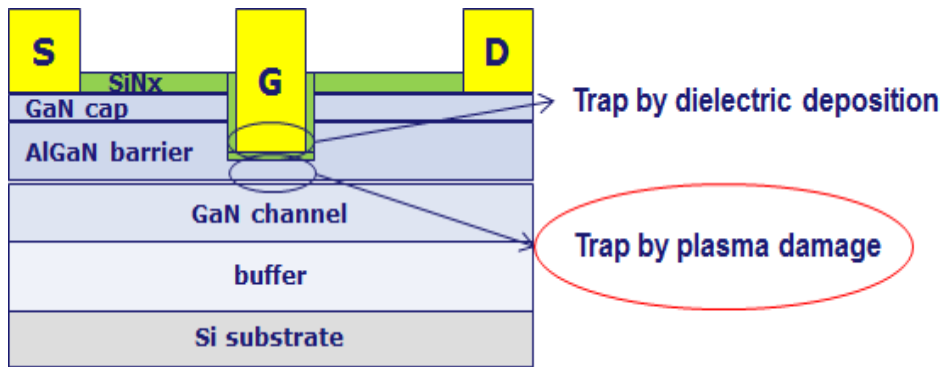


그림 1.6 Trap by dielectric and etching damage

이 소자에 적용 된 etching recipe 은 다음과 같다.

- ICP power : 200 W
- RF power : 7 W
- BCl₃/Cl₂ : 10/10 sccm
- Chamber pressure : 10 mTorr
- Self bias : 43 V

다음의 그림 1.7 은 gate recess 에 high power etching method 가 적용 된 소자의 transfer curve 이다.

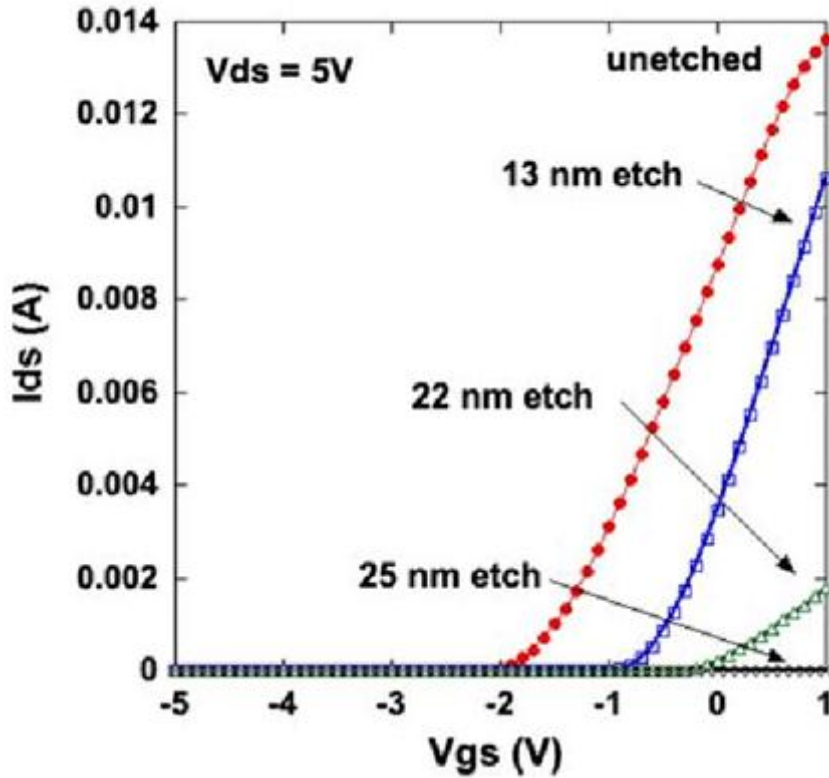


그림 1.7 Transfer curve of gate recessed AlGaIn/GaN HEMT using high power etching method [8]

사용 된 wafer 은 capping layer 가 없는 25 nm 두께의 $Al_{0.25}Ga_{0.75}N$ barrier 가 Al_2O_3 기판 위에 길러진 것이다. Gate recess 에 사용 된 etching recipe 은 다음과 같다.

-ICP power : 100 W

-RF power : 30 W

-Used gas : $\text{BCl}_3/\text{Cl}_2/\text{Ar}$

-Etch rate : 18 nm/min

30 W 의 강한 power 을 이용하여 etching 이 적용 되었다. 22 nm etching 되었을 때, drain current 가 86.4 % 감소하였으며, 이는 $G_{m,MAX}$ 값의 급격한 감소로 이어진다.

위의 결과들을 종합하여 보았을 때, gate recess 에 적용 되는 etching recipe 이 소자의 특성에 중요한 영향을 미치는 것을 확인 할 수 있다. Etching damage 가 클수록 cv hysteresis 가 커지는 것을 볼 수 있으며, frequency dispersion 또한 심해지는 것을 확인 할 수 있다. 또한, etching 이 될수록 drain current 가 급격하게 감소하며 이는 transconductance 에 악영향을 미치는 것으로 볼 수 있다. 따라서 본 논문에서는 low damage etching method 에 대하여 연구 하였다.

1.2 개요

본 논문에서는 normally-off 동작을 하는 AlGaIn/GaN HEMT 의 구현에 초점을 맞추었다. Normally-off 소자의 구현은 channel 근처까지 gate 부분을 recess 하는 방식으로 접근하였다. Gate recess 을 하면서 생기게 되는 plasma damage 을 최소화 하기 위해 다양한 실험을 진행 하였고, 개발한 etching recipe 의 damage 평가 방법을 기술하였다. 개발한 etching recipe 을 적용한 schottky diode 을 제작하여 cv 특성을 살펴보고, 기존에 사용하던 etching recipe 이 적용된 schottky diode 에

비해 cv hysteresis 가 어떻게 나타나는지 살펴 보았다. Etching recipe 을 실제 소자에 etching depth 을 다르게 적용하여 최대 전류 및 transconductance 의 경향성을 확인 하였다. 또한, subthreshold slope 을 통한 interface trap density 추출 방법을 적용하여 개발한 etching recipe 이 어느 정도의 trap 을 생성하는 지 살펴보았다. 그리고 우수한 $G_{m,MAX}$ 을 가지며 좋은 $I_{D,MAX}$ 특성을 보이는 normally-off 소자를 구현하였다.

본 논문은 총 5 개 장으로 구성되어 있다. 2 장에서는 AlGaN/ GaN HEMT 에 적용할 gate recess 용 etching 공정 개발에 대하여 기술 하였고, 3 장에서는 schottky diode 및 schottky HEMT 에 etching 공정을 적용하여 damage 특성을 평가 하였다. 4 장에서는 우수한 특성을 가지는 normally-off 동작을 하는 gate recessed AlGaN/GaN HEMT 의 구현 및 만들어진 소자의 전기적 특성에 대해 기술하였다. 5 장에서는 본 연구의 결론 및 향후 연구 과제에 대하여 설명하였다.

제 2 장 Gate Recess 을 위한 High Quality Etching 공정 개발

2.1 High Quality Etching 공정

Gate Recessed AlGaIn/GaN HEMT 의 구현을 위해서는 적은 damage 을 가지는 gate recess 용 식각 조건을 개발 하여야 한다. 기본적으로 적은 damage 식각을 구현하기 위하여 plasma 가 생성 되는 부분과 샘플이 위치하는 부분이 분리 되는 ICP-RIE 장비를 이용하였다. Gate recess 을 위한 식각 공정은 다음과 같은 조건들을 만족 하여야 한다. Dead time 을 최소화 하여 식각 깊이가 시간에 대하여 선형성을 가지고 있어야 하며, 낮은 식각률로 식각 깊이 조절이 용이 하여야 한다. 식각이 샘플 전반에 걸쳐 균일하게 이루어져야 하며 식각 후 표면의 거칠기가 낮아야 한다.

위에서 제시한 조건들을 최대한으로 만족하는 식각 공정을 개발하기 위하여 RF bias power, chamber pressure, $\text{BCl}_3 : \text{Cl}_2$ ratio 의 조건들을 변화시키며 실험을 진행하였고, dead time 을 최소화하기 위하여 식각 전에 low power BCl_3 처리 조건을 추가하는 공정을 개발 하였다.

2.1.1 RF bias power variation (Si wafer)

Etching 을 진행하기에 앞서 chamber cleaning 을 Cl_2 와 SF_6/O_2 을 이용하여 하였고 [9], BCl_3 로 chamber 분위기를 맞추는 작업을 행하였다. AlGaIn/GaN wafer 로 실험하기에 앞서 Si wafer 을 사용하여 chuck bias power 을 변화해가며 etching 실험을 진행하였다. 사용한 Si wafer 의 크기는 $2.5 \times 2.5 \text{ cm}^2$ 이다. ICP source power 는 200 W, chamber pressure 은 10 mTorr, $\text{BCl}_3/\text{Cl}_2 = 10/10 \text{ sccm}$ 이었다. 그림 2.1 은 RF bias power 의 변화 (4, 5, 7 W) 에 따른 non-uniformity, etch rate, RMS roughness 값을

도식한 것이다. Non-uniformity 은 다음과 같이 정의 하였다.

$$\text{Non-uniformity} = \frac{\text{etch rate (MAX)} - \text{etch rate (min)}}{2 \times \text{etch rate (mean)}} \times 100$$

Low damage etching 을 위하여 RF bias power 을 낮추게 되는데 [10], [11], RF bias power 가 낮아질수록, etch rate 와 RMS roughness 는 낮아지지만, etching depth uniformity 가 나빠지는 경향을 볼 수 있다.

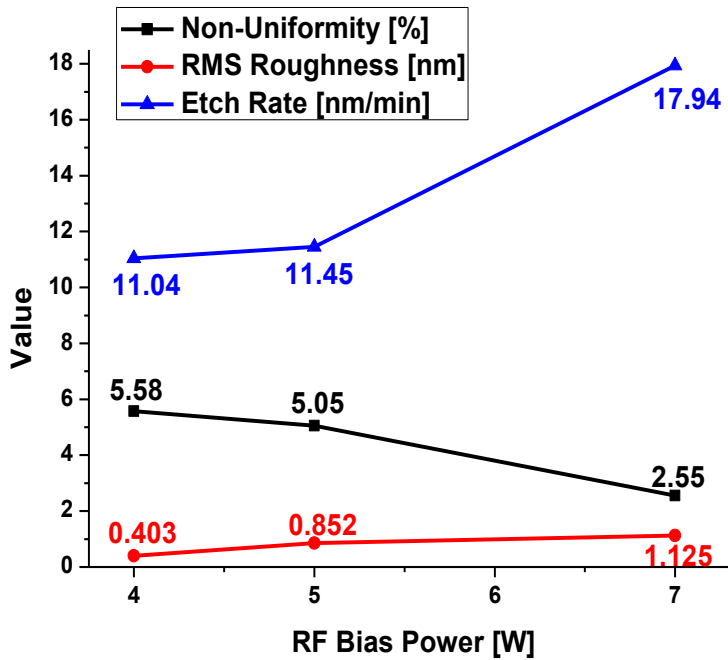


그림 2.1 Non-uniformity, RMS roughness, and etch rate with RF bias power variation (Si wafer)

2.1.2 Gas ratio variation

RF Bias Power을 5 W 로 고정하고, total gas flow 는 20 sccm 에서 BCl_3 와 Cl_2 의 비율을 변화해 가면서 etching 실험을 진행하였다. 이 실험에서는 AlGaIn/GaN wafer 로 진행을 하였다. 사용한 sample 의 크기는 $1.1 \times 1.1 \text{ cm}^2$ 이다. ICP source power 는 200 W, chamber pressure 은 10 mTorr 이다. 그림 2.2 은 gas 비율에 따른 non-uniformity, etch rate, RMS roughness 값을 도식한 것이다.

BCl_3 의 비율이 높아질수록, etching 후 표면 roughness 가 나빠짐을 볼 수 있다. 10%의 BCl_3 일 때, RMS 값이 가장 좋고, uniformity 또한 좋음을 알 수 있다.

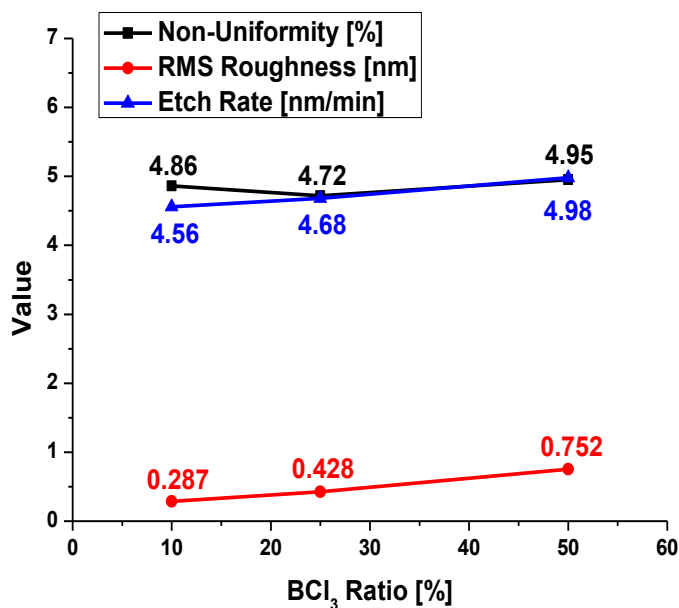


그림 2.2 Non-uniformity, RMS roughness, and etch rate with BCl_3 ratio variation (AlGaIn/GaN wafer)

2.1.3 Chamber pressure variation

다음으로는 chamber pressure 의 변화에 따른 실험을 진행 하였다. 일반적으로 chamber pressure 값이 작아지면 etching uniformity 가 개선 되는 것으로 알려져 있다.

[12] 이번 실험에서는 $2.5 \times 2.5 \text{ cm}^2$ 크기의 Si wafer 을 사용하였으며, ICP source power 는 200 W, RF bias power 은 4 W, BCl_3 와 Cl_2 은 각각 2, 18 sccm 으로 고정하였다. Chamber pressure 을 5 mTorr 이하로 더 낮추어 보려 하였으나, chamber 내에서 plasma 가 생성되지 않았다. 그래서 6 mTorr 가 최소한으로 낮출 수 있는 한계였다. 그림 2.3 은 chamber pressure 에 따른 non-uniformity, etch rate, RMS roughness 값을 도식한 것이다.

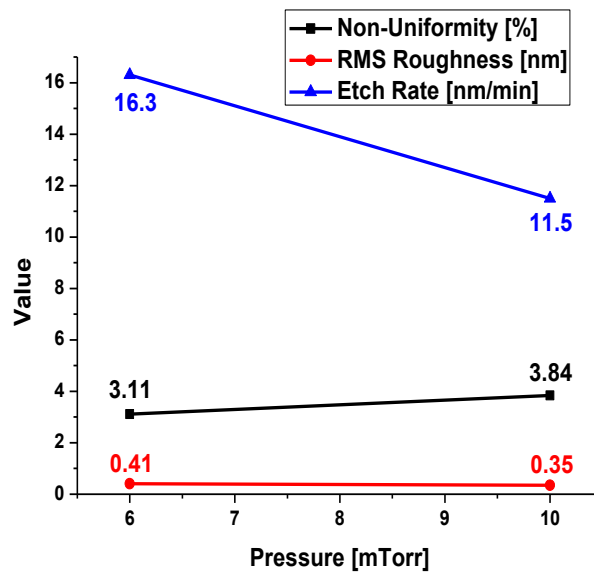


그림 2.3 Non-uniformity, RMS roughness, and etch rate with chamber pressure variation (Si wafer)

Chamber pressure 가 낮아질수록 uniformity 가 개선되는 것을 확인 할 수 있었다. 하지만 uniformity 가 개선되는 정도에 비해 etch rate 가 너무 크게 증가하게 되어 gate recess 에는 적합하지 않다고 판단하였다.

2.1.4 RF bias power variation (AlGaIn/GaN wafer)

지금까지 나온 실험 결과들을 종합하여 AlGaIn/GaN wafer 에 적용하여 RF bias

power 변화에 따른 실험을 진행 하였다. 사용한 sample 의 크기는 $1 \times 1 \text{cm}^2$ 이다. ICP source power 는 200 W, chamber pressure 은 10 mTorr, BCl_3 와 Cl_2 은 각각 2, 18 sccm 으로 고정하였다. RF bias power 은 각각 3, 5, 7 W 로 변화를 주며 결과를 확인 하였다. 그림 2.4 은 RF bias power 에 따른 non-uniformity, etch rate, RMS roughness 값, 그리고 self-bias 을 도식한 것이다.

RF bias power 가 낮아질수록 uniformity 가 나빠지는 것을 확인 할 수 있었다. 하지만 etching 후 표면 roughness 가 좋아지는 것을 확인 할 수 있었다.

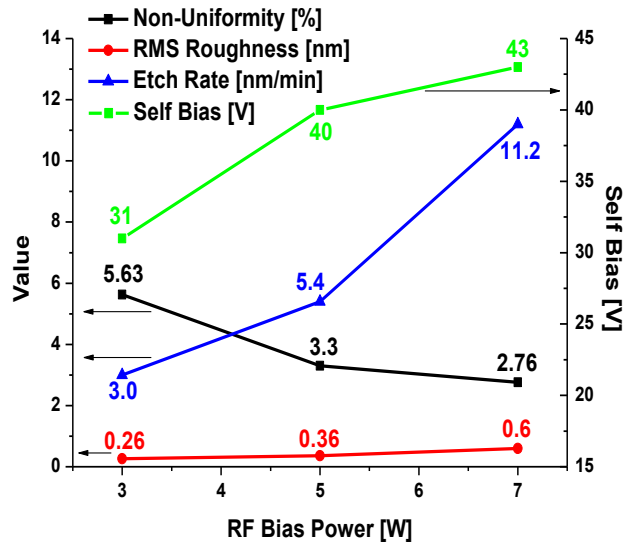


그림 2.4 Non-uniformity, RMS roughness, etch rate, and self-bias with RF bias power variation (AlGaIn/GaN wafer)

2.1.5 BCl_3 pre-treatment

앞서 말한 바와 같이 gate recess 을 위한 etching 의 경우, 미세한 etching depth control 을 위하여 시간에 따른 선형성이 중요한데 이를 위해서는 dead time 을 최소화 시켜야 한다. AlGaIn 표면에 산화물이 불 균일하게 존재하는 경우에 dead

time 이 생기므로 이를 제거해 주어야 한다. 이를 위해서 BCl₃ gas 을 이용하여 표면 산화물을 제거해주는 step 을 추가하였다. [13] 그림 2.5 은 BCl₃ pre-treatment 가 추가 된 etching recipe 이다. ICP source power 200 W, RF bias power 5 W, chamber pressure 10 mTorr, BCl₃ 10 sccm 으로 37 V 의 낮은 self-bias 을 가지며, 11.4 nm/min 의 느린 etch rate 특성을 보인다.

	1	2	3	4	5	6	7	8	9	10	11	12
BCl3	0	10	10	10	10	10	0	2	2	2	2	2
Cl2	0	0	0	0	0	0	0	18	18	18	18	18
Pressure	0	10	10	10	10	10	0	10	10	10	10	10
Source	0	0	300	250	200	200	0	0	300	250	200	200
Bias	0	0	0	0	0	5	0	0	0	0	0	5
Time	20	30	10	10	10	60	120	30	10	10	10	100

BCl₃ pre-treatment step
Main etching step

그림 2.5 Etching recipe with BCl₃ pre-treatment step

2.1.6 Optimized etching recipe

위의 실험 결과들을 종합하여 ICP source power 200 W, RF bias power 5 W, chamber pressure 10 mTorr, BCl₃ : Cl₂ = 2 : 18 sccm, self-bias 40 V 의 etching 공정을 개발하였다.

5.4 nm/min 의 느린 etch rate 특성을 가져 미세한 etching depth control 에 강점을 보이며, 약 0.3 nm 의 RMS roughness 값을 가지고, 우수한 선형성을 갖는 것을 확인 하였다. 그림 2.6 은 etching 표면의 profile 과 linearity 을 도식한 것이다.

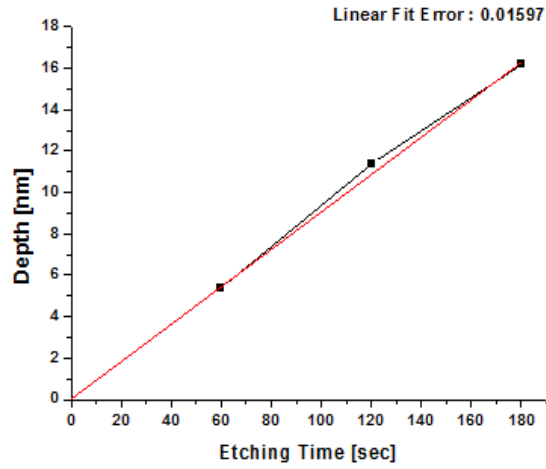
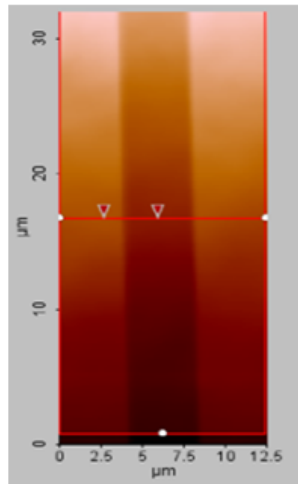
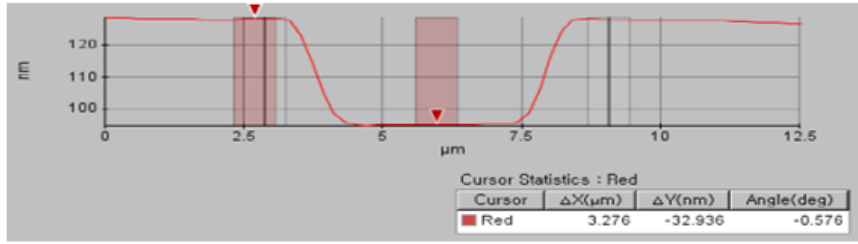


그림 2.6 Etching profile and linearity using developed etching recipe

제 3 장 개발 된 Etching Recipe Damage 평가

3.1 Etching Damage Assessments (schottky diode)

위에서 개발한 etching recipe 의 damage 을 평가하기 위하여 기존에 사용하던 etching recipe 과 이번에 개발한 etching recipe 을 각각 diode 의 schottky 부분에 적용하여 schottky diode 을 제작 하였다. 각각의 diode 에 대하여 CV 특성을 측정하였고, CV hysteresis 의 정도를 비교 하였다.

3.1.1 Schottky diode 제작 공정

사용한 wafer 은 사파이어 기판 위에 GaN buffer 와 AlN layer 가 길러져 있고 그 위에 30 % Al mole fraction 을 갖는 AlGaIn barrier 가 20 nm 두께로 길러져 있다. Hall measurement 을 통하여 $R_{sh} : 494 \Omega/\square$, $n_s : 7 \times 10^{12} \text{ cm}^{-2}$, $\mu : 1600 \text{ cm}^2/\text{Vs}$ 의 특성을 갖는 것을 확인 하였다. 그림 3.1 은 사용한 wafer structure 및 특성을 보여준다.

Al_{0.3}Ga_{0.7}N Barrier (20nm)
AlN (1nm)
GaN Buffer
Sapphire Substrate

< Wafer Structure >

$R_{sh} (\Omega/\square)$	494
$n_s (\text{cm}^{-2})$	7×10^{12}
$\mu (\text{cm}^2/\text{Vs})$	1600

< Hall Measurement >

그림 3.1 Wafer structure & characteristics by hall measurement

우선, 아세톤/메탄올/IPA solvent cleaning 후에 남아있는 유기물 제거를 위해 120 °C 처리를 2분간 하였다. SPM 처리로 인해 생성된 표면 산화물은 10 : 1 의

diluted HF 처리를 통해 제거 하였다 [14], [15]. AlGaN 표면 보호를 위해 R.I. 2.0 의 SiN_x 30 nm 을 증착 하였다 [16]. Ohmic contact 형성을 위하여 표면의 SiN_x 막은 self-bias 10 V, SF₆ 100 sccm 조건의 RIE 방식으로 제거 하였다. Ti/Al based ohmic 을 위해 [17] Ti/Al/Ni/Au = 20/100/25/50 nm 을 e-beam evaporator 을 이용하여 증착 하였으며, RTA 에서 820 °C 30 초 열처리를 통해 ohmic contact 을 형성하였다 [18]. 0.4 ~ 0.5 Ω·mm 의 contact 저항을 얻을 수 있었다. Schottky 부분 opening 을 위하여 역시 위에서 사용한 RIE 방식으로 SiN_x 막을 제거 하였다. Schottky recess 은 앞서 설명한 바와 같이 이번에 개발한 etching recipe 과 기존에 사용하던 etching recipe 을 각각 적용하였다. 각 etching recipe 에 대한 정보는 표 3.1 와 같다. Recess 후에 30 : 1 B.O.E 에 1 분간 처리 하고 나서 Ni/Au 을 e-beam evaporation 방식으로 각각 20/230 nm 증착 하였다.

	개발된 etching recipe	기존 etching recipe
BCl ₃ /Cl ₂ (sccm)	2/18	10/10
ICP source power (W)	200	200
RF bias power (W)	5	7
Chamber pressure (mTorr)	40	43
Self-bias (V0)	10	10

표 3.1 Information of developed etching recipe and old etching recipe

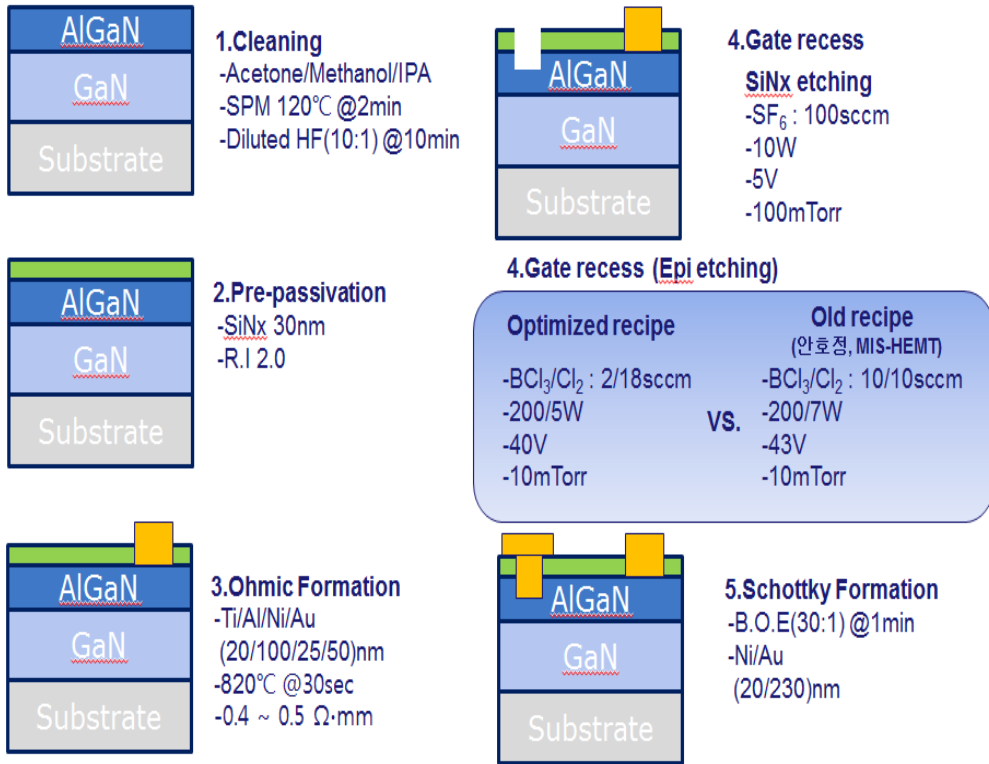


그림 3.2 Process flow for recessed AlGaN/GaN schottky diode

3.1.2 Schottky diode CV 특성 비교 (developed recipe vs. old recipe)

그림 3.3 은 개발된 etching recipe 과 기존의 etching recipe 을 각각 적용한 schottky diode 에 대한 CV 특성을 보여준다. 새로운 recipe 이 적용된 경우, 약 11 nm 가 etching 되었으며, 기존 recipe 이 적용된 경우, 약 8.5 nm 가 etching 되었다.

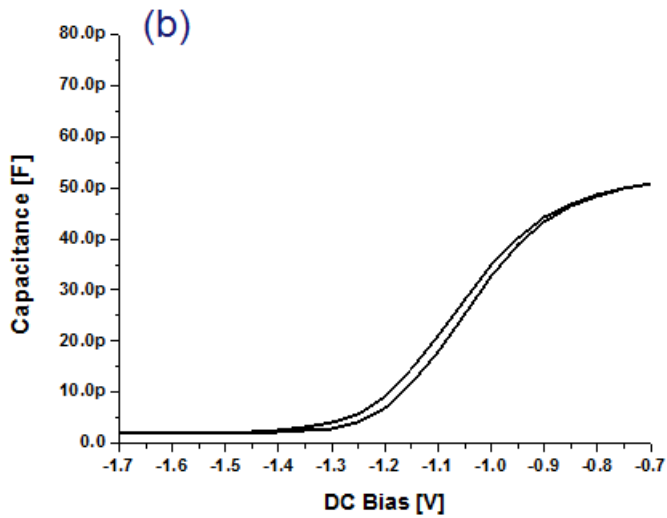
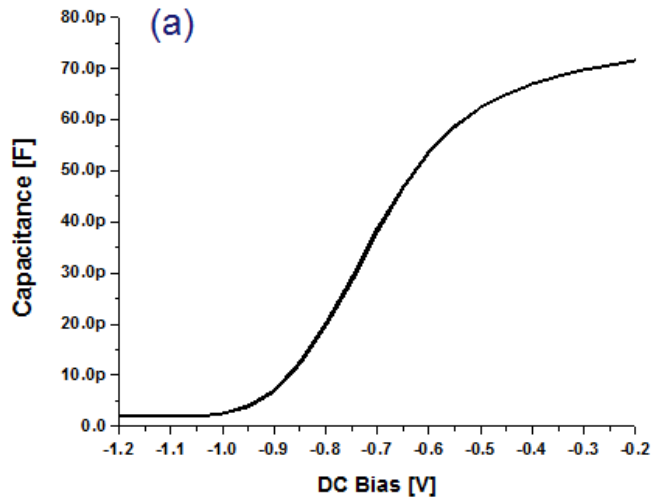


그림 3.3 CV profile of schottky diode with (a) developed etching recipe, and (b) old etching recipe

새로이 개발된 etching recipe 이 적용된 diode 의 경우, etching 깊이가 더 큼에도 불구하고 cv hysteresis 가 거의 없는 것을 확인 할 수 있다. 하지만, 기존의 etching recipe 이 적용된 diode 의 경우, 약 0.05 V 의 cv hysteresis 가 존재하는 것을

볼 수 있다. 그림 3.4 은 10 kHz ~ 1 MHz 의 주파수에서 cv 특성을 보여준다.

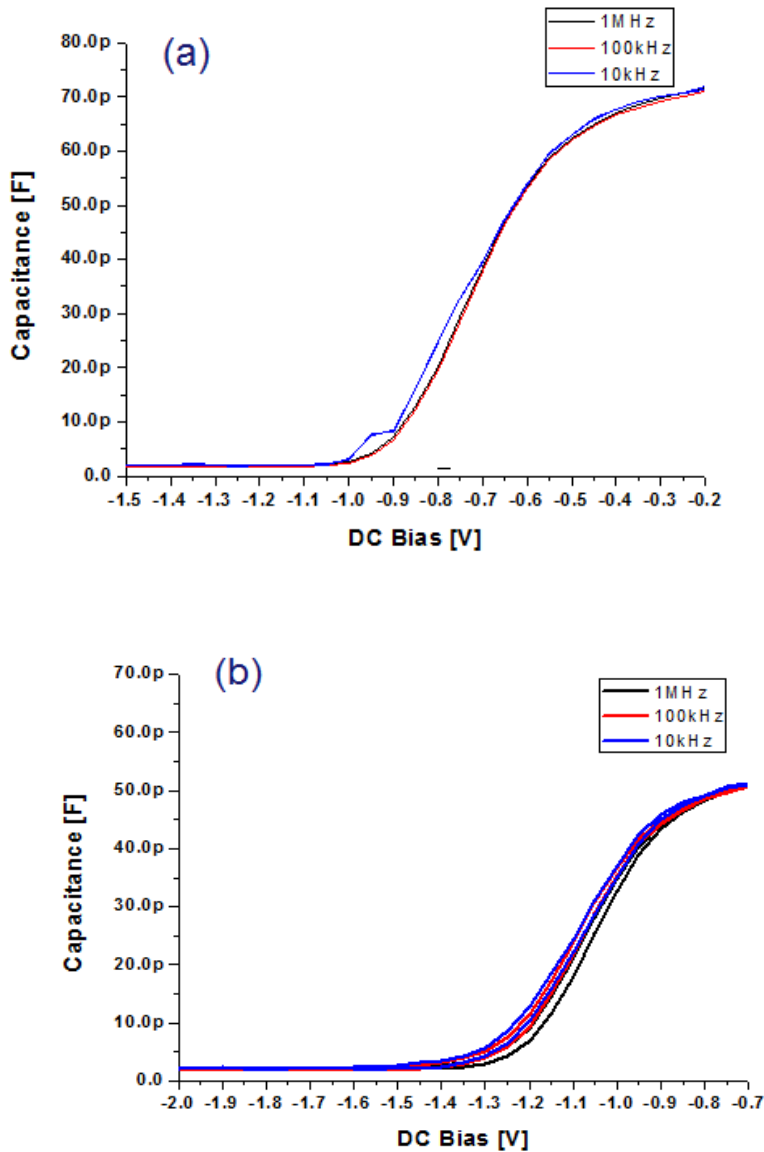


그림 3.4 CV profile of schottky diode with (a) developed etching recipe, and (b) old etching recipe with various frequency

기존의 etching recipe 이 적용된 diode 의 경우, 약 0.05 V 의 frequency dispersion 이 존재하며, 새로운 etching recipe 이 적용된 diode 의 경우, 약 0.025 V 의 frequency

dispersion 이 존재하는 것을 확인 할 수 있다. 결론적으로, 기존의 조건보다 새로운 조건이 더 나은 damage 특성을 보여준다고 판단 할 수 있다 [19].

3.2 Etching Damage Assessments (schottky HEMT)

개발한 etching recipe 을 schottky HEMT 에 적용하여 etching depth 에 따른 D_{it} 을 추출하여 gate recess 을 적용하지 않은 소자의 그것과 비교하였고, $G_{m,MAX}$, $I_{D,MAX}$ 그리고 V_{th} 분석을 통해 적절한 etching depth 에 대하여 고찰하였다.

3.2.1 Schottky HEMT 제작 공정

앞서 사용한 것과 같은 wafer 을 schottky HEMT 제작에 사용하였다. 우선, 아세톤/메탄올/IPA solvent cleaning 후에 남아있는 유기물 제거를 위해 120 °C 처리를 2분간 하였다. SPM 처리로 인해 생성된 표면 산화물은 10 : 1 의 diluted HF 처리를 통해 제거 하였다. AlGaIn 표면 보호를 위해 R.I. 2.0 의 SiN_x 200 nm 을 증착 하였다. Ohmic contact 형성을 위하여 표면의 SiN_x 막은 self-bias 10 V, SF_6 100 sccm 조건의 RIE 방식으로 제거 하였다. Ti/Al/Ni/Au = 20/80/25/50 nm 을 e-beam evaporator 을 이용하여 증착 하였으며, RTA 에서 820 °C 30 초 열처리를 통해 ohmic contact 을 형성하였다. 약 0.5 $\Omega \cdot mm$ 의 contact 저항을 얻을 수 있었다. Schottky 부분 opening 을 위하여 역시 위에서 사용한 RIE 방식으로 SiN_x 막을 제거 하였다. Schottky recess 은 이번에 개발한 etching recipe 을 적용하여 0, 10, 15, 18 nm 두께로 split 하였다. Recess 후에 30 : 1 B.O.E 에 1 분간 처리 하고 나서 Ni/Au 을 e-beam evaporation 방식으로 각각 20/380 nm 증착 하였다. 아래 그림은 schottky HEMT 의 제작 과정을 도식한 것이다.



1.Cleaning

- Acetone/Methanol/IPA
- SPM 120°C @2min
- Diluted HF(10:1) @10min



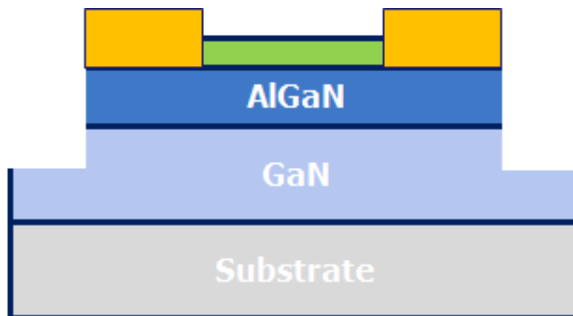
2.Pre-passivation

- SiNx 200nm
- R.I 2.0



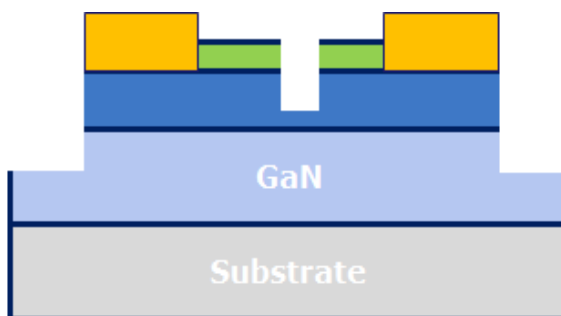
3.Mesa Isolation

- BCl₃/Cl₂ : 2/18sccm
- 200/10W
- 55V
- 10mTorr
- 200nm



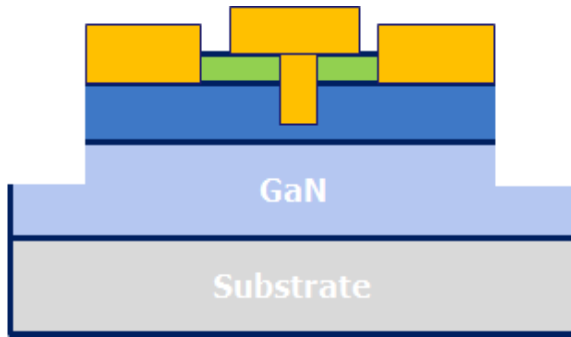
4.Ohmic Formation

- Ti/Al/Ni/Au
- (20/80/25/50)nm
- 820°C @30sec
- 0.5 Ω·mm



5.Gate recess

- BCl₃/Cl₂ : 2/18sccm
- 200/5W
- 40V
- 10mTorr
- Depth : 0, 10, 15, 18 nm



6. Gate Formation
 -B.O.E(30:1) @1min
 -Ni/Au
 (20/380)nm

그림 3.5 Process flow for gate recessed AlGaIn/GaN schottky HEMT

3.2.1.1 Surface cleaning

소자를 제작하기에 앞서 cleaning 을 진행하였다. Cleaning 후에 바로 SiN_x passivation 공정이 이루어지기 때문에 표면의 청결도가 중요하다고 할 수 있다. 먼저 표면에 있는 유기물 제거를 위해 아세톤 blowing 을 하였고, 이어서 메탄올과 IPA 처리를 하였다. 남아있는 유기물을 제거하기 위해 120 °C 의 SPM 용액에 2 분간 처리를 하였으며, 마지막으로 10:1 의 diluted HF 을 이용하여 SPM 처리로 인해 생성된 산화 막을 제거 하였다.

3.2.1.2 SiN_x pre-passivation

샘플의 cleaning 이 끝난 후에는 SiN_x passivation 이 진행된다. 샘플을 ICP-CVD 에 로딩한 후에 전류와 G_m 의 증가를 위하여 low power N_2 plasma 처리를 1분간 해주었다. 그 후에 in-situ 로 R.I. 2.0을 갖는 120 nm SiN_x 막을 증착 하였다.

3.2.1.3 Active region isolation

소자간의 isolation 을 위하여 dry etching 을 통한 MESA isolation 을 진행

하였다. AZ 7210 PR 을 사용하여 photolithography 방식으로 패턴을 형성 하였으며 표면의 SiN_x 막은 self-bias 10 V, SF_6 100 sccm 조건의 RIE 방식으로 제거 하였다. Epi etching 은 ICP-Etcher 을 이용하여 진행하였다. 사용 한 gas 은 BCl_3 와 Cl_2 이며 각각 2, 18 sccm의 flow을 사용하였다. 처음 100 nm 은 55 V 의 self-bias 을 갖는 etching 조건으로 식각 하였으며, 이어서 40 V 의 self-bias etching 조건으로 50 nm 을 식각하여 총 150 nm 을 식각 하여 2DEG 층을 완벽하게 제거 하였다.

3.2.1.4 Ohmic contact formation

Ohmic 패턴은 AZ 5214 PR 을 사용하여 photolithography 방식으로 형성 하였으며 표면의 SiN_x 막은 self-bias 10 V, SF_6 100 sccm 조건의 RIE 방식으로 제거 하였다. Ohmic metal 은 Ti/Al/Ni/Au 의 총 4 층으로 이루어져 있으며, e-beam evaporation 방식으로 각각 20/80/25/50 nm 을 증착 하였다. RTA 을 이용하여 820 °C 에서 30 초간 열 처리를 하여 ohmic 을 형성 하였으며, 약 0.5 $\Omega \cdot \text{mm}$ 의 contact 저항을 얻을 수 있었다.

3.2.1.5 Gate recess

Gate foot 의 패턴은 AZ 7210 PR 을 사용하여 photolithography 방식으로 형성 하였으며, 정의 된 gate length (L_G) 은 2 μm 이다. 표면의 SiN_x 막은 self-bias 10 V, SF_6 100 sccm 조건의 RIE 방식으로 제거 한 뒤, epi recess 은 앞에서 잡은 etching recipe 을 사용하여 target depth 0, 10, 15, 18 nm 로 진행 하였다. Etching 후에 solvent 을 사용하여 PR 을 제거 하였다.

3.2.1.6 Gate formation

Gate 패턴은 AZ 5214 PR 을 사용하여 photolithography 방식으로 형성 하였으며, metal 을 증착 하기 전에 B.O.E (30:1) 에 1분간 처리 하여 AlGaN 표면의 산화막을 제거 하였다. Gate metal 은 Ni/Au을 e-beam evaporation 방식으로 증착 하였으며, 그 두께는 각각 20/380 nm 이다.

3.2.2 Interface trap density extraction method

Interface trap density 추출을 통해 gate recess depth 별로 trap 이 어떤 식으로 나타나는지 알아보았다. 이를 통해 gate recess 을 적용한 것이 적용 안 한 것에 비해 어느 정도 damage 양상을 보이는지 판단 하였다. Trap density 추출은 subthreshold slope 을 통해 구하였다 [20-22]. Transfer curve 의 log scale 에서 SS (subthreshold slope) 을 구한다. 이를 C_i (AlGaN layer capacitance) 와 함께 제시된 공식 그림 3.6 에 대입하면 C_{it} 을 구할 수 있다. 앞서 구한 C_{it} 로부터 D_{it} 을 구한다. 여기서 제시된 값은 $T = 300\text{ K}$ 에서 구한 것이다. C_q 은 quantum capacitance 로 C_i 에 비해 매우 작은 값을 가지므로 무시한다.

$$SS = \frac{kT}{q} \ln(10) \left(1 + \frac{C_q + C_{it}}{C_i}\right)$$
$$D_{it} = \frac{C_{it}}{q}$$

그림 3.6 Equation for D_{it} extraction using subthreshold slope

3.2.3 Characteristics with function of etching depth

위에서 설명한 interface trap density 추출을 통해 gate recess depth 별로 어떠한 양상을 띠는지 알아보았다.

<Etching depth : 0 nm>

$$SS = \frac{kT}{q} \ln(10) \left(1 + \frac{C_{it}}{C_i}\right)$$

$$370 \text{ mV/dec} = 0.0259 \ln(10) \left(1 + \frac{C_{it}}{0.95 \times 10^{-6}}\right)$$

$$C_{it} = -3.5 \times 10^{-7}$$

$$D_{it} = \frac{-3.5 \times 10^{-7}}{-1.6 \times 10^{-19}} = 2.18 \times 10^{12} \text{ [cm}^{-2}\text{eV}^{-1}\text{]}$$

<Etching depth : 10 nm>

$$SS = \frac{kT}{q} \ln(10) \left(1 + \frac{C_{it}}{C_i}\right)$$

$$250 \text{ mV/dec} = 0.0259 \ln(10) \left(1 + \frac{C_{it}}{1.5 \times 10^{-6}}\right)$$

$$C_{it} = -8.6 \times 10^{-7}$$

$$D_{it} = \frac{-8.6 \times 10^{-7}}{-1.6 \times 10^{-19}} = 5.37 \times 10^{12} \text{ [cm}^{-2}\text{eV}^{-1}\text{]}$$

<Etching depth : 15 nm>

$$SS = \frac{kT}{q} \ln(10) \left(1 + \frac{C_{it}}{C_i}\right)$$

$$165 \text{ mV/dec} = 0.0259 \ln(10) \left(1 + \frac{C_{it}}{2.33 \times 10^{-6}}\right)$$

$$C_{it} = -1.67 \times 10^{-6}$$

$$D_{it} = \frac{-1.67 \times 10^{-6}}{-1.6 \times 10^{-19}} = 1.04 \times 10^{13} \text{ [cm}^{-2}\text{eV}^{-1}\text{]}$$

<Etching depth : 18 nm>

$$SS = \frac{kT}{q} \ln(10) \left(1 + \frac{C_{it}}{C_i}\right)$$

$$190 \text{ mV/dec} = 0.0259 \ln(10) \left(1 + \frac{C_{it}}{2.79 \times 10^{-6}}\right)$$

$$C_{it} = -1.89 \times 10^{-6}$$

$$D_{it} = \frac{-1.89 \times 10^{-6}}{-1.6 \times 10^{-19}} = 1.18 \times 10^{13} \text{ [cm}^{-2}\text{eV}^{-1}\text{]}$$

그림 3.6 D_{it} extraction of gate recessed HEMT with etching depth : 0, 10, 15, 18 nm

그림 3.6 에서 볼 수 있듯이 etching depth 가 커질수록 interface trap density 가 증가하는 경향을 확인 할 수 있었다. 다음의 그림 3.7 은 etching depth 에 따른 $G_{m,MAX}$, $I_{D,MAX}$, 그리고 V_{th} 을 그래프로 정리 한 것이다. $G_{m,MAX}$ 은 etching depth 에 따라 증가하다가 18 nm 에서 감소하는 경향을 보였다. $I_{D,MAX}$ 은 18 nm 에서 급격하게 감소하는 형태를 관찰 할 수 있었다.

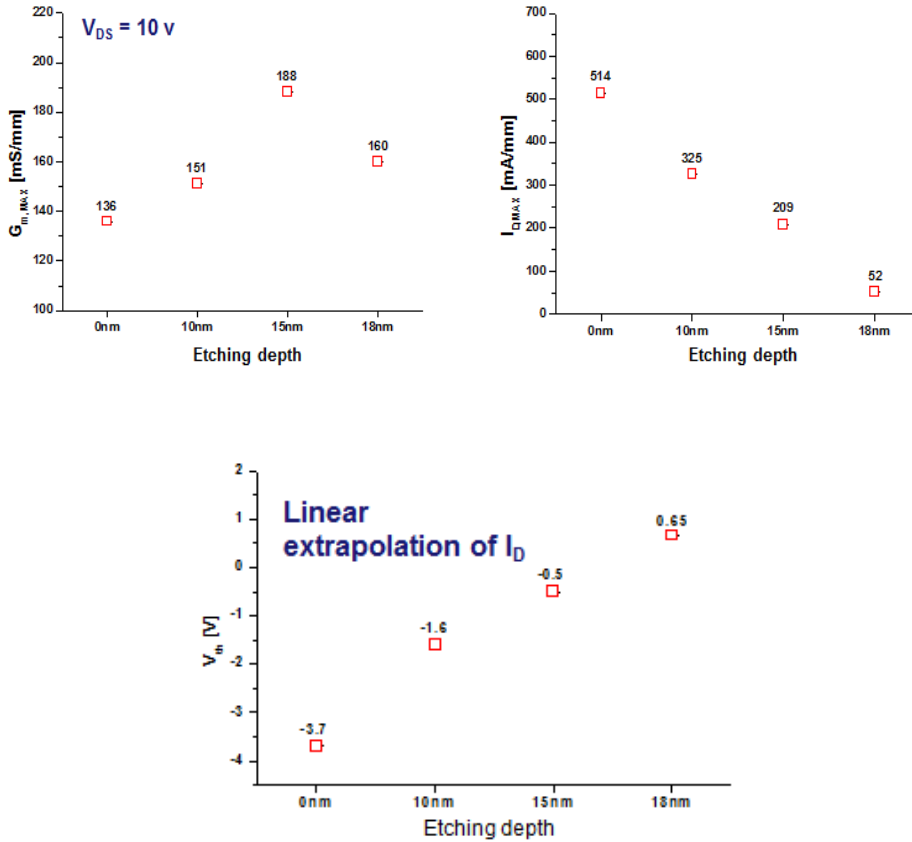


그림 3.7 $G_{m,MAX}$, $I_{D,MAX}$, and V_{th} , of gate recessed HEMT with etching depth : 0, 10, 15, 18 nm

소자가 15 nm etching depth 에서는 normally-on 영역에 있다가 18 nm 에서 normally-off 동작을 하는 것을 확인 할 수 있었다. 위의 결과들을 종합해 볼 때, normally-off 동작을 하면서 좋은 $G_{m,MAX}$ 와 $I_{D,MAX}$ 특성을 보이는 소자를 구현하기 위해서는 적절한 etching depth 또한 중요하다는 것을 알 수 있다.

제 4 장 Gate Recessed Normally-off AlGaN/GaN HEMT의 제작

4.1 Gate Recessed Normally-off AlGaN/GaN HEMT의 제작 공정

Gate Recessed AlGaN/GaN HEMT 의 제작은 일반적인 AlGaN/GaN HEMT 의 제작에서 gate 영역을 ICP Etcher 을 사용하여 원하는 깊이만큼 etch 하는 것이 추가된 것이다. 사용한 wafer 은 사파이어 기판 위에 GaN buffer 와 AlN layer 가 길러져 있고 그 위에 30 % Al mole fraction 을 갖는 AlGaN barrier 가 23.5 nm 두께로 길러져 있다. Hall measurement 을 통하여 $R_{sh} : 492 \Omega/\square$, $n_s : 7 \times 10^{12} \text{ cm}^{-2}$, $\mu : 1400 \text{ cm}^2/\text{Vs}$ 의 특성을 갖는 것을 확인 하였다. 그림 4.1 은 사용한 wafer structure 및 특성을 보여준다.

Al_{0.3}Ga_{0.7}N Barrier (23.5nm)
AlN (1nm)
GaN Buffer
Sapphire Substrate

< Wafer Structure >

$R_{sh} (\Omega/\square)$	492
$n_s (\text{cm}^{-2})$	7×10^{12}
$\mu (\text{cm}^2/\text{Vs})$	1400

< Hall Measurement >

그림 4.1 Wafer structure & characteristics by hall measurement

아래의 그림 4.2 은 gate recessed AlGaN/GaN HEMT 의 제작 과정을 그림으로 간단하게 나타낸 것이다.



1.Cleaning

- Acetone/Methanol/IPA
- SPM 120°C @2min
- Diluted HF(10:1) @10min



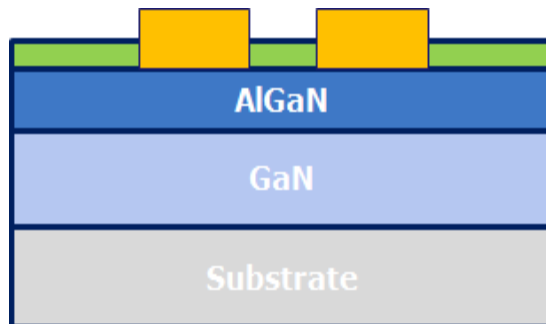
2.Pre-passivation

- N₂ plasma treatment @1min
- SiN_x 120nm
- R.I 2.0



3.Mesa Isolation

- BCl₃/Cl₂ : 2/18sccm
- 200/5W
- 40V
- 10mTorr
- 50nm



4.Ohmic Formation

- Si/Ti/Al/Mo/Au
- (5/20/80/35/50)nm
- 800°C @30sec
- 0.6 Ω·mm

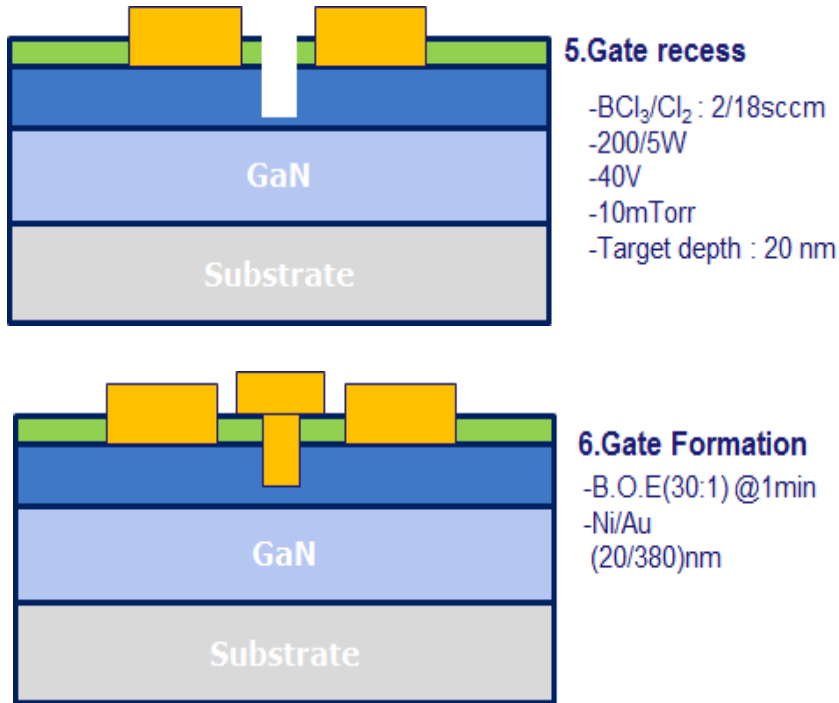


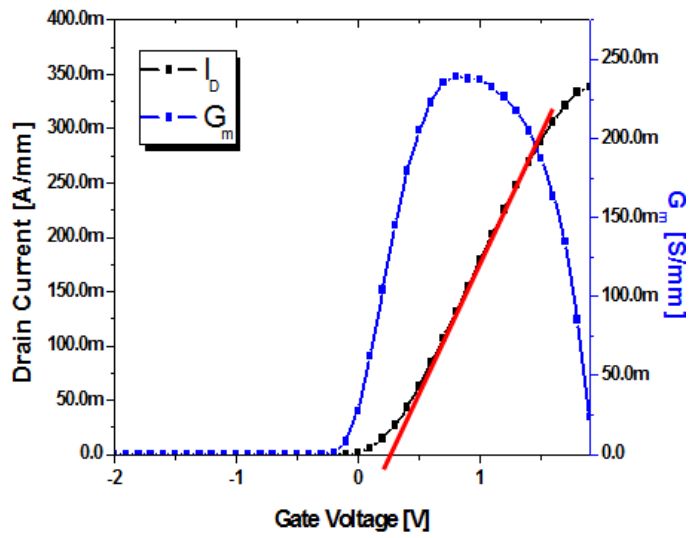
그림 4.2 Process flow for gate recessed AlGaIn/GaN HEMT

우선, 아세톤/메탄올/IPA solvent cleaning 후에 남아있는 유기물 제거를 위해 120 °C 처리를 2분간 하였다. SPM 처리로 인해 생성된 표면 산화물은 10 : 1 의 diluted HF 처리를 통해 제거 하였다. AlGaIn 표면 보호를 위해 R.I. 2.0 의 SiN_x 120 nm 을 증착 하였다. Ohmic contact 형성을 위하여 표면의 SiN_x 막은 self-bias 10 V, SF_6 100 sccm 조건의 RIE 방식으로 제거 하였다. Si/Ti/Al/Mo/Au = 5/20/80/35/50 nm 을 e-beam evaporator 을 이용하여 증착 하였으며, [23] RTA 에서 800 °C 30 초 열처리를 통해 ohmic contact 을 형성하였다. 약 0.6 $\Omega \cdot \text{mm}$ 의 contact 저항을 얻을 수 있었다. Gate 부분 opening 을 위하여 역시 위에서 사용한 RIE 방식으로 SiN_x 막을 제거 하였다. Gate recess 은 이번에 개발한 etching recipe 을 적용하여 20 nm 두께로 etching 하였다. Recess 후에 30 : 1 B.O.E 에 1 분간 처리 하고 난 후 Ni/Au 을 e-beam evaporation 방식으로 각각 20/380 nm 증착 하였다.

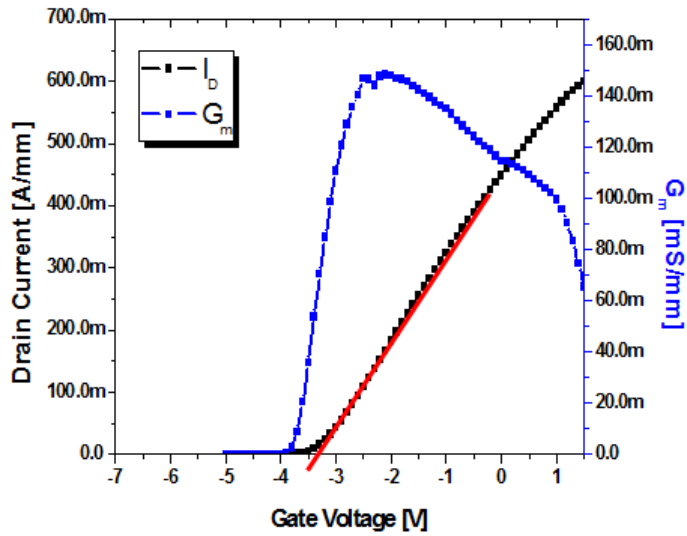
4.2 제작된 Gate Recessed Normally-off AlGaIn/GaN HEMT의 특성

4.2.1 DC Characteristics

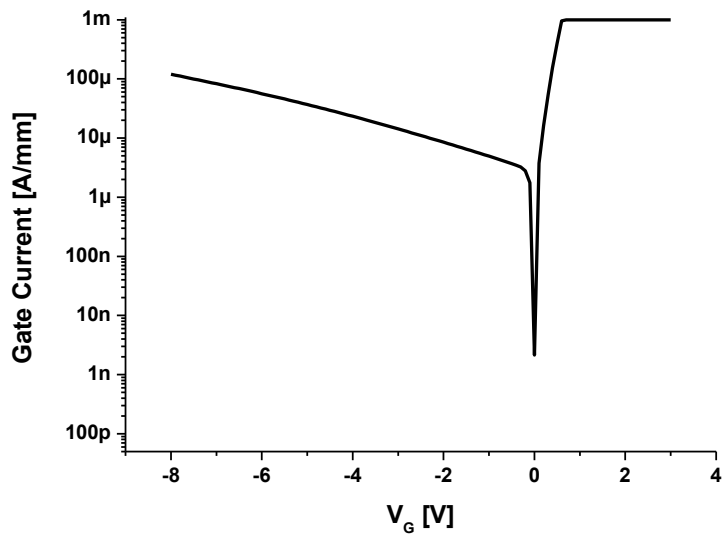
제작된 gate recessed AlGaIn/GaN HEMT의 특성은 같이 진행된 non-recessed AlGaIn/GaN HEMT와 비교하며 확인하였다. Unit device의 크기는 $L_{gd} = 15 \text{ } \mu\text{m}$, $W_g = 100 \text{ } \mu\text{m}$, $L_g = 2 \text{ } \mu\text{m}$ 이다. Gate metal과 2DEG channel 사이의 거리가 가까워짐에 따라 threshold voltage 값이 positive shift한 것을 확인 할 수 있었다. Drain current을 기준으로 linear extrapolation 하였을 때, 0.24 V의 threshold voltage을 얻을 수 있었으며, normally-off 동작을 하는 것을 확인 할 수 있었다. $G_{m,MAX}$ 값은 non-recessed HEMT의 140 mS/mm에서 238 mS/mm로 증가한 것을 확인 할 수 있었다. 이는 딱 적당한 깊이로 low damage etching이 이루어진 것으로 그 이유를 설명 할 수 있다. AlGaIn barrier의 두께가 얇아짐으로 인해 turn-on voltage가 작아지는 것을 확인 할 수 있었으며, channel까지의 거리가 가까워 짐에도 불구하고 reverse leakage current 값은 거의 차이가 없음을 확인 할 수 있었다. 하지만, 최대 전류가 줄어드는 현상을 확인 할 수 있었다. 아래의 그림 4.3는 gate recessed HEMT와 non-recessed HEMT의 DC 특성을 나타낸 것이다.



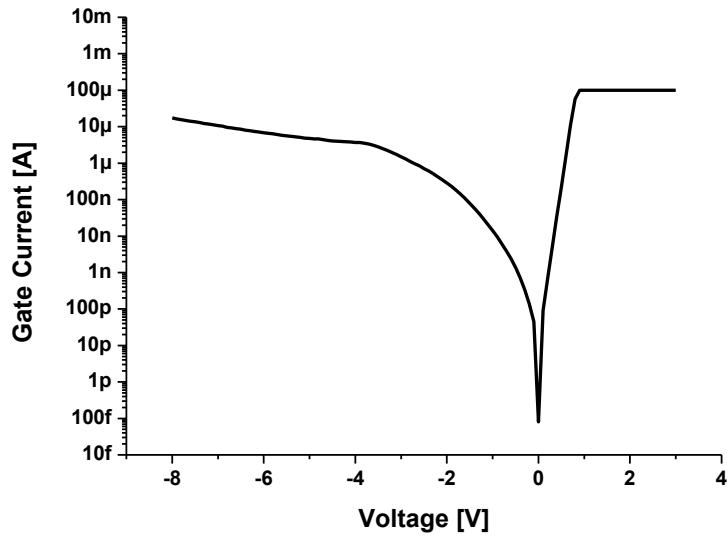
(a)-1



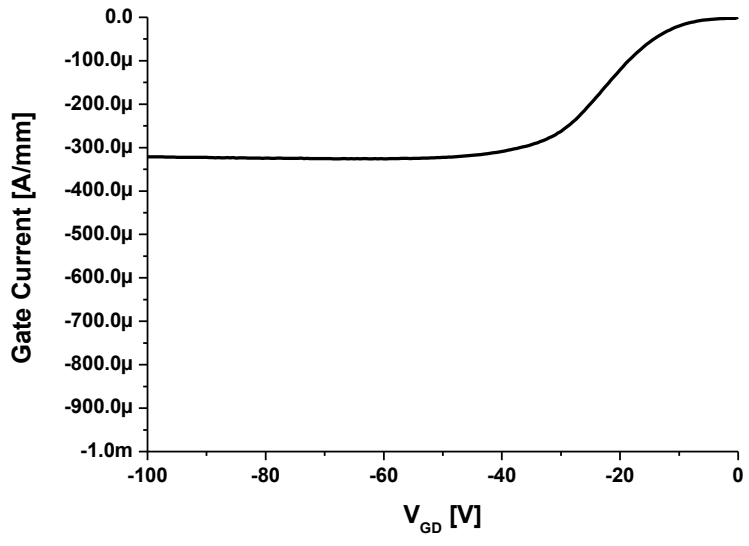
(a)-2



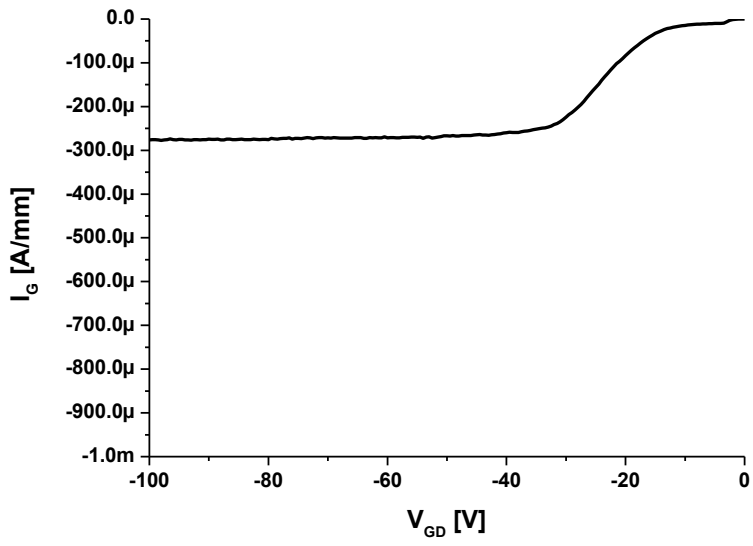
(b)-1



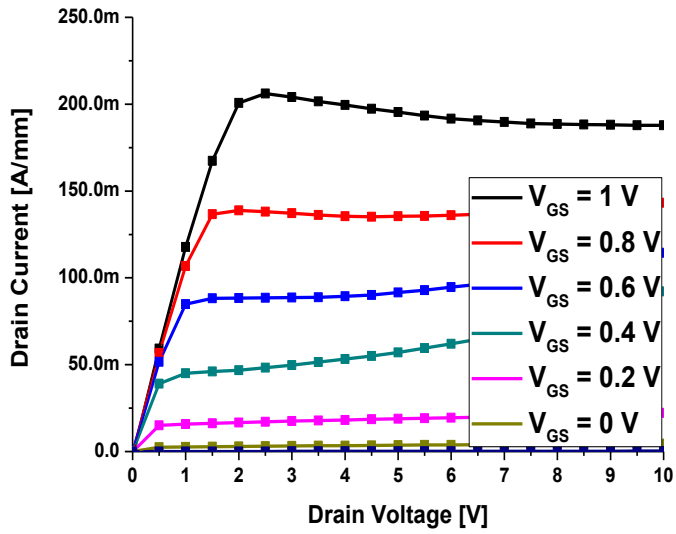
(b)-2



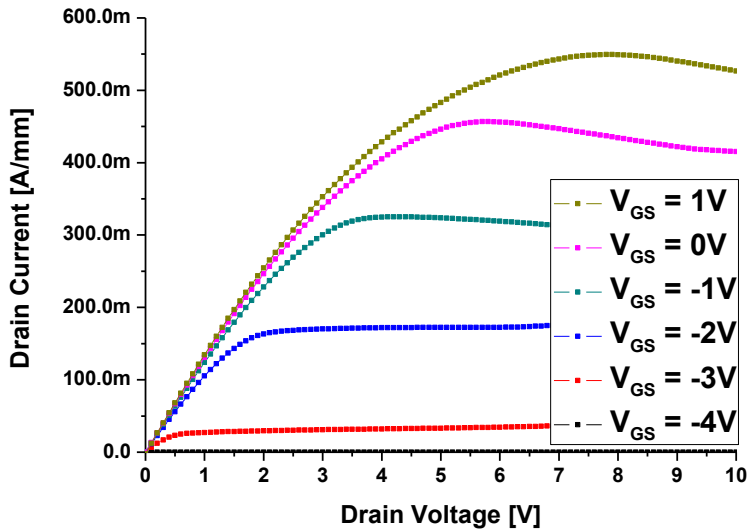
(c)-1



(c)-2



(d)-1



(d)-2

그림 4.3 (a) Transfer curve ($V_{DS} = 10\text{ V}$), (b) Forward characteristic, (c) Reverse leakage current characteristic and (d) Family curve of Gate recessed AlGaIn/GaN HEMT (1) and non-

recessed AlGaIn/GaN HEMT (2)

	$G_{m,MAX}$ (mS/mm)	V_{th} (V)	V_{on} (V)	BV_{off} (V)	$I_{leak@-100V}$ (A/mm)
Gate recessed HEMT	238	0.24	0.8	515	325 u
Non recessed HEMT	140	-3.4	1	525	275 u

표 4.1 DC characteristics of Gate recessed AlGaIn/GaN HEMT and non-recessed AlGaIn/GaN HEMT

4.2.2 Uniformity of gate recessed HEMT

앞서 언급했듯이 gate recessed HEMT 의 경우, unit device 뿐만이 아니라 large size device의 안정적인 구현을 위해서 etching 균일도가 굉장히 중요하다고 할 수 있다. $1.1 \times 1.1 \text{ cm}^2$ 크기 시편을 기준으로, V_{th} 값의 variation 및 etching depth 을 측정 하였다. V_{th} variation 은 +/- 70 mV, 표준편차는 49 mV였다. AFM 측정을 통한 depth variation 은 +/- 1 nm 였으며, non-uniformity 은 5 % 로 우수한 균일도를 보이는 것을 확인 할 수 있었다.

4.2.3 D_{it} extraction

Gate recessed AlGaIn/GaN HEMT 와 non-recessed AlGaIn/GaN HEMT 에 대하여 subthreshold slope 을 통한 interface trap density 을 추출 하였다. 아래의 그림 4.4 은 gate recessed HEMT 와 non-recessed HEMT 에 대한 Interface trap density 추출을 보여준다.

$$\begin{aligned}
 \text{(a)} \quad SS &= \frac{kT}{q} \ln(10) \left(1 + \frac{C_{it}}{C_i}\right) & \text{(b)} \quad SS &= \frac{kT}{q} \ln(10) \left(1 + \frac{C_{it}}{C_i}\right) \\
 150 \text{ mV/dec} &= 0.0259 \ln(10) \left(1 + \frac{C_{it}}{7.5 \times 10^{-7}}\right) & 125 \text{ mV/dec} &= 0.0259 \ln(10) \left(1 + \frac{C_{it}}{1.25 \times 10^{-6}}\right) \\
 C_{it} &= -5.59 \times 10^{-7} & C_{it} &= -9.8 \times 10^{-7} \\
 D_{it} &= \frac{-5.59 \times 10^{-7}}{-1.6 \times 10^{-19}} = 3.49 \times 10^{12} \text{ [cm}^2\text{eV}^{-1}\text{]} & D_{it} &= \frac{-9.8 \times 10^{-7}}{-1.6 \times 10^{-19}} = 6.12 \times 10^{12} \text{ [cm}^2\text{eV}^{-1}\text{]}
 \end{aligned}$$

그림 4.4 D_{it} extraction of (a) Non-recessed HEMT and (b) Gate recessed HEMT

Gate recessed HEMT 의 경우, 125 mV/dec 의 subthreshold slope 을 가지며, non-recessed HEMT 의 경우, 150 mV/dec 의 subthreshold slope 을 가진다. 이를 그림 4.4 에 나타나듯이 공식에 대입하여 D_{it} 값을 추출 하였다. Gate recessed HEMT 의 경우, non-recessed HEMT 의 경우보다 약 1.75 배의 D_{it} 값을 가지는 것으로 나타났다.

아래의 그림 4.5 은 V_{th} 에 대한 D_{it} 및 $G_{m,MAX}$ 을 다른 그룹들과 비교한 것이다.

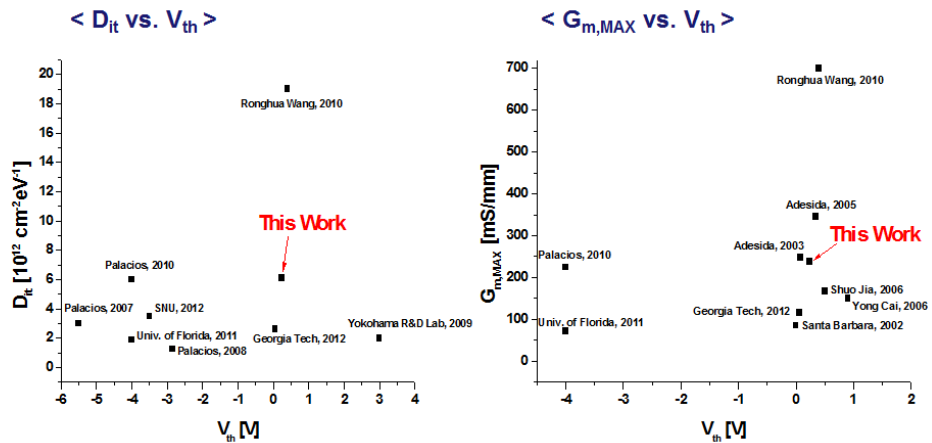


그림 4.5 D_{it} vs. V_{th} , and $G_{m,MAX}$ vs. V_{th}

제 5 장 결론 및 앞으로의 과제

5.1 결론

본 논문에서는 normally-off 동작을 하는 AlGaIn/GaN HEMT 에 대하여 연구를 진행하였으며, low damage 을 가지는 etching 공정을 개발하여 이를 소자에 적용, 구현하였다. 우수한 식각은 좋은 균일도, smooth 한 표면 roughness, 미세한 depth control 을 위한 low etch rate, dead time 없는 etching linearity, 그리고 low damage 특성을 가져야 한다. 위에서 언급한 우수한 특성을 가지는 etching recipe 을 얻기 위해 RF bias power, chamber pressure, 그리고 gas ratio 등을 변화 해가며 실험을 진행하였다. 그 결과 ICP source power 200 W, RF bias power 5 W, chamber pressure 10 mTorr, $\text{BCl}_3 : \text{Cl}_2 = 2 : 18$ sccm 의 etching recipe 을 개발하였다.

위에서 개발한 etching recipe 의 damage 특성을 평가하기 위하여 recessed diode 을 제작하였고, 기존의 etching recipe 을 적용한 것과 비교하였을 때, cv hysteresis 가 거의 없어지는 것을 확인 할 수 있었다. 또한, 이를 적용한 gate recessed HEMT 을 제작하였으며, $D_{it} = 6.12 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ 의 interface trap density 을 가지는 것을 확인 하였으며, 이를 통해 개발한 etching recipe 이 low damage 특성을 가지는 것을 확인 할 수 있었다. 제작된 gate recessed HEMT 는 gate length : 2 μm , gate width : 100 μm , gate to drain length : 15 μm 에서 0.24 V 의 문턱전압, 206 mA/mm 의 최대 전류, 238 mS/mm 의 $G_{m,MAX}$, 515 V 의 off-state 항복전압 특성을 보였다. 또한 1.1 x 1.1 cm^2 크기의 sample size 에서 +/- 70 mV 의 문턱전압 변화를 보였으며, 표준편차는 49 mV 였고, etching 깊이 불 균일성은 5 %로 우수한 균일도를 가지는 것을 확인 할 수 있었다.

5.2 앞으로의 과제

본 연구는 low damage etching 개발을 통해 gate recessed normally-off AlGaIn/GaN HEMT 을 구현하는 것이다. 실제로 unit device 에서 drain 전류를 기준으로 linear extrapolation 하였을 때, 양의 threshold voltage 을 얻을 수 있었으며, etching 전 보다 훨씬 향상된 transconductance 값을 얻을 수 있었다. 이를 통해 channel 에의 etching damage 가 적은 것으로 판단 할 수 있었다. $1.1 \times 1.1 \text{ cm}^2$ 크기의 샘플 내에서 약 5 % 의 non-uniformity 을 얻을 수 있었으며, 이는 unit device 의 구현에 있어서 충분한 균일도를 가지는 것으로 판단 할 수 있었다. 하지만 고출력 소자의 구현을 위한 큰 사이즈의 소자 제작에 있어서 더 개선된 균일도를 가지는 etching method 가 필요한 것이 사실이다. 본 논문에서는 시편 크기의 샘플을 가지고서 균일도를 확인하는 실험만 하였으므로 더 큰 크기의 샘플 (예 : 4 인치 Si wafer) 을 이용하여 균일도 실험을 진행하는 것이 필요할 것으로 생각한다. 또한, 더 나은 균일도를 위하여 현재의 etching 조건에서 chamber pressure 을 높이고 이것을 보완하는 방안으로 RF bias power 을 높이는 방향으로 etching 조건을 잡아가는 것도 하나의 방법이 될 것이다.

Gate recess 을 통해 transconductance 값이 커지는 것은 사실이나, gate metal 이 channel 에 가까워 짐으로 인해 최대 전류가 작아지는 문제가 생긴다. 이를 해결 하기 위한 것이 turn-on voltage 을 높여 더 많은 전류를 유도하는 MISHEMT 이다. Gate recess 을 위한 etching 조건을 적용하고, dielectric 막을 증착하여 normally-off MISHEMT 을 제작 하는 방향으로 나아가야 할 것이다.

또한 $D_{it} = 6.12 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ 의 interface trap density 을 가지는 소자를 얻었는데, 이 값이 cv hysteresis 특성과 비교해 보았을 때는, 약간 높은 수치를 보이는 경향이다. 더욱 낮은 trap density 을 얻을 수 있는 방안에 대하여 연구가 진행 되어야 할 것으로 생각한다. 그리고 이번 연구에서는 self-bias 에 따른 D_{it} 의 경향성을 확인 하지는 못하였다. 이러한 것에 대한 연구가 더 진행 된다면 etching

power 와 damage 에 대한 상관 관계를 알아가는 데 좀 더 도움이 될 것이라 생각한다. 앞으로 이러한 주제들에 대한 연구가 더욱 진행 되어야 실제 산업에서 GaN 기반의 소자들이 상업적으로 성공 해 나갈 수 있을 것이라 예상된다.

참고문헌

- [1] Umesh K. Mishra, Likun Shen, Thomas E. Kazior, and Yi-Feng Wu, “GaN-Based RF Power Devices and Amplifiers”, *Proceedings of the IEEE*, Vol. 96, No. 2, February, 2008, pp. 287~305
- [2] Lester F. Eastman, and Umesh K. Mishra, “The Toughest Transistor Yet” *IEEE Spectrum*, May, 2002, pp. 28~33
- [3] Umesh K. Mishra, Primit Parikh, and Wu-Feng We, “AlGa_N/Ga_N HEMTs-An Overview of Device operation and Application”, *Proceedings of the IEEE*, Vol. 90, No.6, 2002, pp. 1002~1031
- [4] Ramakrishan Vetury, Naiqain Q. Zhang, Stacia Keller, and Umesh K. Mishra, “The Impact of Surface states on the DC and RF Characteristics of AlGa_N/Ga_N HEMTs”, *IEEE Transactions on Electron Devices*, Vol.48, No.3, Mar, 2001, pp.560-566,
- [5] Tohru Oka, and Tomohiro Nozawa, “AlGa_N/Ga_N recessed MIS-Gate HFET with High-Threshold-Voltage Normally-Off Operation for Power Electronics Applications”, *IEEE Electron Device Letters*, Vol.29, No.7, July, 2008, pp.668-670
- [6] Yong Cai, Yugang Zhou, Kei May Lau, and Kevin J. Chen, “Control of Threshold Voltage of AlGa_N/Ga_N HEMTs by Fluoride-Based Plasma Treatment : From Depletion Mode to Enhancement Mode”, *IEEE Transactions on Electron Devices*, Vol.53, No. 9, Sep, 2006, pp.2207-2215
- [7] Hiroaki Mizuno, Shigeru Kishimoto, Koichi Maezawa, and Takashi Mizutani, “Quasi-normally-off AlGa_N/Ga_N HEMTs fabricated by fluoride-based plasma treatment”, *Physics Status Solidi*, (c) 4, No. 7, May, 2007
- [8] T.J. Anderson, M.J. Tadjer, M.A. Mastro, J.K. Hite, K.D. Hobart, C.R. Eddy, and F.J. Kub, “Characterization of Recessed-Gate AlGa_N/Ga_N HEMTs as a Function of Etch Depth”, *Journal of Electronic Materials*, Vol. 39, No. 6, March, 2010

- [9] R. Ramos, G. Cunge, and O. Joubert, "Plasma reactor dry cleaning strategy after TiN, TaN and HfO₂ etching processes", *Journal of Vacuum Science and Technology. B*, Vol. 26, No. 1, Feb, 2008
- [10] Shwan D. Burnham, Karim Boutros, Paul Hashimoto, Colleen Butler, Danny W.S. Wong, Ming Hu, and Miroslav Micovic, "Gate-recessed normally-off GaN-on-Si HEMT using a new O₂-BCl₃ digital etching technique", *Phys. Status Solidi C* 7, No. 7-8, June, 2010
- [11] F. A. Khan, L. Zhou, V. Kumar, and I. Adesida, "Plasma-induced damage study for n-GaN using inductively coupled plasma reactive ion etching", *Journal of Vacuum Science and Technology. B*, Vol. 19, No. 6, Dec, 2001
- [12] K. Takechi and M. A. Lieberman, "Effect of ion energy on photoresist etching in an inductively coupled, traveling wave driven, large area plasma source", *Journal of Applied Physics*, Vol. 89, No. 10, May, 2001
- [13] D. Buttari, A. Chini, T. Palacios, R. Coffie, L. Shen, "Origin of etch delay time in Cl₂ dry etching of AlGaIn/GaN structures", *Applied Physics Letters*, Vol. 83, No. 23, Dec, 2003
- [14] L. L. Smith, S. W. King, R. J. Nemanich and R. F. Davis, "Cleaning of GaN surfaces", *Journal of Electronic Materials*, Vol. 25, No. 5, 1996, pp.805-810
- [15] S. w. King, J. P. Barnak, M. D. Bremser, K. M. Tracy, C. Ronning, R. F. Davis, and R. J. Nemanich, "Cleaning of AlN and GaN surfaces", *Journal of Applied Physics*, Vol. 84, No. 9, Nov, 1998, pp.5248-5260
- [16] Jin-Cherl Her, "AlGaIn/GaN HEMTs for High Frequency and high Power Applications", Seoul National University Ph.D Dissertation, August 2008
- [17] B. P. Luther, S. E. Mohny, T. N. Jackson, T. G. Pribicko, M. A. Khan, Q. Chen, and J. W. Yang, "Investigation of the mechanism for Ohmic contact formation in Al and Ti/Al contacts to n-type GaN", *Applied Physics Letters*, Vol. 70, 1997, pp. 57~59

- [18] S. Ruvimov, Z. Liliental-Weber, and J. Washburn, "Microstructure of Ti/Al and Ti/Al/Ni/Au Ohmic contacts for n-GaN", *Applied Physics Letters*, Vol. 69, No. 11, Sept, 1996
- [19] A. Y. Polyakov, N. B. Smirnov, A. V. Govorkov, A. V. Markov, A. M. Dabiran, "Deep traps responsible for hysteresis in capacitance-voltage characteristics of AlGaIn/GaN heterostructure transistors", *Applied Physics Letters*, Vol. 91, Dec, 2007
- [20] J. W. Chung, X. Zhao, and T. Palacios, "Estimation of Trap Density in AlGaIn/GaN HFETs from Subthreshold Slope Study", *IEEE*, 2007
- [21] L. Liu, and F. Ren, "Investigating the effect of off-state stress on trap densities in AlGaIn/GaN high electron mobility transistors", *Journal of Vacuum Science and Technology. B*, Vol. 29, No. 26, Dec, 2011
- [22] Ronghua Wang, Paul Saunier, Xiu Xing, Chuanxin Lian, Xiang Gao, Shiping Guo, Gregory Snider, Patrick Fay, Debdeep Jena, and Huili Xing, "Gate-Recessed Enhancement-Mode InAlN/AlN/GaN HEMTs With 1.9-A/mm Drain Current Density and 800-mS/mm Transconductance", *IEEE Electron Device Letters*, Vol. 31, No. 12, Dec, 2010
- [23] Fiti M. Mohammed, Liang Wang, and Ilesanmi Adesida, "First-layer Si metallizations for thermally stable and smooth Ohmic contacts for AlGaIn/GaN high electron mobility transistors", *Journal of Vacuum Science and Technology. B*, Vol. 25, No. 2, Apr, 2007

Abstract

AlGaIn/GaN HEM has 2DEG channel between AlGaIn and GaN interface by spontaneous and piezo polarization, so it operates as normally-on. This characteristic is not proper at simplification of power module drive circuits and guarantee of system safety so a study on normally-off device by gate recess and fluorine plasma treatment has been done recently. In this thesis, a study on gate recess by dry etching. An excellent etching should have such characteristics: good etching uniformity, smooth etched surface, low etch rate for fine depth control, good etching linearity, and low damage. To get etching recipe which has such a good characteristics above, experiments have been done with varying RF bias power, chamber pressure, and gas ratio. As a result, etching recipe was developed with ICP source power 200 W, RF bias power 5 W, chamber pressure 10 mTorr, $\text{BCl}_3 : \text{Cl}_2 = 2 : 18$ sccm.

To assessment developed etching recipe damage characteristics, recessed diode with new etching recipe was fabricated, comparing with recessed diode with old etching recipe CV hysteresis was almost removed. Furthermore, gate recessed HEMT with new etching recipe was fabricated, and it shows $D_{it} = 6.12 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$. The fabricated gate recessed HEMT shows 0.24 V of threshold voltage, 206 mA/mm of maximum drain current, 238 mS/mm of $G_{m,MAX}$, 515 V of off-state breakdown voltage. And its size was like this: 2 μm of gate length, 100 μm of gate width, and 15 μm of gate to drain length. In addition, it shows +/- 70 mV variation of threshold voltage over sample size of $1.1 \times 1.1 \text{ cm}^2$, and standard deviation was 49 mV. And it shows etching depth non-uniformity with 5 %.

Keywords : AlGaIn/GaN HEMT , Normally-off , Low damage etching , Gate recess , CV hysteresis , Interface trap density

Student Number: 2010-23263