creative commons
COMMONS DEED

저작자표시-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학석사학위논문

3 차원 집적회로에서의 열 전달 특성 분석 및 열 분산 효과를 높일 수 있는 구조 설계

Analysis of Heat Transfer Characteristics in 3D ICs and Design for Enhancing Heat Spreading Performance

2013 년 2 월

서울대학교 대학원

전기 컴퓨터 공학부

장성훈

초록

3 차원 집적회로에서의 열 전달 특성 분석 및 열 분산 효과를 높일 수 있는 구조 설계

서울대학교 대학원
전기 컴퓨터 공학부
장성훈

본 논문에서는 3차원 집적회로의 열 문제를 해결하기 위하여 Thermal management 구조를 제안하고 열 문제를 고려한 칩 디자인을 위한 가이드라인을 제시하는 것을 목적으로 하였다. 면적 10×10 mm^2, 두께 50 μm인 3층 적층 실리콘 웨이퍼에 프로세서와 메모리 Layer가 형성되어 있는 구조를 목표로 설정하여 시뮬레이션을 통한 열 분석을 하였다. Thermal management를 위하여 열 분산기와 열 비아의 효과를 단층 실리콘 웨이퍼 구조에서 확인하였고, 이들 구조의 성능을 보완하기 위하여 열 통로를 추가로 제안하였다. 각각의 요소가 칩의 최대 온도에 미치는 영향을 파라미터에 따라 경향성을 파악하여 3차원 집적회로에 적용하였다. 열 분산기는 열 전도도가 1000 W/m-K인 CVD 다이아몬드라고 가정하였고, 두께에 따른 칩의 최대 온도의 경향성을 확인하였다. 열 통로는 쓰이지 않는 실리콘 웨이퍼의 백 사이드를 활용하여 열 저항

을 낮추려는 목적으로 제안하였다. 열 비아는 100×100 μm^2의 면적에 200 μm 간격으로 고정한 상태에서 칩 다이 상에서의 위치 및 비아의 수에 따른 온도 경향성을 확인하여 최적의 상태를 결정하였다. 열 통로는 열 전도도가 388 W/m-K인 구리가 채워진 것으로 가정하였으며, 두께와 폭 및 패턴 모양에 따른 칩의 온도 변화를 확인하였다.

제안된 Thermal management 구조에 의하여 3차원 집적회로의 최대 온도는 8.4℃까지 감소하였고 온도 분포가 균일해져 온도 기울기가 감소하였다.

주요어 : 열 분산기, 열 비아, 열 통로
학번 : 2011-20921

목차

초록 i
목차 iii
표 목차 v
그림 목차 vi
제 1 장 서론 ..... - 1 -
1.1. 연구 배경 ..... - 1 -
1.1.1. 반도체 소자의 변화 ..... - 1 -
1.1.2. 3 차원 집적회로의 기술적 제약과 접근법 ..... - 3 -
1.1.3. 3 차원 집적회로에서의 열 문제 ..... - 4 -
1.2. 3 차원 집적회로의 열 문제 해결 동향 ..... - 6 -
1.3. 기존 모델링 연구 ..... - 8 -
1.3.1. 열원에 의한 열 전달 모델 ..... - 8 -
1.3.2. 관통 실리콘 비아 및 열 비아 연구 ..... - 11 -
1.4. 연구 목적 ..... - 13 -
제 2 장 배경 이론 ..... - 14 -
2.1. 열 전달 이론 ..... - 14 -
2.2. JEDEC Standard ..... - 16 -
2.2.1. 집적회로의 열적 측정을 위한 환경 조건 ..... - 17 -
2.2.2. 열적 측정을 위한 테스트 보드 환경 ..... - 19 -
제 3 장 단층 구조 모델링 및 열 전달 특성 확인 ..... - 21 -
3.1. Reference 모델 ..... - 21 -
3.2. 열 분산기 모델링 ..... - 26 -
3.2.1. 열 분산기 물질 ..... - 26 -

3.2.2. 시뮬레이션 Input ..... – 30 –
3.2.3. 열 분산기의 열 전도도에 따른 변화 ..... – 32 –
3.2.4. 열 분산기의 두께에 따른 변화 ..... – 33 –
3.3. 열 비아 모델링 ..... – 34 –
3.3.1. 시뮬레이션 input ..... – 34 –
3.3.2. 비아의 위치 및 수에 따른 온도 변화 ..... – 35 –
3.4. 열 통로 모델링 ..... – 39 –
3.4.1. 시뮬레이션 input ..... – 40 –
3.4.2. 열 통로 크기 및 패턴에 따른 온도 변화 ..... – 40 –
제 4 장 3 차원 집적회로 시뮬레이션 ..... – 45 –
4.1. 3 차원 Reference 모델 및 열 분석 ..... – 45 –
4.1.1. 3 차원 Reference 모델 ..... – 45 –
4.1.2. 열 분석 ..... – 49 –
4.2. 3 차원 집적회로의 Thermal management ..... – 54 –
4.2.1. Thermal Management 모델링 ..... – 54 –
4.2.2. Thermal Management 열 분석 ..... – 56 –
제 5 장 결론 ..... – 59 –
참고문헌 ..... – 61 –
ABSTRACT ..... – 71 –

표 목차

표 3.1. 시뮬레이션 유체 특성 ..... – 22 –
표 3.2. 시뮬레이션 초기 조건 ..... – 22 –
표 3.3. 기존에 보고되었던 칩 정보 ..... – 23 –
표 3.4. Reference 모델 사이즈 ..... – 25 –
표 3.5. Reference 모델 물성치 ..... – 25 –
표 3.6. 그래핀 및 그래파이트의 물성 및 크기 ..... – 29 –
표 3.7. 카본 나노튜브의 물성 및 크기 ..... – 29 –
표 3.8. 다이아몬드의 물성 및 크기 ..... – 30 –
표 3.9. 절연막과 열 분산기 모델 사이즈 ..... – 31 –
표 3.10. 절연막과 열 분산기 물성치 ..... – 32 –
표 4.1. 모델 크기 및 물성 ..... – 49 –
표 4.2. 각 열원의 크기 및 발생하는 Heat rate ..... – 49 –
표 4.3. Thermal management 전후 결과 ..... – 58 –

그림 목차

그림 1.1. 시스템 온 칩, 시스템 인 패키지, 3 차원 LSI 칩 스태킹 시스템의 개념도[1] ..... - 2 -

그림 1.2. 3D 마이크로 프로세서 및 3D 멀티칩 모듈[2] ..... - 2 -

그림 1.3. 슈퍼칩의 개념도[2] ..... - 3 -

그림 1.4. 직사각형 열원에 의한 열 분산 모델링 도식[18] ..... - 9 -

그림 1.5. 시스템의 Heat flow[18] ..... - 9 -

그림 2.1. 테스트 보드의 세팅 방법[73] ..... - 17 -

그림 2.2. 테스트 구조 및 차폐 상자의 측면[73] ..... - 18 -

그림 2.3. 테스트 구조 및 차폐 상자의 단면[73] ..... - 19 -

그림 2.4. 테스트 보드의 구성 및 크기[74] ..... - 20 -

그림 3.1. 단층 시뮬레이션 도식 ..... - 24 -

그림 3.2. MWCNT 막의 SEM 이미지[42] ..... - 27 -

그림 3.3. 열 분산기 모델 ..... - 31 -

그림 3.4. 열 분산기 열 전도도에 따른 열원 온도 변화 ..... - 33 -

그림 3.5. 열 분산기 두께에 따른 열원 온도 변화 ..... - 34 -

그림 3.6. 열 비아 시뮬레이션 도식 ..... - 35 -

그림 3.7. 칩 다이 외곽에 위치한 비아의 수에 따른 열원 온도 변화 ... - 36 -

그림 3.8. 칩 다이 중심에 위치한 비아의 수에 따른 열원 온도 변화 ... - 37 -

그림 3.9. 다른 위치의 열 비아 비열 ..... – 38 –
그림 3.10. 열 통로 개념도 ..... – 39 –
그림 3.11. 십자 열 통로 디자인 ..... – 40 –
그림 3.12. 열 통로 폭과 두께에 따른 열원 온도 변화 ..... – 41 –
그림 3.13. 실리콘 웨이퍼 대비 열 통로 부피에 따른 온도 변화. – 42 –
그림 3.14. 세 가지 패턴의 열 통로 ..... – 43 –
그림 3.15. 열 통로 패턴에 따른 온도 변화 ..... – 44 –
그림 4.1. 프로세서(AMD)와 메모리(SRAM)를 이용한 모델 ..... – 46 –
그림 4.2. 단층 시뮬레이션 도식 ..... – 48 –
그림 4.3. Reference 모델의 온도 분포 ..... – 51 –
그림 4.4. 각 Layer 에서의 Heat flux 분포. ..... – 53 –
그림 4.5. 3 차원 Reference 모델의 Heat flow ..... – 54 –
그림 4.6. 적층 구조 및 각 Layer 에서의 열원 분포 ..... – 55 –
그림 4.7. Thermal management 후의 온도 분포 ..... – 57 –

제 1장 서론

1.1. 연구 배경

1.1.1. 반도체 소자의 변화

과거에는 LSI 칩 내에서 각각의 IP(Intellectual Property) 코어 사이의 커넥션을 위한 방법으로 시스템 온 칩(System-on-chip, SOC)과 시스템 인 패키지(System-in-package)가 제안되었고 이를 구현하기 위하여 각각 On-chip wiring 또는 In-packaging wiring이 사용되었다. 그러나 On-chip wiring과 In-packaging wiring은 각각 비용과 파워 손실 면에서 단점을 가지고 있었다. 이를 보완하기 위하여 관통 실리콘 비아(Through Silicon Via, TSV)를 이용한 3차원 LSI 스태킹 시스템(3D LSI stacking system) 형태의 칩이 연구되고 있다[1]. 그림 1.1은 시스템 온 칩, 시스템 인 패키지, 3차원 LSI 스태킹 시스템의 개념도이다. 시스템 온 칩은 고성능, 저전력 LSI를 구현할 수 있으나 디자인 및 제조 비용이 높아지는 단점이 있다. 시스템 인 패키지는 디자인 및 제조 비용을 절감할 수 있으나 성능 및 전력 면에서 단점이 있다. 반면에 3차원 LSI 스태킹 시스템은 각각의 장점을 구현할 수 있다.

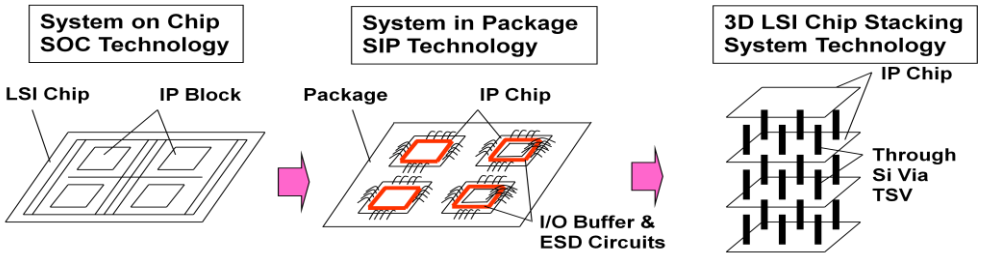


그림 1.1. 시스템 온 칩, 시스템 인 패키지, 3차원 LSI 칩 스태킹 시스템의 개념도[1]

3D IC는 프로세싱 레이어와 메모리 레이어들이 적층되어 있는 구조 또는 여기에 로직이나 컨트롤, 파워 IC 및 MEMS 센서 등이 포함되는 구조로 제시되었다[2]. 그림 1.2와 그림 1.3은 각각 메모리 스택들을 결합한 3D 멀티칩 모듈 및 MEMS 센서와 로직 등이 포함된 슈퍼칩이다.

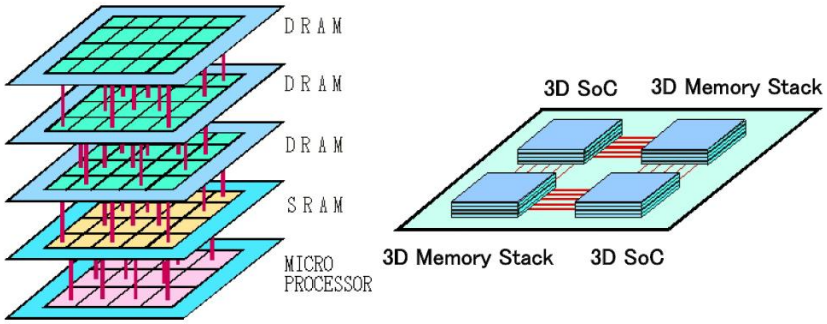


그림 1.2. 3D 마이크로 프로세서 및 3D 멀티칩 모듈[2]

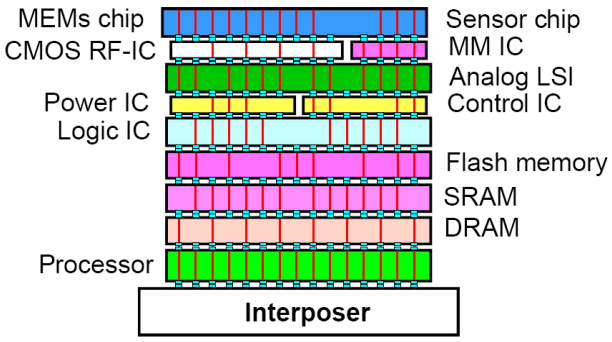


그림 1.3. 슈퍼칩의 개념도[2]

1.1.2. 3차원 집적회로의 기술적 제약과 접근법

3차원 집적회로를 실제로 구현하는 것은 여러 가지 면에서 기술적인 제약이 따른다. S. Bhattacharya 등은 이 기술적 제약들을 소개하고 또한 해결해야 할 방향을 제시하였다[3].

1.1.2.1. 얇은 웨이퍼 핸들링

웨이퍼를 적층하게 될 경우 관통 실리콘 비아의 형성을 위하여 웨이퍼의 두께를 줄여야 한다. 보통 30-50 μm의 두께의 웨이퍼가 사용되며 이 경우에는 공정 과정에서 쉽게 깨어지는 문제가 있다. 그래서 임시로 웨이퍼를 캐리어(Carrier)에 본딩한 후 핸들링 해야 하며, 층간 절연 물질(Inter-level dielectric, ILD)을 형성할 때 저온 공정을 함으로써 스트레스를 줄여야 한다.

1.1.2.2. 웨이퍼 레벨 몰딩

다층의 웨이퍼들이 결합되어 있는 상태에서 몰딩을 형성해야 하기 때문에 휘어지는 문제(Warpage)가 발생할 수 있다. 따라서 새로운 몰딩 물질에 대한 연구가 필요하다.

1.1.2.3. 비아 내의 구리 오염

관통 실리콘 비아를 형성하기 위해 비아 홀(Via hole)을 만들고 구리를 채워 넣어야 하는데 이 때 Void나 이물질 포함 등의 문제가 발생한다. 이를 방지하기 위하여 기계적인 그라인딩 및 벌크 실리콘 식각을 통하여 구리 오염을 줄여야 한다.

1.1.2.4. 열 배출 문제

열을 발생하는 웨이퍼들이 적층되면 에너지 밀도가 증가하여 열 문제가 발생한다. 따라서 몰딩 및 실리콘 웨이퍼를 노출시키거나 새로운 열 분산기가 필요하다.

1.1.3. 3차원 집적회로에서의 열 문제

최근의 중앙처리장치(Central processing unit, CPU)들에서는

고성능화에 대한 요구로 인하여 점점 더 높은 전력이 요구된다[4]. 또한 최근에 수요가 증가하고 있는 그래픽 처리 장치(Graphic processing unit, GPU)는 여러 개의 프로세서와 메모리를 가지고 있는데, 복잡한 시각 효과를 처리하기 위한 목적으로 개발되었지만 CPU보다 빠른 연산 속도를 가지고 있어 범용으로 사용되고 있다. J. Appleyard에 따르면 NVIDIA 社의 그래픽 처리 장치 중 하나인 Tesla C1060은 인텔 社의 대표적인 쿼드 코어 프로세서인 i7-925보다 메모리 대역폭이 4배 가량 되며, 이처럼 빠른 연산 속도를 가지기 위해서 그만큼 더 많은 열을 배출한다[5-7].

칩들의 고성능화와 함께 크기를 줄이려는 노력이 3차원 적층 기술의 개발로 이어지고 있다. 그로 인하여 기존의 2차원 집적회로에서는 볼 수 없었던 열에 의한 문제들이 발생하게 되며, 칩의 수명이 단축되는 결과를 초래한다. 이러한 경향은 극초대규모 집적회로(Ultra large scale integration, ULSI)에서는 더 큰 문제가 되는데, 아주 작은 온도 변화에 의해서도 디바이스의 수명이 영향을 받기 때문이다[8]. 최근의 보고에 의하면 패키지의 온도가 프로세서의 클록 동작에 영향을 미치는 한계 온도(Threshold temperature)보다 2℃ 상승하게 되면 그 수명은 10% 감소한다[9-10]. 그런데 시스템에서의 다양한 형태로 외부 환경으로 흘러 나가는 누설 파워 중 절반 이상이 온도에 영향을 주기 때문에, 시스템의 파워가 높아지면 주변의 온도가 높아지게 되어[11] 칩의 수명이

단축되는 문제가 발생한다.

이러한 문제는 특히 기판이 얇아지는 추세에서 더 현저하다. M. Aoyagi 등[1]에 따르면 100 μm 두께의 기판의 경우 동일한 열량에서 380 μm 두께의 기판보다 온도 변화량이 4배 이상이었다. 또한 3D IC에서는 칩의 Footprint가 작아지고 그에 따라 히트싱크(Heat sink)의 면적도 작아지기 때문에 열이 잘 빠져나가지 않는 구조가 된다[2]. 따라서 3D IC를 구현하기 위해서는 열적 평가 및 냉각 기술이 중요하다. 즉, 적층 칩 구조에서의 최적화된 열 전달과 마이크로 구조 및 얇은 웨이퍼 본딩 구조에 대한 정확한 열 특성 평가 및 시뮬레이션을 바탕으로 한 열 디자인 및 냉각 구조가 뒷받침되어야 한다[1].

1.2. 3차원 집적회로의 열 문제 해결 동향

V. Venkatadri는 2차원 및 3차원 집적회로의 냉각 방식들을 정리하였다[12]. 2차원 집적 회로의 냉각은 열사이펀(Thermosiphon), 열 파이프(Heat pipe), 전기삼투 펌프(Electro-osmotic pump), 충돌제트(Impinging jet), 열전기 냉각기(Thermoelectric cooler), 증기압축 열펌프(Vapor compression heat pump) 등을 이용한다. 열사이펀, 열 파이프, 전기삼투 펌프, 충돌제트는 펌프 또는 수동 열 교환기를 이용하여 마이크로 채널을 통해 흘러가는 액체로의 자연 대류 현상으로써 열을 방

출한다. 열전기 냉각기는 고체를 이용한 능동 냉각 방식이다. 실리콘의 표면을 SiGeC/Si의 슈퍼 레티스 구조로 성장시켜 열 전도도를 높인다. 증기압축 열 펌프는 냉각판과 콘덴서를 이용하여 마이크로 채널의 열을 방출한다.

3차원 집적 회로의 냉각 방법은 열 교환기를 이용하여 액체 또는 기체에 의해 열을 방출하는 마이크로 유체 채널(Microfluidic channel), 방사형의 히트싱크를 이용하여 주변 공기를 냉각시키는 고체 분산기(Solid spreader) 및 합성제트(Synthetic jet), 열전기 모듈에 DC 전원을 인가하여 능동적으로 칩 다이를 냉각시키는 방법 등이 있다. 특히 IBM과 EPFL은 마이크로 채널을 이용하여 5층 3차원 테스트 칩의 냉각 효과를 확인한 바 있다[13].

그 밖에도 단일 칩 다이 사이의 열 전달을 도와 주기 위한 용도로 이용되는 열접촉 매질(Thermal interface material, TIM)의 물질에 대한 연구[14] 및 열 비아(Thermal via)에 대한 연구들이 진행되었다[2, 15]. 실리콘 칩이 PCB에 실장되는 경우에는 열 팽창 계수(Thermal expansion coefficient)가 다르기 때문에 반드시 언더필(Under-fill) 공정이 수행되어야 하는데[16], 언더필의 열 전도도를 보완하기 위한 소재로서 열접촉 매질이 필요하다. 2009년에는 유체 관통 실리콘 비아(Through silicon fluidic via, FTSV)가 제안되기도 하였다[17].

1.3. 기존 모델링 연구

칩 위의 열원에 의해 발생하는 열이 기판을 통해 어떻게 분산하는 지를 열 저항 모델로 제시하거나, 열 비아에 의해 칩의 최대 온도 변화를 시뮬레이션을 통해 분석한 논문들이 많이 보고되었다.

1.3.1. 열원에 의한 열 전달 모델

열원에 의한 열 전달 모델링은 다양한 칩 다이와 열원의 모양, 크기 등을 가정하여 연구되었다[18-23]. X. Luo 등[18]은 그림 1.4와 같이 직육면체 형태의 칩 다이 위에 일정한 Heat flux를 발생시키는 열원을 설정하고 칩 다이의 아랫면과 윗면이 대류 냉각되는 상황을 가정하였다.

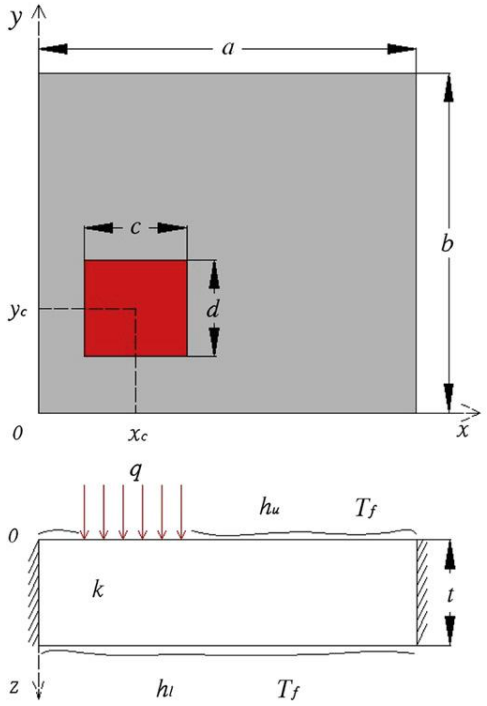


그림 1.4. 직사각형 열원에 의한 열 분산 모델링 도식[18]

시스템의 열은 그림 1.5와 같이 외부 유체에 노출된 면까지 전도되며, 유체에 의한 대류로 방출된다.

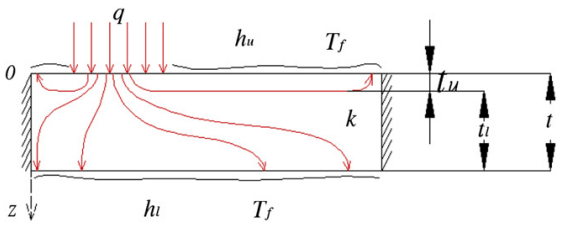


그림 1.5. 시스템의 Heat flow[18]

정상 상태(Steady-state)에서의 열 전달은 아래의 라플라스 방정식(Laplace's equation)을 따른다.

$$\nabla^2 T = \frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} = 0 \qquad (1)$$

그리고 칩 다이의 경계 조건들을 설정한 후 기존에 보고되었던 분석 기법을 이용하여 열 저항(Thermal resistance)에 대한 수식을 복잡하게 도출하였다. 칩 다이의 윗면과 아랫면이 각각 단열 상태일 때의 열 저항 식을 유도하고 두 식을 혼합하여 (2)의 식을 얻었다. 도출된 결과는 COMSOL Multiphysics 시뮬레이션 툴을 이용하여 검증하였다.

$$R_{total} = R_{1D_Cu_u} + \frac{\left(R'_s + R_{hu}\right)\left(R_{1D-l} + R_{s_l} + R_{hl}\right)}{R'_s + R_{hu} + R_{1D-l} + R_{s_l} + R_{hl}} \qquad (2)$$

이 때, $R_{1D_Cu_u}$, R'_s, R_{hu}, R_{1D-l}, R_{s_l}, R_{hl}는 각각 기판의 수직 방향 저항, 수평 방향 저항, 기판 윗면으로의 대류 열 저항, 기판 아랫면에서의 1차원 및 2차원 전도 열 저항, 기판 아랫면에서의 대류 열 저항을 나타낸다.

V. Kadambi 등[23]은 실린더 형태의 기판 위에 원형 열원을 가정하

고 열원과 기판의 면적비가 변화함에 따른 열 저항의 변화를 수식적으로 유도하였다. S. Kim 등[19]은 기판 두께의 상대적인 변화에 따른 열 저항의 상대 변화를 유도하였다. Y. S. Muzychka 등은 모양이 다른 칩 다이에서의 열 저항을 비교하였다[20].

위 연구들을 살펴 보면 열 저항 모델을 이용하였기 때문에 직관적으로 이해하는 데에는 도움이 되지만, 모든 저항 성분들이 길이나 열 전도도 등 모델의 기하구조나 물성치에 대한 식은 아니기 때문에 위 식만으로 실제 모델의 열 저항 값을 도출해 내는 것은 쉽지 않다. 또한 열 전달 모델링에서 중요한 것은 열원에서의 온도인데, 열 저항 값을 알아낸다고 하더라도 단순히 열 유속과 열 저항의 곱으로 정의될 수는 없기 때문에 칩의 온도를 구할 수 없고, 따라서 복잡한 구조의 모델에서의 열 문제를 해결하기에는 적합하지 않다.

1.3.2. 관통 실리콘 비아 및 열 비아 연구

이전에 관통 실리콘 비아 또는 열 비아의 열 전달 효과를 시뮬레이션으로 분석한 논문들을 보면, 보통 한 개 또는 수 개의 비아 배열(array)에 대하여 수직 방향으로의 열 전달을 분석하거나[2, 15, 24−25], LED에서의 열 분석 등 특정 어플리케이션에 국한되는 경우가 많았다[25]. T. Fukushima 등[2]은 칩 전체 면적 대비 관통 실리콘 비아 면적 및

간격에 따른 칩 최대 온도를 하나의 열원과 하나의 열 비아로 모델링하였다. H. Xu 등[15]은 Thermal TSV(TTSV)에서 수직방향으로의 열 전달 뿐만 아니라 수평방향으로의 열 전달을 함께 고려하여 모델링하고 시뮬레이션 결과와 비교하였다. S. Onkaraiah 등[24]은 균일하게 열원이 분포되어 있을 때 비아의 주위를 둘러싸고 있는 절연체의 물질 및 두께에 따른 온도 및 Filling 물질에 따른 온도와 TTSV 지름에 따른 변화를 관찰하였다. L. Hwang 등[26]은 TTSV에 Thermal fin을 결합하여 Fin의 두께 및 폭에 따른 온도 변화를 확인하였다.

위와 같은 시뮬레이션 분석 이외에도 White space 및 비아를 삽입하는 알고리즘에 대한 연구들도 있었다. X. Li 등[27]은 3차원 집적회로에서 열 비아를 삽입할 수 있는 영역이 제한되어 있는 문제를 해결하기 위해 White space를 할당하는 알고리즘 제시하였다. 이 알고리즘을 통하여 열 비아 수를 14% 감소시킬 수 있었다. J. Yan 등[28]은 칩 위의 열원들을 블록으로 설정하고 각 블록의 온도 계산에 근거하여 White space를 재분배하는 연구를 하였다. H. Yu 등[29]은 Steady-state 뿐만 아니라 Transient 관점에서 한계온도를 넘지 않도록 하는 알고리즘을 제시하였다. M. Ni 등[30]은 동일한 면적이라면 TSV 사이즈를 크게 하는 것이 수를 늘리는 것보다 효과적이라는 보고를 하였다.

위 논문들에서와 같이 하나 혹은 수 개의 열 비아에 대한 분석을 통해서 수-수십 μm^2 면적에서의 열 분포를 확인한 논문들은 있으나, 실

제로 비아를 어떤 식으로 배치해야 하고 실제 칩 크기에서 몇 개의 비아가 열 분산 효과를 가져올 수 있는지에 대한 연구는 미흡하였다.

1.4. 연구 목적

1.1에서 소개한 3차원 집적회로의 열 문제를 해결하기 위한 복합적인 솔루션의 제시가 필요하다. 지금까지의 연구들은 주로 열 분산기 및 열 비아를 이용하여 열을 히트싱크까지 이동시킨 후 대류에 의해 방출하는 방법이나 열접촉 매질을 교체하여 전도성 열 저항을 감소시키기 위한 방법들을 제시하였다. 열 분산기 및 열접촉 매질에 대한 연구는 주로 물질의 특성에 근거하여 웨이퍼와 웨이퍼 사이의 열 전도도를 향상시키는 방법을 제시하였다. 그리고 열 비아에 대한 연구는 한 개 또는 수 개의 비아 배열에서 비아의 크기 및 간격에 따른 온도 변화나 절연체의 두께에 의한 효과를 확인한 것이 주를 이루었다.

실제로 응용할 수 있는 솔루션이 되기 위해서는 열 분산기, 열 비아 등 적용 가능한 방열 기법들이 함께 적용되어야 한다. 본 논문에서는 열 분산기, 열 비아에 의한 방열 효과를 단층 구조에서 여러 파라미터의 변화에 따라 확인하고, 3층 적층 칩에 적용하였을 때의 효과를 확인한다. 또한 칩의 열 저항을 더 낮추기 위한 디자인이 추가된다.

제 2장 배경 이론

2.1. 열 전달 이론

열 전달은 공간적인 온도 차에 의한 열 에너지의 이동으로 정의되며, 열 전달 프로세스는 전도(Conduction), 대류(Convection), 복사(Radiation)로 구분된다.

전도는 고체나 액체 매질에서 온도 기울기(Temperature gradient)가 존재할 때 발생한다. 전도는 에너지가 많은 입자로부터 에너지가 적은 입자로의 에너지 전달로 묘사된다. 인접한 분자들이 충동하거나 상호작용을 할 때 분자 사이에 에너지가 이동하는 것이다. 이 열 전달 메커니즘은 반응 속도식(Rate equation)에 의해 정량화할 수 있는데, 푸리에의 법칙(Fourier's law)이라고 알려져 있다. 1차원 평면에서 위치에 따른 온도 분포가 T(x)로 정해져 있을 때 반응 속도식은 아래와 같다.

$$q''_{cond} = -k\frac{dT}{dx} \quad (3)$$

q''_x(W/m2)는 열 유속(Heat flux)으로서 x 방향에 수직한 방향으로 나가는 단위 면적 당 열을 나타낸다. 계수 k(W/m−K)는 열 전도도(Thermal conductivity)로서 열을 운반하는 능력을 나타내는 물성치이

다.

대류는 표면과 움직이는 유체 사이에 온도 기울기가 존재할 때 발생한다. 대류는 두 가지 메커니즘을 가지고 있다. 임의의 분자 운동에 의한 확산(Diffusion)과 벌크 유체(Bulk fluid)의 움직임에 의한 열 전달이 그것이다. 유체의 움직임과 고체의 경계면 사이의 온도 차에 의해서 열이 이동하게 되며, 유체의 속도가 낮은 표면 근처에서는 주로 확산에 의해 열이 전달되고 표면에서부터 멀어질 수록 유체에 의한 열 전달 효과가 커진다. 대류 열 전달은 유동의 성질에 따라 자연대류, 강제대류 등으로 구분된다. 자연대류는 유체의 온도가 변화할 때 밀도 차에 의해 유동이 생기는 것이고, 강제대류는 팬(Fan) 등에 의해 강제로 유동을 발생시키는 것이다. 기체의 열 전달 계수 h는 강제대류(25−250 W/m^2K)의 경우가 자연대류(2−25 W/m^2K)의 경우보다 10배 정도 크다. 대류에 의한 반응 속도식은 아래와 같다.

$$q''_{conv} = h(T_s - T_\infty) \qquad (4)$$

T_s와 T_∞는 각각 표면과 유체의 온도를 나타낸다.

복사는 유한한 온도를 갖는 모든 표면으로부터 전자기 파동이나 포논(Phonon)에 의해 열이 방출되는 과정이다. 복사는 절대 온도 0 K 이상인 물체에서 방출되는 에너지이며, 전도 및 대류와는 달리 매질이 없이

도 열이 전달된다. 방출되는 에너지는 스테판-볼츠만 법칙(Stefan-Boltzmann law)에 의해 최대값이 정해지며 이 때를 흑체 복사라 한다. 복사에 의한 반응 속도식은 아래와 같다.

$$q''_{rad} = \varepsilon \sigma (T_s^4 - T_{sur}^4) \quad (5)$$

T_{sur}는 주변 온도를 나타낸다. 열 유속에 단면적을 곱한 것을 Heat rate로 정의하며 단위는 watt이다.

2.2. JEDEC Standard

JEDEC Standard는 반도체 분야의 무역과 표준을 담당하는 기관인 JEDEC(Joint Electron Devices Engineering Council)에서 테스트 및 생산에 관한 표준을 말한다. JEDEC Standard에서 밝히고 있는 다양한 테스트 표준 중에서 JESD51은 단일 반도체 디바이스의 열적 측정 및 패키지에 대한 내용을 담고 있다. 이 논문에서는 열적 측정과 관련하여 전기적 측정 방법과 적외선 측정 방법, 테스트 환경과 관련하여 자연 대류 및 테스트 보드 세팅 등에 대한 내용들을 참고하였다.

2.2.1. 집적회로의 열적 측정을 위한 환경 조건

JESD51-2A에서는 자연 대류 상태에서 접합-주위 열 저항을 측정할 때의 정확성과 재현성을 보장하기 위하여 환경 조건을 표준화하였다[73]. 이러한 표준화가 없이는 서로 다른 vendor 또는 서로 다른 패키지로부터 얻은 결과가 일치하지 않기 때문에 그 상대적인 성능을 비교하기가 어렵다는 점에서 중요하다. 자연 대류는 흔히 차폐된 공간에서의 still air라고 정의되며, 이러한 조건을 만족하는 환경에서 표준화된 테스트 보드 위에 장착된 패키지를 측정한다. JESD51-2A에서는 측정을 위한 차폐 상자의 사이즈와 재질, 테스트 보드의 장착 위치 등에 대한 내용을 담고 있다.

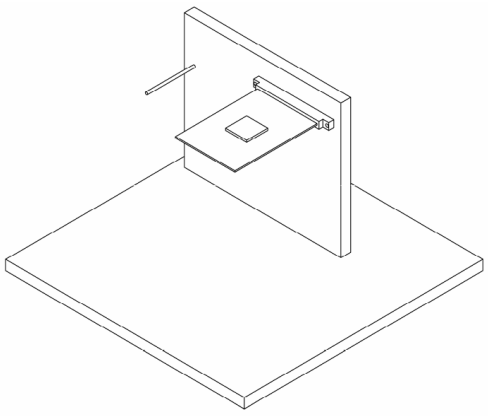


그림 2.1. 테스트 보드의 세팅 방법[73]

그림 2.1과 같은 방법으로 테스트 보드를 세팅한다. 테스트 보드를

지지하는 구조물은 합판, 나무, 폴리카보네이트, 폴리프로필렌과 같이 열전도성이 낮은 물질이 사용되어, 테스트 보드에서 발생하는 열에 최소한의 영향을 주어야 한다. 그림 2.2와 그림 2.3에서 차폐 상자 내에서의 테스트 구조의 위치 및 사이즈를 확인할 수 있다.

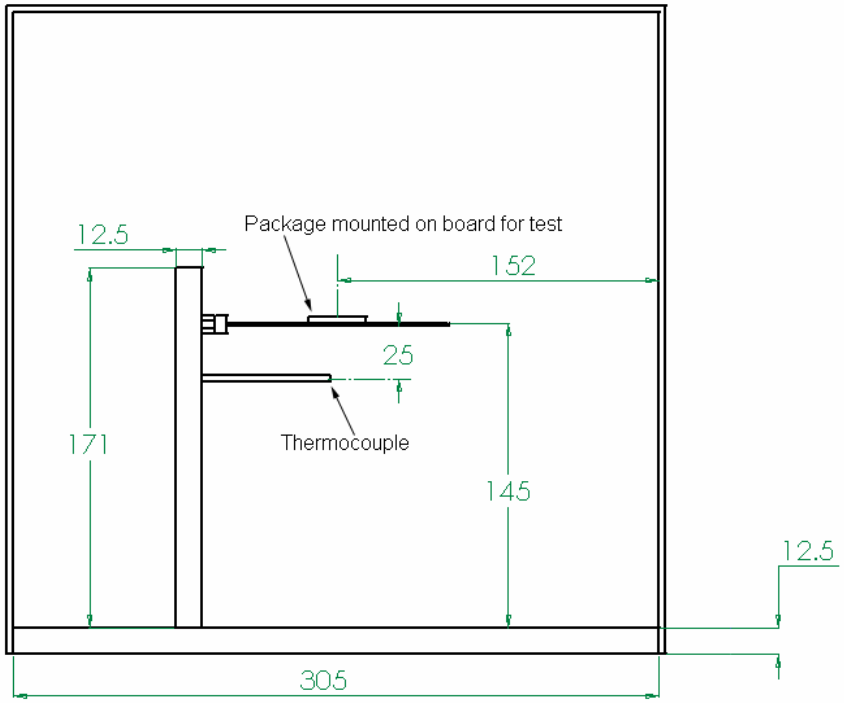


그림 2.2. 테스트 구조 및 차폐 상자의 측면[73]

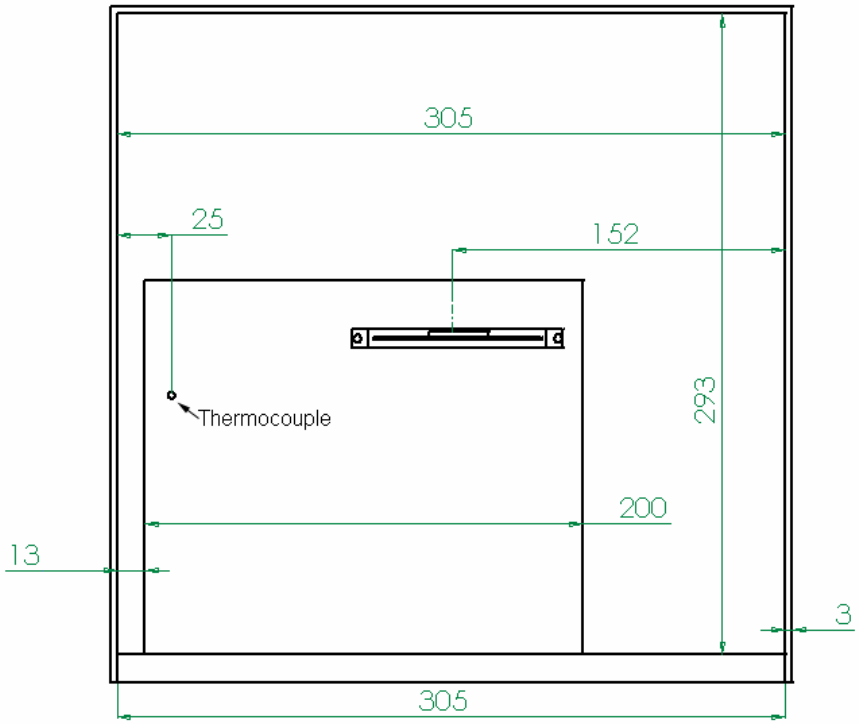


그림 2.3. 테스트 구조 및 차폐 상자의 단면[73]

2.2.2. 열적 측정을 위한 테스트 보드 환경

JESD51-9 에서는 열적 측정에 대한 표준을 확립하게 위하여 테스트 보드 조건을 규정하고 있다. 여기에서는 FR-4 물질의 PCB 테스트 보드를 그 크기와 표면의 전도성 물질 두께 등으로 제시하였다[74]. 패키지 사이즈가 40 mm 이하인 경우의 PCB 사이즈는 101.5 mm × 114.5 mm × 1.6 mm 이며, 그 구조는 그림 2.1 과 같다.

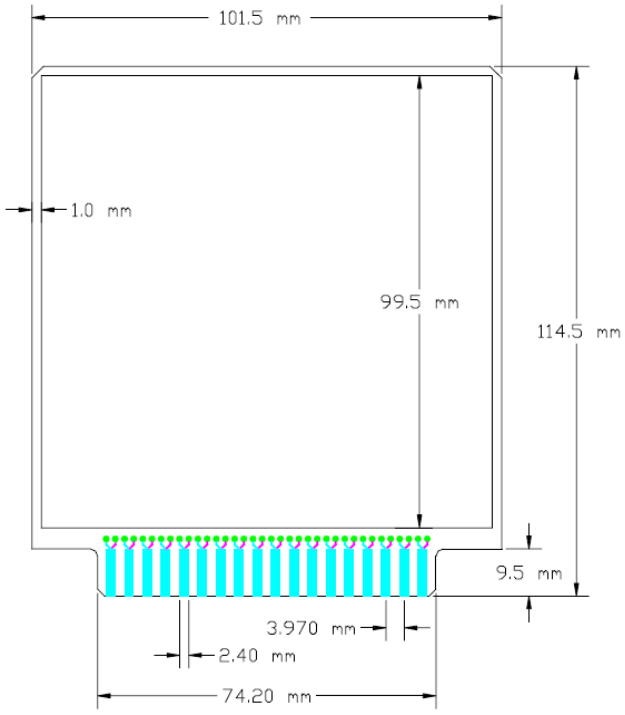


그림 2.4. 테스트 보드의 구성 및 크기[74]

제 3장 단층 구조 모델링 및 열 전달 특성 확인

3차원 집적회로에서의 열 분석을 하기에 앞서, 단층 구조에서 열원에 의한 열 전달을 분석하고 열 분산기와 열 비아 등 열 전달을 도와주는 구조들에 의한 열 전달 성능을 확인하였다.

3.1. Reference 모델

이 논문에서는 전도, 대류 및 복사에 의한 열 전달 시뮬레이션을 하였다. 이를 위해 유한 체적법(Finite volume method, FVM)을 기반으로 한 ANSYS Icepak을 시뮬레이터로 이용하였다. 유한 체적법에서는 유한 요소법(Finite element method, FEM)과는 달리 유체의 특성 및 물체가 유체에 노출된 면적 등을 고려하여 대류 열 전달 계수를 계산해낸다. 이 논문에서 사용된 유체의 특성은 표 3.1과 같다.

표 3.1. 시뮬레이션 유체 특성

물질	열팽창계수	점성	비열
Air	0.00333 /K	1.84e−5 kg/m−s	1005 J/kg−K
확산 계수	열 전도도	밀도	분자량
1 m^2/s	0.0261 W/m−K	1.1614 kg/m^3	28.966 g/mol

시뮬레이션의 초기 조건으로는 온도, 압력, 중력 가속도, Flow regime이 있으며, 각각을 표 3.2에 정리하였다.

표 3.2. 시뮬레이션 초기 조건

초기 온도	압력	중력 가속도	해석 영역
25℃	101,325 N/m^2	−9.81 m/s^2	305×305×305 mm^3
유체 종류	초기 속도	시간 해석	복사
Laminar	$V_x=V_y=V_z=0$	Steady−state	Surface−to−surface

모델링에 실제 칩 상황을 최대한 반영하기 위하여 여러 논문과 보고서를 참조하였다. 칩 다이의 크기 및 두께, 열원의 크기 및 열량, 마이크로 범프의 사이즈와 간격 및 열 전도도, 열 비아의 크기와 간격 및 절연막 정보, 테스트 보드 크기 등의 정보를 표 3.3에 정리하였다.

표 3.3. 기존에 보고되었던 칩 정보

요소	변수	상세 내용	참조
다이	크기	2×1.6, 5×5, 6×6, 8×8, 9×9, 10×10, 20.5×20.5 mm^2 두께 30, 50, 80 μm	30, 31, 34, 37, 38, 40
테스트 보드	크기	200×200×1.6 mm^3 (2 chips)	34
	물질	FR4(PCB)	34
열원	크기	0.1×0.1, 0.5×0.5, 1.0×1.0 mm^2	1, 2, 32, 36
	열량	0.8, 1, 1.8 W/mm^2	12, 35, 46, 51
마이크로 범프	크기	지름 25 μm, 두께 16 μm	31
	간격	50−100 μm	31
	열 전도도	1.6 W/m−K	32
절연체	크기 및 물질	SiNx 1.2 μm, SiO_2 1−2 μm	31−32
언더 필	열 전도도	0.55 W/m−K	31
비아	크기	지름 80−200 μm	32, 44, 45
	간격	200 μm	32

위의 정보를 바탕으로 열 분산기, 열 비아 등 칩의 열 전달을 도와주

는 어떠한 구조도 없는 모델을 Reference로 정하여 모델링 하였다. 그림 3.1은 단층 구조의 시뮬레이션 도식이다. PCB 테스트 보드 위에 실리콘 웨이퍼가 언더 필에 의해 접합되어 있고, 실리콘 웨이퍼의 중앙에 열원이 배치되어 있다. 각각의 크기는 표 3.4에 정리하였다. 열원은 균일하게 열을 발생하는 면으로 설정하였으며, 발생하는 열은 1 W/mm^{2}이다. 3.2에서 열 분산기는 실리콘 웨이퍼 위에 절연막과 함께 증착된다.

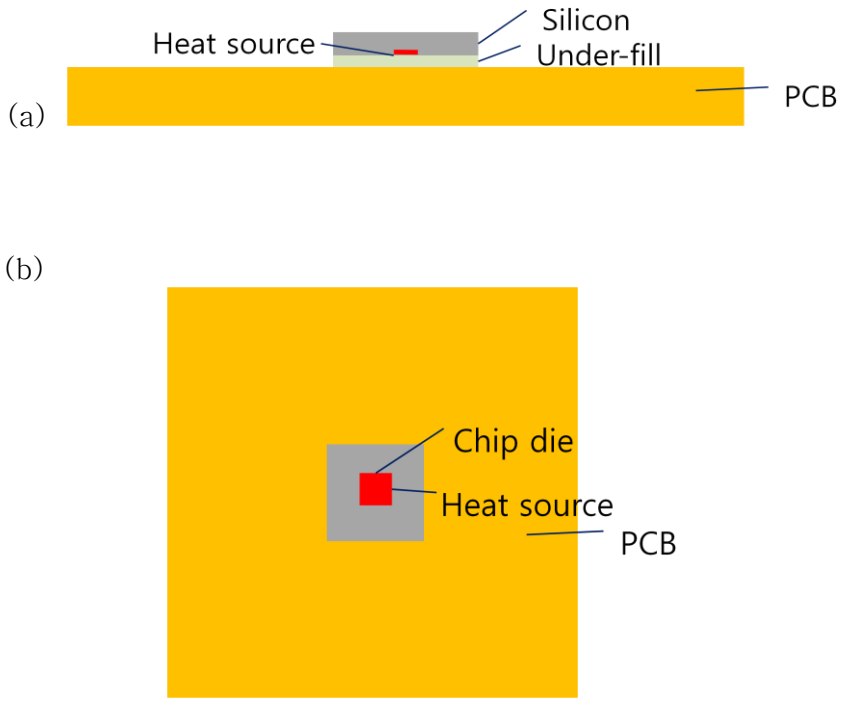


그림 3.1. 단층 시뮬레이션 도식 (a) 단면, (b) 전면

표 3.4. Reference 모델 사이즈

	폭[mm]	길이[mm]	두께[mm]
PCB	100	100	1.6
언더 필	10	10	0.005
실리콘	10	10	0.05
열원	0.5	0.5	–

표 3.5에서는 각 물질의 물성치를 정리한 것이다. 아래 물성치 중에서 정상 상태 온도 분포에 영향을 주는 것은 열 전도도이다. 실리콘은 열 전도도가 상당히 높은 물질 중의 하나로, 금속 중에서도 열 전도성이 좋은 것으로 알려진 구리의 1/3 이상이다. 반면에 FR4나 언더 필 용도로 사용되는 물질들은 열 전도도가 낮다.

표 3.5. Reference 모델 물성치

	열 전도도 [W/m−K]	밀도 [kg/m3]	비열 [J/kg−K]
FR4	0.35	1250	1300
언더 필	0.5	1	1
실리콘	148	2330	660

3.2. 열 분산기 모델링

3.2.1. 열 분산기 물질

다이아몬드와 카본 나노튜브(CNT)는 높은 열 전도도를 갖는 물질로써 반도체의 Thermal Management에 있어 하나의 대안으로 주목을 받았다[33, 37]. 특히 카본 나노튜브는 차세대 고전력 디바이스에서 필수적으로 여겨지는 고 열전도성 TIM으로써 연구되었다[39, 41]. 그러나 카본 나노튜브는 여러 가닥이 배열되어 있을 때 서로간의 간섭에 의하여 하나의 가닥만 있을 경우보다 열 전도도가 현저히 감소하는 경향이 있다. 그림 3.2와 같이 카본 나노튜브 가닥들이 어지럽게 꼬여 있는 것을 확인할 수 있는데 이것이 표면의 접촉 저항을 크게 하기 때문이다[42]. 그리고 열 접촉 저항 등의 또 다른 이슈도 가지고 있다[43]. 실제로 카본 나노튜브 한 가닥의 열 전도도에 비해 카본 나노튜브를 분산액에 섞은 상태에서 형성한 필름의 열 전도도가 현저하게 낮아지는 것을 여러 논문들에서 확인할 수 있다.

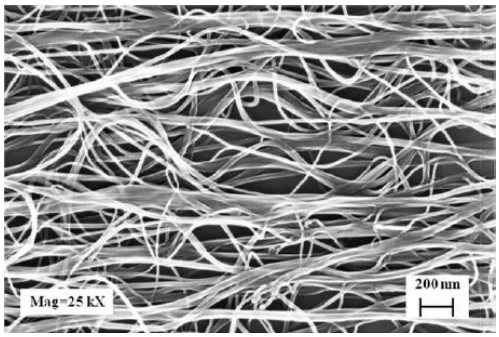


그림 3.2. MWCNT 막의 SEM 이미지[42]

하나 혹은 몇 개의 원자층으로 형성되는 2차원 탄소 구조의 그래핀(Graphene)은 전기적, 광학적 특성이 우수하여 많은 관심을 받아왔다. 그래핀은 열 전도도에서도 다른 물질에 비교해 월등한 성능을 보인다. 특히 Suspended 형태의 그래핀은 5000 W/m−K 이상의 열 전도도를 가질 수 있다고 알려져 있어[8], 다이아몬드나 카본 나노튜브보다 더 우수한 특성을 갖는다. 이러한 특성은 Microelectronics의 Thermal Management의 응용에서 핵심적인 장점으로 작용한다. 그래핀의 열분산기로서의 성능을 증명하기 위하여 시뮬레이션 결과나 열 전도도 측정 실험 결과를 보여주는 논문들이 많이 있다[47]. 그러나 균일한 대면적의 그래핀을 제작하는 것이 어렵기 때문에 실제 디바이스에 적용하여 열 분산 능력을 검증한 논문들은 찾아 보기 힘들다. 또한 Suspended 형태가 아닐 경우 열 전도 특성이 현저히 떨어지는데, SiO_2 박막 위의 Monolayer graphene의 열 전도도는 상온에서 약 600 W/m−K라고 보

고되었다[52].

그래파이트(Graphite)는 탄소의 동소체로서 전기 전도성을 띄는 Semimetal 물질이다. 그래파이트는 Hexagonal lattice를 가지고 있으며 격자 간격은 0.142 nm, 층간의 거리는 335 nm로 알려져 있다[48]. 원자 결합 구조에 따라 Natural Graphite, Pyrolytic Graphite, Highly Ordered Pyrolytic Graphite(HOPG) 및 alpha-, beta-Graphite 등으로 분류되는데, Natural Graphite와 Pyrolytic Graphite의 경우에 그 열 전도도가 분자 구조와 온도는 물론 제조사에 따라 수-수천 W/m-K로 크게 변하는 것이 보고된 바 있다[49]. 2010년에 보고된 내용에 의하면 1-20 개의 층을 갖는 Multi Layer Graphene(MLG) 또는 Ultrathin Graphtie의 양면이 산화막에 싸여 있을 때, 레이어의 수가 증가할수록 열 전도도가 증가하는데[47], 이는 Suspended 형태의 그래핀에서 볼 수 있는 경향성과는 반대라는 점에서 주목된다[50]. 이는 그래파이트와 산화막의 접합면에서의 Roughness와 Defect에 의한 영향이 두께가 증가함에 따라 점점 감소하기 때문이다.

그래핀 및 그래파이트, 카본 나노튜브, 다이아몬드의 물성 및 공정 가능한 크기에 대한 정보를 표 3.6-3.8에 각각 나타내었다.

표 3.6. 그래핀 및 그래파이트의 물성 및 크기

열 전도도 [W/m-K]	크기	공정 방법 및 특징	참조
1000(300K) 160(300K)	21 layers (~7.5nm) thick 1 layer (~0.35nm) thick	Graphene flakes mechanically exfoliated Encased within dielectric	47
600(RT)	3.2 $\times$12.5 μm^2 1 layer thick	Graphene flakes mechanically exfoliated on 300nm SiO_2	54
900	-	TPG by CVD using HC gas Metal encapsulated	55
3100(350K)	>0.5$\times$0.5mm^2 1 layer thick	CVD on 25 μm Cu foil. Suspended over holes with diameter of 9.7 μm	56
1700	>30cm$\times$3m 2.5cm thick	Pyrolytic graphite by CVD	57
4600-4900	4.5$\times$2cm^2 1-3 layers thick	CVD on Cu catalyst using C_2H_2 (800℃) 206nm Cu+300nm SiO_2	58

표 3.7. 카본 나노튜브의 물성 및 크기

열 전도도 [W/m-K]	크기	공정 방법 및 특징	참조
31.3-65.9 (out-plane)	38-1000 μm diameter 55-142nm thick	Vacuum filtration method Suspended SWCNT film	59
3-17 (out-plane)	10$\times$10mm^2 20-225 μm thick	VACNT by CVD (Si + 100nm SiO_2 + 5nm Fe + CNT)	60
157 (in-plane) 1600 (in-plane)	122-669 μm thick	CNT film by dispersing in a solvent and filtering (Individual CNT)	61

표 3.8. 다이아몬드의 물성 및 크기

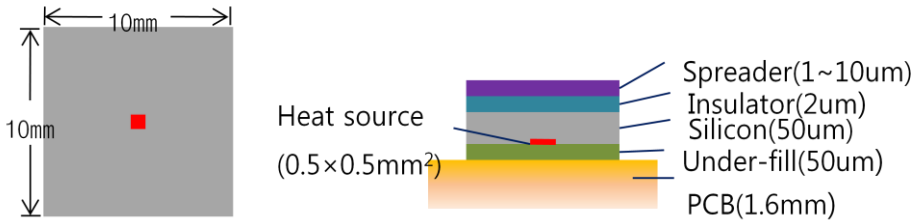
열 전도도 [W/mK]	크기	공정 방법 및 특징	참조
500−1000	$10\times10mm^2$ 40−300 μm thick	CVD diamond on (111) p−type Si. Sputtered/electroplated Cu	62
−	$1\times1mm^2$ 20 μm thick	Diamond coated on Si by a hot filament diamond−coating system(seed layer by immersing Si into diamond solution→CVD)	63
−	$>100\times100\ \mu m^2$ 0.5 μm thick	Diamond is grown at 750℃ for 3.5hrs by hot filament CVD. Thermally stable at 1000℃	64
2200 3300	$5\times10mm^2$ 28.4, 69.1, 185, 408 μm thick	Microwave enhanced plasma CVD on Si in ~100 Torr and 800−900℃	65

이 논문에서는 반도체 공정에 적용 가능하면서 칩 면적에 대응할 수 있고 상대적으로 재현성이 높은 다이아몬드를 열 분산 물질로 선정하였으며 1 μm 이상의 두께로 형성할 수 있다고 가정하였다.

3.2.2. 시뮬레이션 Input

열 분산기의 열 전달 효과를 확인하기 위하여 모델링 하였다. 3.1의 Reference 모델에서 실리콘 웨이퍼 윗면을 2 μm 두께로 절연하고 다시 그 위에 열 분산기를 추가한다. 각 Layer는 칩 다이의 전면에 증착

되어 있다. 실리콘 웨이퍼의 양면에 각각 열원과 열 분산기를 위치시킨 것은 향후 공정을 고려한 것이다. CMOS 디바이스 및 metal line 등이 제작되어 있는 면에는 평탄한 열 분산기를 제작할 수 없기 때문에 백 사이드에 제작해야 한다. 그림 3.3에 열 분산기 모델을 나타내었다. 그림 3.3(a)에서는 모델의 전면을 나타내었는데, PCB 테스트 보드는 생략하였다. 절연막과 열 분산기의 모델 사이즈 및 물성은 표 3.9와 표 3.10에 각각 나타내었다. 열원에서는 0.25 W의 Heat rate가 발생한다.



(a) (b)

그림 3.3. 열 분산기 모델 (a)전면, (b)측면

표 3.9. 절연막과 열 분산기 모델 사이즈

	폭[mm]	길이[mm]	두께[mm]
절연막	10	10	0.002
열 분산기	10	10	variable

표 3.10. 절연막과 열 분산기 물성치

	열 전도도 [W/m−K]	밀도 [kg/m3]	비열 [J/kg−K]
절연막	1	2648	1000
열 분산기	variable	2000	650

3.2.3. 열 분산기의 열 전도도에 따른 변화

열 분산기를 열 전도도가 다른 물질들로 형성하였을 때 그에 따른 온도 변화를 확인하였다. 그림 3.4는 두께가 1 μm인 열 분산기의 열 전도도를 1000 W/m−K에서 5000 W/m−K까지 500 W/m−K씩 증가시키며 온도 변화를 확인한 것이다. 열 전도도가 증가함에 따라 칩 다이 전체 열 저항을 감소시키기 때문에 열원의 온도가 감소하게 된다. 열 분산기의 열 전도도가 1000 W/m−K인 경우 1.7℃, 5000 W/m−K인 경우 5.5℃의 온도 감소 효과를 확인할 수 있다.

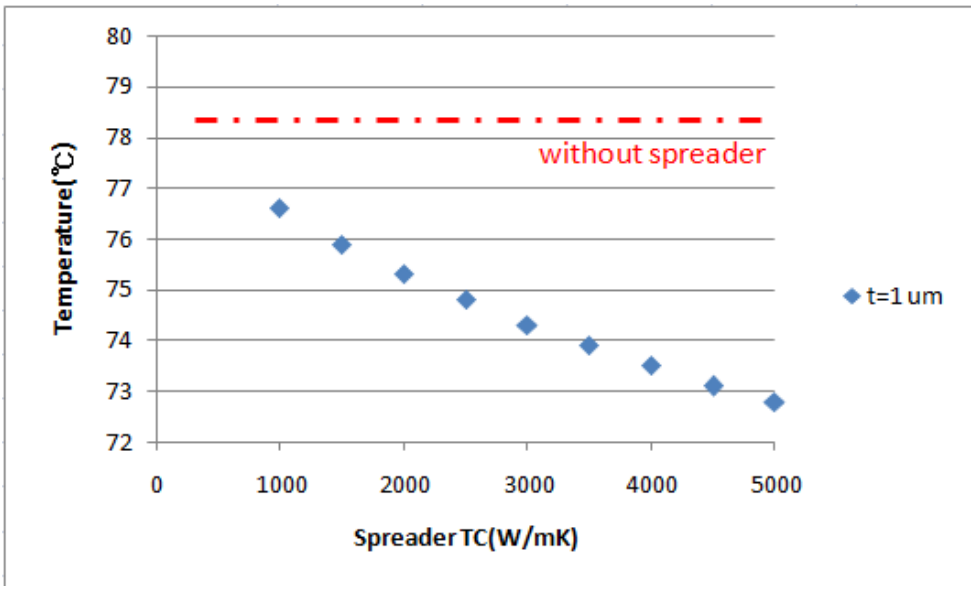


그림 3.4. 열 분산기 열 전도도에 따른 열원 온도 변화

3.2.4. 열 분산기의 두께에 따른 변화

그림 3.5는 열 분산기의 두께에 따른 열원의 온도의 변화를 확인한 것이다. 열 분산기의 두께를 1 μm에서 10 μm까지 달리하면서 결과를 보았다. 열 분산기가 두꺼워지면 외부 유체에 노출되는 면적이 넓어지며 수평 방향의 열 저항 성분이 감소하기 때문에 칩의 온도가 감소하게 된다. 열 분산기의 두께가 8 μm 이상인 범위에서는 열 전도도가 증가함에 따른 온도 감소 효과가 점점 Saturation 되는 현상을 확인할 수 있다. 이는 열 분산기의 열 저항이 일정 수준 이하로 감소하게 되면 전체 칩의 열 저항에 미치는 영향이 작아진다는 것을 의미한다. 열 전도도가 1000

W/m-K인 물질을 10 ㎛ 두께로 형성할 경우의 열원 온도는 70.5℃로 초기 온도보다 45.5℃ 증가하였다. 이는 열 분산기가 없을 때의 53.3℃에 비해 약 15.6% 감소한 수치이다.

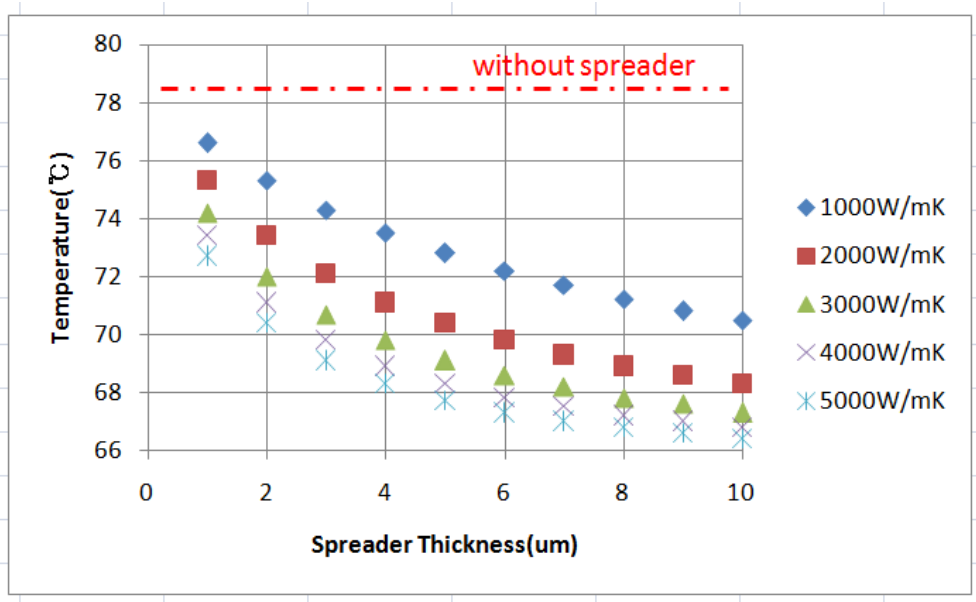


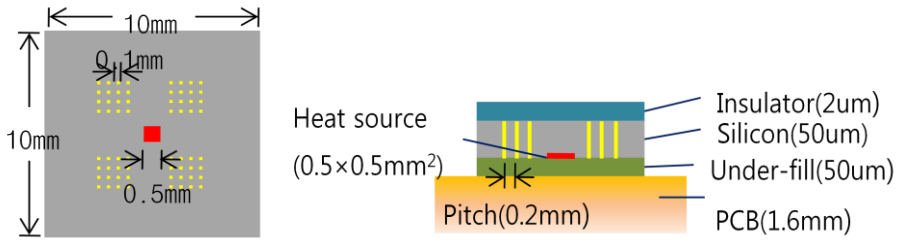
그림 3.5. 열 분산기 두께에 따른 열원 온도 변화

3.3. 열 비아 모델링

3.3.1. 시뮬레이션 input

Reference 모델에서 50 ㎛ 두께의 실리콘을 관통하는 열 비아를 추가하였다. 열 비아는 시뮬레이션에서 메쉬(mesh)를 그릴 때

skewness를 최소한으로 하기 위하여 육면체 형태로 디자인하였다. 비아의 크기는 100×100 μm^2에 50 μm의 두께를 가진다. 비아는 열 전도도가 388 W/m-K인 구리로 채워지며 Side wall에 1 μm 두께의 SiO_2로 절연되어 있다. 칩 다이 상에서 위치를 달리하며 비아 배열(via array)을 배치하였으며 비아의 간격은 200 μm로 정하였다. 그림 3.6에 도식을 나타내었다. 열원에서는 0.25 W의 Heat rate가 발생한다.



(a) (b)

그림 3.6. 열 비아 시뮬레이션 도식, (a)전면, (b)측면

3.3.2. 비아의 위치 및 수에 따른 온도 변화

칩 다이의 네 귀퉁이에 각 비아 배열을 6×6, 9×9, 12×12, 15×15로 바꾸어 가며 온도 감소에 미치는 영향을 확인하였다. 그림 3.7에 그 결과를 나타내었다. 6×6 이하의 배열에서는 열원의 온도 감소 효과가 거의 없으며 15×15 배열에서는 1.4℃ 가량 온도가 낮아지는 것을 확

인하였다.

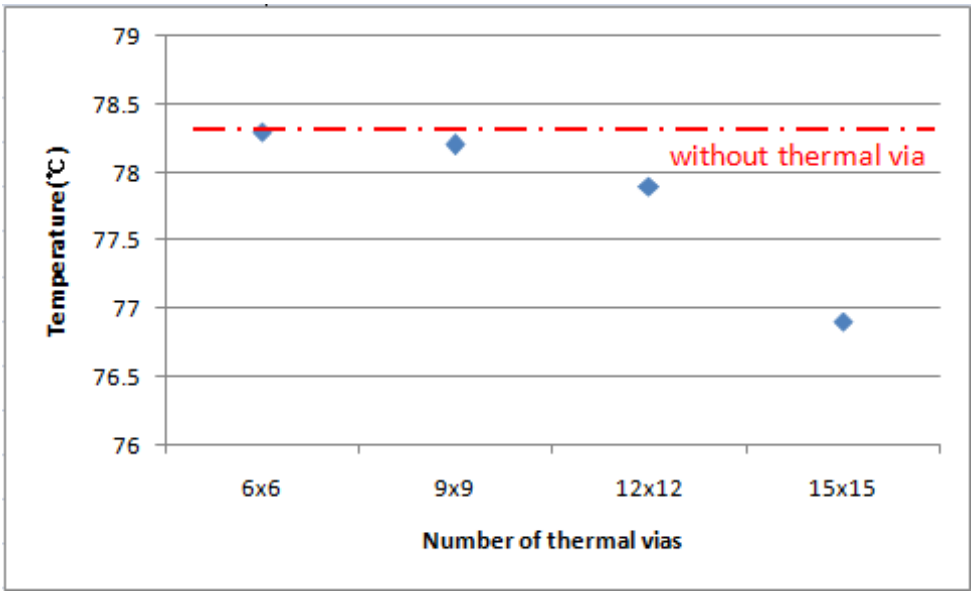


그림 3.7. 칩 다이 외곽에 위치한 비아의 수에 따른 열원 온도 변화

다음은 칩 다이의 중심부에 동일한 비아 배열을 형성하였다. 그림 3.8에 그 결과를 나타내었다. 그림 3.7과 비교하면 동일한 비아 수일 때 더 큰 온도 감소 효과를 확인할 수 있다. 15×15 배열에서 2.5℃, 6×6 배열에서는 1.7℃의 온도가 감소하였으며, 그 이하의 배열에서도 온도 감소 효과가 있다. 그림 3.7과 그림 3.8의 결과를 비교하여 보면 곡선의 기울기 변화가 반대이다. 그림 3.7은 열 비아가 칩의 귀퉁이에서 중심부로 확장해 나갈 때의 결과이고 그림 3.8은 열 비아가 중심부로부터 귀퉁이로 확장해 나갈 때의 결과이다. 즉, 열 비아에 의한 온도 감소 효과

는 열 비아가 얼마나 많이 있는지에 따라 달라진다기보다는 열원 근처에 얼마나 많은 열 비아가 분포하는지에 영향을 받는다는 것을 알 수 있다. EPFL에서 보고했던 논문에서도 열원 가까이에 열 비아를 배치하는 방법을 택하였다[66].

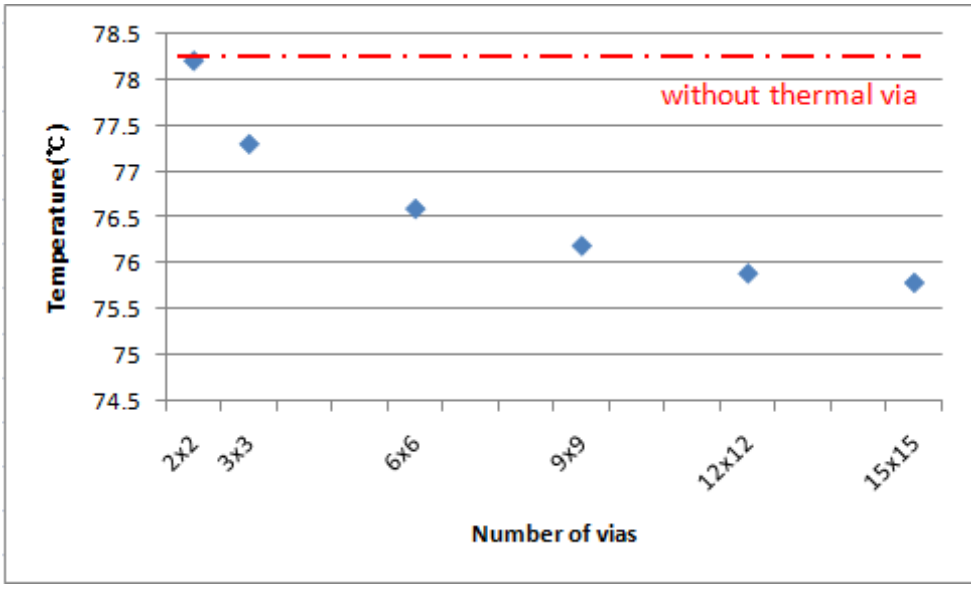
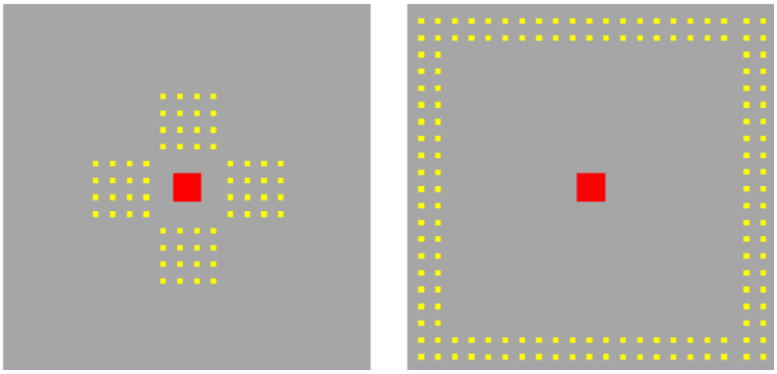


그림 3.8. 칩 다이 중심에 위치한 비아의 수에 따른 열원 온도 변화

열 비아 배열의 위치를 그림 3.9와 같이 달리하였을 때의 영향도 확인해 보았다. 이 때는 비아 수에 관계없이 온도 감소 효과는 별로 나타나지 않았다. 그림 3.9(b)의 경우에는 중심에 분포하고 있는 비아가 없기 때문에 예상할 수 있는 결과이다. 그림 3.9(a)의 경우에는 칩 다이의 중심에 비아가 배치되어 있음에도 불구하고 열 방출 효과를 얻을 수 없

었는데, 이는 열이 주로 전달되는 경로가 열 비아의 절연막에 의하여 차단되기 때문인 것으로 보이며, 기존에 발표되었던 논문의 내용과 일치한다[53]. 위의 결과들을 통해 열 비아를 배치할 때는 Active device나 Signal TSV를 방해하지 않으면서 최대한 열원 가까이에 배치시키고, Heat flux를 막지 않는 위치를 선정해야 함을 알 수 있다. 그러나 열 비아는 기본적으로 칩의 절대 온도를 낮추기보다는 집적회로의 여러 부분의 온도 차를 줄이는 데에 효과적인 기법이기 때문에 다른 열 전달 구조와 함께 사용되는 것이 좋다[66].

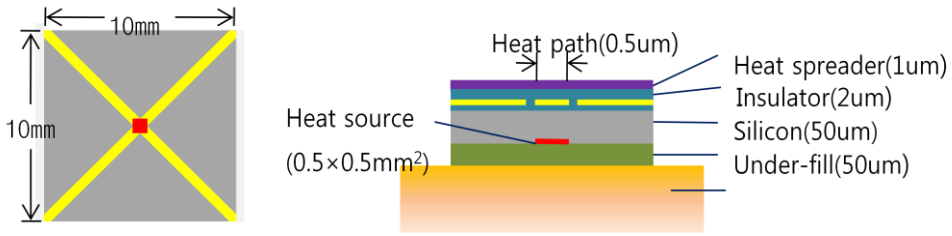


(a) (b)

그림 3.9. 다른 위치의 열 비아 비열

3.4. 열 통로 모델링

앞에서 열 분산기와 열 비아에 의한 온도 감소 효과에 대해 분석하였다. 이 장에서는 이들 방열 기법을 보완하여 추가적인 온도 감소 효과를 볼 수 있는 구조를 디자인하고 그 성능을 확인한다. 기본적인 개념은 사용되지 않는 실리콘 웨이퍼의 백 사이드에 열 전도도가 높은 물질을 삽입하여 열 통로를 만드는 것이다. 이를 위하여 습식 식각(wet etch)이나 DRIE 공정 등을 통하여 웨이퍼 백 사이드에 채널을 형성하고, 이 채널에 도금 방식을 통하여 구리 등 실리콘보다 전도도가 높은 물질을 채워 넣는 방법을 고려하였다. 그림 3.10에 열 통로의 개념도를 보여 주었다.



(a) (b)

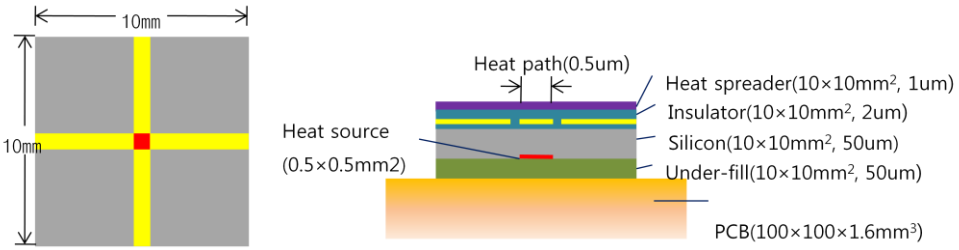
그림 3.10. 열 통로 개념도, (a)전면, (b)측면

그림에서 열원으로 가정되는 Active device의 반대 면에 전도성 채널이 형성되고 그 위에 열 분산기가 형성된다. 열 전도도가 높은 물질은

대체로 전기 전도도 또한 높기 때문에 절연 물질로 전기 신호가 누설되는 것을 방지한다.

3.4.1. 시뮬레이션 input

그림 3.11와 같이 십자 모양의 간단한 열 통로를 디자인하였다. 열원은 0.5×0.5 mm^2의 크기에 0.25 W의 Heat rate를 발생시키고, 열 분산기는 1000 W/m−K의 열 전도도와 1 μm 두께로 고정하였다. 열 통로 물질은 열 전도도가 388 W/m−K인 구리라고 가정하였다.



(a) (b)

그림 3.11. 십자 열 통로 디자인 (a) 전면, (b) 측면

3.4.2. 열 통로 크기 및 패턴에 따른 온도 변화

열 통로의 두께와 폭에 대한 온도 변화를 확인해 보았다. 폭을 0.1

mm에서 1.0 mm까지 변화시키고, 두께를 1 μm에서 10 μm까지 변화시키면서 결과를 확인하였다. 그 결과를 그림 3.12에 나타내었다.

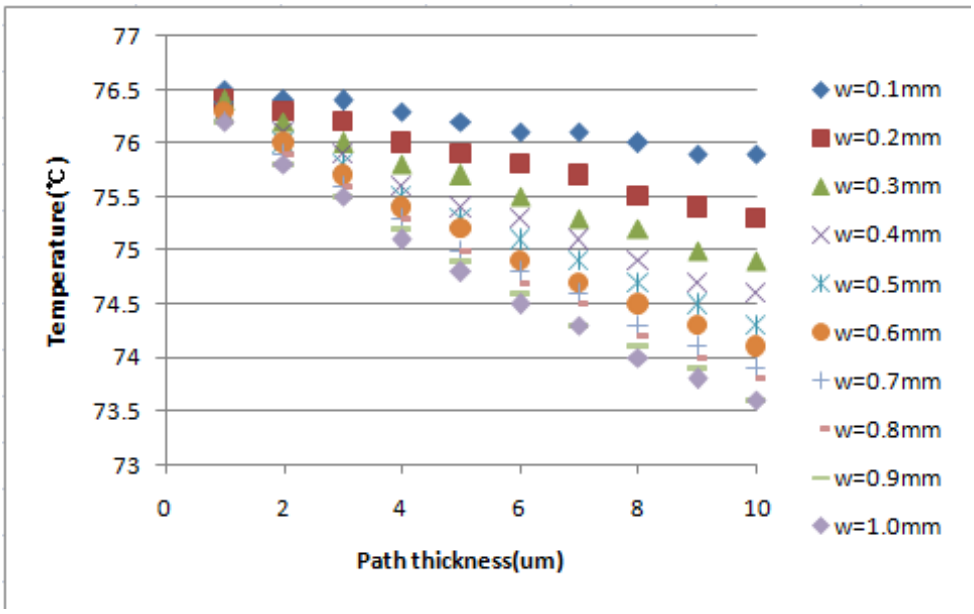


그림 3.12. 열 통로 폭과 두께에 따른 열원 온도 변화

3.1.2에서 열 전도도 1000 W/m-K, 두께 1 μm 두께의 열 분산기가 있을 경우의 열원 온도가 76.6℃였다. 그림 3.12에서는 열 통로를 이용해 추가적으로 최대 3℃의 온도 감소 효과를 얻을 수 있다는 것을 확인할 수 있다. 열 통로는 실리콘 웨이퍼의 일부를 보다 전도성이 높은 물질로 대체한 것이다. 즉 실리콘 웨이퍼가 체적은 유지한 채 유효 열전도도(effective thermal conductivity)가 증가한 것이 원인이라고 생각할 수 있다. 그림 3.13을 보면 3℃의 온도가 감소하기 위해서 단 3.8%

의 실리콘을 구리로 대체하면 된다는 것을 알 수 있다. 실리콘과 구리의 열 전도도를 고려하면 3.8%의 체적이 대체된 경우에 유효 열 전도도는 158.6 W/m-K이다. 즉 실리콘의 유효 열 전도도가 7.2% 증가함에 따라 온도 감소 효과는 5.2% 증가한 것이다. 시뮬레이션 구조에서 실리콘 뿐만 아니라 테스트 보드 등 다른 물질들도 함께 사용되었기 때문에 수치가 일치하는 것은 아니지만 그 경향성을 확인할 수 있다.

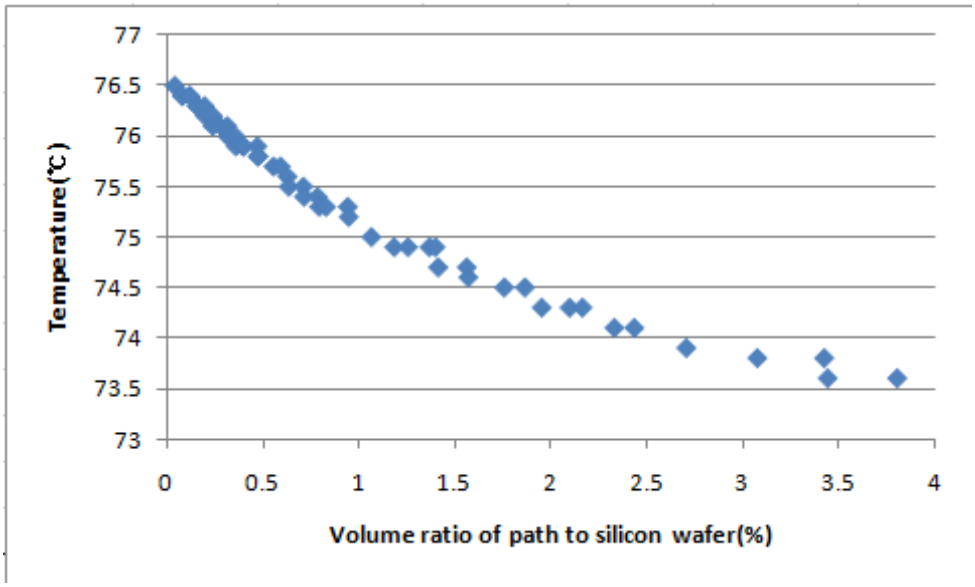
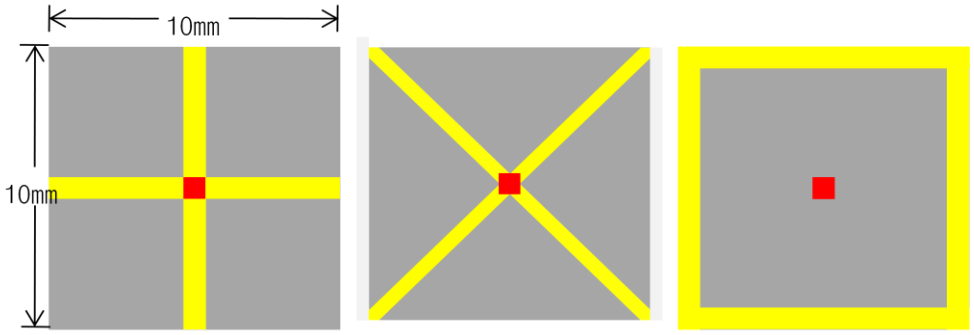


그림 3.13. 실리콘 웨이퍼 대비 열 통로 부피에 따른 온도 변화

그러나 단순히 열 통로의 부피가 증가하는 것만으로 열 방출 특성이 좋아지는 것은 아니다. 열 통로의 부피가 동일할 때 패턴의 변화에 따른 온도 변화를 확인해 보았다. 위에서 언급한 십자 모양의 열 통로를 패턴

1이라 하고, 패턴 2는 X자 모양, 패턴 3은 칩 다이의 가장자리를 둘러싸는 모양으로 하였다. 그림 3.14에 각 패턴의 모양을 나타내었다. 열통로의 두께는 5 μm이며, 폭은 (a)가 0.5 mm, (b)와 (c)는 전체 면적이 동일하도록 설정하였다.



(a) (b) (c)

그림 3.14. 세 가지 패턴의 열 통로 (a)패턴1, (b)패턴2, (c)패턴3

그림 3.15에서 세 가지 패턴에 대해서 온도 변화가 어떻게 달라지는지 확인해 보았다. 패턴2의 온도 감소 효과가 가장 크며 패턴 3의 경우에는 온도 감소 효과를 보이지 않는 것을 알 수 있다. 이는 열 통로가 실리콘 웨이퍼 내에서 차지하는 부피가 같더라도 열 전달 특성은 다를 수 있다는 것을 의미한다. 세 가지 패턴을 살펴보면, 패턴1의 경우 열원이 위치한 중심부로부터 칩 다이의 가장자리로 최단 거리로 뻗어 있고 패턴2는 중심부로부터 시작하여 가장자리 가장 먼 지점까지 뻗어 있으

며, 패턴3은 중심부는 통과하지 않고 가장자리를 에워싸고 있다. 열 통로는 수평 방향으로의 열 전달을 도와주는 구조이다. 열 전달이 잘 되기 위해서는 열이 흘러가는 두 지점 사이의 온도 차가 커야 한다. 칩 상에서 온도가 가장 높은 지점은 열원이고, 온도가 가장 낮은 지점은 사각형의 네 귀퉁이이다. 그래서 이 두 점을 잇는 패턴2가 열 전달 특성이 가장 좋은 것이다. 반면에 패턴3의 경우 온도 차가 거의 없는 점들을 통과하고 있기 때문에 칩의 온도 감소에는 거의 영향을 주지 않는다.

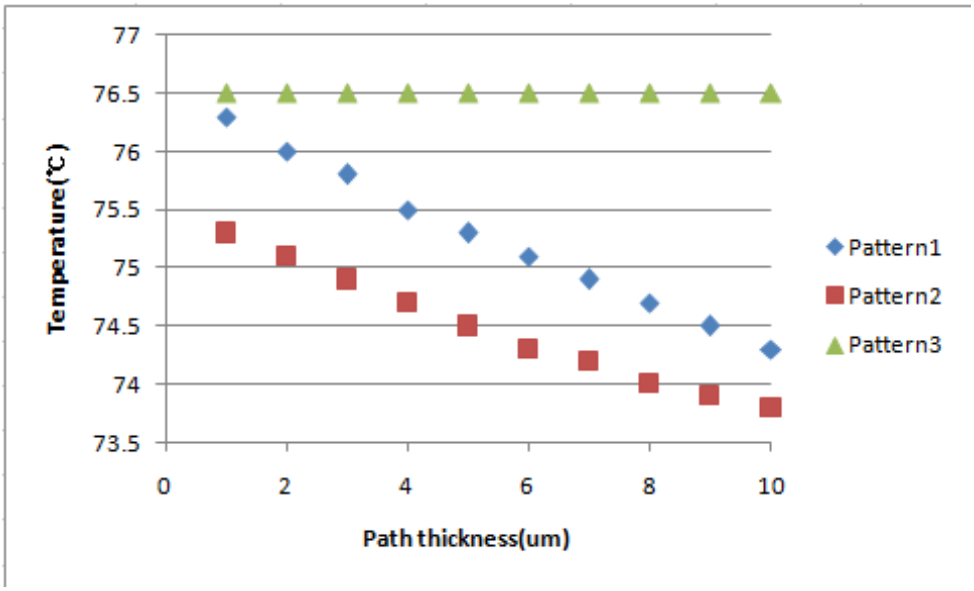


그림 3.15. 열 통로 패턴에 따른 온도 변화

제 4장 3차원 집적회로 시뮬레이션

3장에서 분석한 열 분산기, 열 비아, 열 통로 디자인을 바탕으로 이들 세 구조를 결합한 열 분산 시뮬레이션 모델을 제안하고, 3차원 구조에서의 열 분석을 하였다. 3차원 Reference 모델을 제안하기 위하여 상용 프로세서를 도입하였고, 비교적 열 문제에 영향을 덜 미치는 메모리 Layer는 간략화하여 모델에 도입하였다.

4.1. 3차원 Reference 모델 및 열 분석

4.1.1. 3차원 Reference 모델

열 분산기, 열 비아 등 칩의 열 전달을 도와주는 어떠한 구조도 없는 모델을 Reference로 정하여 모델링 하였다. 이 모델에서는 AMD Athlon II X2 240 Processor가 Layer 1에 있고, Layer 2와 Layer 3에는 SRAM이 적층되어 있는 것을 가정하였다. S. Reda[69]는 온도 센서를 이용하여 AMD 社의 Athlon II X2 240 Processor의 열원을 검출하였다. 그림4.1에서와 같이 14×8.5 mm^2의 면적에 듀얼 코어가 장착되어 있는 프로세서에서의 잠재적인 열원의 위치들이 점으로 표시되어 있다. 프로세서에서 발생하는 열은 0.8−1 W/mm^2으로 알려져 있다[12,

31]. Worst case를 가정하여 이 열원들이 모두 동시에 발열하는 상황을 모델링에 적용하였다. 메모리의 경우에는 H. Saito[70]와 S. Ma[71]의 문헌을 참고하여 열원의 크기와 발생하는 열을 모델에 적용하였다. 그림 4.1과 같이 프로세서와 메모리는 동일하게 10×10 mm^2 크기의 기판에 형성되어 있다고 가정하여 스케일링에 의하여 크기와 발생하는 열을 조정하였다. 기판과 Active device의 면적 비는 [72]를 참조하여 결정하였다. 제안한 모델에서 프로세서와 메모리의 열원 크기는 각각 0.15×0.15 mm^2 와 1×1 mm^2이다.

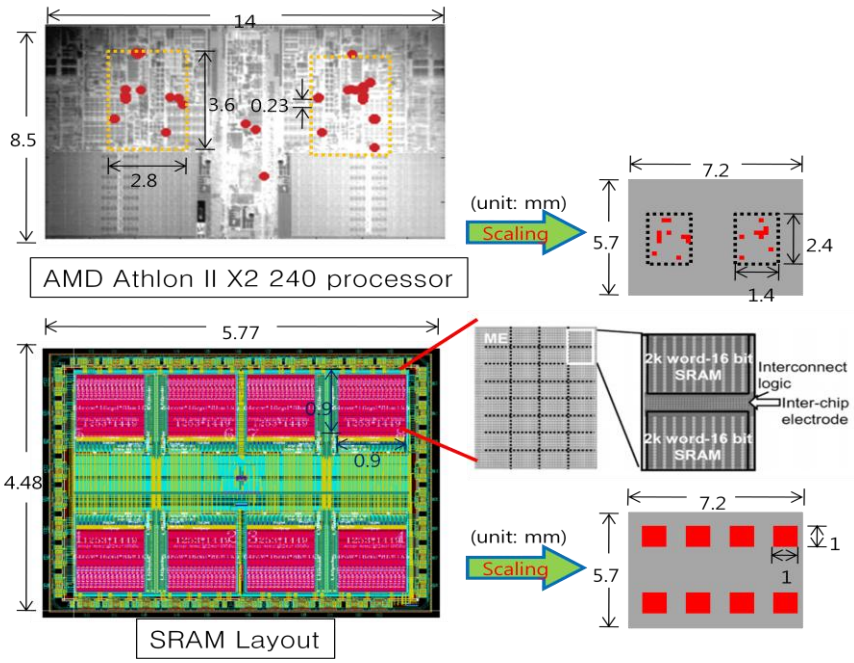
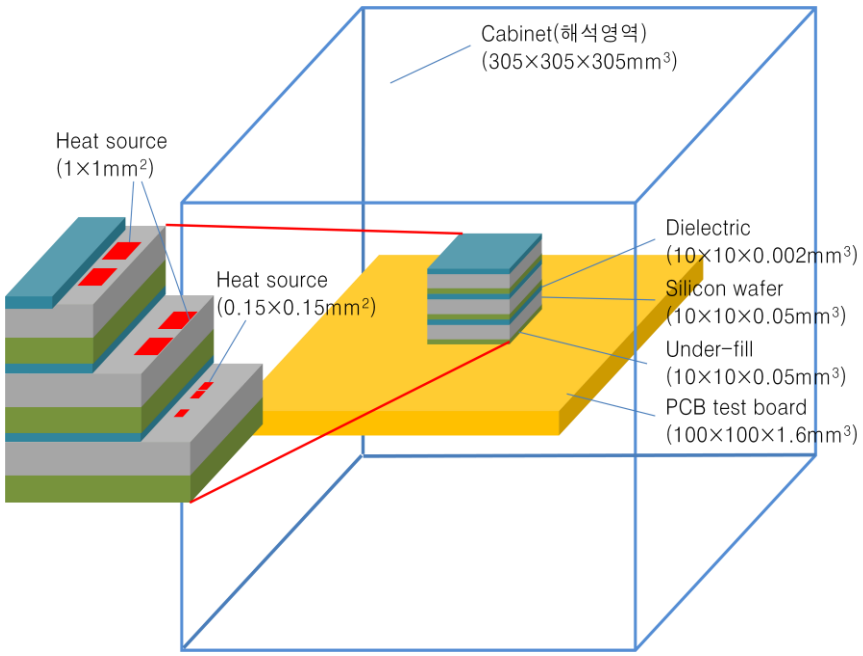
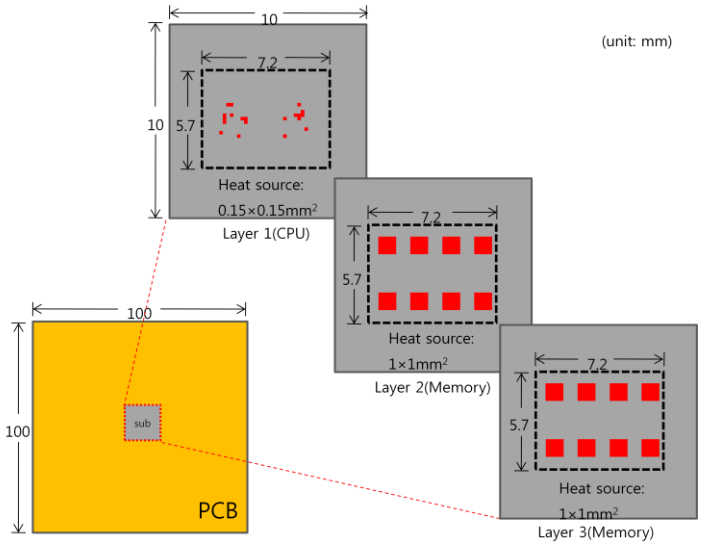


그림 4.1. 프로세서(AMD)와 메모리(SRAM)를 이용한 모델

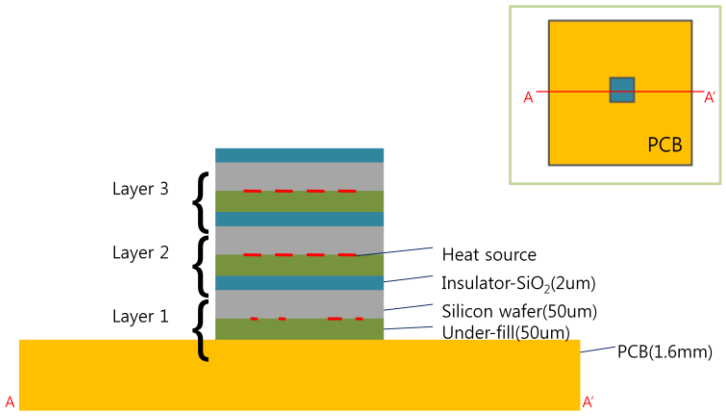
그림 4.2에 모델의 구조를 나타내었다. JEDEC standard를 적용한 열적 측정을 가정하여 305×305×305 mm^3의 해석 영역 내에 PCB 테스트 보드와 실리콘 웨이퍼가 언더필에 의해 접합이 되어 있고, 실리콘 웨이퍼 위에는 열 분산기가 절연막과 함께 증착되어 있다. 각각의 크기와 열 전달 특성은 표 4.1에 정리하였다. 열원은 균일하게 1 W/mm2의 열을 발생하는 면으로 설정하였으며, 프로세서와 메모리의 열원 하나에서 발생하는 열은 각각 22.5 mW 와 9.6 mW이다. 각 Layer에서의 열원은 표 4.2에 정리하였다.



(a)



(b)



(c)

그림 4.2. 단층 시뮬레이션 도식 (a)3차원, (b)전면, (c)측면

표 4.1. 모델 크기 및 물성

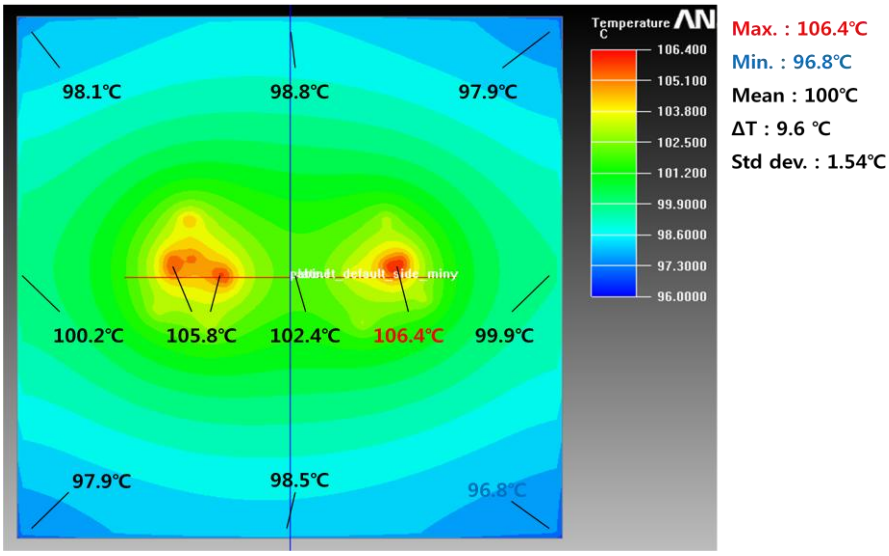
		W(mm)	L(mm)	H(mm)	물질	비고
해석영역		305	305	305	Air	열 전도도 0.0261 W/m-K
테스트보드		100	100	1.6	FR4	열 전도도 0.0261 W/m-K
Layer 1	Under-fill	10	10	0.05	Polymer	열 전도도 0.5 W/m-K
	Silicon wafer	10	10	0.05	Silicon	열 전도도 148 W/m-K
	Dielectric	10	10	0.002	SiO_2	열 전도도 1 W/m-K
	Heat source	0.15	0.15	-	-	# 20, Heat rate 22.5mW each
Layer2	Under-fill	10	10	0.05	Polymer	열 전도도 0.5 W/m-K
	Silicon wafer	10	10	0.05	Silicon	열 전도도 148 W/m-K
	Dielectric	10	10	0.002	SiO_2	열 전도도 1 W/m-K
	Heat source	1	1	-	-	# 8, Heat rate 9.6mW each
Layer3	Under-fill	10	10	0.05	Polymer	열 전도도 0.5 W/m-K
	Silicon wafer	10	10	0.05	Silicon	열 전도도 148 W/m-K
	Dielectric	10	10	0.002	SiO_2	열 전도도 1 W/m-K
	Heat source	1	1	-	-	# 8, Heat rate 9.6mW each

표 4.2. 각 열원의 크기 및 발생하는 Heat rate

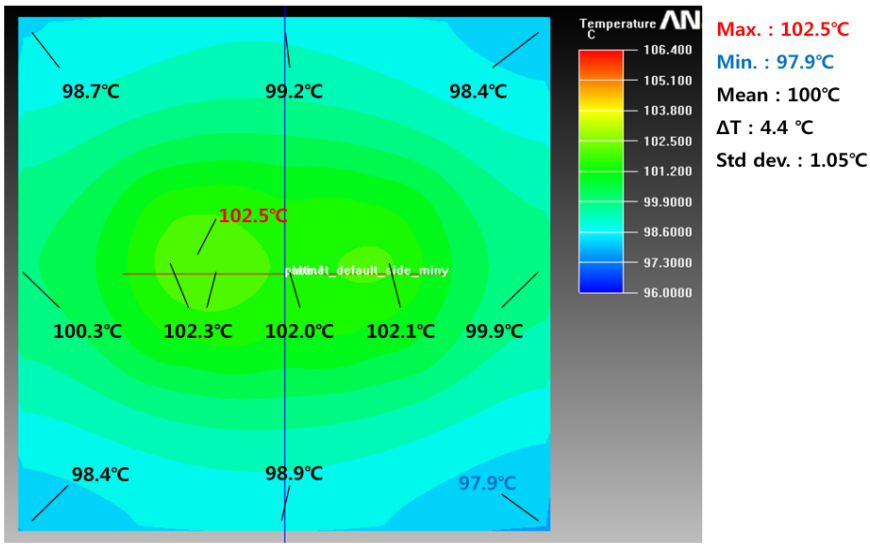
	Layer 1	Layer 2	Layer 3
크기 [mm^2]	0.15×0.15	1×1	1×1
Heat rate [W]	각 22.5 mW 열원 20 개	각 9.6 mW 열원 8 개	각 9.6 mW 열원 8 개

4.1.2. 열 분석

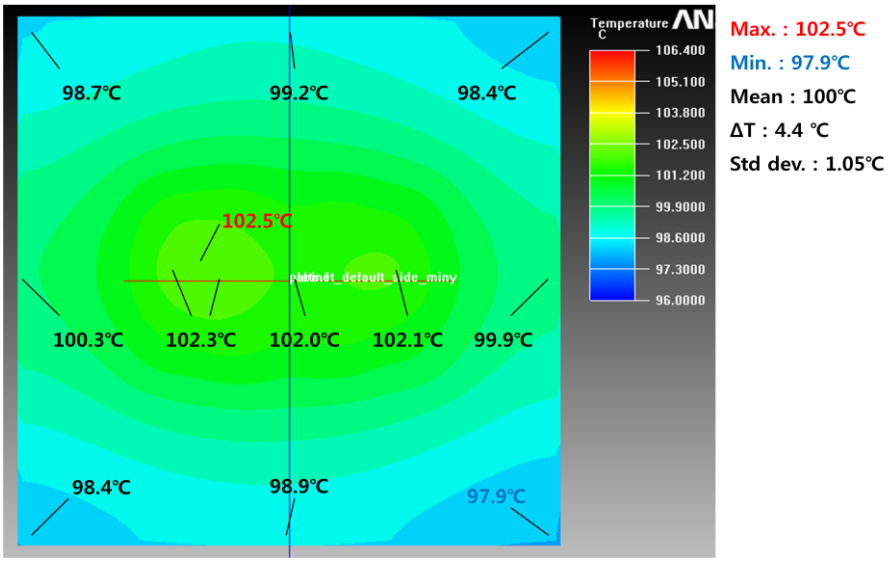
4.1.1에서 제시한 Reference 모델의 온도 분포를 아래 그림에 나타내었다.


Temperature
C
106.400
105.100
103.800
102.500
101.200
99.9000
98.6000
97.3000
96.0000
98.1℃
98.8℃
97.9℃
100.2℃
105.8℃
102.4℃
106.4℃
99.9℃
97.9℃
98.5℃
96.8℃
Max. : 106.4℃
Min. : 96.8℃
Mean : 100℃
ΔT : 9.6 ℃
Std dev. : 1.54℃

(a)


Temperature
C
106.400
105.100
103.800
102.500
101.200
99.9000
98.6000
97.3000
96.0000
98.7℃
99.2℃
98.4℃
102.5℃
100.3℃
102.3℃
102.0℃
102.1℃
99.9℃
98.4℃
98.9℃
97.9℃
Max. : 102.5℃
Min. : 97.9℃
Mean : 100℃
ΔT : 4.4 ℃
Std dev. : 1.05℃

(b)

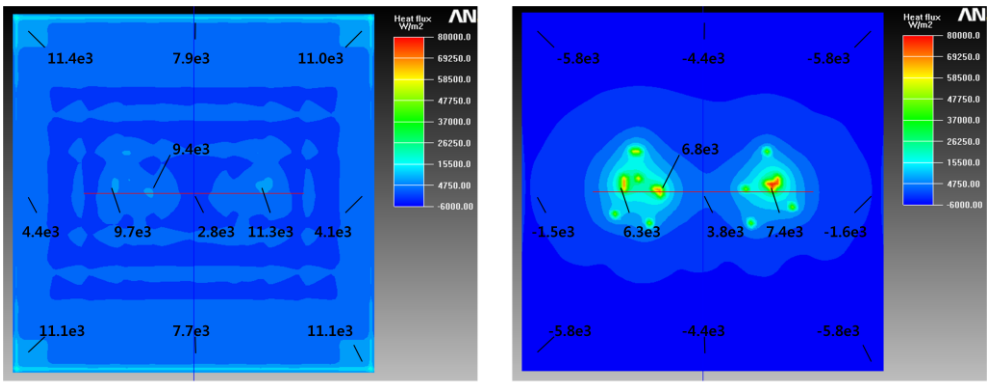


(c)

그림 4.3. Reference 모델의 온도 분포 (a)Layer 1, (b)Layer 2, (c)Layer 3

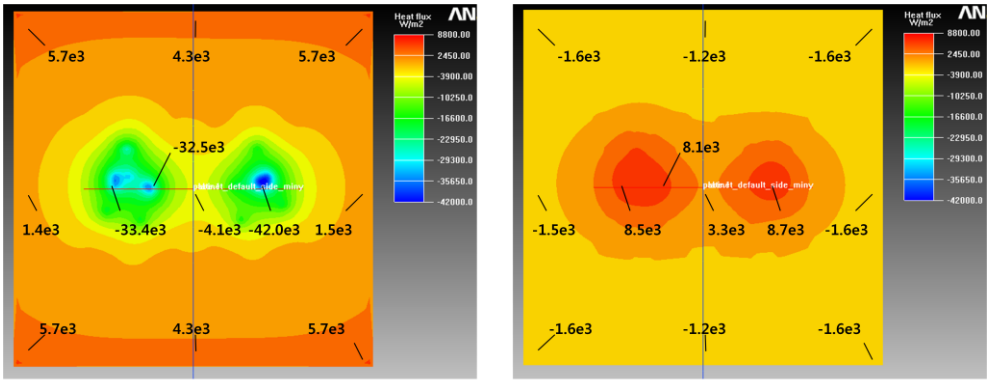
그림 4.3에서 몇 가지 사실을 확인할 수 있다. 첫 번째, 각 Layer의 평균 온도는 동일하다. 이는 Steady-state에서 각 Layer에 출입하는 열은 없지만 그 상태에 도달하기까지의 열은 동일하며, 각 Layer의 열용량이 같기 때문에 최종 평균 온도는 같은 것으로 생각할 수 있다. 두 번째, 열원의 Total heat rate가 가장 큰 Layer 1에서 Hot spot의 온도가 가장 높다. Layer 1에서 발생하는 Total heat rate가 온도 분포에 가장 큰 영향을 미치는 것은 직관적으로도 생각할 수 있다. Layer 1에서 발생하는 Total heat rate는 0.45 W이며 Layer 2와 3에서는 각각 0.08 W로 Layer 1의 1/5도 되지 않기 때문에 Layer 1의 열원이 온도 분포

에 Dominant하다고 생각된다. 세 번째, Layer 1에서 최대 온도와 최소 온도의 차 또는 표준편차가 가장 크다. 이는 Lateral 방향으로의 Heat flow 크다는 의미이다. 반면에 Layer 2, Layer3에서는 비교적 온도 분포가 균일한데 Layer1에서부터 올라오는 열에 의해 Vertical heat flow가 상대적으로 크다. 마지막으로, 각 Layer에서 최대 온도는 열원 근처에, 최소 온도는 칩 다이의 모서리에 존재하기 때문에 Heat flux는 칩 다이의 대각선 방향으로 많이 발생한다는 것을 알 수 있다. 그림 4.4에 각 Layer에서의 Heat flux 분포를 나타내었다.



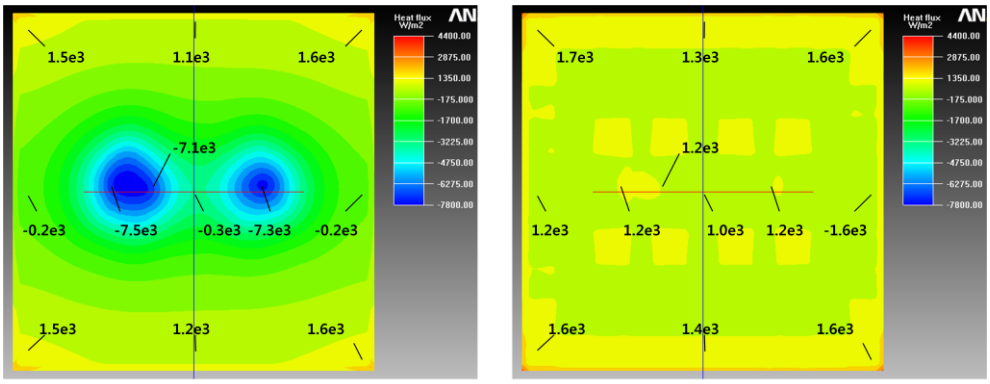
Active side(Heat source 면) Back side(Heat spreader 면)

(a)



Active side(Heat source 면) Back side(Heat spreader 면)

(b)



Active side(Heat source 면) Back side(Heat spreader 면)

(c)

그림 4.4. 각 Layer에서의 Heat flux 분포, (a)Layer 1, (b)Layer 2, (c)Layer 3.

그림 4.5에 이 모델의 Heat flow를 나타내었다. 그림에서 Lateral 방향 Heat flow는 열원에서부터 온도가 가장 낮은 점으로 주로 나타나며, Vertical 방향으로는 열원에서 바로 수직으로 Heat flow가 생기기 보다는 대각선 위로 생기는 것을 알 수 있다.

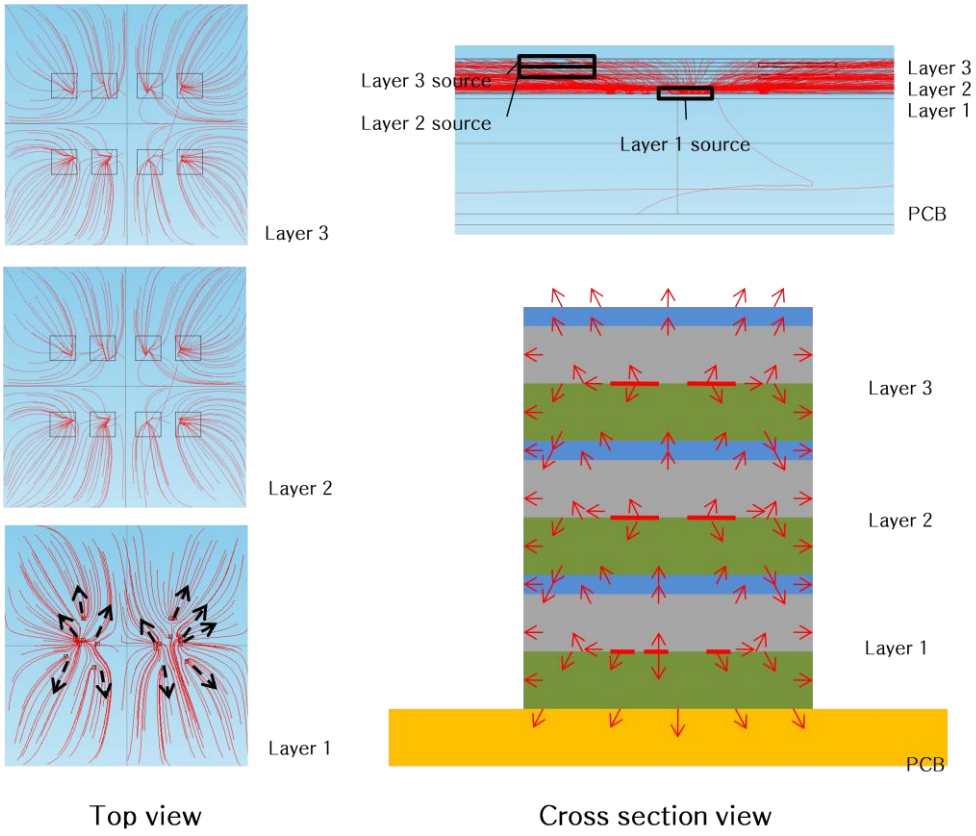


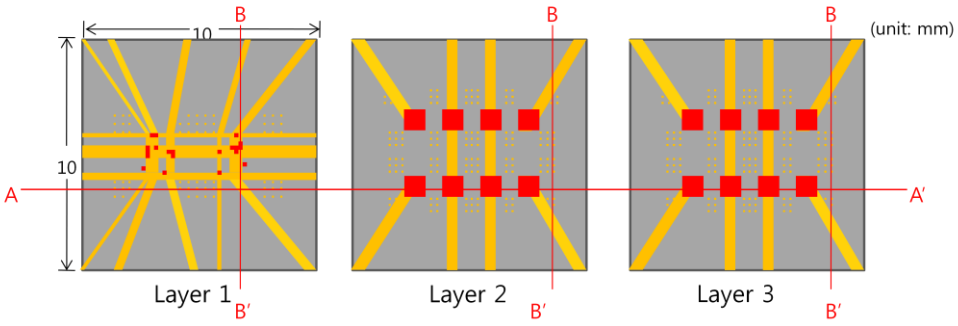
그림 4.5. 3차원 Reference 모델의 Heat flow

4.2. 3차원 집적회로의 Thermal management

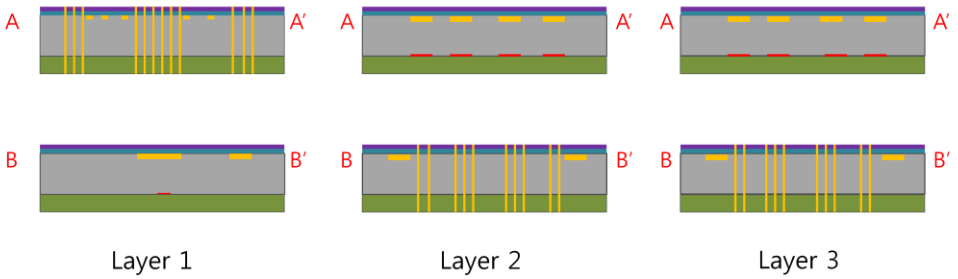
4.2.1. Thermal Management 모델링

4.1의 Reference 모델을 이용하여 Thermal management 구조를 제안하였다. 3차원 집적회로의 열 분산 모델링을 위하여 실리콘 웨이퍼 세 장이 언더필 및 절연 물질에 의해 접합되어 있고, 각 Layer에는 일

정한 열을 발산하는 여러 개의 열원이 있다. 그림 4.6에 각 Layer에서의 Thermal management 구조를 보여주었다. 각 Layer에서 열 분산기는 칩 다이 전면에 두께 2㎛로 고정하였고, 열 비아 및 열 통로는 그림과 같이 배치하였다. 4.1.2의 Reference 모델 열 분석을 통하여 Heat flow가 큰 부분에 열 통로를 배치하였고 남은 면적에서 열원에 최대한 가까운 위치에 열 비아를 배치하였다..



(a)

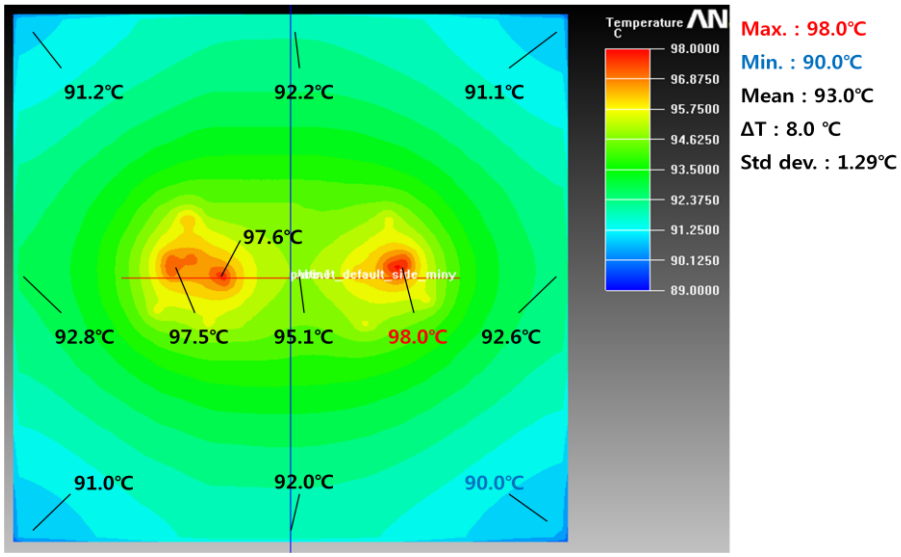


(b)

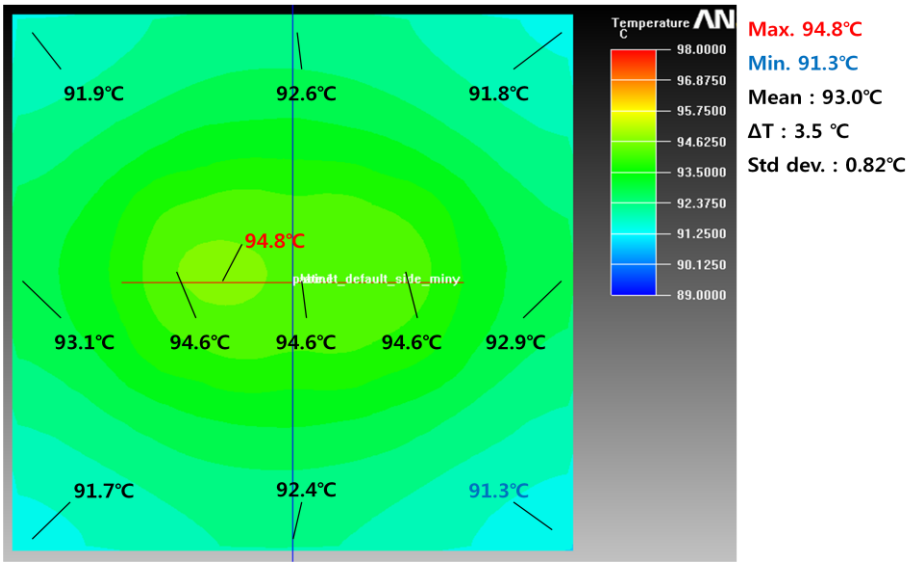
그림 4.6. 적층 구조 및 각 Layer에서의 열원 분포 (a) 전면, (b) 측면

4.2.2. Thermal Management 열 분석

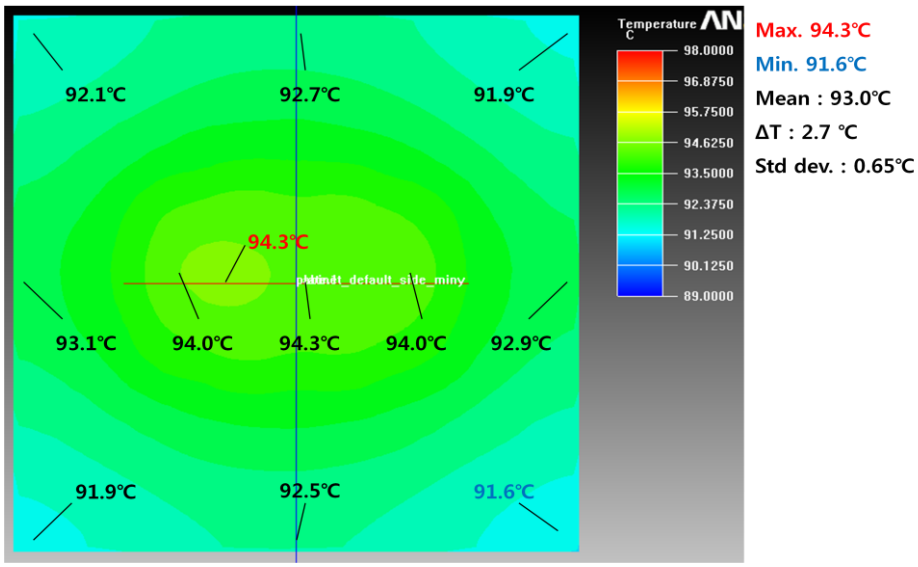
4.2.1 의 Thermal management 구조를 이용하여 그림 4.7 의 온도 분포를 얻을 수 있다.



(a)



(b)



(c)

그림 4.7. Thermal management 후의 온도 분포

표 4.3 에 Thermal management 전후의 결과를 비교하였다.

표 4.3. Thermal management 전후 결과

	Thermal management 전			Thermal management 후		
	Layer 1	Layer 2	Layer 3	Layer 1	Layer 2	Layer 3
최대 온도 [℃]	106.4	102.5	101.7	98.0	94.8	94.3
최소 온도 [℃]	96.8	97.9	98.1	90.0	91,3	91.6
표준 편차 [℃]	1.54	1.05	0.88	1.29	0.82	0.65

표에서 알 수 있듯이 평균 온도는 7℃ 감소하여 Thermal management 에 의한 온도 감소 효과를 확인하였다. 디바이스의 최대 온도는 Layer 1 에서 8.4℃, Layer 2 에서 8.1℃, Layer 3 에서 7.4℃ 감소하였고 최소 온도는 Layer 1 에서 6.8℃, Layer 2 에서 6.6℃, Layer 3 에서 6.5℃ 감소하였다. 즉, Dominant 한 열원을 가지고 있는 Layer 1 에서 온도가 균일해지는 효과가 큰 것으로 나타났다. Thermal management 후에는 각 Layer 에서 표준편차가 약 20-30% 감소하여 열 분산 효과가 있는 것으로 확인되었다.

제 5장 결론

본 논문에서는 3차원 집적회로의 열 문제를 해결하기 위하여 Thermal management 구조를 제안하고 열 문제를 고려한 칩 디자인을 위한 가이드라인을 제시하는 것을 목적으로 하였다. 면적 10×10 mm^2, 두께 50 μm인 3층 실리콘 웨이퍼에 프로세서와 메모리 Layer가 형성되어 있는 구조를 목표로 설정하여 ANSYS Icepak을 통한 열 분석을 하였다. 우선 단층 구조에서 열 분산기, 열 통로, 열 비아의 열 분산 효과를 확인하였다. 각각의 요소가 열원의 온도에 미치는 영향을 파라미터에 따라 경향성을 파악하여 3차원 집적회로에 적용하였다. 열 분산기는 열 전도도가 1000 W/m-K인 CVD 다이아몬드라고 가정하였고, 두께에 따른 열원의 온도가 변화하는 경향성을 확인하였다. 열 비아는 100×100 μm^2의 면적에 간격이 200 μm로 고정한 상태에서 칩 다이의 위치 및 비아의 수에 따른 온도 경향성을 확인하여 최적의 상태를 결정하였다. 동일한 수에 대하여 열 비아는 열원에 최대한 가까이 배치하는 것이 좋으며 비아 수가 많아지더라도 열원에서 멀리 떨어진 곳의 비아는 온도 감소에 큰 영향을 미치지 않기 때문에 비아의 수를 조정할 수 있다. 열 통로는 쓰이지 않는 실리콘 웨이퍼의 백 사이드를 활용하여 열 저항을 낮추려는 목적으로 제안하였다. 열 통로는 열 전도도가 388 W/m-K인 구리가 채워진 것으로 가정하였으며, 두께와 폭 및 패턴의 모양에 따

른 열원의 온도 변화를 확인하였다. 열 통로가 실리콘 웨이퍼에서 차지하는 부피가 커질 수록 온도 감소 효과가 커지며, Heat flow를 고려하여 열 통로를 배치해야만 동일한 부피에 대해서 온도 감소 효과가 크다.

제안된 Thermal management 구조에 의하여 3차원 집적회로의 최대 온도는 8.4℃까지 감소하였고 온도 분포가 균일해져 온도 기울기가 감소 하였다.

참고문헌

[1] M. Aoyagi, "Status of 3D-IC Technology Research and Development in Japan", TIPP 3D Satellite workshop, Jun. 2011.

[2] T. Fukushima, T. Tanaka, M. Koyanagi, “Thermal Issues of 3D ICs”, Proceedings: Design for Reliability Workshop – Stress Management for 3D ICs Using Through Silicon Vias, SEMATECH, 2007.

[3] S. Bhattacharya and D. L. Kwong, "3D IC Future in Singapore", SEMICON Singapore, 2011.

[4] G. Xu, B. Guenin, and M. Vogel, “Extension of air cooling for high power processors”, Inter Society Conference on Thermal Phenomena, pp.186-193, 2004.

[5] J. Appleyard, “Higher-order CFD and interface tracking methods on highly-Parallel MPI and GPU systems”, Computers & Fluidics 46, 101-105, 2011.

[6] M. Steuwer, “SkelCL - A Portable Skeleton Library for High-Level GPU Programming”, 2011.

[7] M. Hulkkonen, “Graphics Processing Unit Utilization in Circuit Simulation”, 2011.

[8] S. Ghosh, “Extremely high thermal conductivity of graphene: Prospects for thermal management applications in nanoelectronic circuits”,

Applied Physics Letters 92, 2008.

[9] C. S. Nor Azwadi, C. K. Goh and M. Y. Afiq Witri, "Computational Analysis of Heat Flow in Computer Casing", The 4th International Meeting of Advances in Thermofluids (IMAT 2011), AIP Conf. Proc. 1440, 199-208, 2012.

[10] M. A. Mussa, S. Abdullah, C. S. Nor Azwadi and N. Muhamad. "Simulation of Natural Convection Heat Transfer in an Enclosure by the Lattice Boltzmann Method", Computers & Fluids, 11, pp. 162-168, 2011,

[11] Report of a DTI Global Watch Mission, "Developments and trends in thermal management technologies-a mission to the USA", Dec 2006.

[12] V. Venkatadri, B. Sammakia, K. Srihari, D. Santos, "A Review of Recent Advances in Thermal Management in Three Dimensional Chip Stacks in Electronic Systems", Journal of Electronic Packaging, Vol. 133, Dec 2011.

[13] D. A. Alonso, "Thermal modeling and management for 3D MPSoCs with active cooling", ARTIST Summer School, Autrans, France, 2010.

[14] T. Chaowasakoo, T. H. Ng, J. Songninluck, M. B.Stern and S. Ankireddi, "Indium Solder as a Thermal Interface Material Using Fluxless Bonding Technology", 25th IEEE SEMI-THERM Symposium, 2009.

[15] H. Xu, V. F. Pavlidis, and G. Micheli, "Analytical Heat Transfer Model for Thermal Through-Silicon Vias", Design, Automation & Test in Europe Conference & Exhibition (DATE), 14-18, March 2011.

[16] 최광성, 엄용성, 임병옥, 배현철, 문종태, "TSV 기술을 이용한 3D IC 개발 동향", 전자통신동향분석 제25권 제5호 2010년 10월.

[17] R. Edgar, "Getting the Cooling to Where it’s Needed", Chip Scale Review May/June 2011.

[18] X. Luo, Z. Mao, S. Liu, "Analytical thermal resistances model for eccentric heat source on rectangular plate with convective cooling at upper and lower surfaces", International Journal of Thermal Sciences, 50, 2198-2204, 2011.

[19] S. Lee, S. Song, K. P. Moran, "Constriction/spreading resistance model for electronics packaging", ASME/JSME Thermal Engineering Conference: Volume 4, ASME 1995.

[20] Y.S. Muzychka, M.M. Yovanovich and J.R. Culham, "Thermal spreading resistances in rectangular flux channels Part I – Geometric equivalences", 36th AIAA Thermophysics Conference June 23-26 Orlando, Florida, 2003.

[21] Y.S. Muzychka, J.R. Culham and M.M. Yovanovich, "Thermal spreading resistances in rectangular flux channels Part II – Edge cooling", 36th AIAA Thermophysics Conference, June 23-26 Orlando, Florida, 2003.

[22] M. M. Yovanovich, "General thermal constriction parameter for annular contacts on circular flux tubes, "AIAA Journal, Vol. 14, No. 6, pp. 822-824, June, 1976.

[23] V. Kadambi and N. Abuaf, "An Analysis of the Thermal Response of Power Chip Packages", IEEE Transactions on Electron devices, Vol. ED-32, NO. 6, Jun. 1985.

[24] S. Onkaraiah, C. S. Tan, "Mitigating Heat Dissipation and Thermo-Mechanical Stress Challenges in 3-D IC Using Thermal Through Silicon Via (TTSV)", Electronic Components and Technology Conference, 2010.

[25] H. W. Shin, H. S. Lee, S. B. Jung, "Analysis on Thermal Resistance of LED Module with Various Thermal Vias", Physical and Failure Analysis of Integrated Circuits (IPFA), 4-7 July 2011.

[26] L. Hwang, K. L. Lin, M. D. F. Wong, "Thermal Via Structural Design in Three-Dimensional Integrated Circuits", Quality Electronic Design (ISQED), 2012.

[27] X. Li, Y. Ma, X. Hong, S. Dong, J. Cong, "LP Based White Space Redistribution for Thermal Via Planning and Performance Optimization in 3D ICs", Design Automation Conference, 2008. ASPDAC 2008. Asia and South Pacific, 21-24 March 2008.

[28] J. T. Yan, Y. C. Chang and Z. W. Chen, "Thermal Via Planning for Temperature Reduction in 3D ICs", SOCC, IEEE, 27-29 Sept. 2010.

[29] H. Yu, Y. Shi, L. He, T. Karnik, "Thermal Via Allocation for 3-D ICs Considering Temporally and Spatially Variant Thermal Power", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 16, No.

12, Dec. 2008.

[30] M. Ni, Q. Su, Z. Tang, J. Kawa, “An Analytical Study on the Role of Thermal TSVs in a 3DIC Chip Stack”, Date Workshop for 3D Integration, 2010.

[31] E. G. Colgan, P. Andry, B. Dang, J. H. Magerlein, J. Maria and R. J. Polastre, “Measurement of Microbump Thermal Resistance in 3D Chip Stacks”, 28th IEEE SEMI-THERM Symposium, 2012.

[32] K. Matsumoto, S. Ibaraki, K. Sueoka, K. Sakuma, H. Kikuchi, Y. Orii, F. Yamada, “Experimental Thermal Resistance Evaluation of a Three-dimensional (3D) Chip Stack, Including the Transient Measurements”, 28th IEEE SEMI-THERM Symposium, 2012.

[33] S. Jin, et al., “Processing and properties of CVD diamond for thermal management”, Journal of Electronic Materials, Vol. 27, No. 11, 1998.

[34] E. M. Vinard, C. T. Dia, V. Bissuel, N. Laraqi, O. Daniel, “Dynamic Compact Thermal Model For Stacked-Die Components”, 28th IEEE SEMI-THERM Symposium, 2012.

[35] L. Campbell, P. Tuma, “Numerical Prediction of the Junction-to-Fluid Thermal Resistance of a 2-Phase Immersion-Cooled IBM Dual Core POWER6 Processor”, 28th IEEE SEMI-THERM Symposium, 2012.

[36] H. Oprins, V. O. Cherman, "Modeling and Experimental Characterization of Hot Spot Dissipation in 3D Stacks", Electronics coolings, June, 2012.

[37] M. J. Biercuk, et al. , “Carbon nanotube composites for thermal management”, Applied Physics Letters Vol. 80, No. 15, 2002.

[38] R. Courtland, “3-D Chips Grow Up”, ieee spectrum, Jan. 2012.

[39] B. A. Cola, et al., “Photoacoustic characterization of carbon nanotube array thermal interfaces”, Journal of Applied Physics 101, 2007.

[40] A. Ziabari, A. Shakouri, “Fast Thermal Simulations of Vertically Integrated Circuits (3D ICs) Including Thermal Vias”, 13th IEEE ITHERM Conference, 2012.

[41] P. Ma, et al., “Thermal properties of metal-coated vertically aligned single-wall nanotube arrays”, Journal of Heat Transfer, 2008.

[42] A. E. Aliev, et al., “Thermal conductivity of multi-walled carbon nanotube sheets: radiation losses and quenching of phonon modes”, Nanotechnology 21, 2010.

[43] W. Lin, et al., “ Molecular phonon couplers at carbon nanotube/substrate interface to enhance interfacial thermal transport”, CARBON 48, 2010.

[44] M. Ma, Z. Liu, Y. Li, “Thermal Performance of High Power LED Package Based on LTCC”, International Conference on Electronic Packaging Technology and High Density Packaging , 2011.

[45] J. H. Lau, T. G. Yue, “Effects of TSVs (through-silicon vias) on thermal performances of 3D IC integration system-in-package (SiP)”, Microelectronics Reliability 52, 2660-2669, 2012.

[46] J. Cong and Y. Zhang, “Thermal Via Planning for 3D ICs”, Proc. of IEEE/ACM ICCAD, Nov. 2005.

[47] W. Jang, et al., “Thickness-Dependent Thermal Conductivity of Encased Graphene and Ultrathin Graphite”, NANO LETTERS, 2010.

[48] P. Delhaes, *Graphite and Precursors*, CRC Press., ISBN 90-5699-228-7, 2001.

[49] G. A. Slack, “Anisotropic thermal conductivity of pyrolytic graphite”, Physical Review Vol.127, No.3, 1962.

[50] S.Ghosh, “Dimensional crossover of thermal transport in few-layer graphene materials”, Nat. Mater. 2010.

[51] T. Brunschwiler, S. Paredes, U. Drechsler, and B. Michel, “Heat-removal performance scaling of interlayer cooled chip stacks”, Thermal and Thermomechanical Phenomena in Electronic Systems, 2010.

[52] R. Prasher, “Graphene Spreads the Heat”, Science Vol 328, 2010.

[53] Y. Chen, E. Kursun, D. Motschman, C. Johnson, Y. Xie, “Analysis and Mitigation of Lateral Thermal Blockage Effect of Through-Silicon-Via in 3D IC Designs”, ISLPED '11, 2011.

[54] J. H. Seol, I. J., A. L. Moore, L. Lindsay, Z. H. Aitken, M. T. Pettes, X. Li, Z. Yao, R. Huang, D. Broido, N. Mingo, R. S. Ruoff, L. Shi, “Two-Dimensional Phonon Transport in Supported Graphene”, Science vol 328, 213, 2010.

[55] W. Fan, X. Liu, J. Mariner, “Thermal Pyrolytic Graphite Composite with Coefficient of Thermal Expansion Matching for Advanced Thermal Management”, IEEE MTT-S International, 2012.

[56] S. Chen, A. L. Moore, W. Cai, J. W. Suk, J. An, C. Mishra, C. Amos, C. W. Magnuson, J. Kang, L. Shi, R. S. Ruoff, ACS Nano, vol 5, 321-328, 2011.

[57] R. J. Lemak, D. Pickrell, “High performance pyrolytic graphite heat spreaders: Near isotropic structures and metallization”, IMAPS Advanced Technology Workshop on Thermal Management 2008, Palo Alto, CA USA October13-16, 2008.

[58] Y. H. Lee and J. H. Lee, “Scalable growth of free-standing graphene wafers with copper(Cu) catalyst on SiO2/Si substrate: Thermal conductivity of the wafers”, Applied Physics Letters 96, 083101 2010.

[59] D. Kim, L. Zhu, C. S. Han, J. H. Kim, S. Baik, “Raman Characterization of Thermal Conduction in Transparent Carbon Nanotube Films”, Langmuir 27, 14532-14538, 2011.

[60] R. Cross, B. A. Cola, T. Fisher, X. Xu, K. G. S. Graham, “A metallization and bonding approach for high performance carbon nanotube thermal interface materials”, Nanotechnology 21, 2010.

[61] N. K. Mahanta, A. R. Abramson, M. L. Lake, D. J. Burton, J. C. Chang, H. K. Mayer, J. L. Ravine, “Thermal conductivity of carbon nanofiber mats”, Carbon 48, 4457-4465, 2010.

[62] Y. J. Chen, T. F. Young, “Thermal stress and heat transfer characteristics of a Cu/diamond/Cu heat spreading device”, Diamond & Related Materials 18, 283-286, 2009.

[63] P. H. Chen, C. L. Lin, Y. K. Liu, T. Y. Chung, and C. Y. Liu, “Diamond Heat Spreader Layer for High-Power Thin-GaN Light-Emitting Diodes”, IEEE Photonics Technology Letters, Vol. 20, NO. 10, MAY 15, 2008.

[64] M. Alomari, M. Dipalo, S. Rossi, M. A. D. Poisson, S. Delage, J. F. Carlin, N. Grandjean, C. Gaquiere, L. Toth, B. Pecz, E. Kohn, “Diamond overgrown InAlN/GaN HEMT”, Diamond & Related Materials 20, 604-608, 2011.

[65] J. E. Graebner, S. Jin, G. W. Kammlott, J. A. Herb, C. F. Gardinier, “Large anisotropic thermal conductivity in synthetic diamond films”, Letters to Nature, Vol 359, 1 October, 1992.

[66] J. L. Ayala, A. Sridhar, V. Pangracious, D. Atienza, and Y. Leblebici, " Through Silicon Via-Based Grid for Thermal Control in 3D Chips", Nano-net, Vol. 20, pp 90-98, Springer, 2009.

[67] B. Black, M. Annavaram, N. Brekelbaum, J. DeVale, L. Jiang, G. H. Loh, D. McCauley, P. Morrow, D. W. Nelson, D. Pantuso, P. Reed, J. Rupley, S. Shankar, J. Shen, and C. Webb, "Die Stacking (3D) Microarchitecture", 39th International Symposium on Microarchitecture, Dec. 2006.

[68] S. Srinivasan, S. Kundu, "Functional Test Pattern Generation for Maximizing Temperature in 3D IC Chip Stack", 13th Int'l Symposium on

Quality Electronic Design, 2012.

[69] S. Reda, "Improved Thermal Tracking for Processors Using Hard and Soft Sensor Allocation Techniques", IEEE Transactions on Computers, Vol. 60, No. 6, June 2011.

[70] H. Saito, M. Nakajima, T. Okamoto, Y. Yamada, A. Ohuchi, N. Iguchi, "A Chip-Stacked Memory for On-Chip SRAM-Rich SoCs and Processors", IEEE Journal of Solid-State Circuits, Vol. 45, No. 1, Jan. 2010.

[71] S. Ma, X. Sun, Y. Zhu, Z. Zhu, Q. Cui, M. Chen, Y. Xiao, J. Chen, M. Miao, W. Lu, Y. Jin, "Design and Process Development of a Stacked SRAM Memory Chip Module with TSV Interconnection", IEEE 62nd Electronic Components and Technology Conference (ECTC), 2012.

[72] T. Fukushima, Y. Ohara, M. Murugesan, J.-C. Bea, K.-W. Lee, T. Tanaka and M. Koyanagi, "Self-Assembly Technologies with High-Precision Chip Alignment and Fine-Pitch Microbump Bonding for Advanced Die-to-Wafer 3D Integration", IEEE Electronic Components and Technology Conference, 2011.

[73] JEDEC Standard No. 51-2A.

[74] JEDEC Standard No. 51-9.

ABSTRACT

Seonghun Jang
Department of Electrical Engineering and Computer Science
Seoul National University

In this thesis, a design of a heat spreading structure for a thermal management in 3D ICs and a guideline for chip design concerning heat problems is suggested. 3-stack chip with an area of 10×10 mm^2 and a thickness of 50 μm which comprises a processor layer and two memory layers is thermally analyzed by simulation results. Heat spreading effect of heat spreader and thermal via is verified in a single layer silicon wafer and heat path is suggested for performance enhancement. The effect of each element on the maximum temperature in a chip is analyzed with a parameter variation in order to apply to a 3D IC. Heat spreader material is assumed a CVD diamond of which thermal conductivity is 1000 W/m-K and temperature variation is analyzed with a variable thickness. Thermal via, which has an area of 100×100 μm^2 and a pitch of 200 μm, is also analyzed for optimum number and position.

Heat path is suggested in order to lower thermal resistance using a backside of a silicon wafer. Heat path material is assumed copper which has a thermal conductivity of 388 W/m−K and temperature variation is analyzed with a variable thickness, width and pattern.

Using suggested design, the maximum temperature in a 3D IC is decreased up to 8.4℃ and temperature distribution is more uniform resulting in less temperature gradient.

Keywords : Heat spreader, Thermal via, Heat path

Student Number : 2011−20921