



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

고전력 소자용 AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMTs의  
게이트 절연막과 표면처리에 관한 연구

**A Study on Gate Insulator and Surface treatments  
of AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMTs for High Power Devices**

2015 년 2 월

서울대학교 대학원  
전기 컴퓨터 공학부  
류 호 진

공학석사학위논문

고전력 소자용 AlGaN/GaN MIS-HEMTs의  
게이트 절연막과 표면처리에 관한 연구

**A Study on Gate Insulator and Surface treatments  
of AlGaN/GaN MIS-HEMTs for High Power Devices**

2015 년 2 월

서울대학교 대학원  
전기 컴퓨터 공학부  
류 호 진

# 초 록

본 논문에서는 고전력, 고전압 회로에 응용되는 AlGaIn/GaN MIS-HEMT 의 forward gate leakage current 와 관련하여 게이트 절연막과 표면처리에 관한 연구를 진행하였다.

AlGaIn/GaN HEMTs 는 electron density, high electron mobility, thermal conductivity 등의 특성이 우수하여 고효율 전력소자의 유망한 후보이다.

High speed power switching application 을 위해서 E-mode 동작은 비용효과와 회로 단순화 그리고 신뢰성 문제 등을 위해서 크게 요구되는 부분이다. Gate recess 를 통한 normally-off MIS-HEMT 의 경우, 절연막내의 positive fixed charges 로 인해 큰 게이트 전압 swing 과 함께 high threshold voltage 를 갖기가 힘들다. 또한 소비전력을 최소화시키기 위해서, 작은 forward gate leakage 는 전력소자를 위해 필수적인 특성이다. 그러므로 MIS-HEMT 의 고품질 게이트 절연막에 관한 연구는 세계적으로도 계속되고 있다.

막 증착 조건을 달리하여 ICP-CVD SiN<sub>x</sub> 와 PEALD SiN<sub>x</sub> 의 전기적인 특성을 이전보다 개선하였고 이를 통하여 우수한 전기적 특성을 갖는 thick PEALD/ICPCVD SiN<sub>x</sub> dual 게이트 절연막을 얻었다. 개선된 게이트 절연막을 사용함으로써, E-mode 동작 뿐만 아니라 low forward gate leakage current, large gate swing, 개선된 pulsed I-V 특성을 갖는 AlGaIn/GaN MIS-HEMT 를 제작하였다.

본 연구 결과를 통해 AlGaIn/GaN MIS-HEMT 의 gate 특성 향상을 얻었고, 이는 보다 신뢰성 있는 고풍력 고전압 소자로 활용될 수 있을 것이다.

주요어 : AlGaN/GaN MIS-HEMT , normally-off , dual gate insulator , forward gate  
leakage

학 번 : 2012-23209

# 목 차

<b>제 1 장 서론</b>	<b>1</b>
1.1 GaN Power HEMTs 개요.....	1
1.2 MIS-HEMTs Issue 와 연구방향 .....	3
<b>제 2 장 Plasma Enhanced ALD SiN<sub>x</sub> 최적화</b>	<b>8</b>
2.1 PEALD SiN <sub>x</sub> Growth rate 개선.....	8
2.1.1 SiH <sub>4</sub> adsorption step 최적화 .....	10
2.1.2 N <sub>2</sub> plasma step 최적화 .....	11
2.2 Thin PEALD SiN <sub>x</sub> 의 전기적 특성개선 .....	14
<b>제 3 장 ICP-CVD SiN<sub>x</sub> 최적화</b>	<b>17</b>
<b>제 4 장 Thick PEALD/ICP-CVD SiN<sub>x</sub> Dual Insulator</b>	<b>23</b>
<b>제 5 장 Gate Recessed Normally-off AlGaIn/GaN MIS-HEMTs</b>	<b>26</b>
5.1 Gate-last process for gate recessed MIS-HEMTs .....	26
5.2 측정과 결과 .....	27
5.2.1 I-V 특성 .....	27

5.2.2 Pulsed I-V 특성 .....	32
<b>제 6 장 결론 및 앞으로의 과제</b>	<b>35</b>
6.1 결론 .....	35
6.2 앞으로의 과제.....	36
<b>참고 문헌</b>	<b>37</b>

# 제 1 장 서 론

## 1.1 GaN Power HEMTs 개요

Si 기반 전력 시스템은 내열, 내압, 전력손실, 전력밀도 등에서 나타나는 많은 기술적인 한계를 드러냄에 따라 전력시스템 효율이 점차 떨어질 것으로 예상된다. GaN 는 다른 반도체 (Si, GaAs, InP)에 비해 매우 우수한 물질 자체의 특성을 갖고 있기 때문에, GaN 를 기반으로 한 전력 소자들은 높은 주파수와 높은 온도에서 동작 가능하다 [1], [2]. 특히, AlGaN/GaN high electron mobility transistors (HEMTs) 구조의 경우, AlGaN 와 GaN 사이의 lattice mismatch 로 발생하는 piezo effect 와 spontaneous polarization effect 로 인해 AlGaN/GaN 계면에 전자의 mobility 가 매우 크고, density 매우 높은 two-dimensional electron gas (2DEG)가 형성된다 [3].

	Si	GaAs	InP	GaN
$E_g$ (eV)	Indirect 1.1	Direct 1.4	Direct 1.34	Direct 3.4
$\mu_e$ (cm <sup>2</sup> /Vs)	1400	8500	5400	1800
V <sub>sat</sub> (10 <sup>7</sup> cm/s)	1	2	2.2	3
BreakDown Voltage (10 <sup>6</sup> V/cm)	0.3	0.4	0.5	5
Thermal conductivity (W/cmK)	1.5	0.5	0.7	1.5

그림 1.1 고주파, 고출력 위해 사용되는 물질들의 주요 특성



따라서 AlGaN/GaN HEMT devices 는 Si 전력소자들과 비교하여 빠른 스위칭 속도, 큰 전류 그리고 높은 breakdown voltage 특성으로 인해 작은 전력손실과 높은 전력 스위칭 특성을 갖는 소자를 구현할 수 있다.

한편 전력시스템에서 시스템의 안전성과 구동회로의 단순화를 위해서는 normally-off 동작이 요구되고 이를 위한 접근법으로 gate recess [4] 와 fluorine plasma 처리 [5], [6] 등 그림 1.2 와 같은 다양한 방법들이 존재한다 . 본 연구에서는 normally-off 를 위해 게이트 부분을 etching 하는 gate-recessed MIS-HEMT 구조를 연구하였다.

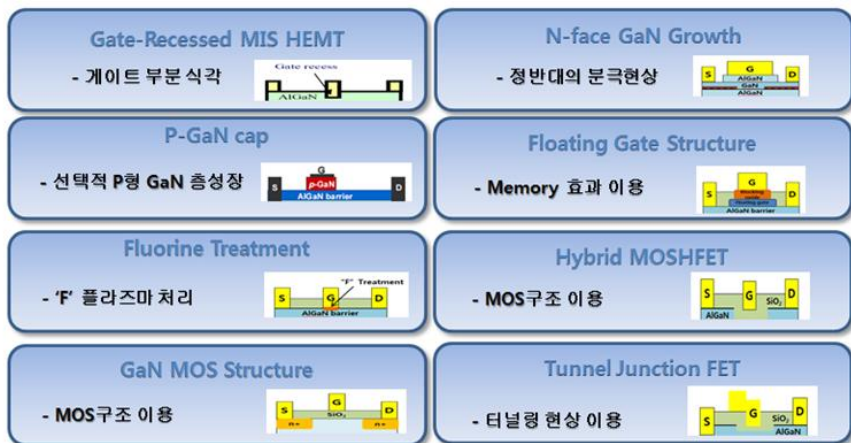


그림 1.2 Normally-off device 위한 다양한 방법들

## 1.2 MIS-HEMTs Issue 와 연구방향

Normally-off recessed MIS-HEMT device를 만들기 위한 본 연구에서는 서로 다른 구조를 갖는 2가지 type의 device가 있다. 그림 1.3과 같이, passivation 막과 gate 절연막이 동일하게 증착되는 구조를 갖는 device가 gate-first이고, passivation 막과 gate 절연막이 구분되어 두꺼운 passivation 막을 갖는 구조의 device가 gate-last이다.

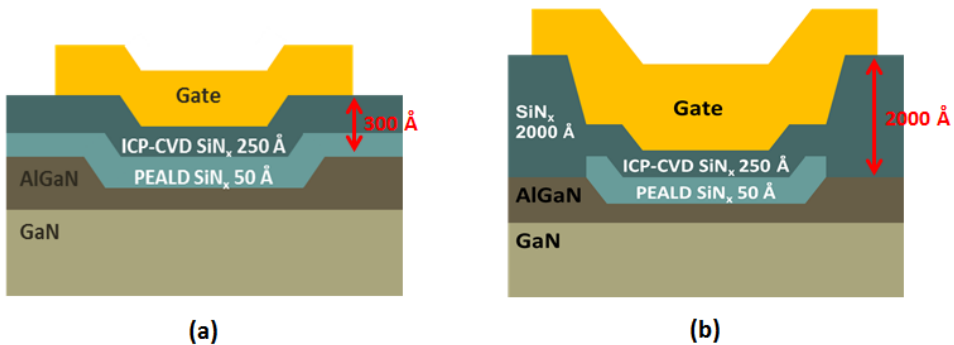


그림 1.3 (a) gate- first process와 (b) gate- last process의 구조

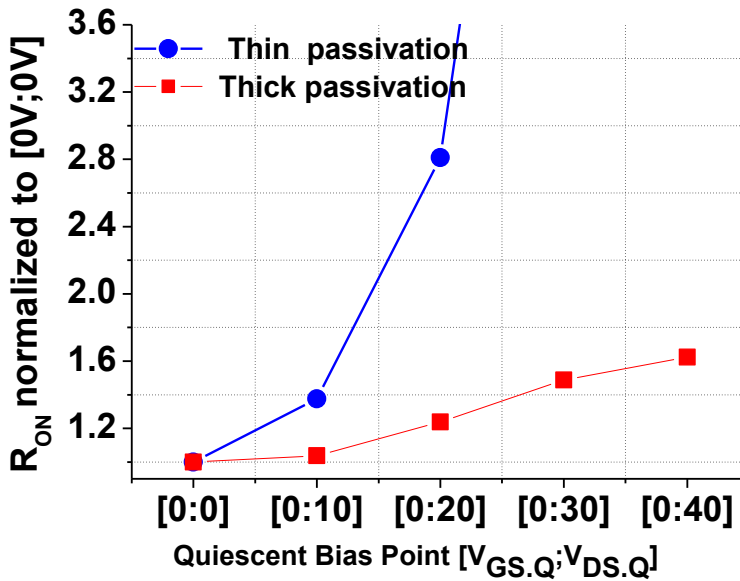
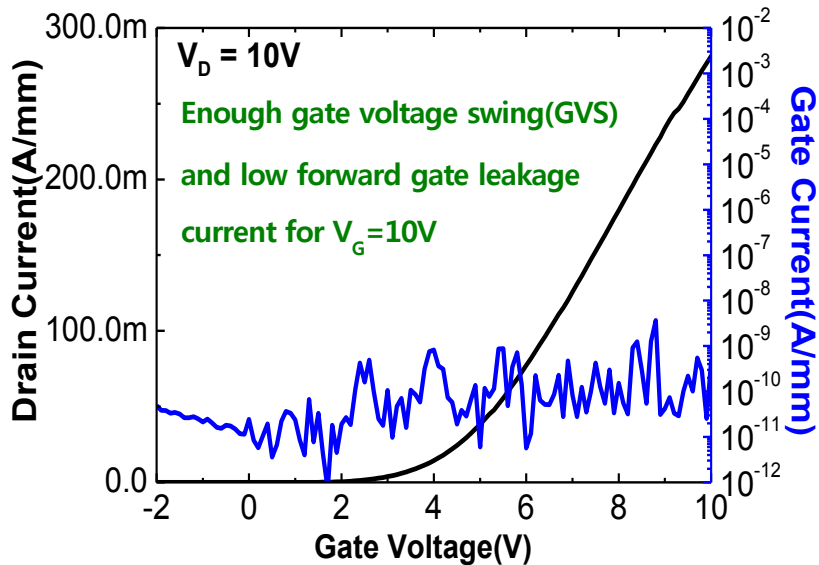


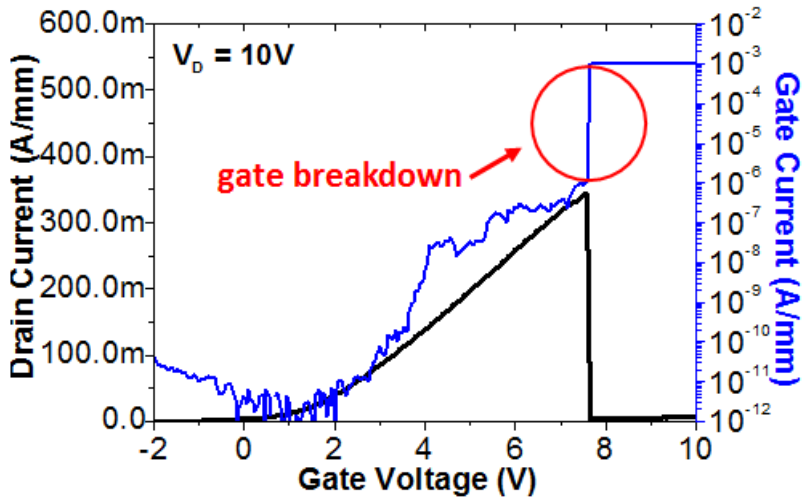
그림 1.4 Gate-first 와 gate-last device의 pulsed I-V 특성 비교

두 구조의 가장 큰 차이는 passivation 막의 두께로 gate-first 의 경우는 약 300 Å의 얇은 두께를 가지는 반면 gate-last 의 경우는 약 2000 Å의 두꺼운 두께를 갖는다.

두 소자의 current collapse 특성을 비교한 그림 1.4 에서 볼 수 있듯이 gate-last 에서 pulsed I-V 특성이 gate-first 보다 매우 개선되었다. 이는 두꺼운 SiN<sub>x</sub> passivation 막에 의한 water blocking 효과 [7], [8] 또는 gate-drain access region 의 field distribution 효과 [9] 또는 tensile stress 로 2DEG confinement [10] 의 증가로 생각된다. 따라서 스위칭 특성과 관련된 On-resistance 특성 고려시, gate-first 보다는 gate-last 가 더 적합한 방법이라고 볼 수 있다. 하지만 gate-last process 로 제작된 소자에서 그림 1.5 와 같은 forward gate leakage 증가 문제가 발생하였다.



(a)



(b)

그림 1.5 Transfer curves of (a) gate first process and (b) gate last process.

Two process used the same gate dielectric as  $\text{SiN}_x$  30nm.

두 가지 type (gate-first 와 gate-last)의 소자에 게이트 절연막으로써 동일 조건을 갖는 30nm  $\text{SiN}_x$  (PEALD  $\text{SiN}_x$  5nm/ ICPCVD  $\text{SiN}_x$  25nm)를 증착한 경우, gate-first 에서는 그림 1.5 (a)에서와 같이  $V_G=10$  V 까지의 안정한 동작과 함께 작은 forward gate leakage current leakage current ( $I_G < 1\text{nA/mm}$ ) 특성을 나타낸다. 하지만 동일한 게이트 절연막을 증착한 gate-last 의 경우, 그림 1.5 (b)에서와 같이 forward gate leakage current 가  $V_G$  가 증가함에 따라 같이 증가하고, 결국에는 early gate breakdown 이 일어나는 것을 알 수 있다. Large gate leakage current 는 power amplifier 에서 잡음 생성과 off-state 에서의 추가적인

전력 소비를 발생시킴으로 gate leakage current 를 줄이는 것이 중요하다 [11], [12].

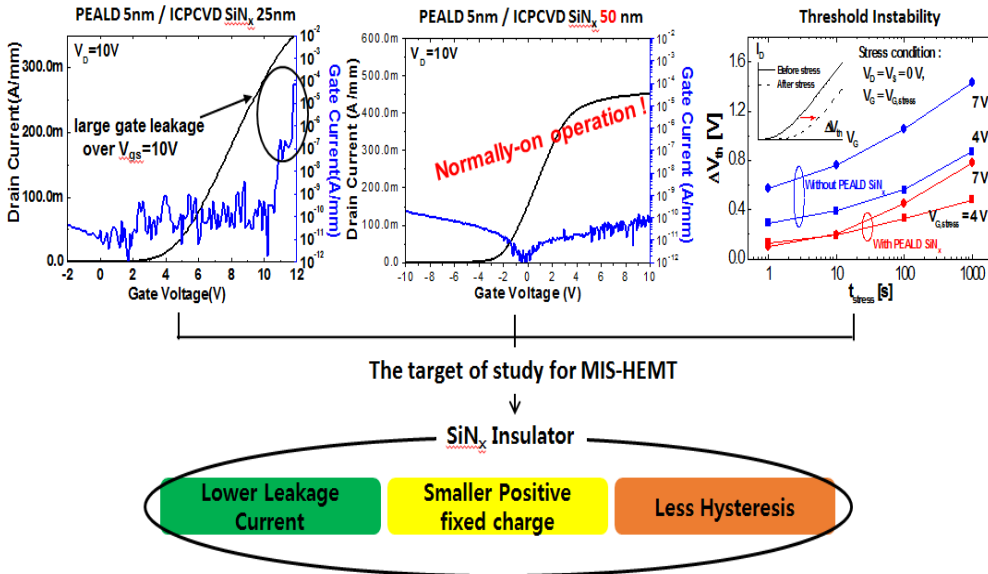


그림 1.6 기존 조건의 SiN<sub>x</sub> 게이트 절연막을 gate-first 에 적용한 경우와 게이트 절연막 연구방향

Forward gate leakage current 의 경우, Fowler-Nordheim tunneling (FNT), Poole-Frenkel emission (PFE), Trap-assisted tunneling (TAT) 등의 게이트 절연막을 통한 몇 가지 가능한 current transport 메커니즘이 있다 [13].

Gate-last process 에서 발생하는 forward gate leakage 증가는 gate-first process 와 다른 공정 순서로 인한 gate region 에서의 절연막의 구조적인 weak point 나 게이트 절연막 증착 전 산화막을 제거하기 위한 표면처리의 어려움 등으로 인한 것으로 생각된다. 이를 바탕으로 그림 1.6 에서와 같이 동일한

증착조건으로 두꺼운 게이트 절연막의 증착 (PEALD SiN<sub>x</sub> 5nm/ ICPCVD SiN<sub>x</sub> 25nm → PEALD SiN<sub>x</sub> 5nm / ICPCVD SiN<sub>x</sub> 50nm)을 시도하였으나 절연막 내 positive fixed charge 증가로 인해 normally-on 으로 동작하였다.

본 논문에서는 앞서 언급된 gate- last proces 에서 발생하는 forward gate leakage 증가 문제를 효과적으로 억제하기 위한 방법으로 두꺼운 게이트 절연막의 구현에 대해 초점을 맞추었다. 단순히 ‘두께만 두꺼운 절연막의 구현’이 아니라 작은 leakage current 특성과 함께, normally-off 동작을 위한 막 내부의 작은 positive fixed charge 를 가지면서도 신뢰성 위한 작은 hysteresis 특성을 갖는 고품질의 두꺼운 게이트 절연막 구현이 본 연구의 핵심이다.

## 제 2 장 Plasma Enhanced ALD SiN<sub>x</sub> 최적화

### 2.1 PEALD SiN<sub>x</sub> Growth rate 개선

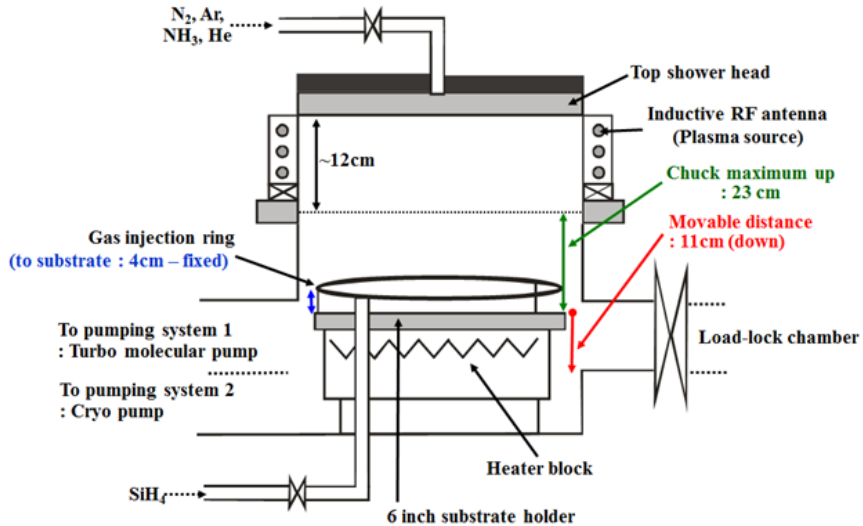


그림 2.1 Schematic of Remote ICP-CVD system

본 연구에서 PEALD SiN<sub>x</sub>는 GaN와의 계면 특성을 향상시키기 위한 목적으로 dual layer의 interfacial layer 로써 사용된다 [14]. PEALD SiN<sub>x</sub> 증착은 그림 1.7의 ICP-CVD system을 이용하였다. 본 장비의 가장 큰 특징은 장비 개조를 통해 wafer와 plasma 사이의 거리를 멀게 함으로써, remote 방식으로 SiN<sub>x</sub> 박막을 증착 할 수 있다는 것과 그 거리를 조절 할 수 있다는 것이다. (최대 거리: 34 cm, 최소 거리: 23 cm)

PEALD SiN<sub>x</sub> 증착을 위한 process gas로 silane (SiH<sub>4</sub>), nitrogen (N<sub>2</sub>) 그리고 Ar 을 사용하였다.

← 1 Cycle →

← N<sub>2</sub> plasma → purge SiH<sub>4</sub> adsorption purge

process steps	1	2	3	4	5
Ar [sccm]	5	5	0	0	5
N <sub>2</sub> [sccm]	50	50	50	75	50
SiH <sub>4</sub> [sccm]	0	0	0	25	0
Chamber pressure [mTorr]	20	20	0	70	0
Source RF power [W]	0	600	0	0	0
Time [sec]	10	30	5	10	5

그림 2.2 Conventional PEALD SiN<sub>x</sub>의 증착 조건

PEALD SiN<sub>x</sub> 은 N<sub>2</sub> plasma exposure 을 시작으로 gas purging, nonplasma activated SiH<sub>4</sub> exposure, gas purging 의 반복을 통해서 증착한다.

그림 2.2 은 conventional PEALD SiN<sub>x</sub>의 1cycle 증착조건을 나타낸 것으로 위 조건으로 증착된 PEALD SiN<sub>x</sub> 의 growth rate per cycle (GPC)는 0.2Å/cycle 이다.

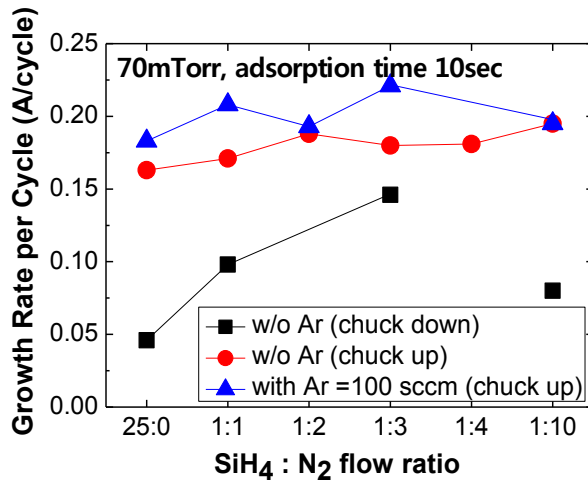
GPC 개선을 위해 N<sub>2</sub> plasma step 과 SiH<sub>4</sub> adsorption step 각각에 대해 최적화 실험을 하였다. 실험은 Sean W. King 논문 [15] 에서와 같이 먼저 Si bare 에 ICP-CVD SiN<sub>x</sub> 를 50nm 를 증착한다. 그리고 그 위에 PEALD SiN<sub>x</sub> 를 50 cycle 증착한 뒤 elipsometer 로 측정된 최종 두께에서 50nm 를 뺄셈하여 GPC 를 계산하였다.



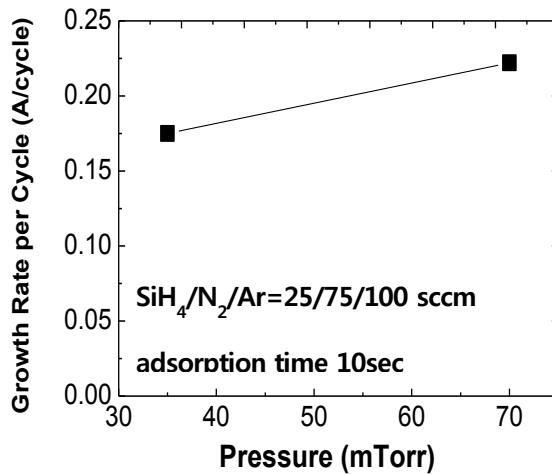
### 2.1.1 SiH<sub>4</sub> adsorption step 최적화

SiH<sub>4</sub>/N<sub>2</sub> gas 비율과 chuck 높이를 조절하여 최적화 실험을 하였다.

실험에서 N<sub>2</sub> plasma step은 N<sub>2</sub>/Ar = 5/50 sccm, 20 mTorr, 600 W, 15 sec 를 common condition으로 했다.



(a)



(b)

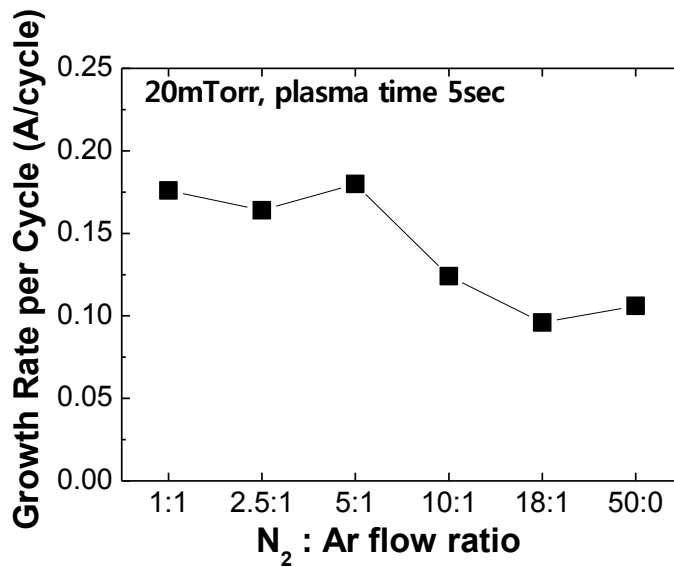
그림 2.3 GPC와 (a) chuck의 높이 그리고 gas 유량과의 관계

(b) 압력과의 관계

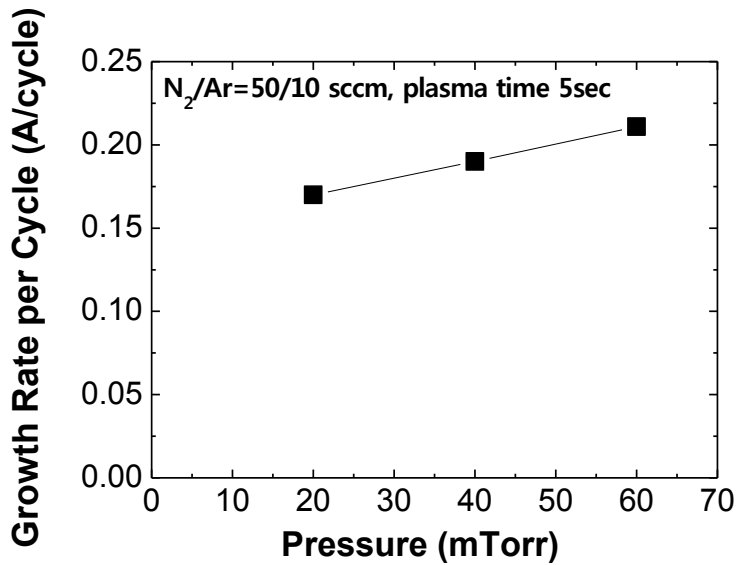
그림 2.3와 같이 chuck 높이를 가장 높게 (즉, wafer와 plasma사이의 거리가 최소거리인 경우)하고, Ar을 첨가한 경우 GPC가 개선되었다. 최종적으로  $\text{SiH}_4/\text{N}_2/\text{Ar} = 25/75/100$  scccm , 70 mTorr, 10 sec 에서 GPC가 최적화 되었다.

### 2.1.2 $\text{N}_2$ plasma step 최적화

$\text{SiH}_4$  adsorption step 실험에서와 유사하게  $\text{N}_2/\text{Ar}$  비율과 압력을 조절하여 실험하였다. 여기서  $\text{SiH}_4$  adsorption step은 chuck up &  $\text{SiH}_4/\text{N}_2/\text{Ar} = 25/75/100$  sccm, 70 mTorr, 10 sec 를 common condition으로 하였다.



(a)



(b)

그림 2.4 GPC와 (a) gas 유량과의 관계, (b) 압력과의 관계

그림 2.4에서와 같이  $N_2:Ar = 5:1$  (50/10 sccm) 인 경우, GPC가 가장 높았고, 압력이 높을수록 GPC는 증가했다.

ALD의 특징은 self-limiting deposition process이다 [16]. 따라서 GPC saturation을 위해  $SiH_4$  exposure 시간과  $N_2$  plasma 시간을 조절하여 GPC가 saturation되는 시간을 알아보았다.  $SiH_4$  exposure time에 대한 growth rate의 saturation 경우, 초기 조건인 10sec 에서 saturation 되었다. 그림 1.10은 nitrogen plasma time을 제외한 PEALD  $SiN_x$ 의 최적화된 조건을 나타낸 것이다.

← 1 Cycle →

← N<sub>2</sub> plasma →    purge    SiH<sub>4</sub> adsorption    purge

process steps	1	2	3	4	5
Ar [sccm]	10	10	0	100	5
N <sub>2</sub> [sccm]	50	50	50	75	50
SiH <sub>4</sub> [sccm]	0	0	0	25	0
Chamber pressure [mTorr]	60	60	0	70	0
Source RF power [W]	0	600	0	0	0
Time [sec]	10	variable	5	10	5

그림 2.5 GPC를 최적화 시킨 PEALD SiN<sub>x</sub> 의 증착 조건

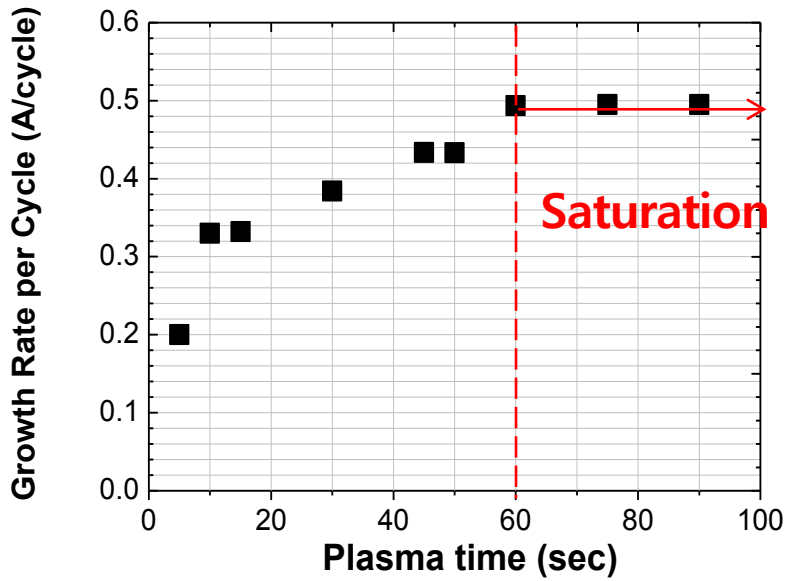


그림 2.6 PEALD SiN<sub>x</sub> growth rate vs N<sub>2</sub> plasma time

(with 10sec SiH<sub>4</sub> exposure)

$N_2$  plasma 시간과 growth rate saturation 관계의 경우는 그림 2.6과 같이  $N_2$  plasma 시간이 길어짐에 따라 growth rate이 증가하였고, 60 sec 이후부터는 GPC가 0.5 Å/cycle 에 saturation 되었다.

이는 GPC가 0.2 Å/cycle이었던 이전 조건에 비해서, 2.5배 증가한 것이다.

## 2.2 Thin PEALD $SiN_x$ 의 전기적 특성 개선

1장에서 설명한 것과 같이, 본 절연막 연구의 핵심은 개선된 전기적 특성을 갖는 절연막의 증착이다. 따라서 앞선 PEALD  $SiN_x$ 의 GPC를 개선한 조건으로 증착된 막의 전기적 특성 연구를 위해 그림 2.7와 같이 bulk resistivity가 1~10  $\Omega\cdot cm$  인 n-type Si에 MIS capacitor를 만들었다.

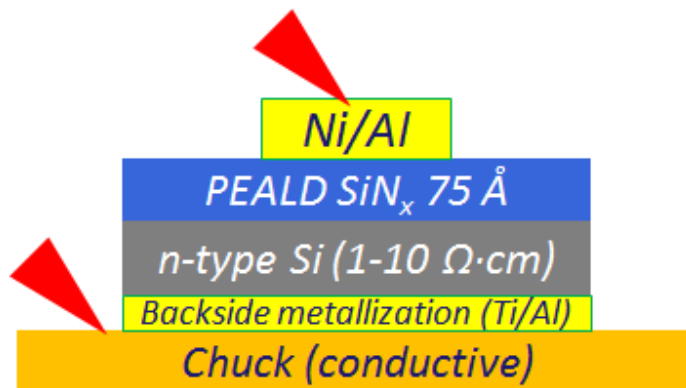
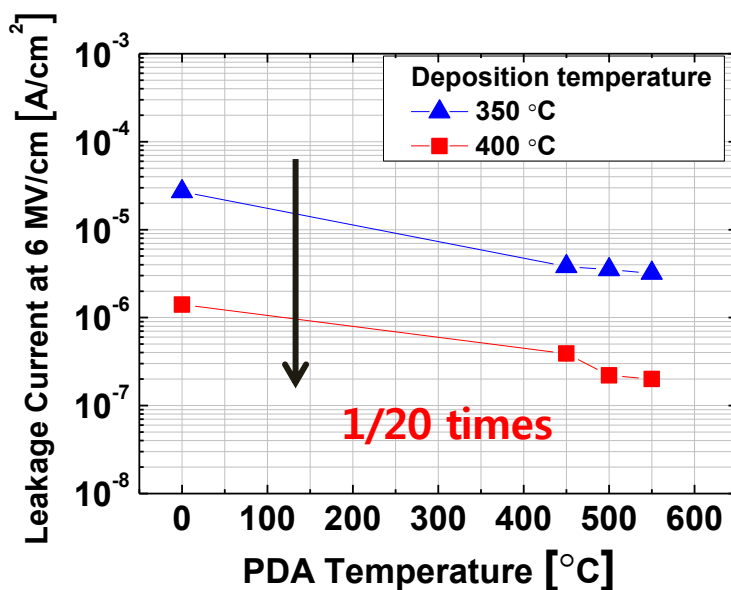


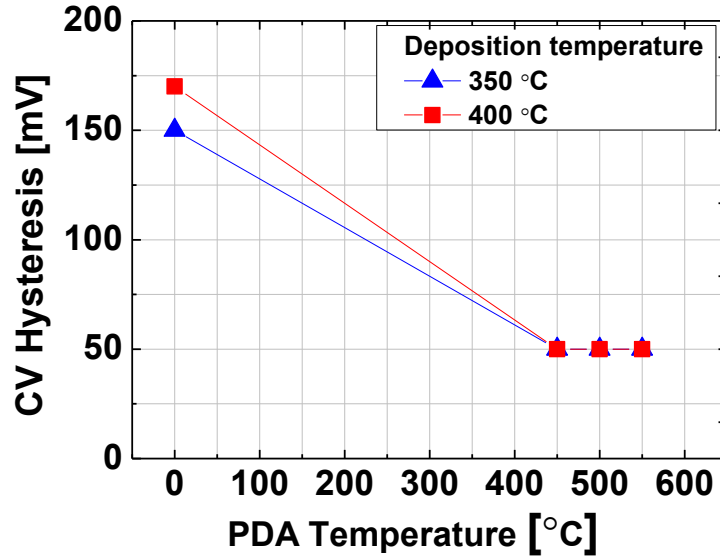
그림 2.7 Schematic view of MIS capacitor

막 증착 전 Si substrate cleaning은 ultrasonic에 Acetone/methanol/IPA 각 10min, SPM(4:1) 10min, 그리고 diluted HF(1:10) 10min을 처리하였다. 그 후, 바로 ICP-CVD chamber에 loading하여 PEALD SiN<sub>x</sub>막을 증착하였다. Anode electrode로 Ni/Al (=20/130 nm)을 evaporation한뒤 lift-off 공정을 진행하였고, 마지막으로 Ti/Al (=20/130 nm)을 sample backside에 cathode electrode로 evaporation하였다.

한편, SiN<sub>x</sub> 증착의 경우 보통 증착온도가 높을수록 전기적인 특성이 좋다고 알려져있다. 또한 열처리 역시 절연막의 전기적인 특성 개선을 위해 일반적으로 사용된다 [17]. Post-deposition annealing (PDA) 는 절연막 내의 오염물질을 줄이고 절연막의 밀도를 증가시킨다. 본 실험의 경우, 막 증착온도는 350 °C와 400 °C, 그리고 PDA는 N<sub>2</sub> 분위기에서 rapid thermal annealing (RTA)을 이용하여 10 min 동안 450 °C, 500 °C, 그리고 550 °C로 나누어 실험하였다.



(a) Current density-electrical field characteristics



(b) Capacitance-voltage characteristics

그림 2.8 Thin PEALD SiN<sub>x</sub>의 전기적 특성

그림 2.8은 증착온도와 PDA 온도에 따른 leakage current 와 C-V 특성을 나타낸다. 여기서 그림으로 나타내진 않았지만 conventional 조건으로 증착된 PEALD SiN<sub>x</sub>의 전기적 특성과 GPC를 개선시킨 조건으로 증착된 PEALD SiN<sub>x</sub>의 전기적 특성을 거의 유사했다. 그림에서 볼 수 있듯이, leakage current의 경우, 350 °C보다 400 °C 증착온도에서 증착된 막에서 뚜렷한 개선을 보였다. 결과적으로 400 °C 증착온도와 550 °C PDA에서 증착된 막이 가장 작은 leakage current density ( $2 \times 10^{-6}$  A/cm<sup>2</sup> at 6 MV/cm) 와 flat band hysteresis (50 mV)를 보였다.

### 제 3 장 ICP-CVD SiN<sub>x</sub> 최적화

Normally-off recessed MIS-HEMT의 게이트 절연막으로써 본 연구에서는 dual layer (PEALD SiN<sub>x</sub> / ICP-CVD SiN<sub>x</sub>)를 사용한다. 앞선 2장에서는 interfacial layer로써 사용되는 얇은 PEALD SiN<sub>x</sub>의 전기적 특성에 대한 것이었다면, 이번 장에서는 dual layer의 top layer로 사용될 ICP-CVD SiN<sub>x</sub>의 전기적 특성에 대한 것이다.

본 연구실에서 사용하였던 conventional ICP-CVD SiN<sub>x</sub>는 반응 gas로 SiH<sub>4</sub>과 NH<sub>3</sub>를 사용하고 각각의 유량은 SiH<sub>4</sub>/NH<sub>3</sub>=8/40 sccm이다. 또한 RF power와 압력 그리고 증착온도는 각각 300 W, 20 mTorr, 350 °C이다.

그림 3.2는 conventional ICP-CVD SiN<sub>x</sub>의 전기적 특성을 나타낸다. MIS capacitor 경우, 증착된 막이 300 Å의 ICP-CVD SiN<sub>x</sub>인 것을 제외하고는 2장에서와 같은 방법으로 제작되었다.

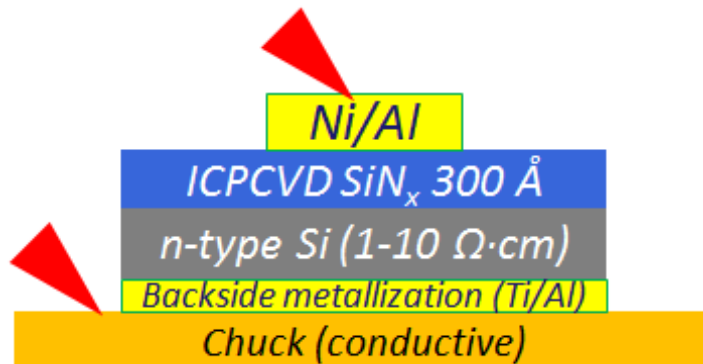
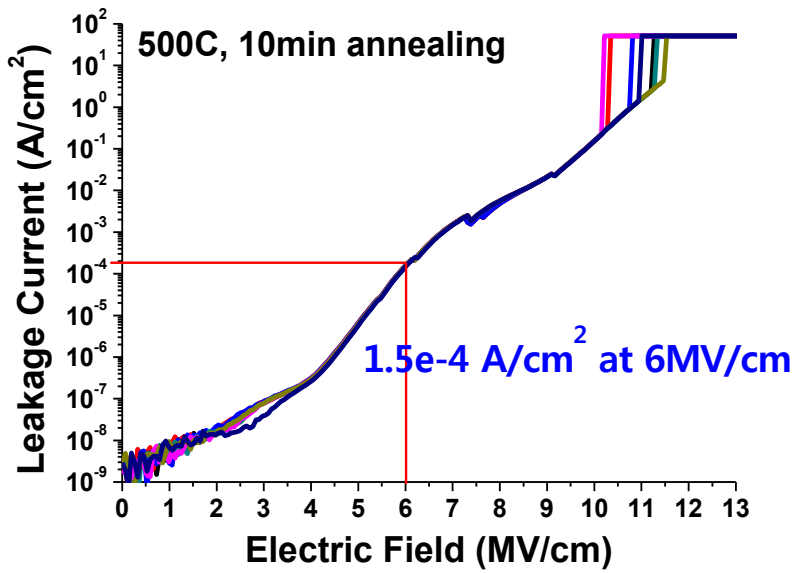
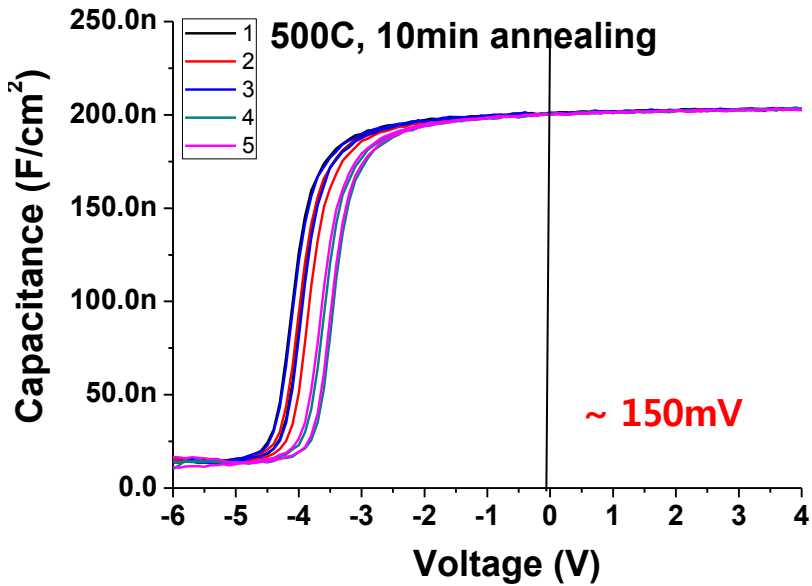


그림 3.1 Schematic view of MIS capacitor





(a) Current density-electrical field characteristics

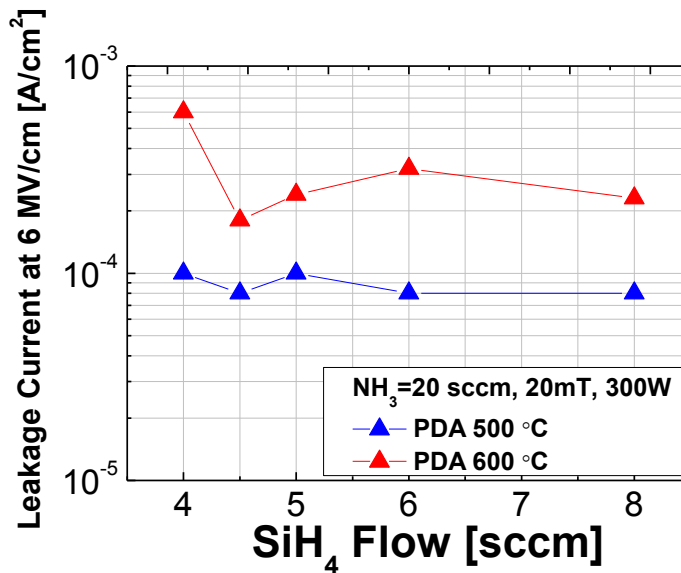


(b) Capacitance-voltage characteristics

그림 3.2 Conventional ICP-CVD  $\text{SiN}_x$  의 전기적 특성

측정된 conventional ICP-CVD SiN<sub>x</sub>의 leakage current density는  $1.5 \times 10^{-4}$  A/cm<sup>2</sup> at 6 MV/cm이고, flat band voltage hysteresis는 150 mV이다. Leakage current와 hysteresis 특성만을 놓고 보았을 때는 나쁘진 않지만 그림에서 볼 수 있듯이 threshold voltage ( $V_{th}$ )가 -4.4 V로 상당히 negative shift되어있다. 이것은 막 내부의 positive fixed charge가 많은 것으로 normally-off device를 만드는 입장에서 볼 때, 반드시 개선되어야 할 부분이다.

이와 관련하여 그림 1.6에서와 같이 conventional ICP-CVD SiN<sub>x</sub>을 더 두껍게 하여 device에 적용한 경우, 증가한 positive fixed charge로 인해 gate recess를 했음에도 불구하고 normally-on 동작을 하는 것을 볼 수 있다. 따라서 본 실험에서는 conventional ICP-CVD SiN<sub>x</sub>보다 개선된 leakage current와 hysteresis 특성은 물론 positive fixed charge가 적은 막을 증착하기 위한 조건을 찾는 데 노력하였다.



(a)

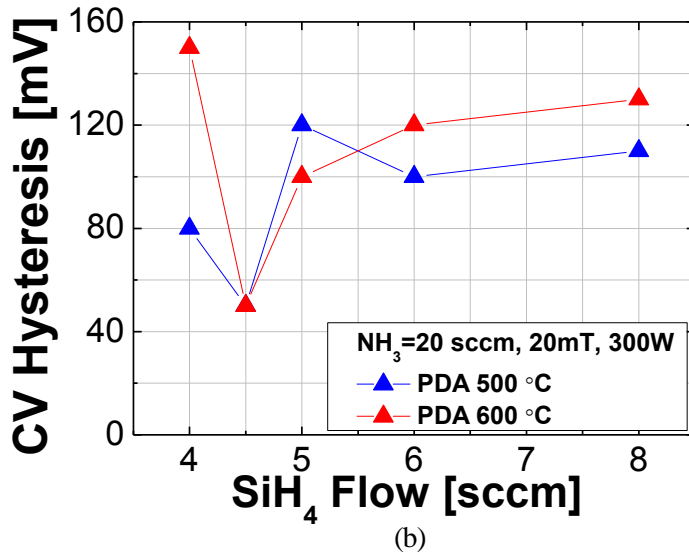
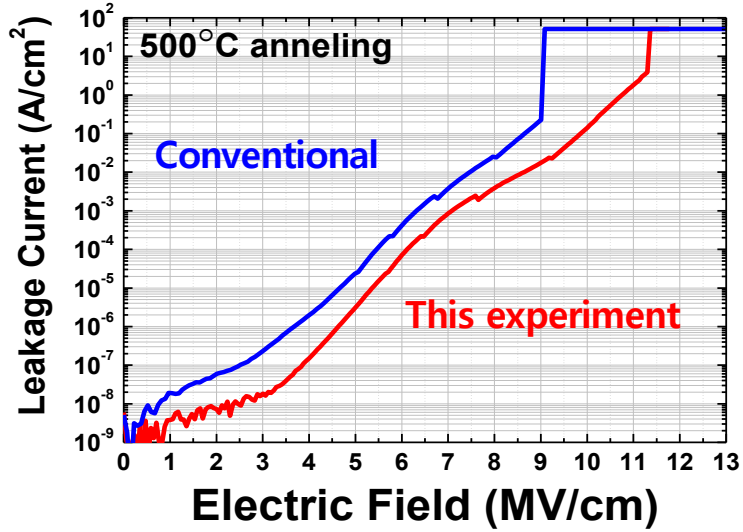


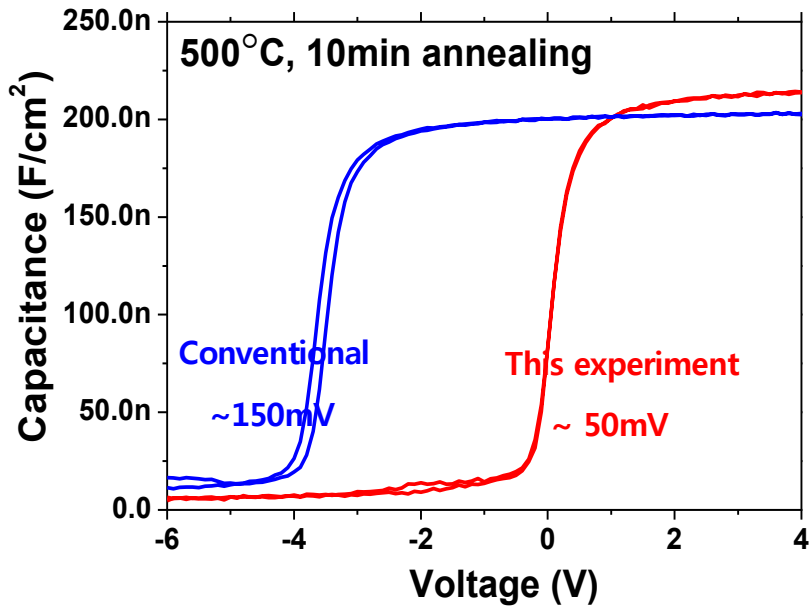
그림 3.3 SiH<sub>4</sub> 유량 변화에 따른 ICPCVD SiN<sub>x</sub> 막의  
(a) leakage current density 와 (b) C-V hysteresis

실험은 SiH<sub>4</sub>/NH<sub>3</sub> 비율, 압력, RF plasma power 그리고 PDA 온도를 조절하였다. 여기서 압력과 RF plasma power 에 따른 전기적인 특성은 나타내지 않았다. 그 결과 그림 3.3에서와 같이 SiH<sub>4</sub>/NH<sub>3</sub> = 4.5/20 sccm, 20 mTorr, 300 W, PDA 500 °C, 10min 에서 가장 우수한 leakage current density 와 C-V hysteresis 특성을 얻었고, 이를 그림 3.4에 conventional ICP-CVD SiN<sub>x</sub> 와 비교를 하였다.

	SiH <sub>4</sub> / NH <sub>3</sub> (sccm)	Refractive index	Deposition rate [A/sec]	Leakage Current (at 6MV/cm) [A/cm <sup>2</sup> ]	C-V hysteresis [mV]	V <sub>th</sub> [V]
Conventional condition	8 / 40	1.92	1.3	4.5E-4	150	-4.4
This experiment	4.5 / 20	1.89	0.7	8.5E-5	50	-0.6



(a) Current density-electrical field characteristics



(b) Capacitance-voltage characteristics

그림 3.4 최적화된 ICP-CVD SiN<sub>x</sub>와 conventional ICP-CVD SiN<sub>x</sub>의

전기적 특성 비교

최적화된 ICP-CVD  $\text{SiN}_x$  는 leakage current 뿐만 아니라 hysteresis 특성에서도 conventional ICV-CVD  $\text{SiN}_x$  보다 훨씬 우수한 특성을 나타내었다.

특히,  $V_{th}$  의 경우에 -4.4 V에서 -0.5 V 로 positive shift되었다. 이는 막 내의 positive fixed charge가 줄어든 것으로 이 후, gate-last process에서의 thick gate insulator의 적용가능성을 만들어주는데 있어서 가장 크게 기여를 한 부분이다.

## 제 4 장 Thick PEALD/ICP-CVD SiN<sub>x</sub> Dual Insulator

앞선 2, 3장에서 최적화시킨 PEALD SiN<sub>x</sub>와 ICP-CVD SiN<sub>x</sub> 을 dual layer에 적용하였다. 1장에서 언급한 것과 같이 conventional dual SiN<sub>x</sub> insulator 는 PEALD 5nm / ICP-CVD 25nm 로 두께가 30nm 였지만, gate-last process에서 발생하는 forward gate leakage 증가 문제를 개선시키기 위한 목적으로 PEALD 6nm / ICP-CVD 40nm 의 두꺼운 절연막 증착을 시도하였다.

Dual layer 의 증착은 먼저 400 °C 증착온도에서 6nm PEALD SiN<sub>x</sub> 증착 후, in-situ로 350 °C 증착온도에서 40nm ICP-CVD SiN<sub>x</sub> 를 증착하였고, 2, 3장에서의 결과를 바탕으로 500 °C, 10min PDA를 하였다.

그림 4.2는 thick dual SiN<sub>x</sub> (46nm)의 전기적 특성을 conventional dual SiN<sub>x</sub> (30nm) 와 비교한 것으로 MIS capacitor 제작은 1장과 동일하다.

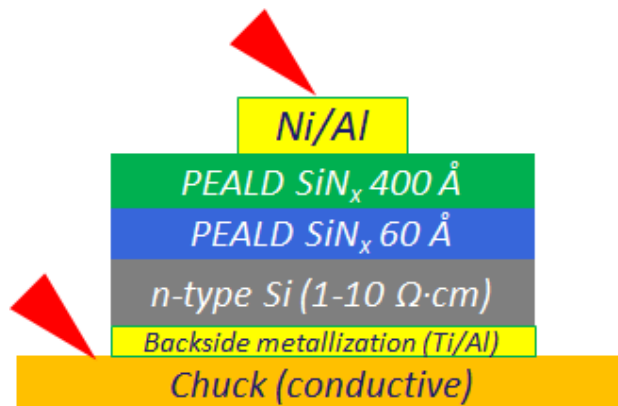
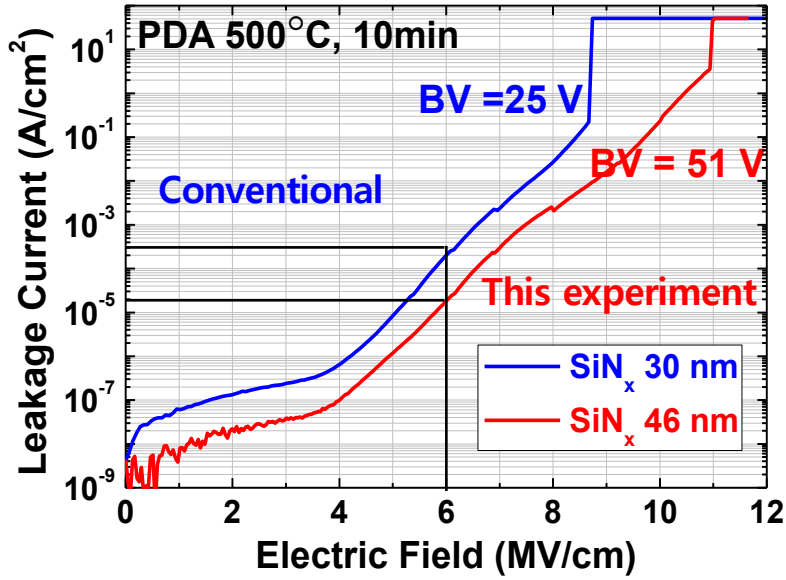
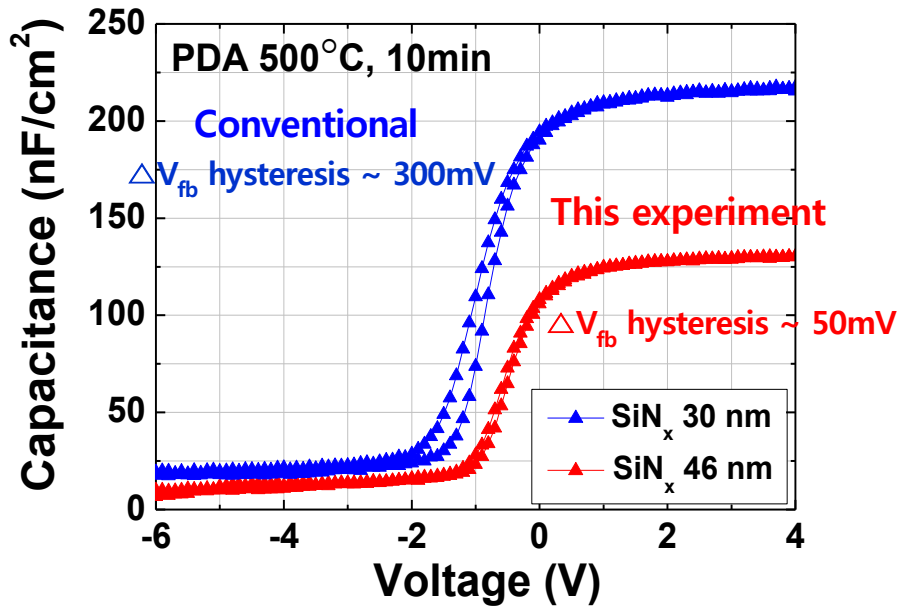


그림 4.1 Schematic view of MIS capacitor



(a) Current density-electrical field characteristics



(b) Capacitance-voltage characteristics

그림 4.2 Thick dual  $\text{SiN}_x$  (46nm)와 conventional dual  $\text{SiN}_x$  (30nm)의

전기적 특성 비교

새롭게 적용시킨 thick dual insulator 는 conventional dual insulator 에 비해서 I-V 특성의 경우, leakage current는  $2.1 \times 10^{-6} \text{ A/cm}^2$  (at 6 MV/cm)으로 10배 감소하였고, 항복전압은 25 V 에서 51 V 로 2배 이상 증가했다. 이는 device 적용할 때, gate swing을 증가 시킬 수 있게 한다. 또한 그림 4.2 (b)의 C-V 특성에서 보여주는 가장 큰 점은 conventional dual  $\text{SiN}_x$  의 두께인 30 nm보다 더 두꺼운 46 nm를 증착했음에도 불구하고 threshold 전압이 negative shift하지 않고, positive shift한 것이다. 이는 3장에서 최적화된 ICP-CVD  $\text{SiN}_x$  가 positive fixed charge가 적은 막임을 다시 입증한 것이라고 할 수 있다. 또한 hysteresis 도 많이 개선되었다. 다른 연구기관에서 사용하는 GaN MIS-HEMT의 절연막의 경우 위의 3가지 조건(leakage current, hysteresis, threshold voltage)을 모두 만족시키는 경우가 드물기 때문에, 본 연구에서 최적화된 thick dual  $\text{SiN}_x$ 는 세계최고 수준의 절연막이라고 볼 수 있다.



## 제 5 장

### Gate Recessed Normally-off AlGaN/GaN MIS-HEMTs

#### 5.1 Gate-last process for gate recessed MIS-HEMTs

Normally-off Gate recessed AlGaN/GaN MIS-HEMTs를 위한 gate-last process flow를 그림 5.1에 나타내었다. Epitaxial 구조는 4 nm undoped GaN capping layer, 20 nm undoped Al<sub>0.23</sub>GaN barrier, a 5  $\mu$ m GaN buffer, and transition layers on n-type Si (111) substrate 으로 구성되어있다. 처음으로 N<sub>2</sub>SiN<sub>x</sub> 1000 Å 을 증착하여 pre-passivation을 한 후, ohmic과 mesa isolation을 한다. Ohmic 열처리의 경우 RTA를 이용하여 N<sub>2</sub> 분위기에서 800 °C에서 1min 열처리를 하고 mesa isolation은 BCl<sub>3</sub>/Cl<sub>2</sub> gas를 사용하여 2000 Å 를 etching한다. 그 후, SF<sub>6</sub> gas를 이용하여 pre-passivation 막을 없앤 후, N<sub>2</sub>SiN<sub>x</sub>를 2000 Å 증착하여 passivation 막을 형성시킨다. 다음으로 2 $\mu$ m gate recess pattern 형성 후, SF<sub>6</sub> gas로 SiN<sub>x</sub>을 opening 한 후, normally-off 동작을 위해서 barrier layer을 30nm 로 fully recess etching한다. 게이트 절연막을 얻기 전 gate recessed region의 표면처리의 경우, gate-first process에서는 유기물과 산화막의 효과적인 제거를 위해서 SPM(4:1, 120°C) 10min 과 DHF(1:10) 10min 처리를 하였다. 하지만 gate-last process에서는 이미 형성된 ohmic으로 인해 120°C, 10min SPM처리는 ohmic degradation 을 발생시키고, DHF(1:10) 10min 처리는 passivation 막으로 이미 형성된 N<sub>2</sub>SiN<sub>x</sub>를 lateral etching함으로써 2 $\mu$ m의 gate length를 보장케 하지 못한다.

따라서 gate-last process에서 산화막 제거는 DHF(1:100)와 함께 NH<sub>4</sub>(OH)를 시도하였다. 표면처리 후 즉시 ICP-CVD에 loading하여 thick dual SiN<sub>x</sub> insulator (PEALD 6nm / ICP-CVD 40nm)를 증착하였고, 이어서 N<sub>2</sub>

분위기에서 RTA를 이용하여 500 °C, 10min 열처리를 하였다. 마지막으로 Ni/Au (=40/380nm)을 gate metal 형성을 위해 evaporation하였다.

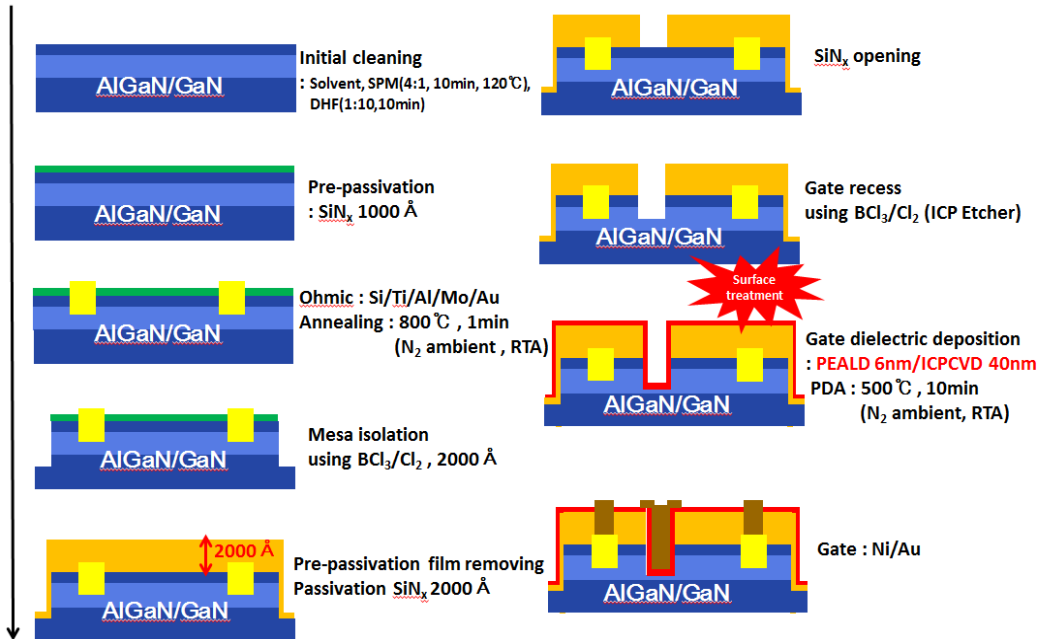


그림 5.1 Gate-last process flow 개략도

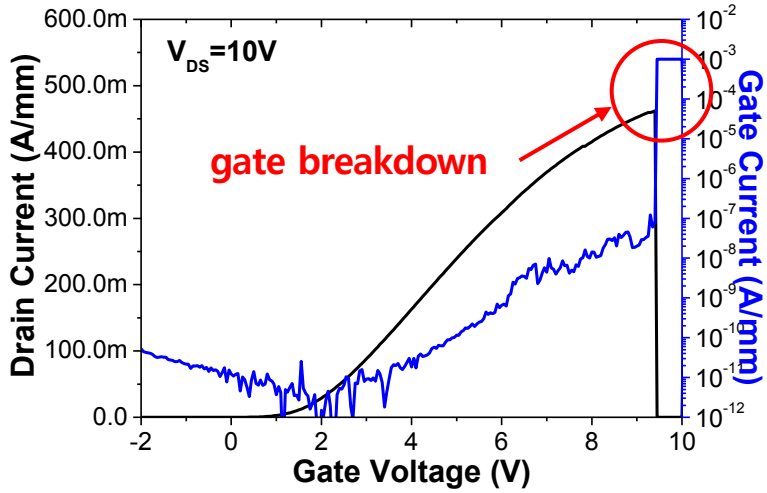
## 5.2 측정과 결과

### 5.2.1 I-V 특성

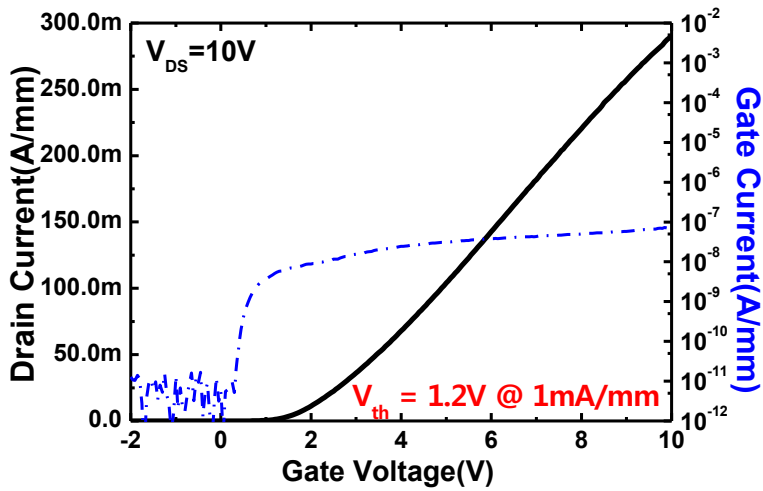
Forward gate leakage와 관련하여 게이트 절연막과 표면처리 효과를 알아보았다.

먼저 앞선 설명에서와 같이 gate-last process에서는 게이트 절연막을 얻기 전 표면처리, 즉 유기물이나 산화막의 제거가 어렵게 때문에 SPM(4:1, 70°C) 2min 와 DHF(1:100) 1min의 light cleaning를 시도하였다. 그림 5.2는 게이트 절연막으로써 conventional dual SiN<sub>x</sub> (PEALD 5nm /

ICPCVD 25nm)와 본 연구에서 최적화시킨 thick dual SiN<sub>x</sub> (PEALD 6nm / ICPCVD 40nm)를 gate-last process에 각각 적용시킨 소자의 transfer curve 특성이다.



(a)



(b)

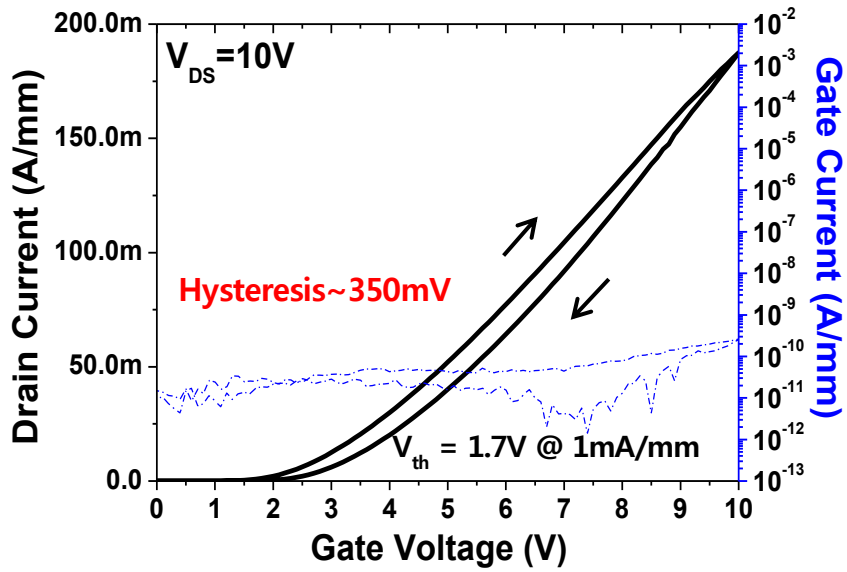
그림 5.2 (a) conventional dual SiN<sub>x</sub> 와 (b) thick dual SiN<sub>x</sub> 를 적용한 소자의 transfer curve 특성

Thick SiN<sub>x</sub>를 적용했음에도 불구하고 제작된 소자는 드레인 전류 1mA/mm를 기준으로 V<sub>th</sub>=1.2 V의 normally-off 동작을 하였다. 또한 gate-last process에서 문제되었던 forward gate leakage 증가와 gate breakdown 현상 역시 그림 5.2 (a)에서 볼 수 있듯이 V<sub>G</sub>=10 V까지도 breakdown 없이 동작하였다.. 이는 4장에서의 결과를 뒷바침하는 것으로 본 연구에서 최적화시킨 thick dual SiN<sub>x</sub>가 normally-off MIS-HEMT의 절연막으로써 적용가능성을 보여준다. 하지만 여전히 forward gate leakage가 다소 크기 때문에 이를 개선시키고자 좀 더 강한 표면처리를 시도하였다.

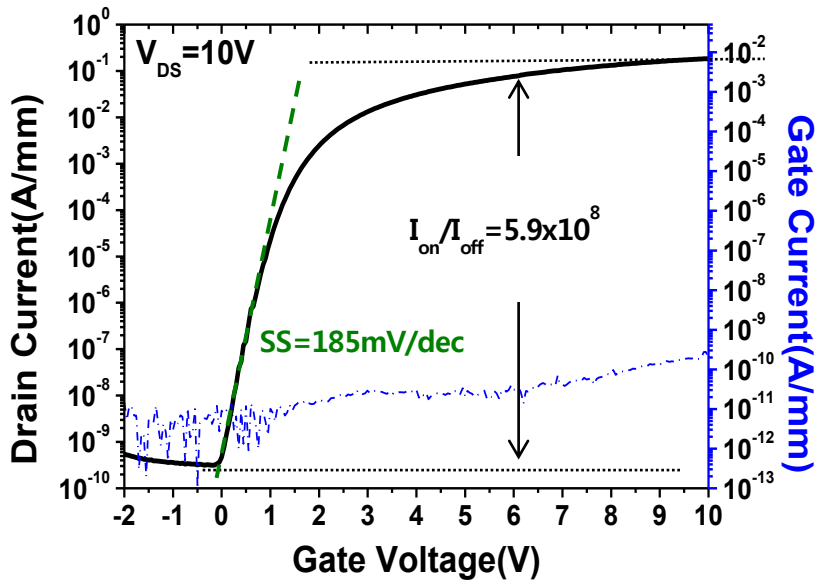
Light cleaning과 다르게 시도한 thorough cleaning은 다음과 같다. Gate recess pattern 후 SiN<sub>x</sub> opening과 gate recess etching 사이에 가능한 residue(Si 등)를 제거하기 위해 20% NaOH (room temp.) 5min, 3% HCl (room temp.) 5min을 처리하였다 [18], [19]. 그리고 게이트 절연막을 얻기 전 표면처리로 SPM (4:1, 70°C) 5min, NH<sub>4</sub>OH (1:1, room temp.) 1min, DHF(1:100) 2min 30sec을 차례로 처리하였다.

그림 5.3은 2um gate length, 100um gate width의 제작된 MIS-HEMT 소자의 I-V 특성이다.

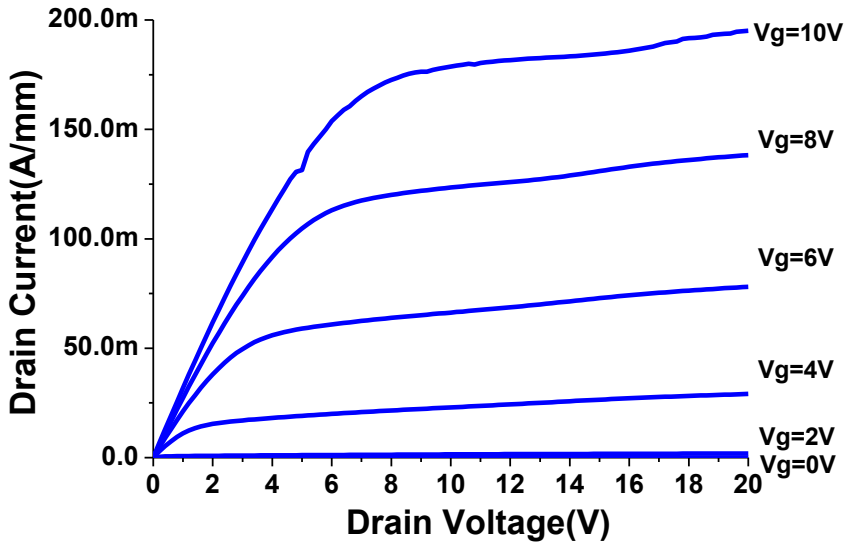
Drain current 1mA/mm를 기준으로 V<sub>th</sub>는 1.7 V, maximum drain current는 200 mA/mm이다. I-V hysteresis, subthreshold slope(SS), off-state drain current 그리고 on/off ratio (I<sub>on</sub>/I<sub>off</sub>) 는 각각 350 mV, 185 mV/dec, 0.1nA/mm, 5.9×10<sup>-8</sup> 이다. Forward gate leakage의 경우, V<sub>G</sub>=10 V동안 0.1 nA/mm정도로 light cleaning을 적용한 device 보다 훨씬 개선된 결과로 이는 thorough cleaning에 의해서 효과적으로 유기물이나 산화막이 제거된 것으로 보이나 이 부분에 대한 연구가 좀 더 필요할 것으로 생각된다.



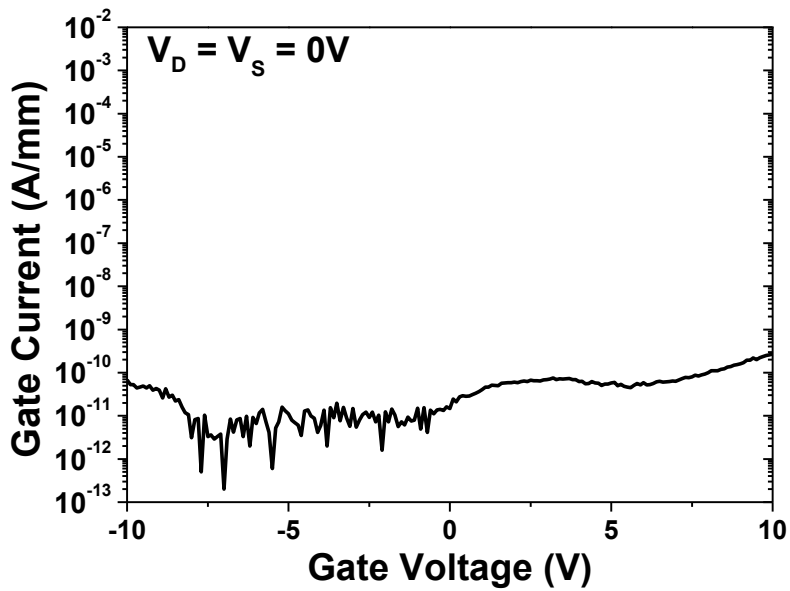
(a) I-V hysteresis of transfer curve characteristics (linear scale)



(b) Transfer curve characteristics (log scale)



(c) I-V characteristics ( $I_D$ - $V_D$ )



(d) Gate leakage current characteristics ( $I_G$ - $V_G$ )

그림 5.3 제작된 소자의 DC 특성

## 5.2.2 Pulsed I-V 특성

Pulsed I-V 측정은 1장에서 언급한 current collapse 현상을 characterization 하기 위해 일반적으로 사용되는 측정법으로 quiescent point (Q-point)라고 불리는 DC bias를 drain side에 의도적으로 가하여 gate-drain access region에 tapping 을 일으킨다. 따라서 Q-point가 증가하는 경우, trapping은 더욱 많이 일어나게 되고 그 정도에 따라서 current collapse 현상이 나타나게 된다.

그림 5.4는 gate-last process로 제작된 소자의 pulsed I-V 특성이다.

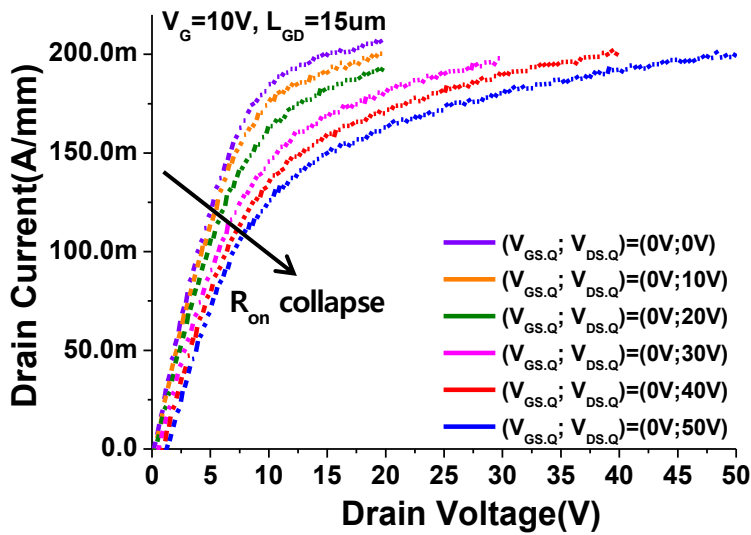
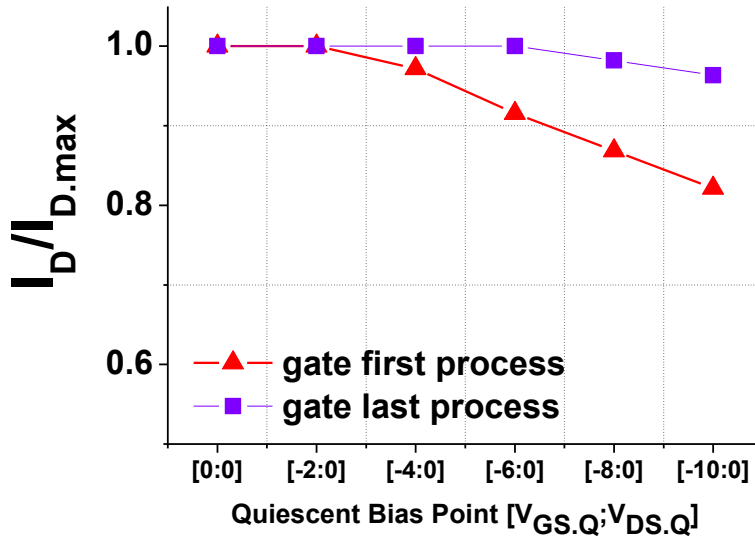


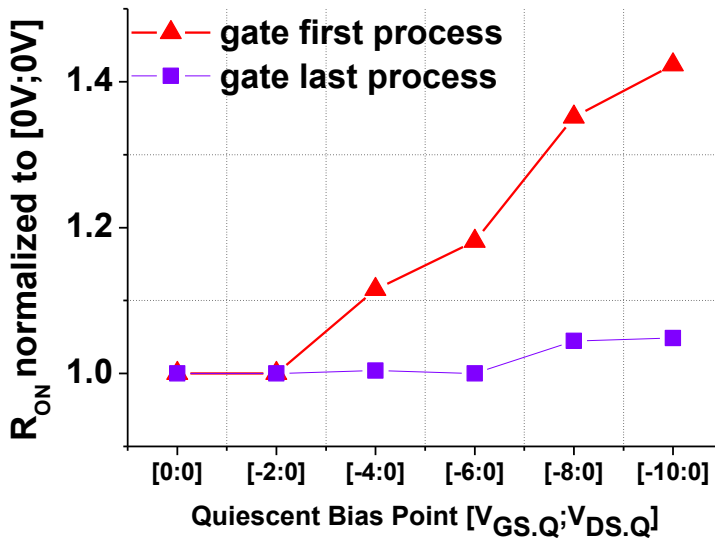
그림 5.4 제작된 gate recessed MIS-HEMT의 pulsed I-V 특성(drain-lag)

Pulsed I-V 측정에서 위와 같은 drain-lag 측정법은 current collapse 발생 원인으로 현재까지 논의되고 있는 1. passivation 막과 반도체 사이의 trap 과 2. C 도핑된 buffer layer의 trap, 이 두 가지의 요소가 모두 고려되어 측정된다는 점에서 gate-first process와 gate-last process 의 pulsed I-V 특성의

우위를 정확하게 나타낼 수 없다. 따라서 온전히 gate-first process와 gate-last process의 차이인 passivation 두께에 따른 pulsed I-V 특성 비교를 위하여 gate side 에만 DC bias를 가하는 gate-lag 측정법을 적용하였다.



(a) Drain current collapse



(b) On-stress-induced resistance variations

그림 5.5 제작된 gate recessed MIS-HEMT의 pulsed I-V 특성(gate-lag)



그림 1.21은 gate-lag 측정법으로 측정된 gate-first process와 gate-last process의 pulsed I-V특성을 나타낸 것이다. 결과에서 알 수 있듯이 passivation 막을 두껍게 한 gate-last process에서의 특성이 훨씬 우수한 것을 알 수 있다. 이는 두꺼운  $\text{SiN}_x$  passivation 막에 의한 water blocking 효과 또는 gate-drain access region의 field distribution 효과 또는 tensile stress로 2DEG confinement의 증가로 여겨지고 이 부분에 대한 연구가 좀 더 필요하다고 생각한다.

## 제 6 장 결론 및 앞으로의 과제

### 6.1 결론

본 연구에서는 gate recessed normally-off MIS-HEMTs의 pulsed I-V 특성 개선을 위해서 passivation 막을 두껍게 하는 제안된 구조인 gate-last process 에서 문제되었던 forward gate leakage 증가를 효과적으로 억제하기 위해서 게이트 절연막과 표면처리가 연구되었다.

첫 번째로, 기존에 사용되었던 PEALD 5nm / ICP-CVD 25nm dual SiN<sub>x</sub>의 전기적 특성을 개선하기 위해서 PEALD SiN<sub>x</sub>와 ICP-CVD SiN<sub>x</sub> 각각을 최적화 하였다. 최적화된 PEALD SiN<sub>x</sub>의 경우 기존에 비해 growth rate per cycle이 0.5 Å/cycle 로 2.5배 증가하였고 leakage current의 경우 20배 감소하였다. 최적화된 ICP-CVD SiN<sub>x</sub>는 leakage current와 hysteresis 특성 모두 개선되었을 뿐만 아니라 V<sub>th</sub>가 -0.6 V로 기존의 -4.4 V에서 positive shift되었다. 이렇게 최적화된 각각의 막을 PEALD 6nm /ICP-CVD 40nm의 thick dual SiN<sub>x</sub> 에 적용한 결과, 기존의 PEALD 5nm / ICP-CVD 25nm dual SiN<sub>x</sub>에 비해서 leakage current와 hysteresis, breakdown 특성이 모두 개선되었고 가장 주목할 점은 막을 두껍게 했음에도 불구하고 V<sub>th</sub>가 오히려 positive shift 되었다는 것이다.

두 번째로, 최적화된 thick dual SiN<sub>x</sub>를 게이트 절연막으로써 적용한 recessed MIS-HEMTs에서 게이트 절연막 증착 전 표면처리의 경우, 가능한 residue와 산화막 제거를 위해 NaOH와 NH<sub>4</sub>OH를 사용하였다. 제작된 소자에서는 문제되었던 forward gate leakage 증가가 V<sub>G</sub>=10 V 동안 0.1nA/mm 정도로 효과적으로 억제되었고, pulsed I-V 특성 역시 gate-first process에 비해 훨씬 개선되었다.

## 6.2 앞으로의 과제

본 연구를 통해 최적화된 thick dual SiN<sub>x</sub> 와 표면처리를 통해 forward gate leakage current 증가를 효과적으로 억제하였지만 이와 관련된 carrier transport mechanism인 Fowler-Nordheim tunneling (FNT), Poole-Frenkel emission (PFE), 그리고 trap-assisted tunneling (TAT)에 대한 분석이 필요할 것으로 생각된다. 또한 신뢰성과 관계된 V<sub>th</sub> instability의 경우 MIS-HEMTs에서 관심있게 보아야 할 issue이다. 일반적으로 V<sub>th</sub> instability는 막과 반도체 사이의 interface trap 과 관련되어있다고 알려져 있고[], 이는 게이트 절연막과 표면처리와 연관되므로 이와 관련된 자세한 연구가 필요할 것으로 생각된다.

## 참고 문헌

- [1] U.K. Mishra, L. Shen, T.E. Kazior, and Y.F. Wu, “GaN-based RF power devices and amplifiers”, *Proceedings of the IEEE*, Vol. 96, No. 2, Feb., 2008.
- [2] U.K. Mishra, Primit Parikh and Wu-Feng We, “AlGaN/GaN HEMTs-An Overview of Device operation and Application”, *Proceedings of IEEE*, Vol. 90, No.6, 2002, pp. 1002~1031
- [3] Ramakrishan Vetry, Naiqain Q.Zhang, Stacia Keller, and Umesh K.Mishra, “The Impact of Surface states on the DC and RF Characteristics of AlGaIn/GaN HEMTs”, *IEEE. Transactions on Electron Devices*, Vol.48, No.3, Mar, 2001, pp.560-566
- [4] Tohru Oka, and Tomohiro Nozawa, “AlGaIn/GaN recessed MIS-Gate HFET with High Threshold-Voltage Normally-Off Operation for Power Electronics Applications”, *IEEE. Electron Device Letters*, Vol.29, No.7, July, 2008, pp. 668-670
- [5] Yong Cai, Yugang Zhou, Kei MaY Lau, and Kevin J.Chen, “Control of Threshold Voltage of AlGaIn/GaN HEMTs by Fluoride-Based Plasma Treatment : From Depletion Mode to Enhancement Mode”, *IEEE Transactions on Electron Devices*, Vol.53, NO. 9 , Sep, 2006, pp. 2207-2215
- [6] Hiroaki Mizuno, Shigeru Kishimoto, Koichi Maezawa, and Takashi Mizutani, “Quasi normally-off AlGaIn/GaN HEMTs fabricated by fluoride-based plasma treatment”, *Physics Status Solide*, (c) 4, No. 7, May, 2007
- [7] F. Gao, D. Chen, B. Lu, H. L. Tuller, C. V. Thompson, S. Keller, U. K. Mishra, and T. Palacios, “Impact of moisture and fluorocarbon passivation on the current

- collapse of AlGaIn/GaN HEMTs,” IEEE Electron Device Lett., vol. 33, no. 10, pp. 1378–1380, October, 2012
- [8] F. GaO, S. C. Tan, J. A. del Alamo, C. V. Thompson, T. Palacios “Impact of Water-Assisted Electrochemical Reactions on the OFF-State Degradation of AlGaIn/GaN HEMTs”, IEEE Transactions on Electron Devices, Vol. 61, NO. 2, February, 2014
- [9] Y. Pei, S. Rajan, M. Higashiwaki, Z. Chen, S. P. Denbaars and U. K. Mishra, “Effect of Dielectric Thickness on Power Performance of AlGaIn/GaN HEMTs”, IEEE Electron Device Lett., vol. 30, No. 4, Apr. 2009
- [10] S. Huang, Q. M. Jiang, S. Yang, C. H. Zhou, and K. J. Chen, “Effective passivation of AlGaIn/GaN HEMTs by ALD-grown AlN thin film,” IEEE Electron Device Lett., vol. 33, no. 4, pp. 516–518, Apr. 2012.
- [11] C. Sanabria, A. Chakraborty, H. Xu, M. J. Rodwell, U. K. Mishra, and R. A. York, “The effect of gate leakage on the noise figure of AlGaIn/GaN HEMTs,” IEEE Electron Device Lett., vol. 27, no. 1, pp. 19–21, Jan. 2006.
- [12] W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura, and T. Ogura, “High breakdown voltage undoped AlGaIn–GaN power HEMT on sapphire substrate and its demonstration for DC–DC converter application,” IEEE Trans. Electron Devices, vol. 51, no. 11, pp. 1913–1917, Nov. 2004.
- [13] Z. H. Liu, G. I. Ng, S. Arulkumaran, Y. K. T. Maung, and H. Zhou, “Temperature-dependent forward gate current transport in atomiclayer-deposited Al<sub>2</sub>O<sub>3</sub>/AlGaIn/GaN metal–insulator–semiconductor high electron mobility transistor,” Appl. Phys. Lett., vol. 98, no. 16, pp. 163501-1–163501-3, Apr. 2011.
- [14] W. Choi, H. Ryu, N. Jeon, et al., “Improvement of V<sub>th</sub> instability in normally-off GaN MIS-HEMTs employing PEALD-SiN<sub>x</sub> as an interfacial layer,” IEEE Electron Device Lett., vol. 35, no. 2, Feb. 2014.

- [15] S.W. King, "Plasma enhanced atomic layer deposition of SiN<sub>x</sub>:H and SiO<sub>2</sub>", Journal of Vacuum Science and Technology A, Vol. 29, No. 4, pp. 041501-9, Jul./Aug., 2011.
- [16] H. Goto, K. Shibahara, S. Yokoyama, "Atomic layer controlled deposition of silicon nitride with selflimiting mechanism", Appl. Phys. Lett., vol. 68, no. 23, June, 1996.
- [17] K. Matocha, R.J. Gutmann, and T. Paul Chow, "Effect of annealing on GaN-insulator interfaces characterized by metal-insulator-semiconductor capacitors", IEEE. Transactions on Electron Devices, Vol. 50, No. 5, pp. 1200-1204, May, 2003.
- [18] F. Buchholz, E. Wefringhaus, and G. Schubert, Energy Procedia, 27, 287 (2012).
- [19] S. Takashima, Z. Li and T. P. Chow, "Metal-Oxide-Semiconductor Interface and Dielectric Properties of Atomic Layer Deposited SiO<sub>2</sub> on GaN" Appl. Phys. 52 (2013) 08JN24

## Abstract

# A Study on Gate Insulator and Surface Treatments of AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMTs for High Power Devices

Ryu Hojin

Electrical and Computer Engineering

The Graduate School

Seoul National University

In this thesis, the effect of gate insulator and surface treatments on forward gate leakage current and threshold voltage instability of AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMTs which is applied to the high-power and high-voltage application were studied.

AlGa<sub>N</sub>/Ga<sub>N</sub> high-electron mobility transistors(HEMTs) is one of the promising candidates for application in high efficient power devices due to their excellent properties such as high electron density and high electron mobility.

For high-speed power switching application, enhancement-mode(E-mode) AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT is highly needed for cost effectivity, circuit simplicity and safety. In recessed normally off MIS-HEMTs, It is difficult to have high threshold voltage with large gate voltage swing because of much positive fixed charges in gate insulator. In addition, to reduce power consumption low forward gate leakage current is essential for power devices. Therefore, study of the high quality gate insulator for MIS-HEMTs is going on in the world.

Through the improved film properties of inductively-coupled plasma chemical vapor deposition (ICP-CVD)  $\text{SiN}_x$  and plasma enhanced atomic layer deposition (PEALD)  $\text{SiN}_x$  by varying the deposition condition, the improvement of electrical characteristics of thick dual gate dielectric PEALD/ICPCVD  $\text{SiN}_x$  were achieved. Employing this gate dielectric, low forward gate leakage current, large gate swing, improved pulsed IV characteristic, as well as E-mode operation of recessed AlGaIn/GaN MIS-HEMTs were achieved.

Through the research results in the thesis, the improvements of the electrical characteristics of gate insulator of AlGaIn/GaN MIS-HEMTs were achieved. It would be used to more reliable devices for high-power and high-voltage applications.

**Keywords :** AlGaIn/GaN MIS-HEMT , normally-off, dual gate insulator, forward gate leakage

**Student Number:** 2012-23209