



저작자표시-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

용액공정 산화 알루미늄 게이트 절연막
두께에 따른 IGZO 박막트랜지스터
효과에 관한 연구

Effects of Solution-processed Aluminum Oxide Gate
Insulator Thickness on IGZO TFTs

2012 년 11월

서울대학교 대학원

전기·컴퓨터 공학부

송 승 민

초 록

산화물 반도체는 높은 이동도, 균일성 그리고 투명성 등 기존의 실리콘 반도체에 비하여 다양한 장점을 가지고 있어 차세대 디스플레이 장치인 유기발광다이오드 (AMOLED)의 구동 소자 재료로 각광을 받고 있다. 이 산화물 박막 트랜지스터 (oxide thin film transistors)를 제작하는 방법에는 진공공정과 비진공공정으로 구분할 수 있는데 여기서 비진공공정을 흔히 용액공정이라 한다. 이 용액공정을 이용하여 박막 트랜지스터를 제작하면 진공공정에 필요한 고가의 장비가 필요 없기 때문에 낮은 가격에 대면적, 대량생산이 가능 해진다. 이러한 장점으로 인하여 현재 용액공정에 대한 활발한 연구가 진행 중이다.

본 논문에서는 전 용액공정 박막 트랜지스터의 제작을 목적으로 박막 트랜지스터를 구성하는 채널 층, 소스/드레인 전극, 게이트 절연막을 각 각 용액공정을 이용하여 제작하였다. 용액공정은 스프인코팅, 잉크젯 프린팅 등 다양한 방법이 있지만 위 실험에서는 모두 스프인코팅 방법을 이용하였다. 채널 층은 기존의 indium gallium zinc oxide (IGZO)가 높은 가격의 단점을 가지고 있기 때문에 그것에 비해 상대적으로 저렴하고 용액 제작도 간단한 zinc tin oxide (ZTO)를 이용하였다. 소스/드레인 전극은 Ag 을 선택하였다. Ag

은 가장 낮은 저항을 가진 물질이며 상대적으로 낮은 온도 (120 ~ 200°C) 에서 막 증착이 가능하고 추가적인 annealing 이 필요 없다는 장점이 있기 때문에 전극 물질로 많이 활용된다. Ag 막의 저항을 줄이기 위해서 온도 별 막 증착 실험을 하였으며 소자의 특성에 최적화 시킬 수 있는 온도를 찾아 내었다. 게이트 절연막은 aluminum oxide (Al_2O_3)를 이용하였다. Al_2O_3 는 기존의 게이트 절연막인 실리콘 옥사이드 (SiO_2)보다 높은 유전율 (high-k)을 가지고 있어 저전압 구동이 가능하고 다른 높은 유전율을 가지는 물질보다 밴드 갭 (band gap)이 커서 절연 특성 또한 우수하다. 이러한 특성을 가지는 Al_2O_3 를 스펀코팅을 1 ~ 5 회 반복하는 멀티코팅을 이용하여 증착 하였다. 이 실험에서는 박막 트랜지스터에 최적화된 Al_2O_3 의 멀티코팅 횟수를 구하기 위해서 각 멀티코팅 횟수 별 막의 특성을 분석 하고 소자 특성 또한 비교해 보았다. 막을 분석하는데 있어 각 막들의 정전용량 (capacitance) 을 측정하여 유전율을 구하고 절연특성의 지표가 되는 누설전류도 측정해 보았다. 또한 멀티코팅 용액공정 게이트 절연막을 이용한 IGZO 박막 트랜지스터를 제작하여 각 소자의 특성을 비교하고 소자에 최적화된 멀티코팅 횟수를 도출 및 분석하였다. 위 실험에서 주목할 만한 점은 멀티코팅 횟수에 따라 Al_2O_3 절연막의 유전율이 감소한다는 것이다. 진공공정 방식에서는 있을 수 없는 현상 이지만 비진공공정인 멀티코팅 공정의 과정을 생각하면 가능한 현상이라 사료된다. 이것을 증명하기 위

하여 SIMS (secondary ion mass spectrometry) 분석을 통하여 멀티코팅 중 생길 수 있는 각 절연막 사이의 불순물을 확인하고 막의 밀도를 간접적으로 비교 하였다.

주요어 : 산화물 반도체, 산화물 박막 트랜지스터, 용액공정,
Al₂O₃ 게이트 절연막, 멀티코팅

학 번 : 2009-20773

목 차

초 록.....	i
목 차.....	iii
제 1 장 서 론.....	1
1.1 배경 이론.....	1
1.2 논문의 구성.....	7
제 2 장 산화물 반도체	8
2.1 산화물 반도체의 정의 및 특징.....	9
2.2 산화물 박막 트랜지스터 제작 방법.....	12
2.2.1 진공공정.....	14
2.2.2 용액공정.....	17
제 3 장 용액공정을 이용한 산화물 박막 트랜지스터.....	20
3.1 용액공정을 이용한 채널 층을 갖는 산화물 박막 트랜지스	

터.....	21
3.1.1 연구 목적.....	21
3.1.2 용액공정을 이용한 ZTO TFTs.....	23
3.1.2.1 ZTO 박막 증착 및 ZTO TFTs 제작.....	23
3.1.2.2 ZTO TFTs의 전기적 특성.....	25
3.1.3 요약.....	28
3.2 용액공정을 이용한 소스/드레인 전극을 갖는 산화물 박막 트랜지스터.....	29
3.2.1 연구 목적.....	29
3.2.2 용액공정을 이용한 Ag 소스/드레인 전극을 갖는 IGZO TFTs.....	31
3.2.2.1 Ag 소스/드레인 전극 증착 및 IGZO TFTs 제작.....	31
3.2.2.2 Ag 박막 및 IGZO TFTs 특성 최적화.....	33
3.2.3 요약.....	40
3.3 용액공정을 이용한 게이트 절연막을 갖는 산화물 박막 트랜지스터.....	49

3.3.1 연구 목적.....	41
3.3.2 멀티코팅을 이용한 Al ₂ O ₃ 게이트 절연막 제작.....	45
3.3.2.1 멀티코팅을 이용한 Al ₂ O ₃ 게이트 절연막 증 착 및 IGZO TFTs 제작.....	45
3.3.2.2 멀티코팅을 이용한 Al ₂ O ₃ 게이트 절연막 특성.....	49
3.3.2.3 Al ₂ O ₃ 게이트 절연막을 갖는 IGZO TFTs 특성.....	58
3.3.2.4 SIMS 분석을 통한 멀티코팅 횟수 증가에 따른 유전율 감소원인 확인.....	65
3.3.5 요약.....	71
제 4 장 결 론.....	73
참고 문헌.....	75
Abstract.....	81

제 1 장. 서 론

1.1 배경 이론

1960, 70 년대 cathode ray tube (CRT)를 비롯하여 plasma display panel (PDP), liquid crystal display(LCD)를 거쳐 지금의 active matrix organic light emitting diode display (AMOLED)까지 디스플레이 산업은 눈부신 성장과 발전을 이루어 왔다. 이러한 디스플레이는 기본적인 원리와 구동방식은 다르지만 디스플레이 산업에서 이루고자 하는 목적은 같다고 할 수 있다. 그것은 그림 1.1과 같이 대면적, 고해상도, 저전력소비 그리고 초경량 디스플레이의 개발이다. 현재까지 여러 기술들이 나왔지만 그 중 AMOLED 가 위의 조건을 가장 잘 충족 시켜주는 기술이라 할 수 있다. 이러한 AMOLED 를 구동시키기 위해서는 backplane 쪽에 고성능의 박막 트랜지스터 (thin film transistors, TFTs)가 필요하다. 현재 low

temperature poly silicon (LTPS) 박막 트랜지스터가 소면적 디스플레이에 응용이 되고 있지만 결정질 실리콘의 grain boundary에 의하여 균일성이 나쁘기 때문에 디스플레이를 대면적화 시키기에는 한계가 따른다. LCD에 사용하는 비정질 실리콘 (a-Si)의 경우 균일성은 좋지만 이동도가 매우 떨어지기 때문에 디스플레이의 고속 구동에 사용하는 것 또한 한계가 있다. 이러한 결정질과 비정질 실리콘의 한계를 극복하기 위해 최근 많이 연구되고 주목 받고 있는 물질이 산화물 (oxide)이다. 이 산화물은 높은 이동도와 균일성을 동시에 가지고 있기 때문에 AMOLED 를 대면적화 시킬 고성능 박막 트랜지스터의 물질로 가장 적합하다. [1-3] 또한 산화물 박막 트랜지스터는 저온 공정이 가능하고 투명한 성질 또한 가지고 있기 때문에 그림 1.2 와 같이 기판을 구부릴 수 있는 플렉서블 (flexible) 디스플레이와 투명성을 이용한 투명 디스플레이 같은 차세대 디스플레이의 응용 또한 가능하다. [1]

이러한 산화물 박막 트랜지스터의 막을 증착하는 방식은 크게 진공공정과 비진공공정으로 나눌 수 있다. 비진공공정을 흔히 용액공정 이라 한다. 현재 여러 기업들에서는 rf sputtering, chemical vapor deposition (CVD)등과 같은 고성능에 적당한 진공공정을 위주로 박막 트랜지스터를 제작하고 있다. [8-10] 하지만 이러한 진공공정은 고가의 장비를 필요로 하기 때문에 가격이 비싸고 정해진 진공챔버 안에서 공정을 해야 하기 때문에 디스플레이를 대면적화

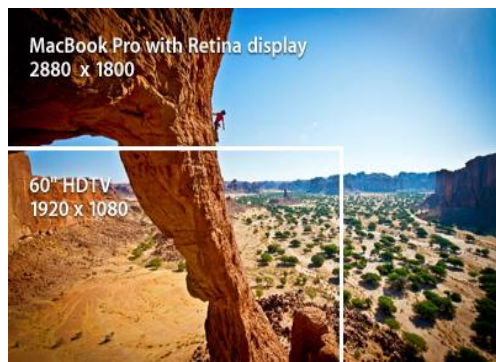
시키기에 적당치 않다. 이에 비해 용액공정은 장비의 가격이 싸고 공정이 간단하기 때문에 대면적, 대량생산에 유리하다. [12] 이러한 용액공정의 장점 때문에 현재 많은 그룹에서 용액공정에 대한 연구가 이루어지고 있다. 용액공정은 많은 종류가 있지만 대표적으로 스핀코팅과 잉크젯 프린팅 등으로 나눌 수 있다. 스핀코팅은 용액을 기판에 도포한 후 기판을 고속의 회전을 시켜 박막이 퍼지게 하여 막을 증착하는 방식이다. [11-14] 잉크젯 프린팅은 프린터의 원리와 동일하게 기판의 원하고자 하는 부분에 용액을 도포해서 막을 증착하는 방식이다. [15-17] 잉크젯 프린팅의 경우 별도의 패터닝이 필요 없어 막 증착 시 공정과정을 한 단계 줄일 수 있다. 이러한 기술의 보급은 디스플레이 산업을 지금보다 훨씬 대면적화 시키고 대량생산을 가능하게 할 수 있을 것이다.

본 논문에서는 전 용액공정 산화물 박막 트랜지스터 제작을 목적으로 연구를 진행하였다. 산화물 박막 트랜지스터는 게이트 전극, 채널 층, 소스/드레인 전극, 게이트 절연막으로 구성되는데 이 모든 부분을 용액공정으로 처리하기 위해서는 각 부분별 공정의 최적화가 중요하다. 본 실험에서는 채널 층, 소스/드레인 전극, 게이트 절연막을 각각 용액공정을 이용해 증착하고 완성된 트랜지스터의 특성을 평가하였다. 모든 용액공정은 스핀코팅 방법을 이용하였다. 채널층은 zinc tin oxide (ZTO) 를 선택하였고, 소스/드레인 전극은 Ag 용액을 이용하여 증착하였다. Ag 막을 증착시키는 과정에서 막

의 저항을 최소화 시키기 위한 Ag 용액의 종류와 증착온도를 도출하였다. 게이트 절연막은 aluminium oxide (Al_2O_3)를 이용하였고 최적화를 위해서 스프인코팅을 1 ~ 5 번 반복 하는 멀티코팅 수행하였다. 용액공정을 통하여 나온 박막을 분석하고 그것을 이용하여 박막 트랜지스터를 제작하였으며 그것의 전기적 특성을 비교 분석하였다.



(a) 대면적화



(b) 고해상도



(c) 초경량화

그림 1.1. 평판 디스플레이 발전 방향



그림 1.2. 차세대 디스플레이

1.2 논문의 구성

본 논문에서는 용액 공정을 이용하여 산화물 박막 트랜지스터 (oxide thin film transistors, oxide TFTs)를 제작하고 분석하는 것에 대해 연구하였다.

제 2장에서는 산화물 반도체의 정의 및 특징에 대해 간단히 소개하였고, 일반적인 TFTs를 제작하는데 사용되는 진공공정과 본 논문에서 TFTs를 제작하는데 사용하는 용액공정에 대하여 기술하였다.

제 3장에서는 용액 공정을 이용하여 제작하는 oxide TFTs를 소개하였다. 3.1 장에서는 TFTs의 채널 층을 형성하는 반도체막을 용액 공정으로 증착하는 내용을 다루었고, 3.2 장에는 소스/드레인 전극을 용액 공정으로 증착하여 막의 저항을 최소화하기 위한 Ag 용액의 종류와 증착 온도를 최적화 시키는 내용을 다루었다. 끝으로 3.3 장에서는 게이트 절연막을 스펀코팅을 반복하는 멀티코팅 방식을 이용하여 증착하는 내용을 다루었다. 증착된 모든 박막들의 특성을 분석하였으며 부분별 용액공정으로 제작된 TFTs의 특성분석 및 최적화를 수행하였다.

마지막으로 제 4장에서 본 논문의 결론을 서술하였다.

제 2 장. 산화물 반도체

이번 장에서는 최근 AMOLED backplane 박막 트랜지스터 물질로 각광을 받고 있는 산화물 반도체에 대한 전반적인 내용을 기술하였다. 산화물 반도체의 정의 및 특징 그리고 다른 물질의 반도체와 비교를 통하여 산화물 반도체에 대한 이해를 도왔다. 두 번째로는 산화물 박막 트랜지스터를 제작하는 방식에 대하여 기술하였다. 제작 방식으로 진공공정과 비진공공정 (용액공정) 방식으로 나눌 수 있는데 기존의 고성능 소자의 제작을 위한 진공공정 방식과 대면적, 대량생산에 용이한 용액공정 방식의 종류와 특성 및 각 방식의 장, 단점에 대해서 알아보았다.

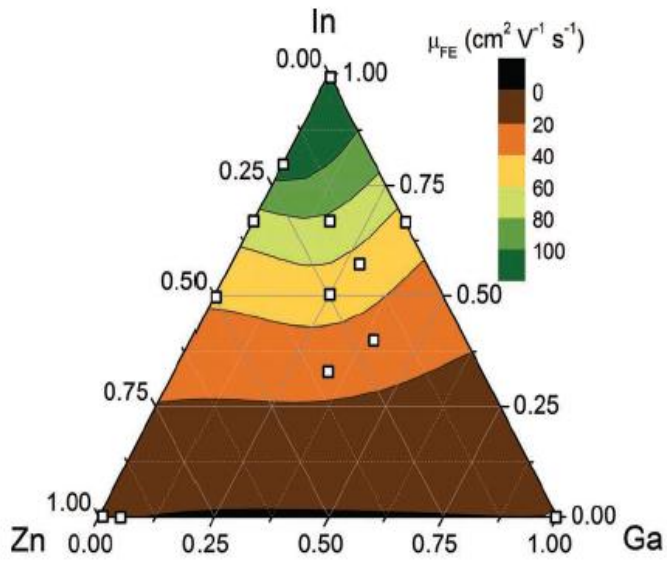
2.1 산화물 반도체의 정의 및 특징

최근 들어 디스플레이 패널의 대면적, 고기능화가 빠른 속도로 진행되고, AMOLED 등 새로운 디스플레이 패널 기술이 등장하면서 이에 적합한 박막 트랜지스터 (TFTs) 기술에 대한 요구가 커지고 있다. 산화물 반도체는 현재 위의 조건에 부합하는 박막트랜지스터용 소재로서 2004년 일본의 Hosono 교수 팀이 indium gallium zinc oxide (IGZO) 를 이용한 투명하고 구부릴 수 있는 박막 트랜지스터를 보고한 이후부터 지금까지 활발히 연구되고 발전 되어 지고 있다. [4] 산화물 이란 산소와 금속이 결합한 물질을 말한다. 그러므로 산화물 반도체 (oxide semiconductor)란 금속과 산소가 결합한 물질 가운데 반도체의 성질을 띄는 물질을 말한다. 산화물 반도체의 가장 큰 장점으로서는 비정질 구조로서 균일성이 좋다는 것과 AMOLED 를 구동시킬 수 있는 높은 이동도를 가지고 있다는 것이다. [2-3] 현재 가장 널리 사용되고 있는 실리콘 기반의 박막 트랜지스터와 비교해 볼 때 패널을 대면적화 시키는데 장애가 되는 결정질 실리콘 (poly-Si)의 낮은 균일성과 AMOLED의 구동에 장애가 되는 비정질 실리콘 (a-Si)의 낮은 이동도를 보완한다는 점에서 산화물 반도체의 우수성을 확인할 수 있으며, 300°C 이하의 저온공정이 가능하고 큰 밴드갭으로 인한 높은 투과율과 투명한 성질을

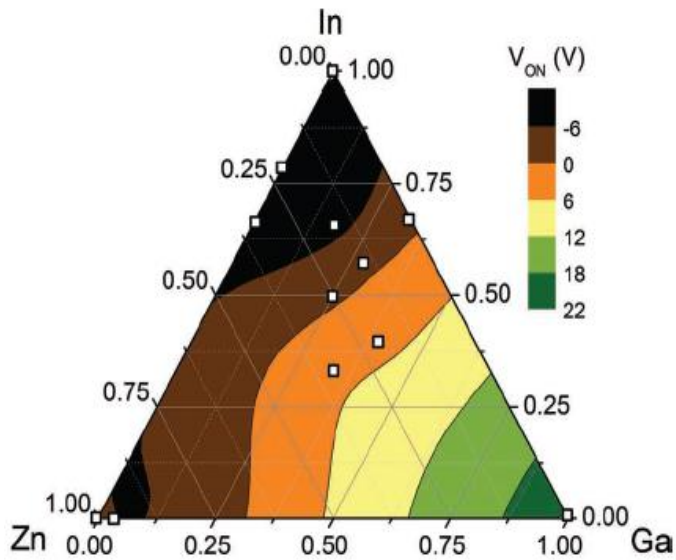
이용하여 플렉서블 디스플레이와 투명 디스플레이에도 적용이 가능하기 때문에 많은 관심을 받고 있다.[1] 표 2.1에 산화물 반도체와 실리콘 기반 반도체의 특성을 비교하였다. 대표적인 산화물 반도체로는 zinc tin oxide (ZTO), indium gallium oxide (IGO), indium zinc oxide (IZO), indium gallium zinc oxide (IGZO) 등이 있고 그 이외에 특성을 향상시키기 위하여 위의 반도체에 hafnium, zirconium 과 같은 금속을 섞기도 한다. [4-5] 산화물 반도체의 또 다른 특징은 금속물질의 비율에 따라 그 특성이 조금씩 바뀐다는 것이다. 일반적으로 indium과 tin을 첨가할 경우에는 캐리어의 수가 증가하여 전도도와 이동도 특성이 좋아지고[6-7] gallium을 첨가할 경우에는 캐리어 수를 감소시켜 주는 것으로 알려져 있다. [6] 그림 2.1 에 금속물질 비율에 따른 산화물 반도체의 특성 변화를 나타내었다. 이러한 특성을 바탕으로 산화물 반도체를 최적화 시킬 수 있는 금속 물질의 종류나 비율을 찾는 연구도 행해지고 있다. 현재 산화물 반도체의 주요 기술적인 이슈는 외부 환경과 관련된 소자의 전기적 안정성이라 할 수 있다. 소자 동작과정에서 공기 중 산소와의 결합의 생성은 캐리어 농도 증가로 나타나고 결과적으로 문턱전압의 변동을 야기한다. [8] 또한 습도, 빛 그리고 온도에도 많은 영향을 받는다. 이러한 외부환경으로부터 소자를 보호하기 위하여 외부환경에 영향을 적게 받는 재료를 선택 하거나 보호막을 입히는 패시베이션을 수행하고 있다. [9-10]

표 2.1. 산화물 반도체 박막 트랜지스터의 특성 비교 [4]

	a-Si:H	Poly-Si (LTPS/HTPS)	Amorphous oxide
Generation	>10G	4G/8G?	8G
Channel	a-Si:H	ELA/SPC	a-InGaZnO ₄
TFT masks for LCD/ OLED	(3)4-5/6-7	5-9/7-11	4-5/6-7
Mobility (cm ² Vs ⁻¹)	<1	30->100	1-20(100?)
TFT uniformity	Good	Poor/better	Good
TFT polarity	n-ch	CMOS	n-ch
Pixel circuit for OLED	Complex (ex. 4T2C)	Complex (ex. 5T2C)	Simple (2T+1C)
Cost/yield	Low/high	High/low	Low/high
V _{th} shift	>10V	<0.5V	<1V
Light stability	Poor	Good	Superior to a-Si
Circuit integration	No	Yes	Yes
Process T	150-350 °C	250-550 °C	RT-400(600) °C
Display mode	LCD, OLED(?)	LCD, OLED	LCD, OLED, E-paper
Substrate	Glass, metal, (plastic)	Glass, metal, (plastic)	Glass, metal, plastic
Solution process, printing	No	Laser annealed	270-400 °C



(a)



(b)

그림 2.1. 금속 물질의 비율에 따른 IGZO 산화물 박막 트랜지스터의 (a) 이동도 (μ_{FE}), (b) 동작전압 (V_{on}) 변화 [5]

2.2 산화물 박막 트랜지스터 제작 방법

2.1 장에서 설명하였듯이 산화물 박막 트랜지스터는 여러 가지 우수한 특성을 바탕으로 현재 많은 연구가 진행 되어 지고 있다. 이러한 산화물 박막 트랜지스터를 제작하는 방법으로는 크게 진공공정과 비진공공정 (용액공정)으로 나눌 수 있다. 진공공정은 현재 TFT-LCD, AMOLED와 같은 평판 디스플레이들의 공정에 이용되는 방법으로 대표적으로 스퍼터링 (sputtering)과 화학기상증착 (CVD) 방식이 있다. 일반적으로 게이트와 소스/드레인 전극은 스퍼터 방식을, 채널 층과 게이트 절연막은 화학기상증착 방식을 이용하고 있다. [8-10] 위와 같은 진공공정 방식은 고성능, 고신뢰성의 박막 트랜지스터를 제작할 수 있다는 장점이 있는 반면 장비의 시스템이 복잡하고 가격이 비싸며 진공챔버 안에서 공정이 진행되어 디스플레이를 대면적화 시키는데 한계가 있다. 이러한 한계를 극복하기 위하여 장비가 비교적 간단 하고 가격이 싸며 대면적, 대량생산에 적당한 용액공정이 새로운 공정 시스템으로 부각 되고 있다. 대표적인 용액공정 방법으로 스핀코팅과 잉크젯 프린팅을 들 수 있다. [11, 16] 물론 용액공정은 아직까지 진공공정에 비하여 성능 및 신뢰성의 개선이 필요하지만 이것을 개선할 수 있으면 디스플레이

의 저가격화, 대량생산에 많은 기여를 할 수 있을 거라 사료된다.
표 2.2 에 진공공정과 용액공정 방식의 특성을 비교해 보았다. 이번
장에서는 진공공정과 용액공정의 종류와 방법에 대해서 좀 더 자세
히 다루어 보기로 하겠다.

표 2.2. 진공방식과 비진공방식 (용액공정)의 비교

	Vacuum	Non-vacuum (solution-process)
Method	Sputtering CVD ALD PLD	Spin-coating Ink-jet printing Dipping Roll-coating
Advantage	Good quality Easy to control Good stability	Low cost Large area Wide range of materials Direct patterning (ink-jet printing)
Disadvantage	High cost	Quality Stability Reproducibility

2.2.1 진공공정

진공을 이용하여 박막을 제조하는 기술은 크게 물리적 방식을 이용하는 physical vapor deposition (PVD)와 화학적 방식을 이용하는 chemical vapor deposition (CVD)로 분류될 수 있다. 물리적 방법은 화학적 방법보다 작업조건이 깨끗하고 진공상태에서 저항열이나 전자빔 또는 플라즈마를 이용하여 고체상태의 물질을 기체상태로 만들어 기판에 직접 증착시키는 방식이다. 화학적 방식은 증착하고 싶은 필름을 가스형태로 웨이퍼 표면으로 이동시켜 가스의 반응으로 표면에 필름을 증착시키는 방식이다. 여기에서는 물리적 방식의 대표적 방법인 스퍼터링 (sputtering)과 화학적 방식의 화학기상증착 (CVD)에 대해서 알아보겠다.

(1) 스퍼터링 (sputtering)

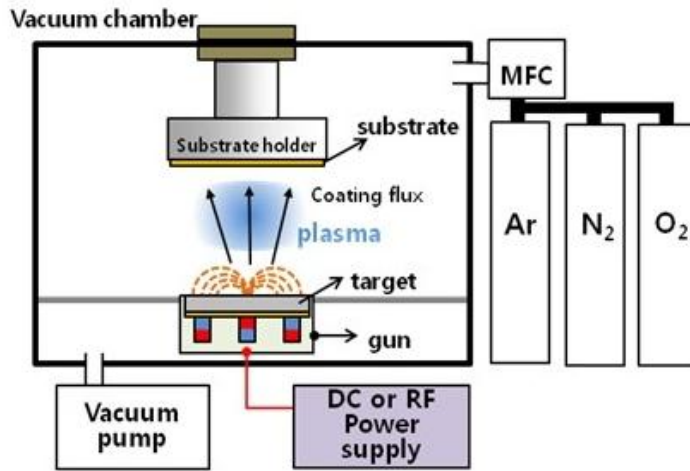
그림 2.2 (a)에 나온 것과 같이 스퍼터링은 이온화된 원자를 전기장에 의해 가속시켜 박막재료에 충돌시키고 그 충돌에 의하여 박막재료의 원자들이 튀어나와 박막을 형성시키는 방법이다. 진공챔버내에 Ar과 같은 불활성기체를 넣고 cathode 에 음전압을 가하면 cathode 로부터 방출된 전자들이 Ar 기체원자와 충돌하여

Ar 을 이온화 시킨다. 이온화 된 Ar 이온은 큰 전위차에 의해 타겟쪽으로 가속되어 타겟의 표면과 충돌하면 중성의 타겟원자들이 튀어나와 기판에 박막을 형성한다. 스퍼터링의 장점으로는 막 두께가 균일하고 큰 면적의 타겟이 이용가능하며 박막의 밀착력이 우수하다는 것이다. 반면 막 증착속도가 낮고 박막이 전자, 이온 등에 노출되어 손상을 입을 수 있다는 단점이 있다. 스퍼터링의 종류로는 직류 전원을 이용하는 DC 스퍼터링, 교류전원을 이용하는 RF 스퍼터링이 있다.

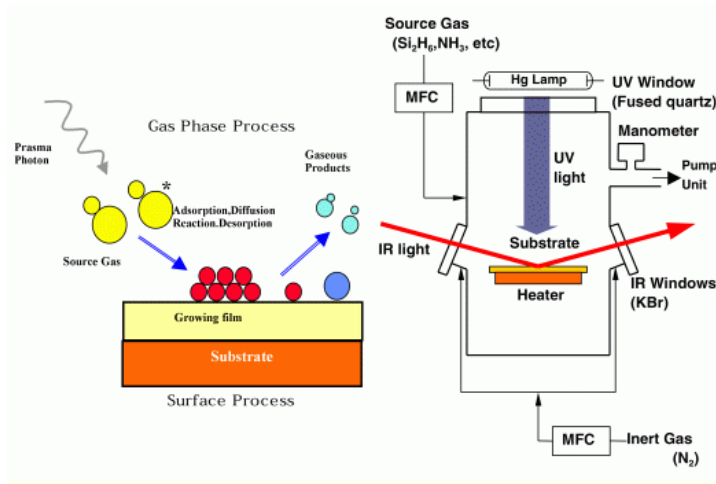
(2) 화학기상증착 (CVD)

그림 2.2 (b)에 나온 것과 같이 화학기상증착은 외부와 차단된 반응실 안에 기판을 넣고 gas를 공급하여 열, 플라즈마, 빛 또는 임의의 에너지에 의하여 열분해를 일으켜 기판의 성질을 변화시키지 않고 박막을 형성시키는 방법이다. 화학기상증착의 장점으로는 다양한 재료에 적용이 가능하고 증착 층 성분의 조절이 가능하며 복잡한 형태위에 균일한 박막형성이 가능하다는 것이다. 반면 증착 반응에 대한 기판 안정도를 고려해야 하고 기판과 증착 재료간의 열팽창계수 차이를 고려해야 하며 공정 후 남은 부산물의 처리에 비용이 많이 든다는 단점이 있다. 화학기상증착의 종류로는 증착 조건과 방식에 따라 APCVD (atmospheric pressure CVD), LPCVD (low pressure CVD), PECVD (plasma enhanced CVD),

MOCVD (Metal Organic CVD) 등이 있다.



(a)



(b)

그림 2.2. 진공공정 방식 (a) 스퍼터링, (b) 화학기상증착

[Ref. Materials Surface and Interface Science Lab]

2.2.3 용액공정

용액공정은 진공공정과 다르게 비진공상태에서 박막을 증착하는 방식으로서 장비를 좀 더 단순화시키고 비용을 절감하여 대량생산을 하기 위해 고안된 방식이다. 비진공공정을 용액공정이라하는 이유는 용액을 제작하여 박막의 재료로 이용하기 때문이다. 용액제조는 원하는 박막에 맞는 적절한 용질과 용매를 합하여 이루어 진다. 용액공정의 종류는 막을 증착하는 방법에 따라 스펀코팅 (spin-coating), 잉크젯 프린팅 (ink-jet printing), 딥코팅 (dip-coating) 그리고 롤코팅 (roll-coating) 등이 있지만 여기에서는 대표적 방법인 스펀코팅과 잉크젯 프린팅에 대해서 알아보겠다.

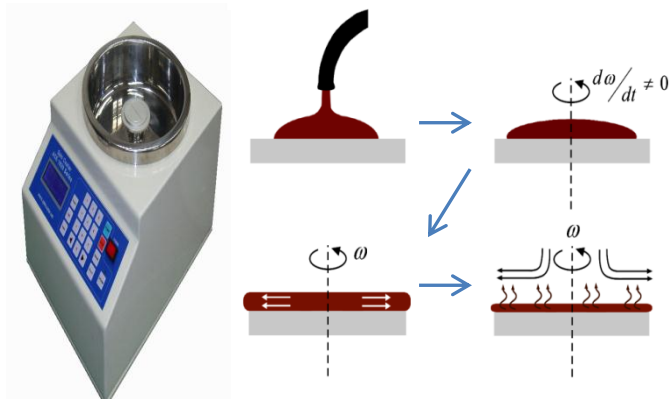
(1) 스펀코팅 (spin-coating)

그림 2.3 (a)에 나와 있는 것과 같이 스펀코팅은 코팅할 물질의 용액이나 액체 물질을 기판 위에 떨어뜨리고 3000 rpm 이상의 고속으로 기판을 회전시켜 용액을 얇게 퍼지게 하여 박막을 형성시키는 방법이다. 스펀코팅으로 얻은 박막은 완전히 증착된 것이 아니며 적절한 열처리를 거친 후 완전한 막이 형성된다. 스펀코팅의 장점으로

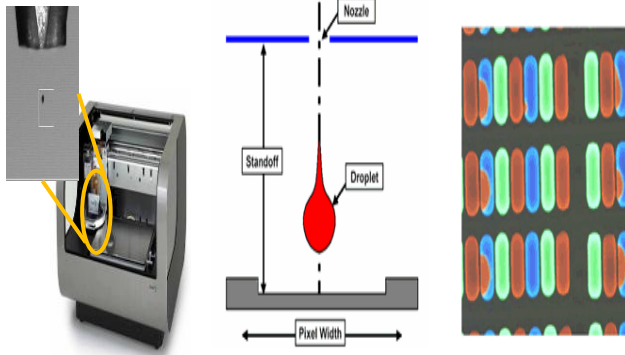
로는 공정장비가 단순하고 회전속도를 조절하여 막의 두께를 조절할 수 있으며 기공크기, 표면적과 같은 미세구조 제어가 용이하다는 것이다. 반면 분자 배향성이 떨어지고 단차가 나는 기판 위에 균일하게 증착할 수 없다는 단점이 있다. 참고로 본 논문의 모든 용액공정은 스핀코팅 방법을 이용하여 제작하였다.

(2) 잉크젯 프린팅 (inkjet-printing)

그림 2.3. (b)에 나와있는 것과 같이 잉크젯 프린팅은 우리가 일반적으로 아는 잉크젯 프린터의 원리를 그대로 반도체에 적용한 기술이다. 박막 재료 용액을 작은 노즐과 잉크젯 프린터를 사용하여 패턴을 하고자 하는 부분에 소량 떨어뜨려 막을 형성시키는 것으로 별도의 패터닝 과정이 필요 없는 다이렉트 패터닝 (direct patterning)이 가능하다는 것이 가장 큰 장점이며 디스플레이를 대면적화 시키기에도 적합한 방법이다. 그러나 잉크젯 프린팅은 노즐이 자주 막히고 패턴의 모양과 두께를 조절하기 어렵다는 단점이 있다. 잉크젯 프린팅 방법 또한 일정한 열처리를 거쳐야 완전한 막을 형성할 수 있다.



(a)



(b)

그림 2.3. 용액공정 방식 (a) 스핀 코팅 (b) 잉크젯 프린팅

제 3 장. 용액공정을 이용한 산화물 박막

트랜지스터

2 장에서 소개된 것처럼 용액 공정은 간편한 장비와 공정, 저렴한 단가, 대면적 및 플렉서블 기판과의 호환성 그리고 다양한 물질선택에 따른 특성 조절의 유연함 등의 많은 장점을 갖고 있다. 제 3장에서는 전 용액공정 산화물 박막 트랜지스터 제작의 일환으로 이러한 용액 공정을 다양하게 적용하여 산화물 박막 트랜지스터(oxide TFTs)를 제작 하는 것을 소개하였다. 첫 번째로는 채널 층을 형성하는 zinc tin oxide (ZTO) 반도체 막을 용액공정을 적용하여 TFT를 제작하였다. 그 다음으로는 소스/드레인 전극을 Ag을 이용하여 용액공정으로 제작하고 Ag 용액의 종류와 온도에 따라 전극을 최적화 시켰다. 마지막으로 게이트 절연막을 aluminum oxide (Al_2O_3)를 이용하여 용액공정으로 제작하고 멀티코팅을 통하여 게이트 절연막을 최적화

시켰다. 각 소자를 제작하는 과정에서 각 부분의 박막의 특성과 소자의 전기적 특성을 알아보았고 또한 게이트 절연막의 유전율 감소 원인 확인을 위하여 secondary ion mass spectrometry (SIMS) 분석도 진행하였다.

3.1 용액공정을 이용한 채널 층을 갖는 산화물 박막

트랜지스터

3.1.1 연구 목적

최근 산화물 반도체가 디스플레이 백플레인의 스위칭 소자로 사용되는 TFT의 반도체 채널 층으로 매우 큰 관심을 받고 있다. 디스플레이의 급속한 대형화, 고해상도화, 고속화 그리고 AMOLED와 3D display와 같은 새로운 유형의 디스플레이가 발전하고 있는 현 시점에서 그 동안 반도체 물질로 널리 사용되었던 비정질 실리콘 (a-Si)은 이동도와 안정성 측면에서 다결정 실리콘 (poly-Si)은 균일도 측면에서 한계에 부딪히고 있다. 이에 비해 산화물 반도체는 우수한 이동도와 균일도를 보여주고 있고 더 나아가 큰 밴드갭으로 인한 90% 이상의 투과율 그리고 플렉서블 기판에서 제작이 가능하다는 점 등 여러 가지 장점들을 갖고 있어 디스플레이 산업에서 차세대 반도체 재료로 강력한 후보로 떠오르고 많은 연구가 진행되고 있다. [6-9]

공정 시스템 측면에서는 공정 단가와 시간 절약 측면에서 용액을 이용한 공정이 이슈가 되고 있다. 지금까지 oxide TFTs 제작 시 스퍼터나 CVD와 같은 진공 증착 방식을 주로 이용하고 있는데

이러한 방식들은 값비싼 장비와 복잡한 공정을 필요로 하고 있는 것이 사실이다. 반면에 용액 공정은 공정이 간단하고 시스템이 저렴하다. 현재까지 용액공정으로 반도체 채널 층이 제작된 산화물 박막 트랜지스터는 대표적으로 IGZO, ZTO 가 있다. [5] 본 논문에서는 ZTO를 반도체 막으로 선택하였는데 이는 값이 비싼 indium의 사용을 줄여 공정 단가를 줄이고 tin을 사용하여 반도체 막의 안정성을 높일 수 있기 때문이다. [6-7]

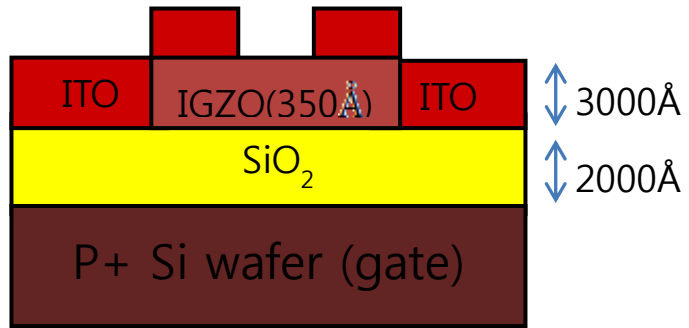
이번 3.1 장에서는 채널 층을 형성하는 ZTO 반도체 막을 용액 공정을 이용하여 디스플레이 장치를 구성하는 박막 트랜지스터 소자로서 동작하기 충분한 특성을 갖는 oxide TFTs를 제작하였다. 대표적인 용액 공정인 스핀 코팅 방식을 이용하여 ZTO막을 증착하였고 제작 후 문턱전압, 이동도, subthreshold swing (SS) 등과 같은 소자의 전기적 특성을 확인하였다.

3.1.2 용액공정을 이용한 ZTO TFTs

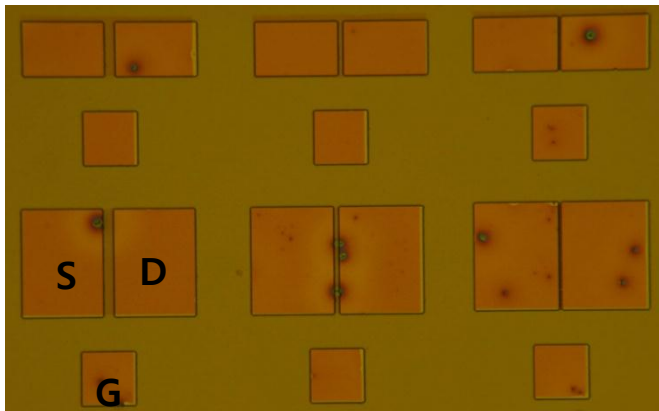
3.1.2.1 ZTO 채널 층 증착 및 ZTO TFTs 제작

그림 3.1에 나와 있는 것과 같은 구조의 ZTO TFTs를 제작하기 위해서는 우선 ZTO 반도체 막을 위한 용액제조가 필요하다. zinc chloride (ZnCl_2)와 tin chloride (SnCl_2)를 9:5 비율로 2-methoxyethanol (2ME)에 용해시킨다. 이 용액을 20분간 상온에서 stirrer 를 이용하여 750 rpm 으로 잘 저어준다. 용액이 만들어지는 동안 200 nm 의 silicon oxide (SiO_2)가 올라간 저저항 p타입 실리콘 ($\text{p}^+ \text{Si}$) 웨이퍼 를 클리닝 해준다. 이 저저항 p타입 실리콘은 저항이 아주 낮아 게이트 역할을 한다. 클리닝 된 웨이퍼를 10분간 자외선(UV) 처리를 해준 후 만들어진 용액을 가지고 4000 rpm 으로 30 초간 스핀 코팅을 해준다. 그 후 바로 200 °C 10분간 선 열처리를 하는데 이것은 ZTO와 게이트 절연막 사이의 원자들을 재배열 시켜줘 균일도를 증가시켜주기 때문이다. [15] 그 후 D.I water 와 HF 를 1 : 500으로 섞은 용액을 이용하여 패터닝을 해주고 RTA에서 350 °C 10분간 열처리를 해주었다. 소스/드레인 전극은 shadow 마스크를 이용하여 ITO로 30분간 스퍼터링 방식으로 증착한 뒤 350 °C hot plate 위에서

1시간동안 열처리를 해주었다. 채널의 넓이와 길이는 각각 1000 μm , 500 μm 이다.



(a)

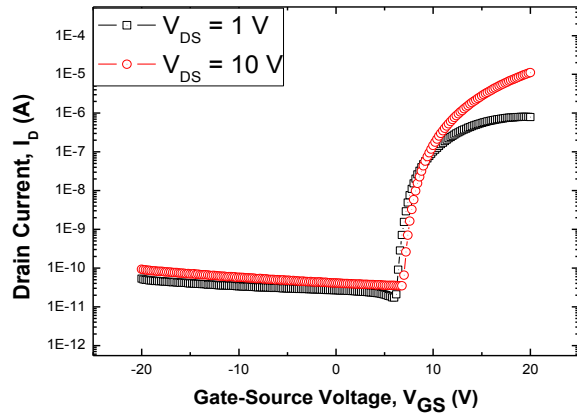


(b)

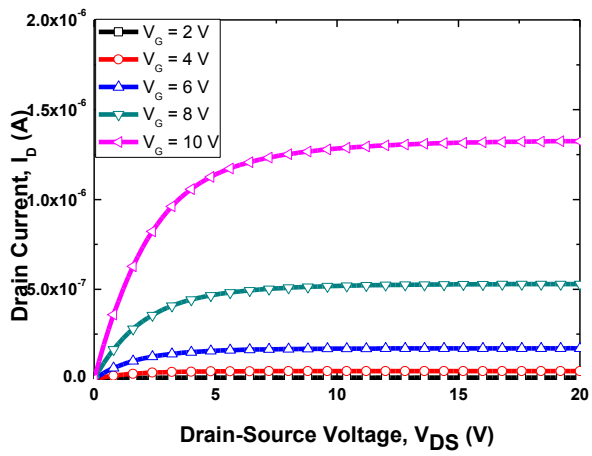
그림 3.1. 스프인코팅을 이용한 ZTO TFTs의 (a) 구조,
(b) 사진

3.1.2.2 ZTO TFTs의 전기적 특성

그림 3.2 (a)는 스핀 코팅으로 제작된 ZTO 채널 층을 갖는 TFTs의 transfer 특성을 보여준다. V_{DS} 가 각각 10, 0.1 V 일 때의 그래프가 나타나 있다. 그림 3.2 (b)는 output 특성을 보여준다. V_{DS} 가 10 V이고 채널 폭과 길이가 1000 μm , 500 μm 일 때 제작된 ZTO TFTs는 이동도 (mobility) 6.95 cm^2/Vs , 문턱전압 (threshold voltage) 10.4 V, SS (subthreshold swing) 1.6 V/dec, on/off 전류 비율 (current ratio) 10^5 이상을 보이고 있다. 이러한 특성을 표 3.1에 정리하였다.



(a)



(b)

그림 3.2. 스핀코팅을 이용한 ZTO TFT의 (a) transfer curve, (b) output curve

표 3.1 $V_{DS} = 10\text{ V}$ 일 때 스펀코팅을 이용한 ZTO TFTs의
전기적 특성

Electrical properties @ $V_{DS} = 10\text{ V}$	$W/L = 1000/500$ (μm)
Thereshold voltage [V]	10.4
Mobility [cm^2/Vs]	6.95
Subthreshold swing [V/dec]	1.6
On current [A]	3×10^{-5}
$I_{\text{on}}/I_{\text{off}}$ ratio	10^5

3.1.3 요약

3.1 장에서는 oxide TFTs의 반도체 채널 부분인 ZTO 박막을 용액공정으로 제작하고 그 전기적 특성을 분석하였다. 스피노코팅을 이용한 ZTO TFTs의 특성은 이동도 $6.95 \text{ cm}^2/\text{Vs}$, 문턱전압 10.4 V , SS 1.6 V/dec , on/off 전류 비율 10^5 이상을 보이고 있다. 이처럼 용액공정은 진공공정을 이용하여 제작된 oxide TFTs에는 미치지 못하지만 기존의 실리콘 기반의 TFTs와 비교해 보았을 때는 문턱전압을 제외한 나머지 성질은 거의 비슷함을 확인할 수 있다. 따라서 이러한 공정비용에서 유리한 용액공정을 더 발전시켜 상용화 한다면 평판 디스플레이 제작을 보다 더 값싸고 간단히 할 수 있을 것이다.

3.2 용액공정을 이용한 소스/드레인 전극을 갖는

산화물 박막 트랜지스터

3.2.1 연구 목적

평판 디스플레이를 저렴한 가격으로 대면적화, 대량생산 할 수 있는 용액공정을 이용한 ZTO TFTs의 채널 층 제작과 그 특성에 대해서 앞 장에서 알아보았다. 박막 트랜지스터는 채널 층 뿐만 아니라 게이트 전극, 게이트 절연막, 소스/드레인 전극으로 구성된다. 이 모든 부분을 모두 용액공정을 통해서 제작한다면 기존의 공정비용을 훨씬 더 많이 줄일 수 있으며 모든 공정장비가 단순화 될 것이다. 이번 장에서는 박막 트랜지스터의 소스/드레인 전극을 용액공정을 이용하여 제작하고 그 특성을 알아보기로 하겠다. 현재 용액공정을 이용한 소스/드레인 전극의 대표적인 물질은 ITO, Cu, Ag 이며 이에 대한 많은 연구가 진행되고 있다. ITO는 막의 저항은 조금 높으나 contact 저항이 낮고 투명한 성질이 있어 투명 디스플레이에 적용이 가능하다. [22] Cu는 식각이 어렵고 공정 시 오염이 잘되어 후속공정이 힘들다는 단점이 있지만 저항이 낮고 가격이 저렴하다는 장점이 있다. [23] 본 논문에서는 Ag를 소스/드레인 전극으로

선택하였는데 그 이유는 가격이 좀 비싸다는 단점이 있지만 위의 물질들 중 저항이 가장 낮고 박막 증착이 다른 물질들 보다 수월하다는 이점이 있기 때문이다. [24] 표 3.2에 여러 물질과 그 비저항에 대해 다루었다.

이번 3.2 장에서는 스피노딩으로 Ag 박막을 증착하고 증착온도와 용액의 종류에 따른 Ag 박막의 특성을 평가할 것이다. 또한 위의 방법으로 제작된 Ag 박막을 소스/드레인 전극으로 이용하고 스퍼터링을 이용한 채널 층을 갖는 IGZO TFTs를 제작하여 전기적 특성을 알아보고 최적화 된 용액의 종류와 증착온도를 도출할 것이다.

표 3.2. 여러 전극 물질의 비저항

물질	비저항
Ag	1.47×10^{-8}
Cu	1.72×10^{-8}
Au	2.42×10^{-8}
Al	2.82×10^{-8}
Fe	1.0×10^{-7}
Pt	1.1×10^{-7}
ITO	1.0×10^{-3}

3.2.2 용액공정을 이용한 Ag 소스/드레인 전극을 갖는

IGZO TFTs

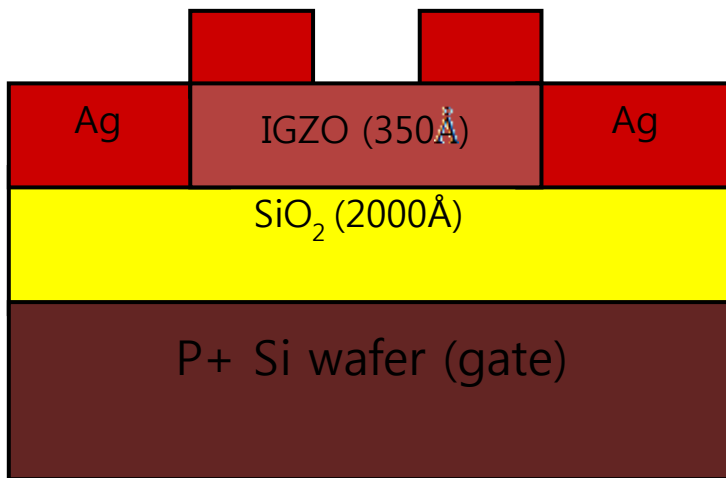
3.2.2.1 Ag 소스/드레인 전극 증착 및 IGZO TFTs 제작

Ag 박막을 최적화 시키기 위하여 Ag 함량에 따른 Ag 용액의 종류와 증착온도를 바꾸어 보는 실험을 하였다. 용액은 잉크테크 (Inktech) 에서 구입하였으며 Tec-CO-011, Tec-IJ-060, Tec-IJ-010으로 그림 3.3 (a)에 나와있다. Ag 함량은 각각 5~10 %, 12 %, 15 % 이다. 증착온도는 50 °C 부터 250 °C 까지 50°C 단위로 바꾸어 실험을 하였다. 클리닝된 웨이퍼 위에 각 용액을 5000 rpm 으로 20 초간 스핀코팅 해준 후 바로 hot plate 위에 150°C로 20분간 열처리 해준다. 막이 증착되면 4-point probe 를 이용하여 면저항을 측정한다. 온도에 따른 Ag 박막 실험은 Tec-IJ-010 용액을 5000 rpm 으로 20초간 스핀코팅 해준 후 열처리 온도를 50, 100, 150, 200, 250 °C로 각각 막을 증착시키고 그 후 4-point probe 를 이용하여 면저항을 측정한다. 그림 3.3 (b)와 같은

IGZO TFT의 제작은 우선 클리닝 된 저저항 p타입 실리콘 (p+ Si)에 스퍼터링을 이용하여 IGZO 채널 층을 증착시키고 hot plate 위에 350 °C 로 1시간 동안 열처리 해준다. 패터닝 은 shadow 마스크를 이용한다. 채널 증착 후 위의 Ag 박막 실험에서 해주었던 모든 조건으로 소스/드레인 전극을 증착시킨다. 소스/드레인 패터닝은 D.I water와 CR-4 를 1:4 로 섞은 용액으로 박막을 에칭해준다. 채널의 넓이와 길이는 각각 1000 μm , 500 μm 이다.



(a)



(b)

그림 3.3. (a) Ag 잉크 와 (b) 스펀코팅을 이용한 Ag 소스/드레인 전극을 갖는 IGZO TFT의 구조

3.2.2.2 Ag 박막 및 IGZO TFTs 특성 최적화

용액의 종류에 따른 박막의 특성을 살펴보면 Tec-CO-011, Tec-IJ-060, Tec-IJ-060 박막의 두께는 각각 200, 190, 190 nm 이고, 면저항은 1.04, 0.91, 0.59 Ω/sq 이다. 박막 두께와 면저항을 이용하여 각 박막의 비저항을 구해보면 2.08×10^{-5} , 1.73×10^{-5} , 1.12×10^{-5} $\Omega \cdot \text{cm}$ 이다. 쉽게 예상할 수 있듯이 Ag 함량이 높은 용액일수록 박막의 저항이 낮아 박막의 특성이 더 좋음을 확인할 수 있다. 박막의 특성이 가장 좋은 Tec-IJ-010으로 실험한 증착온도에 따른 특성은 증착온도가 각각 50, 100, 150, 200, 250 $^{\circ}\text{C}$ 일 때 박막의 두께는 120, 180, 190, 230, 220 nm 이고 면저항은 50 $^{\circ}\text{C}$ 일 때는 저항이 아주 높아 측정이 불가능했고 그 이외의 온도에서는 1.76, 0.59, 0.53, 0.60 Ω/sq 이 나왔다. 박막의 두께와 면저항으로 추출된 비저항은 100, 150, 200, 250 $^{\circ}\text{C}$ 각각 2.12×10^{-5} , 1.12×10^{-5} , 1.22×10^{-5} , 1.32×10^{-5} $\Omega \cdot \text{cm}$ 이다. 이 결과로 인하여 증착온도가 증가할수록 막의 두께가 조금씩 증가한다는 것과 150 $^{\circ}\text{C}$ 에서 가장 좋은 저저항 특성을 보인다는 것을 확인할 수 있었고 Ag 박막을 최적화 시키기 위해선 Ag 함량이 가장 높은 Tec-IJ-010 용액을 150 $^{\circ}\text{C}$ 에서 증착시켜야 한다

는 결론을 얻을 수 있다. 표 3.2 에 Ag 함량에 따른 용액의 종류와 증착온도에 따른 Ag 박막의 특성을 정리해 놓았다. 그림 3.4 에서는 V_{DS} 가 10 V 일 때 용액의 종류에 따른 IGZO TFTs 의 transfer 특성 그래프를 보여준다. 각 IGZO TFT에 따른 전기적 특성은 표 3.3 에 나타내었다. Tec-CO-011, Tec-IJ-060, Tec-IJ-010을 각각 소스/드레인 전극으로 이용한 IGZO TFTs는 문턱전압 6.4, 5.2, 3.8 V, 이동도 2.3, 2.2, 2.3 cm^2/Vs , SS 3.4, 2.4, 2.3 V/dec, on/off 전류비율은 10^4 , 10^5 , 6×10^5 의 특성을 나타내었다. 소스/드레인 전극 용액의 Ag 함량이 증가할수록 Ag 막의 전도성이 증가하여 on current 가 증가하는 것을 볼 수 가 있다. 반면 문턱전압과 SS는 Ag 함량이 증가할 수록 감소하였다. 따라서 Ag 함량이 가장 높은 Tec-IJ-010 용액이 IGZO TFTs의 소스/드레인 전극 용액으로 가장 적합하다는 것을 알 수 있다.

이 Tec-IJ-010 용액을 이용한 증착온도에 따른 소스/드레인 전극을 갖는 IGZO TFTs의 전기적 특성은 그림 3.5 에서 볼 수 있다. V_{DS} 가 10 V 일 때의 transfer 특성 그래프이다. 증착온도가 각각 100, 150, 200, 250 $^{\circ}\text{C}$ 일 때 문턱전압 4.2, 3.8, 3.6, 7.6 V, 이동도 2.1, 2.3, 2.3, 1.9 cm^2/Vs , SS 2.6, 2.3, 2.4, 3.2 V/dec, on/off 전류비율 10^4 , 6×10^5 , 3×10^5 , 2×10^4 의 특성을 보였다. 증착온도가 50 $^{\circ}\text{C}$ 일 때는 TFTs로서의 동작특성을 보이지 않았다. 증착온도에 따른 IGZO TFT 특성의 경향성은 보이지 않지만 150 $^{\circ}\text{C}$ 와 200

℃ 일 때의 TFTs 특성이 가장 좋은 것을 확인할 수 있다. 각 IGZO TFTs에 따른 전기적 특성은 표 3.4 에 나타내었다. 위의 모든 결과를 종합해 볼 때 Ag 박막을 소스/드레인 전극으로 이용할 때 최적의 조건은 Ag 함량이 가장 높은 Tec-IJ-010 용액을 이용하고 증착온도를 150 ℃로 유지해야 된다는 것을 알 수 있다.

표 3.3. (a) Ag 함량에 따른 용액의 종류와 (b) 증착온도에 따른 Ag (Tec-IJ-010) 박막의 특성

Ag 용액종류	Ag함량 (%)	박막두께 (nm)	면저항 (Ω/sq)	비저항 ($\Omega\cdot\text{cm}$)
Tec-CO-011	5~10	200	1.04	2.08×10^{-5}
Tec-IJ-060	12	190	0.91	1.73×10^{-5}
Tec-IJ-010	15	190	0.59	1.12×10^{-5}

(a)

Ag 박막 증착온도	박막 두께 (nm)	면저항 (Ω/sq)	비저항 ($\Omega\cdot\text{cm}$)
50 ℃	120	측정불가	측정불가
100 ℃	180	1.76	2.12×10^{-5}
150 ℃	190	0.59	1.12×10^{-5}
200 ℃	230	0.53	1.22×10^{-5}
250 ℃	220	0.60	1.32×10^{-5}

(b)

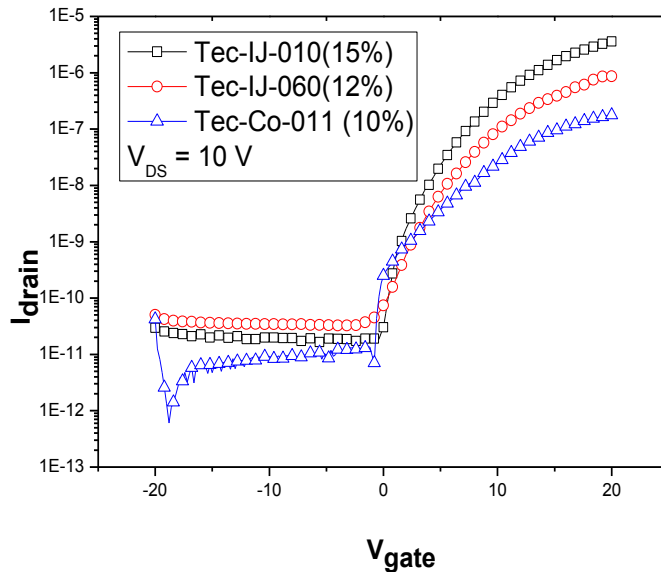


그림 3.4. V_{DS} 가 10 V 일 때 용액의 종류에 따른 IGZO TFTs 의 transfer 특성

표 3.4 Ag 함량에 따른 IGZO TFTs의 전기적 특성

Ag 용액종류	Threshold voltage [V]	Mobility [cm ² /Vs]	Subthreshold swing [V/dec]	I _{on} /I _{off} ratio
Tec- CO-011	6.4	2.3	3.4	10 ⁴
Tec- IJ-060	5.2	2.2	2.4	10 ⁵
Tec- IJ-010	3.8	2.3	2.3	6×10 ⁵

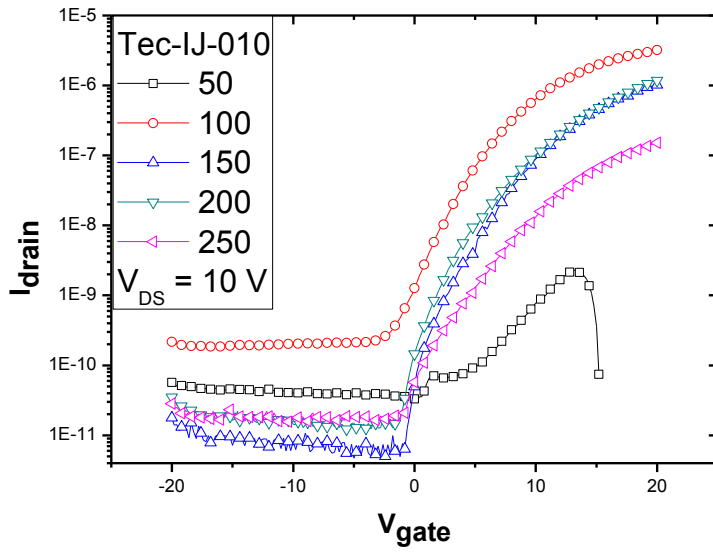


그림 3.5. V_{DS} 가 10 V 일 때 소스/드레인 전극 증착온도에 따른 IGZO TFTs 의 transfer 특성

표 3.5 소스/드레인 전극 증착온도에 따른 IGZO TFTs의
전기적 특성

Ag 박막 증착온도	Threshold voltage [V]	Mobility [cm ² /Vs]	Subthreshold swing [V/dec]	I _{on} /I _{off} ratio
50 °C	측정불가	측정불가	측정불가	측정 불가
100 °C	4.2	2.1	2.6	10 ⁴
150 °C	3.8	2.3	2.3	6×10 ⁵
200 °C	3.6	2.3	2.4	3×10 ⁵
250 °C	7.6	1.9	3.2	2×10 ⁴

3.2.3 요약

3.2 장에서는 oxide TFTs의 소스/드레인 부분을 스펀코팅을 이용하여 제작하고 그 특성을 분석하였다. Ag 함량에 따른 용액의 종류와 증착온도에 따라 박막 특성과 IGZO TFTs의 성능을 분석한 결과 Ag 함량이 높을수록 박막의 저항이 낮아지고 소자의 전기적 특성 좋아지는 것을 확인할 수 있었고 증착온도에 따라서는 경향성은 보이지 않았지만 150 °C 또는 200 °C 로 증착시키는 것이 낮은 박막 저항과 좋은 소자 특성을 보인다는 것을 알 수 있다. 따라서 Ag 함량이 가장 높은 Tec-IJ-010 용액을 150 °C 로 증착시키는 것이 가장 최적화한 Ag 소스/드레인 전극 공정이라고 결론지을 수 있다.

3.3 용액공정을 이용한 게이트 절연막을 갖는 산화물 박막 트랜지스터

3.3.1 연구 목적

앞의 3.1, 3.2 장에서 용액공정을 이용한 ZTO TFTs와 Ag 소스/드레인 전극을 갖는 스퍼터 IGZO TFTs의 제작과 그 특성에 대해서 알아보았다. 전 용액공정 박막 트랜지스터를 제작하기 위해서는 게이트 절연막 부분 또한 용액공정을 이용해서 제작해야 한다. 일반적으로 게이트 절연막에 요구되는 사항은 높은 유전율과 절연특성이다. 높은 유전율의 게이트 절연막을 갖는 소자는 일정한 electrical field 에 대해서 더 높은 capacitance를 갖기 때문에 on 전류를 증가시키고 문턱전압과 SS를 감소 시킬 수 있어 저전압구동이 가능하다. [25] 게이트 절연막의 절연특성은 밴드갭 (bandgap) 과 밴드오프셋(band offset)에 관련된 것으로 밴드갭과 밴드오프셋이 높을수록 절연특성이 더 좋아 진다. [28] 현재까지 연구되어진 바로는 게이트 절연막의 유전율과 절연특성은 서로 반비례 관계를 가지고 있다. 그림 3.6 에 나타난 여러 가지 물질에 대한 밴드갭과

유전율의 경향성이 그것을 보여준다. [26] 그렇기 때문에 게이트 절연막 물질을 결정할 때 각 소자의 특성을 고려하여야 한다. 여러 가지 물질에 따른 유전율 특성과 절연특성을 표 3.4 에 정리해 놓았다. 현재 용액공정으로 제작된 게이트 절연막 물질로는 aluminum oxide (Al_2O_3), yttrium hafnium zinc oxide (YHfZnO), zinc gallium oxide (ZnGaO), zinc gallium lithium (ZnGaLiO), zirconium oxide (ZrO_2) 등이 있다. [27-30] 본 연구에서는 aluminum oxide를 게이트 절연막으로 선택했는데 그 이유는 다른 높은 유전율 (20 이상)을 가진 물질보다 유전율 (9)은 조금 낮지만 기존의 silicon oxide (SiO_2 , 3.9) 보다 유전율이 높고 SiO_2 를 제외한 다른 모든 물질보다 절연특성이 좋기 때문이다. 또한 비정질 특성을 가지고 있어서 균일성도 좋다. [26]

이 번 장에서는 이 Al_2O_3 게이트 절연막을 스펀코팅을 1 ~ 5 번 반복하는 멀티코팅을 이용하여 제작하고 각 멀티코팅 횟수 별 게이트 절연막에 대한 유전율 특성과 절연특성을 알아볼 것이다. 게이트 절연막을 용액공정으로 제작하기 위해선 누설전류를 방지하기 위한 충분한 두께 확보가 필요하다. 이를 위해서는 멀티코팅이 필수적이다. 또한 각 멀티코팅 횟수 별로 IGZO TFTs 를 제작하여 그것의 전기적 특성을 비교 분석하고 게이트 절연막에 최적화 된 멀티코팅 횟수를 찾아낼 것이다.

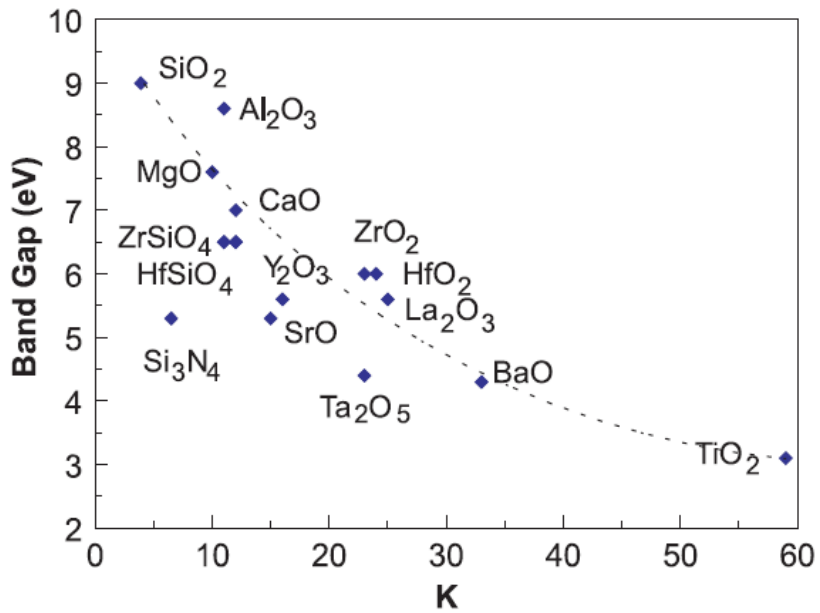


그림 3.6. 여러 가지 물질에 대한 유전율 과 밴드갭의
반비례적 특성 [26]

표 3.6 여러 가지 물질에 대한 유전율, 밴드갭, 밴드오프셋 및 결정구조 [25]

Material	Dielectric constant (κ)	Band gap E_G (eV)	ΔE_C (eV) to Si	Crystal structure(s)
SiO ₂	3.9	8.9	3.2	Amorphous
Si ₃ N ₄	7	5.1	2	Amorphous
Al ₂ O ₃	9	8.7	2.8 ^a	Amorphous
Y ₂ O ₃	15	5.6	2.3 ^a	Cubic
La ₂ O ₃	30	4.3	2.3 ^a	Hexagonal, cubic
Ta ₂ O ₅	26	4.5	1–1.5	Orthorhombic
TiO ₂	80	3.5	1.2	Tetrag. ^c (rutile, anatase)
HfO ₂	25	5.7	1.5 ^a	Mono. ^b , tetrag. ^c , cubic
ZrO ₂	25	7.8	1.4 ^a	Mono. ^b , tetrag. ^c , cubic

3.3.2 용액공정을 이용한 Al_2O_3 게이트 절연막을 갖는

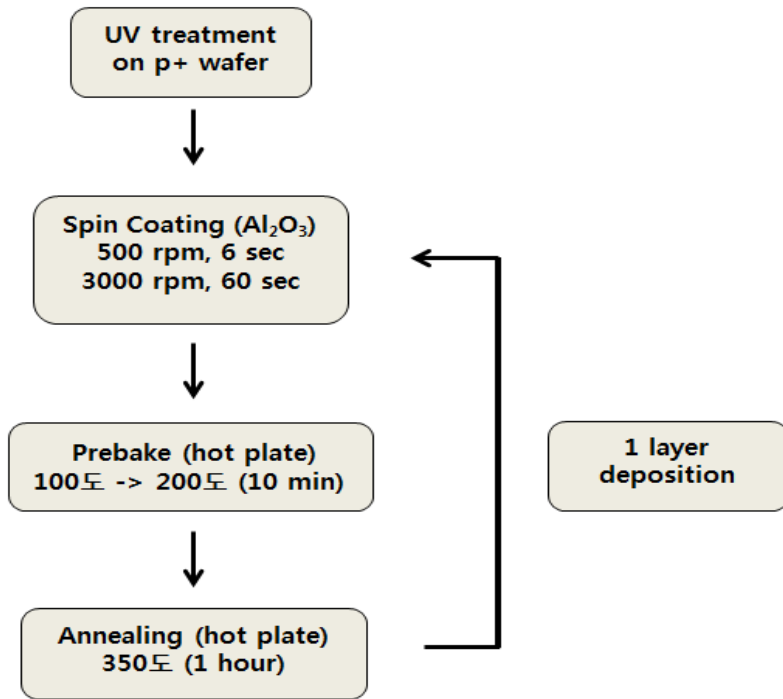
IGZO TFTs

3.3.2.1 멀티코팅을 이용한 Al_2O_3 게이트 절연막 증착 및

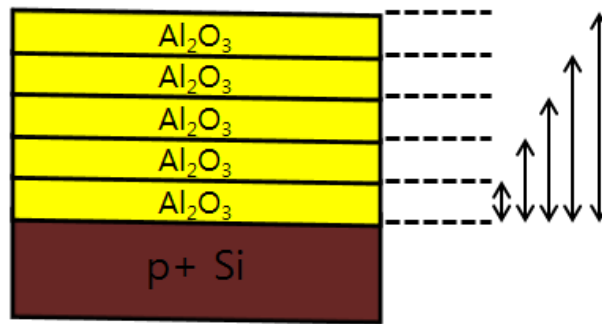
IGZO TFTs 제작

Al_2O_3 게이트 절연막을 얻기 위해서는 우선 스펀코팅을 위한 용액 제조가 필요하다. 용액의 제조는 aluminum nitrate nonahydrate ($\text{Al}(\text{NO}_3)_3 \cdot 9\text{H}_2\text{O}$) 3g을 2-methoxyethanol (2ME) 10ml 에 용해시킨다. 몰 비율은 0.8 M 이다. 이 용액을 hot plate 위에 75 °C 750 rpm으로 2 시간 동안 stirrer를 이용하여 잘 저어 준다. 그 후 클리닝 된 저저항 p 타입 실리콘 (p+ Si) 웨이퍼 위에 3000 rpm 으로 60 초간 스펀코팅 해준다. 스펀코팅 후 바로 hot plate를 이용해서 200 °C로 20분간 열처리를 해주고 이어서 350 °C로 1시간 열처리 해준다. 이렇게 하면 1 층의 게이트 절연막이 완성되는 것이다. 위의 스펀코팅과 열처리 과정을 5번까지 반복하여 1 ~ 5 층의 게이트 절연막을 증착시킨다. 그림 3.7에 이러한 과정을 도식화 하였다. 게이트 절연막 분석을 위해선 metal insulator metal (MIM) 구조가 필요하다. 이를 위해 스퍼터링을

이용하여 30분 동안 ITO 를 증착시킨다. 패터닝은 shadow 마스크를 이용한다. MIM 구조는 ITO/ Al_2O_3 /p+ Si 이다. IGZO TFT의 제작은 저저항 p 타입 실리콘 웨이퍼 위의 스펀코팅 된 Al_2O_3 게이트 절연막 위에 스퍼터링을 이용하여 5 분간 IGZO 채널 층을 증착시키고 hot plate 위에 350 °C 로 1시간 동안 열처리 해준다. 패터닝은 shadow 마스크를 이용한다. 소스/드레인 전극 역시 스퍼터링 방식을 이용하여 30분 동안 ITO를 증착시키고 hot plate 위에 350 °C 로 1시간 동안 열처리 해준다. 패터닝 또한 shadow 마스크를 이용한다. 이렇게 제작된 IGZO TFTs의 채널 넓이와 길이는 각각 1000 μm , 500 μm 이다. 그림 3.8에 게이트 절연막 분석을 위한 MIM 구조와 Al_2O_3 게이트 절연막을 용액공정으로 갖는 IGZO TFTs 를 나타내었다.



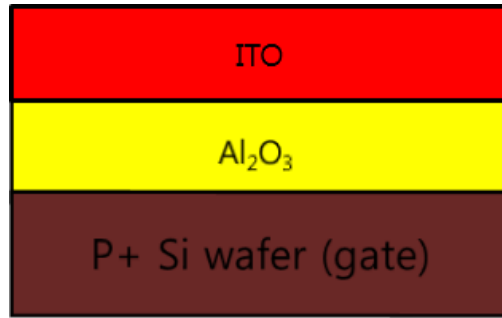
(a)



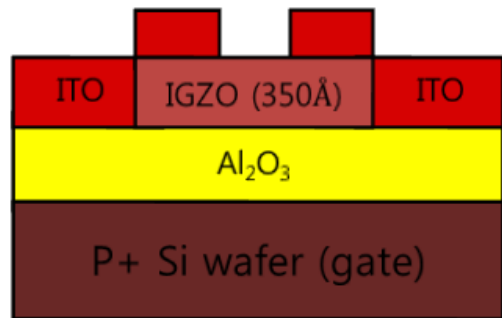
(b)

그림 3.7. 멀티 코팅 Al_2O_3 게이트 절연막 (a) 증착과정,

(b) 단면 구조



(a)



(b)

그림 3.8. 멀티코팅 Al_2O_3 게이트 절연막을 갖는 (a) MIM 구조, (b) IGZO TFTs

3.3.2.2 멀티코팅을 이용한 Al_2O_3 게이트 절연막 특성

(1) C-V 측정을 이용한 Al_2O_3 유전율 추출

기존의 SiO_2 보다 높은 유전율을 갖는 Al_2O_3 의 유전율을 추출하기 위해서 각 주파수 별 전압 (V) 에 따른 정전용량 (capacitance) 특성을 알아보았다. ITO/ Al_2O_3 /p+ Si 의 MIM 구조를 이용하여 측정하였으며 주파수 범위는 1 kHz 부터 1MHz 이다. 그림 3.9는 100 kHz 주파수에서 전압에 따른 정전용량 (C)의 값을 멀티코팅 횟수 별로 나타내 주고 있다. 멀티코팅을 1 ~ 5 번 해준 Al_2O_3 를 1층 ~ 5층 Al_2O_3 라 할 때 각각 정전용량 값은 1층 2.14 ~ 2.25 nF, 2층 1.04 ~ 1.10 nF, 3층 0.70 ~ 0.75 nF, 4층 0.49 ~ 0.53 nF, 5층 0.37 ~ 0.41 nF 이다. 정전용량의 값이 하나로 정해지지 않고 각 층별로 값의 오차가 있는 것은 여러 샘플들을 측정했고 그 때마다 조금의 오차가 생겼기 때문이다. 위의 결과를 보면 멀티코팅 횟수가 증가 할수록 정전용량의 값이 감소하는 것을 볼 수 있는데 이것은 정전용량의 값이 절연막의 두께에 반비례하기 때문이다. 또한 전압에 따른 정전용량의 값이 일정한 이유는 MIM 구조의 특성 때문이다. 다음의 식은 Al_2O_3 의 유전율 추출의 기본이 되는 정전용량

(C)에 관한 식이다.

$$C = \epsilon_0 \epsilon_r A/d$$

ϵ_0 : 진공상태 유전율, ϵ_r : 상대적 유전율, A: 절연막의 넓이, d: 절연막의 두께

위의 식에서 확인할 수 있듯이 어떤 물질의 상대적 유전율 (dielectric constant)을 구하기 위해서는 그 물질의 정전용량의 값과 두께 및 넓이를 알아야 한다. 진공상태의 유전율은 정해진 값 (8.8542×10^{-12} F/m) 이므로 굳이 측정할 필요는 없다. 절연막의 넓이는 MIM 구조를 만들 때 ITO 패턴의 넓이 (2.5×10^{-6} m²) 로 구할수 있고 두께는 scanning electron microscope (SEM) 을 이용하여 측정할 수 있다. 그림 3.10에 Al₂O₃ 각 층에 따른 SEM 사진을 나타내었다. SEM 측정 결과 1, 2, 3, 4, 5 층 별 두께는 각각 90, 180, 260, 340, 420 nm 로 한번 코팅 시 대략 80 ~ 90 nm 정도 증가한다. 유전율 추출을 위한 정전용량의 값은 주파수가 100 kHz 일 때의 값을 선택하였는데 그 이유는 유전율 추출에 신뢰성을 높여주기 위해서 이다. 측정결과 주파수 값에 따른 정전용량의 값은 그림 3.11 (a)에 나온 것 같이 주파수가 증가할수록 감소 한다. 100 kHz 까지 서서히 감소하다 1 MHz 에서 급격히 감소하는 것을 볼 수 있다. 유전율의 값과 정전용량의 값은 서로 비례하기 때문에 유전율이 최소가 나오는 정전용량의 값을 택하여 유전율

을 계산하였을 때 high-k 물질에 대한 신뢰도를 줄 수 있다. 정전 용량이 가장 낮은 1 MHz 를 선택하지 않은 이유는 그림 3.11 (b) 와 같이 일반적으로 유전율의 값이 1 MHz 에서 급격히 떨어지는데 이것은 위 실험에서의 정전용량의 급격한 감소를 설명해 줄 수 있다. 그렇기 때문에 이 수치를 가지고 유전율을 추출하는 것은 바람직 하지 않다. 위의 모든 결과를 바탕으로 추출된 Al_2O_3 의 유전율은 1, 2, 3, 4, 5 층 각각 8.95, 8.7, 8.5, 7.85, 7.5 이다. 이 유전율 값 들은 오차범위의 유전율 값의 평균을 낸 것이다. 기존의 Al_2O_3 (9) 의 유전율에 비해선 조금 떨어지지만 현재 상용화 된 SiO_2 (3.9) 보다는 두 배 이상 높다는 것을 확인할 수 있다. 위의 모든 결과를 표 3.4에 정리해 놓았고 그림 3.12에 오차범위를 포함한 Al_2O_3 층 별 유전율 값을 나타내었다. 이 실험에서 한가지 주목할 만한 점은 멀티코팅 횟수를 증가시킬수록 유전율이 감소한다는 것이다. 유전율은 물질이 가진 고유의 특성으로서 이론대로라면 이런 현상은 있을 수 없다. 하지만 Al_2O_3 게이트 절연막 제작이 진공공정 방식이 아닌 용액공정 방식을 이용한 것이므로 유전율 감소에 대한 가능성은 제고 할 수 있다. 이 부분은 3.3.2.4 장에서 자세히 다루도록 하겠다.

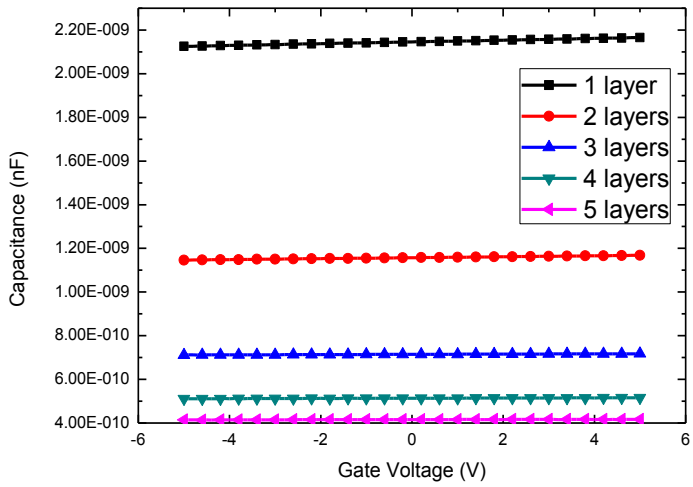
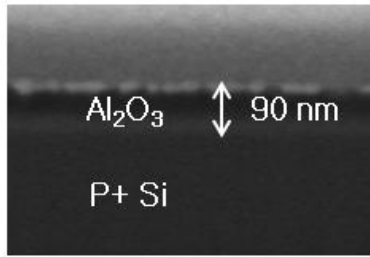
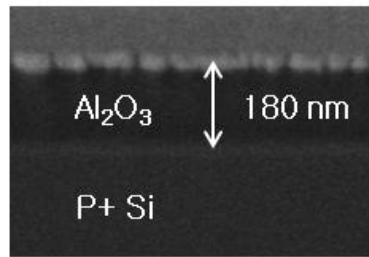


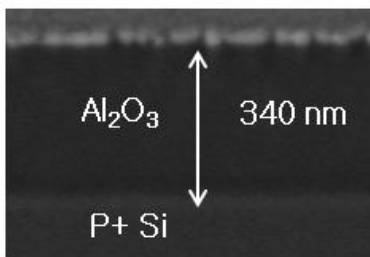
그림 3.9. 100 kHz 주파수 에서 Al₂O₃의 멀티코팅 횟수에 따른 정전용량



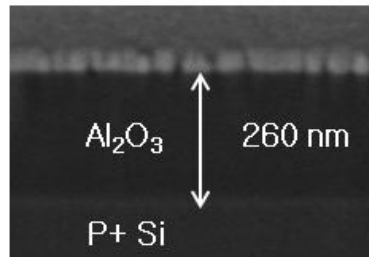
[1 layer]



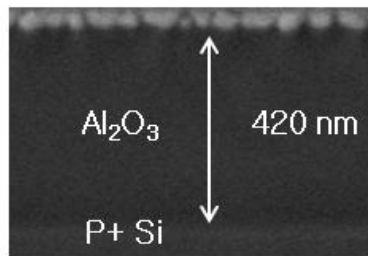
[2 layers]



[3 layers]

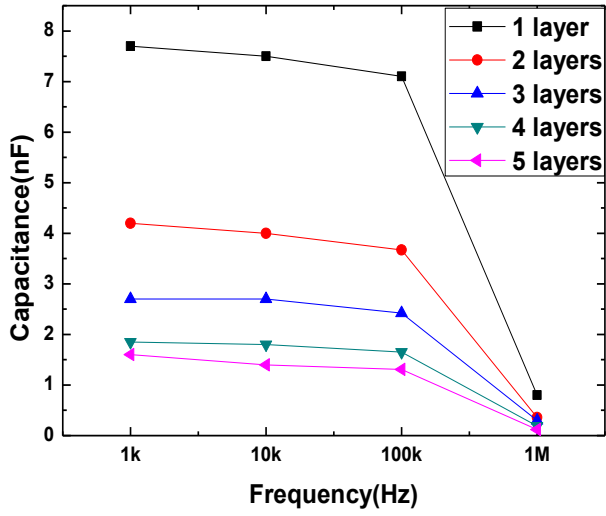


[4 layers]

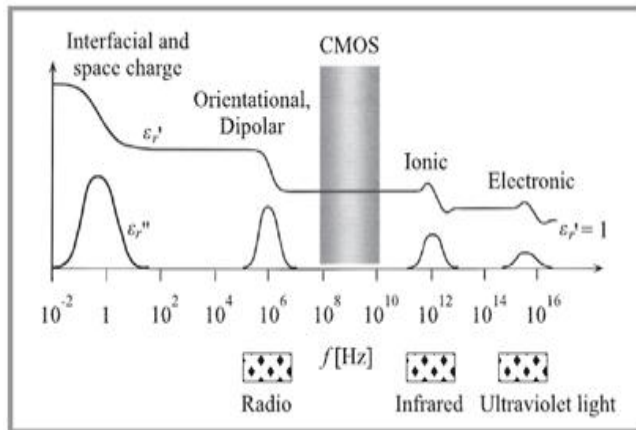


[5 layers]

그림 3.10. SEM을 이용한 멀티코팅 횟수에 따른 Al₂O₃의 두께



(a)



(b)

그림 3.11. (a) 주파수 증가에 따른 Al_2O_3 정전용량의 감소

(b) 일정 주파수 이상에서 유전율의 급격한 감소[26]

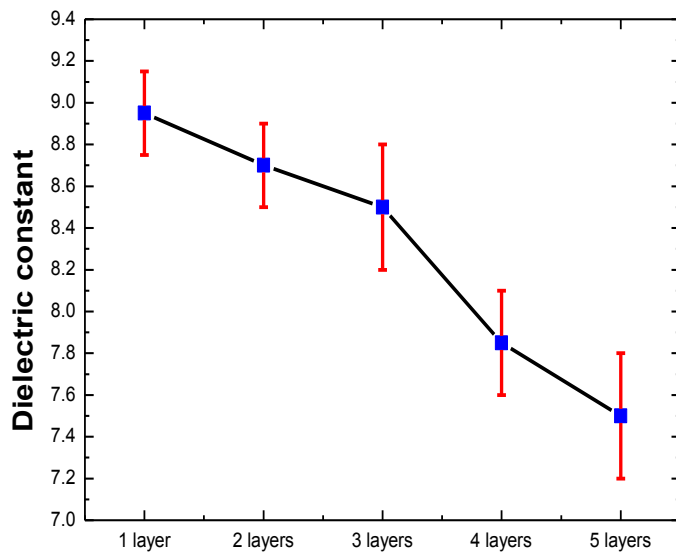


그림 3.12. 오차범위를 포함한 멀티코팅 횟수에 따른 Al_2O_3 의 유전율

표 3.7 멀티코팅 횟수에 따른 Al_2O_3 의 두께, 정전용량 및 유전율

	Thickness (nm)	Capacitance (nF)	ϵ_r
1 layer	90	2.14 ~ 2.25	8.7 ~ 9.1
2 layers	180	1.04 ~ 1.10	8.5 ~ 8.9
3 layers	260	0.70 ~ 0.75	8.2 ~ 8.8
4 layers	340	0.49 ~ 0.53	7.6 ~ 8.1
5 layers	420	0.37 ~ 0.41	7.2 ~ 7.8

(2) I-V 측정을 이용한 Al₂O₃ 절연특성

Al₂O₃를 게이트 절연막으로 이용하기 위해서는 우수한 절연특성이 필요하다. Al₂O₃는 밴드갭과 밴드오프셋이 커서 ZrO₂과 같은 여러 high-k 물질 중 가장 절연특성이 우수하다. [26] 그림 3.13에 ITO/Al₂O₃/p+ Si 의 MIM 구조를 이용하여 측정한 Al₂O₃의 절연특성이 나와있다. 그림을 보면 1층, 2층의 Al₂O₃는 낮은 전압에서도 누설전류가 심한 것을 볼 수 있다. 하지만 3, 4, 5층의 Al₂O₃는 파괴전압 전까지 10⁻¹¹ A/cm² 안정적인 누설전류를 보이고 있다. 이 결과로 용액공정 Al₂O₃의 누설전류는 박막의 두께에 의해 결정된다는 사실과 안정적인 누설전류를 확보하기 위해서는 충분한 두께의 Al₂O₃가 필요하다는 것을 알 수 있다. 특이한 점은 두께에 따라 누설전류가 지수함수적으로 감소한다는 것이다. 1층과 2층의 누설전류가 비슷하다가 3층에서 급격히 감소하고 3층과 4층이 비슷하다 5층에서 박막의 절연특성이 급격히 좋아진다. 이것은 파괴전압을 통해 알 수 있는데 Al₂O₃ 각 층당 파괴전압은 5.6, 8.2, 50.0, 61.4, 98.6 V 이다. 그림 3.14에 Al₂O₃ 각 층당 파괴전압을 그래프로 나타내었다. 결국 게이트 절연막으로 이용할 수 있는 멀티코팅 횟수는 3번 이상이라는 것을 위 실험을 통하여 확인하였다.

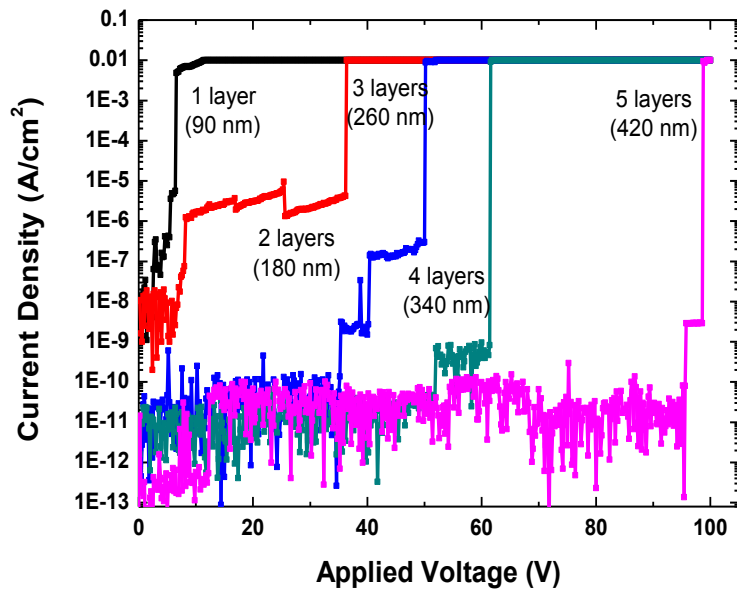


그림 3.13. 멀티코팅 횟수에 따른 Al_2O_3 의 절연특성

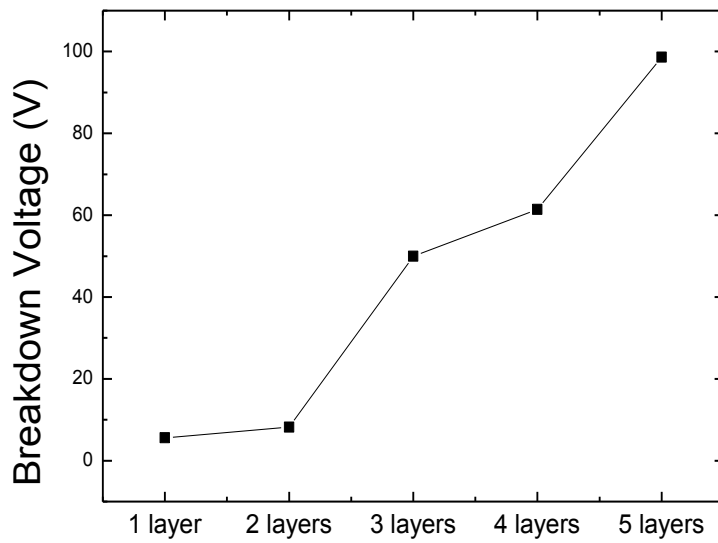


그림 3.14. 멀티코팅 횟수에 따른 Al₂O₃의 파괴전압

3.3.2.3 Al₂O₃ 게이트 절연막을 갖는 IGZO TFTs 특성

앞 절의 Al₂O₃ 박막 특성을 바탕으로 Al₂O₃ 게이트 절연막을 갖는 IGZO TFT를 제작하고 그 특성을 확인하였다. 그림 3.15와 3.16에서는 $V_{DS} = 10 \text{ V}$ 일 때 Al₂O₃ 게이트 절연막을 갖는 IGZO TFT의 transfer curve를 보여준다. 예상했던 대로 1층, 2층 Al₂O₃ 게이트 절연막을 갖는 IGZO TFT는 누설전류가 커서 TFT의 특성이 나오지 않았다. 그에 비하여 3, 4, 5 층 Al₂O₃ 게이트 절연막을 갖은 IGZO TFTs는 각각 이동도 7.56, 7.46, 6.15 cm²/Vs, 문턱전압 2.8, 3.0, 4.6 V, SS 1.2, 1.6, 2.0 V/dec, on/off 전류비율 8×10^6 , 5×10^6 , 2×10^6 의 특성을 보였다. 그림 3.17은 3, 4, 5 층 Al₂O₃ 게이트 절연막을 갖는 IGZO TFT의 output curve를 보여준다. $V_{DS}, V_{GS} = 10 \text{ V}$ 일 때 드레인 전류는 3, 4, 5층 각각 6.2, 3.7, 2.3 μA 이다. 위의 결과를 보면 알 수 있듯이 멀티코팅 횟수가 증가하여 절연막의 두께가 증가할수록 문턱전압과 SS는 증가하고 이동도와 on/off 전류비율은 감소한다. 또한 output curve에서 볼 수 있듯이 드레인 전류도 감소한다. 이와 같은 현상이 나타나는 이유는 멀티코팅 횟수 증가에 따라 게이트 절연막의 두께가 증가하고 유전율이 낮아지면 같은 전압을 인가했을 때 전계의 세기가 작아지고 그 만큼 캐리어 (carrier)들이

채널에 더 적게 모이게 된다. 채널에 캐리어가 적게 모이면 그곳의 캐리어 밀도 (carrier density)가 감소하고 캐리어 밀도가 감소하면 이동도가 감소한다는 Hosono 교수팀의 percolation conduction model의 원리를 따른다. [33-34] 게이트 절연막의 두께 증가에 따른 이동도 감소의 또 다른 원인을 알아내기 위하여 AFM (atomic force microscopy)을 이용하여 3, 4, 5 층 게이트 절연막 표면의 거칠기 (roughness)를 측정하였다. 그림 3.18에 AFM 이미지를 보면 중간중간 뾰족한 하얀 부분이 있는데 이것은 Al_2O_3 박막의 거칠기가 아닌 표면에 붙은 불순물이 이미지화 된 것이다. 그러므로 이 부분을 제외한 고른 부분의 일정영역 roughness의 RMS (root mean square) 값을 추출하였다. 3, 4, 5 층 Al_2O_3 의 roughness의 RMS 값은 각각 1.05, 1.08, 1.30 nm 이다. 이 수치를 보면 멀티코팅 횟수가 증가할수록 roughness가 증가하여 채널영역에서 캐리어가 이동할 때 게이트 절연막의 roughness에 영향을 받아 감소한다고 생각할 수도 있지만 엄밀히 말하면 게이트 절연막의 roughness에 의하여 캐리어의 이동이 영향을 받기 위해서는 적어도 수 nm 의 RMS 값이 차이가 있어야 한다. [31-32] 그렇기 때문에 표면 roughness 증가에 의한 게이트 절연막 두께 증가에 따른 이동도 감소는 희박하다고 할 수 있다.

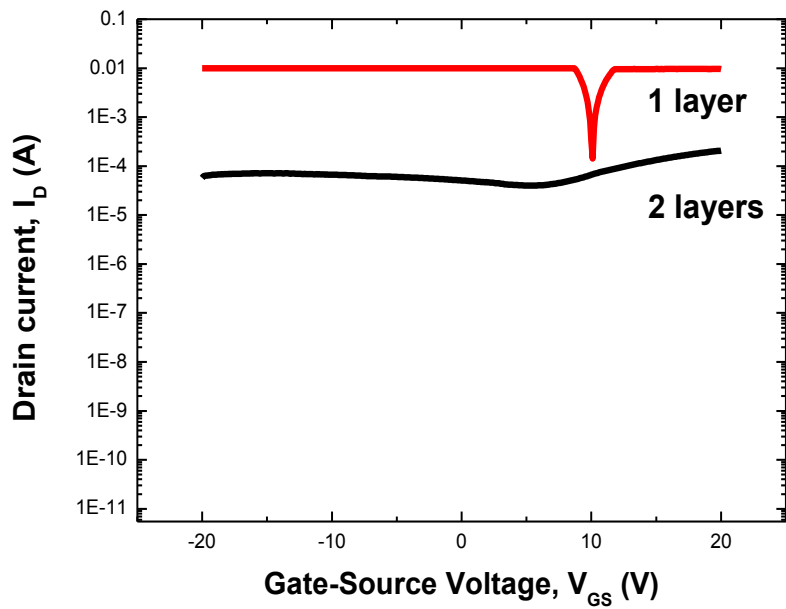
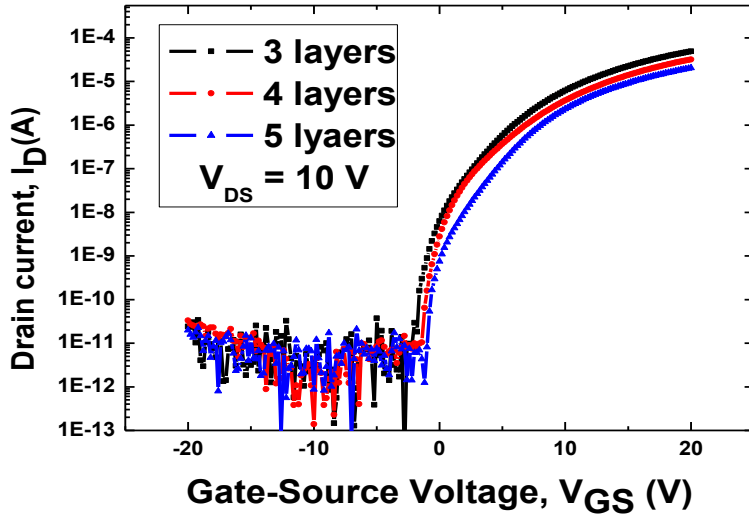
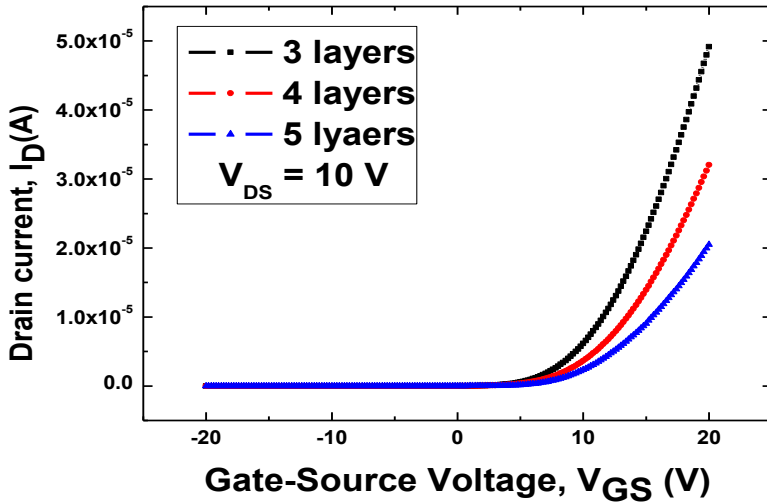


그림 3.15. $V_{DS} = 10$ V 일 때 1층, 2층 Al_2O_3 게이트 절연막을 갖는 IGZO TFTs의 transfer curve

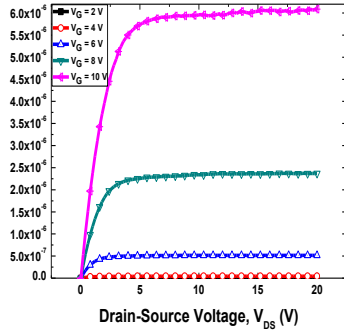


(a)

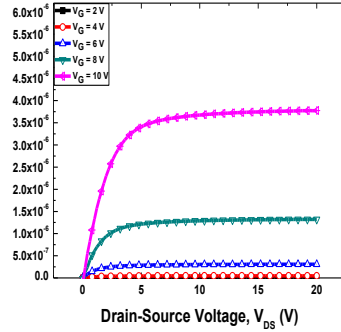


(b)

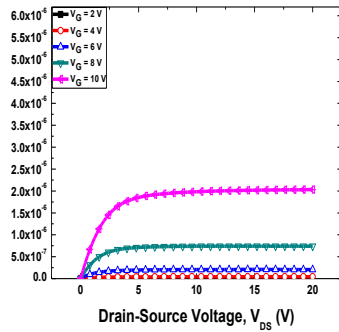
그림 3.16. $V_{DS} = 10 \text{ V}$ 일 때 3, 4, 5층 Al_2O_3 게이트 절연막을 갖는 IGZO TFTs의 transfer curve (a) log scale, (b) linear scale



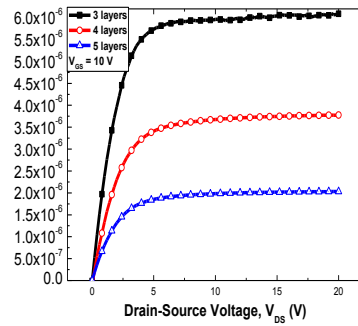
(a)



(b)



(c)



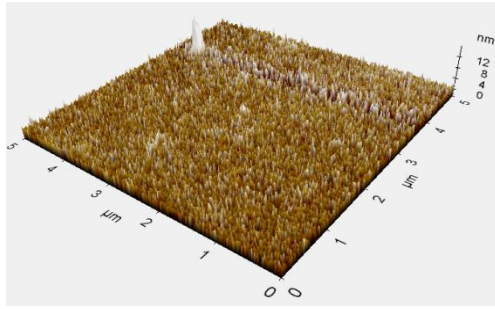
(d)

그림 3.17. 3, 4, 5층 Al_2O_3 게이트 절연막을 갖는 IGZO TFTs의 output curve (a) 3층, (b) 4층, (c) 5층, (d) $V_{GS} = 10 \text{ V}$ 일 때 3, 4, 5 층 비교

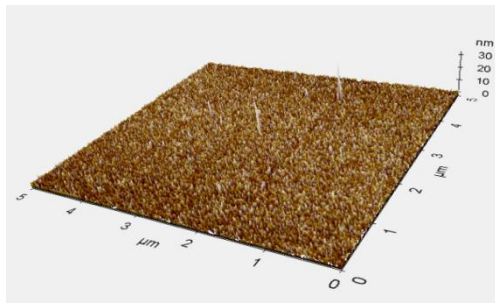
표 3.8. 3, 4, 5층 Al₂O₃ 게이트 절연막을 갖는 IGZO TFTs의
전기적 특성

	Mobility (cm ² /Vs)	Drain current (uA)	Vth (V)	S.S (V/dec)	Ion/off
3 layers	7.56	6.2	2.8	1.2	8 × 10 ⁶
4 layers	7.46	3.7	3.0	1.6	5 × 10 ⁶
5 layers	6.15	2.3	4.6	2.0	2 × 10 ⁶

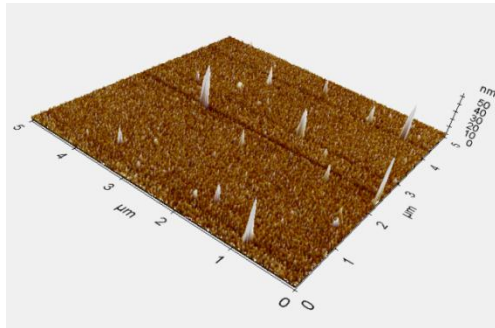
cf) Drain current : V_{DS} and V_{GS} = 10 V 일 때의 drain
current



(a)



(b)



(c)

그림 3.18. AFM을 이용한 3, 4, 5층 Al_2O_3 의 표면 roughness (a) 3층, (b) 4층, (c) 5층

3.3.2.4 SIMS 분석을 통한 멀티코팅 횡수 증가에 따른 유전율 감소 원인 확인

3.3.2.2. 장에서 멀티코팅 횡수에 따른 Al_2O_3 두께 증가에 의해서 유전율이 감소하는 현상이 발견되었다. 일반적으로 유전율은 물질의 고유한 특성이다. 그렇기 때문에 단순히 두께가 증가했다고 해서 유전율이 감소한다는 것은 사실상 불가능한 일이다. 그러나 용액공정을 바탕으로 한 멀티코팅에서는 Al_2O_3 박막을 한층 한층 쌓아 올릴 때 열처리 과정에서 불순물이 박막에 침투할 수 있고 박막을 쌓는 과정에서 그 사이의 경계면이 유전율에 영향을 줄 가능성이 있으므로 이것에 대해 알아 보기로 하겠다.

$$\epsilon_r = 1 + (N\alpha_e) / \epsilon_0$$

ϵ_0 : 진공상태 유전율, ϵ_r : 상대적 유전율, N : 단위체적당 분자수,

α_e : 분극률

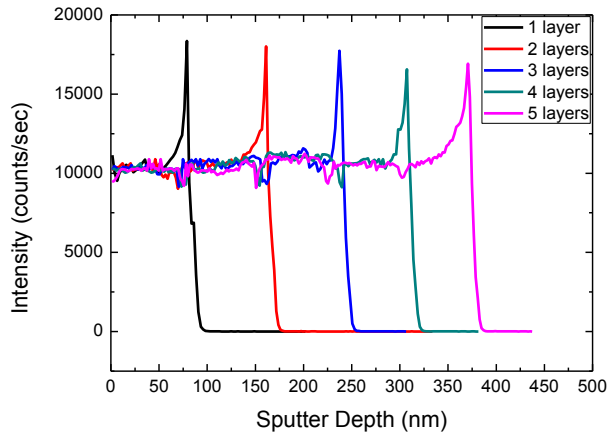
위의 식을 보면 유전율 (상대적 유전율)은 단위체적당 분자수와 분극률에 비례하는 것을 알 수 있다. 단위체적당 분자수는 밀도를 말하며 분극률은 한 원자가 분극을 할 수 있는 정도를 뜻한다. 즉, 밀도가 크고 분극률이 높은 원자가 많으면 유전율이 높아진다고 할

수 있다. 그러므로 용액공정 과정에서 침투하는 불순물의 양과 그것들의 분극률을 알고 멀티코팅을 통해서 올린 1층부터 5층까지의 박막 밀도를 알 수 있다면 유전을 감소 현상을 설명할 수 있다. 표 3.9 에 Al, O 원자의 분극률과 열처리 과정에서 침투할 수 있는 공기 중의 불순물에 대한 분극률이 나와있다. 이것은 Al 보다 분극률이 훨씬 낮은 C, N, H가 Al_2O_3 박막 경계면에 침투하면 유전율이 낮아 질 수 있다는 가능성을 보여준다. 1 ~ 5 층 Al_2O_3 박막 경계면의 불순물의 양과 상대적 밀도를 확인하기 위해서 SIMS (secondary ion mass spectroscopy) 분석을 하였다. 그림 3.19 는 멀티코팅 횟수에 따른 각 Al_2O_3 의 SIMS 데이터를 보여주고 있다. SIMS 데이터를 보고 바로 분석을 하기 어렵기 때문에 그림 3.20 에 두께에 따라 정규화 시킨 각 원자수의 평균에 대한 그래프를 나타내었다. C는 정확한 평균 원자수 추출이 불가능하여 생략하였다. 그림 3.20을 보면 멀티코팅 횟수가 증가할수록 Al과 O의 원자수는 감소하는 경향이 있으나 N과 H의 원자수는 특정한 경향이 나타나지 않는다. 이 결과로 당초 예상했던 불순물 증가에 의한 분극률 감소로 유전율 감소현상을 설명하기에는 어려움이 있다. 하지만 밀도의 측면에서 보면 Al 과 O의 원자수가 멀티코팅 횟수가 증가함에 따라 감소하고 또한 3.19 (a)를 보면 중간중간 급격히 Al 원자수가 작아지는 구간을 볼 수 있다. 이것은 Al_2O_3 각 박막의 경계면 부위에서 일정 공간이 생겨

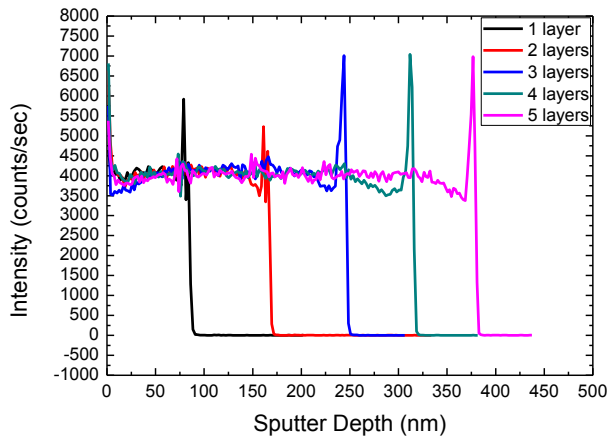
그 부분에 급격히 Al이 감소한다고 추리할 수 있고 그 공간은 불안정한 박막 특성을 가지고 있다고 생각할 수 있다. 다시 말해 Al과 O의 원자수 감소에 의한 Al_2O_3 박막 밀도의 감소와 계면에 의한 박막의 불완전성에 의해서 멀티코팅 횟수 증가에 의한 유전을 감소가 일어난다고 할 수 있다.

표 3.9. 여러 원자들의 분극률

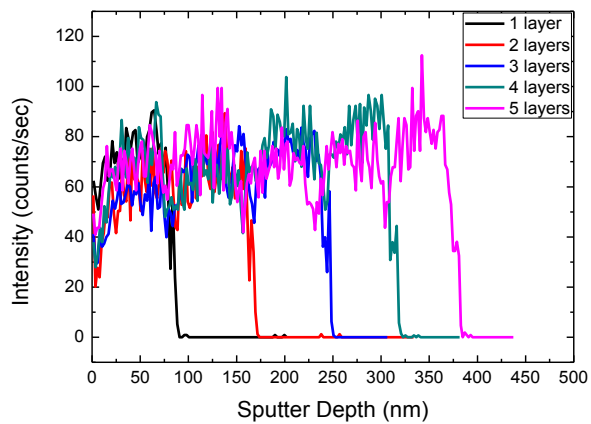
물질	분극률
Al	48.0 ~ 62.0
O	5.2 ~ 6.1
C	11.0 ~ 11.6
N	7.2 ~ 7.4
H	4.5



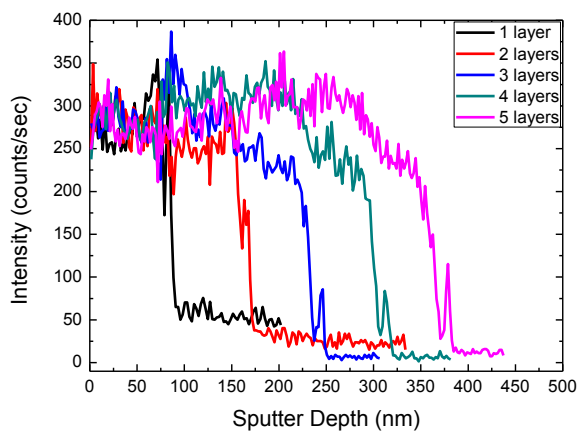
(a)



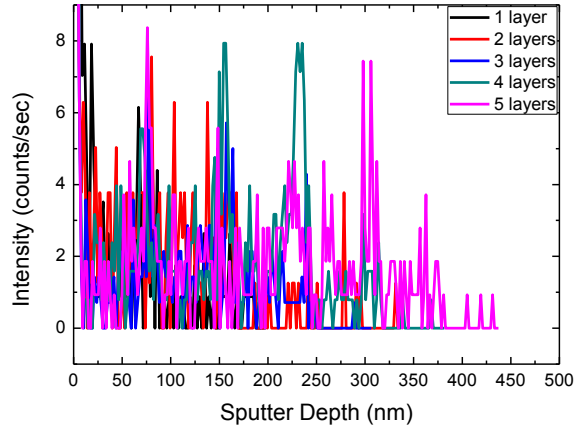
(b)



(c)



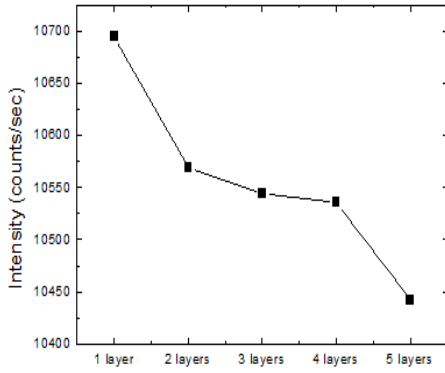
(d)



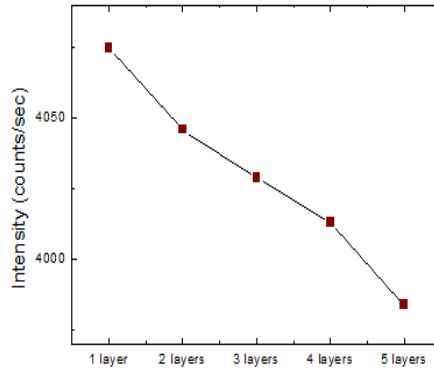
(e)

그림 3.18. 멀티코팅 횟수에 따른 Al₂O₃의 SIMS 데이터 (a)

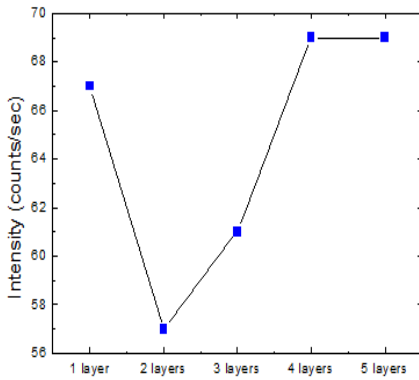
Al, (b) O, (c) N, (d) H, (e) C



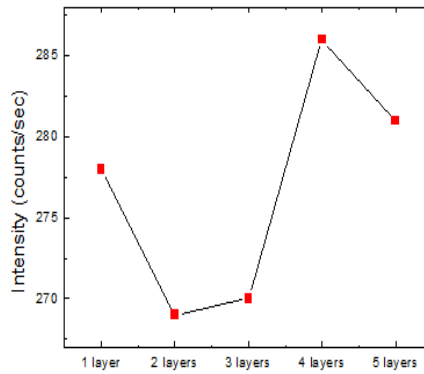
(a)



(b)



(c)



(d)

그림 3.18. 멀티코팅 횟수에 따른 Al_2O_3 의 각 원자수 평균

(a) Al, (b) O, (c) N, (d) H

3.3.3 요약

3.3 장에서는 멀티코팅 횟수에 따른 Al_2O_3 박막을 분석하고 그것을 게이트절연막으로 이용한 IGZO TFTs를 분석하였다. Al_2O_3 의 유전율은 1, 2, 3, 4, 5 층 각각 8.95, 8.7, 8.5, 7.85, 7.5 이었고 절연특성은 1, 2 층의 Al_2O_3 는 낮은 전압에서도 누설전류가 심했지만 3, 4, 5층의 Al_2O_3 는 파괴전압 전까지 10^{-11} A/cm^2 안정적인 누설전류를 보였다. 또한 Al_2O_3 각 층당 파괴전압은 5.6, 8.2, 50.0, 61.4, 98.6 V 이다. 위의 특성을 바탕으로 한 3, 4, 5 층 Al_2O_3 게이트 절연막을 갖은 IGZO TFTs는 이동도 7.56, 7.46, 6.15 cm^2/Vs , 문턱전압 2.8, 3.0, 4.6 V, SS 1.2, 1.6, 2.0 V/dec, on/off 전류비율 8×10^6 , 5×10^6 , 2×10^6 의 특성을 보였다. $V_{\text{DS}}, V_{\text{GS}} = 10 \text{ V}$ 일 때 드레인 전류는 3, 4, 5층 각각 6.2, 3.7, 2.3 μA 이다. 멀티코팅 횟수가 증가하여 유전율이 낮아지고 절연막의 두께가 증가할수록 문턱전압과 SS는 증가하고 이동도와 on/off 전류비율은 감소한다. 전체적인 결과를 종합해볼 때 1 ~ 5 번 멀티코팅을 했을 때 가장 적절한 코팅 횟수는 안정적인 절연특성을 보이며 TFTs 특성도 가장 좋은 3번이라는 것을 알 수 있다.

제 4 장. 결론

본 연구에서는 기존의 실리콘 반도체에 비하여 이동도와 균일성의 장점을 모두 만족시킬 수 있는 산화물 반도체를 이용한 박막 트랜지스터에 대해서 알아 보았다. 특히 간편하고 가격이 저렴하여 대면적, 대량생산에 유리한 용액공정을 이용하였고 전 용액공정 산화물 박막 트랜지스터 제작을 목적으로 박막 트랜지스터의 채널층, 소스/드레인 전극, 게이트 절연막을 각각 용액공정을 이용하여 제작하였다. 용액공정에는 잉크젯 프린팅, 스핀코팅, 딥코팅 등 여러 방법이 있지만 이번 실험에서는 모두 스핀코팅을 이용하여 소자를 제작 하였다.

우선 채널 층은 ZTO를 이용하여 용액공정으로 비교적 저온인 350 °C 공정을 진행하였다. 진공공정에는 못 미치지만 비교적 만족할 만한 소자특성을 얻었고 용액공정을 통한 채널 층 제작의 가능성을 볼 수 있었다. 소스/드레인 전극은 Ag 함유량에 따른

각기 다른 세 가지 Ag 용액을 이용하여 박막을 증착하고 소자를 제작하여 특성을 확인하였다. 그 중 가장 소자 특성이 우수했던 Ag 용액을 이용하여 증착온도를 50 ~ 200 °C 까지 50 °C 단위로 바꾸어가며 Ag 박막의 증착온도를 최적화 시켰다. 게이트 절연막은 Al₂O₃를 이용하여 1 ~ 5 번 멀티코팅 한 뒤 MIM 구조를 통하여 C-V 특성과 I-V 특성을 확인하였다. 이것으로 유전율과 절연특성을 확인할 수 있었고 이 특성을 바탕으로 1 ~ 5 번 멀티코팅 된 Al₂O₃ 게이트 절연막을 갖는 박막 트랜지스터를 제작 및 분석하였다. 그 후 소자특성을 가장 최적화 시킬 수 있는 멀티코팅 횟수를 도출하였다.

위 실험과 같은 채널 층, 소스/드레인 전극, 게이트 절연막의 부분별 용액공정 산화물 박막 트랜지스터의 제작은 전 용액공정 산화물 박막 트랜지스터를 위한 밑거름이 되며 용액공정을 통한 산화물 박막 트랜지스터 상용화 가능성을 한 층 더 열어 준다. 비록 그 제작된 소자의 특성 및 신뢰성 그리고 재현성 부분에서 아직 부족한 부분이 있지만 조금 더 관심을 기울여 새로운 용액공정방식의 개발이나 용액제조를 좀 더 안정적으로 할 수 있는 기술이 나온다면 용액공정을 통한 디스플레이의 대면적, 대량생산이 실현되리라 생각한다.

참고 문헌

- [1] K Nomura, H Ohta, A Takagi, T Kamiya, M Hirano and H Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", Nature Vol. 432, pp.488-492, 2004.
- [2] P. Barquinha , L. Pereira , G. Goncalves , R. Martins , E. Fortunato , "Role of order and disorder on the electronic performances of oxide semiconductor thin film transistors", Electrochem. Solid State Lett. 2008.
- [3] P. Barquinha , L. Pereira , G. Goncalves , R. Martins , E. Fortunato , " Fully Transparent ZnO Thin-Film Transistor Produced at Room Temperature", J. Electrochem. Soc., Vol 156 , H161, 2009.
- [4] T. Kamiya, K. Nomura and H. Hosono, "Present status of amorphous In-Ga-Zn-O thin-film transistors", Sci. Technol. Adv. Mater., Vol.11, 044305, 2010.

- [5] E. Fortunato , P. Barquinha , and R. Martins, "Oxide Semiconductor Thin-Film Transistors: A Review of Recent Advances", *Adv. Mater.* Vol. 24, pp.2945–2986, 2012.
- [6] T. Iwasaki, N. Itagaki, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, "Combinatorial approach to thin-film transistors using multicomponent semiconductor channels: An application to amorphous oxide semiconductors in In-Ga-Zn-O system", *Appl. Phys. Lett.*, Vol. 90, 242114, 2007.
- [7] M. G. McDowell, R. J. Sanderson, and I. G. Hill, "Combinatorial study of zinc tin oxide thin-film transistors", *Appl. Phys. Lett.*, Vol. 92, 013502, 2008.
- [8] J. Yao, N. Xu, S. Deng, J. Chen, J. She, H-P D. Shieh and Y-P Huang, " Electrical and Photosensitive Characteristics of a-IGZO TFTs Related to Oxygen Vacancy", *IEEE Transactions on Electron Devices*, Vol. 58, No. 4, 2011.
- [9] J. S. Park, J. K. Jeong, H. J. Chung, Y. G. Mo and H. D. Kim, "Electronic transport properties of amorphous Indium-gallium-zinc oxide semiconductor upon exposure to water", *Appl. Phys.*

Lett., Vol 92, 072104, 2008.

[10] E. Chong, K. C. Jo and S. Y. Lee, "High stability of amorphous hafnium–indium–zinc–oxide thin film transistor", Appl. Phys. Lett., Vol. 96, 152102, 2010.

[11] H. Q. Chiang, D. Hong, C. M. Hung, R. E. Presley, and J. F. Wager, "Zinc tin oxide thin–film transistors via reactive sputtering using a metal target", J. vac. Sci. Technol. B, Vol. 24, pp. L23–L25, 2006.

[12] P. F. Carcia, R. S. McLean, M. H. Reilly, and G. Nunes., "Transparent ZnO thin–film transistor fabricated by rf magnetron sputtering", Appl. Phys. Lett., Vol. 82, pp. 1117–1119, 2003

[13] A. Martín, J.P. Espino's, A. Justo, J.P. Holgado, F. Yubero and A.R. González–Elipe, "Preparation of transparent and conductive Al–doped ZnO thin films by ECR plasma enhanced CVD", Surface and Coatings Technology, Vol 151–152, pp. 289–293, 2002.

[14] S. K. Park, Y. H. Kim, H. S. Kim, and J. I. Han, "High

performance solution-processed and lithographically patterned zinc-tin-oxide thin-film transistors with good operational stability", *Electrochemical and Solid-State Lett.*, Vol. 12, pp. H256-H258, 2009.

[15] C. G. Lee, Ananth Dodabalapur, "Solution-processed zinc-tin oxide thin-film transistors with low interfacial trap density and improved performance", *Appl. Phys. Lett.*, 96, 243501, 2010.

[16] C. Y. Koo, K. Song, T. Jun, D. Kim, Y. Jeong, S. H. Kim, J. Ha, and J. Moon, "Low temperature solution-processed InZnO thin-film transistors", *Journal of The Electrochemical Society*, 157(4), J111-J1115, 2010.

[17] Y. J. Chang, D. H. Lee, G. S. Herman, and C. H. Chang, "High-performance, spin-coated zinc tin oxide thin-film transistors", *Electrochemical and Solid-State Lett.*, 10(5), H135-H138, 2007.

[18] Y. H. Yang , S. S. Yang , C. Y. Kao , K. S. Chou , "Chemical and Electrical Properties of Low-Temperature Solution-Processed In-Ga-Zn-O Thin-Film Transistors", *IEEE Electron*

Device Lett. 2010 , 31 , 329.

[19] G. H. Kim, H. S. Kim, H. S. Shin, B. D. Ahn, and H. J. Kim, "Inkjet-printed InGaZnO thin film transistor", Thin Solid Films. 517, 4007–4010, 2009.

[20] D. H. Lee, Y-J. Chang, Gregory. S. Herman, and C-H. Chang, "A general route to printable high-mobility transparent amorphous oxide semiconductors", Adv. Mater., 19, 843–847, 2007.

[21] D. H. Lee, S. Y. Han, G. S. Herman, and C. Chang, "Inkjet printed high-mobility zinc tin oxide thin film transistors", J. Mater. Chem., 19, 3135–3137, 2009.

[22] M. J. Alam, D. C. Cameron, "Optical and electrical properties of transparent conductive ITO thin films deposited by sol-gel process", Thin Solid Films, 00, 455–459, 2000.

[23] C. M. Hong and S. Wagner, "Inkjet printed copper source/drain metallization for amorphous silicon thin-film transistors", IEEE Electron Device Lett. Vol. 21, No 8, 2000.

[24] J. Kim, J. Jeong, H. D. Cho, C. Lee, S. O. Kim, S. K. Kwon

and Y. T. Hong, "All-solution-processed bottom-gate organic thin-film transistor with improved subthreshold behaviour using functionalized pentacene active layer", J. Phys. D : Appl. Phys. Vol. 42 115107, 2009.

[25] G. D. Wilk, R. M. Wallace and J. M. Anthony, "High-k gate dielectrics: Current status and materials properties considerations", J. Appl. Phys., Vol. 89, No. 10, 2001.

[26] J. Robertson, "High dielectric constant oxides", Eur. Phys. J. Appl. Phys. Vol. 28, pp. 265-291, 2004

[27] I. Kang, C. Avis, D. H. Kang and J. Jang, "Low-Voltage Poly-Si TFTs with Solution-Processed Aluminum Oxide Gate Dielectric", Electrochemical and Solid-State Letters, Vol. 14, J51-J54, 2011.

[28] S. J. Kim, D. L. Kim, D. N. Kim and Hyun Jae Kim, "Characterization of a Solution-processed YHfZnO Gate Insulator for Thin-Film Transistors", Journal of Information Display, Vol.11, No. 4, 2010.

[29] D. X. Xia and J. B. Xu, " High mobility and low operating voltage ZnGaO and ZnGaLiO transistors with spin-coated Al₂O₃ as gate dielectric", J. Phys. D : Appl. Phys. Vol. 43, 442001, 2010.

[30] S. J. Kim, D. H. Yoon, Y. S. Rim and H. J. Kim, "Low-Temperature Solution-Processed ZrO₂ Gate Insulators for Thin-Film Transistors Using High-Pressure Annealing", Electrochemical and Solid-State Letters, Vol. 14, E35-E37, 2011.

[31] D. H. Kim, N. G. Cho, S. H. Han, H. G. Kim and I. D. Kim, "Thickness Dependence of Gate Dielectric and Active Semiconductor on InGaZnO₄ TFT Fabricated on Plastic Substrates", Electrochemical and Solid-State Letters, Vol. 11, H317-H319, 2008.

[32] V. K. Singh and B. Mazhari, "Impact of scaling of dielectric thickness on mobility in top-contact pentacene organic thin film transistors", J. Appl. Phys. Vol. 111, 034905, 2012.

[33] M. Kimura, T. Kamiya, T. Nakanishi, K. Nomura and H.

Hosono, "Intrinsic carrier mobility in amorphous In-Ga-Zn-O thin-film transistors determined by combined field-effect technique", Appl. Phys. Lett., Vol. 96, 262105, 2010.

[34] T Kamiya, K Nomura and H Hosono, "Origins of High Mobility and Low Operation Voltage of Amorphous Oxide TFTs: Electronic Structure, Electron Transport, Defects and Doping", Disp. Technol., Vol. 5, pp.462-483, 2009.

Abstract

Effects of Solution–processed Aluminum Oxide Gate Insulator Thickness on IGZO TFTs

Seung Min Song

Department of Electrical Engineering and Computer Science

College of Engineering

Seoul National University

Recently, oxide semiconductors have considerable attention for AMOLED backplane materials due to many advantages such as high mobility, good uniformity and transparency. Deposition methods of various films such as semiconductor, gate insulator, metal electrode can be classified into vacuum process and solution process. Solution process is a good alternative to overcome limitations of vacuum process. Because solution process is simple, low cost process and adequate for large area deposition. Also, it can fabricate films at low temperature that can apply to flexible display. Therefore, solution process has

been investigated by many research groups.

In this paper, we fabricated active layer, source/drain electrode and gate insulator using solution process to fabricate all solution-processed thin film transistors (TFTs). We chose spin-coating which is one of the solution processes such as inkjet-printing and dip-coating. Zinc tin oxide (ZTO) which is low cost and simple to fabricate solution compared to conventional indium gallium zinc oxide (IGZO) active layer was used as active layer. Silver was used as source/drain electrode because it has the lowest resistivity and is able to deposit at low temperature about 120 ~ 200 °C without any additional annealing. We optimized deposition temperature of source/drain electrode to minimize resistivity of silver films. Aluminum oxide (Al_2O_3) was used as gate insulator because it has a higher dielectric constant (9) than a conventional dielectric constant (3.9) of silicon oxide (SiO_2) so that it is possible to operate at a low voltage. Also, it has a wide band gap which can be a good insulator compared to other high-k materials. We fabricated Al_2O_3 gate insulators by using multi-coating which repeats spin-coating from 1 to 5 times. In the experiment, we analyzed

the Al₂O₃ gate insulator films and IGZO TFTs with solution-processed Al₂O₃ gate insulators to optimize the number of multi-coating. For analysis of the films and TFTs, we measured capacitance and leakage current of the films and evaluated the TFTs by observing transfer and output curve of them. Finally, we found the optimized number of multi-coating. The important fact that we observed is that the dielectric constants of Al₂O₃ gate insulators were decreased with increasing the number of multi-coating. It cannot be observed in vacuum process. However, it is able to observe the phenomenon in solution process. To prove the fact, we analyzed the Al₂O₃ gate insulator films using secondary ion mass spectrometry (SIMS) to confirm impurities and compare the densities of the films relatively.

**Keywords : oxide semiconductor, oxide thin-film transistor,
solution-process, Al₂O₃ gate insulator,
multi-coating**

Student Number : 2009-20826

감사의 글

거짓말 같이 2년의 시간이 지났습니다. 멀게만 느껴졌던 졸업이라는 순간이 다가왔다는 사실이 아직도 어색하기만 하네요. 2년이라는 대학원 생활 동안 정말 많은 것을 느끼고 배웠습니다. 저에겐 너무나 소중한 시간이 아닐 수 없습니다. 언제나 부족 하기만한 제가 이렇게 무사히 석사과정을 수료할 수 있었던 것은 저에게 아낌없는 조언과 도움을 주신 수 많은 분들이 있었기 때문입니다. 이 글을 빌어 그 모든 분들께 감사의 말씀을 전하고자 합니다.

가장 먼저 저를 THIL 연구실의 일원으로 받아 주시고 연구자의 길로 이끌어 주신 한민구 교수님께 감사의 말씀을 드립니다. 무엇보다 특출 난 것 없는 저를 제자로 받아주시고 연구에 대한 조언과 지원을 아낌없이 해주신 교수님이 아니었다면 저는 이렇게 감사의 글을 쓰고 있지 못할 수도 있었을 것입니다. 정말 감사 드립니다. 교수님께서 저에게 보여주신 연구자로서의 자세, 인자함 그리고 리더십은 앞으로 제가 사회 생활함에 있어 가장 큰 본보기가 될 것입니다. 미천한 제자는 언제나 교수님께서 건강하시고 행복하시길 진심으로 빌겠습니다.

또한 아낌없는 질타로 “연구는 이렇게 하는 것이다.” 라는 것을 느끼게 해주신 권장연 교수님께도 감사의 말씀을 전합니다. 회사에 가서도 교수님께서 가르쳐 주신 연구에 대한 논리를 잊지 않겠습니다. 더불어 바쁘신 와중에도 저의 학위 논문을 심사해 주시고 많은 조언을 해주신 이병호 교수님과 이종호 교수님께도 감사의 말씀을 드립니다.

언제나 제 편이 되어주고 저를 응원해준 부모님과 형에게도 감사의 말씀을 전합니다. 무관심 하시지만 항상 저를 생각해 주시고 말없이 뒤에서 힘을 보태주시는 아버지, 어떠한 실망을 시켜도 아들에 대한 믿음을 잃지 않으시는 어머니 그리고 힘든 일이 생기면 아무리 피곤해도 술잔을 기울여 주며 힘을 북돋아 주는 든직한 우리형 모두 정말 감사하고 너무 사랑합니다.

2년 동안 동고동락하며 많은 추억을 같이 만든 연구실 가족 여러분께도 감사의 말씀을 전합니다. 먼저 연구와 유흥을 모두 잘하시는 만능 연구테이너 동원이형, 곧 결혼 하신다니 후배로서 정말 안타까울 따름입니다. 동원이형과 더불어 연구실을 잘 이끌어 주신 승희형, 정말 고생하셨는데 일찍 회사에 가게 되어 또한 안타까울 따름입니다. 연구, 운동, 성격 뭐 하나 빠지지 않는 정수형, 부족한 후배를

데리고 다니면서 많은 것을 가르쳐 주셔서 감사했고 형 덕분에 2년 동안 정말 즐거웠습니다. 형의 친화력을 배우고 졸업을 했어야 했는데 아직은 제가 많이 부족하다는 생각이 드네요. 자기관리 철저하고 연구도 매우 잘하는 수연이, 동갑임에도 불구하고 친해지지 못한 것이 아쉽네. 혹시 회사 가서 마주치게 되면 반갑게 인사했으면 하는 바람이야. 연구실에서 완성형 인간의 모습을 보여준 동기 문규, 나이는 나보다 한 살 어리지만 정신연령은 형이 너보다 4살은 어린 것 같애. 너 정말 성숙하고 배울 점이 많은 동기였어. 우리 회사 가서도 친하게 지내자. 윗방의 맏형이자 화술의 달인인 영실이형, 형과 하는 회식자리는 정말 즐거웠어요. 둘째도 건강하게 태어나길 바라게요. 반도체에 대해 모르는 것이 없고 최근 패션에 물이 오른 오균이, 윗방이지만 동갑이라는 이유 하나로 신경 써줘서 고맙고 여자 친구와 예쁜 사랑 하길 바래. 미래에 교수님이 될 학구파 우진이, 연구도 잘하고 운동도 열심히 하고 너의 꾸준함은 너를 대성하게 할거야. 꼭 원하는 바를 이루길 바랄게. 그 밖에 KETI에 가면 언제나 반갑게 맞아 주시며 연구에 대한 조언을 아낌없이 해주신 영훈이형, 내가 아는 사람 중에 가장 우월한 기억지를 가지고 있는 용진이, 순수하고 엉뚱하지만 마음이 잘 맞았던 용욱이, 어디를 가더라도 행동대장의 모습을 보여주신 선범이형, 연구에 대한 열정이 누구보다 강하셨던 성환이형, 항상 친절하고 웃는 모습으로 대해주신 선재형, 일년 동안 좋은 추억과 이벤트를 제공해 주신 못하는 것이 없

는 만능 승환이형, 천재의 두뇌를 가졌을 거라 사료되는 영욱이형, 무서웠지만 배울게 참 많았던 종석이형, 함께 했던 기간이 너무 짧아 친해지지 못했던 상근이형과 지용이형 정말 모든 분들께 감사의 말씀을 전합니다. 너무너무 감사했고 2년 간의 연구실 생활은 평생 잊지 못할 것 입니다.

마지막으로 오래 전부터 저를 응원해주고 힘이 되어 주었던 친구들에게도 감사의 말씀을 전합니다. 나의 인생의 벅 석환이, 군대 동기로 만난 소중한 친구들 준혁이 성택이, 대학교 동창이자 대학원 동창인 상규형, 고등학교 친구들인 순욱이 성훈이 태민이, 힘들 때마다 큰 힘이 되어준 수현이 그리고 나머지 모든 나의 친구들 모두 모두 고맙고 감사합니다. 앞으로도 좋은 관계 이어나가고 싶고 친구들의 원하는 모든 일이 이루어 지길 바랍니다.

석사과정 동안 정말 즐거웠고 행복했으며 많은 것을 얻었습니다. 사회에 나가서도 이러한 경험을 토대로 열심히 생활하며 자신에게 부끄럽지 않은 송승민이 되겠습니다. 다시 한번 모든 분들께 감사드립니다.