



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사학위논문

실리콘 카바이드 MOSFET의
근사모델에 의한 스위칭 과도 현상
분석 및 전력 변환 응용

Switching Transient Analyses of Full SiC Power MOSFET Based on
Approximate Model and
Considerations in Power Conversion Application

2018 년 8월

서울대학교 대학원
전기·컴퓨터공학부
김 재 석

실리콘 카바이드 모스펫의 근사모델에 의한 스위칭 과도 현상 분석 및 전력 변환 응용

지도 교수 설 승 기

이 논문을 공학박사 학위논문으로 제출함
2018 년 8 월

서울대학교 대학원
전기·컴퓨터공학부
김 재 석

김재석의 공학박사 학위논문을 인준함
2018 년 8 월

위 원 장 _____ (인)

부위원장 _____ (인)

위 원 _____ (인)

위 원 _____ (인)

위 원 _____ (인)

초 록

최근 실리콘 카바이드(Silicon Carbide, SiC)를 이용한 MOSFET과 쇼트키 다이오드가 생산, 판매되고 있다. 실리콘보다 우수한 실리콘 카바이드의 전기적 물성으로 인해 SiC MOSFET과 쇼트키 다이오드는 동급의 실리콘 IGBT와 PN접합 다이오드보다 우월한 전력반도체적 특성을 가진다. 하지만 SiC MOSFET의 높은 dv/dt 또는 di/dt 로 인한 소자의 과전압과 전압, 전류의 진동현상이 실제품 적용을 어렵게 하는 문제로 알려져 있으며 이를 해결하기 위해 SiC MOSFET의 스위칭 특성 개선 연구가 최근 많이 수행되고 있다. 하지만 이러한 연구보다 선행되어야 할 SiC MOSFET의 스위칭 과도에 대한 연구는 미흡한 실정이다.

본 논문은 SiC MOSFET의 스위칭 과도 분석을 통해 SiC MOSFET의 스위칭 특성이 기존에 잘 알려진 일반적인 MOSFET의 경우와 다르다는 사실을 규명하였다. 특히 게이트 저항이 매우 작은 경우 기생 인덕턴스와 소자의 기생 캐패시터의 상호작용에 의해 부하전류가 증가함에 따라 과전압의 크기가 증감을 반복하는 주기적인 과전압 특성을 가지는 것을 보였으며 SiC MOSFET과 역병렬로 연결된 SiC 쇼트키 다이오드의 과전압은 2배의 DC단 전압이 나타남을 규명하였다. 이러한 결과는 SPICE 시뮬레이션과 실험을 통해 분석의 타당성을 입증하였다. 또한 기존의 실리콘 IGBT와는 달리 SiC MOSFET의 스위칭 과도 계측을 위해서는 특별한 주의를 기울여야 한다는 사실을 밝히고, SiC MOSFET의 빠른 스위칭 과도를 측정하기 위한 계측 장치에 대해 고찰하였으며, 측정 위치 사이에 존재하는 기생 성분들에 의한 측정 오차를 분석하고 이를 제거하기 위한 후처리 방안을 제시했다. 본 논문의 분석 결과는 향후 실리콘 카바이드 MOSFET을 사용하는 전력 변환 장치 설계의 최적화에 유용하게 활용 될 수 있으리라 생각된다.

주요어: 실리콘 카바이드, MOSFET, Diode, 스위칭 특성, 게이트 저항, 기생 인덕턴스, 기생 캐패시턴스, 과전압, 공진

학 번: 2014-30300

목 차

제 1장 서론.....	1
1.1 연구의 배경.....	2
1.1.1 와이드밴드갭 반도체.....	2
1.1.2 실리콘카바이드 반도체 소자(MOSFET과 쇼트키 다이오드).....	5
1.1.3 SiC를 이용한 고전압, 고전류 전력변환장치 적용 문제.....	9
1.1.4 문제해결을 위한 기존의 접근.....	19
1.2 연구 동기.....	25
1.3 연구의 목적과 구성.....	27
제 2장 Si MOSFET의 스위칭 과도 분석.....	29
2.1 MOSFET 등가회로.....	29
2.1.1 정적 모델.....	30
2.1.2 동적 모델.....	33
2.2 기존의 스위칭 과도 분석 방법.....	36
2.2.1 턴-오프 과도해석.....	38
2.2.2 턴-온 과도 해석.....	45
2.2.3 기생 인덕터를 포함한 과도 해석.....	51
제 3장 SiC MOSFET의 고속 스위칭 과도 분석.....	58
3.1 스위칭 과도에서 기생 캐패시터의 역할.....	60
3.2 밀러 캐패시터 효과의 분리를 위한 MOSFET 등가회로 변환.....	63
3.3 작은 게이트 저항을 가지는 MOSFET의 턴-오프 과도 분석.....	72
3.4 게이트 저항 변화에 의한 MOSFET 턴-오프 과전압 경향.....	87
3.4.1.1 MOSFET 등가회로를 이용한 회로 시뮬레이션.....	88
3.4.1.2 SPICE model을 이용한 모의실험.....	93
3.5 작은 게이트 저항을 가지는 MOSFET의 턴-온 과도 분석.....	96
3.6 게이트 저항 변화에 의한 MOSFET 턴-온 과전압 경향.....	104
3.6.1.1 MOSFET 등가회로를 이용한 회로 시뮬레이션.....	105
제 4장 Full SiC MOSFET의 스위칭 과도 실험.....	109
4.1 계측 환경 조성.....	109

4.1.1 전압 측정.....	1 1 2
4.1.2 전류 측정.....	1 1 5
4.1.3 전압, 전류 신호 지연보상 (deskew).....	1 2 1
4.1.4 계측환경조성시 고려할 점.....	1 2 4
4.2 측정범위내 기생성분 추정 및 MOSFET의 전압, 전류 복원.....	1 2 7
4.2.1 측정 데이터의 노이즈 제거.....	1 2 9
4.2.2 측정 범위내 기생 인덕턴스 추정 및 소자 전압 복원.....	1 3 2
4.2.3 소자의 기생 캐패시턴스 추정 및 채널전류 복원.....	1 3 7
4.3 스위칭 손실 구성 성분 고찰.....	1 4 3
4.3.1 스위칭 손실 측정 결과.....	1 4 9
4.4 과전압 측정 실험 결과.....	1 5 1
4.4.1 게이트 저항의 영향.....	1 5 1
4.4.2 기생 인덕턴스의 영향.....	1 5 9
4.4.3 DC링크 전압의 영향.....	1 6 4
4.5 Si IGBT, MOSFET과 SiC MOSFET의 스위칭 특성 고찰.....	1 6 6
제 5장 과도분석결과의 전력변환장치 응용.....	1 6 8
5.1 전력변환장치의 스위칭 등가회로 변환.....	1 6 9
5.2 연속 스위칭에서의 턴-오프 과전압 분석결과 적용.....	1 7 7
5.2.1 초기 조건 변동에 따른 턴-오프 과전압 계산.....	1 7 9
5.2.2 초기값 반경 k_r 에 따른 턴-오프 과전압 계산.....	1 8 3
5.2.3 과전압 최대치 제한을 위한 최소 펄스폭 계산.....	1 9 1
5.3 게이트 구동 전압의 기울기와 기생 인덕턴스를 고려한 분석..	1 9 3
5.3.1 실제 게이트 드라이버의 등가회로와 스위칭 속도의 한계...	1 9 5
5.3.2 실제 게이트 드라이버 등가회로를 이용한 스위칭 과전압 시뮬레이션.....	2 0 2
5.4 SiC MOSFET 과전압 분석결과의 응용 방안.....	2 0 4
제 6장 결론 및 향후 과제.....	2 0 8
6.1 연구 결과.....	2 0 8
6.2 향후 과제.....	2 0 8

부 록 A 스위칭 속도 한계를 극복하기 위한 제안된 게이트 드라이버	2 1 0
참고 문헌	2 1 4
Abstract	2 2 3

표 목차

표 1-1. Si와 WBG 반도체 소자의 물성 비교[2]	3
표 1-2. Si와 WBG 기판의 크기와 생산단가 [1]	5
표 4-1. 4가지 전류 계측장비의 특성 비교	1 1 7

그림 목차

그림 1-1. WBG 반도체 소자와 Si 의 물성 비교[3]	4
그림 1-2. 실리콘과 실리콘카바이드 반도체의 차단전압영역에 따라 상용화된 반도체 종류. SiC IGBT와 PN 다이오드는 아직 상용화 되지 않았다.....	7
그림 1-3. 턴-온시의 dv/dt , di/dt 와 스위칭 손실의 관계 설명을 위한 인덕터 부하에서의 하드 스위칭(hard switching) 파형 개념도.....	9
그림 1-4. Full SiC MOSFET(CAS120M12BM2)의 스위칭 손실과 부하전류에 따른 평균 dv/dt 값.....	1 0
그림 1-5. 상승시간 갖는 사다리꼴 구형파의 주파수 구성.....	1 1
그림 1-6. 동급의 실리콘 IGBT와 Full SiC MOSFET의 스위칭 시간 비교	1 2
그림 1-7. 스위칭 시간에 따른 동급의 실리콘 IGBT와 Full SiC MOSFET의 스위칭 시간 비교.....	1 2
그림 1-8. 와이드밴드갭 소자와 실리콘 IGBT의 스위칭 파형의 주파수 구성[33].....	1 3
그림 1-9. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 턴-오프	

실험 파형.....	1 4
그림 1-10. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 턴-온 실험 파형.....	1 4
그림 1-11. Full SiC MOSFET(CAS120M12BM2)의 턴-온, 턴-오프 실험 파형의 주파수 구성(상단 : y축의 로그 표현, 하단 : y축의 선형 표현)	1 5
그림 1-12. 1200V, 120A의 실리콘카바이드 MOSFET(CAS120M12BM2)의 SOA.....	1 7
그림 1-13. 스위칭 손실과 EMI의 관계를 나타내는 개념도	1 8
그림 1-14. 다양한 차수로 표현되는 전압 상승 파형과 주파수 구성[45]	2 0
그림 1-15. 소자의 턴-오프시의 전압, 전류 파형	2 1
그림 1-16. [92]의 PCB 스너머 회로의 모습	2 4
그림 1-17. MOSFET의 기생 인덕턴스를 고려한 스위칭 파형	2 5
그림 1-18. Full SiC MOSFET(CAS120M12BM2)의 게이트 저항에 따른 턴- 오프 실험 파형.....	2 6
그림 1-19. 인덕터 부하를 가지는 다이오드-클램프드 스위칭 회로(Diode- Clamped Inductive Switching Circuit).....	2 7
그림 2-1. 차단영역의 MOSFET 등가회로.....	3 0
그림 2-2. 선형영역의 MOSFET 등가회로.....	3 0
그림 2-3. 포화영역의 MOSFET 등가회로.....	3 1
그림 2-4. 포화영역의 MOSFET 소신호 등가회로.....	3 2
그림 2-5. MOSFET의 I-V 곡선	3 2
그림 2-6. 기생 캐패시터를 고려한 MOSFET의 동적 모델.....	3 3
그림 2-7. 1200V, 120A SiC MOSFET(CAS120M12BM2)의 V_{ds} 전압에 따른 기생 캐패시턴스 곡선.....	3 4
그림 2-8. MOSFET의 물리적 구조와 기생 캐패시턴스의 위치.....	3 5
그림 2-9. MOSFET의 V_{ds} 전압에 따른 기생 캐패시턴스 함수와 단순화 함수.....	3 7

그림 2-10. 턴 오프 과도 해석을 위한 기생 성분이 없는 더블 펄스 시험회로.....	3 8
그림 2-11. MOSFET의 시간에 따른 턴-오프 과도 파형.....	3 9
그림 2-12. 구간1 에서의 MOSFET 턴-오프 증가회로.....	3 9
그림 2-13. 구간2 에서의 MOSFET 턴-오프 증가회로.....	4 0
그림 2-14. 구간3 에서의 MOSFET 턴-오프 증가회로.....	4 2
그림 2-15. 구간4 에서의 MOSFET 턴-오프 증가회로.....	4 3
그림 2-16. 구간5 에서의 MOSFET 턴-오프 증가회로.....	4 4
그림 2-17. 턴-온 과도 해석을 위한 기생 성분이 없는 더블 펄스 시험회로.....	4 5
그림 2-18. 기생성분이 없는 MOSFET의 시간에 따른 턴-온 과도 파형	4 5
그림 2-19. 구간1 에서의 MOSFET 턴-온 증가회로.....	4 6
그림 2-20. 구간2 에서의 MOSFET 턴-온 증가회로.....	4 7
그림 2-21. 구간3 에서의 MOSFET 턴-온 증가회로.....	4 8
그림 2-22. 구간4 에서의 MOSFET 턴-온 증가회로.....	4 9
그림 2-23. 구간5 에서의 MOSFET 턴-온 증가회로.....	5 0
그림 2-24. 기생 성분이 없는 더블펄스 시험 증가회로.....	5 1
그림 2-25. 기생성분이 없는 더블 펄스 시험회로에서의 MOSFET 턴-온, 턴-오프의 I-V 곡선상 경로	5 2
그림 2-26. 기생 성분이 없는 MOSFET의 시간에 따른 턴-오프, 턴-온 과도 파형.....	5 3
그림 2-27. 기생 인덕턴스 성분을 포함한 더블펄스 시험 증가회로.....	5 4
그림 2-28. 기생 인덕턴스 성분을 포함한 MOSFET의 시간에 따른 턴-오프, 턴-온 과도 파형.....	5 4
그림 2-29. 기생인덕턴스 성분을 포함한 더블 펄스 시험회로에서의 MOSFET 턴-온, 턴-오프의 I-V 곡선상 경로.....	5 5
그림 2-30. PN접합 다이오드의 역회복 전류 파형.....	5 6
그림 2-31. 기생 인덕턴스 성분과 다이오드 역회복 특성을 포함한	

MOSFET의 시간에 따른 턴-오프, 턴-온 과도 파형.....	5 6
그림 2-32. 기생인덕턴스 성분과 다이오드의 역회복 특성을 포함한 더블 펄스 시험회로에서의 MOSFET 턴-온, 턴-오프의 I-V 곡선상 경로	5 7
그림 3-1. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 게이트 저항 0Ω 일때의 턴-온, 턴-오프 실험 파형	5 8
그림 3-2. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 게이트 저항 5Ω 일때의 턴-온, 턴-오프 실험 파형	5 9
그림 3-3. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 게이트 저항 10Ω 일때의 턴-온, 턴-오프 실험 파형	5 9
그림 3-4. 기생 인덕터와 기생 캐패시터를 포함하는 더블펄스 실험 등가회로.....	6 0
그림 3-5. 더블펄스 실험 등가회로에서의 MOSFET의 채널전류, 변위전류, 단자 전류의 정의.....	6 0
그림 3-6. 기생 인덕터와 기생 캐패시터가 존재하는 더블펄스 시험회로에서의 시간에 따른 MOSFET과 다이오드의 턴-오프, 턴-온 파형.....	6 1
그림 3-7. MOSFET의 턴-온, 턴-오프시 I-V 특성 곡선에서의 스위칭 경로	6 2
그림 3-8. Cgd, Cgs만을 고려한 MOSFET의 등가회로.....	6 3
그림 3-9. Cgd, Cgs만을 고려한 MOSFET의 등가회로 변환.....	6 4
그림 3-10. Cgd, Cgs, Cds를 고려한 MOSFET의 등가회로.....	6 5
그림 3-11. Cgd, Cgs, Cds를 고려한 MOSFET의 등가회로 변환.....	6 6
그림 3-12. Cgd, Cgs, Cds를 고려한 MOSFET의 등가회로에서 전류원의 RC 임피던스로의 변환.....	6 7
그림 3-13. Cgd, Cgs, Cds, Rg 임피던스의 Cds 임피던스 근사.....	6 7
그림 3-14. Cgd, Cgs, Cds를 고려한 MOSFET의 간략화된 등가회로.....	6 8
그림 3-15. Cgd, Cgs, Cds를 고려한 MOSFET의 등가회로 변환.....	6 9
그림 3-16. 기생 인덕터와 기생 캐패시터를 고려한 더블펄스 실험	

등가회로.....	6 9
그림 3-17. 게이트 저항 $R_g=1\Omega$ 일 때, MOSFET 등가회로 비교.....	6 9
그림 3-18. C_{gd} , C_{gs} , C_{ds} 를 고려한 MOSFET의 간략화된 등가회로의 근사	7 0
그림 3-19. 게이트 저항 $R_g=1\Omega$ 일 때, MOSFET 등가회로와 근사회로의 비교.....	7 0
그림 3-20. 게이트 저항 $R_g=0.001\Omega$ (좌) 일 때와, $R_g=20\Omega$ (우) 일때의 MOSFET 등가회로와 근사회로의 비교	7 1
그림 3-21. MOSFET의 근사회로.....	7 3
그림 3-22. C_{eq} , R_{eq} , C_{ds} 임피던스의 C_{ds} 임피던스 근사	7 3
그림 3-23. 작은 R_g 를 가지는 MOSFET 등가회로의 근사회로	7 4
그림 3-24. 기생 인덕터와 기생 캐패시터를 가지는 더블펄스 실험의 등가회로.....	7 4
그림 3-25. 기생 인덕터와 기생 캐패시터를 가지는 더블펄스 실험의 등가회로 변환.....	7 4
그림 3-26. 작은 R_g 를 가지는 더블펄스 실험의 등가회로 근사회로 중 다이오드 턴-오프 회로.....	7 5
그림 3-27. 작은 R_g 를 가지는 더블펄스 실험의 등가회로 근사회로 중 다이오드 턴-온 회로.....	7 7
그림 3-28. 작은 R_g 를 가지는 더블펄스 회로에서 수치해석적 방법으로 구한 부하전류에 따른 MOSFET의 과전압 경향	8 2
그림 3-29. 컴퓨터 모의실험을 위한 스위칭 등가회로.....	8 3
그림 3-30. 컴퓨터 모의실험을 통해 구한 부하전류에따른 MOSFET 과전압 경향.....	8 4
그림 3-31. 1200V, 120A Full SiC 소자의 V_{ds} 크기에 따른 기생 캐패시턴스 변화.....	8 5
그림 3-32. 컴퓨터 모의실험을 통해 구한 비선형 기생 캐패시터를 가지는 MOSFET의 부하전류에따른 과전압 경향	8 5
그림 3-33. SPICE 컴퓨터 모의실험을 통해 구한 DC단 기생 인덕턴스	

성분이 20nH, 50nH 일때의 MOSFET의 부하전류에 따른 과전압 경향	8 7
그림 3-34. 컴퓨터 모의실험을 위한 더블펄스 실험 회로와 MOSFET의 등가회로.....	8 8
그림 3-35. 컴퓨터 모의실험통해 구한 게이트 저항값 변동에 따른 부하전류에 따른 과전압 경향.....	8 9
그림 3-36. 기준전류(I_0) 100A 에서의 게이트 저항에 따른 MOSFET의 과전압 경향.....	9 0
그림 3-37. 기준전류(I_0) 주변에서의 게이트 저항에 따른 MOSFET의 과전압 경향.....	9 1
그림 3-38. 비선형 기생 캐패시터를 가지는 MOSFET의 저항에따른 부하전류에 따른 과전압 경향.....	9 1
그림 3-39. 기준전류(I_0) 100A 에서의 비선형 기생 캐패시터를 가지는 MOSFET의 저항에따른 과전압 경향.....	9 2
그림 3-40. 기준전류(I_0) 근처 부하전류에서 비선형 기생 캐패시터를 가지는 MOSFET의 저항에따른 과전압 경향.....	9 3
그림 3-41. 게이트 저항 크기에 따른 턴-오프 SPICE 시뮬레이션 결과	9 4
그림 3-42. DC단 기생 인덕턴스가 50nH 일때 SPICE 컴퓨터 모의실험을 통한 저항에 따른 부하전류에따른 MOSFET의 저항에 따른 과전압	9 4
그림 3-43. DC단 기생 인덕턴스가 20nH 일때 SPICE 컴퓨터 모의실험을 통한 저항에 따른 부하전류에따른 MOSFET의 저항에 따른 과전압	9 5
그림 3-44. 기생인덕터와 기생 태패시터가 있는 더블펄스 테스트 등가회로.....	9 6
그림 3-45. 기생인덕터와 기생 태패시터가 있는MOSFET의 등가회로 근사	9 7
그림 3-46. 작은 게이트 저항을 가지는 더블펄스 실험 회로의 턴-온	

등가회로 근사.....	9 8
그림 3-47. 더블펄스 실험 회로의 턴-온 등가회로 변환	9 8
그림 3-48. 더블펄스 실험 회로의 턴-온 등가회로의 근사 회로 정리 .	9 8
그림 3-49. 더블펄스 실험 회로의 다이오드 턴-온시 근사회로 정리 ...	9 9
그림 3-50. 턴온 과도시, MOSFET의 전압과 전류의 관계	1 0 1
그림 3-51. 다이오드가 먼저 턴-온시 스위칭 등가회로	1 0 2
그림 3-52. 다이오드 턴-오프시 스위칭 등가회로	1 0 3
그림 3-53. 다이오드가 먼저 턴-오프시 스위칭 등가회로	1 0 3
그림 3-54. 다이오드가 먼저 턴-오프 이후, MOSFET의 턴-온 될때의 스위칭 등가회로.....	1 0 4
그림 3-55. 컴퓨터 모의실험을 위한 턴-온 더블펄스 실험 회로와 MOSFET의 등가회로	1 0 5
그림 3-56. 1nF의 기생 캐패시턴스를 갖는 MOSFET 턴-온시, 게이트 저항에따른 부하전류에 따른 다이오드 턴-오프 과전압 경향....	1 0 6
그림 3-57. 비선형적인 기생 캐패시턴스를 갖는 MOSFET 턴-온시, 게이트 저항에따른 부하전류에 따른 다이오드 턴-오프 과전압 경향	1 0 7
그림 3-58. 비선형 기생 캐패시턴스와 gm을 갖는 MOSFET 턴-온시, 게이트 저항에따른 부하전류에 따른 다이오드 턴-오프 과전압 경향	1 0 8
그림 4-1. 잘못 선정된 전류 프루브로 인한 턴-온 손실 감소와 턴-오프 손실의 증가 현상.....	1 1 0
그림 4-2. 전류 상승, 하강 시간 증가로 인한 턴-온 손실 감소와 턴-오프 손실 증가 설명	1 1 0
그림 4-3. 16MHz 1차 저역통과필터의 시지연	1 1 1
그림 4-4. 고전압 차동 프루브 HVD3106의 모습	1 1 2
그림 4-5. 고전압 차동 프루브 HVD3106의 주파수에 따른 이득과 CMRR 그래프.....	1 1 2
그림 4-6. 고전압 수동 프루브 PPE6KV에 스피링 리드를 장착한 모습	

.....	1 1 3
그림 4-7. 접지 리드와 수동 프로브 등가회로.....	1 1 3
그림 4-8. 고전압 수동 프로브의 장착 모습.....	1 1 4
그림 4-9. 수동 프로브의 접지 리드 최소화를 위한 테스트 포인트 부품	1 1 4
그림 4-10. 고전압 수동 프로브와 고전압 차동 프로브의 Full SiC MOSFET의 턴-온 턴-오프시 MOSFET 양단 전압 측정값 비교..	1 1 5
그림 4-11. 전류 계측을 위한 장비. 좌측 상위부터 시계방향으로, 페루프 타입 전류 프루브, 로고스키 코일 전류 프루브, 전류 측정 저항(CVR), 전류 변류기.....	1 1 6
그림 4-12. 전류 측정 저항인 CVR과 CVR의 버스 플레이트 장착도	1 1 8
그림 4-13. 더블 펄스 실험 보드에 장착된 CVR 모습	1 1 8
그림 4-14. CVR에 결합될 RG58, RG400 BNC 케이블	1 1 9
그림 4-15. CVR에 결합될 BNC 어댑터를 장착한 10:1 수동 프루브	1 1 9
그림 4-16. 좌측 상위부터 시계방향으로, CVR -RG-400, CVR-RG58, CVR- 10:1 프루브, 로고스키 코일 로 측정한 MOSFET 턴온 전류 파형	1 2 0
그림 4-17. Deskew 작업을 위한 계측장비 설치 사진과 자동 deskew 기능 화면.....	1 2 2
그림 4-18. 서로 다른 2개의 BNC 케이블과 고전압 차동프루브의 신호 지연 차이.....	1 2 2
그림 4-19. 전류, 전압 프루브의 시지연 보상을 위한 deskew 장비..	1 2 3
그림 4-20. NTC의 결선도, 기본적으로 접지선이 서로 연결되어 있다.	1 2 5
그림 4-21. 디지털 오실로스코프의 양자화에 의한 노이즈 파형.....	1 2 5
그림 4-22. 측정 범위 조정후의 디지털 오실로스코프의 양자화에 의한 노이즈 파형.....	1 2 6
그림 4-23. TO-247 PCB 용 반도체 패키지와 대용량의 62mm 반도체	

패키지.....	1 2 7
그림 4-24. Full SiC MOSFET 전용으로 제작된 62mm 최적화 반도체 패키지.....	1 2 8
그림 4-25. Full SiC MOSFET 턴-오프(상), 턴-온(하) 실험의 V_{ds} 전압 계측 파형(청색)과 노이즈 제거 이후의 파형(적색).....	1 2 9
그림 4-26. Full SiC MOSFET 턴-온 실험의 V_{ds} 전압의 진동 계측 파형(청색)과 노이즈 제거 이후의 파형(적색).....	1 3 0
그림 4-27. 노이즈 제거용 FIR필터 특성(상단: 전체특성, 하단: 통과대역 확대).....	1 3 1
그림 4-28. 더블펄스 실험을 위한 실험 장치와 전압, 전류 측정 위치.....	1 3 2
그림 4-29. Full SiC MOSFET의 전압, 전류 측정 위치와 전압측정위치 사이에 존재하는 기생 성분.....	1 3 3
그림 4-30. Full SiC MOSFET의 턴-온 전압, 전류 측정 파형과 지연보상된 전압파형(상)과 확대 파형(하).....	1 3 4
그림 4-31. Full SiC MOSFET의 턴-온 전압(청색), 전류(적색) 측정 파형 기생인덕터에 의한 전압강하 성분 복원 파형(황색)(상단)과 확대 파형(하단).....	1 3 5
그림 4-32. Full SiC MOSFET의 전압(청색), 전류(적색) 측정 파형과 V_{ds} 전압 복원 파형(황색)(상단: 턴-온, 하단 : 턴-오프).....	1 3 7
그림 4-33. Full SiC MOSFET의 전압, 전류 측정 위치와 전압측정위치 사이에 존재하는 기생 인덕터와 기생 캐패시터.....	1 3 8
그림 4-34. Full SiC MOSFET의 턴-오프시, 복원된 V_{ds} 전압(청색), 계측전류 파형(적색)과 복원된 변위 전류 파형(황색)(상단)과 확대파형(하단).....	1 3 9
그림 4-35. Full SiC MOSFET의 V_{ds} 전압에 따른 기생 캐패시터스의 비선형 특성 그래프.....	1 4 0
그림 4-36. Full SiC MOSFET의 턴-오프시, 복원된 V_{ds} 전압(청색)을 이용한 복원된 변위 전류 파형(황색: 1.05nF, 보라색: 비선형 기생 캐패시터)	

(상단)과 확대파형(하단).....	1 4 1
그림 4-37. Full SiC MOSFET의 턴-오프시, 복원된 V_{ds} 전압(청색)을 이용한 복원된 채널 전류 파형(황색: 1.05nF, 보라색: 비선형 기생 캐패시터)과 계측 전류 파형(적색) (상단)과 확대파형(하단).....	1 4 2
그림 4-38. Full SiC MOSFET의 턴-온, 턴-오프시의 전류, 전압 상태.	1 4 3
그림 4-39. Full SiC MOSFET의 턴-온시, 턴-온 손실 측정 범위와 실험 계측된 MOSFET 전압(적색), 전류(청색) 파형.....	1 4 4
그림 4-40. Full SiC MOSFET의 V_{ds} 에 따른 C_{oss} 에 저장된 에너지 그래프.....	1 4 7
그림 4-41. 비선형 캐패시터의 AC캐패시턴스 함수와 에너지 함수와의 관계.....	1 4 8
그림 4-42. 외부 게이트 저항 0Ω , 2.5Ω , 8Ω 에 따른 부하전류(X축, [A])에 따른 턴-온, 턴-오프, 전체 스위칭 손실(Y축, [J]) 실험 결과.....	1 4 9
그림 4-43. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류에 따른 저항에따른 Full SiC MOSFET의 턴-오프 과전압 실험 결과.....	1 5 2
그림 4-44. 측정범위내 기생 인덕턴스의 영향을 제거한 기준전류 근처에서의.....	1 5 3
그림 4-45. 측정범위내 기생 인덕턴스의 영향을 제거한 기준전류(93.2A) 근처에서의 외부 게이트 저항에 따른 Full SiC MOSFET의 턴-오프 과전압과 턴-오프 손실.....	1 5 4
그림 4-46. 1200V 120A Full SiC MOSFET 모듈 내부에 위치한 내부 게이트 저항의 모습.....	1 5 5
그림 4-47. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 저항에 따른 Full SiC MOSFET의 턴-온시 SiC 쇼트키 다이오드의 과전압 실험 결과.....	1 5 6
그림 4-48. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류에 따른 Full SiC MOSFET의 외부 게이트 저항 0Ω 턴-온시 MOSFET의 턴-온 실험 파형.....	1 5 7
그림 4-49. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류에 따른	

Full SiC MOSFET의 외부 게이트 저항 0Ω 턴-온시 SiC 쇼트키 다이오드의 턴-오프 과전압 실험 파형.....	1 5 7
그림 4-50. 측정범위내 기생 인덕턴스의 영향을 제거한 외부 게이트 저항에 따른 부하전류에 따른 Full SiC MOSFET의 턴-온시 SiC 쇼트키 다이오드의 턴-오프 과전압 크기와 턴-온 손실의 실험 결과.....	1 5 8
그림 4-51. Full SiC MOSFET 모듈과 DC단 기생 인덕턴스의 증가를 위해 8mm 구리 원기둥의 장착 모습(좌부터 2단, 1단, 0단).....	1 5 9
그림 4-52. 측정범위내 기생 인덕턴스의 영향을 제거한 0Ω 의 게이트 저항을 가지는 구리 기둥 단수에 따른 Full SiC MOSFET의 턴-오프 과전압 실험 파형.....	1 6 0
그림 4-53. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 0Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-오프 과전압 실험 결과.....	1 6 1
그림 4-54. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 Full SiC MOSFET의 턴-온시 다이오드의 과전압 실험 결과.....	1 6 2
그림 4-55. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 8Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-오프 과전압 실험 결과.....	1 6 3
그림 4-56. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 8Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-온시 다이오드 과전압 실험 결과.....	1 6 4
그림 4-57. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 DC링크 전압에 따른 0Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-오프 과전압 실험 결과.....	1 6 5
그림 4-58. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 DC링크 전압에 따른 0Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-온시, 다이오드 과전압 실험 결과.....	1 6 6

그림 5-1. 더블펄스 시험 회로의 등가회로.....	1 6 9
그림 5-2. 투레벨 삼상 인버터의 구조와 스위칭 동작 상황.....	1 6 9
그림 5-3. 초기전류가 있는 인덕터와 초기전압이 있는 캐패시턴스의 등가변환.....	1 7 0
그림 5-4. 전압원을 임의의 전류원+전압원과의 등가변환	1 7 1
그림 5-5. 단상 전원+인덕터의 등가회로 변환	1 7 1
그림 5-6. 삼상 전압원+인덕터의 삼상 전류원 등가변환	1 7 2
그림 5-7. 투레벨 삼상 인버터에서 윗상 스위치로 부하전류가 도통하는 경우.....	1 7 2
그림 5-8. 투레벨 삼상 인버터에서 아래상 스위치로 부하전류가 도통하는 경우.....	1 7 3
그림 5-9. 투레벨 삼상 인버터에서 윗상 스위치로 부하전류가 도통하는 경우의 등가회로.....	1 7 3
그림 5-10. 투레벨 삼상 인버터에서 아래상 스위치로 부하전류가 도통하는 경우의 등가회로.....	1 7 4
그림 5-11. 초기전압을 가지는 캐패시터의 등가변환.....	1 7 5
그림 5-12. 투레벨 삼상인버터에서 초기전압을 가지는 캐패시터의 등가변환.....	1 7 5
그림 5-13. 투레벨 삼상인버터의 스위칭 과도 분석을 위한 등가회로	1 7 5
그림 5-14. 스위칭 주파수 500kHz, 50% duty(턴-온 시간:1000ns)로 연속 스위칭 하는 경우(상단; 다이오드 전압 ' V_d ', MOSFET 전압 ' V_{ds} ', MOSFET 전류 ' I_d ', 하단; PWM 신호).....	1 7 7
그림 5-15. 스위칭 주파수 500kHz, 1% duty(턴-온 시간:20ns)로 연속 스위칭 하는 경우(상단; 다이오드 전압 ' V_d ', MOSFET 전압 ' V_{ds} ', MOSFET 전류 ' I_d ', 하단; PWM 신호).....	1 7 8
그림 5-16. MOSFET 턴-온시의 다이오드 전압과 MOSFET 전류	1 8 0
그림 5-17. MOSFET 턴-온시의 다이오드 전압과 MOSFET 전류의 I-V 평면에서의 궤적(Trajectory).....	1 8 0

그림 5-18. 전압,-전류 평면 상에서 MOSFET 턴-온시의 다이오드 전압과 MOSFET 전류 과도 그래프와 k_r 로 정의된 과도의 범위.....	1 8 4
그림 5-19. 정규화된 부하전류(I_L/I_0) 0.5와 초기값 반경 $k_r=0.2,0.4,0.6,0.8$ 에 따른 정규화된 과전압(V_{peak}/V_{dc}).....	1 8 6
그림 5-20. 초기값 반경 k_r 을 가지는 전압, 전류 초기값 평면(좌측)과 k_i, k_v 축에서의 정규화된 초기값 평면(우측) 비교.....	1 8 7
그림 5-21. 정규화된 부하전류(I_L/I_0) 0, 0.33, 0.5, 1, 1.5, 2와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc}).....	1 8 8
그림 5-22. 정규화된 부하전류(I_L/I_0) 0.5와 초기값 반경 $k_r=0.2,0.4,0.6,0.8$ 에 따른 정규화된 과전압(V_{peak}/V_{dc})과 $k_r=1$ 일 경우의 V_{peak}/V_{dc} 의 최대 최소.....	1 8 9
그림 5-23. 0~2의 정규화된 부하전류(I_L/I_0)와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc})의 최대값(상단)과 최소값(하단).....	1 8 9
그림 5-24. 0~2의 정규화된 부하전류(I_L/I_0)와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc})의 최대,최소(좌측: 정면 모습, 우측:후면 모습).....	1 9 0
그림 5-25. 0~2의 정규화된 부하전류(I_L/I_0)와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc})의 최대(좌측)과 최소(우측).....	1 9 0
그림 5-26. 일반적인 LC공진 감쇄 그래프.....	1 9 2
그림 5-27. 이상적인 게이트 드라이버(좌측)와 실제 게이트 드라이버(우측) 회로 모델.....	1 9 3
그림 5-28. 고속 스위칭시의 스위칭 실험 파형(좌)과 저속 스위칭시의 스위칭 실험 파형(우).....	1 9 4
그림 5-29. 게이트 소스단의 임피던스를 캐패시터로 등가한 게이트 등가회로.....	1 9 6
그림 5-30. OP-AMP(uA741C)의 슬루율 정보와 시험조건.....	1 9 7
그림 5-31. 게이트 드라이버의 출력 구동기(IXDN630YI)와 구동기의 상승시간-부하캐패시턴스의 관계.....	1 9 8
그림 5-32. 출력 구동기(IXDN630YI)의 등가 회로.....	1 9 8

그림 5-33. 출력 구동기(IXDN630YI)의 내부 저항.....	1 9 9
그림 5-34. 실제 게이트 드라이버의 등가 회로.....	1 9 9
그림 5-35. 게이트 저항에 따른 실제 게이트 드라이버 등가회로의 $V_{gs}(t)$ 도시.....	2 0 0
그림 5-36. Full SiC MOSFET의 게이트 소스 전압 측정 사진.....	2 0 1
그림 5-37. 외부 게이트 저항(R_{ext})가 0인 경우(등가 $R_g \cong 2\Omega$)의 게이트 소스전압 턴-온, 턴-오프 실험파형 파형(ch2; 붉은색 파형, 10V/div)	2 0 1
그림 5-38. 등가 게이트 저항(R_g)변동에 따른 부하전류에 따른 턴-오프 과전압 시뮬레이션 결과 (상: 이상적인 게이트 드라이버 회로, 하: 실제 게이트 드라이버 회로).....	2 0 3
그림 5-39. 게이트 저항이 매우 작은 고속 스위칭 조건에서의 기준전류 크기에 따른 턴-오프 과전압의 경향.....	2 0 4
그림 5-40. 게이트 저항 크기에 따른 부하전류에 따른 과전압의 크기와 최적 스위칭 조건(붉은색 선).....	2 0 5
그림 5-41. 턴-온 스너버의 형태(좌측)와 턴-온 스너버의 효과(우측)	2 0 6
그림 5-42. 가변 인덕터(좌)를 이용한 기준전류의 이동 실험 결과(우)	2 0 7
그림 A-1. 새로운 게이트 드라이버의 등가회로.....	2 1 1
그림 A-2. 일반적인 게이트 드라이버의 등가회로 구현.....	2 1 1
그림 A-3. 새로운 게이트 드라이버의 등가회로 구현.....	2 1 1
그림 A-4. 일반적인 게이트 드라이버(좌측)과 새로운 게이트 드라이버(우측) 사진.....	2 1 2
그림 A-5. 일반적인 게이트 드라이버(좌측)과 새로운 게이트 드라이버(우측) 사진.....	2 1 2
그림 A-6. 일반적인 게이트 드라이버(붉은색)과 제안된 게이트 드라이버(파랑색)의 턴-오프 과전압 실험 결과.....	2 1 3

제 1 장 서 론

최근 실리콘 반도체에 비해 우월한 성능을 지니는 와이드밴드갭 반도체 소자가 오랜기간의 연구개발 끝에 상용화 되었다. 전력변환장치를 구성하는 핵심 부품인 전력반도체를 기존의 실리콘 반도체에서 와이드밴드갭 반도체로 대체하게 되면 효율과 출력밀도를 대폭 상승시킬 수 있을 것이라 기대되기 때문에 와이드밴드갭 반도체 소자를 전력변환장치에 적용하려는 시도가 최근 이루어 지고 있다.

하지만 와이드밴드갭 반도체를 전력변환장치에 적용할 경우 기존의 실리콘 반도체를 사용한 전력변환장치에서 볼 수 없었던 과도한 EMI 발생과 SOA(Safe Operating Area)를 준수하지 못하는 문제가 발견되었다. 주된 원인은 와이드밴드갭 반도체의 빠른 동특성을 기존의 전력변환장치가 뒷받침 하지 못하기 때문이다. 따라서 이를 해결하기 위한 많은 연구가 최근 활발하게 이루어 지고 있다. 본 논문은 그러한 문제해결을 위한 첫 단계로서 전력변환장치에 적용된 와이드밴드갭 반도체의 스위칭 특성과 적용방안에 관한 연구이다.

1.1절에서는 연구의 대상이 되는 와이드밴드갭 물질과 이를 이용한 반도체 소자에 대한 내용을 소개한다. 또한 와이드밴드갭 소자인 실리콘카바이드 전력반도체를 전력변환장치에 적용시 나타나는 알려진 문제와 이를 해결 하기 위한 기존의 접근들을 소개한다.

1.2절에는 1.1에서 언급한 기존의 접근들이 근거로 하는 와이드밴드갭 반도체의 스위칭 특성이 잘못된 가정을 기반으로 하고 있다는 문제 제기를 하며, 와이드밴드갭 반도체의 스위칭 특성에 대한 심도있는 연구의 필요성을 제기한다.

1.3절에는 1.2절에서 제기한 문제를 해결하기 위해 본 논문이 수행할 연구의 내용과 구성에 대해 설명한다.

1.1 연구의 배경

본 연구의 주제는 와이드밴드갭 반도체 소자중 하나인 고전압, 고전류의 실리콘카바이드 전력반도체의 전력변환장치에서의 스위칭 특성 분석 및 적용이다. 이 연구의 대상과 연구를 수행하게 된 배경을 설명하기 위해 본 절은 아래와 같이 구성되었다.

1.1.1절에서는 와이드밴드갭 반도체에 대한 전반적인 내용을 소개하며

1.1.2절에서는 본 논문의 대상인 중, 고압에서 사용되는 와이드밴드갭 반도체인 실리콘카바이드 MOSFET과 쇼트키 다이오드에 대해 소개한다.

1.1.3절에서는 실리콘카바이드 전력반도체를 전력변환장치에 적용시 나타나는 알려진 문제에 대해 언급하며,

1.1.4절에서는 1.1.3절에서 언급한 문제점을 해결하기 위한 기존의 접근방법에 대해 소개한다.

1.1.1 와이드밴드갭 반도체

실리콘반도체의 성능을 뛰어넘는 와이드밴드갭 반도체 물질에 대한 연구는 1950년대부터 시작되어 최근까지 연구되어 왔다[1],[7]. 그 연구의 결실로, 와이드밴드갭 물질인 실리콘카바이드(Silicon Carbide, SiC)와 갈륨나이트라이드(Gallium nitride, GaN)로 만든 새로운 반도체 소자들이 최근 양산, 판매되고 있다.

와이드밴드갭 반도체는 밴드갭(energy bandgap)의 크기가 실리콘 반도체와 부도체의 사이에 있는, 2~4eV 가량 되는 반도체 소재를 의미한다. 표 1-1에는 대표적인 와이드밴드갭 반도체 물질인 실리콘카바이드(SiC)와 갈륨나이트라이드(GaN), 그리고 이상적인 반도체 물질이라 생각되는 다이아몬드의 물성을 비교하여 나타내었다. 표 1-1에 비교된 각각의 물성들이 반도체 소자로서 의미하는 바는 다음과 같다[2].

- **밴드갭(energy bandgap)** : 밴드갭이 넓을수록 반도체 소자의 누설전류가 작고, 고온 동작이 가능해 진다.
- **절연파괴전계(critical electric field)** : 이 값이 클수록 반도체 소자의 차단 층의 두께를 더 얇게 만들 수 있으며, 이로 인해 낮은 턴-

은 저항값을 가질 수 있다.

- 포화전자속도(electron saturation velocity) : 이 값이 높을수록 반도체 소자의 고속(고주파수)운전이 가능하다.
- 열전도율(thermal conductivity) : 이 값이 높을수록 열을 빨리 발산할 수 있으며, 이로 인해 전력변환장치의 출력밀도를 높힐 수 있다.

표 1-1. Si와 WBG 반도체 소자의 물성 비교[2]

	Si	4H-SiC	GaN	Diamond
밴드 갭[eV]	1.1	3.3	3.4	5.5
절연파괴전계 [MV/cm]	0.25	2.2	3	10
열전도율 [W/cmK]	1.5	4.9	1.3	22
포화전자속도 [10^7 cm/s]	1.0	2.0	2.2	2.7
녹는점 [°C]	1,414	2,730	2,500	3,600

표 1-1을 참고하였을때, 실리콘 반도체와 비교하여 와이드밴드갭 반도체가 가지는 장점을 요약하면 다음과 같다.

- 작은 누설전류
- 높은 동작온도
- 고속 운전
- 얇은 소자두께와 이로인한 낮은 손실

위 특성들의 시각적 비교를 위해, 표 1-1의 수치를 방사형 그래프로 표현한 것이 그림 1-1이다. 그림에서 알 수 있듯이 와이드밴드갭 반도체인 실리콘카바이드와 갈륨나이트라이드는 다방면에서 실리콘 반도체를 압도하는 성능을 가지고 있음을 확인할 수 있다.

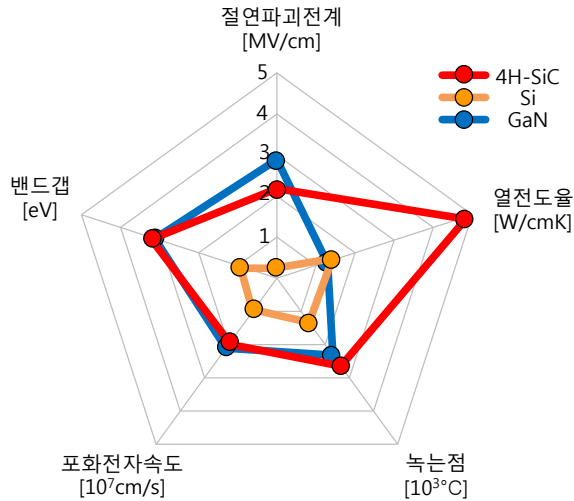


그림 1-1. WBG 반도체 소자와 Si의 물성 비교[3]

그림 1-1의 수치상으로는 와이드 밴드갭 반도체 중 하나인 SiC는 GaN에 비해 약간 낮은 고전압, 고속운전 성능을 보인다. 하지만 실제로 SiC는 600V 이상의 고전압, 고전류 반도체 소자에 주로 사용되며, GaN은 오히려 600V 이하의 저압, 저전류 반도체 소자에 주로 사용된다.

SiC가 고전압, 고전류 소자 제작에 많이 사용되는 이유는 GaN에 비해 높은 열전도율과 상대적으로 좋은 반도체기판(wafer) 생산성에 기인한다. 고전압의 반도체 소자를 만들기 위해서는 수평구조(lateral)의 반도체 보다는 수직구조(vertical) 구조의 반도체가 유리하다. 수직 구조의 반도체를 제작하기 위해서는 고품질의 벌크 반도체기판이 필요한데, GaN의 경우, 벌크기판 제작의 기술적 어려움으로 인해 표 1-2와 같이 기판의 생산단가가 실리콘이나 실리콘카바이드에 비해 매우 비싸다. 따라서 수직구조 반도체 제작을 위한 벌크 기판의 생산성이 실리콘 카바이드가 상업적으로 더 유리하기 때문에 고전압, 고전류에서는 실리콘카바이드가 주류를 이루고 있다. GaN의 경우, 실리콘 또는 사파이어 기판과 같은 이종기판 위에 얇은 GaN 결정을 성장시키는 헤테로 에피택시(Hetero-epitaxy)방법으로 제작한 웨이퍼를 이용하기 때문에 저압의 수평구조 반도체가 주로 제작되고 있다[1],[4]-[6].

표 1-2. Si와 WBG 기판의 크기와 생산단가 [1]

	Si	4H-SiC	Bulk GaN
기판크기*[inch]	~12	4~6	2~3
생산단가*[€/cm ²]	0.1	10	100

*2014년 출판된 참고문헌 [1] 인용

1.1.2 실리콘카바이드 반도체 소자(MOSFET 과 쇼트키 다이오드)

일반적으로 수십~수백볼트의 저압에서 많이 사용되는 실리콘 금속산화막 반도체 전계효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor, 이하 MOSFET)는 수백~수천 볼트의 고전압에서는 잘 사용되지 않는다. 고전압의 MOSFET을 만들기 위해서는 수직 구조를 지니는 MOSFET의 두께가 두꺼워져야 하는데, 이는 소자의 도통저항($R_{ds(on)}$)을 증가시키기 때문이다. 도통저항이 크다는 것은 대전류에서 도통손실이 크다는 것을 의미하기 때문에 고전압, 고전류 실리콘 MOSFET은 효율 측면에서 사용성이 떨어진다. 이러한 이유로 600V 이상의 고압, 고전류 실리콘 전력반도체는 대부분 MOSFET이 아닌 절연 게이트 양극성 트랜지스터(Insulated Gate Bipolar Transistor, 이하 IGBT)를 사용한다.

IGBT는 구조적으로 MOSFET과 BJT가 결합된 반도체로, 입력특성은 MOSFET, 출력특성은 BJT와 유사하다. MOSFET의 턴-온시의 소자의 정적 특성이 저항이라면, IGBT는 마치 다이오드와 같아 큰 전류에도 전압강하가 비교적 일정하기 때문에 고전류에 적합하다. 하지만 이러한 IGBT의 정적특성은 스위칭특성을 다소 희생한 결과이다. IGBT는 MOSFET과 달리 정공(hole)의 주입과 소멸에 의해 턴-온, 턴-오프가 일어나기 때문에 MOSFET에 비해 턴-온, 턴-오프시간이 길다. 그 영향으로 IGBT 턴-오프시 MOSFET에는 없는 후미전류(tail current)가 나타난다. 후미전류는 턴-오프시간을 길어지게하고 턴-오프 손실을 증가시키기 때문에 스위칭 주파수를 높힐 수 없게 하는 주요 요인 중 하나이다[8]-[9]. 따라서 고전압, 고전류, 비교적 낮은스위칭 주파수에서는

IGBT가 선호되고, 저전압, 저전류 높은 스위칭 주파수에서는 MOSFET이 선호된다. 이러한 이유로 1200V~3300V급의 고전압 고전류의 전력용 반도체 시장은 전통적으로 실리콘 IGBT가 주도하고 있다.

실리콘 MOSFET과 IGBT의 경우와 유사하게, 고전압, 고전류의 다이오드는 스위칭 특성이 우수한 쇼트키 다이오드(Schottky Barrier Diode) 대신 PN접합 다이오드를 사용한다. 고전압의 실리콘 쇼트키 다이오드는 실리콘 MOSFET의 문제와 동일하게, n형 반도체층의 두께가 두꺼워지면서 다이오드의 저항과 문턱전압(Thresh-hold Voltage)이 매우 높아지는 문제가 있다. 이러한 이유로 100~200볼트 이상의 실리콘 다이오드는 주로 PN접합 다이오드를 사용한다.

PN접합 다이오드는 쇼트키 다이오드에 비해 고전압, 고전류에서 사용 가능하지만, 스위칭 특성측면에서는 쇼트키 다이오드보다 열등하다. PN접합 다이오드는 쇼트키 다이오드와 달리 캐리어 축적 효과(carrier storage effect)로 인한 역회복 전류(reverse recovery current)와 역회복 시간(reverse recovery time)을 가진다. 이러한 특성은 다이오드의 턴-오프 시간을 길어지게하고, 스위칭 손실을 증가시킨다. 또한 이 역회복 전류는 같은상의 반대편에 있는 스위치 소자를 통해 도통하기 때문에 같이 사용하는 반도체 스위치 소자의 턴-온 손실을 증가시킨다. 스위칭 특성면에서 불리함에도 불구하고, 다이오드의 우수한 정적 특성으로 인해 고전압, 고전류의 전력 다이오드는 대부분 PN접합 다이오드가 사용되며, 저전압, 저전류의 다이오드는 스위칭 특성이 우수한 쇼트키 다이오드가 주로 사용된다[8]-[9].

하지만 최근 실리콘카바이드 반도체의 개발로 인해 이러한 반도체의 전통적인 판도가 바뀌고 있다. 저전압에서 많이 사용되었던 MOSFET과 쇼트키 다이오드가 실리콘 카바이드로 인해 중,고전압 시장에 등장하고 있기 때문이다. 와이드밴드갭 물질인 실리콘카바이드는 실리콘에 비해 표 1-1와 같이 10배 큰 절연파괴전계(Break down Electric Field)를 가지기 때문에 동급의 고전압 MOSFET 제작시, 실리콘 MOSFET에 비해 두께를 1/10 가량 얇게 만들 수 있다. 이는 실리콘 사용으로는 어려웠던 작은

도통저항을 지니는 고전압 MOSFET 제작이 가능하다는 의미이다. 쇼트키 다이오드 또한 실리콘카바이드로 제작하게 되면서 고전압에서 전도손실이 적으면서 동시에 문턱 전압이 거의 없는 고속 쇼트키 다이오드를 제작 할 수 있게 되었다[1]-[12]. 중고압의 실리콘카바이드 반도체의 특징을 요약하면 아래와 같다.

SiC MOSFET

- 고전압, 낮은 턴-온 저항을 가지는 고효율 MOSFET
- IGBT의 후미전류가 없어 빠른 스위칭 속도와 낮은 스위칭 손실
- IGBT에 비해 저전류에서의 낮은 도통 손실 (턴-온 저항특성)
- 고온 동작 가능
- 높은 열전도율로 인한 큰 출력밀도

SiC 쇼트키 다이오드

- 고전압, 낮은 문턱전압을 가지는 고효율 쇼트키 다이오드
- 역회복전류가 없어 빠른 스위칭 속도와 낮은 스위칭 손실
- 고온 동작 가능
- 높은 열전도율로 인한 큰 출력밀도

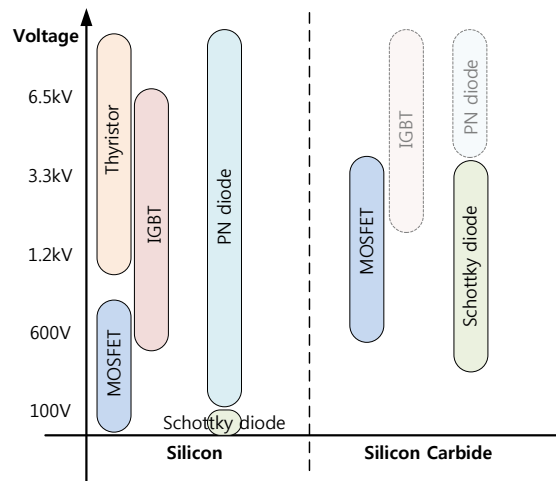


그림 1-2. 실리콘과 실리콘카바이드 반도체의 차단전압영역에 따라 상용화된 반도체 종류. SiC IGBT와 PN 다이오드는 아직 상용화 되지 않았다.

그림 1-2는 앞서 설명한 실리콘과 실리콘카바이드 반도체의 차단전압영역에 따른 상용화된 반도체 종류를 도식화 하였다. 그림에서 볼 수 있듯이 600~3300V의 실리콘 전력반도체는 스위칭 특성이 우수한 실리콘카바이드 반도체로 대체될 수 있음을 보여준다.

하지만 실리콘카바이드 반도체 상업화의 가장 큰 걸림돌은 가격이다. 실리콘카바이드 기판가격은 표 1-2와 같이 실리콘에 비해 100배 가량 비싸다. 실리콘카바이드 반도체가 동급의 실리콘 반도체에 비해 작은 크기를 가짐을 고려하여도 실리콘카바이드 반도체 소자는 실리콘 소자의 가격보다 2~5배 가량 비싸다. 그럼에도 불구하고 실리콘카바이드 반도체인 Full SiC MOSFET은 Si IGBT - PN다이오드에 비해 빠른 스위칭(낮은 스위칭 손실), 낮은 전도 손실을 보장하기 때문에 중고압 전력변환장치의 효율을 대폭 상승시킬 수 있다. 이러한 효율의 상승은 방열설계의 간소화로 인해 전체 제품 크기 축소가 가능하다. 또한 높은 스위칭 주파수를 이용할 수 있기 때문에 필터 회로에 사용 되는 인덕터/캐패시터의 크기 또한 대폭 줄일 수 있다. 따라서 실리콘카바이드 반도체 소자의 비싼 가격에도 불구하고, 전체 시스템 차원에서 경제적 이점들을 가지기 때문에 충분한 상업적 가치가 있다고 평가된다[13]-[18].

따라서 최근의 1200~3300V급 중고전압 전력반도체 시장은 Si IGBT - Si PN 다이오드의 조합이 스위칭 특성이 우수한 SiC MOSFET - SiC 쇼트키다이오드의 조합(이하 Full SiC MOSFET)으로 변화하는 과정에 있으며 향후 실리콘카바이드 기판 가격 하락에 따라 이러한 변화는 더욱 가속되리라 생각된다.

1.1.3 SiC 를 이용한 고전압, 고전류 전력변환장치 적용 문제

Full SiC MOSFET을 전력변환장치 적용시 나타날수 있는 문제는 크게 두 가지로 분류할 수 있다. 하나는 소자의 과전압, 과전류에 의한 SOA(Safe operating Area) 준수 문제, 나머지 하나는 EMI(Electromagnetic Interference) 준수 문제이다. SOA 준수 문제는 소자의 안전성과 신뢰성의 문제와 결부되고, EMI 문제는 전자기 간섭에 의한 제품의 안정적인 작동과 제품 출시를 위한 규제 만족의 문제와 결부된다. 두 문제가 직접적으로 의미하는 바는 서로 다르지만, 두 문제의 원인은 소자의 빠른 전압, 전류의 기울기와 스위칭 회로상의 공진현상으로 같다. 이번 절에서는 실리콘카바이드 소자 이용시 나타나는 SOA 준수 문제와 EMI 문제에 대해 소개한다.

일반적으로 소자의 스위칭 시간이 짧을수록, 또는 스위칭 속도(dv/dt , di/dt)가 빠를수록 스위칭 손실은 작아진다. 그림 1-3는 dv/dt , di/dt 와 스위칭 손실의 관계를 설명하기 위한 턴-온시의 스위칭 파형 개념도이다.

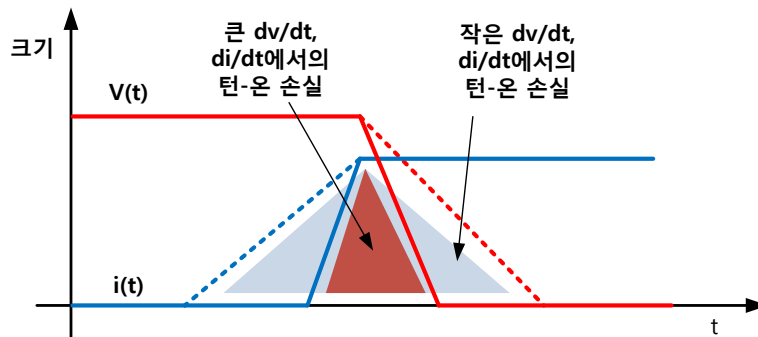


그림 1-3. 턴-온시의 dv/dt , di/dt 와 스위칭 손실의 관계 설명을 위한 인덕터 부하에서의 하드 스위칭(hard switching) 파형 개념도

그림 1-3에서 확인 할 수 있듯이 전압, 전류 기울기(dv/dt , di/dt)의 크기가 클수록 스위치의 상태변동에 걸리는 시간이 짧아져, 턴-온, 턴-오프시의 스위칭 손실이 줄어들음을 유추 할 수 있다. 이러한 개념적인 설명은 스위칭 소자의 물리적 특성을 생략한 설명이지만, 실제 IGBT나 MOSFET의 스위칭 속도와 스위칭 손실 사이의 이러한 관계는 여러

문헌을 통해 잘 알려져 있다[19]-[22].

이러한 스위칭 속도와 스위칭 손실과의 관계는 실리콘카바이드 소자에서도 다르지 않다. 그림 1-4는 Full SiC MOSFET에서 실험을 통해 측정된 평균 dv/dt 와 스위칭 손실과의 관계를 표시하였다. dv/dt 의 변동은 게이트 저항의 변동을 통해 달성 하였으며, 실험에 사용된 외부 게이트 저항의 값을 같이 도시 하였다. 그림에 표시된 붉은 점선은 $6kV/\mu s$ 를 표시한 기준선이며, 일반적으로 실리콘 IGBT의 dv/dt 는 이 선 아래에 위치한다.

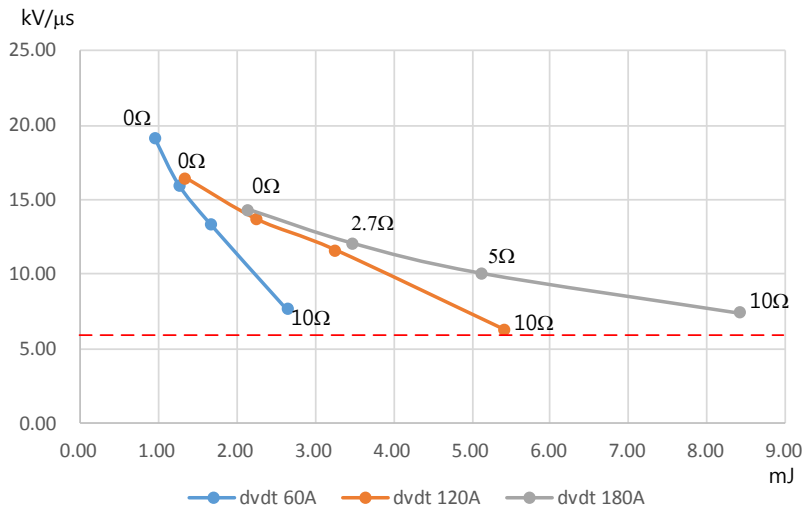


그림 1-4. Full SiC MOSFET(CAS120M12BM2)의 스위칭 손실과 부하전류에 따른 평균 dv/dt 값

즉, 와이드밴드갭 반도체 소자의 낮은 스위칭 손실은 빠른 스위칭 속도에 기인한 것이며, 더 낮은 스위칭 손실을 달성하기 위해서는 더 빠른 스위칭 속도가 필요함을 의미한다. 이는 스위칭 속도(dv/dt , di/dt)와 스위칭 손실이 트레이드오프(trade off) 관계에 있다고 표현 할 수 있다.

하지만 이러한 Full SiC MOSFET의 빠른 스위칭 특성은 스위칭 파형상의 고주파수 성분들의 함량을 높이게 한다. 이를 정량적으로 표현한 것이 그림 1-5 이다. 임의의 사다리꼴 형태의 구형파의 주기를 T_s (스위칭 주파수 $f_s=1/T_s$), 상승시간과 하강시간을 τ_r , 듀티비(duty ratio)를

D라 하였을 때, 이 파형을 푸리에 급수(Fourier series)의 계수의 크기로 표현하면 식 (1.1)와 같으며, 이를 그림 1-5에 그래프로 도시하였다[23]-[25]. 식 (1.1)의 n 은 1이상의 양의 정수로서, 스위칭 주파수 $f_s=1/T_s$ 의 정수배의 주파수에 대해 정의된다.

$$|c_n| \equiv S(n \cdot f_s) = 2 \cdot A \cdot D \frac{\sin(\pi \cdot n \cdot D)}{\pi \cdot n \cdot D} \frac{\sin(\pi \cdot n \cdot \tau_r / T_s)}{\pi \cdot n \cdot \tau_r / T_s} \quad n = 1, 2, 3 \dots \quad (1.1)$$

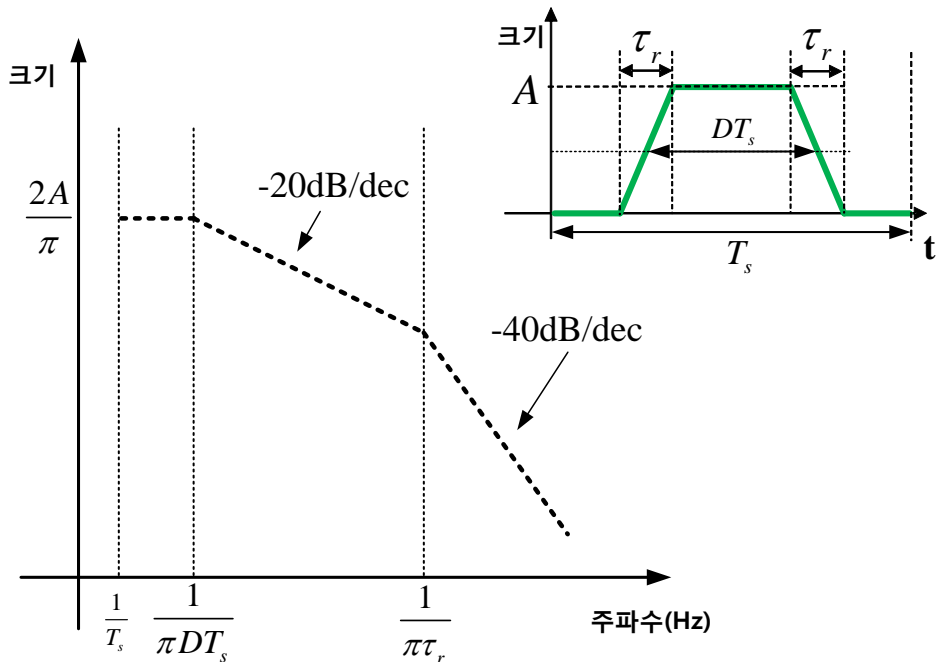


그림 1-5. 상승시간 갖는 사다리꼴 구형파의 주파수 구성

그림에서 확인 할 수 있듯이, 구형파의 주기와 (또는 주파수가 높을수록), 상승, 하강 시간이 짧을수록 주파수 구성 그래프상의 절점 주파수가 고주파수 영역으로 이동하여 구형파가 더 많은 고주파수 성분들을 포함함을 알 수 있다.

위 분석을 이용하여 동급의 실리콘 IGBT와 Full SiC MOSFET의 스위칭 파형이 가지는 주파수 함량의 크기를 서로 비교하여 보았다. 비교의 대상은 본 논문에서 집중적으로 다룰 예정인 1200V 전력반도체 소자이다. 그림 1-5는 비슷한 용량대의 실리콘 IGBT와 실리콘카바이드 MOSFET의 스위칭 시간을 보여주고 있다. 그림에서 실리콘카바이드

MOSFET은 실리콘 IGBT에 비해 4~10배 가량 짧은 스위칭 시간을 가진다. 이는 곧 실리콘카바이드 소자가 실리콘 소자에 비해 4~10배 가량 큰 dv/dt , di/dt 를 갖는 것을 의미한다.

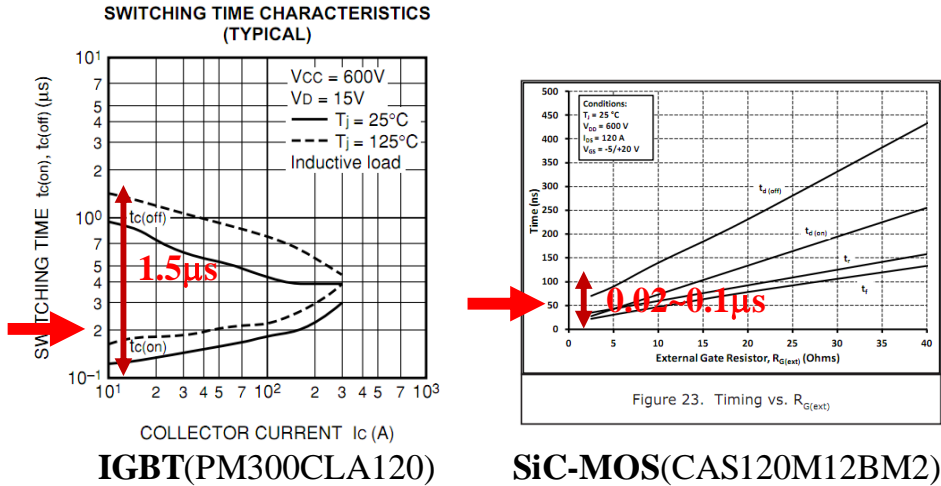


그림 1-6. 동급의 실리콘 IGBT와 Full SiC MOSFET의 스위칭 시간 비교

식 (1.1)을 이용하여 아래와 같은 조건의 실리콘카바이드 MOSFET과 실리콘 IGBT의 주파수 함량을 비교하여 그림 1-7에 도시하였다.

- Full SiC MOSFET($\tau_r=50ns$)의 스위칭 주파수 : 10kHz, 30kHz
- 실리콘 IGBT($\tau_r=200ns$)의 스위칭 주파수 : 10kHz

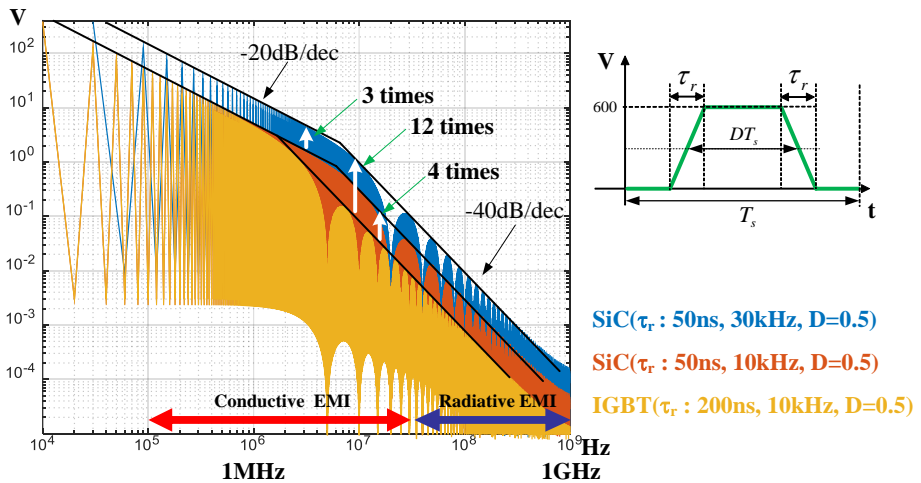


그림 1-7. 스위칭 시간에 따른 동급의 실리콘 IGBT와 Full SiC MOSFET의

스위칭 시간 비교

그림 1-7에서 확인 할 수 있듯이, 3배의 스위칭 주파수 증가는 대부분의 주파수 범위($f > \frac{1}{\pi DT_s}$)에서의 성분 크기가 3배 증가한 것을 확인할 수 있으며, 4배 빠른 스위칭 시간은 수MHz 이상의 고주파수 영역($f > \frac{1}{\pi \tau_r}$)에서의 성분 크기를 4배 증가시키는 것을 확인할 수 있다. 따라서 실리콘 IGBT에 비해 3배의 스위칭 주파수와 4배의 스위칭 속도를 지니는 Full SiC MOSFET은 고주파수 영역에서의 성분크기가 12배 증가하는 것을 알 수 있다. 만약 Full SiC MOSFET의 게이트 저항을 작게 조정하여 스위칭 속도를 실리콘 IGBT 대비 10배로 증가시키면 고주파수 성분이 30배 증가함을 예상 할 수 있다[19]. 이러한 경향을 요약하여 도시하면 그림 1-8와 같다.

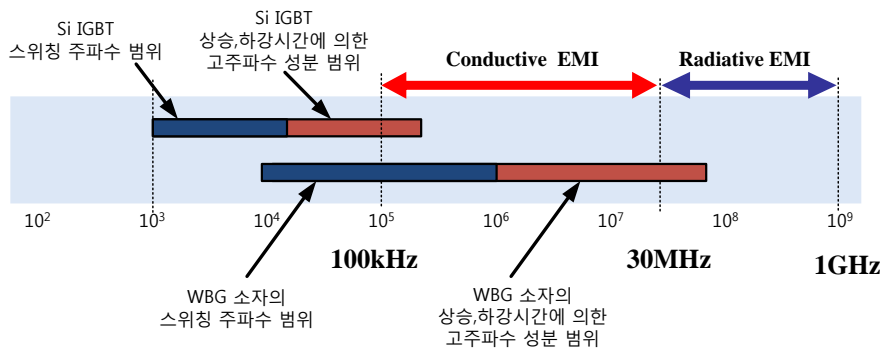


그림 1-8. 와이드밴드갭 소자와 실리콘 IGBT의 스위칭 파형의 주파수 구성[33]

하지만 위에서 분석한 Full SiC MOSFET의 고주파수 성분 함량은 이상적인 구형파의 스위칭 파형을 가정한 결과이며, 현실은 더욱 더 심각하다. 그림 1-9과 그림 1-10는 Full SiC MOSFET의 턴-오프, 턴-온 실험파형이다.

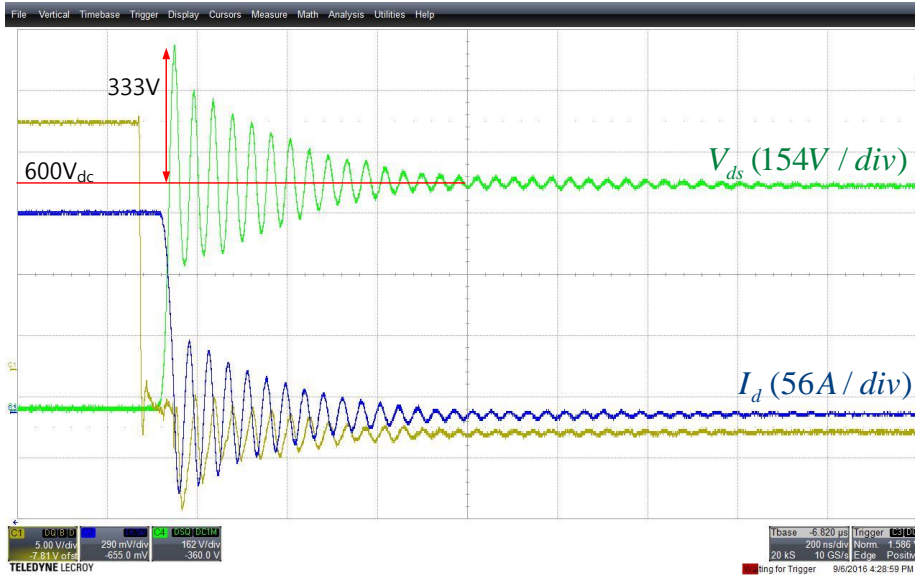


그림 1-9. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 턴-오프 실험 파형

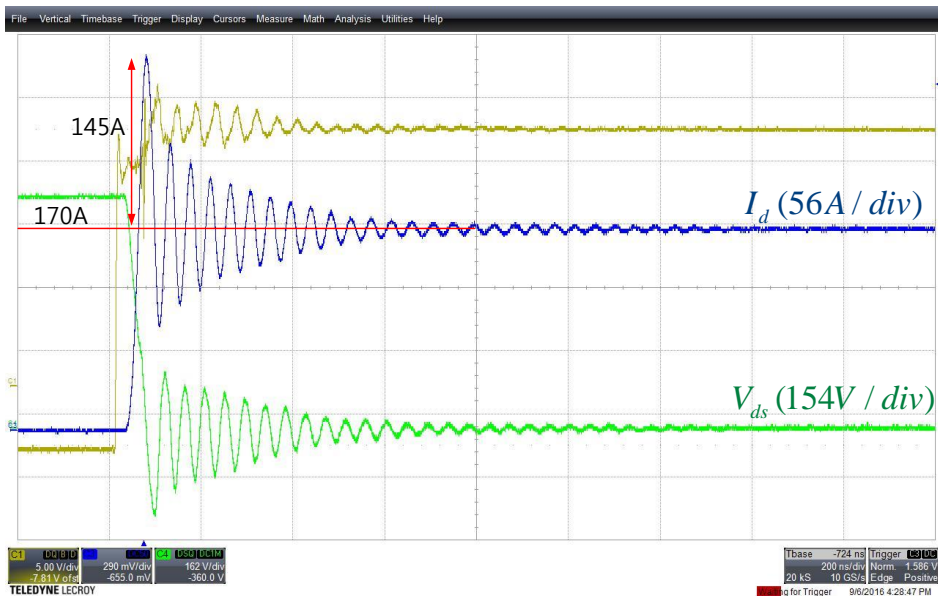


그림 1-10. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 턴-온 실험 파형

위 파형에서 확인 할 수 있듯이, Full SiC MOSFET의 스위칭 파형에는 매우 큰 과전압과 과전류가 관찰되며 과전압, 과전류가 비교적 긴 시간동안 지속되는 진동(ringing) 현상을 관찰 할 수 있다. 이러한 현상은 전력변환장치 내에 존재하는 기생 캐패시턴스와 기생 인덕턴스 성분에

의한 공진(Resonance)현상으로 분석된다[26]-[27]. 이러한 공진에 의한 오버슈트(overshoot)와 진동(ringing)은 특정 주파수의 크기를 증가시키게 된다.

그림 1-11은 그림 1-9과 그림 1-10의 스위칭 파형의 푸리에 변환의 결과이다. 좌측 상하단의 그림은 전압, 전류 파형의 주파수 구성이며, 우측 상하단은 전압의 미분(dv/dt) 파형의 주파수 구성이다. dv/dt의 주파수 구성을 도시한 이유는, 해당 그래프가 접지사이의 기생 캐패시턴스에 의한 Cdv/dt의 크기를 갖는 전도성 EMI를 가늠할 정보이기 때문이다[28].

그림 1-11에서 확인할 수 있듯이, 공진 주파수에 해당하는 특정 주파수의 성분의 크기가 커지는 것을 확인할 수 있다. 이는 그림 1-7에서 확인한 이상적인 구형파의 주파수 함량에 비해 더욱더 커진 모습이다.

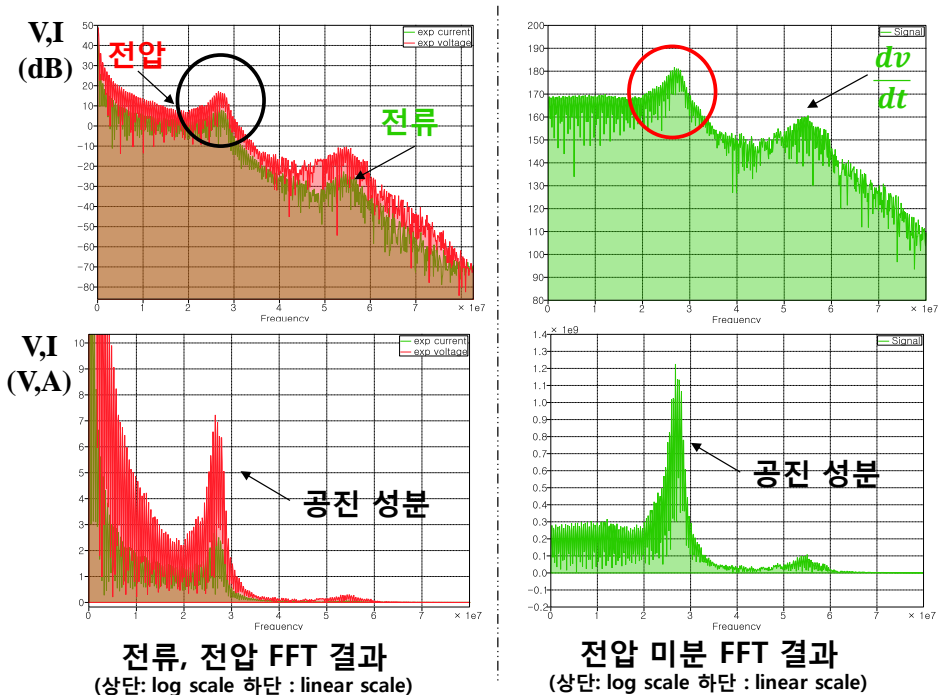


그림 1-11. Full SiC MOSFET(CAS120M12BM2)의 턴-온, 턴-오프 실험 파형의 주파수 구성(상단 : y축의 로그 표현, 하단 : y축의 선형 표현)

이러한 고주파수 성분의 증가는 EMI의 증가와 직결된다. 왜냐하면 고주파수 성분의 전압원은 주변 회로에 의해 해당 주파수 성분의 전류가 흐르게 되어 전도성 EMI를 유발하기 때문이다[28]-[32]. 예를들어 전력소자의 방열판 또는 변압기, 필터 인덕터, 전동기에 존재하는 기생 캐피시턴스 또는 이들 기기와 접지 사이에 존재하는 기생 캐패시턴스 성분은 전도성 EMI의 경로가 되어 Cdv/dt 의 공통모드와 차동모드 전류가 흐르게 된다. 이러한 고주파수의 전류는 전자기에너지 형태로 방사되어 방사성 EMI 또한 유발한다. EMI 규정에서 정의하는 전도성 EMI의 주파수 범위는 100kHz~30MHz, 방사성 EMI의 주파수 범위는 30MHz~1GHz이며, 그림 1-7에서 10배 이상 증가되는 고주파수 성분이 이 주파수 범위에 걸쳐있다. 또한 그림 1-11에서 나타나는 공진 주파수 성분이 10~40MHz 주파수 범위에 존재하기 때문에 Full SiC MOSFET은 실리콘 IGBT에 비해 전도성, 방사성 EMI 모두 심각하게 악화됨을 예상할 수 있다[19],[22]-[23],[29],[33]-[35].

특히, EMI 규정은 하나의 주파수 성분이라도 기준 크기를 초과하지 않도록 설정되어 있기 때문에 그림 1-11에서 나타나는 특정 공진 주파수 성분의 크기 증가는 EMI 규제 통과의 입장에서 더욱 더 어려운 현상이라 할 수 있다[26]-[27],[40]. EMI의 규제 만족의 문제 뿐만 아니라 여기서 발생하는 노이즈는 전력변환장치를 제어하는 제어보드, 게이트 드라이버, 통신 케이블 등에 영향을 주어 전력변환장치의 오동작을 유발할 수도 있다.

그림 1-9과 그림 1-10에서 나타난 과전압과 과전류는 EMI 문제와 별개로, 소자의 안정적인 동작을 위한 SOA 준수 문제를 야기한다. SOA란 그림 1-12에 나타난 전압-전류 영역으로, 소자가 안정적으로 동작하기 위한 소자의 전압과 전류 범위를 의미한다.

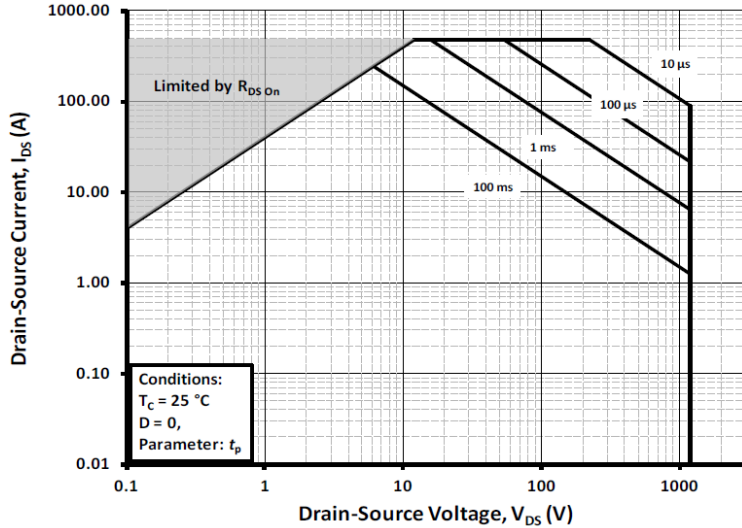


그림 1-12. 1200V, 120A의 실리콘카바이드 MOSFET(CAS120M12BM2)의 SOA

과전압, 과전류가 발생하게 되면, 소자의 DC링크전압/부하전류 보다 더 큰 전압/전류가 소자에 가해지게 된다. 만약 이러한 과전압, 과전류가 SOA의 범위를 넘어서게 된다면, 사용자는 과전압, 과전류를 억제하기 위해 스위칭 손실을 희생하여 스위칭 속도를 감소시키거나, 최대 부하전류 또는 DC링크 전압의 크기를 낮추어야 한다[36]-[39].

또한, 전력변환장치를 이용하여 전동기를 구동 경우, 실리콘카바이드 소자의 빠른 스위칭 속도는 전동기 단자에 큰 과전압을 유기 하기도한다. 특히 전동기와 전력변환장치간에 긴 케이블을 사용하는 경우, 케이블의 기생 임피던스에 의해 전동기 단자에 큰 과전압을 유기하며 이러한 전동기 단자의 과전압은 전동기의 절연 신뢰성 악화를 초래한다[41]-[43].

앞선 내용들을 요약하면, Full SiC MOSFET을 전력변환장치 적용시 나타나는 문제의 원인은 소자의 빠른 스위칭 속도 때문이다. 낮은 스위칭 손실을 달성하기 위해서는 빠른 스위칭 속도가 필요하며, 이로 인해 스위칭 파형에 의해 발생하는 EMI의 크기가 증대 될수 밖에 없는 문제가 있다. 특히 공진에 의해 발생하는 특정 주파수의 크기 증대는 SOA에서 소자가 동작하지 못하게 하며, EMI 문제를 더욱 더 악화시킨다.

만약 실리콘카바이드 전력변환장치가 SOA 또는 EMI 규정을 만족

하지 못한다면 사용자는 규정만족을 위해 스위칭 손실을 희생해야 한다. 하지만, 이 경우 실리콘카바이드 소자의 최대 성능을 제한하여 사용하게 되므로 바람직하지 않다. 그러한 상황을 보여주는 것이 그림 1-13이다.

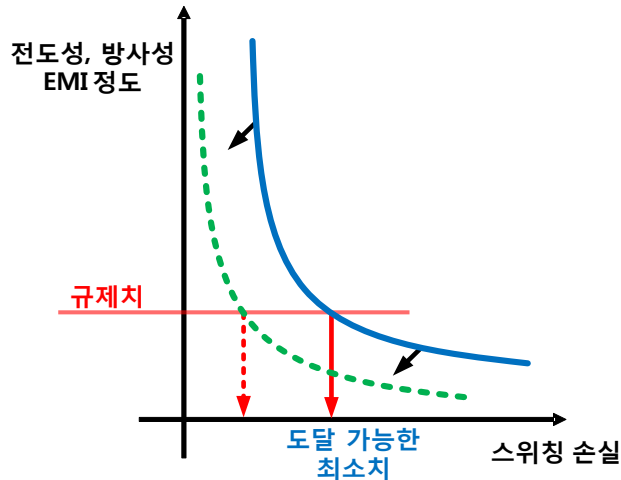


그림 1-13. 스위칭 손실과 EMI의 관계를 나타내는 개념도

그림 1-13에는 주어진 전력변환장치에서 스위칭 속도 변동을 통해 달성 할 수 있는 ‘스위칭 손실 - EMI 정도’ 조합을 파랑색 그래프로 표시하였다. 일반적으로 스위칭 손실과 EMI 발생 정도가 트레이드 오프(trade off)관계를 가지기 때문에 반비례 그래프로 표현하였다[19]. 그림 1-13에서 볼 수 있듯이 EMI 규제치를 만족하기 위해서는 스위칭 손실을 일정수준 이하로 가져 갈 수 없다. 이러한 상황이 Full SiC MOSFET의 최대성능이 제한되는 경우이다.

Full SiC MOSFET의 최대 성능을 사용하기 위해서는 ‘스위칭 손실 - EMI 정도’의 관계를 개선 시켜야 하며, 이를 표현 한 것이 그림 1-13의 초록색 그래프이다. 따라서 실리콘카바이드 소자를 전력변환장치에 적용하고자 하는 연구들의 목표는 ‘스위칭 손실 - EMI 정도’의 관계를 개선하는데 있다.

1.1.4 문제해결을 위한 기존의 접근

실리콘카바이드 소자의 전력변환장치 적용을 어렵게 하는 것들은 소자에 의해 발생하는 과도한 EMI와 소자의 과전압, 과전류, 진동현상이다. 이 현상들이 발생하는 원인은 실리콘카바이드 소자의 빠른 스위칭 속도이다. 하지만 낮은 스위칭 손실을 가지기 위해서는 빠른 스위칭 속도는 필수적이기 때문에 근본 원인인 스위칭 속도를 줄일 수는 없다. 따라서 문제를 해결하기 위해서는 빠른 스위칭 속도에도 불구하고, EMI 발생을 낮추고, 과전압, 과전류, 진동의 발생을 억제하는 방안을 찾는 것이다. 그러한 문제해결을 위한 기존의 접근방법들은 아래와 같이 정리 할 수 있다.

- 1. 게이트 전압의 동적 제어(Active Gate Driver) [49]-[58]
- 2. DC단 회로의 최적화 [63]-[71]
- 3. 실리콘카바이드 전력소자 모듈(패키지)의 최적화 [72]-[81]
- 4. 스너버의 사용 [86]-[92]
- 5. EMI 필터 [93]-[100]

1. 게이트 전압의 동적 제어

게이트 전압의 동적 제어 방법은 게이트-소스 전압을 동적으로 제어하여 소자의 전압 상승, 하강 기울기를 부드러운 S 형태의 고차 함수로 성형하는 방법이다. 이러한 S 형태의 전압파형은 그림 1-14과 같이 파형의 고주파수 성분의 크기를 감소시키며, 이를 통해 EMI의 크기를 줄일 수 있다고 알려져 있다[44]-[48]. 게이트 전압의 동적 제어는 DC단 회로의 변경이나 다른 필터장치 없이 EMI와 소자의 과전압을 억제하는 좋은 접근방법이다.

하지만 20~50ns의 짧은 스위칭 시간안에 게이트 출력전압 제어와 피드백 제어(feed-back control)를 위한 MOSFET 소자의 전압/전류의 측정, 그리고 측정된 전압/전류를 이용한 게이트 전압 지령 생성이 이루어 져야 하기 때문에 현실적으로 구현의 어려움이 있다.

이러한 이유로, 대부분의 동적 게이트 드라이버(Active gate driver)들은 출력 게이트 전압을 2~3개의 전압레벨을 사용하거나 하나의 전압레벨을 가지는 전원에 수개의 게이트 저항을 스위칭하는 방법을 사용하며, 되먹임(feed-back)을 하지 않는 오픈루프 제어(open-loop control)를 시도 한다[49]-[53]. 최근에는 이를 극복하기 위해 많은수의 게이트 저항들을 가지는 게이트 드라이버를 하나의 IC(Integrated Circuit)로 만들어 사용하는 경우도 있다[54]-[55]. 일부 되먹임 제어(feed-back)를 시도하는 논문들이 있으나, 게이트 전압 또는 게이트 저항을 변경하는 지점을 특정하기 위한 용도로만 사용한다[56]-[57].

능동게이트 드라이버 기술은 EMI 억제에 아닌 두개 이상의 전력소자의 직렬 또는 병렬 구동을 위해 사용하기도 한다. 이 경우, 비교적 느린 스위칭 속도의 dv/dt , di/dt 제어를 시도하므로, 소자의 전류, 전압을 되먹임 받아 제어하는 경우도 있다[58].

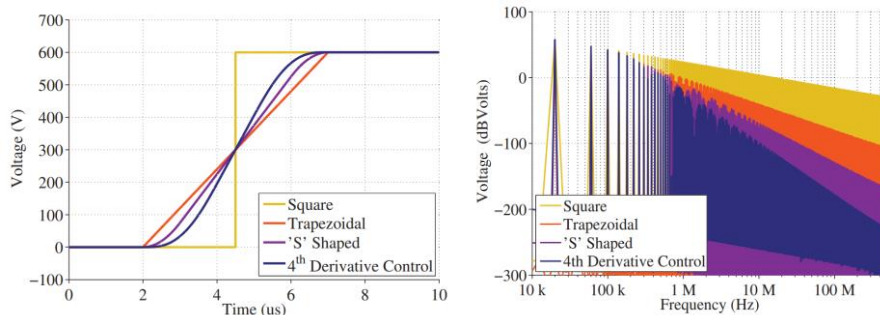


그림 1-14. 다양한 차수로 표현되는 전압 상승 파형과 주파수 구성[45]

2. DC단 회로의 최적화

DC단 회로란, 전력변환장치에 DC전압을 공급하는 회로로, 벌크 캐패시터, 스너버 캐패시터와 같은 디커플링 캐패시터(decoupling capacitor)로 구성되어 있다. 비교적 소용량의 전력변환장치에서는 DC단 회로를 PCB(Printed Circuit Board)로 제작하며 대용량에서는 금속 판(plate)을 이용한 버스 바(bus bar) 또는 버스 플레이트(bus plate)로 제작된다. DC단 회로의 최적화란, DC 전압을 전달하는

PCB의 레이아웃, 또는 버스 플레이트 구조의 최적화와 DC단을 구성하는 디커플링 캐패시터의 최적화를 의미한다.

DC링크 회로 최적화의 목적은 DC단의 인덕턴스 최소화이다. 이는 소자의 과전압이 DC단 인덕턴스에 의해 발생한다는 분석을 근거로 하고 있다. 그림 1-15는 일반적으로 잘 알려진 MOSFET의 턴-오프 파형을 나타내고 있다. 그림에서 확인 할 수 있듯이, 소자의 전압이 먼저 상승하고 소자의 전류가 하강하며, 전류의 하강 기울기에 의해 $L \frac{di}{dt}$ 의 과전압이 발생된다. 따라서 소자의 과전압을 억제하기 위해 DC단의 기생 인덕턴스 성분이 최소화 되어야 한다[59]-[62].

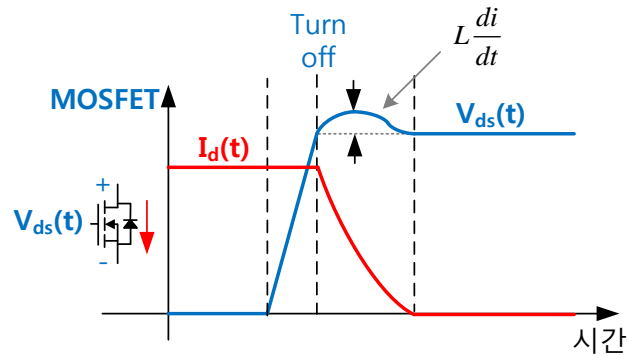


그림 1-15. 소자의 턴-오프시의 전압, 전류 파형

이러한 연구들의 접근은 PCB나 버스 플레이트의 형상에 따른 전자기 또는 등가회로 분석을 통해 기생 인덕턴스 성분을 최소화 하기 위한 설계를 제안하거나[63]-[66], 디커플링 캐패시터의 선정 및 배치를 제안한다[67]-[71].

3. 실리콘카바이드 전력소자 모듈(패키지)의 최적화

전력소자의 모듈 패키지의 최적화는 DC단 회로 최적화와 맥락을 같이 한다. DC단에 존재하는 기생 인덕턴스 성분을 과전압의 주요 요인으로 보았듯이, 소자의 패키지 내부에 존재하는 기생 인덕턴스 성분 또한 과전압의 주요 요인으로 보기 때문이다.

따라서 모듈 최적화의 방법은 DC단 최적화 방법과 매우

유사하다. MOSFET이나 쇼트키 다이오드 다이(Die)의 위치를 기생인덕턴스 성분이 최소가 되도록 배치하거나[72]-[73], 다이들 사이를 전기적으로 연결하는 와이어 본딩 대신, 버스 플레이트 구조와 유사한 평행한 판을 이용하여 기생 인덕턴스를 최소화한다[74]-[75].

이러한 구조적 최적화 이외에 모듈 외부에 있어야 할, 스너버 캐패시터나 게이트 드라이버를 모듈 내부에 부착하는 방식이 있다. 일반적으로 모듈 외부에 부착되는 스너버 캐패시터는 모듈내의 기생 인덕턴스 성분을 가려주지 못하기 때문에 DC단 최적화의 효과가 제한되는 문제가 있다. 이와 유사하게, 게이트 드라이버 또한 모듈 내부에 존재하는 게이트-소스 단의 기생 인덕턴스 성분으로 인해 스위칭 속도가 저하되는 문제가 있다. 이를 해결하기 위해 모듈 최적화의 일환으로, 스너버 캐패시터를 모듈내 DBC(Direct Bond Copper)위에 전력소자와 같이 장착하거나[76]-[77], 스너버 캐패시터와 게이트 드라이버 소자를 동시에 장착하는 연구도 있다[78]-[81].

실리콘카바이드 MOSFET은 실리콘 IGBT에 비해 5~10배의 빠른 스위칭 속도를 가지기 때문에 패키지내 기생성분에 의한 과전압 효과가 더 크게 발생한다[82]-[83]. 따라서 위에서 언급한 선행 연구의 수준은 아니지만, 실리콘카바이드 전력소자 제조사에서는 기생 인덕턴스 성분을 최소화한 실리콘카바이드 전력반도체 모듈제품을 출시하려는 시도가 지속적으로 이루어지고 있다[84]-[85].

4. 스너버의 사용

스너버를 사용하여 과전압을 억제하는 방법은 고전적인 방법이다. 일반적으로 잘 알려진 스너버 회로로는 스위치 소자 양단에 부착하는 RC 스너버와 RDC 스너버가 있다. 일반적으로 RC, RDC 스너버는 과전압 억제 효과가 크지만, 스너버 손실로

인한 전체 손실이 커지는 단점이 있다[86]-[88]. 소자양단에 부착하는 RC 스너버와 RDC 스너버의 가장 큰 단점은 두 개의 스위치 소자로 구성된 레그(Leg) 구조의 회로에 적용하기 어렵다는 점이다. 레그(Leg) 구조의 회로에는 위 아래 스위치가 교번하여 스위칭을 하게 되는데, 이때, RC 또는 RDC 회로에서 원하지 않는 스너버 캐패시터의 충방전이 일어나 추가적인 손실을 야기한다. 이를 해결하기 위한 몇몇 방법들이 제안되지만, 스너버 회로의 복잡도가 증가하는 단점이 있다[8].

다른 방식으로는 DC단에 RC 스너버를 부착하는 방법이 있다. 이 방법은 스너버 캐패시터의 충방전이 일어나지 않기 때문에 손실이 작고 과전압 이후로 나타나는 진동의 감쇄를 빠르게 하는 장점이 있다. 하지만 과전압의 크기는 거의 감소시키지 못하는 것이 단점이다[88]-[91].

이러한 전통적인 스너버 이외에 DC단에 페라이트 비드를 소자와 직렬로 삽입하여 스너버 효과를 얻는 방식이 제안되었다[91]. 페라이트 비드로 인해 과전압과 진동이 획기적으로 줄어들지만, 전체 스위칭 손실을 증가시키는 단점이 있다.

앞선 스너버 회로들은 스위칭 소자 또는 모듈 양단에 복잡한 회로를 삽입해야 하기 때문에 조립성이 떨어진다. 이런 단점을 보완하기 위해 그림 1-16처럼 PCB로 제작된 스너버 회로를 삽입하는 방법이 제안되었다[92]. 이 스너버 회로는 다른 스너버 회로에 비해 조립성이 좋은 장점이 있지만, DC단 RC 스너버와 같이 과전압 억제 기능보다 진동의 감쇄를 빠르게 하는 효과만을 가진다는 단점이 있다.

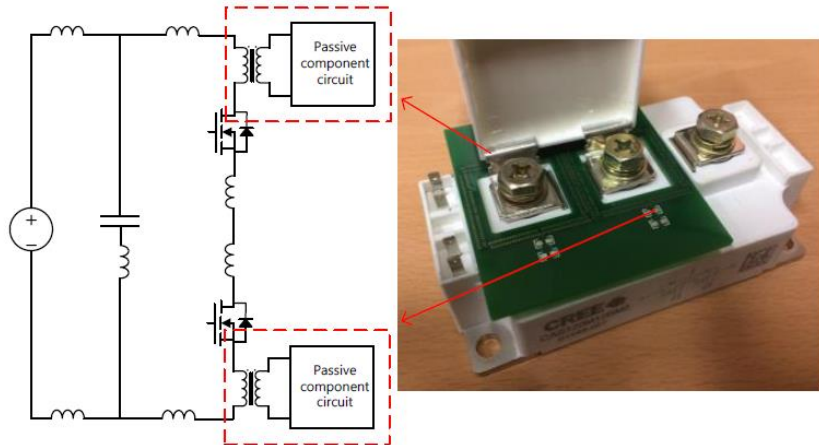


그림 1-16. [92]의 PCB 스너버 회로의 모습

5. EMI 필터 사용

EMI 필터는 실리콘 IGBT에서 이미 사용되는 기술이며, 실리콘카바이드에 의해 발생하는 EMI는 억제에도 동일하게 적용된다[93]-[100]. 다만, 실리콘카바이드의 빠른 스위칭 속도와 높은 스위칭 주파수로 인해 EMI 필터의 크기가 커지는 경향이 있다[93]. [100]에서는 EMI 필터 사용과 더불어, 공통모드 전류가 도통하는 경로인 방열판을 전력변환장치의 레그(leg) 별로 분리할 경우, EMI 발생정도가 감소하였다고 보고한다.

위에서 언급한 대부분의 기존 연구들의 직접적인 목표는 빠른 스위칭 속도를 가지는 실리콘카바이드 MOSFET의 과전압, 과전류 억제이다. 낮은 스위칭 손실을 유지하기 위해서는 빠른 스위칭 속도를 가져야만 하며, 이 경우 EMI의 크기를 줄이는 현실적이고 직접적인 방안은 과전압, 과전류의 크기를 최대한 억제하는 것이기 때문이다. 과전압, 과전류의 억제는 과전압 이후로 나타나는 진동의 크기도 줄일 수 있기 때문에 EMI 감소에 큰 도움이 된다.

1.2 연구 동기

실리콘카바이드 MOSFET의 스위칭 과도 분석은 그림 1-17과 같이 기생 인덕턴스 성분을 고려하여 분석한다[101]-[106]. 이러한 분석의 특징은 전류와 전압이 동시에 바뀌지 않고, 어느 한쪽이 완전히 변할 때 다른 한쪽이 변화하는 것이다. 이러한 분석을 토대로, 턴-오프시의 소자의 과전압은 (1.2)와 같이 계산된다. 이 식에 대한 유도는 본문의 2장에 설명되어 있다. 그 결과, 소자의 과전압은 게이트 저항값에 반비례하며, 부하전류와 기생 인덕턴스 성분에 비례한다.

$$V_{\text{peak}} \propto L \frac{I_L + g_m V_{\text{th}}}{R_g(C_{gs} + C_{gd})} \quad (1.2)$$

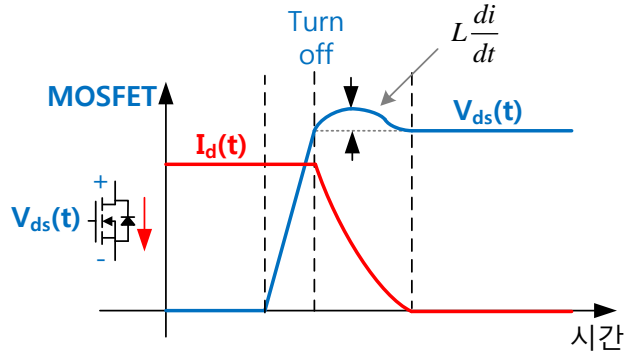


그림 1-17. MOSFET의 기생 인덕턴스를 고려한 스위칭 파형

이러한 MOSFET의 스위칭 과도 분석 내용은 1.3절에서 언급했던, 실리콘카바이드 소자의 전력변환장치 적용을 위한 연구에도 사용되었다. [49],[51]-[53],[55]-[56]의 경우 액티브 게이트 드라이버를 이용한 MOSFET 스위칭 특성 개선을 위해 그림 1-17의 분석 결과를 사용 하였으며, [61],[76],[104]의 경우, DC 버스바의 성능 개선을 위해 위의 분석결과를 이용하여 과전압의 크기를 예측하고 기생인덕턴스 최소화의 근거로 삼았다.

하지만 실제 Full SiC MOSFET의 스위칭 파형을 관찰하면, 이러한 경향이 게이트 저항이 클 경우에 성립한다는 것을 발견할 수 있다. 그림 1-18은 CREE의 Full SiC MOSFET(CAS120M12BM2)을 이용한 스위칭 파형 실험 결과이다. 파형에서 볼 수 있듯이 게이트 저항이 매우 큰 경우에는 그림 1-17의 분석처럼 전압과 전류가 따로 움직이지만, 게이트 저항이

작을수록 전압과 전류는 동시에 움직이며, 외부 게이트 저항을 0으로 하였을 때는 전압과 전류가 동시에 움직이는 것을 관찰 할 수 있다.

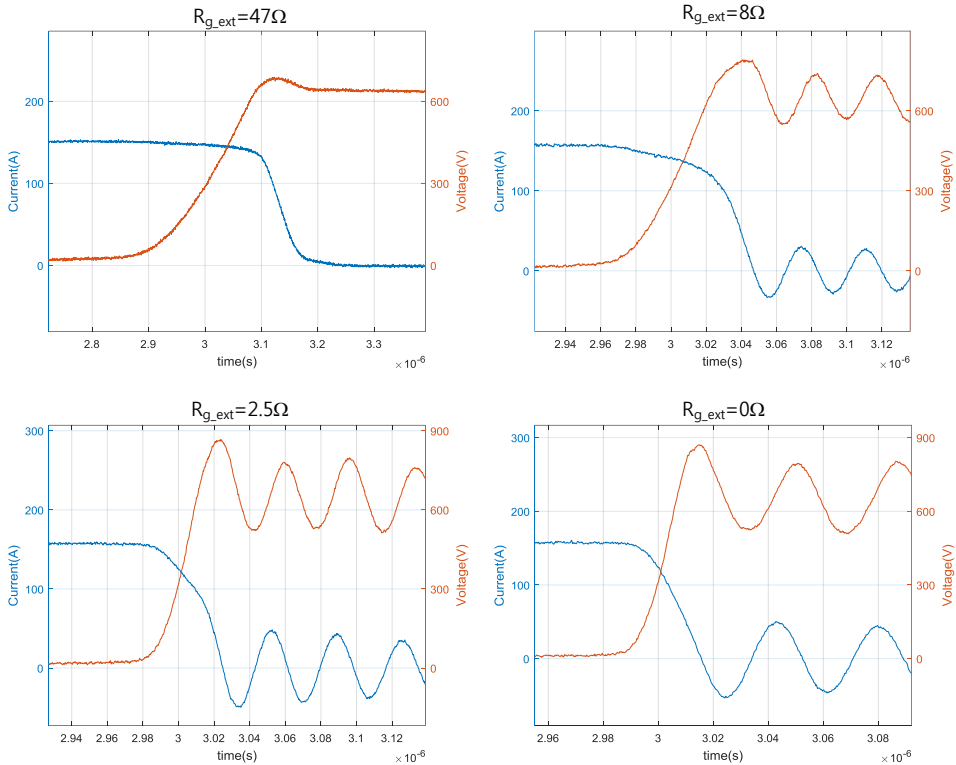


그림 1-18. Full SiC MOSFET(CAS120M12BM2)의 게이트 저항에 따른 턴-오프 실험 파형

그림 1-18와 같은 스위칭 과도 파형의 경향성은 실험에 사용한 특정 소자에 국한되지 않는다. 실제로 실리콘카바이드 MOSFET의 과도 특성을 확인하는 [107]-[111]의 실험 파형에서도 발견되는 현상이기 때문이다. 이러한 관찰 결과를 근거로 하였을 때, 실리콘카바이드 MOSFET의 과도현상은 게이트 저항의 크기(또는 스위칭 속도)에 따라 다르게 분석됨을 유추 할 수 있다.

따라서 본 논문은 작은 게이트 저항을 가질 때의 스위칭 과도현상에 대해 연구하고자 한다. 실리콘카바이드 소자를 사용하는 이유는 낮은 스위칭 손실 때문이며, 이를 달성하기 위해서는 빠른 스위칭 속도가 필수적이다. 따라서 본 연구는 실리콘카바이드 소자의 최대 성능을

발휘될때의 현상을 정확하게 해석할 수 있게 하며, 빠른 스위칭 속도에 의해 야기되는 과전압 현상에 대한 새로운 해석을 제공해 줄 수 있다. 또한 본 논문의 연구 결과는 빠른 스위칭 속도를 지니는 능동 게이트 드라이버 설계나 DC단 설계에 이용될 수 있을것이라 기대된다.

1.3 연구의 목적과 구성

본 논문의 대상은 와이드밴드갭 소자인 실리콘카바이드 MOSFET과 실리콘카바이드 쇼트키 다이오드로 구성된 600~3300V, 수십~수백A의 대용량 Full SiC MOSFET의 스위칭 과도현상이다. 연구의 대상이 되는 스위칭 과도가 일어나는 스위칭 회로는 그림 1-19와 같이 인덕터 부하가 환류 다이오드에 의해 잡혀있는 스위칭 회로(Diode-Clamped Inductive Switching Circuit)이다. 이 회로는 대부분의 전력변환장치의 스위칭 회로의 구조와 유사하기 때문에 소자의 스위칭 과도분석을 위한 더블펄스시험(Double Pulse Test)에 사용된다[112]-[113].

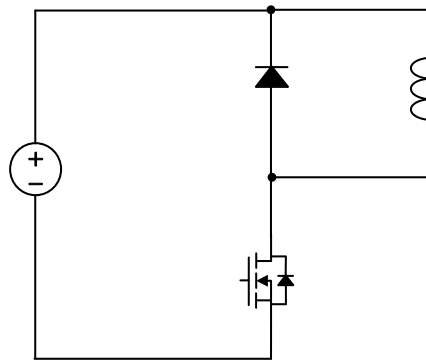


그림 1-19. 인덕터 부하를 가지는 다이오드-클램프드 스위칭 회로(Diode-Clamped Inductive Switching Circuit)

본 논문의 목적은 소자의 게이트 저항이 비교적 작을 때 나타나는 Full SiC MOSFET의 과도 현상 분석이다. 일반적으로 잘 알려진 MOSFET의 과도에 대한 분석이 1.2절의 실험 결과로부터 게이트 저항이 작을시에는 성립하지 않는다는 것을 발견하였다. 이는 스위칭 속도에 따라 소자의 스위칭 과도현상 변동한다는 것을 의미한다. 기존의 MOSFET 스위칭 과도현상 분석 연구[101]-[106],[114]-[116]들에서는 이러한

조건에서의 분석이 미흡하며, 실리콘카바이드 MOSFET의 빠른 스위칭 특성을 고려하면 게이트 저항이 작을시의 스위칭 과도현상에 대한 연구는 반드시 필요하다.

이러한 연구의 목적 달성을 위한 논문의 구성은 다음과 같다.

- 1장에서는 논문의 동기와 목적을 밝힌다.
- 2장에서는 기존에 잘 알려진 실리콘 MOSFET에 대한 스위칭 과도분석을 검토한다. 이러한 검토를 통해 기존의 분석과정에서 사용한 가정이 무엇인지 파악한다.
- 3장에서는 빠른 스위칭 속도를 지니는 실리콘카바이드 MOSFET의 스위칭 과도를 분석한다. 1장의 기존의 과도분석에서 가정한 조건이 빠른 스위칭 속도 조건에서는 성립하지 않음을 보이고, 이를 시뮬레이션을 통해 검증한다.
- 4장에서는 3장의 분석을 실험을 통해 검증한다. 실리콘카바이드 MOSFET은 실리콘 IGBT에 비해 스위칭 속도가 5~10배가량 빠르기 때문에 정밀한 계측환경 조성이 필요하다. 따라서 스위칭 과도 계측에서 발생하는 왜곡에 대해 고찰하고, 이를 최소화 하기 위한 계측 환경조성과 데이터 처리 방법을 제안한다. 이 방법을 이용하여 3장에서 분석한 스위칭 과도현상을 검증하도록 한다.
- 5장에서는 3~4장에서 분석한 스위칭 과도 분석 결과의 전력변환장치에의 적용에 대해 고찰한다. 그 일환으로, 연속적인 스위칭에 대해서도 동일한 과전압 분석이 유효한지 검토하고, 분석 결과에 대한 3상 2레벨 인버터의 적용가능성과 한계를 고찰해 본다. 또한 빠른 스위칭 속도 위한 게이트 단의 조건을 기울기(slew rate)를 가지는 게이트 드라이버를 가정하여 고찰해 본다. 또한 기존의 실리콘 MOSFET과 IGBT 전력변환장치에서는 이러한 현상이 잘 나타나지 않는 원인에 대해 고찰해 본다.
- 6장에서는 본 논문의 내용을 요약하고, 실리콘카바이드 과도분석 연구에 기여하는 바가 무엇인지 설명한다.

제 2장 Si MOSFET의 스위칭 과도 분석

Si 반도체 기반의 MOSFET의 스위칭 과도 현상에 대한 분석은 오랜 역사를 지닌 연구분야이다. 하지만 Full SiC MOSFET에 대해서는 좀더 세심한 접근이 필요하다. 기존의 Si MOSFET의 스위칭 과도 분석에서는 기생성분에 대한 영향을 고려하지 않거나 제한적으로 적용하여 분석하였다. 하지만 Full SiC MOSFET의 경우 이러한 기생성분에 대한 영향이 극대화되므로 스위칭 회로에 포함되는 모든 기생 성분을 적극적으로 반영된 분석모델이 필요하다.

본 장에서는 본격적인 SiC MOSFET의 과도현상 분석을 시작하기전에, 기존의 Si MOSFET의 과도현상 분석 방법에 대해 정리해 본다. 먼저 일반적으로 MOSFET 스위칭 과도분석을 위한 MOSFET 등가회로를 정의하고, 기존에 제시된 Si MOSFET의 과도 현상 대해 정리한다[8]-[9],[117]. 이를 통해 기존 분석에서 어떤 점을 생략되었는지 고찰한다.

2.1 MOSFET 등가회로

MOSFET의 동작을 표현하는 등가회로는 분석 목적에 따라 다양하게 표현된다. 예를들어 높은 dv/dt 에 의한 턴-온 현상을 설명하기 위한 기생 Bipolar Junction Transistor (BJT)가 포함된 회로모델이 있을수 있으며, 정적(static)인 현상을 분석하는데 의미가 있는 기생 JFET을 포함하는 모델도 있다. 하지만 일반적으로 MOSFET의 스위칭 현상을 분석하기 위해서는 JFET나 BJT를 포함하지 않고 오직 기생 캐패시터 성분만을 고려한다. 이는 일반적인 스위칭 과도 분석에 있어서는 기생 캐패시터의 역할이 가장 중요하기 때문이다.

따라서 스위칭 과도상태와 같이 동적(dynamic)인 거동을 설명하기 위한 MOSFET 등가회로는 MOSFET의 정적인 특성을 표현하는 등가회로에 각 터미널에 기생하는 캐패시턴스 성분을 추가하여 표현한다.

2.1.1 정적 모델

MOSFET의 동작 영역에 따른 대신호 정적(Large signal static) 등가회로 모델은 다음과 같다.

1. 차단(Cut-off) 영역 : $V_{gs} < V_{th}$

Drain과 source 사이의 채널 전류가 0이며, MOSFET은 회로적으로 완전히 개방된다.

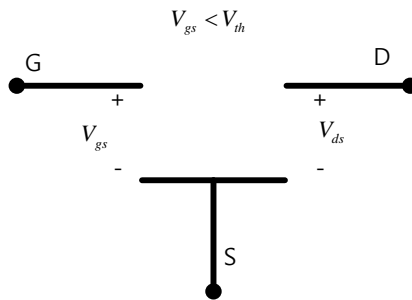


그림 2-1. 차단영역의 MOSFET 등가회로

2. 선형(Triode, Ohmic, linear) 영역 : $V_{gs} - V_{th} > V_{ds}, V_{gs} > V_{th}$

이 영역은 채널이 형성되어 전류가 도통하는 영역이다. $(V_{gs} - V_{th}) \gg V_{ds}$ 인 경우 채널은 저항처럼 보인다. $V_{gs} > V_{th}$ 이고 $V_{gs} - V_{th} > V_{ds}$ 인 경우에는 Triode 영역에서 saturation 영역으로 넘어가는 경계로 MOSFET은 전류원으로 보인다.

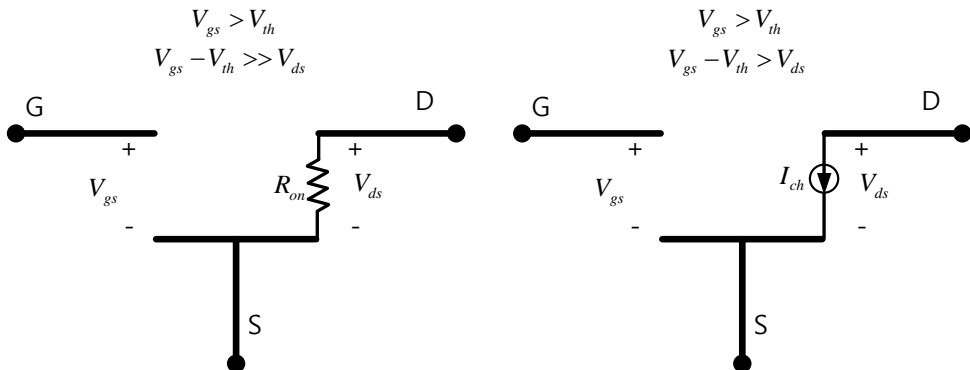


그림 2-2. 선형영역의 MOSFET 등가회로

위 등가회로에서의 채널 전류 I_{ch} 는 아래의 수식에 의해 정의된다.

$$I_{ch} = K[2(V_{gs} - V_{th})V_{ds} + V_{ds}^2] \quad (2.1)$$

$$K = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} \quad (2.2)$$

$$R_{on} = \frac{V_{ds}}{I_{ch}} \cong \frac{1}{2K(V_{gs} - V_{th})} \quad \text{if } V_{gs} - V_{th} \gg V_{ds} \quad (2.3)$$

μ_n : electron mobility

C_{ox} :oxide capacitance per unit area

L: length of channel

W: width of channel

3. 포화(Saturation, Active) 영역 : $V_{ds} > V_{gs} - V_{th}$, $V_{gs} > V_{th}$

채널의 핀치오프(Pinch-off) 현상이 일어나 채널이 끊어지는 시점이다. 이때의 채널전류는 V_{ds} 전압과 상관없이 게이트 전압에 의존적으로 변화한다. 실제로는 channel-length-modulation 현상에 의해 V_{ds} 가 증가함에 따라 채널전류가 선형적으로 증가한다.

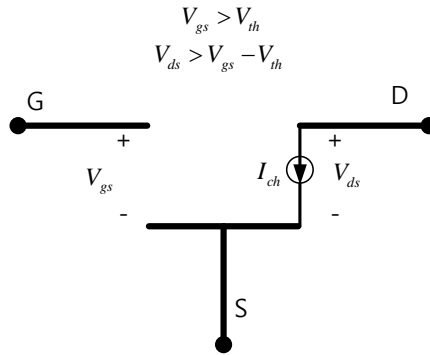


그림 2-3. 포화영역의 MOSFET 등가회로

위 등가회로에서의 채널 전류 I_{ch} 는 아래의 수식에 의해 정의된다.

$$I_{ch} = K [(V_{gs} - V_{th})^2 (1 + \lambda V_{ds})] \quad (2.4)$$

λ : channel - length - modulation coefficient

포화 영역에서의 채널 전류 I_{ch} 는 소신호 모델(Small signal model)에서 transconductance ‘ g_m ’ 과 channel-length-modulation 효과를 고려한 저항 ‘ r_o ’ 로 표현 되기도 한다.

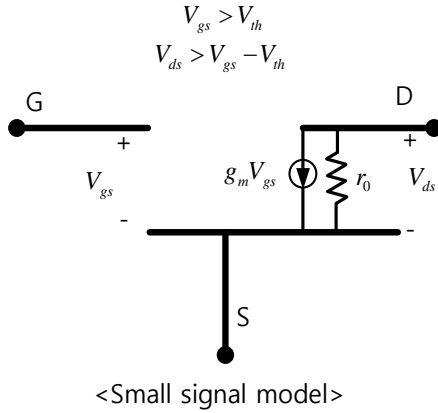


그림 2-4. 포화영역의 MOSFET 소신호 등가회로

위 등가회로에서의 채널 전류 I_{ch} 는 아래의 수식에 의해 정의된다.

$$I_{ch} = g_m V_{gs} + \frac{V_{ds}}{r_o} \quad (2.5)$$

$$g_m = \frac{\partial I_{ch}}{\partial V_{gs}} = 2K(V_{gs} - V_{th})(1 + \lambda V_{ds}) \quad (2.6)$$

$$r_o = \left(\frac{\partial I_{ch}}{\partial V_{ds}} \right)^{-1} = \frac{1}{K\lambda(V_{gs} - V_{th})^2} \quad (2.7)$$

앞에서 정의한 MOSFET의 동작 영역별 등가모델의 거동을 I_{ch} - V_{ds} 평면으로 표현하면 그림 2-5와 같다.

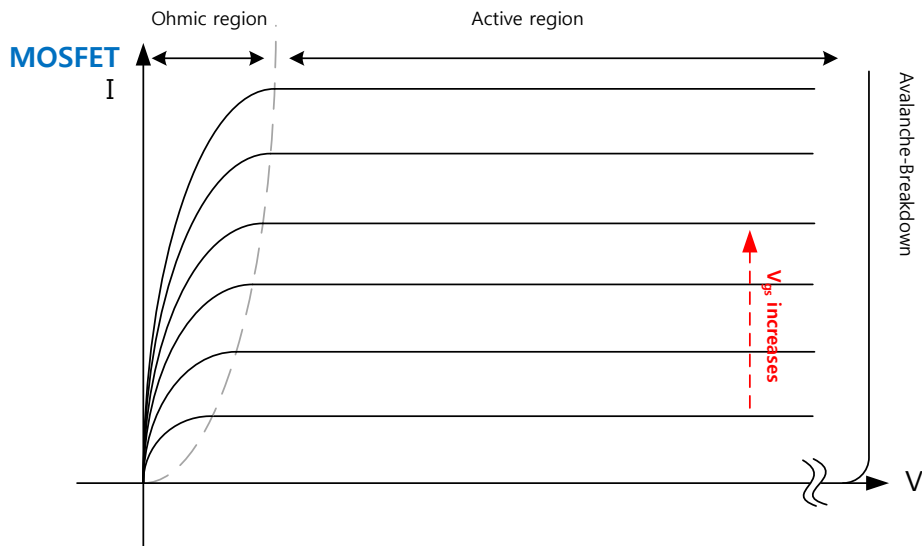


그림 2-5. MOSFET의 I-V 곡선

I_{ch} 는 채널의 전류를 의미하며, MOSFET의 Drain 단자 전류는 I_d 라 표현하는게 더 일반적이다. 하지만, 본 논문에서는 채널에 흐르는 전류와 단자 전류에 포함되는 기생 캐패시턴스에 의한 변위전류(displacement current)를 구분하기 위해 좀더 엄밀한 표현인 채널전류 ' I_{ch} ' 를 사용하고자 한다.

2.1.2 동적 모델

스위칭 과도상태와 같이 동적인 거동을 설명하기 위한 MOSFET 등가회로는 그림 2-6과 같이 MOSFET 기생 캐패시턴스 성분들을 고려해야한다. MOSFET에 존재하는 3개의 터미널 사이에 존재하는 등가적인 캐패시터를 정의하고 이를 표현하면 그림 2-6과 같다.

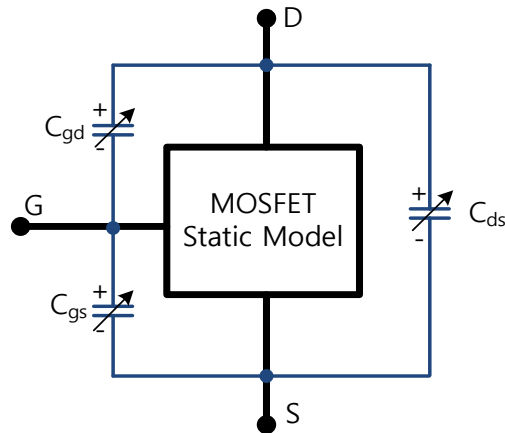


그림 2-6. 기생 캐패시터를 고려한 MOSFET의 동적 모델

각 단자간에 정의된 캐패시터는 MOSFET 제조사에 의해 측정되어 그래프로 제공해 준다. 그림 2-7는 한 예로 CREE사의 1200V, 120A SiC MOSFET인 'CAS120M12BM2'의 기생캐패시턴스 성분을 V_{ds} 에 따라 측정한 값이다.

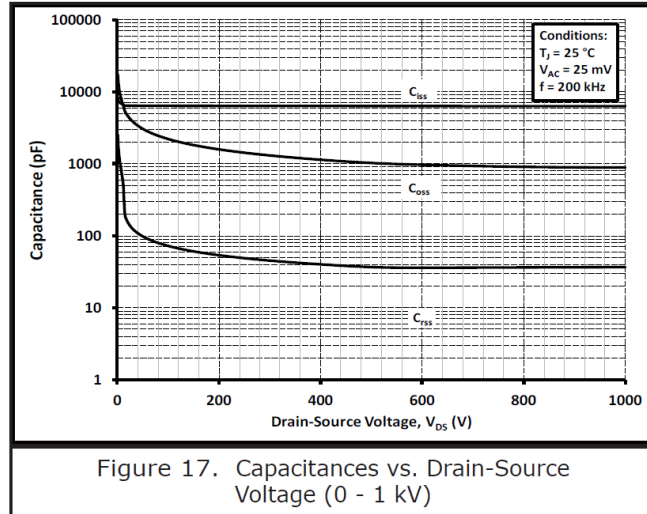


그림 2-7. 1200V, 120A SiC MOSFET(CAS120M12BM2)의 V_{ds}전압에 따른 기생 캐패시턴스 곡선

제조사에서 제공하는 캐패시턴스 값은 위에서 정의한 C_{gs} , C_{gd} , C_{ds} 가 아닌, C_{iss} , C_{rss} , C_{oss} 로 정의되어 제공된다. 각 제정수가 의미하는 바는 아래와 같다.

$$C_{iss} = C_{gs} + C_{gd} \quad (2.8)$$

$$C_{rss} = C_{gd} \quad (2.9)$$

$$C_{oss} = C_{ds} + C_{gd} \quad (2.10)$$

제조사에서 제공하는 C_{iss} , C_{rss} , C_{oss} 는 특정한 측정방법에 따른 결과값으로 아래의 방법에 의해 측정되어 진다.

- C_{iss} : drain 과 source 를 단락 시킨 이후 측정하는 AC 캐패시턴스
- C_{rss} : source 를 접지 시킨 이후, 측정하는 drain 과 gate 사이의 AC 캐패시턴스
- C_{oss} : gate 와 source 를 단락시킨 이후 측정하는 AC 캐패시턴스

여기서 AC 캐패시턴스란, drain과 souce 사이에 DC 전압을 걸고, 수백kHz의 작은 AC 전압을 인가했을때의 임피던스(캐패시턴스)를 의미한다. 즉, 소신호 회로에 사용하는 캐패시턴스라 할수 있다. AC 캐패시턴스에 대한 정의는 아래와 같다.

$$C_{ac} = \frac{dQ}{dV} \quad (2.11)$$

그래프에서 확인할 수 있듯이, 기생 캐패시턴스 값은 V_{ds} 에 의존적으로 변화하며, 주로 전압이 높아질수록 낮아지는 경향이 있다. 이는 물리적으로 drain 과 source 사이에 형성되는 공핍영역(depletion region)의 너비가 V_{ds} 에 의해 변화하기 때문이다. 그림 2-8은 MOSFET의 물리적 구조 안에서 C_{ds} , C_{gs} , C_{gd} 의 위치를 표시하였다. 해당 그림의 어두운 부분은 공핍영역을 표현하고 있으며, 이 영역은 V_{ds} 전압이 커짐에 따라 넓어진다. 따라서 공핍영역을 경계로 존재하는 기생 캐패시터인 C_{ds} , C_{gd} 는 C_{gs} 에 비해 V_{ds} 에 따른 캐패시터 감소 효과를 크게 받으며, 위 그래프에서 이를 확인할 수 있다.

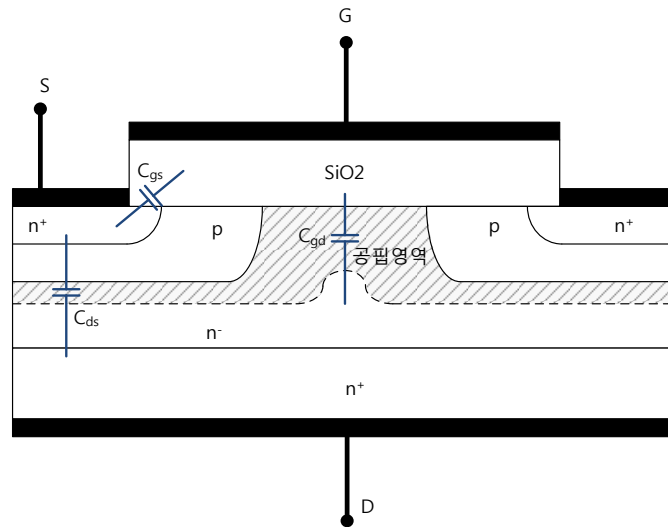


그림 2-8. MOSFET의 물리적 구조와 기생 캐패시턴스의 위치

2.2 기존의 스위칭 과도 분석 방법

스위칭 과도 분석은 오래된 연구분야이다. 본 절에서는 MOSFET 스위칭 과도 분석을 대상으로 하고 있지만, IGBT나 BJT와 같은 다른 전력소자의 거동을 해석하는 데에도 유사하게 적용된다. 기존의 스위치의 거동을 설명하는 방식은 스위치나 스위칭 회로의 기생성분을 얼마만큼 포함시켜 분석하느냐에 따라 여러 단계로 나누어진다. 일반적으로 BJT나 IGBT의 경우, 스위치의 거동이 매우 느리기 때문에 기생성분에 대한 영향을 거의 무시하고 분석하는 경향이 있다. 또한 기생성분을 포함한다 하더라도 소자의 상태에 따라 제한적으로 적용하여 해석한다[8]-[9],[117].

기존 연구중에 Si MOSFET의 과도상태 해석에 대한 경우도 기생성분에 대한 고려를 많이 하지 않는 경향이 있는데, 이는 기존의 Si MOSFET이 비교적 작은 전류, 전압에서 사용되었고, 그러한 전류 전압범위에서는 기생성분의 영향이 크지 않았기 때문이다. 반면 SiC MOSFET은 대용량 시스템에서 사용되기 때문에 이러한 기생성분의 크기가 상대적으로 크고, 실제 스위칭 과도에 큰 영향을 미친다[101],[103]-[106].

이번 절에서는 기존의 Si MOSFET 스위치의 과도상태 해석에 대해 정리해본다. 스위칭 과도상태를 정확하게 분석하기 위해서는 MOSFET의 기생성분을 고려한 동적 모델을 이용하여 분석하여야 한다. 기존의 접근법은 이러한 기생 성분들을 MOSFET의 동작 구간마다 다르게 정의하여 사용하며 일부 기생성분들은 해석의 편리함을 위해 무시되기도 한다.

스위칭 과도를 분석하기 위해 MOSFET 소자의 정적 모델을 아래와 같이 간소화하여 사용한다.

- 차단(Cut-off) 영역에서는 MOSFET은 개방(open)회로로 간주한다.
- 선형(Triode) 영역에서는 MOSFET은 (2.12)와 같이 일정한 도통 저항(R_{on}) 으로 간주한다.

$$I_{ch}(t) = \frac{V_{ds}(t)}{R_{on}} \quad (2.12)$$

- 포화(Sturation) 영역에서 MOSFET은 (2.13)과 같이 일정한 g_m 을 가지며 channel length modulation 효과는 무시한다.

$$I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) . \quad (2.13)$$

동적 모델중 하나인 기생 캐패시터 성분은 다음과 같이 두가지 가정중 하나를 사용한다.

- C_{gs}, C_{gd}, C_{ds} 는 고정된 일정한 값이다.
- C_{gs}, C_{gd}, C_{ds} 는 특정 V_{ds} 를 기점으로 급격히 변화하므로, 그림 2-9와 같이 2가지 값을 지니는 함수이다.

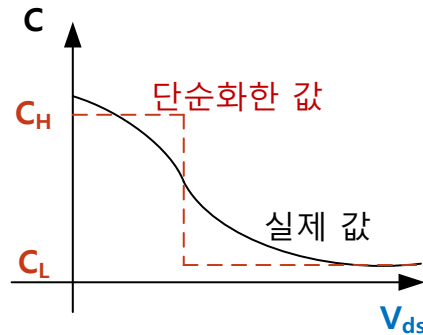


그림 2-9. MOSFET의 V_{ds} 전압에 따른 기생 캐패시턴스 함수와 단순화 함수

다이오드의 경우 아래 가정들을 적용한다.

- 다이오드는 쇼트키 다이오드를 상정할시 역회복전류가 없다.
- 다이오드 양단에는 기생 캐패시턴스 C_d 가 있으며. 그 크기는 MOSFET의 경우처럼, 고정된 값이거나 전압구간에 따라 두가지 값으로 모델링 될 수 있다.

기생 캐패시터를 전압에 따라 2가지 값으로 따로 사용한다 하더라도, 결국에는 스위칭 구간을 나누어 각각의 해당 구간에서는 하나의 고정된 캐패시턴스 값을 사용한다. 따라서 해석 자체는 2가지 값을 지니는 가변 C를 사용하거나 고정된 하나의 C 값을 사용하거나 관계 없이 스위칭 과도는 모두 같은 수식으로 표현될 수 있다.

기존 분석에서는 위에서 언급한 기생 성분들중, MOSFET의 C_{ds} , 다이오드의 C_d 를 무시하고 진행한다. 기생 인덕턴스 성분은 적용하지

않은채 분석하며, 추후에 스위칭 구간별로 나누어 적용하여 해석한다. PN 접합다이오드에서 나타나는 역회복 전류 또한 초기에는 적용하지 않으며, 추후 해석에 별도로 적용하여 해석한다.

2.2.1 턴-오프 과도해석

먼저 그림 2-10와 같은 기생 인덕턴스 성분이 없는 더블펄스 시험 회로에서 MOSFET의 기생성분인 C_{gd} , C_{gs} 만 고려한 경우를 해석한다. 게이트 단의 전원은 턴-온시 V_g 전압을 가하며, 턴 오프시에는 0전압(단락, short)을 가정한다.

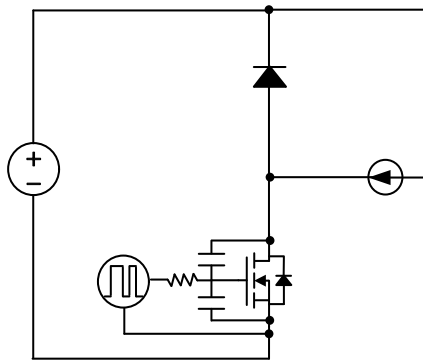


그림 2-10. 턴 오프 과도 해석을 위한 기생 성분이 없는 더블 펄스 시험회로

위 회로에서 환류 다이오드는 이상적인 다이오드로 가정한다. MOSFET의 $V_{ds}(t)$ 전압은 기생 캐패시터 C_{gd} , C_{gs} 에 의해 정의되기 때문에 $V_{ds}(t)$ 가 V_{dc} 가 되기전에는 다이오드는 턴-온 되지 못한다. 만약 $V_{ds}(t)$ 와 V_{dc} 의 크기가 다를 때 다이오드가 턴-온 되면 기생 캐패시터 C_{gd} , C_{gs} 에 계단전압이 인가되며 이는 회로 방정식에 모순을 발생시킨다. 따라서 이상적인 다이오드가 있는 한 MOSFET의 $V_{ds}(t)$ 가 V_{dc} 가 될때까지 다이오드는 턴-온 되지 않는다.

이를 참고하여 그림 2-11와 같은 분석구간을 정의하여 턴-오프시 과도해석을 전개한다.

MOSFET

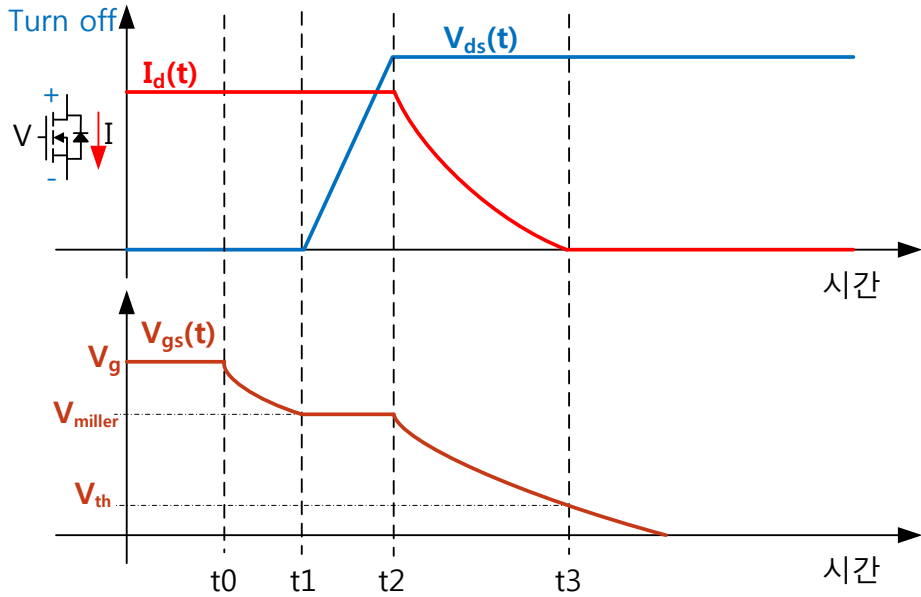


그림 2-11. MOSFET의 시간에 따른 턴-오프 과도 파형

구간1 $[0 \leq t < t_0]$: 스위치가 턴-온 된 상태. MOSFET은 선형 영역에서 작동하며 부하전류 ' I_L ' 전부를 도통시키고 있다. 다이오드는 턴-오프 되었다. 구간 1의 등가회로는 그림 2-12와 같다.

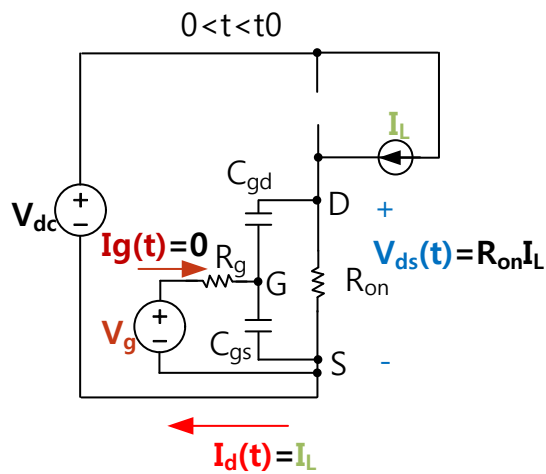


그림 2-12. 구간1 에서의 MOSFET 턴-오프 등가회로

이때 각 부분의 초기 물리량들은 아래와 같다.

- $I_d(t) = I_L$
- $I_g(t) = 0$
- $V_{ds}(t) = I_L R_{on}$
- $V_{gs}(t) = V_g$
- $V_{gd}(t) = V_g - I_L R_{on}$

구간2 [$t_0 \leq t < t_1$] : $t=t_0$ 에서 게이트 전압이 0으로 되었다. MOSFET은 선형 영역에서 작동하며 부하전류 ' I_L ' 전부를 도통시키고 있다. 다이오드는 턴-오프 상태다. 구간 2의 등가회로는 그림 2-13와 같다.

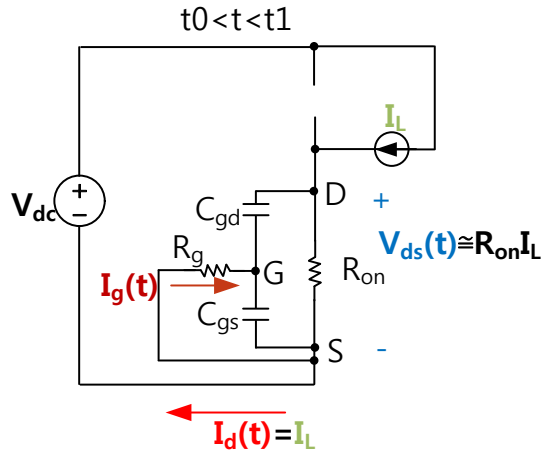


그림 2-13. 구간2 에서의 MOSFET 턴-오프 등가회로

MOSFET은 선형 영역을 벗어나기까지 $V_{gs}(t)$ 전압이 하강한다. 이때 게이트 전류는 (2.14), (2.15)와 같다.

$$i_g(t) = \frac{-V_{gs}(t)}{R_g} = C_{gd} \frac{dv_{gd}(t)}{dt} + C_{gs} \frac{dv_{gs}(t)}{dt} . \quad (2.14)$$

$$V_{ds}(t) = V_{gs}(t) - V_{gd}(t) . \quad (2.15)$$

선형 영역에서 동작하기 때문에 R_{on} 이 고정되며 다음 전압 방정식이 성립한다.

$$V_{ds}(t) = R_{on} \left(I_L + C_{gd} \frac{dv_{gd}(t)}{dt} \right) . \quad (2.16)$$

부하전류 I_L 은 C_{gd} 를 통과하는 전류보다 크다는 가정하에 아래와

같이 근사할 수 있다.

$$V_{ds}(t) = R_{on}I_L \quad \text{if } I_L \gg C_{gd} \frac{dV_{gd}(t)}{dt} . \quad (2.17)$$

$V_{ds}(t)$ 가 일정(constant)하기 때문에 위 식은 아래와 같이 변환된다.

$$i_g(t) = \frac{-V_{gs}(t)}{R_g} = (C_{gs} + C_{gd}) \frac{dV_{gs}(t)}{dt} . \quad (2.18)$$

위 식으로부터 $V_{gs}(t)$ 는 다음과 같이 구해진다.

$$V_{gs}(t) = V_{gs}(t_0) e^{-\frac{t-t_0}{(C_{gs}+C_{gd})R_g}} . \quad (2.19)$$

MOSFET이 선형 영역을 벗어나 포화 영역에 진입하는 시점이 t_1 이며, 이때의 $V_{gs}(t_1)$ 전압은 아래와 같이 표현 될 수 있다.

$$V_{gs}(t_1) = \frac{I_L}{g_m} + V_{th} = V_{miller} . \quad (2.20)$$

위의 t_1 정의에 의해 턴-오프 지연 시간 t_{off_d} 는 다음과 같다.

$$t_{off_d} = t_1 - t_0 = (C_{gs} + C_{gd})R_g \times \ln\left(\frac{V_{gs}(0)}{V_{gs}(t_1)}\right) . \quad (2.21)$$

이를 다음의 근사를 이용하여 간단히 표현하면 아래와 같다.

$$V_{miller} = \frac{I_L}{g_m} + V_{th} \cong \frac{I_L}{g_m} . \quad (2.22)$$

$$\therefore t_{off_d} = t_1 - t_0 = (C_{gs} + C_{gd})R_g \times \ln\left(\frac{g_m V_g}{I_L}\right) . \quad (2.23)$$

구간3 [$t_1 \leq t < t_2$] : 이 구간 동안에 MOSFET은 선형 영역을 벗어나 포화 영역에서 동작한다. 앞서 설명한 대로 이상적인 다이오드가 있는한 MOSFET의 $V_{ds}(t)$ 가 V_{dc} 가 될때까지 다이오드는 턴-온되지 않는다. 따라서 이 구간에서는 $I_d(t)$ 의 크기가 I_L 로 유지된채 V_{ds} 가 상승하게 된다. 구간 3의 등가회로는 그림 2-14와 같다.

이 구간에서의 채널 전류는 다음과 같다.

$$I_{ch}(t) = I_L + C_{gd} \frac{dV_{gd}(t)}{dt} . \quad (2.24)$$

이 구간에서도 아래와 같은 가정을 이용하면 채널전류는 I_L 로 고정된다.

$$I_{ch}(t) = I_L, \quad \text{if } I_L \gg C_{gd} \frac{dV_{gd}(t)}{dt} . \quad (2.25)$$

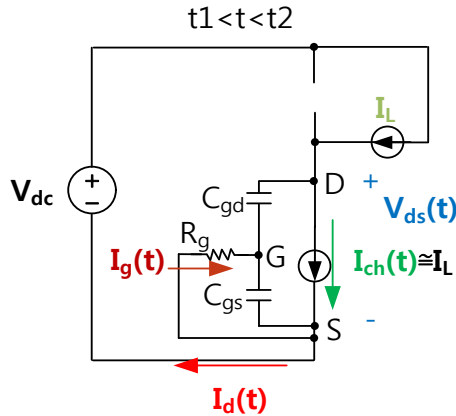


그림 2-14. 구간3 에서의 MOSFET 턴-오프 등가회로

따라서 $V_{gs}(t)$ 전압은 $V_{gs}(t_1)$ 전압으로 유지된다.

$$V_{gs}(t) = V_{gs}(t_1) = \frac{I_L}{g_m} + V_{th} = V_{miller} . \quad (2.26)$$

V_{gs} 전위는 V_{miller} 로 고정되어 있기 때문에 게이트 전류 I_g 는 모두 C_{gd} 로 도통하게 되며, 이 전류로 인해 $V_{ds}(t)$ 전압이 상승한다. 이를 표현하면 다음과 같다.

$$V_{gs}(t) = V_{gs}(t_1) = V_{miller} . \quad (2.27)$$

$$I_g(t) = -\frac{V_{miller}}{R_g} = C_{gd} \frac{dV_{gd}(t)}{dt} = -C_{gd} \frac{dV_{ds}(t)}{dt} . \quad (2.28)$$

$$V_{ds}(t) = V_{gs}(t) - V_{gd}(t) . \quad (2.29)$$

위를 정리하면 다음과 같은 식을 얻을 수 있다.

$$\frac{dV_{ds}(t)}{dt} = \frac{V_{miller}}{C_{gd}R_g} . \quad (2.30)$$

따라서 이 구간에서 V_{ds} 는 선형적으로 증가하며 그 기울기는 위 식과 같으며 $V_{ds}(t)$ 는 다음과 같이 표현된다.

$$V_{ds}(t) = V_{ds}(t_1) + \frac{V_{miller}}{C_{gd}R_g} (t - t_1) . \quad (2.31)$$

V_{ds} 는 V_{dc} 와 같아질때까지 증가한다. 따라서 t_2 에서의 V_{ds} 는 V_{dc} 로 정의된다.

$$V_{ds}(t_2) = V_{dc} . \quad (2.32)$$

위 정의로부터 전압상승시간 t_{rv} 는 아래와 같게 구해진다.

$$t_{rv} = t_2 - t_1 = C_{gd}R_g \frac{V_{dc} - V_{ds}(t_1)}{V_{miller}} \quad (2.33)$$

위를 좀더 간편하게 표현하면 아래와 같다.

$$V_{miller} = \frac{I_L}{g_m} + V_{th} \cong \frac{I_L}{g_m} \quad (2.34)$$

$$V_{dc} - V_{ds}(t_1) = V_{dc} - R_{on}I_L \cong V_{dc} \quad (2.35)$$

$$\therefore t_{rv} \cong C_{gd}R_g g_m \frac{V_{dc}}{I_L} \quad (2.36)$$

구간4 [$t_2 \leq t < t_3$] : V_{ds} 전압이 V_{dc} 가 되었으므로, 다이오드는 턴-온 된다. MOSFET은 여전히 포화 영역에 있다. 따라서 이 구간에서 drain 전류 'I_d'는 게이트전압 'V_{gs}'가 하강함에 따라 같이 감소한다. 이 구간은 MOSFET이 포화 영역을 벗어나 선형 영역에 들어갈 때까지 지속된다. 구간 4의 등가회로는 그림 2-15와 같다.

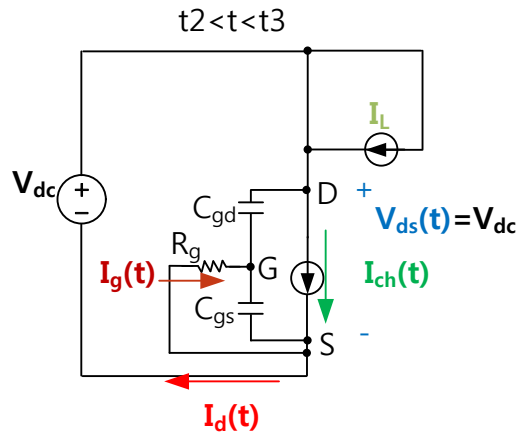


그림 2-15. 구간4 에서의 MOSFET 턴-오프 등가회로

게이트 전류 I_g 는 다음과 같이 표현된다.

$$i_g(t) = \frac{-V_{gs}(t)}{R_g} = C_{gd} \frac{dV_{gd}(t)}{dt} + C_{gs} \frac{dV_{gs}(t)}{dt} = (C_{gs} + C_{gd}) \frac{dV_{gs}(t)}{dt} \quad (2.37)$$

$$V_{ds}(t) = V_{dc} = V_{gs}(t) - V_{gd}(t) \quad (2.38)$$

위 식으로부터 $V_{gs}(t)$ 는 다음과 같다.

$$V_{gs}(t) = V_{gs}(t_2) e^{-\frac{t-t_2}{(C_{gs}+C_{gd})R_g}} \quad (2.39)$$

여기서 채널전류 I_{ch} 는 다음과 같다.

$$I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) \quad . \quad (2.40)$$

Drain 단자전류 I_d 는 다음과 같다.

$$I_d(t) = I_{ch}(t) - C_{gd} \frac{dV_{gd}(t)}{dt} \quad . \quad (2.41)$$

여기서도 다음과 같은 가정으로 단자 전류를 간략화할 수 있다.

$$I_d(t) \cong I_{ch}(t) \quad \text{if } I_{ch}(t) \gg C_{gd} \frac{dV_{gd}(t)}{dt} \quad . \quad (2.42)$$

MOSFET은 포화 영역을 벗어나 선형 영역에 진입하는 순간이 t_3 시점이며, 이때의 $V_{gs}(t_3)$ 전압은 아래와 같다.

$$V_{gs}(t_3) = V_{th} \quad . \quad (2.43)$$

위의 t_3 정의에 의해 전류 하강시간 t_{fi} 는 다음과 같다.

$$t_{fi} = t_3 - t_2 = (C_{gs} + C_{gd})R_g \times \ln\left(\frac{V_{gs}(t_2)}{V_{gs}(t_3)}\right) \quad . \quad (2.44)$$

이를 다음의 근사를 이용하여 간단히 표현하면 아래와 같다.

$$V_{miller} = \frac{I_L}{g_m} + V_{th} \cong \frac{I_L}{g_m} \quad . \quad (2.45)$$

$$\therefore t_{off_d} = t_1 - t_0 = (C_{gs} + C_{gd})R_g \times \ln\left(\frac{I_L}{g_m V_{th}}\right) \quad . \quad (2.46)$$

구간5 [$t_3 < t$] : V_{gs} 전압이 문턱전압 V_{th} 이하로 떨어지면서 채널전류가 0이 되고 MOSFET의 Drain 단자와 Source 단자는 개방(Open)된다. 구간 5의 등가회로는 그림 2-16과 같다.

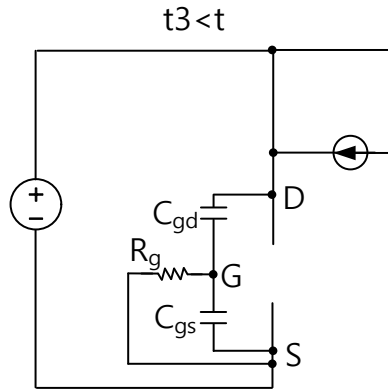


그림 2-16. 구간5 에서의 MOSFET 턴-오프 등가회로

앞선 구간에서와 같이 $V_{gs}(t)$ 는 아래의 함수를 따르며 0으로 감소한다.

$$V_{gs}(t) = V_{gs}(t_2) e^{-\frac{t-t_2}{(C_{gs}+C_{gd})R_g}} \quad . \quad (2.47)$$

2.2.2 턴-온 과도 해석

턴-오프와 마찬가지로 그림 2-17와 같이 기생 인덕턴스 성분은 없고, 이상적인 다이오드가 사용된 더블펄스 실험 회로를 대상으로 턴-온 과도를 해석한다. MOSFET의 기생성분으로는 C_{gs} , C_{gd} 만을 고려한다.

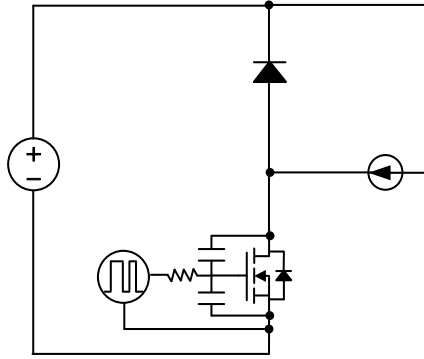


그림 2-17. 턴-온 과도 해석을 위한 기생 성분이 없는 더블 펄스 시험회로

턴-온 과정은 턴-오프 과정의 반대과정이다. 따라서 그 전개과정이 매우 유사하다. 이를 참고하여 그림 2-18와 같은 분석구간을 정의하여 턴-온 과정을 분석한다.

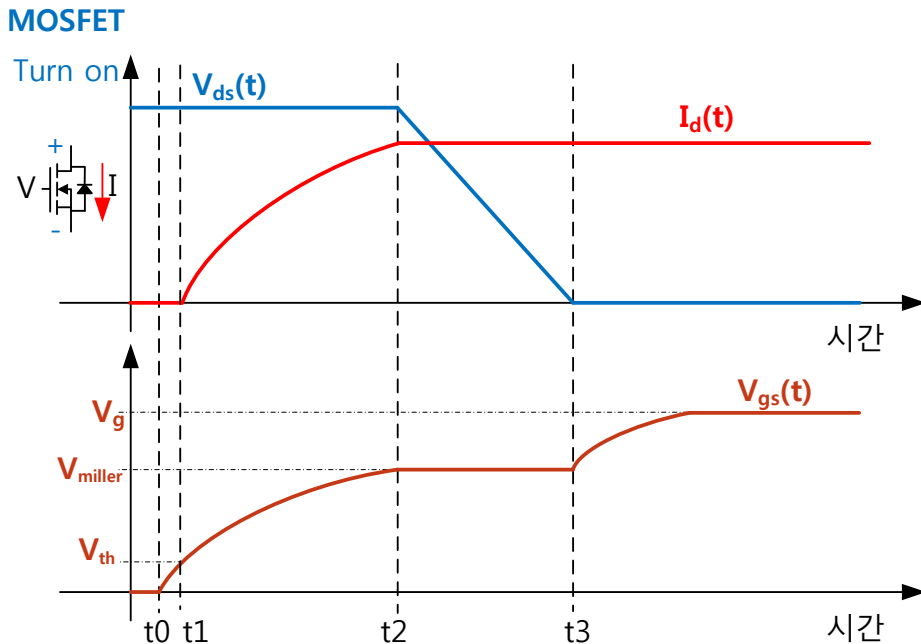


그림 2-18. 기생성분이 없는 MOSFET의 시간에 따른 턴-온 과도 파형

구간1 [$0 \leq t < t_0$] : 스위치가 턴-오프 된 상태. MOSFET은 차단 영역에서 작동하며 drain-source는 개방되어 있다. 다이오드는 턴-온 되어 있다. 구간 1의 등가회로는 그림 2-19와 같다.

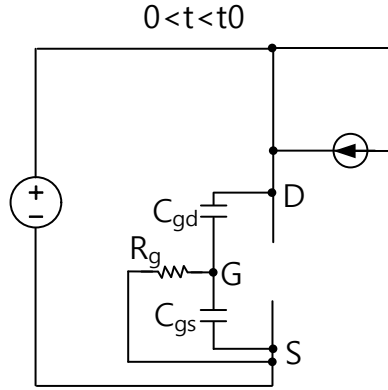


그림 2-19. 구간1 에서의 MOSFET 턴-온 등가회로

이때 각 부분의 초기 물리량들은 아래와 같다.

- $I_d(t) = 0$
- $I_g(t) = 0$
- $V_{ds}(t) = V_{dc}$
- $V_{gs}(t) = 0$
- $V_{gd}(t) = V_{dc}$

구간2 [$t_0 \leq t < t_1$] : 게이트 드라이버가 V_g 를 인가하여 V_{gs} 전압이 0V에서 문턱전압 V_{th} 으로 상승하고 있다. MOSFET은 차단 영역에서 동작하며 회로적으로는 여전히 개방되어 있다. 구간 2의 등가회로는 그림 2-20와 같다.

$$I_g(t) = \frac{V_g - V_{gs}(t)}{R_g} = C_{gd} \frac{dV_{gd}(t)}{dt} + C_{gs} \frac{dV_{gs}(t)}{dt} = (C_{gs} + C_{gd}) \frac{dV_{gs}(t)}{dt} \quad (2.48)$$

$$V_{ds}(t) = V_{dc} = V_{gs}(t) - V_{gd}(t) \quad (2.49)$$

$$V_{gs}(t_0) = V_g \quad (2.50)$$

$$V_{gs}(t) = V_g \left(1 - e^{-\frac{t-t_0}{(C_{gs}+C_{gd})R_g}} \right) \quad (2.51)$$

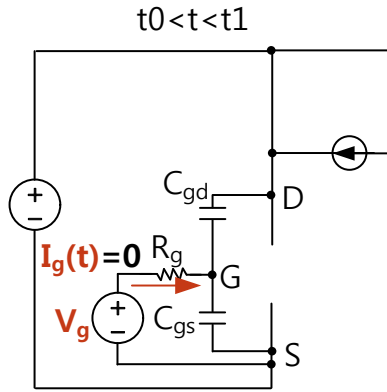


그림 2-20. 구간2 에서의 MOSFET 턴-온 등가회로

V_{gs} 전압이 V_{th} 가 될때를 t_1 으로 정의하면 다음과 같다.

$$V_{gs}(t_1) = V_{th} . \quad (2.52)$$

게이트전압이 문턱전압을 넘어서기까지 걸린 시간을 턴-온 지연시간 ‘ t_{on_d} ’라 정의하면 다음과 같다.

$$t_{on_d} = t_1 - t_0 = (C_{gs} + C_{gd})R_g \times \ln\left(\frac{V_g}{V_g - V_{th}}\right) . \quad (2.53)$$

구간3 [$t_1 \leq t < t_2$] : V_{gs} 전압이 문턱전압 V_{th} 이상으로 상승하면서 MOSFET은 포화 영역에서 동작한다. V_{gs} 가 상승함에따라 채널전류가 I_L 이 될때까지 상승한다. 이때 다이오드 전류는 0이 아니므로 다이오드는 턴-온 상태를 유지한다. 다이오드가 턴-온 상태이므로, MOSFET의 V_{ds} 전압은 V_{dc} 로 고정된다. 구간 3의 등가회로는 그림 2-21과 같다.

게이트 전류 I_g 는 다음과 같이 표현된다.

$$i_g(t) = \frac{V_g - V_{gs}(t)}{R_g} = C_{gd} \frac{dV_{gd}(t)}{dt} + C_{gs} \frac{dV_{gs}(t)}{dt} = (C_{gs} + C_{gd}) \frac{dV_{gs}(t)}{dt} . \quad (2.54)$$

$$V_{ds}(t) = V_{dc} = V_{gs}(t) - V_{gd}(t) . \quad (2.55)$$

위 식으로부터 $V_{gs}(t)$ 는 다음과 같다.

$$V_{gs}(t_1) = V_{th} . \quad (2.56)$$

$$V_{gs}(t) = V_g - (V_g - V_{th}) e^{-\frac{t-t_1}{(C_{gs}+C_{gd})R_g}} . \quad (2.57)$$

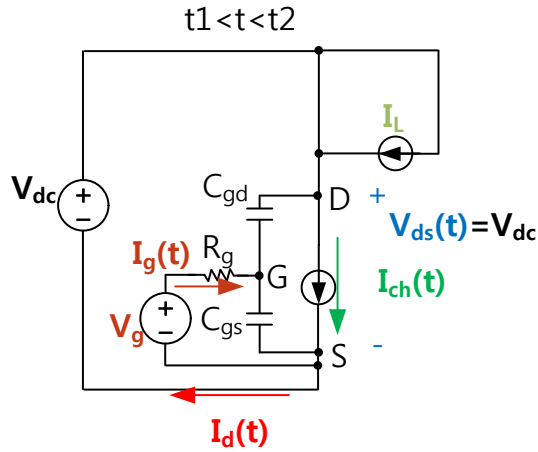


그림 2-21. 구간3 에서의 MOSFET 턴-온 등가회로

이때 채널전류 I_{ch} 는 다음과 같다.

$$I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) \quad (2.58)$$

Drain 단자전류 I_d 는 다음과 같다.

$$I_d(t) = I_{ch}(t) - C_{gd} \frac{dV_{gd}(t)}{dt} \quad (2.59)$$

다음과 같은 가정으로 단자전류 I_d 를 간략화 할 수 있다.

$$I_d(t) \cong I_{ch}(t) \quad \text{if } I_{ch}(t) \gg C_{gd} \frac{dV_{gd}(t)}{dt} \quad (2.60)$$

MOSFET의 drain 전류 $I_d(t)$ 가 I_L 이 되는 순간을 t_2 라 정의하면 다음 식들이 성립한다.

$$I_{ch}(t_2) = g_m(V_{gs}(t_2) - V_{th}) = I_L \quad (2.61)$$

$$V_{gs}(t_2) = \frac{I_L}{g_m} + V_{th} = V_{miller} \quad (2.62)$$

위의 t_2 정의에 의해 전류 상승시간 t_{ri} 는 다음과 같다.

$$t_{ri} = t_2 - t_1 = (C_{gs} + C_{gd})R_g \times \ln\left(\frac{V_g - V_{th}}{V_g - V_{miller}}\right) \quad (2.63)$$

이를 부하전류 I_L 에 대한 식으로 표현하면 다음과 같다.

$$\therefore t_{ri} = t_2 - t_1 = (C_{gs} + C_{gd})R_g \times \ln\left(\frac{g_m(V_g - V_{th})}{g_m(V_g - V_{th}) - I_L}\right) \quad (2.64)$$

구간4 [$t_2 \leq t < t_3$] : MOSFET 전류 I_d 가 I_L 과 같아졌으므로, 다이오드 전류가 0이 된다. 따라서 이 구간에서는 다이오드는 턴-오프 상태가 되며 부하전류 I_L 은 MOSFET으로 모두 도통하게 된다. MOSFET은

여전히 포화 영역에서 동작하며 게이트 전류에 의해 V_{ds} 는 V_{dc} 에서 0V로 감소하기 시작한다. 이 구간은 MOSFET이 선형 영역으로 진입하게 되면 끝나게 된다. 구간 4의 등가회로는 그림 2-22와 같다.

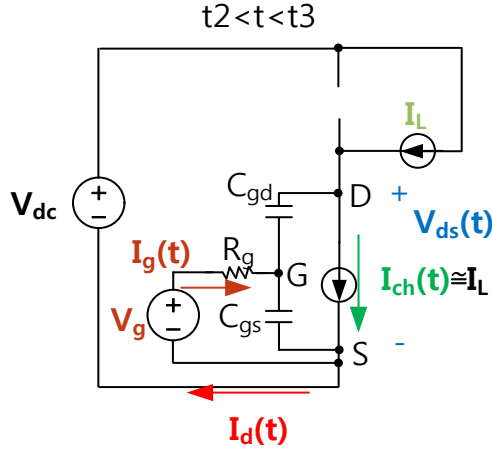


그림 2-22. 구간4 에서의 MOSFET 턴-온 등가회로

이 구간에서의 채널 전류는 다음과 같다.

$$I_{ch}(t) = I_L + C_{gd} \frac{dV_{gd}(t)}{dt} \quad (2.65)$$

이 구간에서도 아래와 같은 가정을 이용하면 채널전류는 I_L 로 고정된다.

$$I_{ch}(t) = I_L, \quad \text{if } I_L \gg C_{gd} \frac{dV_{gd}(t)}{dt} \quad (2.66)$$

따라서 $V_{gs}(t)$ 전압은 $V_{gs}(t_2)$ 전압으로 유지된다.

$$V_{gs}(t) = V_{gs}(t_2) = \frac{I_L}{g_m} + V_{th} = V_{miller} \quad (2.67)$$

V_{gs} 전위는 V_{miller} 로 고정되어 있기 때문에 게이트 전류 I_g 는 모두 C_{gd} 를 통해 도통하게 되며, 이 전류로 인해 $V_{ds}(t)$ 전압이 하강한다. 이를 표현 하면 다음과 같다.

$$V_{gs}(t) = V_{gs}(t_2) = V_{miller} \quad (2.68)$$

$$I_g(t) = \frac{V_g - V_{miller}}{R_g} = C_{gd} \frac{dV_{gd}(t)}{dt} = -C_{gd} \frac{dV_{ds}(t)}{dt} \quad (2.69)$$

$$V_{ds}(t) = V_{miller} - V_{gd}(t) \quad (2.70)$$

위를 정리하면 다음과 같다.

$$\frac{dV_{ds}(t)}{dt} = -\frac{V_g - V_{miller}}{C_{gd}R_g} \quad (2.71)$$

따라서 이 구간에서 V_{ds} 는 선형적으로 감소하며 그 기울기는 위 식과 같으며 $V_{ds}(t)$ 는 다음과 같다.

$$V_{ds}(t) = V_{ds}(t_2) - \frac{V_g - V_{miller}}{C_{gd}R_g}(t - t_2) . \quad (2.72)$$

$$V_{ds}(t_2) = V_{dc} . \quad (2.73)$$

$V_{ds}(t)$ 는 MOSFET이 선형 영역으로 진입하여 $R_{on} \times I_L$ 과 같아질때까지 감소한다. 따라서 t_3 에서의 V_{ds} 는 $R_{on} \times I_L$ 로 정의된다.

$$V_{ds}(t_3) = R_{on}I_L . \quad (2.74)$$

위 정의로부터 전압하강시간 t_{fv} 는 아래와 같다.

$$t_{fv} = t_3 - t_2 = C_{gd}R_g \frac{V_{dc} - R_{on}I_L}{V_g - V_{miller}} . \quad (2.75)$$

구간5 [$t_3 \leq t$] : 스위치가 턴-온 된 상태. MOSFET은 선형 영역에서 작동하며 부하전류 ' I_L ' 전부를 도통시키고 있다. V_{gs} 전압은 지속적으로 상승하여 V_g 가 될때까지 상승한다. 구간 5의 등가회로는 그림 2-23와 같다.

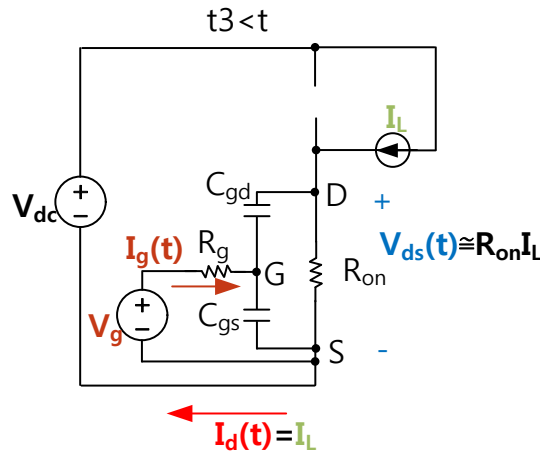


그림 2-23. 구간5 에서의 MOSFET 턴-온 등가회로

$$I_g(t) = \frac{V_g - V_{gs}(t)}{R_g} = C_{gd} \frac{dV_{gd}(t)}{dt} + C_{gs} \frac{dV_{gs}(t)}{dt} = (C_{gs} + C_{gd}) \frac{dV_{gs}(t)}{dt} . \quad (2.76)$$

$$V_{ds}(t) = R_{on}I_L = V_{gs}(t) - V_{gd}(t) . \quad (2.77)$$

$$V_{gs}(t_3) = V_{miller} . \quad (2.78)$$

$$V_{gs}(t) = V_g - (V_g - V_{gs}(t_3))e^{-\frac{t-t_3}{(C_{gs}+C_{gd})R_g}} . \quad (2.79)$$

2.2.3 기생 인덕터를 포함한 과도 해석

앞 절에서 살펴본 턴-온, 턴-오프의 파형은 다음을 가정하였다.

- 회로상 기생 인덕턴스 성분 무시
- MOSFET의 기생 C_{ds} 무시
- 다이오드의 기생 C_d 무시
- 이상적인 다이오드를 가정
- 부하전류 I_L 은 항상 gate-drain의 기생 캐패시턴스에 의한 변위 전류보다 훨씬 크다 ($I_L \gg C_{gd} \frac{dV_{gd}(t)}{dt}$)

이러한 가정하에 얻은 결론은 다음과 같다.

- 전류와 전압은 동시에 변동하지 않는다.
- 전압이 변동할 때 게이트 전압은 고정되며, 이때 흐르는 gate-drain 전류로 인해 drain-source 전압이 상승 또는 하강한다.

앞 절에서 분석한 결론은 게이트와 연관된 기생 캐패시터 성분인 C_{gs} , C_{gd} 를 고려한 결론이다. 이러한 결론은 아래의 MOSFET의 I-V 특성곡선을 이용하면 비교적 쉽게 이해 할 수 있다. 이번 절에서는 MOSFET의 특성곡선을 이용하여 MOSFET의 동작을 유추하고 더 나아가 기생 인덕턴스의 영향에 대해 알아본다.

앞절과 마찬가지로 그림 2-24와 같이 기생성분이 전혀없는 회로에, 이상적인 다이오드와 아래의 특성곡선을 지니는 스위치 회로에 대해 먼저 해석한다.

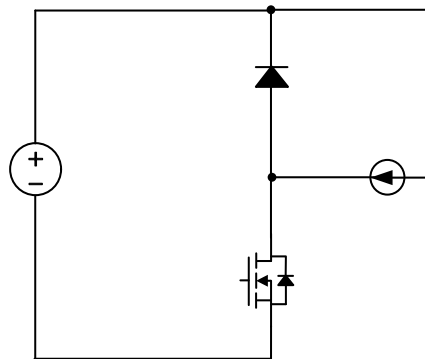


그림 2-24. 기생 성분이 없는 더블펄스 시험 등가회로

전류는 회로로 들어오는 방향을 양으로 정의하고, 아래상에 위치한 스위치가 턴-오프(turn-off)와 턴-온(turn-on)을 반복 한다고 가정한다. 소자를 통해 부하전류가 아래상으로 흐르는 상태를 초기상태로 한다. 이상적인 다이오드를 상징하였기 때문에 MOSFET의 전압이 V_{dc} 가 되기 전에는 다이오드는 턴-온될 수 없다. 따라서 MOSFET의 전압이 0V에서 상승하여 V_{dc} 가 될때까지 부하전류 I_L 을 채널로 계속 흘려줄수 밖에 없다. 이를 I-V곡선에서 살펴보면 그림 2-25와 같다.

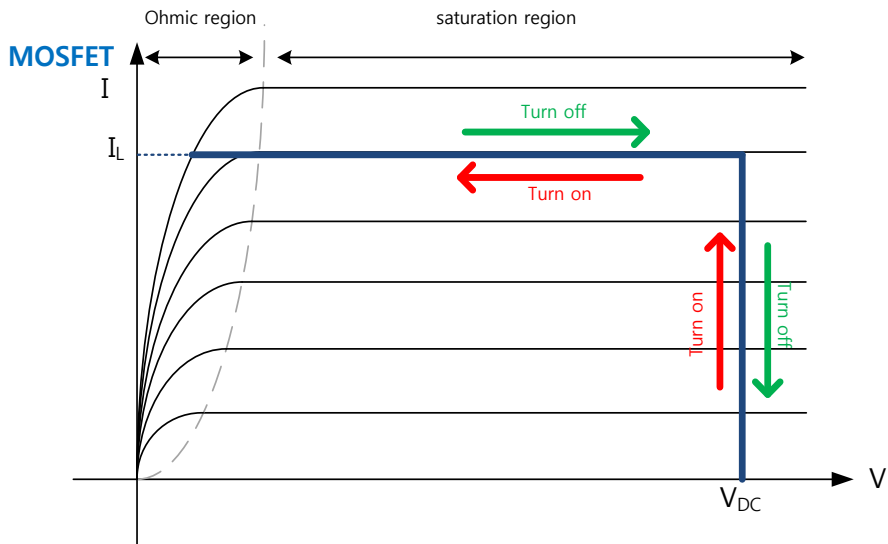


그림 2-25. 기생성분이 없는 더블 펄스 시험회로에서의 MOSFET 턴-온, 턴-오프의 I-V 곡선상 경로

MOSFET이 턴-온 상태에서 턴-오프시, MOSFET은 부하전류를 유지한 채로 V_{ds} 전압을 상승시키기 때문에 아래의 I-V 곡선에서 수평으로 이동한다. 이 수평 지점이 바로 V_{gs} 전압이 일정하게 유지되는 밀러 효과 (Miller effect) 구간이다.

V_{ds} 가 V_{dc} 가 되었을때는 다이오드의 양단전압이 0이 되므로, 다이오드가 턴-온된다. 이때부터 MOSFET의 V_{ds} 전압은 V_{dc} 로 고정되며, 게이트 전압의 감소에따라 채널전류, 즉 MOSFET의 drain 전류는 0으로 감소하게 된다. 이를 다이오드와 MOSFET의 전압 전류곡선으로 표현한 것이 그림 2-26이다.

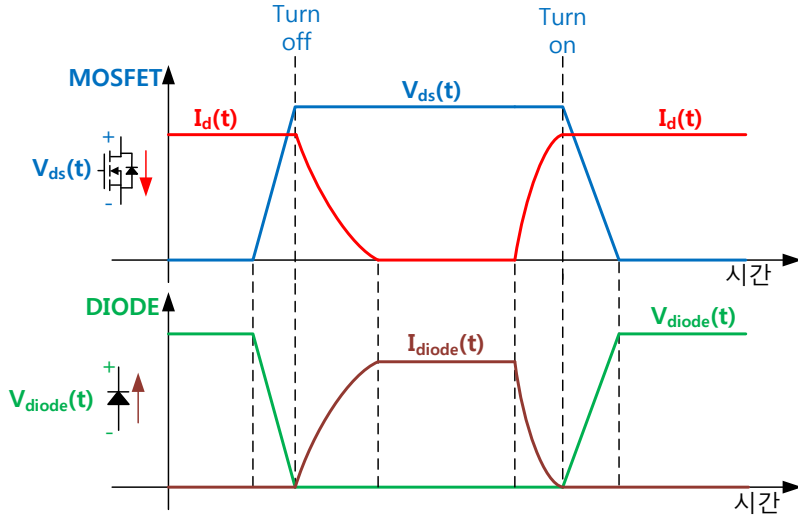


그림 2-26. 기생 성분이 없는 MOSFET의 시간에 따른 턴-오프, 턴-온 과도 파형

여기서 앞 절의 분석에 따라 MOSFET 전압의 기울기(dv/dt)는 일정하며, 전류의 상승 하강은 지수(Exponential)함수 형태로 감소한다. 이때 다이오드의 전압은 V_{dc} 전압에서 MOSFET의 전압을 뺀 것이며, 다이오드의 전류는 정전류원인 I_L 에서 MOSFET의 전류를 뺀 값이다. 위 그림에서 MOSFET의 전류는 지수함수적으로 감소하며, 이때 지수함수의 시정수는 $R_g \times C_{iss}$ 이다. R_g 값을 비교적 큰 값이라고 가정하면 시정수가 길어져 해당 구간의 전류기울기(di/dt)를 일정하게(직선으로) 묘사할 수도 있다.

턴-온의 과정은 턴-오프와 완전히 반대의 과정이다. 이상적인 다이오드에 의해 V_{ds} 전압이 V_{dc} 에 고정된 상태로 전류가 상승하며, 전류가 모두 I_L 로 상승하면 다이오드가 턴-오프되어 MOSFET은 정 전류원을 마주하게 된다. 이때 게이트 전압 V_{gs} 는 고정되며, gate-drain으로 흐르는 전류에 의해 전압이 일정 기울기로 하강한다.

다음 단계로 DC단에 기생 인덕턴스 성분을 포함하는 회로를 분석한다. 이를 회로에 넣어 표현하면 그림 2-27과 같다.

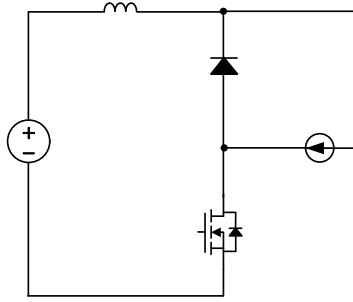


그림 2-27. 기생 인덕턴스 성분을 포함한 더블펄스 시험 등가회로

앞의 분석과 유사하게, MOSFET이 턴-온에서 턴-오프될 때, 다이오드는 턴-오프 상태이므로, 부하전류가 고정된 상태로 MOSFET의 양단전압이 상승한다. 전류의 변동이 없으므로 기생인덕턴스에 의한 $L di/dt$ 전압강하는 발생하지 않는다. 반면, MOSFET의 전압이 V_{dc} 가 되어 다이오드가 턴-온되면, 회로에는 DC전원과 인덕터, MOSFET이 직렬로 연결된 형태가 된다. 이때 MOSFET은 포화 영역에 있고, V_{gs} 전압에 의해 MOSFET 전류가 결정된다. 이때 전류 기울기에 의한 $L di/dt$ 전압 강하분이 생기며, 이로 인해 MOSFET의 양단전압이 $L di/dt$ 만큼 증가하게 된다. MOSFET은 포화 영역에 있으므로, MOSFET 전압 변동과 상관없이 V_{gs} 감소에 따라 I_d 는 지속적으로 감소한다. 이를 나타낸 것이 그림 2-28이다.

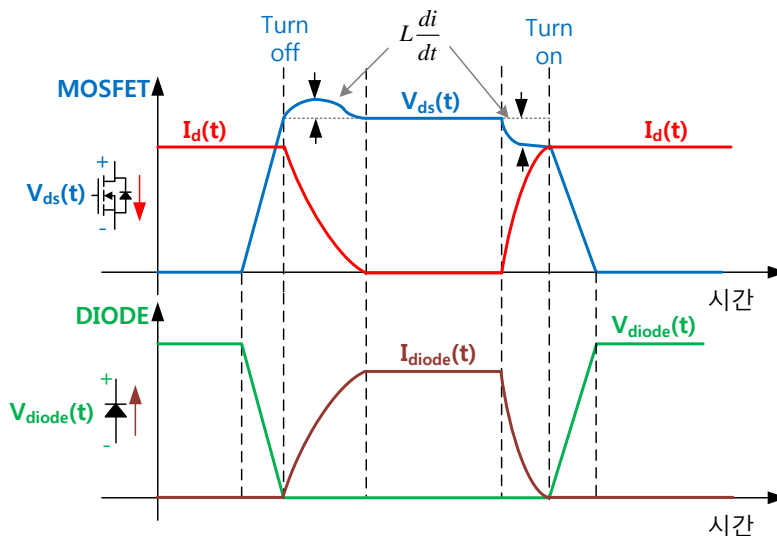


그림 2-28. 기생 인덕턴스 성분을 포함한 MOSFET의 시간에 따른 턴-오프, 턴-온

과도 파형

턴-온 과정도 턴-오프 과정과 유사하다. 전류가 상승하는 구간에서 Ldi/dt 에 의한 전압 강하가 MOSFET 양단전압에 나타나지만, MOSFET은 포화 영역에서 동작하므로, MOSFET의 전류는 V_{gs} 증가에 따라 여전히 지수적으로 상승한다. MOSFET 전류가 부하전류와 같아지면 다이오드는 턴-오프 되며, 이때 MOSFET의 전압은 선형으로 감소한다. 이를 MOSFET의 I-V 곡선에서 표현하면 그림 2-29와 같다.

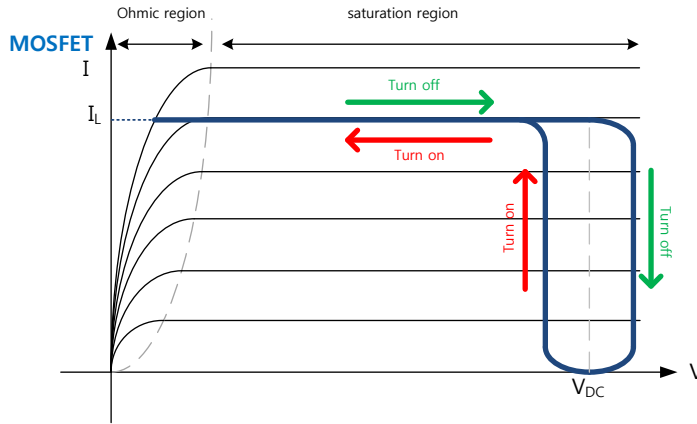


그림 2-29. 기생인덕턴스 성분을 포함한 더블 펄스 시험회로에서의 MOSFET 턴-온, 턴-오프의 I-V 곡선상 경로

MOSFET의 턴-오프에서 발생하는 과전압은 회로의 기생성분 L 과 전류의 기울기 di/dt 에 의해 결정된다. 턴-오프시 전류의 기울기는 앞 절에서 구한 식을 바탕으로 전개하면 다음과 같다.

$$\frac{dI_d(t)}{dt} = -\frac{I_L + g_m V_{th}}{R_g(C_{gs} + C_{gd})} e^{-\frac{t-t_2}{R_g(C_{gs} + C_{gd})}} \quad (2.80)$$

해당 시간 구간내 최고 전류기울기는 다음과 같다.

$$\frac{dI_d(t_2)}{dt} = -\frac{I_L + g_m V_{th}}{R_g(C_{gs} + C_{gd})} \quad (2.81)$$

따라서 기생 인덕터에 의해 발생하는 과전압 V_{peak} 는 부하전류가 클수록, 기생 인덕터의 크기가 클수록 커지며, 게이트 저항이 클수록 작아지는 경향이 있다.

$$V_{peak} \propto L \frac{I_L + g_m V_{th}}{R_g(C_{gs} + C_{gd})} \quad (2.82)$$

마지막으로 환류 다이오드의 역회복 특성을 고려할 수 있다. 일반적으로 사용하는 PN접합 다이오드는 캐리어 축적 효과로 인해

그림 2-30와 같은 역회복 전류(reverse recovery current, I_{rr})와 역회복 시간(reverse recovery time, t_{rr})을 가진다. PN 다이오드의 이러한 특성은 다이오드의 턴-오프 손실을 증가시키고, 고속 스위칭을 어렵게 한다. 이 역회복 전류는 MOSFET 턴-온시 전류 최대치(peak)를 만드는 주요 요인이 된다. 물론 SiC 쇼트키 다이오드에서는 해당 현상이 일어나지 않지만, 일반적으로 많이 언급되는 현상이므로 이를 언급한다.

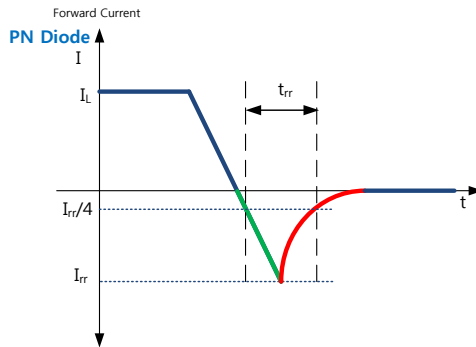


그림 2-30. PN접합 다이오드의 역회복 전류 파형

이러한 다이오드의 역회복 특성을 고려한 스위칭 파형은 그림 2-31와 같다. 다이오드의 역회복 전류에 의해 MOSFET의 전류가 증가하여 전류 최대값(peak)이 발생한다.

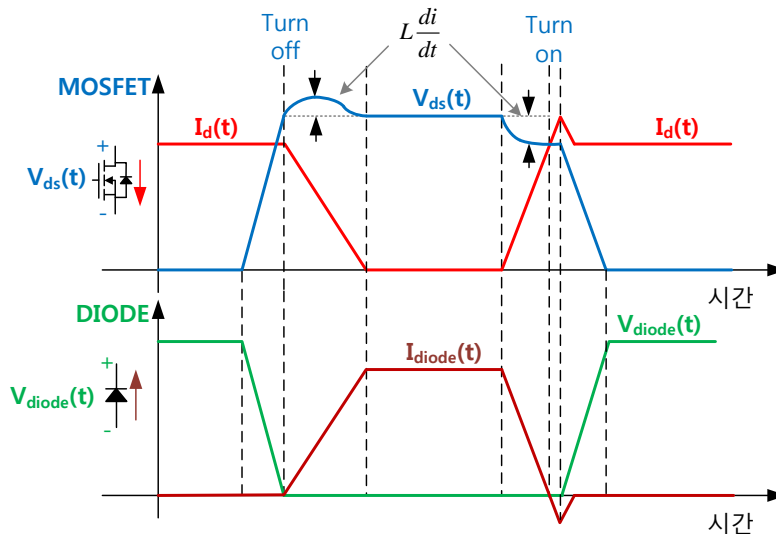


그림 2-31. 기생 인덕턴스 성분과 다이오드 역회복 특성을 포함한 MOSFET의 시간에 따른 턴-오프, 턴-온 과도 파형

이를 MOSFET의 I-V 특성곡선에서 표현하면 그림 2-32와 같다.

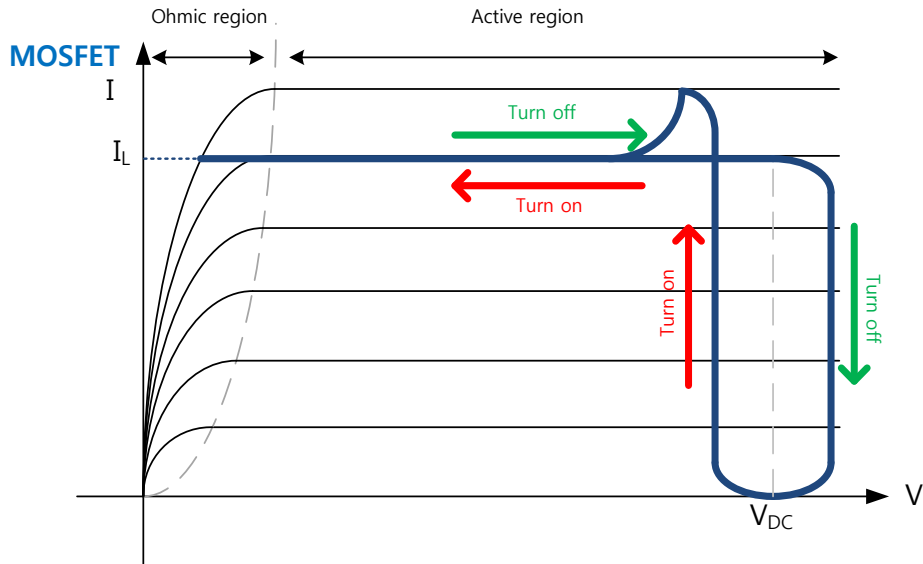


그림 2-32. 기생인덕턴스 성분과 다이오드의 역회복 특성을 포함한 더블 펄스 시험회로에서의 MOSFET 턴-온, 턴-오프의 I-V 곡선상 경로

하지만 이 분석에서는 세심하게 고려되지 못한 부분이 있다. 다이오드의 역회복이 끝난 다음 나타나는 전류의 기울기이다. 역회복 전류가 최대치에 이르고 다시 0A로 돌아 갈때에는 전류의 미분값의 부호가 반대가 되며, 이때 기생인덕턴스에 의한 전압강하분이 통상 제대로 고려되지 못했다. 이는 실제로 Ldi/dt 에 따른 전압 강하를 턴-오프된 다이오드가 감당할지, 턴-온 중인 MOSFET이 감당할지 결정할 수 없기 때문이다. 해당 전압강하분을 어떤 소자가 감당하느냐는 다이오드와 MOSFET의 기생 캐패시턴스 성분을 고려해야 하기 때문에 이를 고려하지 않는 해당 모델에서는 이를 결정하지 못한다.

따라서 스위칭 과도에서의 현상을 분석하기 위해서는 기생 인덕턴스 성분 뿐만 아니라 기생 캐패시턴스 성분도 함께 고려되어야 한다. 이에 관해서는 다음 장에서 분석해 보도록 한다.

제 3장 SiC MOSFET의 고속 스위칭 과도 분석

2장의 분석은 기생 캐패시턴스 성분(C_{ds} , C_d) 성분에 대한 고려 없이 도출한 결과이다. 이 결과에 의하면 기생 인덕턴스 성분의 존재 여부와 상관없이 항상 전압과 전류는 동시에 변동하지 않으며, 어느 한쪽의 물리량 변동이 끝났을 때 다른 물리량이 변동한다는 결론을 얻었다. 이와 같은 결론은 Si IGBT나 MOSFET의 실험에서도 잘 관찰되며, 분석한 이론이 실제와 잘 부합함을 확인할 수 있다. 이와 같이 기생 캐패시턴스 성분의 누락에도 불구하고 실험과 분석 결과가 일치하는 이유는 기생 캐패시턴스에 의한 전류 $C_{ds} \times dv/dt$ 가 비교적 작아 전체 거동에 큰 영향을 주지 않을 것이기 때문이라고 예상할 수 있다. 또한 앞의 분석에서도 $C_{gd} \times dv/dt$ 가 부하전류의 크기에 비해 작다는 가정을 사용하기도 하였다.

하지만 SiC MOSFET의 실험 파형에 대해서는 해당 분석결과가 잘 맞지 않는다. 아래는 1200V 120A의 Full SiC MOSFET의 실제 턴-온, 턴-오프 파형이다. 아래 파형을 살펴보면 전류와 전압이 동시에 변동하는 것을 확인 할 수 있다. 이와 같은 경향은 게이트 저항이 작아 질수록 두드러 진다. 반면 게이트 저항이 커지면 전류와 전압은 동시에 변동하지 않게 되어 앞장의 분석결과와 유사한 파형이 나타난다.

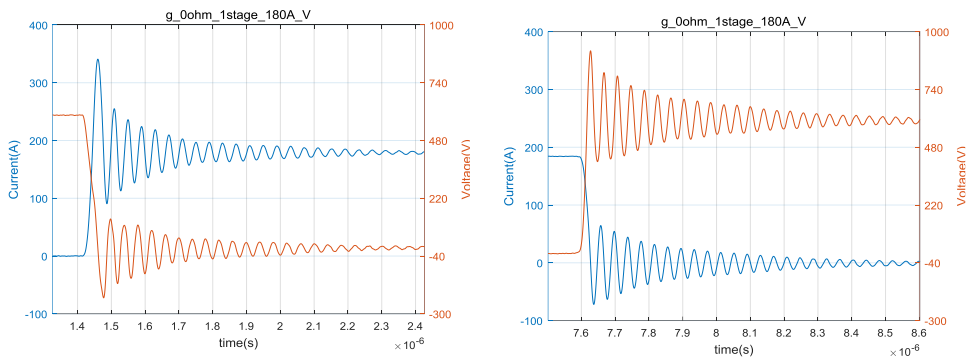


그림 3-1. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 게이트 저항 0Ω 일때의 턴-온, 턴-오프 실험 파형

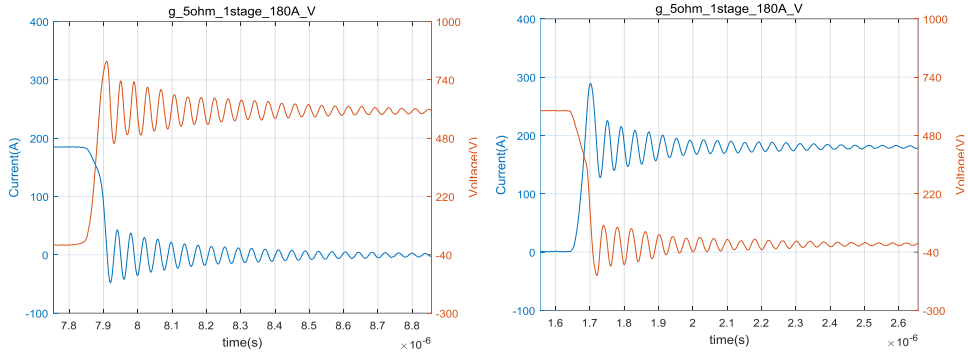


그림 3-2. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 게이트 저항 5Ω 일때의 턴-온, 턴-오프 실험 파형

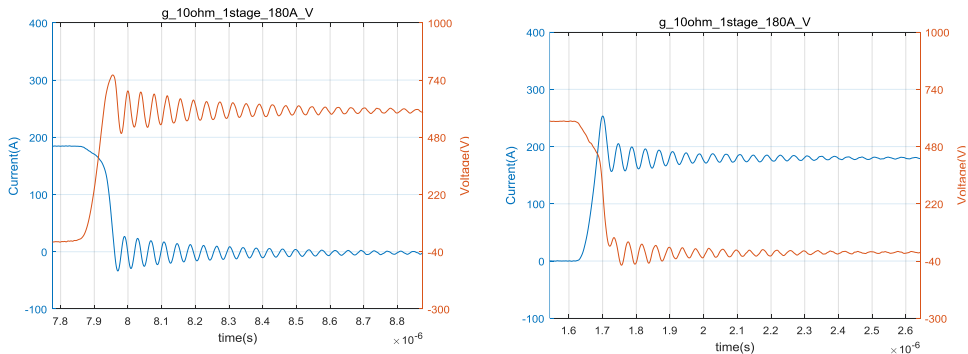


그림 3-3. 1200V, 120A의 Full SiC MOSFET(CAS120M12BM2)의 게이트 저항 10Ω 일때의 턴-온, 턴-오프 실험 파형

이와 같이 실험과 이론이 맞지않는 부분이 나타나는 이유는 이론에서 가정한 것들이 실제로는 성립되지 않기 때문이다. 이러한 차이의 가장 큰 이유는 기생 캐패시터의 역할을 충분히 고려하지 못한데 있다. 이번 절에서는 스위칭 과도에서 기생 캐패시터의 역할에 대해 자세히 고찰해 본다.

실제로 기생 캐패시턴스와 기생 인덕턴스를 동시에 고려하여 앞 절과 같이 해석적인 분석을 하기는 어렵다. 이는 기존의 분석보다 높은 차원(order)의 미분방정식을 풀어야 하기 때문이다. 본 논문에서 목표로 하는 것은 정확한 해를 구하기 보다는 기생 성분들이 전체 스위칭 과도에 미치는 영향을 정성적(Qualitative)으로 분석하는데 있다. 따라서 본 논문에서는 기생 캐패시터와 기생 인덕터가 전체 거동에 미치는 경향에 대해 고찰하고, 이를 시뮬레이션을 통해 검증해 보도록 한다.

3.1 스위칭 과도에서 기생 캐패시터의 역할

그림 3-4와 같이 다이오드와 MOSFET 양단에 크기가 C 인 같은 크기의 기생 캐패시터가 존재한다고 가정한다.

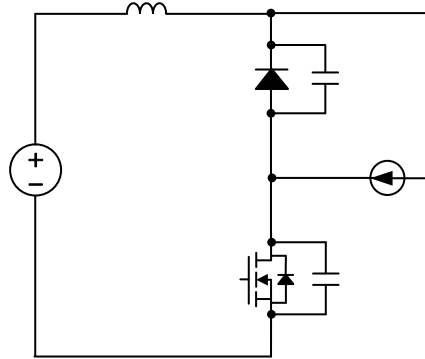


그림 3-4. 기생 인덕터와 기생 캐패시터를 포함하는 더블펄스 실험 등가회로

이 경우, 앞 절에서 살펴보았던 기생 인덕턴스가 존재하는 파형에 기생 캐패시터의 동작을 대입하여 고찰해 본다. 기생 인덕터만 고려되었을때는, 전압이 선형적으로 상승하고 하강하는 구간에서 MOSFET에 흐르는 전류는 I_L 로 동일하였다. 이제 기생 캐패시터가 존재한다고 가정하면 변동하는 전압 기울기에 의해 변위전류 $I_c(t)$ 가 존재하고 이로 인해 MOSFET의 채널전류 I_{ch} 와 drain 단자 전류 I_d 의 크기가 변동한다. 이를 회로로 표현하면 그림 3-5와 같다.

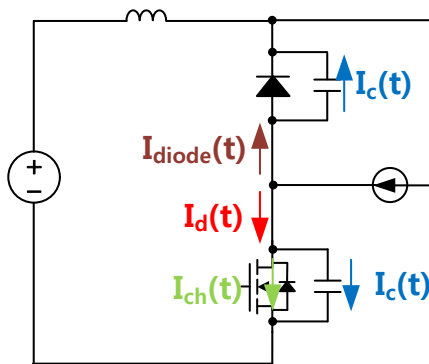


그림 3-5. 더블펄스 실험 등가회로에서의 MOSFET의 채널전류, 변위전류, 단자 전류의 정의

MOSFET이 턴-온에서 턴-오프시, 다이오드는 턴-오프상태를 유지하고 있으므로, 다이오드 전류는 다이오드 기생 캐패시터 C에 의한 변위전류와 같다.

$$I_{diode}(t) = I_c(t) = C \frac{dV_{ds}(t)}{dt} . \quad (3.1)$$

따라서 정전류원인 I_L 에서 다이오드 전류를 뺀 나머지가 MOSFET의 drain 단자 전류가 된다.

$$I_L = I_{diode}(t) + I_d(t) . \quad (3.2)$$

$$I_d(t) = I_L - C \frac{dV_{ds}(t)}{dt} . \quad (3.3)$$

즉, 이 때의 MOSFET 단자 전류는 Cdv/dt 만큼 감소된 전류가 된다. 반면, MOSFET의 채널전류는 다음과 같이 표현될 수 있다.

$$I_d(t) = I_{ch}(t) + I_c(t) . \quad (3.4)$$

$$I_{ch}(t) = I_L - 2C \frac{dV_{ds}(t)}{dt} . \quad (3.5)$$

즉, MOSFET의 단자 전류는 Cdv/dt 만큼 감소되어 들어오지만, 채널 전류는 $2 \times Cdv/dt$ 만큼 감소되어 도통한다. 이는 V_{miller} 전압이 2장에서 계산한 전압보다 더 낮은 전압에서 형성된다는 의미이다. 위의 설명을 파형으로 표현 하면 아래와 같다.

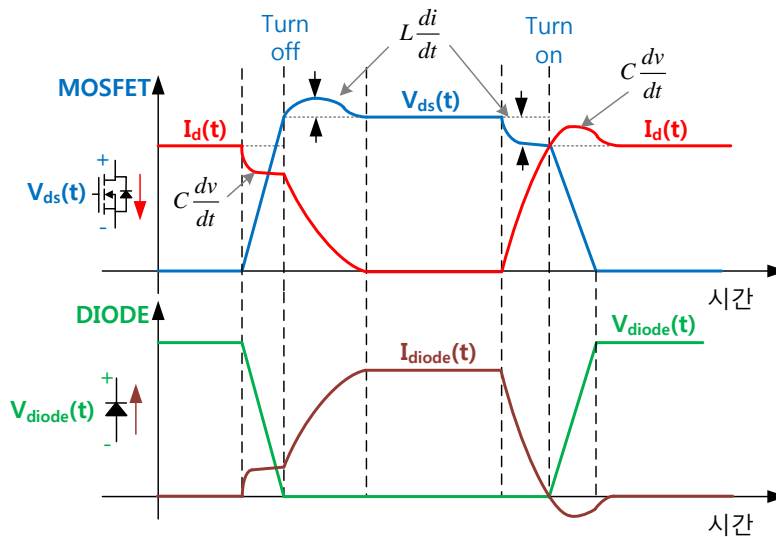


그림 3-6. 기생 인덕터와 기생 캐패시터가 존재하는 더블펄스 시험회로에서의 시간에 따른 MOSFET과 다이오드의 턴-오프, 턴-온 파형

같은 논리로, MOSFET의 턴-온 파형에도 기생 캐피시터의 역할이 적용될수 있다. 이를 I-V 커브에 나타내면 아래와 같다.

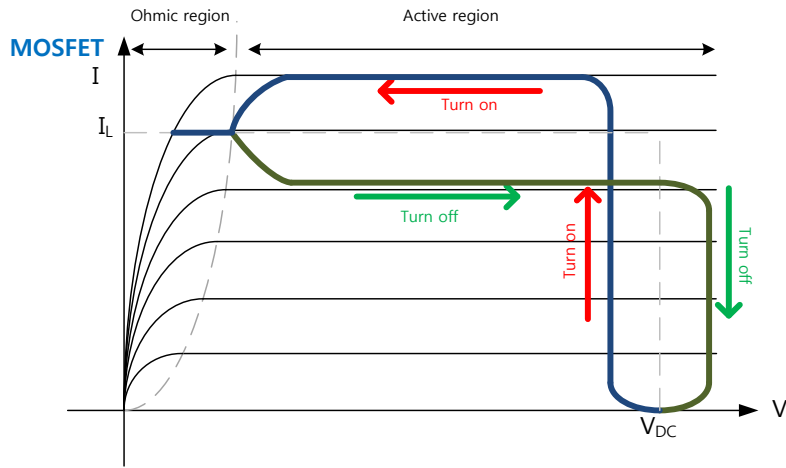


그림 3-7. MOSFET의 턴-온, 턴-오프시 I-V 특성 곡선에서의 스위칭 경로

하지만 이와 같은 분석은 비교적 부정확하다. 왜냐하면 전류가 변동하는 시점에서 Ldi/dt 가 적용되어 MOSFET의 단자 전압에 영향을 주기 때문이다. 따라서 정확한 해석을 위해서는 기생 인덕터와 기생 캐패시터와의 상호작용을 고려해야 한다. 그럼에도 위의 파형 해석이 의미가 있는 것은 기생 캐패시터 성분으로 인해 다음의 현상이 발생하는 것을 알수 있기 때문이다.

- 기생 캐패시터의 영향으로 전류와 전압이 동시에 변동한다.
- MOSFET 단자 전류는 기생 캐패시터의 변위전류와 MOSFET의 채널전류로 이루어진다.

위와 같은 인식을 기반으로 기생 캐패시터와 기생 인덕터를 고려한 회로 고찰을 진행해보도록 한다.

3.2 밀러 캐패시터 효과의 분리를 위한 MOSFET 등가회로 변환

기생 캐패시터와 기생 인덕터를 고려한 스위치 과도를 분석하기 전에 MOSFET의 등가회로를 해석하기 좋은 간단한 등가회로로 치환 하고자 한다. 등가변환할 MOSFET 등가회로는 포화영역에서의 모델이다. 스위치의 과도 현상은 I-V 곡선에서 확인할 수 있듯이 대부분 포화영역에서 이루어진다. 따라서 포화영역의 기생성분을 모두 포함한 MOSFET 모델을 대상으로 하여 비교적 간단한 회로로 등가변환하여 해석하고자 한다.

Gate 와 drain 사이에 있는 기생 캐패시터 C_{gd} 는 밀러 캐패시터라고도 불리운다. 밀러 캐패시터라 불리는 이유는 이 캐패시터가 MOSFET의 되먹임(feedback) 경로를 제공하여 밀러효과(Miller effect)를 유발하기 때문이다. 이러한 밀러효과가 나타나는 구간은 앞 절에서 분석한 전압이 상승 또는 하강하는 구간이다. 이 구간에서 게이트 전압 V_{gs} 는 V_{miller} 로 고정되며 MOSFET의 단자전류는 유지되고, MOSFET의 V_{ds} 전압은 변동한다. 이 구간은 밀러플레토(Miller plateau)라 불리기도 한다.

이러한 되먹임을 제공하는 밀러 캐패시터 C_{gd} 의 역할은 아래의 예시로부터 그 역할을 간단히 고찰해 볼수 있다. 아래 그림은 C_{ds} 가 없는 MOSFET 등가회로이다. MOSFET은 포화영역에서 동작하고 있다. 여기서 각 전류들의 관계는 다음과 같다.

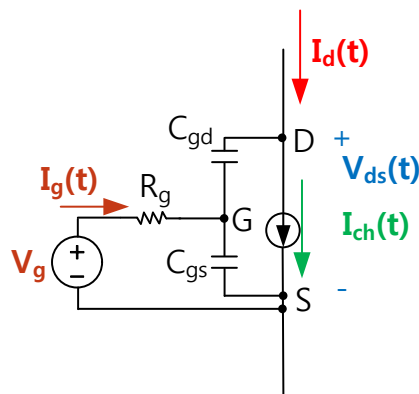


그림 3-8. C_{gd} , C_{gs} 만을 고려한 MOSFET의 등가회로

$$I_g(t) + I_d(t) - I_{ch}(t) = C_{gs} \frac{dV_{gs}(t)}{dt} . \quad (3.6)$$

채널 전류 $I_{ch}(t)$ 를 아래로 근사하여 정리하면 다음과 같다.

$$I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) \approx g_m V_{gs}(t) . \quad (3.7)$$

$$\frac{V_g - V_{gs}(t)}{R_g} + I_d(t) - g_m V_{gs}(t) = C_{gs} \frac{dV_{gs}(t)}{dt} . \quad (3.8)$$

$$\frac{V_g - V_{gs}(t)}{R_g} + I_d(t) = C_{gs} \frac{dV_{gs}(t)}{dt} + \frac{V_{gs}(t)}{1/g_m} . \quad (3.9)$$

위 식을 등가회로로 표현하면 다음과 같다.

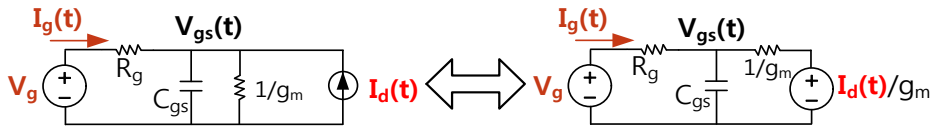


그림 3-9. C_{gd} , C_{gs} 만을 고려한 MOSFET의 등가회로 변환

만약 $R_g \gg 1/g_m$ 이면 $V_{gs}(t)$ 전압은 $I_d(t)/g_m$ 과 거의 같아지며, 이 경우 $V_{gs}(t)$ 전압에 의한 채널전류는 다음과 같다.

$$V_{gs}(t) \approx \frac{I_d(t)}{g_m} . \quad (3.10)$$

$$I_{ch}(t) \approx I_d(t) . \quad (3.11)$$

즉, 이 경우 밀러전압 ‘ V_{miller} ’ 보다 큰 게이트 전압 V_g 가 V_{gs} 에 인가되어도, 채널전류는 되먹임 경로로 인해 입력 전류 I_d 와 비슷한 수준으로 제한(regulation) 된다. 실제로 이 조건은 앞 절에서 분석한 스위칭 과도에서 사용했던 분석과 동일하다. 반면 만약 R_g 가 $1/g_m$ 보다 충분히 크지 않다면 V_{gs} 값은 다음과 같은 범위안에 존재하게 된다.

$$V_g > V_{gs}(t) > \frac{I_d(t)}{g_m} . \quad (3.12)$$

따라서 채널전류는 다음의 범위내에 존재한다.

$$g_m V_g > I_{ch}(t) > I_d(t) . \quad (3.13)$$

즉, R_g 가 작아질수록 C_{gd} 에 의한 되먹임에 대한 영향은 작아지고, V_g 에 의한 영향이 커짐을 짐작할수 있다.

되먹임을 제공하는 밀러 캐패시터 C_{gd} 의 역할을 MOSFET 등가회로로부터 좀더 자세히 고찰해 보도록 한다. 아래 그림은 포화영역에서 동작하는 MOSFET 등가회로 이다. 여기서 채널 전류에

영향을 주는 요인은 게이트 전원 V_g , drain-source 전원 $V_{ds}(t)$ 이다. $V_{ds}(t)$ 의 변동은 $C_{gd}dV_{gd}/dt$ 를 유발하여 V_{gs} 전압에 영향을 준다. 따라서 V_{gs} 전압은 V_g 전압과 V_{ds} 전압이 V_{gs} 전압에 의해 서로 결합(couple)되어 있다.

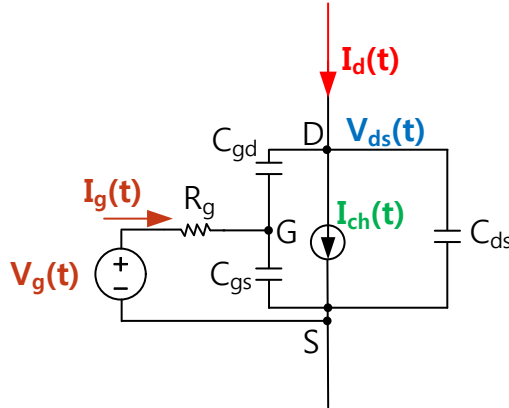


그림 3-10. C_{gd} , C_{gs} , C_{ds} 를 고려한 MOSFET의 등가회로

C_{gd} 경로로의 되먹임에 의한 채널전류분과 게이트 전원 V_g 에 의한 채널전류분은 아래의 가정을 이용하면 서로 분리(decouple) 가능하다.

$$I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) \approx g_m V_{gs}(t) \quad (3.14)$$

먼저 위 MOSFET 등가회로의 V_{gs} 노드에서의 KCL을 적용하여 미분 방정식을 유도하면 아래와 같다.

$$\frac{V_g(t) - V_{gs}(t)}{R_g} = C_{gs} \frac{dV_{gs}(t)}{dt} - C_{gd} \frac{d(V_{ds}(t) - V_{gs}(t))}{dt} \quad (3.15)$$

위 식의 $V_{gs}(t)$ 전압을 임의의 함수 $V_{gs1}(t)$ 와 $V_{gs2}(t)$ 의 합으로 정의하면 다음과 같다.

$$V_{gs}(t) \equiv V_{gs1}(t) + V_{gs2}(t) \quad (3.16)$$

$$I_{ch}(t) \equiv I_{ch1}(t) + I_{ch2}(t) \quad (3.17)$$

$$I_{ch1}(t) = g_m V_{gs1}(t) \quad (3.18)$$

$$I_{ch2}(t) = g_m V_{gs2}(t) \quad (3.19)$$

여기서 채널전류 I_{ch1} 은 게이트 전압 V_g 에 의한 전류분이며, 채널전류 I_{ch2} 는 V_{ds} 전압에 의한 전류분이다. 이를 (3.15)에 대입하여 정리하면 다음과 같다.

$$\frac{V_g(t) - (V_{gs1}(t) + V_{gs2}(t))}{R_g} = C_{gs} \frac{dV_{gs}(t)}{dt} - C_{gd} \frac{d(V_{ds}(t) - (V_{gs1}(t) + V_{gs2}(t)))}{dt} \quad (3.20)$$

위 식은 아래의 두 식의 합으로 분리, 표현할 수 있다.

$$\frac{V_g(t) - V_{gs1}(t)}{R_g} = (C_{gs} + C_{gd}) \frac{dV_{gs1}(t)}{dt} \quad (3.21)$$

$$-\frac{V_{gs2}(t)}{R_g} = C_{gs} \frac{dV_{gs2}(t)}{dt} - C_{gd} \frac{d(V_{ds}(t) - V_{gs2}(t))}{dt} \quad (3.22)$$

이를 도식화한 등가회로는 아래와 같다.

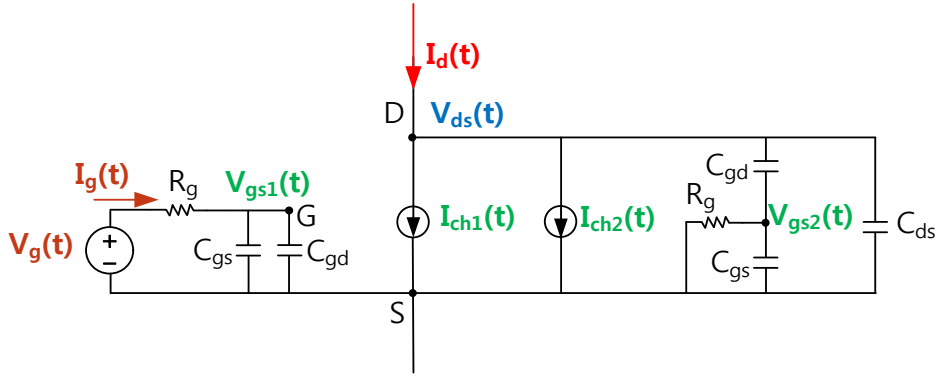


그림 3-11. Cgd, Cgs, Cds를 고려한 MOSFET의 등가회로 변환

여기서 V_{gs2} 에 대한 (3.22)을 채널전류 I_{ch2} 의 정의 (3.19)을 대입하면 다음과 같다.

$$(C_{gd}g_mR_g) \frac{d}{dt} (V_{ds}(t) - (1 + \frac{C_{gs}}{C_{gd}}) \frac{1}{g_m} I_{ch2}(t)) = I_{ch2}(t) \quad (3.23)$$

위 식을 등가회로로 표현 하면 다음과 같은 R-C 직렬 회로로 등가화가 가능하다. 여기서 R_{eq} , C_{eq} 는 다음과 같다.

$$R_{eq} = (1 + \frac{C_{gs}}{C_{gd}}) \frac{1}{g_m} \quad (3.24)$$

$$C_{eq} = C_{gd}g_mR_g \quad (3.25)$$

따라서 밀러 캐패시터 C_{gd} 에 의해 발생하는 종속전원 채널전류 I_{ch2} 는 R-C 회로로 등가 가능하다. 이를 적용하여 회로를 수정하면 그림 3-12와 같은 MOSFET 등가회로를 다시 그릴 수 있다.

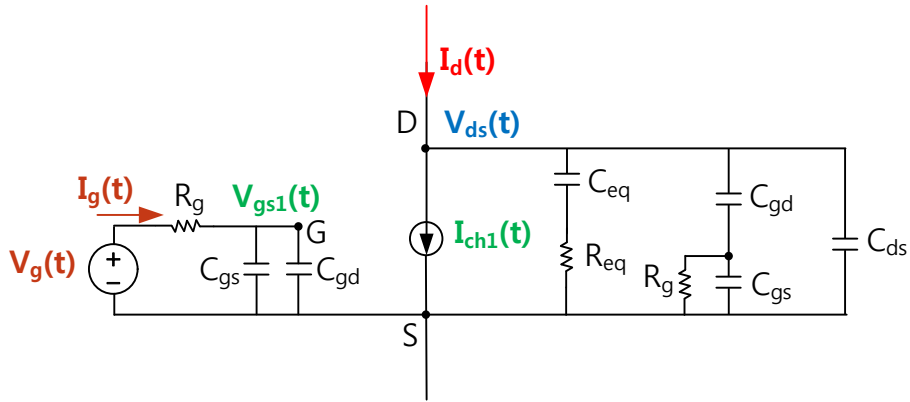


그림 3-12. C_{gd} , C_{gs} , C_{ds} 를 고려한 MOSFET의 등가회로에서 전류원의 RC 임피던스로의 변환

여기서 특별한 점은 좌측의 게이트 전압의 시정수와 RC 스너버의 시정수가 동일하다는 것이다. 이 특성은 다음 장에서 활용될 예정이다.

$$R_g(C_{gs} + C_{gd}) = C_{eq}R_{eq} \quad (3.26)$$

여기서 위 등가회로가 아래 조건을 만족하면 위의 등가 회로를 더욱 간략화할 수 있다.

$$C_{ds} \gg C_{gd} \quad \text{or} \quad 1 \gg \frac{C_{gd}}{C_{ds}} \quad (3.27)$$

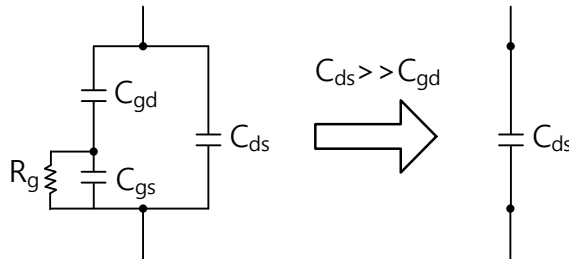


그림 3-13. C_{gd} , C_{gs} , C_{ds} , R_g 임피던스의 C_{ds} 임피던스 근사

위 그림의 임피던스를 표현하면 아래와 같다

$$\frac{(C_{gs} + C_{gd})s + \frac{1}{R_g}}{\left(C_{gs}\left(1 + \frac{C_{gd}}{C_{ds}}\right) + C_{gd}\right)s + \left(1 + \frac{C_{gd}}{C_{ds}}\right)\frac{1}{R_g}} \times \frac{1}{C_{ds}s} \approx \frac{1}{C_{ds}s} \quad (3.28)$$

실제로 MOSFET의 C_{ds} 값은 거의 모든 V_{ds} 영역에 대해 C_{gd} 보다 크기 때문에 위의 근사는 항상 성립한다. 따라서 최종적인 MOSFET의 등가회로는 아래와 같이 표현될 수 있다.

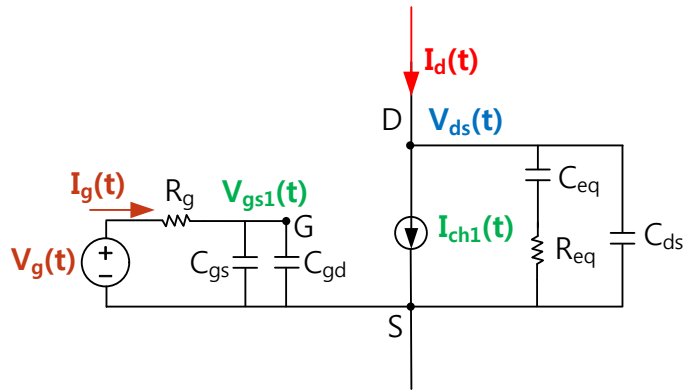


그림 3-14. C_{gd} , C_{gs} , C_{ds} 를 고려한 MOSFET의 간략화된 등가회로

위 등가회로가 의미하는 바는, 게이트 저항 R_g 가 증가함에 따라 $C_{eq}(=C_{gd}g_mR_g)$ 가 증가하기 때문에 소자 양단의 RC 스너버 효과가 강화되는 것이다. 즉, 게이트저항이 증가하는 것은 C_{gd} 에 의한 밀러효과를 강화하는 것과 같으며, 이 효과는 RC 스너버를 장착하는 효과와 등가화될 수 있다. 다만 R_g 값의 증가는 좌측의 게이트 드라이버의 시정수 ($R_g \times C_{iss}$)를 증가시키기 때문에, 스너버 강화 효과와 게이트 드라이버 저항 효과를 독립적으로 분리할 수는 없다. 만약 이 둘을 분리하고자 한다면 게이트 드라이버의 전원 $V_g(t)$ 를 가변하여 게이트 드라이버의 시정수를 빠르게 해야 한다.

또한 이 RC 스너버 효과를 고려할 때 생각해야 할 점은 MOSFET의 동작영역이다. 위 등가회로는 MOSFET이 포화영역에서 동작할 때의 등가회로이다. 스위칭 과도는 대부분 포화영역에서 이루어지지만, 과도가 끝나고 나타나는 전압/전류의 진동 현상은 대부분 차단 영역이나 선형영역에서 일어난다. 따라서 앞서 설명한 RC 스너버 효과는 과도가 끝나고 나타나는 진동을 감쇄시켜주는 역할은 하지 못하며, 오직 스위칭 과도에서만 작용한다는 점을 생각해야 한다.

위에서 언급한 그림 3-15의 두 회로의 등가 변환이 성립하는 것을 확인하기 위해 그림 3-16와 같은 더블펄스 시험 회로에서 두가지 MOSFET 모델을 삽입하여 턴-오프 과정에 대한 컴퓨터 시뮬레이션을 수행하였다.

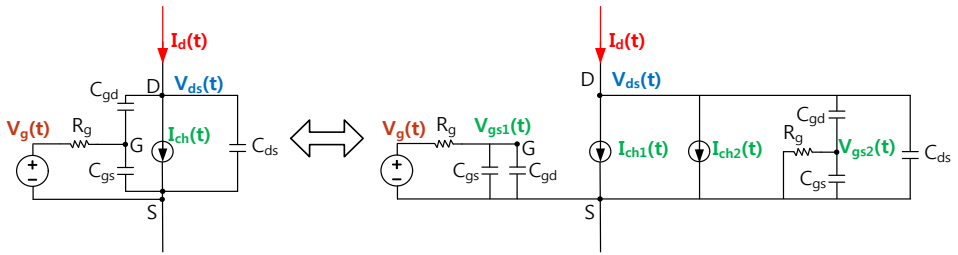


그림 3-15. Cgd, Cgs, Cds를 고려한 MOSFET의 등가회로 변환

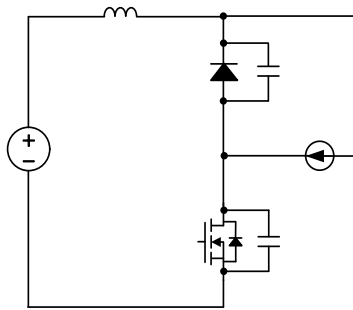


그림 3-16. 기생 인덕터와 기생 캐패시터를 고려한 더블펄스 실험 등가회로

이때 사용한 파라미터는 1200V, 120A Full SiC MOSFET 모델에서 대표 파라미터를 선정하여 수행하였다. 사용한 파라미터는 아래와 같다.

$\langle V_{dc}=600V, I_L=100A, L=40nH, C_d=1nF, C_{ds}=1nF, C_{gs}=7nF, C_{gd}=40pF, g_m=10 \rangle$

앞에서의 가정 ($I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) \approx g_m V_{gs}(t)$)을 준수하기 위해 $V_{th}=0$ 으로 하여 컴퓨터 회로 모의실험을 수행하였다. 모의실험 결과는 아래와 같다.

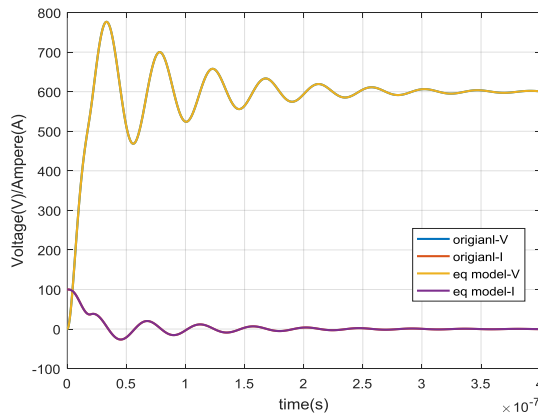


그림 3-17. 게이트 저항 $R_g=1\Omega$ 일 때, MOSFET 등가회로 비교

위 과형으로 부터 원본 MOSFET 모델과 위 그림의 등가 모델이 동일한 V_{ds} , I_d 과형을 보임을 알 수 있다.

그림 3-18은 $C_{ds} \gg C_{gd}$ 조건을 이용하여 등가모델을 간략화한 MOSFET 모델이다. 해당 모델에 대한 컴퓨터 모의실험 결과는 그림 3-19와 같다.

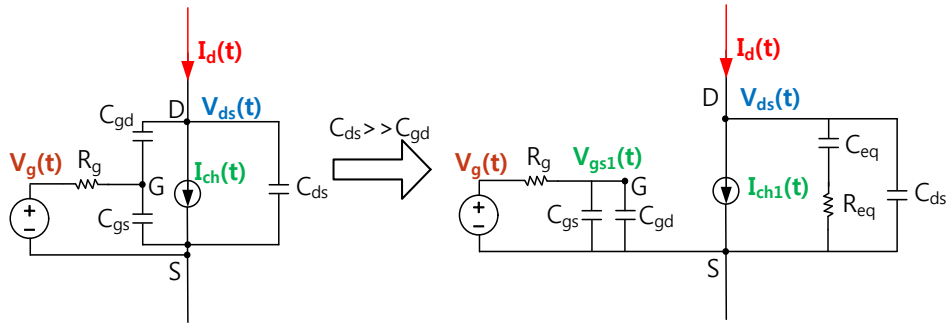


그림 3-18. C_{gd} , C_{gs} , C_{ds} 를 고려한 MOSFET의 간략화된 등가회로의 근사

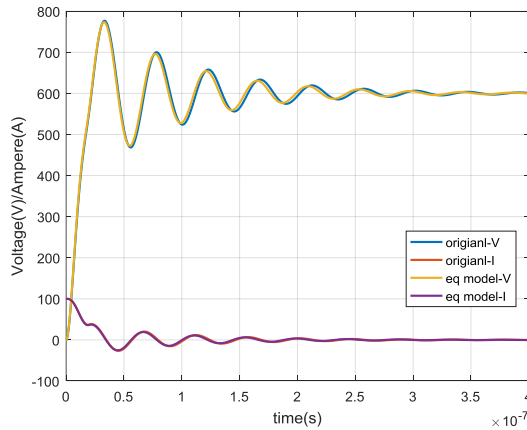


그림 3-19. 게이트 저항 $R_g=1\Omega$ 일 때, MOSFET 등가회로와 근사회로의 비교

근사화 하였기 때문에 완벽히 같지는 않지만 전압, 전류파형이 거의 동일함을 알 수 있다. 특히 본 논문에서 관심있어 하는 전압 최대치가 발생하는 0~50ns 의 범위에서는 상당히 일치함을 알 수 있다.

아래 과형은 극단적으로 작은 R_g 저항(0.001Ω)과 큰 저항(20Ω)에서의 스위칭 과도에서의 비교과형이다. 저항값의 범위가 변동하여도 여전히 잘 일치하는 것을 알 수 있다.

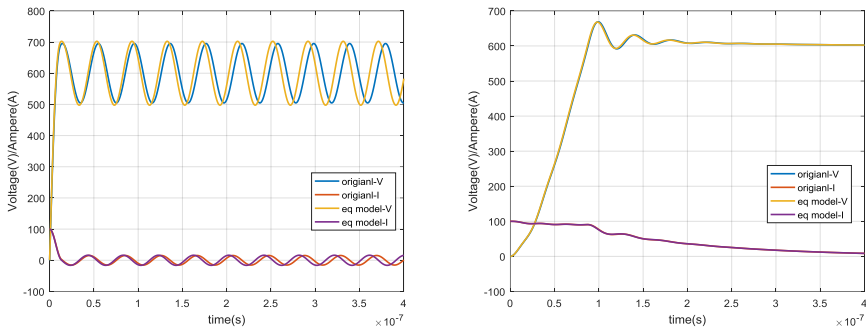


그림 3-20. 게이트 저항 $R_g=0.001\Omega$ (좌) 일 때와, $R_g=20\Omega$ (우) 일때의 MOSFET 등가회로와 근사회로의 비교

위 시뮬레이션이 실제 MOSFET 실험 파형을 그대로 모사하는 것이 아님을 유의하여야 한다. 가장 큰 이유는 위 컴퓨터 모의실험이 MOSFET의 포화영역의 모델만을 사용하였기 때문이다. 따라서 위의 파형에서 전압 전류가 모두 스위칭에 따라 급격히 변할 때만 유효한 모의실험이다. 그 증거로, 해당 모의실험에서는 더블 펄스 실험 회로상 저항성분을 0Ω 으로 하였기 때문에 차단영역에 들어서고 난 다음의 공진에 의한 전압, 전류 진동은 감쇄하지 않는다. 하지만 시뮬레이션에서는 진동이 큰 폭으로 감쇄되는 것을 볼 수 있는데, 이는 포화영역에서 보이는 RC 스너버 효과로 인한 것이다. 반면, 큰 저항($R_g=20\Omega$)을 사용하는 경우, MOSFET의 전류가 0으로 감소하는 시간이 길어지게 되는데, 이때는 MOSFET이 포화영역에서 동작 하므로, 이 구간동안의 전압/전류의 감쇄효과는 MOSFET에 의한 효과라 말할 수 있다.

실제 실험을 모사하지 못하는 두번째 이유로는 MOSFET 파라미터를 고정된 값으로 사용했기 때문이다. 특히 기생 캐패시턴스의 V_{ds} 에 의한 비선형성은 실제 스위칭 파형에 큰 영향을 미친다. 따라서 위의 등가회로와 이에 대한 모의실험의 목적은 스위칭 현상을 분석하여 경향성을 파악하기 위함이지 정확한 MOSFET 모델을 만드는데 있지 않다.

3.3 작은 게이트 저항을 가지는 MOSFET의 턴-오프 과도 분석

본 절에서는 앞 절의 MOSFET 등가회로를 이용하여 기생 캐패시터와 기생 인덕터를 고려한 스위칭 과도를 분석한다. 기생 성분을 고려한 스위칭 과도를 분석하기 어려운 이유는 다이오드의 턴-온, 턴-오프로 인한 스위칭 회로의 변동과 MOSFET의 동작영역에 따른 모델의 변화 때문이다. 따라서 단일한 선형 회로 해석이 아닌, 각 소자의 전류, 전압 조건을 검토하고 해당 조건에 맞도록 능동소자의 등가회로를 변경해주어야 한다.

기존의 분석의 경우, 그러한 동작 영역별 구분이 비교적 단순하여 해석적 분석이 가능하였지만, 기생 L과 C를 고려해야 하는 회로에 대해서는 같은 게이트 저항을 사용해도 L과 C의 값에 따라, 또는 동일한 기생 L, C 값을 사용한다 하더라도, 게이트 저항값에 따라 능동소자의 동작 영역이 변화하기 때문에 분석이 어려워진다.

이번 절에서는 매우 작은 게이트 저항을 가질때의 MOSFET 턴-오프 과도를 분석해본다. 매우 작은 저항을 고려하는 이유는 회로를 최대한 단순화하여 한 극단의 면을 살펴보기 위함이다. 게이트 저항이 매우 작은 영역에서는 스위칭회로가 단순해지며, 해석이 비교적 쉬워진다. 근사회로에 기반한스위칭 과도 분석을 통해 매우 빠른 스위칭 영역에서의 스위칭 특성을 분석하고 회로상의 기생성분인 L,C와 부하전류 I_L 의해 MOSFET의 과전압이 어떻게 형성되는지 분석해 본다.

먼저 그림 3-21의 MOSFET 등가회로의 근사회로를 고려한다. 여기서 R_{eq} 와 C_{eq} 는 아래와 같다.

$$R_{eq} = \left(1 + \frac{C_{gs}}{C_{gd}}\right) \frac{1}{g_m} . \quad (3.29)$$

$$C_{eq} = C_{gd}g_mR_g . \quad (3.30)$$

만약 (3.31)의 부등호가 만족된다면 위 회로는 아래 회로와 같이 근사될 수 있다.

$$C_{ds} \gg C_{eq} \quad \text{또는} \quad 1 \gg \frac{C_{eq}}{C_{ds}} . \quad (3.31)$$

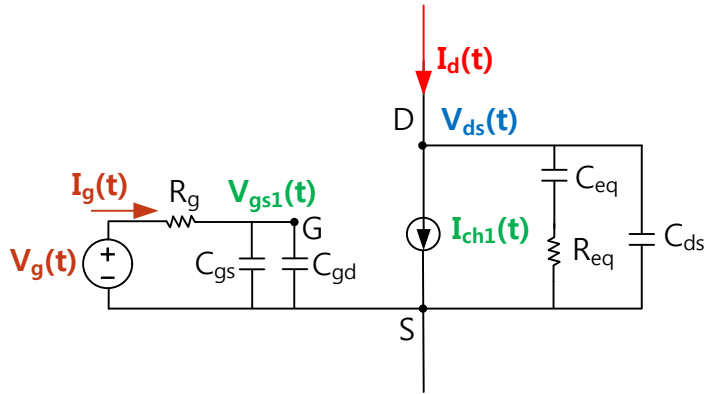


그림 3-21. MOSFET의 근사회로

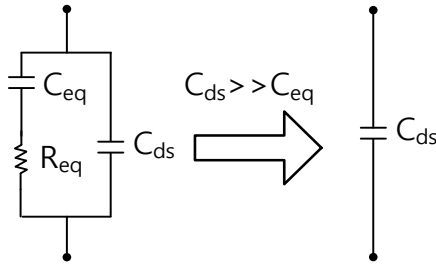


그림 3-22. C_{eq} , R_{eq} , C_{ds} 임피던스의 C_{ds} 임피던스 근사

위 회로의 근사과정을 임피던스 식으로 표현하면 (3.32)와 같다.

$$\frac{R_{eq} + \frac{1}{C_{eq}s}}{R_{eq} + \left(1 + \frac{C_{eq}}{C_{ds}}\right) \frac{1}{C_{eq}s}} \times \frac{1}{C_{ds}s} \approx \frac{1}{C_{ds}s} \quad (3.32)$$

따라서 (3.33)의 조건을 만족하는 작은 R_g 에 대해서 그림 3-22의 MOSFET 등가회로는 그림 3-23의 회로와 같이 근사 가능하다.

$$C_{ds} \gg C_{gd}g_m R_g \quad \text{또는} \quad \frac{C_{ds}}{C_{gd}g_m} \gg R_g \quad (3.33)$$

그림 3-23의 근사회로는 사실상 MOSFET의 등가회로에 기생 캐패시턴스 성분만이 존재하는 회로이다. 또한 R_g 가 매우 작기 때문에 채널전류는 부하전류 I_L 에서 0으로 급격이 감소한다. 이런 조건에서의 회로 해석을 단순화 하기 위해 R_g 를 0으로 보내어 회로의 과도 상태를 분석해 본다.

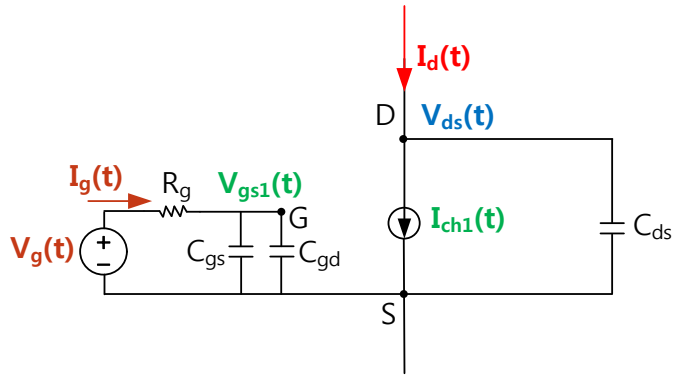


그림 3-23. 작은 R_g 를 가지는 MOSFET 등가회로의 근사회로 대상이 되는 턴-오프 스위칭 회로는 그림 3-24과 같다.

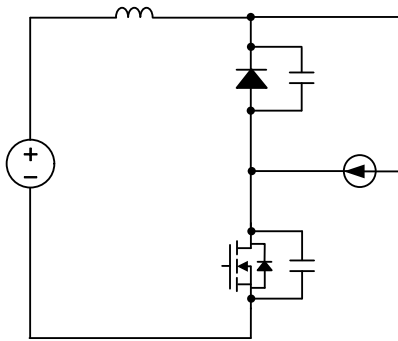


그림 3-24. 기생 인덕터와 기생 캐패시터를 가지는 더블펄스 실험의 등가회로

여기서 R_g 가 0으로 근접하면 MOSFET 등가회로는 아래와 같이 단순화가 가능하다.

$$R_g \rightarrow 0 . \quad (3.34)$$

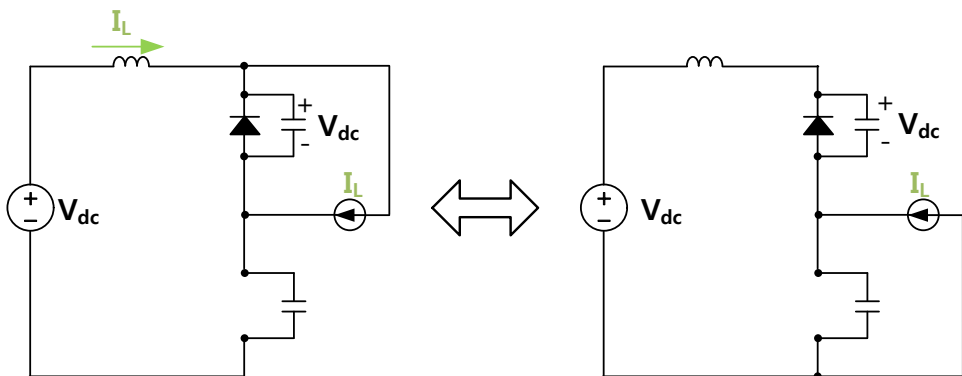


그림 3-25. 기생 인덕터와 기생 캐패시터를 가지는 더블펄스 실험의 등가회로

R_g 가 매우 작기 때문에 $t=0$ 에서 채널전류는 0으로 즉시 차단되게 되어 그림 3-24의 회로는 그림 3-25과 같이 초기 조건을 가진 L-C-다이오드 회로로 근사된다. 따라서 MOSFET의 모델을 일부 생략할 수 있으므로, 좀더 편리한 해석이 가능하다. 이 회로는 5장에서 소개할 등가회로 변환의 원리를 이용하여 그림 3-25의 우측 그림과 같이 부하전류의 위치를 아래 상으로 이동시키는 것이 가능하다. 그림 3-25의 두 회로 중에, 해석하기 편리한 회로를 선택한다. 턴-오프 과도분석의 경우 좌측의 회로가 더 편리하다. 이는 다이오드 턴-온 이후, 정전류원이 모두 다이오드를 통해 도통하기 때문에 사실상 회로에서 정전류원을 제거할수 있기 때문이다.

먼저 초기 상태의 다이오드가 턴-오프 상태이기 때문에 위 회로를 그림 3-26와 같이 다이오드를 제거하여 단순화할 수 있다.

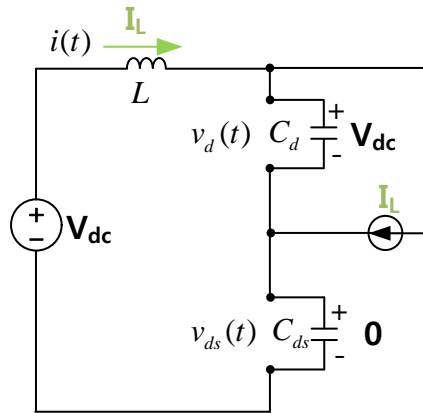


그림 3-26. 작은 R_g 를 가지는 더블펄스 실험의 등가회로 근사회로 중 다이오드 턴-오프 회로

다이오드 양단의 기생 캐패시터를 C_d , MOSFET 양단의 기생 캐패시터를 C_{ds} 라 할 때 위 회로에 대한 전압과 전류의 방정식을 세우면 아래와 같다.

$$V_{dc} = L \frac{di(t)}{dt} + v_d(t) + v_{ds}(t) \quad (3.35)$$

$$i(t) = I_L + C_d \frac{dv_d(t)}{dt} \quad (3.36)$$

$$C_d \frac{dv_d(t)}{dt} + I_L = C_{ds} \frac{dv_{ds}(t)}{dt} \quad (3.37)$$

각 함수의 초기값은 다음과 같다.

$$\begin{aligned} i(0) &= I_L \\ v_d(0) &= V_{dc} \\ v_{ds}(0) &= 0 \end{aligned}$$

위 미분 방정식들의 해는 다음과 같다. (3.38) (3.41)

$$v_d(t) = \frac{1}{\omega_0} \frac{1}{C_d + C_{ds}} I_L \sin(\omega_0 t) - \frac{1}{C_d + C_{ds}} I_L t + V_{dc} \quad (3.38)$$

$$v_{ds}(t) = \frac{1}{\omega_0} \frac{C_d}{C_{ds}} \frac{1}{C_d + C_{ds}} I_L \sin(\omega_0 t) + \frac{1}{C_d + C_{ds}} I_L t \quad (3.39)$$

$$i(t) = \frac{C_d}{C_d + C_{ds}} I_L \cos(\omega_0 t) + \frac{C_{ds}}{C_d + C_{ds}} I_L \quad (3.40)$$

$$\omega_0 = \frac{1}{\sqrt{LC_{eq}}}, \quad C_{eq} = \left(\frac{1}{C_d} + \frac{1}{C_{ds}} \right)^{-1} \quad (3.41)$$

다이오드의 기생 캐패시터 C_d 와 MOSFET의 기생 캐패시터 C_{ds} 는 같은 C 라고 가정한다. 이 가정이 유효한 이유는 대부분의 Leg 구조의 컨버터는 윗상과 아래상이 대칭적으로 이루어져 있기 때문이다. 여기서 분석하는 회로의 윗상에는 다이오드만 존재하지만, 실제로는 턴-오프된 MOSFET이 병렬로 존재하는 경우가 대부분이다. 따라서 두 소자의 기생 캐패시터 성분은 동일하다는 가정은 타당하다. 아래와 같이 캐패시터를 동일한 값으로 변환하면 위 식은 좀 더 간단해 진다.

$$C_{ds} = C_d = C \quad (3.42)$$

$$v_d(t) = \frac{1}{\omega_0} \frac{1}{2C} I_L \sin(\omega_0 t) - \frac{1}{2C} I_L t + V_{dc} \quad (3.43)$$

$$v_{ds}(t) = \frac{1}{\omega_0} \frac{1}{2C} I_L \sin(\omega_0 t) + \frac{1}{2C} I_L t \quad (3.44)$$

$$i(t) = \frac{1}{2} I_L \cos(\omega_0 t) + \frac{1}{2} I_L \quad (3.45)$$

$$\omega_0 = \frac{1}{\sqrt{LC_{eq}}}, \quad C_{eq} = \frac{1}{2} C \quad (3.46)$$

그 다음 과정으로는 다이오드 전압 $v_d(t)$ 가 0이 될 때의 시간 t_0 를 구하고, 그때의 MOSFET 전압 $v_{ds}(t_0)$, 와 전류 $i(t_0)$ 을 구해야 한다. 해당 값들은 다이오드가 턴-온 되고 난 뒤의 회로의 초기값으로 활용되며, 해당회로의 미분방정식의 해를 구하면 된다.

먼저 다이오드가 턴-온 되고 난 이후의 회로를 표기하면 그림 3-27과 같다.

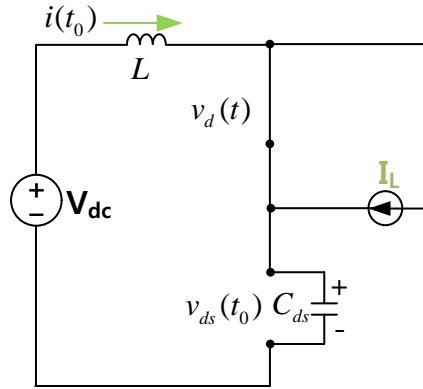


그림 3-27. 작은 R_g 를 가지는 더블펄스 실험의 등가회로 근사회로 중 다이오드 턴-온 회로

다이오드가 턴-온 되었으므로, 전류원은 회로에서 제외시켜도 무방하다. 따라서 위 회로는 t_0 에서의 초기값을 가지는 LC 공진 회로가 된다. 위의 공진회로에서는 저항이 존재하지 않으므로 회로상 공진에 의한 전류/전압 진동은 감쇄되지 않고 지속된다. 만약 회로상의 작은 저항성분이 존재하면 해당 진동은 점차적으로 감쇄할 것이다. 여기서는 MOSFET의 전압 최대값이 주 관심사이므로, 공진 회로에서의 C_{ds} 의 전압 최대 값을 계산해 본다.

공진회로에서의 캐패시터의 전압 최대값은 에너지 식을 통해 쉽게 도출할수 있다. 식 (3.47)의 좌측은 DC 전원이 $t_0 \sim t_1$ 의 시간동안 공급하는 에너지와, t_0 에서 L과 C에 저장된 에너지를 의미하며, 우측은 t_1 이라는 시간에 L과 C에 저장된 에너지를 의미한다.

$$\int_{t_0}^{t_1} V_{dc} \times i(t) dt + \frac{1}{2} Li(t_0)^2 + \frac{1}{2} C v_{ds}(t_0)^2 = \frac{1}{2} Li(t_1)^2 + \frac{1}{2} C v_c(t_1)^2 \quad (3.47)$$

공진 회로이기 때문에 캐패시터의 전압과 전류의 위상은 항상 90도 차이가 있다. 또한 전류, 전압이 공진을 하며 상태를 유지하고 있으므로, 전압의 평균값은 V_{dc} 이며, 전류의 평균값은 0이다. 따라서 캐패시터의 전압이 최대가 될 때의 전류의 값은 0임을 쉽게 추정할수 있다.

전압이 최대가 될때의 시간을 t_1 이라 하면 위 식은 아래와 같이 다시 쓸수 있다.

$$V_{dc} \int_{t_0}^{t_1} i(t) dt + \frac{1}{2} Li(t_0)^2 + \frac{1}{2} C v_{ds}(t_0)^2 = \frac{1}{2} C v_c(t_1)^2 \quad (3.48)$$

여기서 DC전원의 공급 에너지항에서 전압은 V_{dc} 로 고정되어 있으므로, 적분식 외부로 빠져 나올 수 있다. 여기서 전류의 $t_0 \sim t_1$ 까지의 적분은 전원이 공급한 전하량과 같으며, 이 전하량은 모두 캐패시터로 흘러들어가기 때문에 아래 식이 성립한다.

$$\int_{t_0}^{t_1} i(t)dt = \Delta Q_c = C\{v_{ds}(t_1) - v_{ds}(t_0)\} \quad (3.49)$$

위 적분식을 (3.48)에 대입하여 MOSFET의 전압 최대값인 $v_{ds}(t_1)$ 에 대해 정리하면 아래와 같다.

$$v_{ds}(t_1) = V_{dc} \pm \sqrt{(V_{dc} - v_{ds}(t_0))^2 + \frac{L}{C}i(t_0)^2} \quad (3.50)$$

위 식의 v_{ds} 는 두가지 값이 나오는데, 공진하는 전압 전류 파형에서 전류가 0이 되는 시점에서의 전압은 최대 값과 최소 값, 두 값이 존재하기 때문이다. 따라서 위 값의 큰 값은 $v_{ds}(t)$ 의 최대 값이며, 작은 값은 $v_{ds}(t)$ 의 최소 값이다. 따라서 MOSFET의 전압 최대 값 V_{peak} 는 아래와 같이 표시된다.

$$V_{peak} = V_{dc} + \sqrt{(V_{dc} - v_{ds}(t_0))^2 + \frac{L}{C}i(t_0)^2} \quad (3.51)$$

위 식에서 알 수 있듯이 V_{peak} 값이 최소가 되면, 즉, V_{dc} 가 되어 과전압이 전혀 없는 상태가 될수 있는데, 이 조건을 만족하기위한 전압, 전류의 초기값은 다음과 같다.

$$v_{ds}(t_0) = V_{dc} \quad (3.52)$$

$$i(t_0) = 0 \quad (3.53)$$

즉, 다이오드가 턴-온 될때의 MOSFET의 전압이 V_{dc} , 전류는 0일 때 과전압이 전혀 발생하지 않는다는 것이다. 해당 조건을 만족하는 해가 존재하는지 검토해 보도록 한다.

먼저 전류가 0이 되기 위한 조건은 위 식의 전류 해를 통해 다음과 같이 표시된다.

$$i(t_0) = \frac{1}{2}I_L \cos(\omega_0 t_0) + \frac{1}{2}I_L = 0 \quad (3.54)$$

$$t_0 = \frac{1}{\omega_0} \pi(2k + 1), k = 0,1,2, \dots \quad (3.55)$$

이 t_0 를 MOSFET 전압 $v_{ds}(t_0)$ 에 대입하면 다음과 같다.

$$v_{ds}(t) = \frac{1}{\omega_0} \frac{1}{2C} I_L \sin(\omega_0 t) + \frac{1}{2C} I_L t . \quad (3.56)$$

$$v_{ds}(t_0) = \frac{1}{2C} I_L t_0 . \quad (3.57)$$

위 식의 값이 V_{dc} 가 되어야 하므로, $v_{ds}(t_0)$ 가 V_{dc} 가 되기 위한 t_0 의 조건을 구하면 다음과 같다.

$$v_{ds}(t_0) = \frac{1}{2C} I_L t_0 = V_{dc} . \quad (3.58)$$

$$t_0 = 2C \frac{V_{dc}}{I_L} . \quad (3.59)$$

위의 t_0 는 전류가 0이 되기 위한 t_0 와 같아야 하므로 아래식을 만족해야 한다.

$$t_0 = 2C \frac{V_{dc}}{I_L} = \frac{1}{\omega_0} \pi(2k+1), \quad k = 0, 1, 2, \dots . \quad (3.60)$$

위식을 부하전류 I_L 에 대해 정리하면 아래와 같다.

$$I_L = \sqrt{\frac{C}{L}} \frac{2\sqrt{2}V_{dc}}{\pi(2k+1)}, \quad k = 0, 1, 2, \dots . \quad (3.61)$$

위 식이 의미하는 바는, 회로상의 기생 L , C 값과 V_{dc} 값에 대해 위식을 만족하는 부하전류 I_L 에 대해 매우 작은 저항으로 MOSFET을 턴-오프 하여도 과전압이 전혀 발생하지 않는다는 것을 의미한다. 또한 과전압이 발생하지 않는 전류는 임의의 양의 정수 k 에 대해서도 항상 성립하므로, $k=0$ 인 전류 기준으로, 해당 전류의 $1/3$, $1/5$, $1/7$..의 부하전류에 대해서도 과전압이 전혀 발생하지 않을 것임이 예상된다.

여기서 $k=0$ 일때의 I_L 을 기준전류 I_0 라 정의하면 다음과 같다.

$$I_0 \equiv \sqrt{\frac{C}{L}} \frac{2\sqrt{2}V_{dc}}{\pi} . \quad (3.62)$$

위의 정의를 이용하여 위의 미분방정식의 해를 다시 표현하면 다음과 같다.

$$v_d(t) = \frac{V_{dc} I_L}{\pi I_0} \sin(\omega_0 t) - \frac{V_{dc} I_L}{\pi I_0} \omega_0 t + V_{dc} . \quad (3.63)$$

$$v_{ds}(t) = \frac{V_{dc} I_L}{\pi I_0} \sin(\omega_0 t) + \frac{V_{dc} I_L}{\pi I_0} \omega_0 t . \quad (3.64)$$

$$i(t) = \frac{1}{2} I_L \cos(\omega_0 t) + \frac{1}{2} I_L . \quad (3.65)$$

앞의 식들에서 스위치의 과전압이 발생하지 않는 조건을 찾았다.

지금부터는 모든 부하전류에 대해 스위치 과전압이 어떻게 발생하는지 분석해 본다. 앞에서 언급했듯이, 스위치 과전압을 계산하기 위해서는 다이오드가 턴-온되는 시간 t_0 에서의 전압, 전류 값을 구해야 한다.

다이오드 전압이 0이 되는 시점 t_0 를 표현하면 다음과 같다.

$$v_a(t_0) = \frac{V_{dc} I_L}{\pi I_0} \sin(\omega_0 t_0) - \frac{V_{dc} I_L}{\pi I_0} \omega_0 t_0 + V_{dc} = 0 \quad (3.66)$$

위식을 간단히 하기 위해 아래와 같이 치환한다.

$$\theta_0 \equiv \omega_0 t_0 \quad (3.67)$$

$$\sin(\theta_0) = \theta_0 - \frac{I_0}{I_L} \pi \quad (3.68)$$

위 방정식을 만족하는 해는 단일함수로 간단하게 표현할 수 없다. 하지만 정현 함수와 선형 함수의 교점위 위치를 고려하면 해당 방정식의 해의 형태를 유추할 수 있다. 위 식의 변수는 부하전류 I_L 이며, 이에따른 다이오드 턴-온시간 t_0 또는 치환된 변수 θ_0 에 대한 해는 주기적임을 유추할 수 있다. 예를 들어 정현 함수의 한 주기 내에서 $1/I_L$ 이 증가함에 따라 방정식의 해 θ_0 도 같이 증가하며, 이러한 해는 주기가 반복될수록 계속하여 반복됨을 알 수 있다. 또한 이러한 주기중에 (3.61)을 만족하는 전류 I_0 에 대해서는 과전압이 0이므로, 실제 부하전류에 따른 과전압의 형태는 주기성을 가질 것이라고 예상할 수 있다.

다이오드가 턴-온될때의 시간을 수식적으로 표현할 수는 없지만, 해를 θ_0 라 표현하고 (3.63)~(3.65)에 대입하여 다이오드가 턴-온 될때의 전압 전류 값을 구하면 다음과 같다.

$$v_a(t_0) = 0 \quad (3.69)$$

$$v_{as}(t_0) = \frac{V_{dc} I_L}{\pi I_0} \sin(\theta_0) + \frac{V_{dc} I_L}{\pi I_0} \theta_0 \quad (3.70)$$

$$i(t_0) = \frac{1}{2} I_L \cos(\theta_0) + \frac{1}{2} I_L \quad (3.71)$$

위 값을 앞에서 구한 과전압 식에 대입하면 다음과 같다.

$$V_{peak} = V_{dc} + \sqrt{f(\theta_0)} \quad (3.72)$$

$$f(\theta_0) \equiv 2V_{dc}^2 \frac{(1+\cos(\theta_0))(3-\cos(\theta_0))}{(\theta_0 - \sin(\theta_0))^2} \quad (3.73)$$

식 (3.72)의 제곱근에 해당하는 값은 실제 V_{dc} 를 넘어서는 과전압을 의미한다. 제곱근 안의 식인 $f(\theta_0)$ 에서 분모는 미분값이 항상 양수인

단조(Monotonic)증가 함수이고, 분모는 주기함수이기 때문에 과전압이 주기적인 함수의 형태를 가진다는 것을 예상할 수 있다. 이 주기성 안에서 최대, 최소값을 찾기위해 $f(\theta_0)$ 를 θ_0 에 대해 미분하면 다음과 같다.

$$f'(\theta_0) = \frac{df(\theta_0)}{d\theta_0} = \sin(\theta_0) \times [2\theta_0(\cos(\theta_0) - 1) - 4\sin(\theta_0)] . \quad (3.74)$$

위 미분함수가 0 이되는 조건은 정현 항과 정현 항을 제외한 항에서 찾을 수가 있다. 정현 항에 의해 0이 되는 조건은 다음과 같다.

$$\theta_0 = \pi n, \quad n = 1, 2, 3, \dots . \quad (3.75)$$

정현 항을 제외한 항에 의해 0이 되는 필요 조건은 다음과 같다. 필요 조건인 이유는 아래 해 이외의 표현되지 않는 해가 존재하기 때문이다.

$$\theta_0 = 2\pi n, \quad n = 1, 2, 3, \dots . \quad (3.76)$$

따라서 과전압의 최소 또는 최대값은 θ_0 가 π 의 배수인 경우 발생한다. θ_0 는 아래 식을 만족해야 하므로, 아래 식을 이용하여 θ_0 를 π 의 짝수배와 홀수배의 해로 나누어 V_{peak} 값을 구하면 다음과 같다.

$$\sin(\theta_0) = \theta_0 - \frac{I_0}{I_L} \pi . \quad (3.77)$$

1. $\theta_0 = 2\pi n, \quad n = 1, 2, 3 \dots$ 인 경우

$$\theta_0 = \pi(2n) = \frac{I_0}{I_L} \pi . \quad (3.78)$$

$$I_L = \frac{I_0}{2n} . \quad (3.79)$$

$$f(\theta_0) = \frac{2V_{dc}^2}{\pi^2 n^2} . \quad (3.80)$$

$$V_{peak} = V_{dc} + \frac{\sqrt{2}}{\pi k} V_{dc} . \quad (3.81)$$

2. $\theta_0 = \pi(2n - 1), \quad n = 1, 2, 3 \dots$ 인 경우

$$\theta_0 = \pi(2n - 1) = \frac{I_0}{I_L} \pi . \quad (3.82)$$

$$I_L = \frac{I_0}{2n-1} . \quad (3.83)$$

$$f(\theta_0) = 0 . \quad (3.84)$$

$$V_{peak} = V_{dc} . \quad (3.85)$$

따라서 기준전류 I_0 에 대해 I_0 의 $1/2, 1/4, 1/6..$ 의 전류에 대해서는 과전압이 $\frac{\sqrt{2}}{\pi}V_{dc}, \frac{\sqrt{2}}{\pi^2}V_{dc}, \frac{\sqrt{2}}{\pi^3}V_{dc}, \dots$ 으로 발생하며, 기준전류 I_0 의 $1/3, 1/5, 1/7, 1/9$ 에 대해서는 과전압이 전혀 발생하지 않는다.

위의 해석이 타당한지 확인하기 위해 (3.68)을 만족하는 해를 수치해석적 방법으로 구하여 (3.72)의 과전압을 도시한 것이 그림 3-28이다.

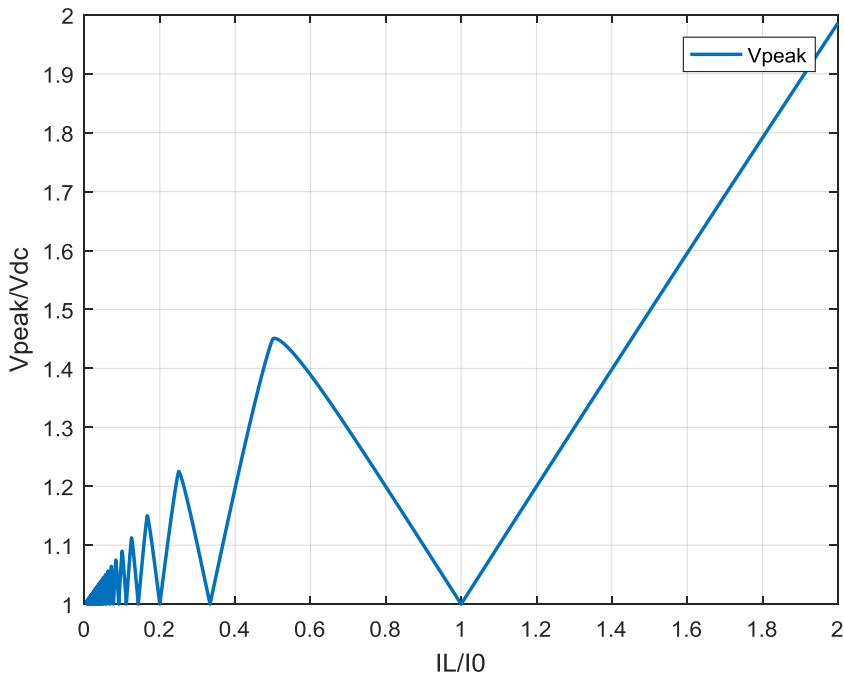


그림 3-28. 작은 R_g 를 가지는 더블펄스 회로에서 수치해석적 방법으로 구한 부하전류에 따른 MOSFET의 과전압 경향

위 그래프의 X축은 부하전류를 기준전류 I_0 로 나누어 정규화(normalize)한 것이며, Y축은 V_{peak} 를 DC링크 전압 V_{dc} 로 나누어 정규화하였다. 해당 그래프에서 확인할수 있듯이 I_0 를 기준으로 $1/2, 1/4, 1/6..$ 에서 과전압의 최대치가 발생하며 I_0 의 $1/3, 1/5, 1/7..$ 에서 과전압이 전혀 발생하지 않는 것을 확인 할수 있다. 이때의 최대 과전압의 크기는 앞에서 분석한 크기와 정확하게 일치한다. 또한 기준전류 I_0 보다 큰 부하전류 I_L 에 대해서는 과전압이 선형적으로 증가하는 것을 알 수 있다.

위의 분석결과는 여러 의미를 지닌다. 첫째로는 앞절에서 분석하였듯이 V_{peak} 전압이 부하전류에 비례하여 커진다고 알려져 있었지만, 본절에서 유도된 바와 같이 작은 게이트 저항을 사용할 경우에는 비례관계가 성립하지 않으며, 심지어 과전압이 발생하지 않는 전류범위가 존재한다는 것이다. 두번째로는 기준전류 I_0 에 대해 정규화가 가능하기 때문에 어떤 기생 인덕턴스 L 과 기생 캐패시턴스 C 의 조합에도 적용 가능하다. 셋째로는 기준 전류 I_0 이후에는 전류에 비례하여 과전압이 발생하므로, 기준 전류 I_0 를 최대한 큰 값으로 가져가도록 전력변환장치를 설계하는 것이 유리하다. 따라서 아래의 기준전류 수식을 이용하여 전력변환장치가 가져야할 적절한 범위의 기생 인덕턴스 값과 DC 링크 값의 범위를 제한할 수 있다.

$$I_0 \equiv \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} . \quad (3.86)$$

앞에서 분석한 내용에 대한 검증 차원에서 아래의 회로에 대한 컴퓨터 모의실험을 수행하였다.

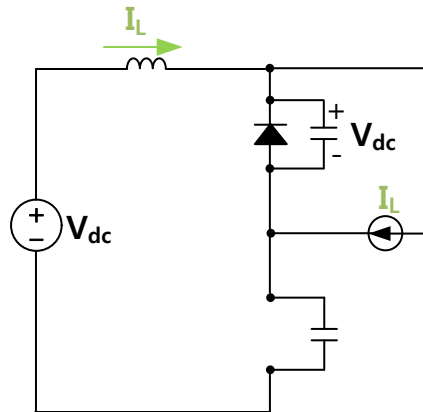


그림 3-29. 컴퓨터 모의실험을 위한 스위칭 등가회로

컴퓨터 모의실험에서 사용한 파라미터 값은 다음과 같다.

$$\langle V_{dc}=600V, L=30nH, C=1nF, I_L=1\sim 200A \rangle$$

위의 회로를 부하전류 1~200A까지 변경하며 총 200번의 시뮬레이션을 수행하였고, 각각의 시뮬레이션에서 MOSFET의 전압 최대값은 아래와 같이 도시된다.

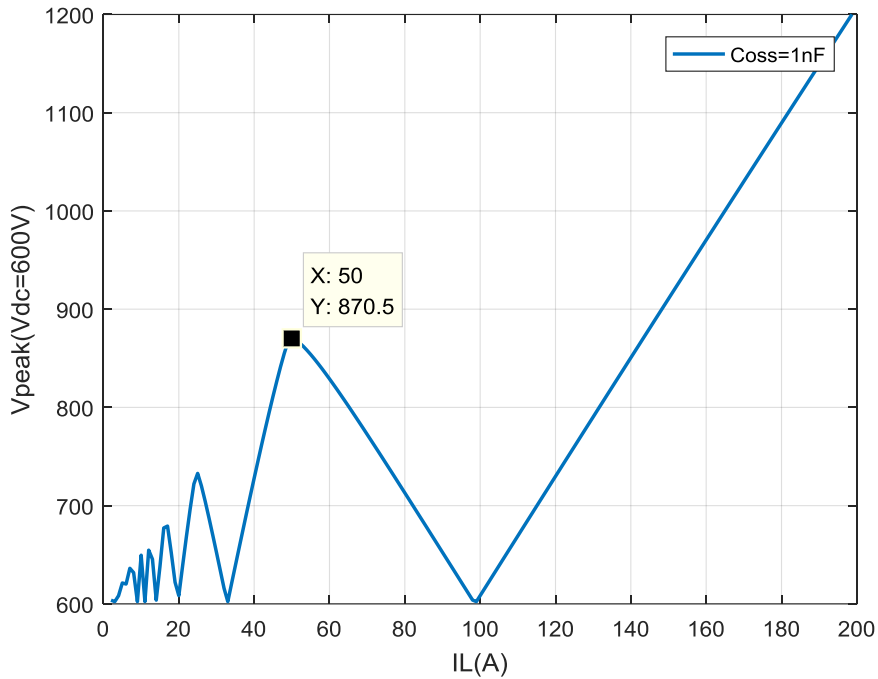


그림 3-30. 컴퓨터 모의실험을 통해 구한 부하전류에 따른 MOSFET 과전압 경향

분석에서 예상한 대로 기준전류 100A 근처에서 최소 전압이 발생하였고, 그러한 경향은 1/3, 1/5, 1/7... 지점에서도 동일하게 나타나는 것을 확인 했다.

$$I_0 \equiv \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} = 98.624A \quad (3.87)$$

또한 I_0 의 1/2, 1/4, 1/6.. 지점에서 과전압의 최대값이 발생함을 확인하였다. 그중 $I_0/2$ 전류에서 발생하는 과전압은 분석에서 예상한 값인 870V에 근접한 값으로 관찰된다.

$$V_{peak} = V_{dc} + \frac{\sqrt{2}}{\pi} V_{dc} = 870.09V \quad (3.88)$$

앞의 분석과 모의실험은 모두 캐패시터값이 일정한 캐패시터 모델을 사용한 결과이다. 하지만 실제 MOSFET의 기생 캐패시터는 V_{ds} 에 따라 비선형적으로 그 값이 바뀐다. 그림 3-31은 1200V, 120A Full SiC 소자의 V_{ds} 에 따른 C_{oss} 의 변화 추이를 보여준다.

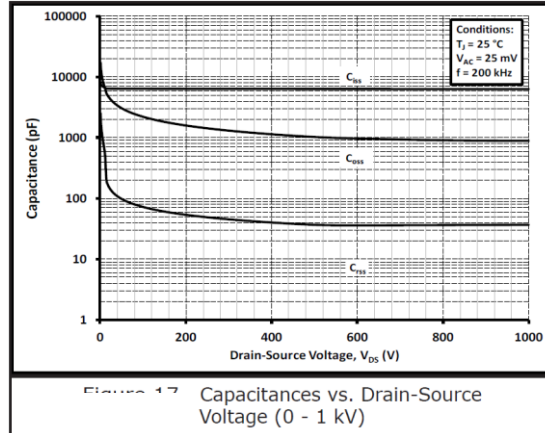


그림 3-31. 1200V, 120A Full SiC 소자의 Vds 크기에 따른 기생 캐패시턴스 변화

실제 MOSFET에서는 비선형적인 기생 캐패시터를 가지고 있다. 따라서 고정된 값의 캐패시터가 아닌 위와 같은 비선형적인 캐패시터를 사용해도 비슷한 경향이 나타나는지 확인해 보고자 한다. 아래는 위의 그래프를 이용하여 비선형 캐패시터 성분을 앞절의 회로 시뮬레이션에 포함하여 수행한 결과이다. 시뮬레이션 조건은 아래와 같다.

$$\langle V_{dc}=600V, L=30nH, C=\text{비선형 조건}, I_L=1\sim 200A \rangle$$

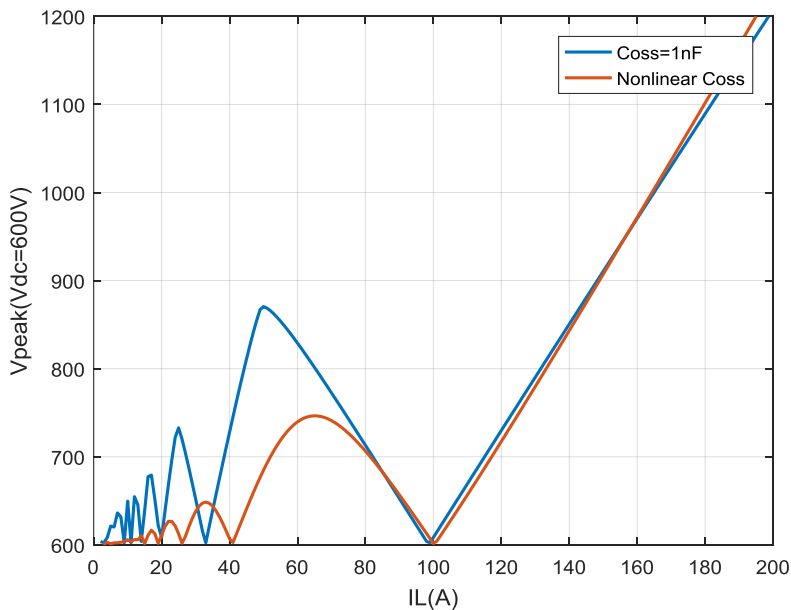


그림 3-32. 컴퓨터 모의실험을 통해 구한 비선형 기생 캐패시터를 가지는 MOSFET의 부하전류에 따른 과전압 경향

그림 3-32는 1nF의 고정된 캐패시터를 사용한 경우와 비선형 기생 캐패시터를 사용한 경우를 같이 도시하였다. 비선형 캐패시터를 사용할 경우, 고정된 값을 사용한 경우와 비교하여 그 크기와 주기가 달라짐을 확인할 수 있다. 하지만 전체적으로 주기를 가지는 경향은 유지되고 있음을 확인 할 수 있다.

해당 현상이 위와 같은 간략화한 모델에서가 아닌 SPICE 모델에서도 나타나는지 확인해 보았다. 검증에 사용한 SiC MOSFET과 SiC 쇼트키 다이오드는 CREE의 1200V, 30A의 SiC MOSFET 소자인 C2M0080120D 와 SiC 쇼트키 다이오드 소자인 CPW41200S020B 를 사용하였다. SPICE 모델에서는 인덕턴스 변동에따른 기준전류 I_0 의 변화도 같이 관찰하기 위해 기생 인덕턴스가 20nH인 경우와 50nH인 경우에 대해 각각 시뮬레이션을 수행하였다. 시뮬레이션 조건은 다음과 같다.

$$\langle V_{dc}=600V, R_g=0.1\Omega, I_L=0\sim 40A, L=20nH \text{ or } 50nH \rangle$$

이때 SiC MOSFET인 C2M0080120D 의 600V 근처에서의 C_{ds} 는 약 80pF 이며, SiC 쇼트키 다이오드인 CPW41200S020B의 600V 근처의 기생 캐패시턴스 C_d 는 약 75pF 이다. 이 값을 이용하여 앞서 정의한 기준전류 I_0 를 각각의 기생 인덕턴스에 따라 계산하면 다음과 같다.

$$C = C_{ds} + C_d = 155pF . \quad (3.89)$$

$$I_{0_20nH} = \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} = 47.73A \quad \text{if } L = 20nH . \quad (3.90)$$

$$I_{0_50nH} = \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} = 30.07A \quad \text{if } L = 50nH . \quad (3.91)$$

시뮬레이션 결과는 그림 3-33과 같다.

게이트 저항을 0.1Ω으로 하고, 기생 인덕턴스 성분을 20nH 와 50nH 각각에 대해 전류를 0~40A까지 변동하여 총 80번의 시뮬레이션한 결과를 그림 3-33에 도시하였다. SPICE 모델에서도 역시 과전압의 주기성이 나타남을 확인 하였으며, 기생 인덕턴스가 증가할 때 기준전류 I_0 는 식 (3.90)와 (3.91) 에서 예상한대로 감소함을 위의 시뮬레이션 결과로부터 확인 할 수 있다.

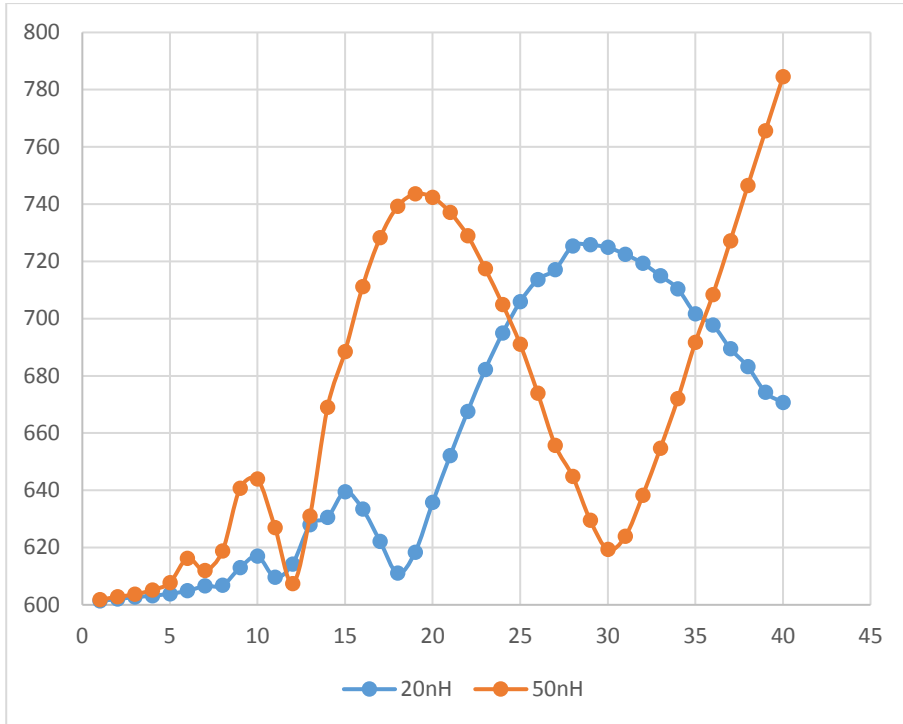


그림 3-33. SPICE 컴퓨터 모의실험을 통해 구한 DC단 기생 인덕턴스 성분이 20nH, 50nH 일때의 MOSFET의 부하전류에 따른 과전압 경향

3.4 게이트 저항 변화에 의한 MOSFET 턴-오프 과전압 경향

앞서 살펴본 바와 같이 게이트 저항이 매우 작은 경우는 부하전류에 따른 과전압의 경향이 주기적임을 확인했다. 이번 절에서는 게이트저항을 점진적으로 증가시켜나갈 때의 부하전류에 대한 과전압의 경향에 대해 알아본다.

게이트 저항이 매우 큰 경우, 기존의 과전압에 대한 분석과 같이 부하전류가 증가하면 그에 비례하여 과전압이 증가하리라 예상할 수 있다. 반면 게이트 저항이 작을 경우에는 과전압의 경향이 주기성을 나타낸다. 따라서 게이트 저항이 매우 작은 값에서 큰값으로 변동시키면 주기성을 가지는 과전압 경향이 점점 부하전류에 비례하는 형태로 변화할 것이라 예상할 수 있다.

이러한 중간 크기 정도의 게이트 저항에 대한 분석은 게이트 저항이

매우 작은 경우와 매우 큰 경우와 달리 까다롭기 때문에 이번 절에서는 저항변화에 따른 과전압 경향을 컴퓨터 모의실험을 통해 알아보려고 한다.

컴퓨터 모의실험은 앞에서 정의한 MOSFET의 포화영역 등가회로와 SPICE 모델을 이용하여 수행한다. 등가회로 모의실험의 경우 기생캐패시터를 고정된 값으로 사용하는 경우와 비선형 캐패시터를 사용하는 경우 모두 수행하여 어떤 차이점이 있는지 확인해 본다.

3.4.1.1 MOSFET 등가회로를 이용한 회로 시뮬레이션

먼저 MOSFET의 포화영역 등가회로를 이용한 회로 시뮬레이션을 수행한다. 모의실험에 사용한 시뮬레이션 회로 모델은 아래와 같다.

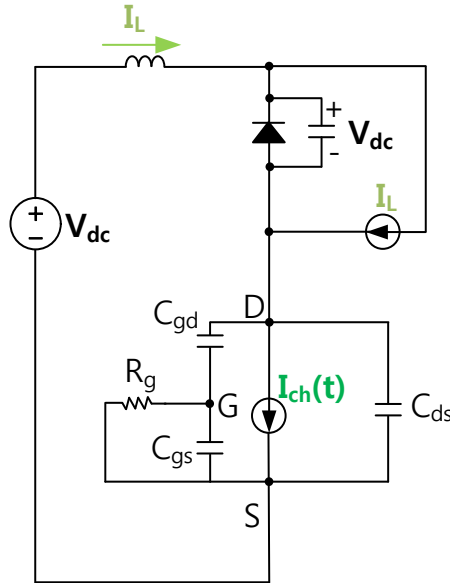


그림 3-34. 컴퓨터 모의실험을 위한 더블펄스 실험 회로와 MOSFET의 등가회로

$$I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) \quad (3.92)$$

위 회로 시뮬레이션에서 사용한 파라미터는 1200V, 120A Full SiC MOSFET 모듈을 참고하여 다음과 같이 설정하였다.

$$\langle V_{dc}=600V, L=30nH, g_m=22S, C_{ds}=1nF, C_{gd}=40pF, C_{gs}=7nF, C_d=1nF, \\ R_g=0.1\sim 5\Omega, I_L=0\sim 200A \rangle$$

회로 시뮬레이션의 결과는 아래와 같다.

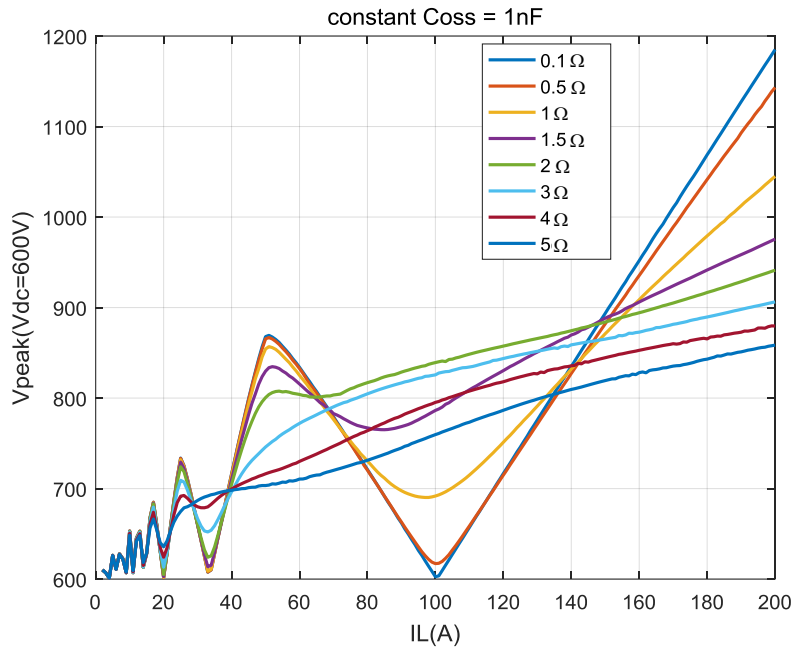


그림 3-35. 컴퓨터 모의실험통해 구한 게이트 저항값 변동에 따른 부하전류에 따른 과전압 경향

앞의 분석을 통해 (3.93)의 부등식을 만족하는 작은 게이트 저항을 사용할 경우 부하전류에 따른 과전압의 형태가 주기성을 보이는 것으로 확인 되었다. 식 (3.93)의 부등식에 해당하는 값들을 대입하면 (3.94)와 같다.

$$\frac{C_{ds}}{C_{gd}g_m} \gg R_g \quad (3.93)$$

$$1.13\Omega \gg R_g \quad (3.94)$$

위 그래프에서 확인할수 있듯이 게이트 저항이 0.5Ω 이하에서는 과전압의 경향이 앞서 분석한 주기적인 형태와 매우 흡사하다. 또한 1.13Ω 이하의 매우 작은 저항에 대해서는 과전압의 발생형태가 아래 수식에 의해 예측한 값과 일치하는 것을 확인할수 있다.

$$I_0 \equiv \sqrt{\frac{C}{L}} \frac{2\sqrt{2}V_{dc}}{\pi} = 98.624A \quad (3.95)$$

$$V_{peak} = V_{dc} + \frac{\sqrt{2}}{\pi} V_{dc} = 870.09V \quad (3.96)$$

게이트 저항이 $1\Omega \sim 1.5\Omega$ 이 범위부터는 부하전류에 대해 과전압의

최고점은 낮아지고, 최저점은 높아지는 경향을 보이며 게이트 저항이 2Ω 보다 커질 때는 과전압은 거의 직선형태를 보인다. 2Ω 보다 더 큰 경우 부하에따른 과전압의 크기가 점점 작아지는 것을 확인 할수 있다. 이러한 경향을 하나의 부하전류에 대한 게이트 저항별 과전압 그래프로 살펴보면 특이한 현상을 발견할수 있다.

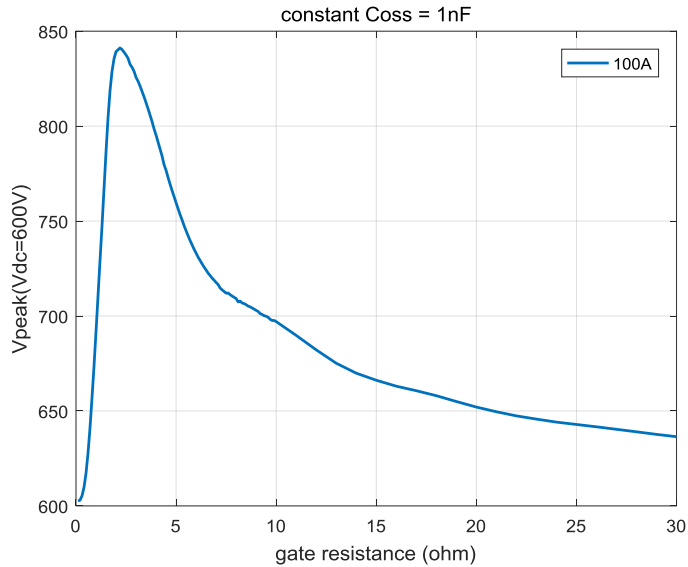


그림 3-36. 기준전류(I_0) 100A 에서의 게이트 저항에 따른 MOSFET의 과전압 경향

그림 3-36는 기준전류(I_0)인 100A 에서의 게이트 저항에따른 과전압 그래프이다. 앞선 기존의 과전압 분석에 의하면 게이트 저항을 증가시키면 과전압의 크기가 줄어드는 것으로 알려져 있다. 하지만 작은 게이트 저항 범위에서는($0\sim 2.2\Omega$) 오히려 게이트 저항을 증가시키면 과전압이 증가하는 것을 발견할 수 있다. 이러한 현상은 기존의 IGBT 소자에서는 존재하지 않으며, 저전압의 Si MOSFET에서는 잘 알려져 있지 않는 사실이다.

기준전류 근처인 60~140A의 부하전류에 대해 게이트 저항에따른 과전압을 도시하면 그림 3-37과 같다.

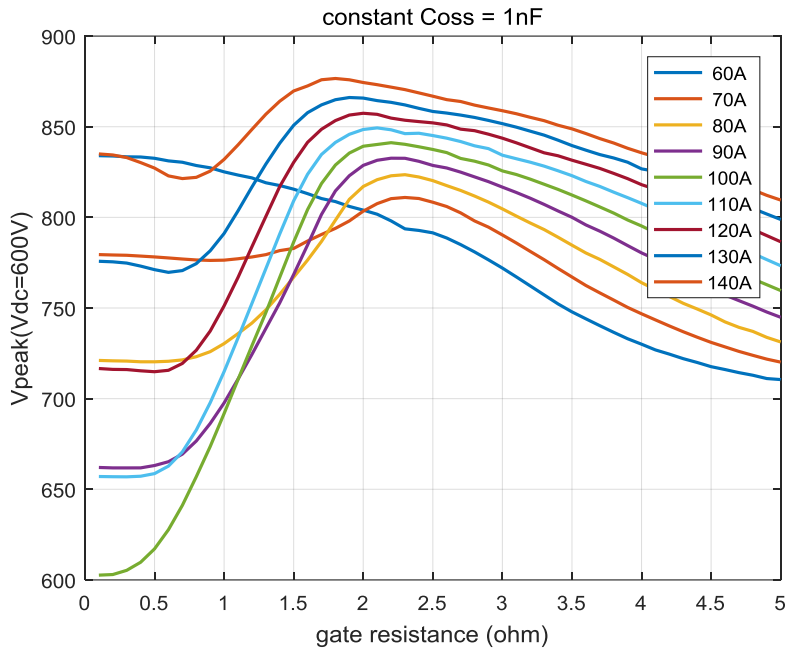


그림 3-37. 기준전류(I_0) 주변에서의 게이트 저항에 따른 MOSFET의 과전압 경향

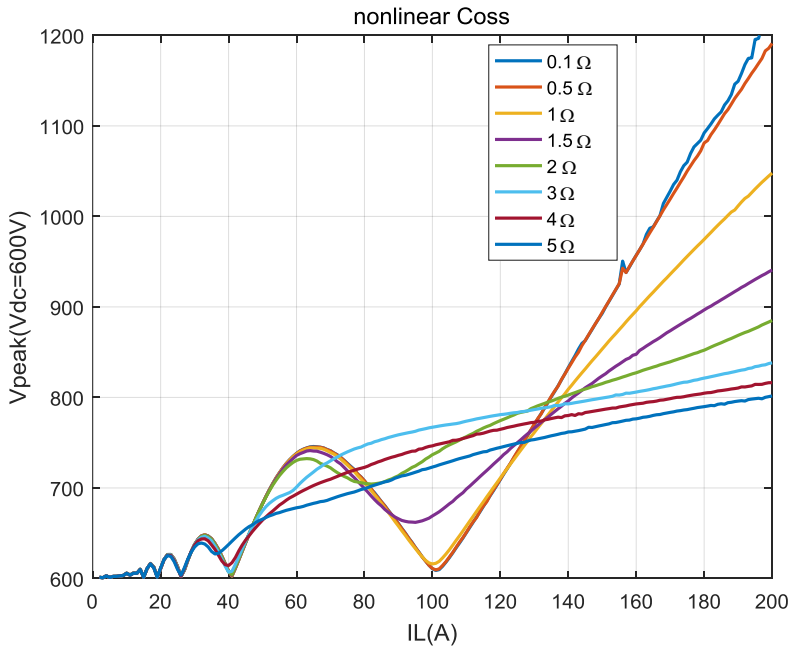


그림 3-38. 비선형 기생 캐패시터를 가지는 MOSFET의 저항에 따른 부하전류에 따른 과전압 경향

그림 3-37에서 볼수 있듯이 게이트 저항이 2Ω 이후부터는 게이트

저항 증가시 과전압이 감소하지만, 그 이하의 저항에서는 그러한 경향이 완전히 사라지는 것을 관찰 할 수 있으며, 오히려 저항이 적어질수록 과전압이 줄어드는 경향을 발견할 수 있다.

다음으로 같은 모의시험을 비선형 캐패시터를 사용하는 경우에 대해 시뮬레이션을 수행 하였다. 시뮬레이션 조건은 위와 동일하다.

<Vdc=600V, L=30nH, gm=22S, Cds=비선형, Cgd=40pF, Cgs=7nF Cd=비선형, Rg=0.1~5 Ω, IL=0~200A>

기생 캐패시터를 비선형으로 하였어도 그 경향 자체는 크게 달라지지 않는다. 작은 게이트 저항을 사용하였을때의 과전압의 최고값은 고정값을 사용하였을때보다 낮아지는 경향이 있으며, 게이트 저항이 증가함에따른 곡선이 변화가 좀더 부드럽게 변화하는 것으로 보인다.

위와 마찬가지로 기준전류 I₀에서의 게이트 저항에따른 과전압을 도시하면 그림 3-39와 같다. 과전압의 최고점의 크기가 선형 기생 캐패시터를 사용한 경우와 비교했을 때 낮아졌지만, 그 경향은 유지되고 있다.

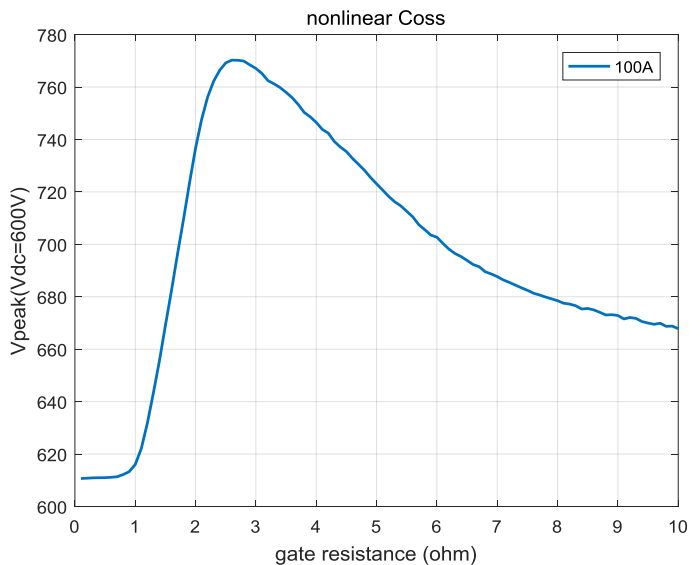


그림 3-39. 기준전류(I₀) 100A 에서의 비선형 기생 캐패시터를 가지는 MOSFET의 저항에따른 과전압 경향

그림 3-40은 기준전류 근처인 60~140A 근처에서의 게이트

저항에 따른 과전압을 도시하였다. 선형 기생 캐패시턴스의 경우와 마찬가지로 비선형 캐패시터의 경우에도 유사한 경향이 나타난다.

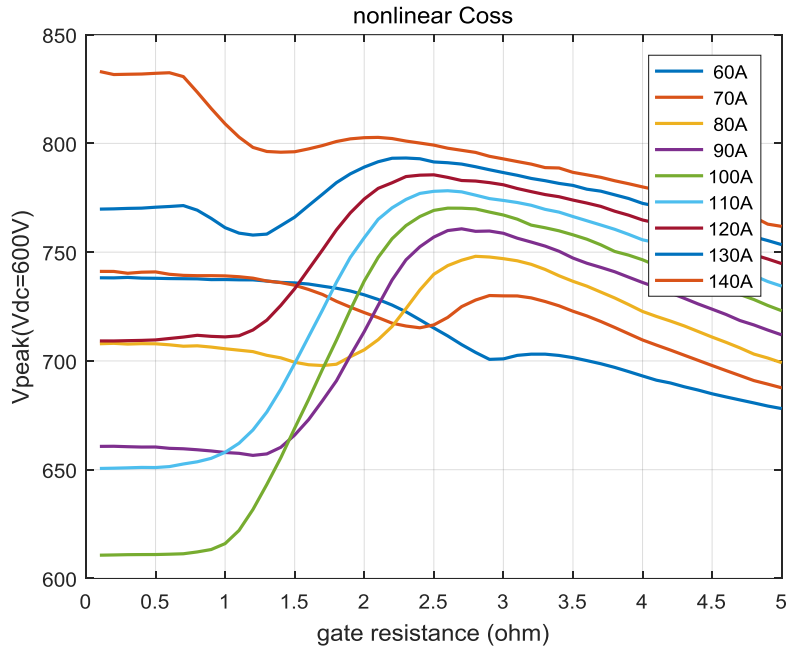


그림 3-40. 기준전류(I_0) 근처 부하전류에서 비선형 기생 캐패시터를 가지는 MOSFET의 저항에 따른 과전압 경향

3.4.1.2 SPICE model을 이용한 모의실험

게이트저항에 따른 과전압의 경향을 SPICE 모델을 통해 확인해 보았다. SPICE 모의 실험에서 사용한 소자는 CREE의 1200V, 30A SiC MOSFET ‘C2M0080120D’ 와 SiC 쇼트키 다이오드 ‘CPW41200S020B’ 이다. 앞에서 사용한 120A Full SiC MOSFET은 작은 용량의 MOSFET소자 6개를 병렬 구성한 모듈이기 때문에 SPICE 모델이 존재하지 않는다. 대신 120A 모듈을 구성하고 있다고 추정되는 30A 소자를 선정하여 SPICE 모의 실험을 수행했다. 이러한 추정은 모듈과 개별소자의 R_{on} 저항값과 기생 캐패시턴스 값으로부터 근거하였다.

아래는 SPICE 모의 실험조건이다.

$$\langle V_{dc}=600V, R_g=0.1 \Omega, I_L=0\sim 40A, L=50nH \rangle$$

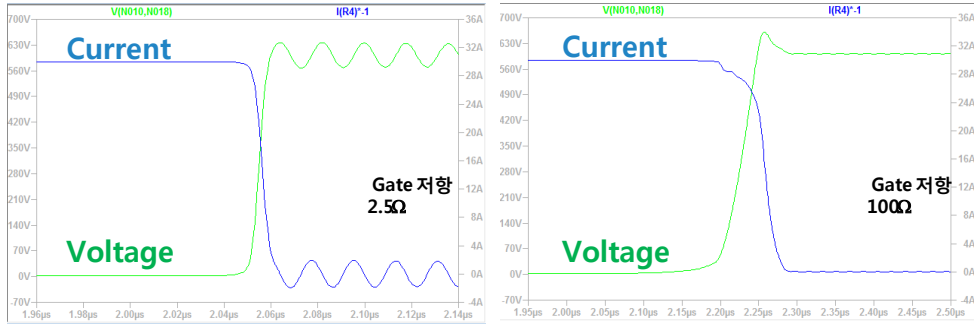


그림 3-41. 게이트 저항 크기에 따른 턴-오프 SPICE 시뮬레이션 결과

그림 3-41은 게이트 저항 크기에 따른 턴-오프 SPICE 시뮬레이션 결과파형이다. 게이트 저항을 2.5Ω 으로 할 때와 100Ω 으로 할때의 파형을 비교하였다. 그림에서 확인할 수 있듯이 게이트 저항이 클 때는 전압이 상승하고 난 뒤 전류가 하강하는 것을 관찰 할 수 있으며, 게이트 저항이 작을 경우에는 전압과 전류가 동시에 상승, 하강 하는 것을 관찰할 수 있다.

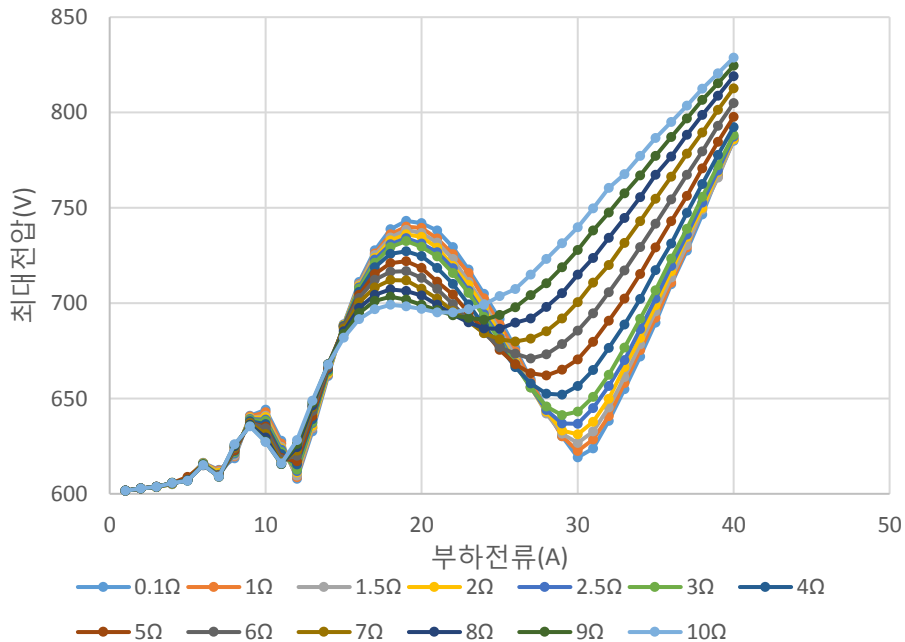


그림 3-42. DC단 기생 인덕턴스가 50nH 일때 SPICE 컴퓨터 모의실험을 통한 저항에 따른 부하전류에따른 MOSFET의 저항에 따른 과전압

그림 3-42은 게이트 저항값과 부하전류에 따른 과전압을 도시한 그래프이다. 회로 시뮬레이션과 마찬가지로 게이트 저항이 작을 때는 부하전류에 따른 과전압이 부하전류에 대해 주기성을 가지지만, 저항이 커지면서 그러한 경향이 사라지는 것을 확인할 수 있다. 따라서 앞의 분석과 마찬가지로, 기준전류 근처에서는 게이트 저항이 증가할수록 MOSFET의 과전압이 증가하는 구간이 생기는 것을 관찰할 수 있다.

위와 같은 SPICE 시뮬레이션에서 기생 인덕턴스 성분을 50nH 에서 20nH로 변경했을때의 부하전류와 게이트 저항에따른 과전압 양상을 그림 3-43에 표시하였다. 기생 인덕턴스 성분이 줄어들어 기준전류의 위치가 더 높은 전류로 이동하여 모의실험의 전류범위 밖으로 밀려난 것을 확인 할 수 있다.

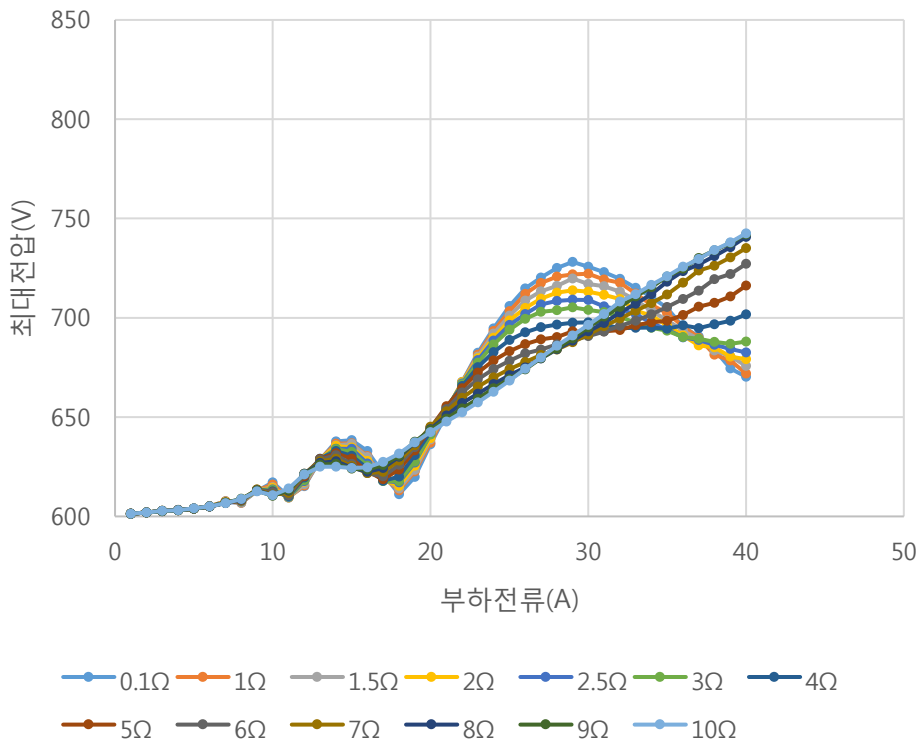


그림 3-43. DC단 기생 인덕턴스가 20nH 일때 SPICE 컴퓨터 모의실험을 통한 저항에 따른 부하전류에따른 MOSFET의 저항에 따른 과전압

3.5 작은 게이트 저항을 가지는 MOSFET의 턴-온 과도 분석

이번 절에서는 매우 작은 게이트 저항을 가질 때의 턴-온 과도를 분석해본다. 앞의 턴-오프때와 마찬가지로, 게이트 저항이 매우 작을 때를 기준으로 회로를 극단적으로 단순화하여 부하전류에 따른 턴-온 특성을 분석해 보도록 한다.

턴-온 과형의 경우, 유의하여 보아야 할 것은 MOSFET 전류의 최대치와 다이오드의 최대 전압이다. 이중에서도 다이오드의 과전압은 일반적인 MOSFET의 과도분석에서는 고려하지 않지만, 본 논문에서는 이를 중점적으로 다루고자 한다. 왜냐하면, 기존의 MOSFET 과도 분석에서는 2장에서의 분석처럼 이상적(Ideal)인 다이오드이기 때문에 0전류에서 다이오드의 턴-오프가 일어난다. 따라서 다이오드 턴-오프에서는 다이오드 과전압이 발생하지 않는 것이 일반적 해석이다. 하지만 다이오드의 기생 캐패시턴스 성분을 고려할 경우, 다이오드가 턴-오프될 때 큰 전류가 흐를수 있기 때문에 다이오드 턴-오프 과전압이 발생한다.

이번 절에서는 MOSFET이 매우 빠른 속도로 턴-온 될 때의 다이오드의 과전압과 MOSFET의 과전류에 대해 분석해 본다. 분석의 대상 회로는 앞의 분석에서 사용한 더블펄스 실험 회로이다. 이때 MOSFET은 턴-오프된 상태이고, 모든 부하전류는 다이오드를 통해 순환하고 있다고 가정한다. 따라서 다이오드 기생 캐패시터의 초기전압은 0이며, MOSFET의 기생 캐패시터의 초기전압은 V_{dc} 이다.

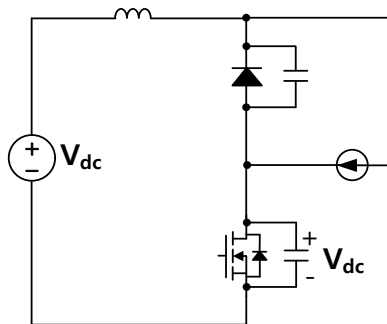


그림 3-44. 기생인덕터와 기생 태패시터가 있는 더블펄스 테스트 등가회로

MOSFET의 등가회로는 턴-오프 때와 마찬가지로 아래 가정을 통해 등가회로를 단순화한다.

$$I_{ch}(t) = g_m(V_{gs}(t) - V_{th}) \approx g_m V_{gs}(t) . \quad (3.97)$$

$$C_{ds} \gg C_{gd} \quad \text{or} \quad \frac{C_{ds}}{C_{gd}g_m} \gg R_g . \quad (3.98)$$

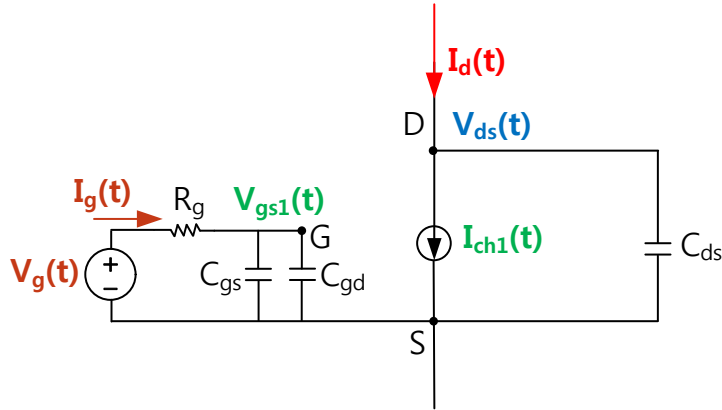


그림 3-45. 기생인덕터와 기생 태패시터가 있는 MOSFET의 등가회로 근사

여기서 앞절과 마찬가지로 게이트 저항을 0으로 보낸 극단적인 경우를 살펴보도록 한다.

$$R_g \rightarrow 0 . \quad (3.99)$$

게이트 저항이 0으로 근접할수록 gate-source 전압은 게이트 전압 V_g 와 같게 된다.

$$V_{gs}(t) \cong V_g(t) . \quad (3.100)$$

따라서 채널전류는 다음과 같이 정의된다.

$$I_{ch}(t) \cong g_m V_g(t) . \quad (3.101)$$

이를 회로에 적용하면 그림 3-46과 같다.

채널전류는 게이트 전압에 의해 직접적으로 제어되므로 채널전류는 게이트 전압의 함수이다. 일반적으로 게이트 전압은 V_g 로 고정된 값을 사용하기 때문에 채널전류는 아래와 같이 정 전류원이다.

$$I_{ch}(t) = g_m V_g . \quad (3.102)$$

따라서 위 더블 펄스 실험 회로는 아래의 두가지 형태의 등가회로로 표현될 수 있다. 등가회로에 대한 증명은 본 논문 5장에서 수행하였다.

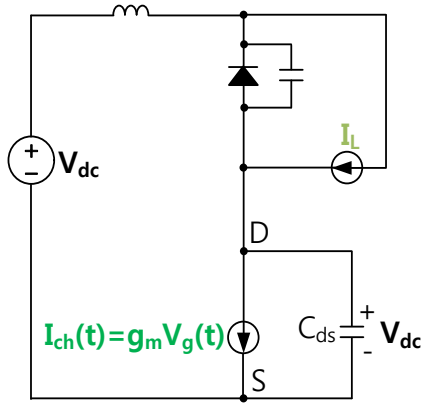


그림 3-46. 작은 게이트 저항을 가지는 더블펄스 실험 회로의 턴-온 등가회로 근사

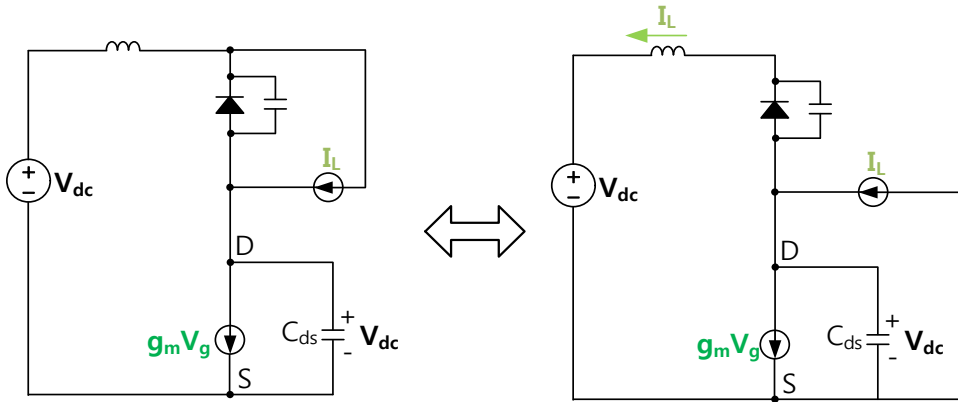


그림 3-47. 더블펄스 실험 회로의 턴-온 등가회로 변환

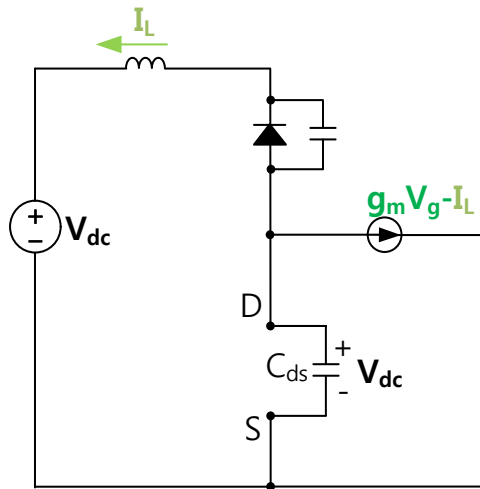


그림 3-48. 더블펄스 실험 회로의 턴-온 등가회로의 근사 회로 정리

그림 3-47의 두 회로 중 우측 회로의 정전류원 두개는 하나로 합쳐질수 있기 때문에 풀이가 좀 더 간편해질 수 있다. 우측 회로의 정전류원을 합치면 그림 3-48과 같다.

여기서 MOSFET의 채널 전류 최대치는 부하전류보다 큰 소자를 선정하여 사용하므로 위 그림의 정전류원은 항상 양수이다.

$$g_m V_g - I_L > 0 . \quad (3.103)$$

위 회로에서 인덕터의 초기 전류로 인해 다이오드는 턴-온 상태이다. 다이오드의 상태는 인덕터에 흐르는 전류가 0이 될 때까지 유지되며, 전류의 방향이 뒤바뀌는 순간 다이오드는 턴-오프 되어 기생 캐패시터가 회로에 나타난다.

먼저 다이오드가 도통하고 있는 회로를 다시 그리면 아래와 같다.

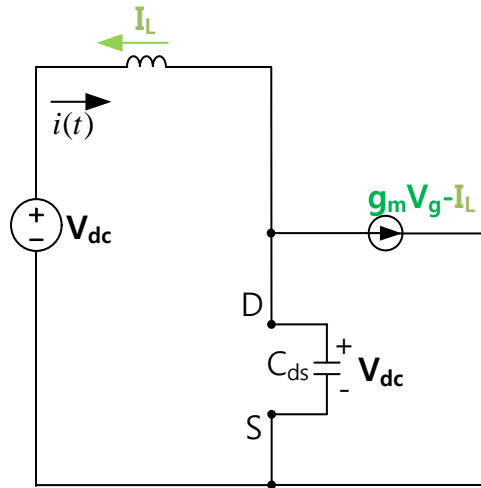


그림 3-49. 더블펄스 실험 회로의 다이오드 턴-온시 근사회로 정리

전압원에서 나가는 방향을 양으로한 전류 $i(t)$ 에 대한 미분방정식은 아래와 같다.

$$I_s = LC_{ds} \frac{d^2 i(t)}{dt^2} + i(t) . \quad (3.104)$$

$$I_s \equiv g_m V_g - I_L . \quad (3.105)$$

$$V_{dc} = L \frac{di(t)}{dt} + v_{ds}(t) . \quad (3.106)$$

$$i(0) = -I_L . \quad (3.107)$$

$$v_{ds}(0) = V_{dc} . \quad (3.108)$$

위 방정식의 해는 다음과 같다.

$$i(t) = (i(0) - I_s)\cos(\omega_0 t) + I_s \quad (3.109)$$

$$i(t) = -(g_m V_g)\cos(\omega_0 t) + g_m V_g - I_L \quad (3.110)$$

위의 해에 초기값을 대입하면 다음과 같다.

$$v_{ds}(t) = L\omega_0(i(0) - I_s)\sin(\omega_0 t) + V_{dc} \quad (3.111)$$

$$v_{ds}(t) = -L\omega_0(g_m V_g)\sin(\omega_0 t) + V_{dc} \quad (3.112)$$

$$\omega_0 = \frac{1}{\sqrt{LC_{ds}}} \quad (3.113)$$

여기서 두가지 가능성이 있는데, 인덕터 전류가 먼저 0이 되어 다이오드가 턴-오프 하는 경우와 MOSFET 전압이 먼저 0이 되어 MOSFET이 먼저 턴-온하게 되는 경우이다. $V_{ds}(t)$ 의 전압값이 먼저 0이 되면, MOSFET이 선형영역으로 동작한다고 간주할 수 있으므로 V_{ds} 전압은 0으로 유지하게 되며 이후로는 기생캐패시터가 보이지 않게된다. 인덕터 전류가 먼저 0이 되는 경우, 다이오드가 먼저 턴-오프하여 기생 캐패시터가 나타나게 된다. 따라서 MOSFET 턴-온시에는 두가지 경우를 모두 고려하여야 한다.

1. V_{ds} 가 먼저 0이 되어 MOSFET이 턴-오프 하는 경우

MOSFET의 전압이 0이 될 때의 시간을 t_v 라 하면 다음과 같은 전압 식이 성립한다.

$$v_{ds}(t_v) = -L\omega_0(g_m V_g)\sin(\omega_0 t_v) + V_{dc} = 0 \quad (3.114)$$

$$\sin(\omega_0 t_v) = \frac{V_{dc}}{L\omega_0(g_m V_g)} \quad (3.115)$$

여기서 해 t_v 의 범위는 항상 아래와 같다.

$$\omega_0 t_v \leq \frac{\pi}{2} \quad (3.116)$$

이 범위가 되는 이유는 V_{ds} 가 그림 3-50와 같이 삼각 함수이기 때문이다. 아래 그림에서 확인할 수 있듯이 해당 함수가 0을 지나는 순간은 위상이 $\pi/2$ 이하에서만 발생하기 때문이다. 인덕터 전류도 동일한 주파수를 가지는 삼각함수이기 때문에 인덕터 전류가 0이 되는 시간 t_i 도 $\pi/2$ 위상 이하에서 존재한다.

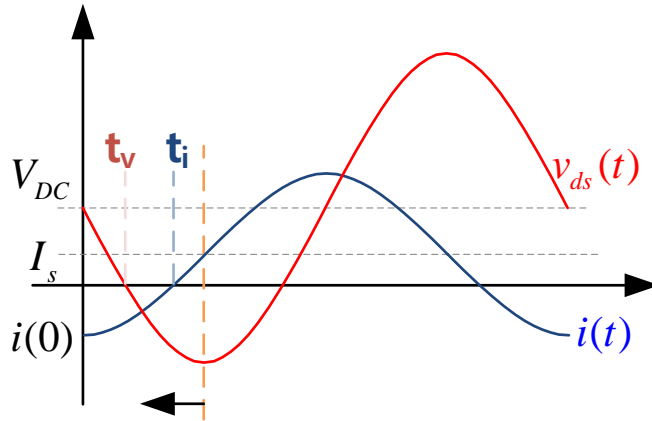


그림 3-50. 턴온 과도시, MOSFET의 전압과 전류의 관계

인덕터 전류가 0이 될 때의 시점을 시간 t_i 라하면 다음과 같은 전류 방정식이 성립한다.

$$i(t_i) = -(g_m V_g) \cos(\omega_0 t_i) + I_s = 0 . \quad (3.117)$$

$$\cos(\omega_0 t_i) = \frac{g_m V_g - I_L}{g_m V_g} . \quad (3.118)$$

$$\omega_0 t_i \leq \frac{\pi}{2} . \quad (3.119)$$

여기서 아래의 정현 함수와 역현(cosine) 함수 관계식을 이용하여 $\sin(\omega_0 t_i)$ 을 구하면 다음과 같다.

$$\sin^2(\omega_0 t_i) + \cos^2(\omega_0 t_i) = 1 . \quad (3.120)$$

$$\sin(\omega_0 t_i) = \frac{\sqrt{2I_L g_m V_g - I_L^2}}{g_m V_g} . \quad (3.121)$$

$0 \sim \pi/2$ 범위의 정현 함수는 단조증가 함수이기 때문에 아래 부등식은 정현 함수에 대해서도 동일하게 적용할수 있다.

$$t_v \leq t_i . \quad (3.122)$$

$$\sin(\omega_0 t_v) \leq \sin(\omega_0 t_i) . \quad (3.123)$$

위 부등식에 각각의 식을 대입하면 다음과 같다.

$$\frac{V_{dc}}{L\omega_0} \leq \sqrt{2I_L g_m V_g - I_L^2} . \quad (3.124)$$

(3.124) 식을 기준 전류 I_0 (식 (3.62))를 이용하여 정리하면 다음과 같다.

$$\frac{I_0}{I_L} \leq \frac{2\sqrt{2}}{\pi} \sqrt{\frac{2g_m V_g}{I_L} - 1} \quad (3.125)$$

위 조건은 대부분의 부하전류 영역에서 만족되는 조건이다. 왜냐하면, $2g_m V_g$ 값이 일반적으로 사용하는 부하전류 I_L 보다 10배 이상 크기 때문에 위 식의 우변은 비교적 매우 큰 값을 지니게 된다. 따라서 부하전류 I_L 이 매우 작아 위 식의 좌변이 매우 커지는 경우를 제외한 나머지 대부분의 부하전류 영역에서는 식 (3.125)의 조건이 만족할 것이라 예상 할 수 있다.

위 조건을 만족할 경우 언제나 MOSFET이 다이오드보다 먼저 턴-온된다. MOSFET이 턴-온 되고 난 뒤는 그림 3-51과 같이 정전류원은 회로에서 사라지고, 전압원과 인덕터만 남게된다. 이때 인덕터의 초기 전류방향은 정전압원으로 들어가는 방향이므로, 이 전류는 점점 작아져 결국에는 0이 된다.

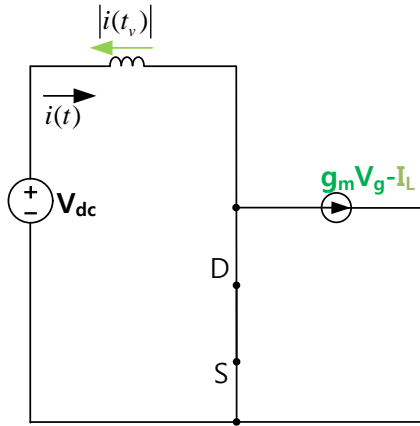


그림 3-51. 다이오드가 먼저 턴-온시 스위칭 등가회로

전류가 0이 되고 나서부터는 다이오드가 턴 오프되어 초기전압이 0인 기생 캐패시터가 나타난다. 이는 그림 3-52와 같다.

인덕터의 초기전류 $i(t_0)$ 는 0, 다이오드의 기생 캐패시터의 초기전압 $v_d(t_0)$ 이 0이면, 어떠한 L과 C의 조합에도 상관없이 항상 캐패시터는 0~ $2V_{dc}$ 의 전압으로 진동하게 된다. 이는 앞 절에서 증명한 아래 식을 통해 알 수 있다.

$$V_{peak} = V_{dc} \pm \sqrt{(V_{dc} - v_d(t_0))^2 + \frac{L}{C} i(t_0)^2} \quad (3.126)$$

따라서 V_{peak} 의 최대 값은 $2V_{\text{dc}}$ 이다.

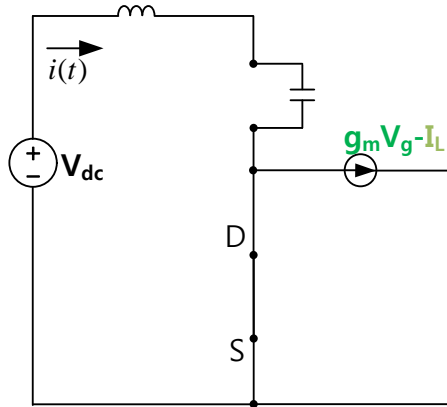


그림 3-52. 다이오드 턴-오프시 스위칭 등가회로

2. 인덕터 전류가 먼저 0이 되어 Diode가 턴-오프 하는 경우

다이오드가 먼저 턴-오프할 조건은 MOSFET가 먼저 턴-온할 조건의 반대이므로, 아래와 같다.

$$\frac{V_{\text{dc}}}{L\omega_0} > \sqrt{2I_L g_m V_g - I_L^2} \quad (3.127)$$

이 때의 MOSFET 양단 전압은 아래와 같다.

$$v_{\text{ds}}(t_i) = V_{\text{dc}} - L\omega_0 \sqrt{2I_L g_m V_g - I_L^2} \quad (3.128)$$

$$i(t) = -(g_m V_g) \cos(\omega_0 t) + g_m V_g - I_L \quad (3.129)$$

$$v_{\text{ds}}(t) = -L\omega_0 (g_m V_g) \sin(\omega_0 t) + V_{\text{dc}} \quad (3.130)$$

이 때의 회로는 다음과 같다.

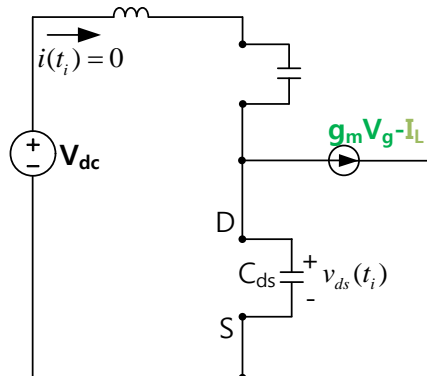


그림 3-53. 다이오드가 먼저 턴-오프시 스위칭 등가회로

이 회로는 턴-오프 과도를 분석할 때 사용한 그림 2-26, 그림 2-27의 회로와 동일한 형태의 회로이다. 턴-오프 회로 분석때와 다른 점은 $V_{ds}(t_i)$ 전압의 초기값이 그림 3-52 회로의 초기값을 사용해야하기 때문에 0의 초기값을 사용하던 턴-오프 때 보다 상황이 더 복잡하다. 또한 그림 3-52의 회로에서 MOSFET의 전압 $V_{ds}(t_i)$ 이 0이 되어 완전 도통하게 되면 그림 3-54의 회로로 변경되기 때문에, 그 순간의 초기값을 이용하여 다이오드 전압의 최대치를 계산해야 하는 복잡함이 있다.

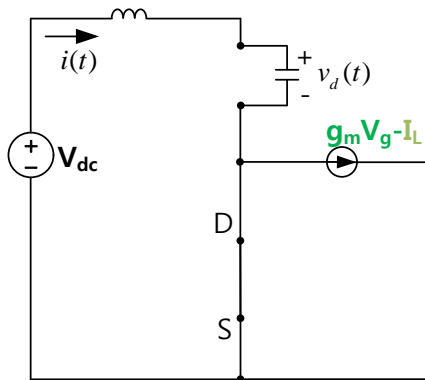


그림 3-54. 다이오드가 먼저 턴-오프 이후, MOSFET의 턴-온 될때의 스위칭 등가회로

따라서 위 회로에 대한 일반해를 구하는 과정이 복잡하여 큰 의미를 가지지 못한다. 이 경우에 대한 분석은 3.6절의 컴퓨터 모의실험을 통해 경향성을 확인해 보도록 한다.

3.6 게이트 저항 변화에 의한 MOSFET 턴-온 과전압 경향

앞서 살펴본 바와 같이 게이트 저항이 매우 작은 경우, MOSFET의 턴-온에 의한 다이오드의 과전압의 경향은 아래 조건을 만족할 시에 항상 DC링크 전압의 2배인 $2V_{dc}$ 의 큰 과전압이 유기된다.

$$\frac{I_0}{I_L} \leq \frac{2\sqrt{2}}{\pi} \sqrt{\frac{2g_m V_g}{I_L} - 1} \quad (3.131)$$

위 조건식의 우변에 있는 부하전류 I_L 은 부등식의 우변이 있으므로, 특정 부하전류 이상이 되면 부하전류의 크기와 상관없이 항상 $2V_{dc}$ 의

과전압을 유기시키는 것으로 분석할 수 있다.

게이트 저항이 매우 큰 경우는 기생 캐패시터의 영향이 작아지므로, 기존의 분석과 같이 다이오드는 0전류 근처에서 턴-오프하게 되므로 과전압이 거의 발생 하지 않을 것으로 예상된다. 따라서 게이트 저항이 매우 작은 값에서 큰값으로 변동시키면 DC링크 전압의 2배인 $2V_{dc}$ 의 전압을 가지는 경향에서부터 점점 과전압이 사라지게 될것이라 예상 할 수 있다.

중간 크기 정도의 게이트 저항에 대한 분석은 게이트 저항이 매우 작은 경우와 매우 큰 경우와 달리 까다롭기 때문에 이번 절에서는 저항 변화에 따른 과전압 경향을 컴퓨터 모의실험을 통해 알아보하고자 한다.

컴퓨터 모의실험은 앞서 정의한 MOSFET의 포화영역 등가회로를 이용하여 수행하였다. 등가회로 모의실험의 경우 기생캐패시터를 고정된 값을 사용하는 경우와 비선형 캐패시터를 사용하는 경우 모두 수행하여 어떤 차이점이 있는지 확인해 본다.

3.6.1.1 MOSFET 등가회로를 이용한 회로 시뮬레이션

먼저 MOSFET의 포화영역 등가회로를 이용한 회로 시뮬레이션을 수행한다. 모의실험에 사용한 시뮬레이션 회로 모델은 아래와 같다.

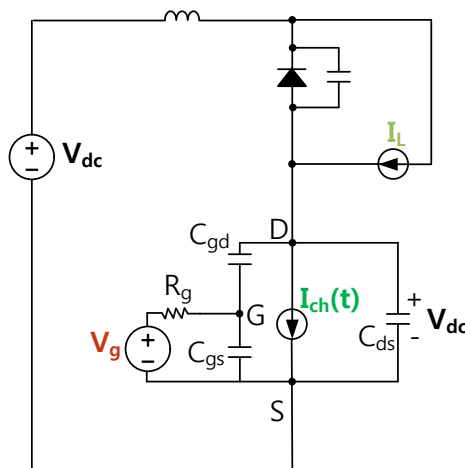


그림 3-55. 컴퓨터 모의실험을 위한 턴-온 더블펄스 실험 회로와 MOSFET의 등가회로

위 회로 시뮬레이션에서 사용한 파라미터는 1200V, 120A Full SiC MOSFET 모듈을 참고하여 다음과 같이 설정하였다.

<Vdc=600V, L=30nH, gm=22S, Cds=1nF, Cgd=40pF, Cgs=7nF Cd=1nF,
Rg=0.1~5Ω, IL=0~200A>

회로 시뮬레이션의 결과는 아래와 같다.

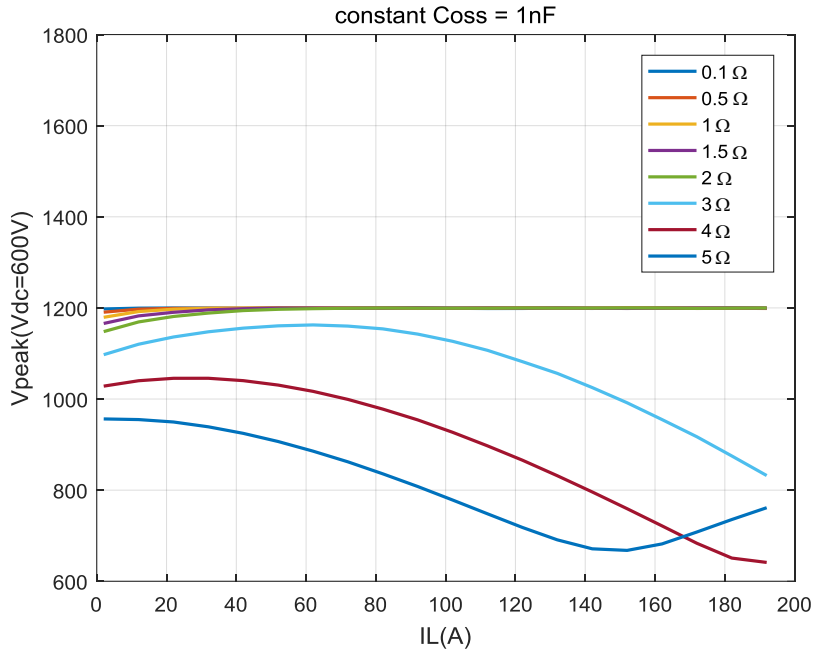


그림 3-56. 1nF의 기생 캐패시턴스를 갖는 MOSFET 턴-온시, 게이트 저항에 따른 부하전류에 따른 다이오드 턴-오프 과전압 경향

예상 했던 대로 게이트 저항이 작을 경우에는 특정전류 이상에서는 항상 DC링크 전압의 2배인 1200V의 과전압이 Diode에 유기됨을 확인할수 있다. 게이트 저항이 증가하면 다이오드 과전압이 점점 줄어들음을 확인 할 수 있다. 저항이 증가할수록 나타나는 과전압의 주기성은 3.5절의 마지막에 언급하였던 그림 3-53, 그림 3-54의 회로에 의해 발생한다. 그림 3-53, 그림 3-54의 회로는 턴-오프 과전압을 구하기 위한 등가회로인 그림 2-26, 그림 2-27의 회로와 동일하기 때문에 턴-오프 과전압의 해와 이 상황에서의 턴-온 과전압의 해가 동일한 형태를 지닐것으로 예상된다. 턴-오프 과전압의 해가 부하전류에 대해 주기적이기 때문에 이 상황에서의 턴-온 과전압의 해 또한 부하전류에

대해 주기적일 것으로 추정이 가능하다.

다음으로 기생 캐패시터의 비선형성 적용시의 회로 시뮬레이션 결과가 그림 3-57에 나타나 있다.

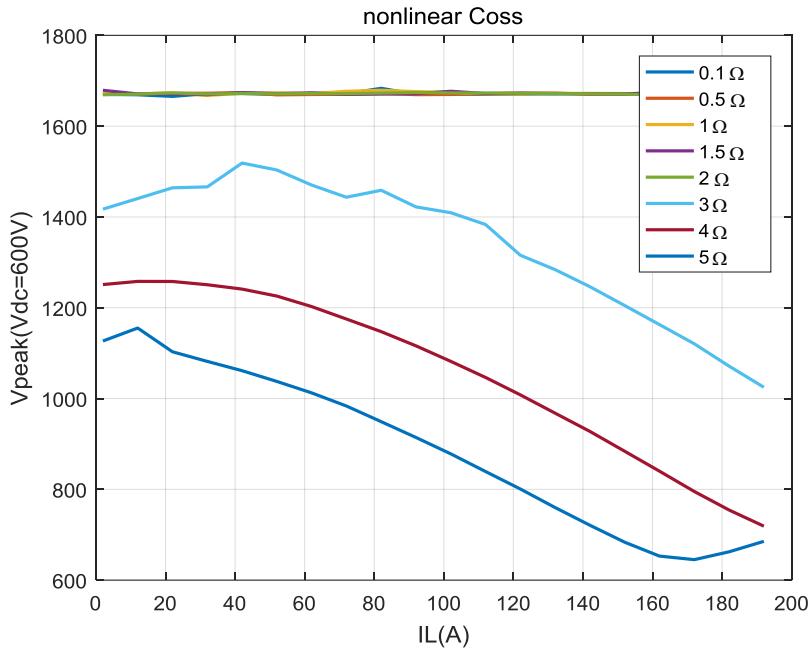


그림 3-57. 비선형적인 기생 캐패시턴스를 갖는 MOSFET 턴-온시, 게이트 저항에 따른 부하전류에 따른 다이오드 턴-오프 과전압 경향

기생 캐패시턴스의 비선형성으로 인해 다이오드 턴-오프 과전압의 크기가 선형 캐패시턴스의 경우인 $2V_{dc}$ 를 넘는 1600V 가량 큰 전압이 발생하였다. 하지만 게이트 저항 증가에 따른 부하전류에 따른 과전압 경향은 선형 캐패시터를 사용했을 경우와 일치함을 알 수 있다.

다음으로 SPICE 모델 시뮬레이션 대신 수행하는 모의실험으로, C_{ds} 뿐만 아니라, C_{gs} , C_{dg} , g_m 까지 비선형 특징을 넣어 회로 시뮬레이션을 수행했다. 모의실험 결과는 아래와 같다.

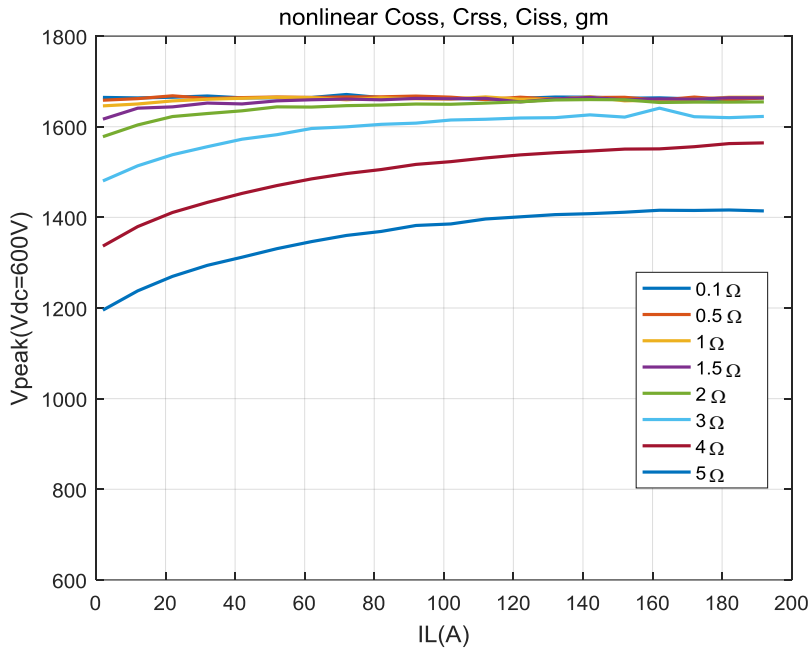


그림 3-58. 비선형 기생 캐패시턴스와 g_m 을 갖는 MOSFET 턴-온시, 게이트 저항에 따른 부하전류에 따른 다이오드 턴-오프 과전압 경향

다른 모든 비선형 요소를 넣었을 경우, 게이트 저항 증가에 따른 다이오드 과전압 감소 정도가 작아진 것을 확인 할수있다. 이는 앞선 회로 시뮬레이션에서 사용한 g_m 값을 평균적인 값을 사용하기 위해 22 정도의 값을 사용하였지만, 실제로는 게이트 전압에 따라 최대 2배이상 커지는 요소이기 때문에 g_m 의 비선형성을 고려하면 (3.131) 부등식의 우변이 커지게 되므로, $2V_{dc}$ 의 과전압이 발생하는 부하전류의 크기가 더 작아졌기 때문이라 예상된다.

제 4장 Full SiC MOSFET의 스위칭 과도 실험

4장에서는 실제 Full SiC MOSFET 스위칭 과도 실험을 통하여 앞서 분석했던 내용들이 실제와 일치하는지 검증해 보도록 한다.

이번장에는 실험 결과 뿐만 아니라 계측과 관련된 많은 내용들을 포함하였다. 왜냐하면 Full SiC MOSFET이 빠른 스위칭 과도를 가지고 있기 때문에 해당 현상을 정확하게 계측하기 위해서는 계측장비 선정과 계측 환경 조성에 많은 주의를 기울여야하기 때문이다. Full SiC MOSFET은 IGBT의 경우보다 5~10배이상 빠른 과도를 보이기 때문에 적절하게 선정되지 못한 계측장비는 큰 측정 오차를 유발할 수 있기 때문이다.

따라서 4장에는 Full SiC MOSFET 스위칭 특성 관찰을 위한 계측환경 조성에 대한 내용과 측정 범위내에 있는 기생 성분이 계측에 미치는 영향을 분석하여 이를 제거하기 위한 방법을 소개 한다. 이들을 토대로 스위칭 손실 측정시, 이러한 기생 성분들이 손실측정에 어떤 영향을 끼치는지 분석하고, 이를 실제 실제 스위칭 과도 계측에 적용해 본다.

이를 토대로 3장에서 분석했던 MOSFET의 턴-온, 턴-오프 과도에서의 소자 과전압의 경향이 이론적 분석과 일치하는지도 검토해 본다.

4.1 계측 환경 조성

Full SiC MOSFET의 특성을 정확하게 측정하기 위해서는 정밀한 계측 장비들이 요구된다. 전류나 전압의 스위칭 시간이 수십ns 범위안에 있으면서, 전류와 전압 역시 수십~수백A, 수백~수천V의 크기를 가지는 매우 빠르게 변화하는 신호이기 때문이다. 실제로 1200V, 120A 소자의 경우, 0~600V의 스위칭 시간이 약 20ns 밖에 걸리지 않는다. 이를 아래의 일반적인 1차(First order) 저역통과(Low pass) 필터 시스템의 상승시간-대역폭의 관계식을 이용하여 주파수 대역을 추정하면 약 17MHz 정도이다.

$$f(\text{Hz}) = \frac{0.34}{\tau_r(\text{s})} . \quad (4.1)$$

측정하고자 하는 신호를 시지연(Time delay)이나 신호 왜곡(Distortion) 없이 충분히 잘 측정하려면 계측장비의 대역폭은 신호의 대역폭의 약 10배 정도일 필요가 있다. 따라서 17MHz의 신호에 대해서는 170MHz 이상의 대역폭을 가지는 계측시스템이 필요하다. 스위칭 파형에는 상승시간 뿐만 아니라 LC 공진에 의한 전압,전류의 진동 또한 포함하고 있으며 이들 주파수 또한 수십MHz(본 논문의 실험에서는 20~30MHz 대역) 대역에 존재한다. 따라서 앞서 언급한 것 보다 더 높은 대역폭의 계측 장비가 필요하다.

아래는 잘못된 계측장비 선정으로 인해 Full SiC MOSFET의 스위칭 손실 측정에 큰 오차가 발생하는 경우를 보여준다.

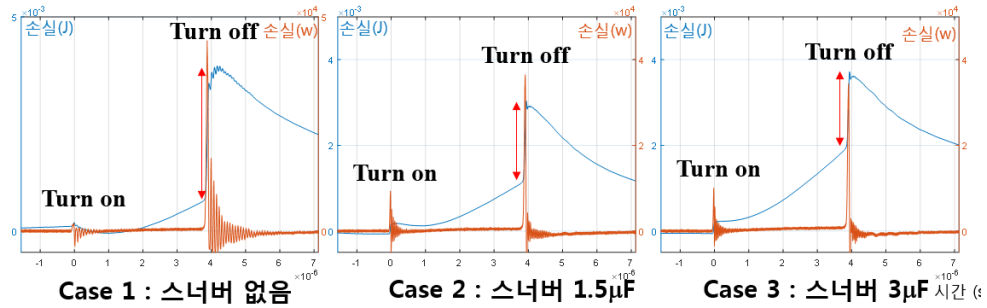


그림 4-1. 잘못 선정된 전류 프루브로 인한 턴-온 손실 감소와 턴-오프 손실의 증가 현상

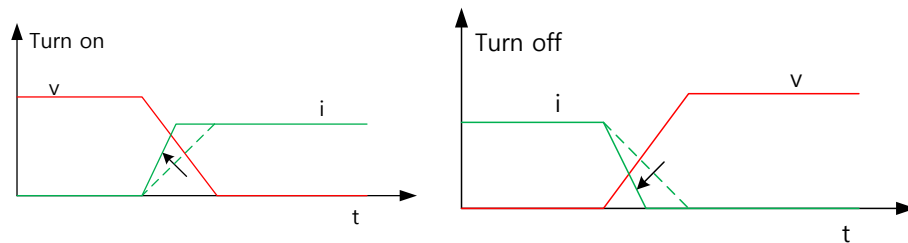


그림 4-2. 전류 상승, 하강 시간 증가로 인한 턴-온 손실 감소와 턴-오프 손실 증가 설명

그림 4-1에서 확인할 수 있듯이 턴-온 손실은 거의 0이며, 턴-오프 손실만이 크게 계측되었다. 이 현상은 비교적 낮은 대역폭인 16MHz 로고스키 코일(전류 프루브(Probe))을 사용했기 때문이다. 낮은 대역폭의 전류 프루브는 전류의 지연을 발생시키며, 이로 인해 전압과 전류의

위상이 왜곡되게 된다. 그림 4-2는 턴-온, 턴-오프시, 전류의 상승 하강 시간 변동이 스위칭 손실 측정에 어떤 영향을 미치는지 보여준다.

그림 4-2에서 실선은 실제 전류신호이고, 점선은 계측 시스템의 주파수 대역 제한으로 인해 위상지연이 발생하여 상승, 하강시간이 늘어나게 계측된 전류 신호이다. 이때 사용자가 측정하는 스위칭 손실은 점선의 전류와 전압신호의 곱의 적분으로 나타나므로, 턴-온시에는 실제보다 작게, 턴-오프시에는 실제보다 크게 스위칭 손실이 측정된다.

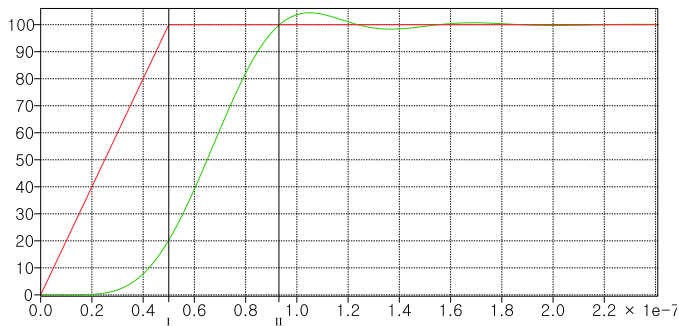


그림 4-3. 16MHz 1차 저역통과필터의 시지연

그림 4-3는 16MHz의 주파수 대역을 갖는 저역통과 필터에 50ns의 상승시간을 갖는 신호를 통과시켰을 때의 파형이다. 이 경우, 신호가 거의 50ns 지연이 되어 실질적인 상승시간이 거의 2배가량 늘어난 것을 확인할 수 있다. 따라서 앞에서 언급한 예시에서 전류의 상승 하강시간의 지연이 턴-온 손실을 크게 줄이고 턴-오프 손실을 크게 늘리게 된 것이다.

따라서 SiC MOSFET의 스위칭 특성을 보기 위해서는 계측환경 조성이 매우 중요하기 때문에 SiC MOSFET의 스위칭 특성을 정확하게 측정하기 위한 장비와 사용법에 대해 서술하고자 한다.

4.1.1 전압 측정

일반적으로 수백~수천볼트의 고압을 측정하기 위해서는 아래 사진과 같은 고전압 차동(Differential) 프로브가 널리 사용된다. 이 프로브는 비교적 높은 대역폭과 절연 기능을 제공하기 때문에 전력전자 분야에서 많이 사용된다. 하지만 일반적으로 판매되는 고전압 차동 프로브는 그 대역폭이 100~120MHz 수준에 머물고 있어 SiC MOSFET의 스위칭 과도를 측정하기에는 부적합하다.



그림 4-4. 고전압 차동 프로브 HVD3106의 모습

아래 그림은 120MHz의 대역폭을 가지는 고전압 차동프로브 HVD3106의 주파수별 이득(Gain)과 Common Mode Rejection Ratio(CMMR) 그래프이다. 아래 그래프에서 볼수 있듯이 이미 10MHz 부터 이득의 변화가 생기며, 최대 $\pm 1.5\text{dB}$ 의 계측 오차를 유발한다. 이는 119%~84% 정도의 계측오차이며 이 오차는 주파수가 증가할수록 늘어난다. 또한 CMRR 또한 1MHz 이상부터 그 성능이 약화되며 10MHz이상부터는 -20dB~-30dB(약 3%~10%)정도만 동상 모드 신호를 제거한다.

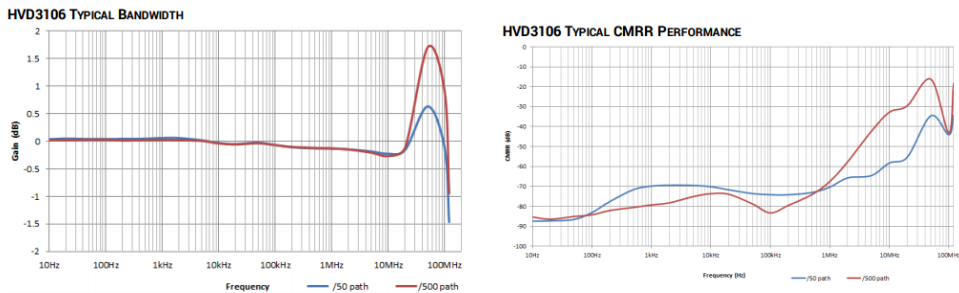


그림 4-5. 고전압 차동 프로브 HVD3106의 주파수에 따른 이득과 CMRR 그래프 따라서 일반적인 고전압 차동프로브는 SiC MOSFET의 스위칭 특성을

측정하기에 부적합하기 때문에 실질적으로 사용할 수 있는 것은 고전압 수동프루브(passive probe)이다. 고전압 수동 프루브는 측정장치와의 전기적 절연을 할수 없기 때문에 단락, 감전 위험이 따르지만, 넓은 범위의 측정 대역폭을 가지고 있기 때문에 SiC MOSFET의 스위칭 특성을 측정하기에 적합하다.

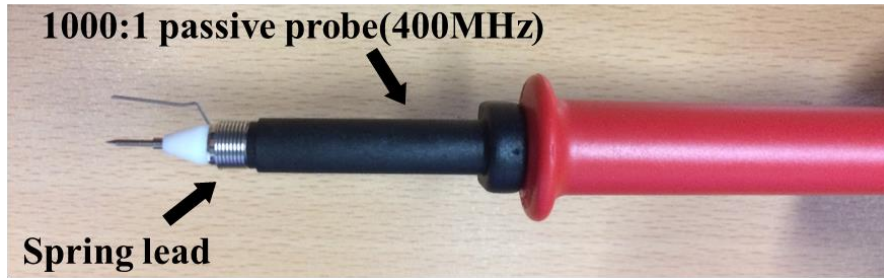


그림 4-6. 고전압 수동 프루브 PPE6KV에 스프링 리드를 장착한 모습

위 사진에는 1000:1의 감쇄비를 가지는 고전압 수동 프루브의 외관이 나타나 있다. 측정범위는 DC 에서는 6천 볼트까지 측정할수 있는 전압 프루브다. 대역폭은 400MHz로 앞서 언급한 스위칭 파형을 측정하는데 적합하다.

이 프루브를 사용할때는 위 사진과 같이 스프링 리드(Lead)를 사용하는 것이 바람직하다. 아래는 수동 프루브의 등가회로이다. 모든 수동 프루브는 수~수십pF의 입력 캐패시터가 존재하는데, 길이가 긴 그라운드 선은 큰 기생 인덕턴스를 만들게 되므로, LC에 의한 고주파 공진이 유발된다. 따라서 프루브와 측정 단자 사이의 기생 인덕턴스를 최소화 할 수 있는 스프링 리드를 사용해야 수동 프루브의 측정대역폭을 보장할 수 있다.

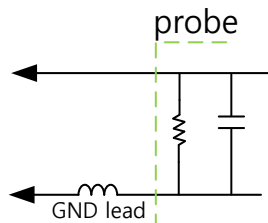


그림 4-7. 접지 리드와 수동 프로브 등가회로

스프링 리드는 프루브 내부 임피던스와의 공진 뿐만 아니라 자기

결합(Magnetic coupling)에 의한 노이즈 픽업(Pick-up) 또한 줄여주기 때문에 스위칭 전압을 측정하는데에는 필수적이다. 아래 사진은 고전압 수동 프루브와 스프링 리드를 이용하여 SiC MOSFET의 양단전압을 측정하는 사진이다.



그림 4-8. 고전압 수동 프로브의 장착 모습

스프링 리드와 비슷한 측정 방법으로 아래 그림과 같은 테스트 포인트 부품을 사용하기도 한다.



그림 4-9. 수동 프로브의 접지 리드 최소화를 위한 테스트 포인트 부품

아래 파형은 120MHz의 고전압 차동 프루브와 400MHz의 고전압 수동

프루브를 이용하여 소자의 양단 전압을 동시에 측정된 결과이다. 아래 그래프에서 확인할 수 있듯이 두 측정 장비에 의해 측정된 신호에는 확연히 차이가 나며, 특히 전압 최대치에 대한 측정오차는 약 50V 가량 나타는 것을 확인할 수 있다. 이는 DC 링크 전압 300V 대비하여 약 16%에 해당하는 수치이다.

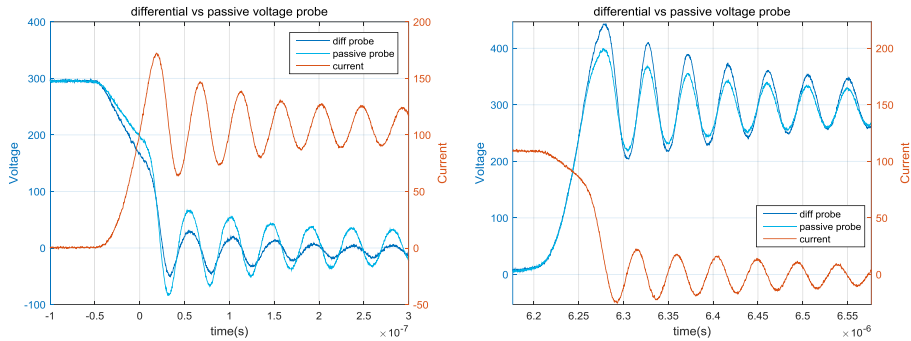


그림 4-10. 고전압 수동 프로브와 고전압 차동 프로브의 Full SiC MOSFET의 턴-온 턴-오프시 MOSFET 양단 전압 측정값 비교

4.1.2 전류 측정

고속의 전류 신호를 측정하는 것은 매우 어려운 일이다. 왜냐하면 신호를 측정하기 위한 기본 물리량은 일반적으로 전압이기 때문이다. 디지털 오실로스코프의 경우, 입력 터미널로 들어오는 전압신호를 디지털로 변환하여 보는 것이기 때문에, 전류를 측정하기 위해서는 전류를 전압 신호로 변환하는 과정이 필요하다. 이 과정에서 신호의 왜곡과 지연이 발생하기 때문에 높은 대역폭의 전류측정이 어렵다.

아래는 대표적으로 사용하는 전류 측정 방법들이다.

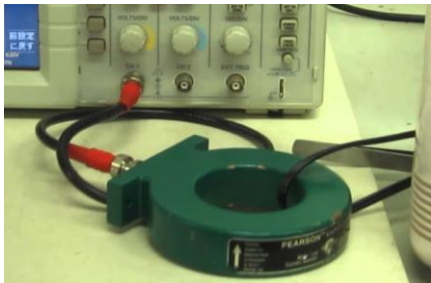


그림 4-11. 전류 계측을 위한 장비. 좌측 상위부터 시계방향으로, 페루프 타입 전류 프루브, 로고스키 코일 전류 프루브, 전류 측정 저항(CVR), 전류 변류기

페루프(Closed loop) 타입 전류 프루브는 홀 효과(hall effect)를 이용한 전류 프루브로서, 대부분의 오실로스코프 제조사에서 전류 프루브로 판매되는 제품이다. 수~수십 암페어의 저전류 전류 프루브의 경우 100MHz 정도의 비교적 높은 대역폭을 갖는 제품이 있지만, 일반적으로 수백 암페어의 대전류 프루브의 경우 수~10 MHz의 낮은 대역폭을 가진다. 따라서 이러한 전류프루브는 100MHz 정도의 측정 대역폭이 필요한 Full SiC MOSFET의 스위칭 과도를 측정하기에는 적합하지 않다.

전류 변류기(current transformer, CT)는 코어에 유도된 자기장의 변화를 전압으로 변환시켜 측정하는 방식이다. 앞선 페루프 방식과는 다르게 수동적으로 측정하는 방식이다. 따라서 DC 전류는 측정이 불가능한 단점이 있다. 이 방식 또한 저전류에서의 대역폭은 수백MHz 까지 가능하나, 통상 수백 암페어의 고전류 변류기 의 경우 수십MHz 정도의 대역폭을 가진다.

로고스키(Rogoski) 코일은 앞서 설명했던 변류기와 유사하게 자기장의 변화를 전압으로 변환시켜 측정하는 장치이다. 변류기와 다른 점은

자성코어를 사용하지 않아 선형성이 보장된다는 장점이 있다. 로고스키 코일의 가장 큰 장점은 코일의 개폐가 용의하기 때문에 큰 지름의 대용량 전선에 쉽게 부착할수 있다는 장점이 있다. 하지만 이런 로고스키 코일도 대역폭이 수십MHz에 불과하여 SiC MOSFET의 전류측정에는 적합하지 않다.

마지막으로 저항에 의한 전류 측정 방법이 있다. 일반적으로 션트(shunt) 저항으로 불리우는 것으로, 저항에 흐르는 전류에 의한 전압 강하를 측정하는 방식이다. 이 방식의 경우 저항자체가 가지고 있는 기생 인덕턴스 성분에 의한 Ldi/dt 전압 성분이 측정의 오차를 유발하기 때문에 측정 대역폭을 증가시키기 위해서는 기생 인덕턴스 성분을 최소화 하는 것이 매우 중요하다. 여기에 특화된 션트 저항이 T&M research product에서 제작하는 CVR(current viewing resistor, CVR)이다. CVR은 동축(Coaxial) 형태의 저항이기 때문에 이론상 최소한의 기생 인덕턴스를 가진다. 이런 형태의 저항을 Coaxial shunt 라 명명하기도 한다. 이 제품은 오직 하나의 회사에서만 생산하기에 제조사와 제품명을 언급한다. CVR의 경우 고전류에서도 대역폭이 수백MHz에 달하기 때문에 SiC MOSFET의 스위칭 파형을 관찰하기에 가장 적합하다.

아래는 앞서 언급한 4가지 전류 계측장치들에 대한 특성을 아래 표로 정리하였다.

표 4-1. 4가지 전류 계측장비의 특성 비교

전류측정장치	대표기업	측정방식		측정신호 종류	최대대역폭(*)
전류 프루브	오실로스코프 제조업체(Lecroy)	유도전압 이용 (비접촉식)	Hall 효과를 이용한 closed loop 방식	AC/DC	10MHz
			자성 core 사용	AC	20MHz
CT	Pearson		Rogoski coil 사용	AC	30MHz
Rogoski 전류 센서	PEM				
CVR	T&M research products	Shunt 저항 원리	Coaxial Shunt	AC/DC	400MHz

*300A급 pulse 전류 측정을 위한 제품중 최대 대역폭

CVR은 아래 사진과 같이 한쪽 끝은 BNC 케이블을 결선하도록 되어 있고, 반대편은 전류를 도통시킬 2개의 터미널이 존재한다. 저항체는 내부의 중심 도체와 중심 도체를 둘러싸는 외부 원형 도체 사이에 존재한다.

이 제품은 PCB 보드에 직접 납땜하여 사용 가능하지만, 고전류를

측정하기 위해서 버스바 직접 결합될 수도 있다. 아래 그림의 우측 그림이 버스바에 직접 결합된 모습을 도식화하여 보여주고 있다.

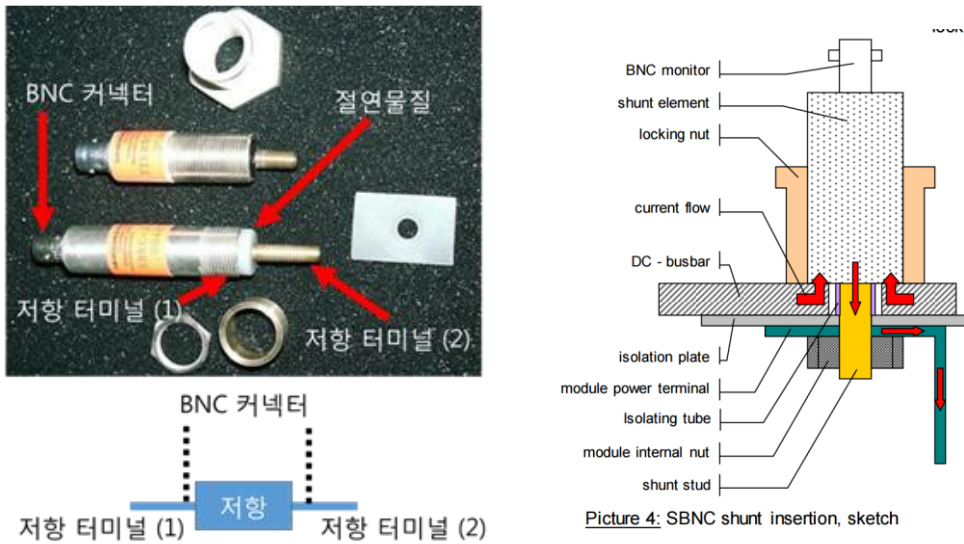


그림 4-12. 전류 측정 저항인 CVR과 CVR의 버스 플레이트 장착도

아래 사진은 PCB 보드에 부착된 CVR 이다. 아래 제품은 납땜용도의 CVR이 아닌 버스바 타입의 CVR 이지만, PCB에 나사 결합하여 사용하였다.



그림 4-13. 더블 펄스 실험 보드에 장착된 CVR 모습

CVR은 그 자체로 순수한 저항이며, 저항 양단에 강하되는 전압을 측정하여 전류를 측정한다. 이때 오실로스코프(입력 임피던스 50Ω 사용)와 CVR 사이는 BNC 케이블로 연결되게 된다. BNC케이블은 동축의 치수, 형태, 절연물질의 재료, 쉴드(Shield)선의 쉴딩 방법등에 따라 여러가지 종류의 BNC 케이블들이 존재한다. 본 논문에서는 BNC 케이블에 따른 측정 오차를 확인하기 위해 범용적으로 많이 사용하는 RG58 케이블과 비교적 전기적 특성이 우수한 RG400 케이블을 사용하여 CVR로 측정한 전류파형을 비교해 보았다. 또한 비교군으로써 아래와 같이 10:1 수동 프루브에 BNC 어댑터(Adapter)를 연결하여 CVR의 전압을 측정하였다.



그림 4-14. CVR에 결합될 RG58, RG400 BNC 케이블



그림 4-15. CVR에 결합될 BNC 어댑터를 장착한 10:1 수동 프루브

아래는 CVR을 RG58, RG400, 10:1 수동 프루브로 측정한 결과와 로고스키 코일을 이용하여 전류를 측정한 결과를 보여준다. 로고스키 코일을 이용한 측정 파형의 경우, 해당 위치에 측정장치 삽입이

불가능하여 공진 전류의 경향만을 확인할 목적으로 윗상 다이오드 전류를 측정하였다.

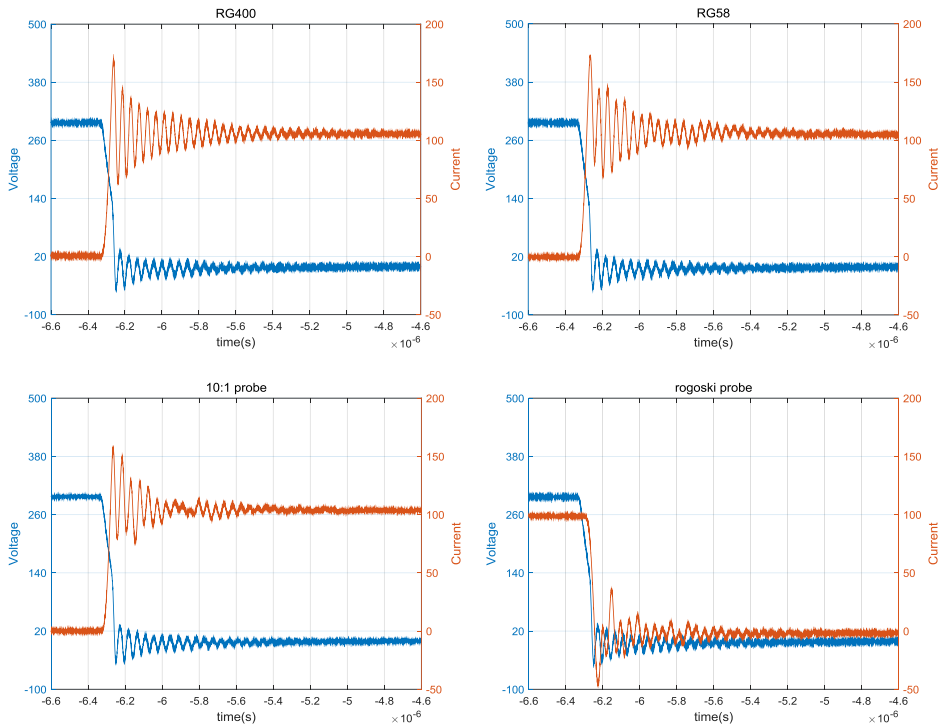


그림 4-16. 좌측 상위부터 시계방향으로, CVR -RG-400, CVR-RG58, CVR-10:1 프루브, 로고스키 코일 로 측정한 MOSFET 턴온 전류 파형

4가지 파형 모두 공진 전류의 형태가 모두 다른 것을 확인 할수 있다. 이 중에서 어떤 장치로 측정한 전류가 실제 전류에 가까운지는 판단하기 쉽지 않다. 하지만 고전압 수동 프루브(대역폭: 400MHz)로 측정한 전압 파형이 실제와 매우 유사하다고 신뢰할 경우, CVR을 RG400 BNC 케이블로 측정한 결과가 가장 정확하다고 말할 수 있다. 왜냐하면 이렇게 측정한 전류의 진동성분은 전압 파형과 유사하게 비교적 단일한 주파수로 구성된 반면, CVR-RG58, CVR-10:1 프루브, 로고스키 코일은 매우 다양한 주파수가 섞여서 나타나기 때문이다. 따라서 전압파형이 가지는 주파수 구성과 유사한 전류 파형을 보여주는 CVR - RG400 장치가 가장 신뢰성 있다고 판단할 수 있다.

4.1.3 전압, 전류 신호 지연보상 (deskew)

모든 측정 장치는 측정에 있어 시지연(Time delay)이 발생한다. 같은 제조사의 같은 제품군의 프루브라도 제품 편차에 의해 두 제품의 시지연은 서로 달라질수 있다. 따라서 SiC MOSFET 스위칭 과도를 정확히 동기시켜 측정하기 위해서는 모든 전류, 전압 측정 장치들의 시지연을 미리 확인하고 보상해야 한다.

일반적으로 전압 프루브 또는 BNC 케이블에서 발생하는 신호의 시지연은 케이블에서 비롯된다. 일반적으로 케이블 길이 1m당 신호의 시지연이 4~5ns 가량 발생하기 때문에 전반적인 신호의 시지연을 없애기 위해서는 가능한 짧은 길이의 케이블을 가지는 전압 프루브 또는 BNC 케이블을 사용해야 한다. 하지만 신호의 동기를 고려하면 개별적으로 최단 길이의 케이블을 사용하는 것보다. 두 장치의 케이블 길이를 동등하게 맞춰주는 것이 더 중요하다. 따라서 고전압 수동프루브와 CVR-BNC 케이블을 이용한 전류, 전압 측정시, 가능한 두 장치의 케이블 길이를 동일하게 맞춰 주는 것이 신호의 시지연 차이를 줄이는데 유효하다. 본 논문에서 사용한 고전압 수동 프루브의 경우 길이가 2m 이기 때문에 BNC 케이블 또한 2m 로 선정하여 사용하였다.

전압 측정장치들의 시지연을 보상하기 위하여 빠른 상승 기울기를 가지는 하나의 구형파 전원을 서로 다른 전압 측정 장치들에 같이 부착하여 신호를 측정한 후 그 시지연을 확인/보상하는 방법을 사용한다. 아래 사진은 차동 고전압 프루브와 RG400, RG58 케이블로 같은 전압원을 측정하기 위해 BNC 트리 커넥터(BNC tree connector)를 이용하여 구성한 사진이다. 여기서 사용한 전원은 오실로스코프에서 제공하는 신호를 사용하였지만, 다른 상승시간이 빠른 외부 구형파 전원을 사용하여도 무방하다.

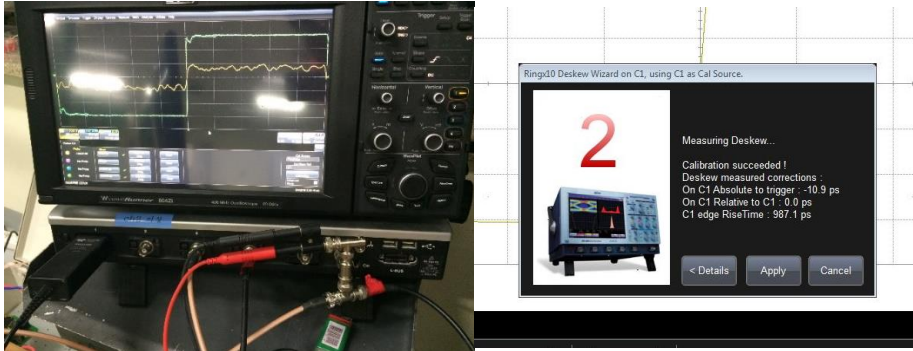


그림 4-17. Deskew 작업을 위한 계측장비 설치 사진과 자동 deskew 기능 화면

최근에 출시된 디지털 오실로스코프는 시지연 보상을 위한 디스큐(deskew) 기능을 제공하는 장비가 있어 몇번의 설정만으로 프로브간의 지연보상을 쉽게할 수 있다. 그 기능을 이용하여 지연보상을 하는 모습을 위 그림에 첨부하였다. 만약 그러한 자동화 기능이 없다 하더라도, 사용자가 파형을 확인하고 개별적으로 지연시간을 입력하여 사용할 수도 있다.

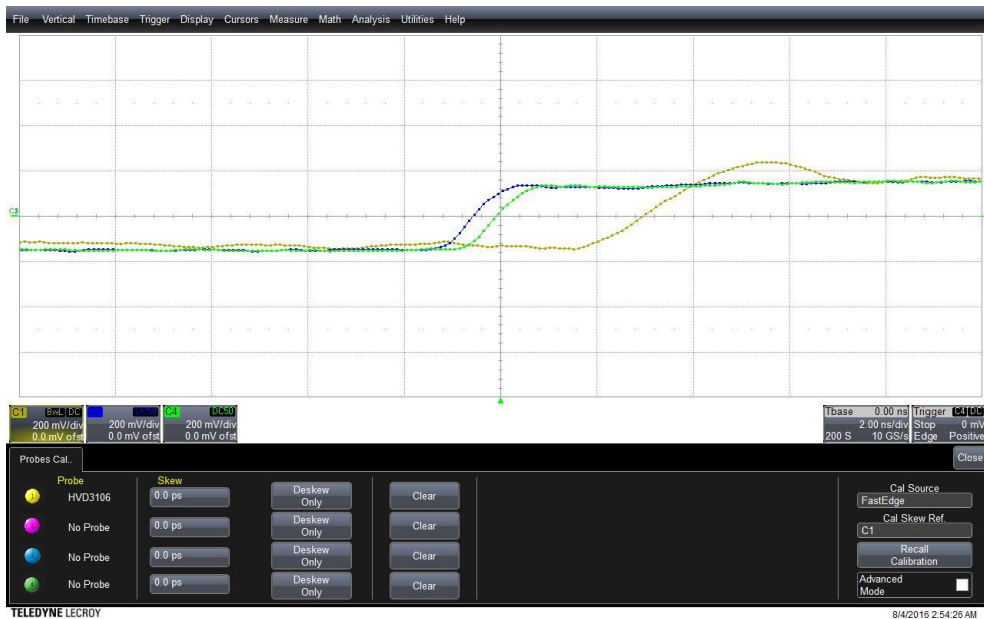


그림 4-18. 서로 다른 2개의 BNC 케이블과 고전압 차동프로브의 신호 지연 차이

그림 4-18의 파형은 하나의 전원에 3가지 다른 전압 프로브를 연결하여

측정한 결과이다. 위 파형은 전압 프루브마다 시지연이 다르기 때문이 이를 보정해야 한다는 것을 명확히 보여준다.

하지만 이러한 시지연 보상을 하기 힘든 경우가 종종 있다. 하나는 측정장치들 간의 측정범위 차이가 큰 경우이다. 예를 들어 고전압 수동 프루브는 6000V까지 측정하는 1000:1 프루브이지만, CVR을 이용하여 전압을 측정하는 BNC 케이블은 사실상 1:1 이기 때문이다. 따라서 측정범위가 낮은 BNC 케이블에 신호의 크기를 맞추게 되면, 1000:1 프루브 입장에서는 분해능이 너무 떨어져 신호의 지연과 그 주변에서 측정되는잡음(Noise)의 영향을 구분하기 어려울 수도 있다. 그림 4-18이 그러한 상황을 보여주고 있다. 노란색 파형이 고전압 차동 프루브의 전압 측정 파형이며, 나머지 두개는 BNC 케이블의 전압 측정 파형이다. 고전압 차동프루브와 BNC 케이블과의 지연이 눈에 보이기는 하지만, 노란색 파형에는 고주파수의 잡음이 섞여 있는 것이 확인된다.

신호의 시지연을 보상하기 가장 어려운 것은 전류, 전압파형에 대한 시지연의 동시 보상이다. 만약 CVR이 아닌, 다른 전류프루브를 이용하여 전류를 측정하는 경우, 전류와 전압의 측정 신호 시지연을 확인하기 위해서는 동상의 전류원과 전압원이 필요하다. 오실로스코프 제조사에서는 이를 위해 동상의 전류,전압원 신호를 발생하는 장치를 판매하고 있다. 아래 사진이 르크로이와 테크트로닉스에서 판매하는 디스큐 장비이다.



그림 4-19. 전류, 전압 프루브의 시지연 보상을 위한 deskew 장비

하지만 이런 장비 또한 전류, 전압의 범위가 작기 때문에 고전압,

고전류의 전압, 전류 프루브의 시지연 보상은 어려울 수 있다. 따라서 지연 보상의 관점에서 전류의 측정은 전압신호를 바로 측정하는 셉트 저항을 이용하는 방식이 비교적 적합하다.

4.1.4 계측환경조성시 고려할 점

앞서 언급한 주요 문제외에도 스위칭 과도를 측정함에 있어 주의할 점을 아래에 기술한다. 주요 주제는 오실로스코프의 접지(Grounding)와 전원공급, 오실로스코프의 선정 및 측정범위 설정, 오실로스코프의 온도 교정(calibration)이다.

- 오실로스코프의 접지와 전원공급: 앞서 언급한 수동 고전압 프루브와 셉트 저항을 이용하여 전압, 전류를 측정할 경우, 오실로스코프와 측정 장비간에 접지를 공유하게 된다. 따라서 안전상의 문제로 가능한 DC 전원을 부동접지(Floating ground)를 제공하는 DC전원 장치를 사용하는 것이 추천된다. 계통-다이오드를 이용하여 만든 DC전원은 오실로스코프의 전원 접지를 통해 상간 단락(short)이 일어날 수 있기 때문에 피해야 한다. 만약 대상 실험 장비의 DC전원을 부동시킬 수 없다면, 노이즈 억제 변압기(Noise Cut Transformer, NCT)를 사용하여 오실로스코프의 접지를 분리 시킬 수도 있다. 다만 주의할 점은 NCT의 기본구성은 접지라인을 공유하는 것이기 때문에 접지 분리를 원한다면 NCT 내부 결선을 변경하여 접지 라인 분리를 수행해야 한다. NCT는 전원의 노이즈를 차단해 주는 역할을 하기 때문에 접지분리의 목적이 아니더라도 측정 잡을 억제하기 위해 사용하는 것을 권장한다. 가장 바람직한 구성은 부동접지 DC전원과 NCT를 통해 전원을 공급받는 오실로스코프의 조합이다. 만약 부동접지 전원이 없다면 배터리로 동작하는 오실로스코프를 사용하는 것도 좋은 방법이다.

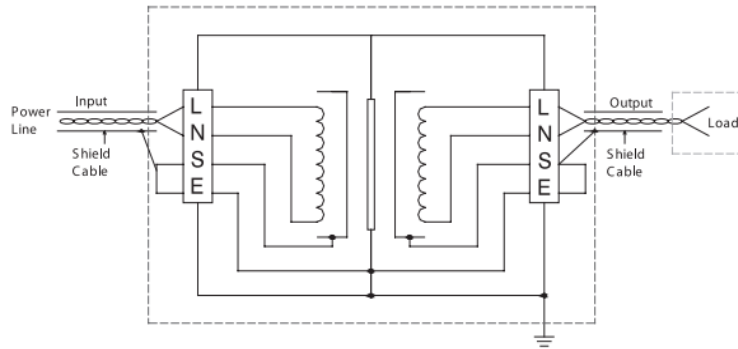


그림 4-20. NTC의 결선도, 기본적으로 접지선이 서로 연결되어 있다.

- 오실로스코프의 선정 및 측정 범위 설정 : 디지털 오실로스코프에서는 양자화(Quantization)에 의한 노이즈가 항상 존재한다. 양자화에 의한 노이즈는 그림 4-21에서 확인할 수 있다. 이런 양자화 노이즈를 최소화 하기 위해서는 오실로스코프의 분해능(bit수)이 높은 제품을 사용하는 것을 권장한다. 일반적으로 8bit 제품이 주로 있으며, 최근에 12bit 제품도 출시되고 있다. 제품이 결정되고 나서는 오실로스코프의 측정범위(V/div)를 가능한 최소치로 설정하여 측정하는 것이 좋다. 측정범위를 오실로스코프의 화면에 가득차게 설정하면 좀더 높은 분해능을 얻을 수 있다.

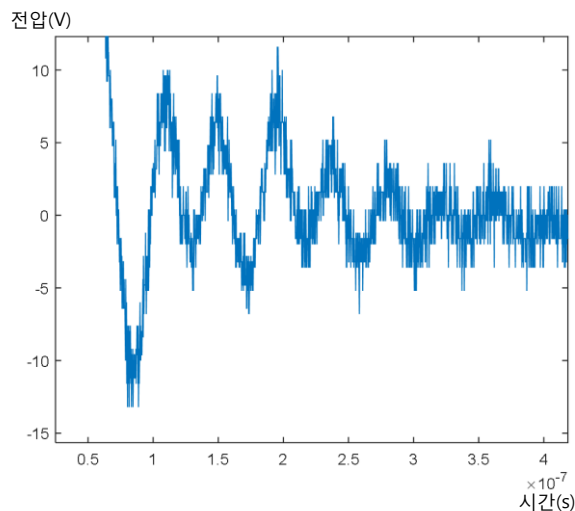


그림 4-21. 디지털 오실로스코프의 양자화에 의한 노이즈 파형

그림 4-22는 전압 측정범위를 조정한 뒤 측정한 전압 파형이다. 그림 4-21에서는 Y축의 범위가 약 25V임에도 양자화 노이즈가 관찰되었지만, 그림 4-22에서는 Y축 범위가 10V여도 양자화 노이즈가 거의 보이지 않는다.

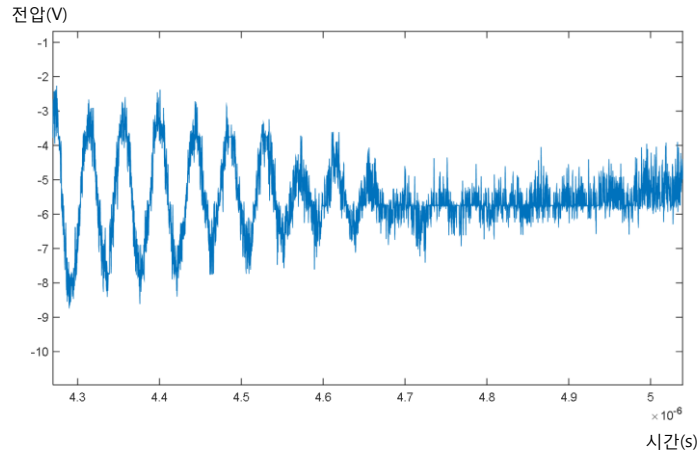


그림 4-22. 측정 범위 조정후의 디지털 오실로스코프의 양자화에 의한 노이즈 파형

또한 샘플링 주파수에 따른 측정 주파수의 한계가 결정되기 때문에 가능한 높은 샘플링 주파수를 갖는 스코프를 선정해야 한다. 나이퀴스트(Nyquist) 주파수 이론의 관점에서 뿐만 아니라, 측정 파형의 후처리(Post-processing)를 위해서도 높은 샘플링 주파수의 데이터가 유리하다. 일반적으로 측정 데이터의 노이즈 제거를 위해 높은 차수의 FIR 필터를 사용하게 되는데, 이때 샘플링 주파수가 높으면 고차수 필터를 사용하기 수월하다. 본 논문에서는 8bit 20Gsample/s 오실로스코프를 사용하였다.

- 오실로스코프의 온도 교정(calibration) : 오실로스코프는 정밀한 계측장비이기 때문에 온도에 따른 교정이 필요하다. 최근의 오실로스코프들은 온도변화를 감지하면 자동으로 해당온도에 따른 교정을 수행하기 때문에 크게 신경쓸 필요는 없다. 하지만 측정 중에 오실로스코프의 온도가 계속 바뀌는 것은 바람직 하지 않으므로, 오실로스코프는 계측 시작 20분정도 전에 미리 켜두어(warm up) 열 평형을 만들어 두는 것이 좋다.

4.2 측정범위내 기생성분 추정 및 MOSFET의 전압, 전류 복원

Full SiC MOSFET의 스위칭 특성을 관찰하기 위해서는 소자 양단의 전압과 소자에 흐르는 전류를 측정하여야 한다. 일반적으로 스위칭 소자는 안전과 보호의 목적으로 다이(Die) 레벨의 소자를 절연 물질로 감싸고, 소자의 터미널을 외부로 빼내어 사용한다. 즉 스위칭 소자는 반도체의 패키지(package)에 싸여 있다.

아래 그림의 왼쪽은 TO-247 패키지로 주로 수~수십 A의 스위칭 소자에 사용된다. 비교적 작은 전류를 도통시키기 때문에 패키지 뒷면에 있는 히트싱크(heat sink)를 부착하기 위한 금속 면(metal plate)이 작고, PCB(printed circuit board)에 납땀하기 편리하게 터미널이 구성되어 있다. 반면 수백A 이상의 큰 전류를 도통시키는 스위치 소자는 오른쪽 사진과 같은 62mm 패키지를 사용한다. 이들은 큰 전류용량을 가지는 만큼 히트싱크를 위한 금속면의 면적이 넓고, 부피또한 크다 이정도 크기의 모듈은 단자(terminal)를 DC전위를 가지는 금속판(bus plate)에 부착시켜 사용하기 때문에 단자의 크기가 크고, 나사를 이용하여 금속판에 결합할 수 있게 설계된다. 언급한 패키지 이외에도 다양한 종류의 패키지가 존재하며 대부분, 전류용량이 증가할수록 패키지의 크기가 커지고, 소자와 터미널사이의 거리가 길어지는 것이 일반적이다.



그림 4-23. TO-247 PCB 용 반도체 패키지와 대용량의 62mm 반도체 패키지

대용량의 Full SiC MOSFET의 경우도 위와 같이 부피가 큰 패키지를 주로 사용하게 된다. 하지만 부피가 큰 패키지는 소자와 단자사이의 거리가 길어지기 때문에 기생 인덕턴스 성분이 증가한다. 이러한 기생

인덕턴스 성분의 증가는 스위칭 특성에 큰 영향을 끼치기 때문에 대부분의 SiC MOSFET 제조사들은 작은 패키지를 개발하여 기생 인덕턴스 성분의 영향을 최소화하려 한다. 아래 사진은 최근 CREE에서 판매하는 Full SiC MOSFET용으로 특화된 62mm 최적화 패키지이다. 앞서 언급한 기존의 패키지에 비해 높이가 1/3로 줄어 기생 인덕턴스성분이 약 1/3으로 줄어들었다. 하지만 위와 같이 기생 성분을 최소화 한다 하더라도 측정범위내의 기생 성분을 완전히 제거하는 것은 불가능하다.



그림 4-24. Full SiC MOSFET 전용으로 제작된 62mm 최적화 반도체 패키지

이러한 기생 성분들은 소자의 양단 전압을 측정하는데 큰 영향을 끼친다. 사용자는 패키지 내부의 소자 레벨의 단자에 직접 접근할수 없으므로, 패키지 외부에 마련된 단자를 통해 소자의 전압을 측정한다. 특히 대용량으로 갈수록 소자와 단자 사이의 거리가 길어지기 때문에 측정 범위내의 기생 인덕턴스 성분이 커지게 된다. 대용량으로 갈수록 비교적 큰 기생 성분이 측정 범위내에 존재하기 때문에 단자에 측정된 전압은 기생 인덕턴스에 의한 Ldi/dt 전압을 포함할 수 밖에 없다. 이렇게 측정된 단자전압은 실제 스위치의 과전압(V_{peak})보다 작게 측정되며, 단자 전압기준으로 측정한 스위칭 손실은 실제보다 크거나 작게 측정되어 정확한 소자의 특성을 평가하는 데 방해 요소가 된다.

이번 절에서는 소자의 전압측정시, 측정범위 내에 존재하는 기생 인덕터 성분이 측정결과에 미치는 영향을 고찰하고 이를 이용하여 기생성분의 추정 및 실제 소자 전압의 복원방법에 대해 논의한다.

4.2.1 측정 데이터의 노이즈 제거

오실로스코프로 수집된 전압, 전류 데이터에는 노이즈 성분들이 포함되어 있다. 이러한 노이즈 성분들은 겉으로 보기에는 큰 문제가 없지만, 소자의 상승 및 하강 시간, dv/dt 및 di/dt 등을 측정할 때 데이터 처리의 어려움을 일으킨다. 따라서 실제 파형과 관계가 없다고 판단되는 노이즈 성분을 제거할 필요가 있다. 아래는 실제 측정한 소자의 단자 전압과 해당 데이터를 후처리(post processing)한 결과이다.

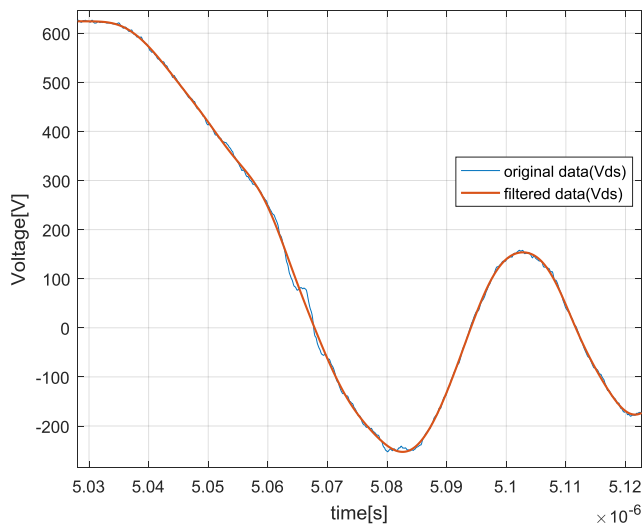
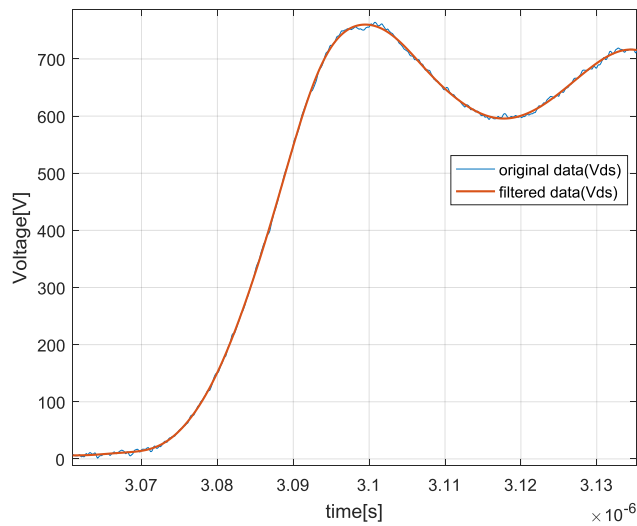


그림 4-25. Full SiC MOSFET 턴-오프(상), 턴-온(하) 실험의 V_{ds} 전압 계측 파형(청색)과 노이즈 제거 이후의 파형(적색)

그림 4-25의 그래프는 소자의 양단 전압이 상승 또는 하강 할때의 실험 데이터와 실험 데이터를 후처리한 결과이다. 두 그래프가 거의 일치하여 사실상 구분할 수는 없지만, 측정상의 노이즈라 판단되는 주파수 영역을 1652tap 의 FIR 필터로 후처리 하였다. 필터의 효과로 인해 파형에서 보이는 노이즈 요소들이 제거되어 파형이 매끄럽게 퍼진 것(smoothing)을 확인할 수 있다.

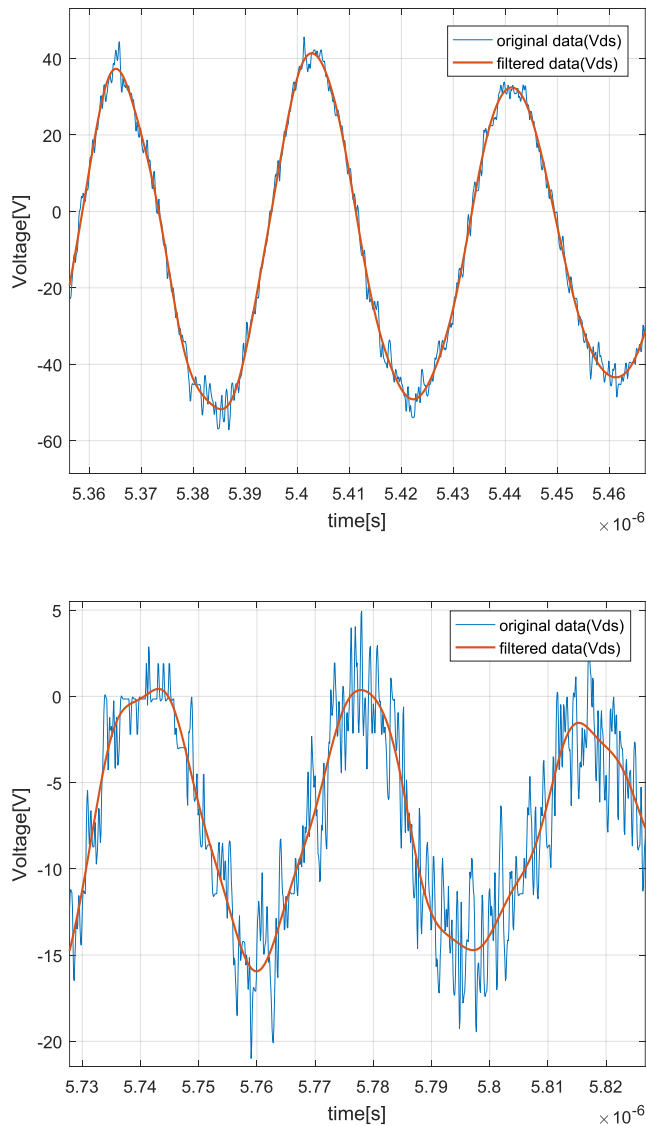


그림 4-26. Full SiC MOSFET 턴-온 실험의 V_{ds} 전압의 진동 계측 파형(청색)과 노이즈 제거 이후의 파형(적색)

그림 4-26의 그래프는 스위칭으로 인해 발생하는 전압 진동 성분을 확대하여 보여 주고있다. 작은 전압범위에서는 노이즈 또는 양자화에 의해 발생하는 측정 오차가 눈에 띄게 보이지만, 이를 노이즈 필터를 통해 제거하면 파형이 매끄럽게 퍼진 것을 확인 할 수 있다.

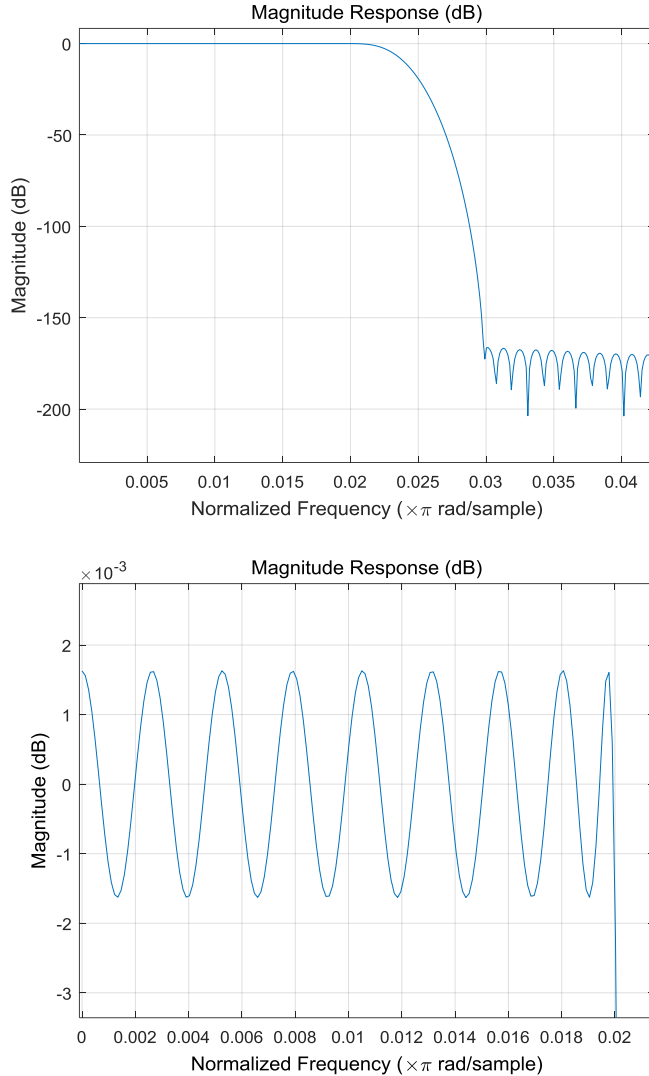


그림 4-27. 노이즈 제거용 FIR필터 특성(상단: 전체특성, 하단: 통과대역 확대)

노이즈 필터의 설계는 측정된 데이터의 신호 성분을 고려하여 설계해야 한다. 본 논문에서 사용한 노이즈 필터의 정보는 다음과 같다. 총 1692차 FIR 필터를 사용하였고, 차단 시작 주파수는 나이퀴스트 주파수의 0.02 이며, 끝 주파수는 0.03이다. 위 실험에서는

샘플링 주파수가 10GHz 이므로, 노이즈 제거를 위해 사용한 저역통과필터의 대역폭은 -3dB 기준 130MHz가 된다. 그림 4-27은 노이즈 필터의 주파수에 따른 진폭응답을 보여준다. 아래 그림에서 확인할 수 있듯이 Equi-ripple FIR 필터로 설계되었고, 통과대역에서의 이득의 진동크기는 약 $\pm 2 \times 10^{-3} \text{dB}$ 이며 차단 영역에서의 감쇄폭은 약 -166dB가 된다.

위에서 사용한 노이즈 필터의 대역폭이 130MHz인것으로 인해 측정장치의 대역폭을 수백MHz까지 요구하는 것이 과도하거나 불필요하지는 않다. 노이즈제거를 위해 사용한 FIR 필터는 차수가 매우 높은 저역통과필터(1692차 FIR 필터)로, 해당 통과대역의 주파수 성분을 완벽하게 잘라낼수 있다. 하지만, 측정 장비의 대역폭은 매우 낮은 차수의 저역통과필터라 간주할수 있으므로, 대역폭 근처의 주파수에서 왜곡이 나타난다. 따라서 바람직한 계측 방법은 높은 대역폭의 높은 샘플링 주파수로 데이터를 수집하고, 이를 적절하게 후처리 하는 것이다.

4.2.2 측정 범위내 기생 인덕턴스 추정 및 소자 전압 복원

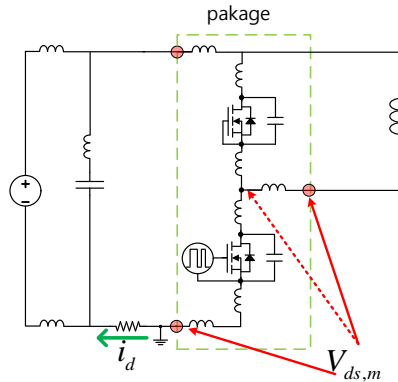


그림 4-28. 더블펄스 실험을 위한 실험 장치와 전압, 전류 측정 위치

그림 4-28은 더블 펄스 실험장치의 모습과 측정 위치를 표시하였다. 더블펄스 실험을 위한 보드는 스프링 리드를 장착한 수동 프로브의 장착과 CVR을 적절한 위치에 부착시키기 위해 설계되었다. 그림

4-28의 우측은 더블펄스 테스트 회로의 회로도이다. 녹색 테두리가 소자의 패키지를 의미하며, 사용자는 붉은색 점 위치에서 단자전압을 측정한다. 이때 하단에 표시한 접지표시는 오실로스코프의 측정접지를 의미한다.

하단 스위치의 전압을 측정하기 위해 Leg 모듈의 출력단자와 음(-)단자 사이의 전압을 측정한다. 이때 출력단자 바로 아래에 있는 기생 인덕턴스는 부하 인덕턴스에 의해 DC 전류만이 흐른다고 가정하면 사실상 소자 내부의 분기점(점선 화살표)과 음(-)단자 사이의 전압을 측정한다고 볼 수있다. 이를 간단하게 표시하면 그림 4-29와 같다.

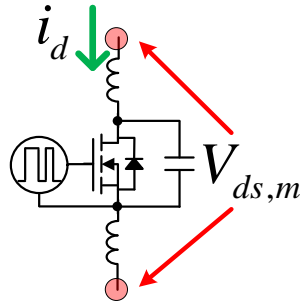


그림 4-29. Full SiC MOSFET의 전압, 전류 측정 위치와 전압측정위치 사이에 존재하는 기생 성분

이때 위 회로에 나타난 전체 기생 인덕턴스 성분을 L_p 라 정의하면 측정전압 $V_{ds,m}$ 과 실제 소자 전압 V_{ds} 와의 관계는 아래와 같이 표현 될 수 있다.

$$V_{ds,m}(t) = V_{ds}(t) + L_p \frac{di_d(t)}{dt} \quad . \quad (4.2)$$

기생 인덕턴스 L_p 의 추정 은 MOSFET이 완전히 턴-온 될 때의 상태에서 측정 가능하다. 그 상태에서 V_{ds} 는 사실상 0 전압이라 가정할 수 있으며, 이 경우 단자 전압은 아래 수식과 같이 기생 인덕턴스에 의한 전압강하뿐이다.

$$V_{ds,m}(t) = L_p \frac{di_d(t)}{dt}, \quad \text{if } V_{ds}(t) \approx 0 \quad . \quad (4.3)$$

이때 측정된 전류와 전압의 크기와 위상을 이용하면 기생 인덕턴스

L_p 를 추정 할수있다. 또한 이 구간에서의 임피던스는 순수 인덕턴스라 할 수 있으므로, 측정된 전압과 전류의 위상차는 90도가 되어야 한다. 이 사실을 이용하면 앞서 언급한 전류와 전압 프로브의 지연차이에 따른 deskew의 후보상(Post-compensation)이 가능하다. 이를 아래 실험 파형의 예시에서 확인해 본다.

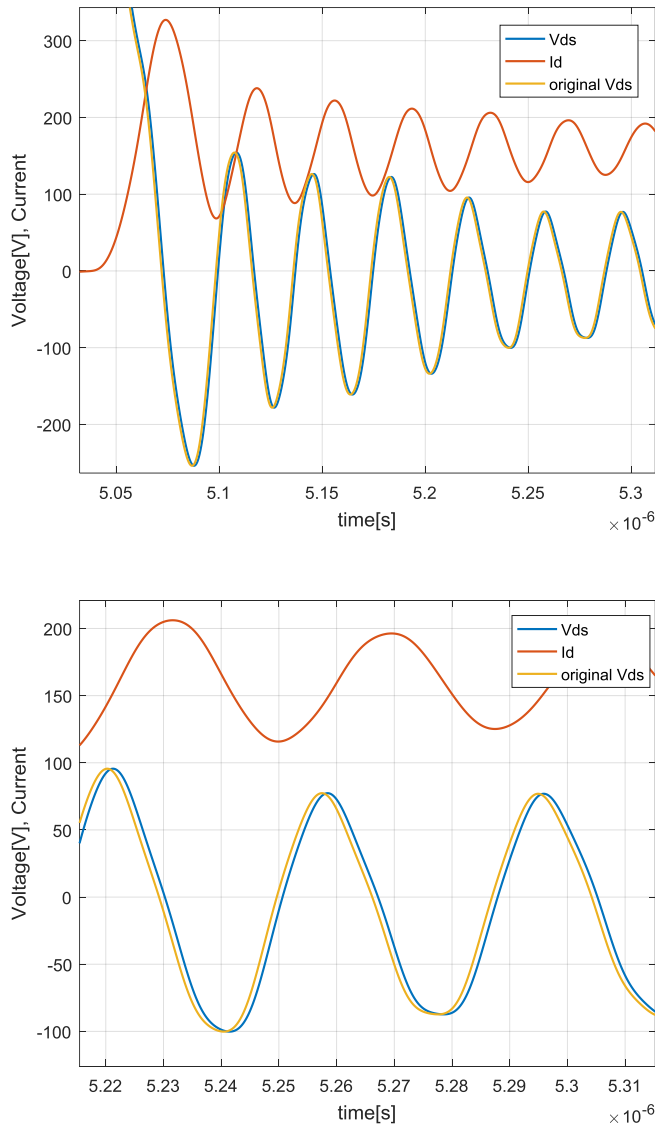


그림 4-30. Full SiC MOSFET의 턴-온 전압, 전류 측정 파형과 지연보상된 전압파형(상)과 확대 파형(하)

그림 4-30의 그래프는 SiC MOSFET의 턴-온 파형이다. 턴-온이 완전히 끝나고 나서도 전압파형에 큰 진동이 관찰된다. 완전히 턴-온된 MOSFET은 사실상 매우 작은 저항으로 보이기 때문에 위 실험 파형처럼 수백 V의 전압 진동이 관찰될 수 없다. 더구나 MOSFET에는 병렬로 SiC 쇼트키 다이오드가 연결되어 있기 때문에 음의 전압이 소자 양단에서 만들어 질 수 없다. 따라서 위 그래프에서 턴-온이 완전히 끝나고 난 순간에 나타나는 전압 진동은 측정 범위안에 있는 L_p 에 의한 전압강하 성분임을 추측할 수 있다.

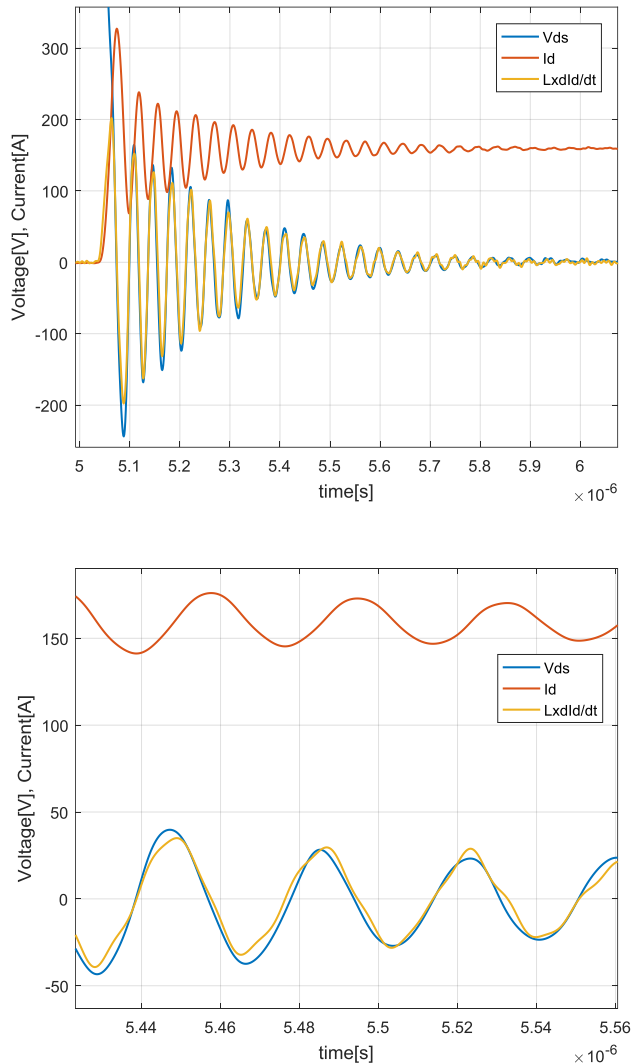


그림 4-31. Full SiC MOSFET의 턴-온 전압(청색), 전류(적색) 측정 파형
기생인덕터에 의한 전압강하 성분 복원 파형(황색)(상단)과 확대 파형(하단)

먼저, 측정된 전류데이터를 미분하여 L_p 를 곱한 파형을 그림 4-31의 그래프에 표시하였다. L_p 의 대략적인 값은 파형에 나타나는 주파수와 전류, 전압의 크기 비율로서 결정하고, L_p 의 미세 조정을 거치면 그림 4-31의 파형을 도출할 수 있다.

그림 4-31에서 노란색 그래프는 추정된 L_p 와 측정 전류를 이용하여 재구성한 인덕터 전압이다. 이 전압은 실제 단자 전압인 파랑색 그래프와 거의 일치함을 확인할 수 있다. 두 그래프의 크기조정이 끝나면 Ldt/dt 전압과 단자 전압사이의 위상오차를 최소화하기 위한 전압 지연 시간을 결정한다. 이는 앞 절에서 언급한 측정장치간의 지연 보상(deskew)에 해당된다. 1000:1의 고전압 프로브와 셉트 저항의 전압을 측정하기 위한 BNC 케이블간의 전압 감쇠비율 차이로 인해 완벽한 deskew 작업은 불가능하다. 하지만 이와 같은 데이터 처리를 통해 미처 보정되지 못한 전류, 전압 신호의 시지연 차이를 보상할 수 있다. 이 조정을 거친 파형이 위 그림의 오른쪽 파형에서 노랑색과 파랑색의 파형이다. 시지연 시간은 약 $1ns(10\text{ samples})$ 로 계산되었다.

그림 4-32는 계산된 Ldi/dt 성분을 측정한 V_{ds} 전압에서 뺀 값을 도시하였다. 파랑색 전압이 실제 측정한 전압이며, 노랑색 전압은 복원된 소자 양단 전압이다. 그림 4-32의 하단 그래프의 노란색 파형이 복원된 턴-온 전압 파형이다. 노랑색 그래프의 진동 성분이 거의 사라진 것을 확인할 수 있다. 이를 통해 소자양단전압 복원이 성공적임을 알 수 있다. 앞에서 구한 기생 인덕턴스 성분 L_p 와 지연시간 보상은 같은 계측장치와 같은 모듈을 사용하는 한 같은 값으로 사용할 수 있다. 따라서 이 작업은 계측 시스템을 구축하고 초기에 한번만 수행하면 된다.

이와 같은 전압복원이 중요한 이유는 스위치 소자의 스위칭 손실 계산과 과전압의 정확한 측정치를 제공해 주기 때문이다. 실제로 소자의 과전압 크기는 단자전압 기준으로 869V 이지만, 복원된 소자 양단 최대 전압은 약 980V로 110V 가량 차이가 난다. 특히 이 방식은 소자 내부를 측정하기 어렵고 단자와 소자 사이의 기생 성분이 큰 대용량 전력소자의 소자 특성 분석에 요긴하게 쓰일 수 있다.

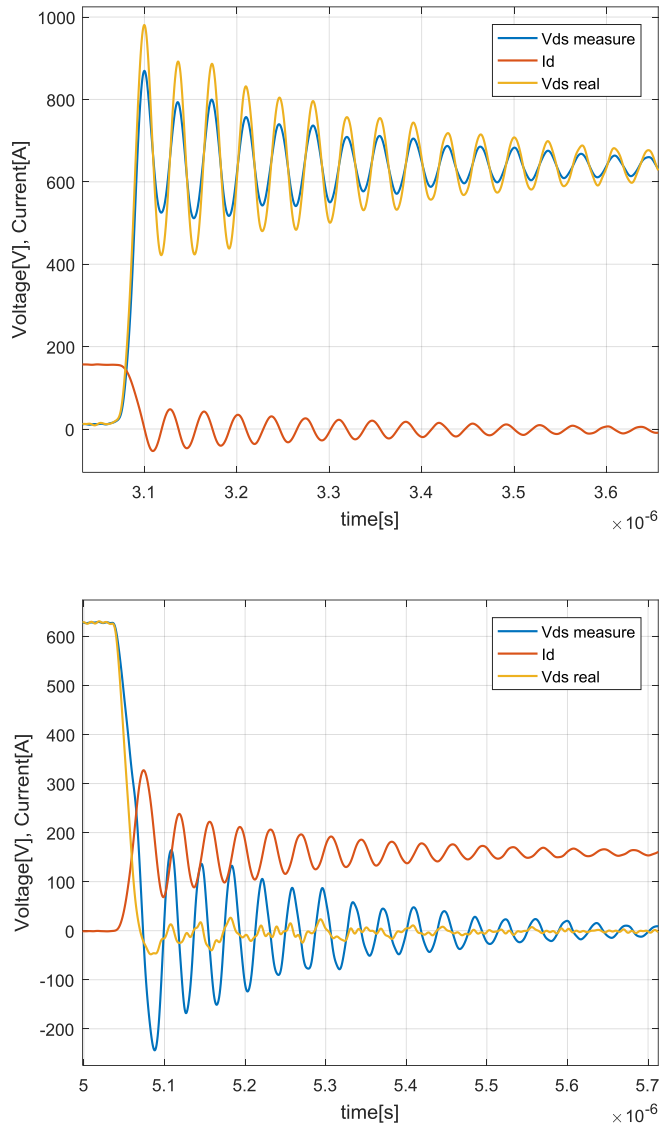


그림 4-32. Full SiC MOSFET의 전압(청색), 전류(적색) 측정 파형과 Vds 전압 복원 파형(황색) (상단: 턴-온, 하단 : 턴-오프)

4.2.3 소자의 기생 캐패시턴스 추정 및 채널전류 복원

소자의 기생 캐패시터 성분은 소자의 데이터 시트에 표기되어 있지만, 아래의 방법으로 측정이 가능하다. 물론 모든 전압 범위에 대한 측정은 아니며, Vdc 전압 근처에서의 AC 캐패시턴스 성분을 추정할 수 있다. 이런 기생 캐패시턴스 성분 추정을 통해 소자의 채널전류와 기생 캐패시턴스에 의한 변위전류 구분 또한 가능하다.

이번 절에서는 소자의 기생캐패시터 성분 값 추정과 이를 이용한 채널전류 복원에 대해 서술한다.

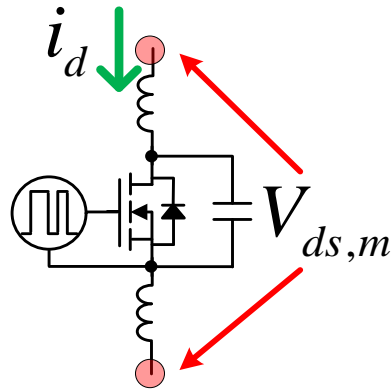


그림 4-33. Full SiC MOSFET의 전압, 전류 측정 위치와 전압측정위치 사이에 존재하는 기생 인덕터와 기생 캐패시터

만약 위와 같은 측정위치에 대해 소자가 턴-오프될 경우, MOSFET은 완전 개방되고, 이때 소자 양단에 보이는 임피던스는 LC 직렬 임피던스이다. 이 경우 전압과 전류 사이의 관계식은 다음과 같다.

$$V_{ds,m}(t) = L_p \frac{di_d(t)}{dt} + V_{ds}(t) \quad (4.4)$$

$$i_{cap}(t) = C_{ds} \frac{dV_{ds}(t)}{dt} \quad (4.5)$$

$$i_d(t) = i_{cap}(t), \text{ if } i_{ch}(t) = 0 \quad (4.6)$$

앞절에서 기생 인덕턴스에 의한 영향을 제거한 V_{ds} 전압을 복원하였기 때문에 MOSFET의 턴-오프 이후의 복원된 전압과 전류는 기생 캐패시턴스에 의한 전압, 전류로 간주할 수 있다. 이를 바탕으로 앞에서 언급한 신호 처리 방법과 유사한 방식으로 측정 전압, 전류를 처리하여 기생 캐패시터 성분을 추정할 수 있다.

그림 3-34는 4.2.2절에서 복원한 소자 양단 전압과 전류, 그리고 소자 양단 전압을 미분하여 C_{ds} 를 곱한 변위전류 파형이다. 이때 사용한 C_{ds} 값은 1.05nF이다. 전압, 전류 위상 보상은 이미 V_{ds} 전압 복원시에 결정되었기 때문에 변위전류 복원시 따로 조정하지 않았다. 그림 3-34 그래프의 적색 파형이 계측된 소자 전류이며, 노랑색은

복원된 변위전류 파형이다. 두 파형이 매우 유사함을 확인할 수 있다. 또한 아래 복원과정으로 부터 얻어진 캐패시턴스값은 소자의 데이터시트에서 제시하는 값과 매우 유사한 값을 확인할 수 있다. C_{ds} 값은 전압에 따라 변동하는 값이지만, 그림 4-35에서 확인할 듯이 소자 양단전압이 V_{dc} 전압인 600V에 달했을때는 C_{ds} 값은 약 1nF으로 거의 일정하다. 따라서 본 논문에서 추정한 C_{ds} 값과 제조사에서 제공하는 C_{ds} 값이 매우 잘 일치함을 확인 할 수 있다.

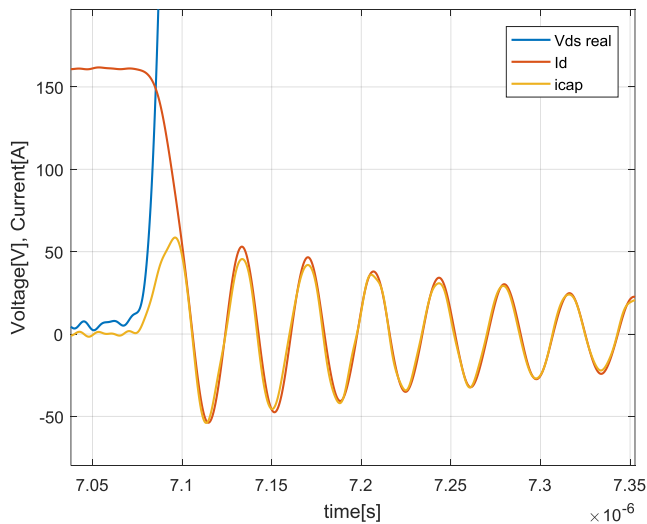
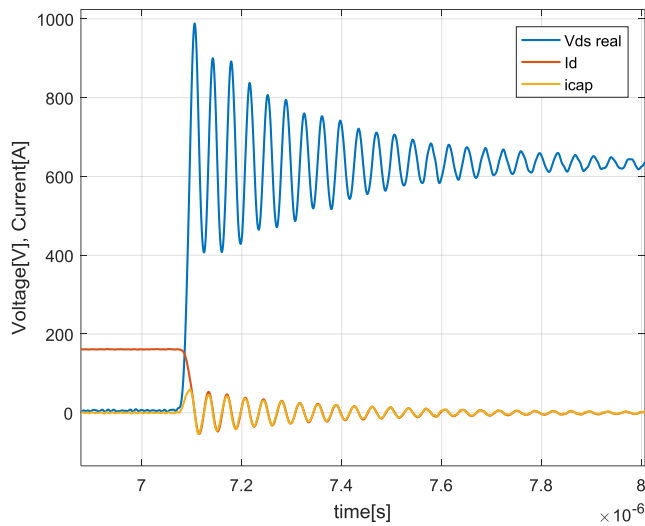


그림 4-34. Full SiC MOSFET의 턴-오프시, 복원된 V_{ds} 전압(청색), 계측전류 파형(적색)과 복원된 변위 전류 파형(황색)(상단)과 확대파형(하단)

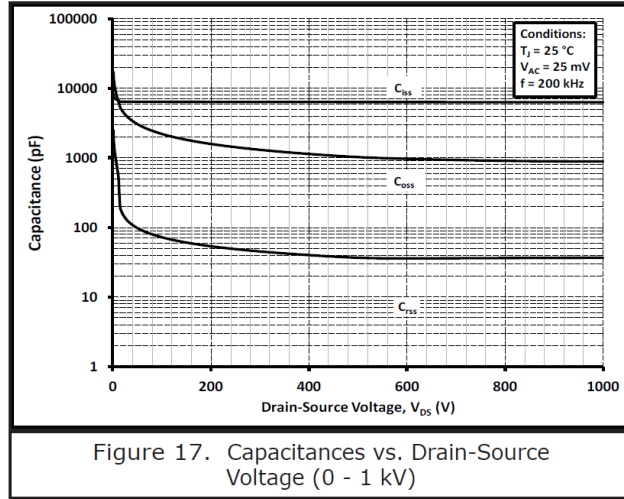


그림 4-35. Full SiC MOSFET의 V_{ds} 전압에 따른 기생 캐패시터스의 비선형 특성 그래프

위 복원과정에서는 1.05nF으로 단일한 값을 사용하였지만, 데이터 시트에 제시된 비선형 캐패시턴스 값을 테이블로 대입하여 변위전류를 좀더 정확하게 추정할 수 있다. 이를 보여주는 것이 그림 4-36의 파형이다.

그림 4-36에서 보라색 파형이 비선형 캐패시터를 이용하여 복원한 변위전류이며, 노랑색 파형은 1.05nF의 단일 값의 캐패시터를 이용하여 복원한 변위전류 파형이다. 대부분의 영역에서 두 변위전류는 서로 일치하나 소자의 전압이 급격하게 상승하는 턴-오프 초기의 경우, 비선형 캐패시터로 복원한 변위전류의 크기가 더 큰 것을 확인할 수 있다. 이는 비선형 C_{ds} 의 값이 저전압에서 급격히 커지기 때문이다.

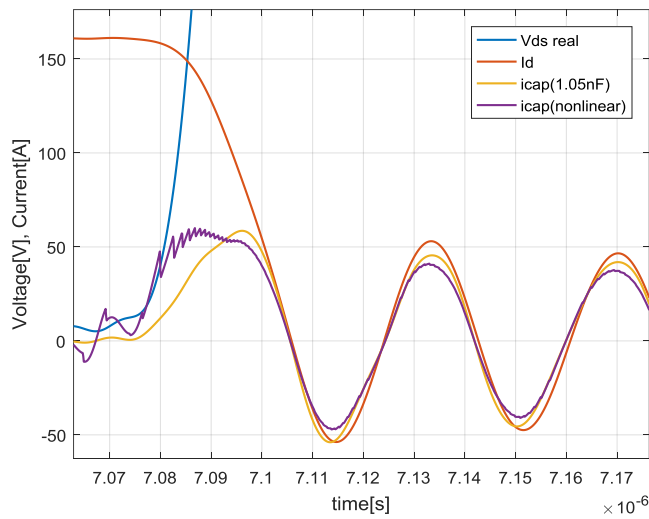
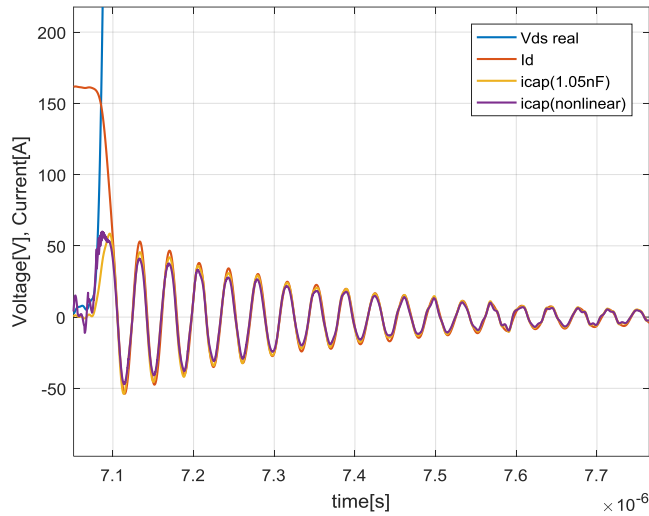


그림 4-36. Full SiC MOSFET의 턴-오프시, 복원된 V_{ds} 전압(청색)을 이용한 복원된 변위 전류 파형(황색: 1.05nF, 보라색: 비선형 기생 캐패시터)(상단)과 확대파형(하단)

그림 4-37 파형은 위에서 구한 변위전류와 아래 전류 관계식을 이용하여 채널전류를 복원한 파형이다.

$$i_d(t) = i_{ch}(t) + i_{cap}(t) \quad (4.7)$$

소자 전압을 복원했던 것과 마찬가지로, MOSFET의 소자가 완전히 턴-오프가 되고 난 뒤의 복원된 채널 전류는 전류의 진동성분이 없는 0에

가까운 값을 확인 할수있다. 이를 통해 채널전류 복원의 신뢰도를 확인할 수 있다.

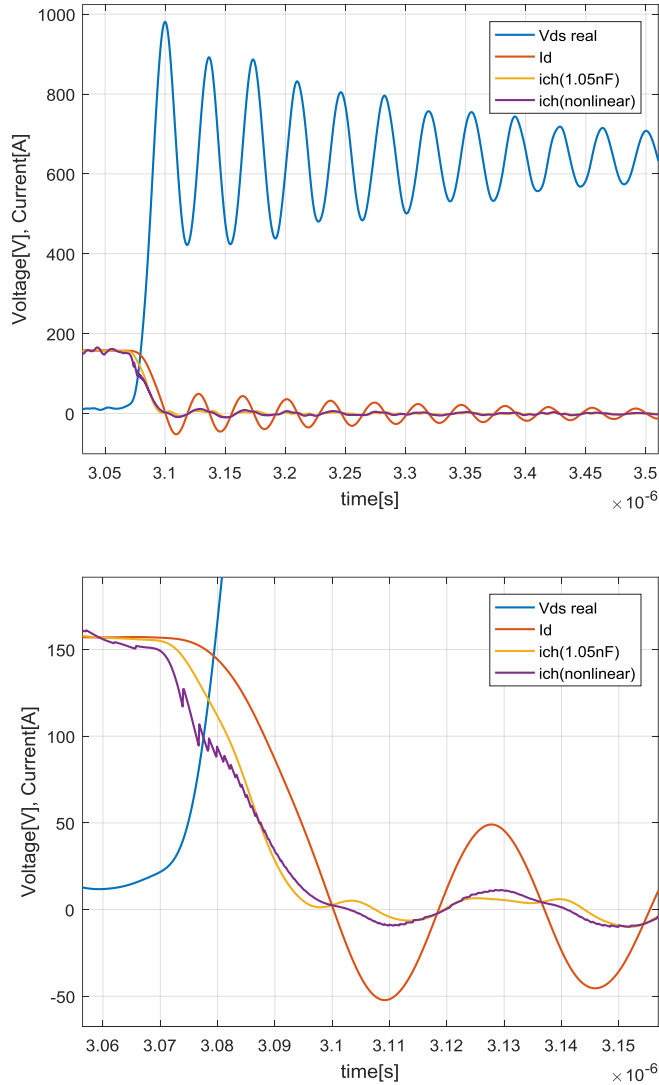


그림 4-37. Full SiC MOSFET의 턴-오프시, 복원된 V_{ds} 전압(청색)을 이용한 복원된 채널 전류 파형(황색: 1.05nF, 보라색: 비선형 기생 캐패시터) 과 계측 전류 파형(적색) (상단)과 확대파형(하단)

그림 4-37의 하단 파형은 턴-오프시 소자양단 전압이 상승할 때를 확대한 파형이다. 이 파형에서 전압과 채널 전류의 곱의 적분이 실제 MOSFET에 열로 소비되는 스위칭 손실이다. 반면 터미널 전류와 전압의

급의 적분은 기생 캐패시터의 충전에너지를 포함하고 있으므로, 열로 발산되는 손실이 아니다. 파형에서 보이는 채널전류와 단자 전류의 차이가 상당히 크기 때문에 이 둘을 구분할 필요성이 있다. 손실에 대한 논의는 다음절에서 다루도록 한다.

4.3 스위칭 손실 구성 성분 고찰

앞절에서 살펴본 바와 같이 단자전압을 기준으로 하는 손실 계산이 실제 열손실로 이어지는 손실 값과는 달라질 수 있다는 것을 확인하였다. 이를 좀 더 일반화 하여 표현하고자 한다. 아래는 소자의 on 상태와 off 상태에 따른 전압, 전류 값을 표시하였다.

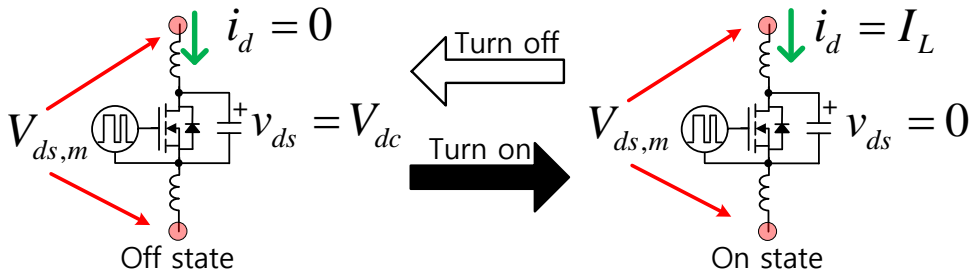


그림 4-38. Full SiC MOSFET의 턴-온, 턴-오프시의 전류, 전압 상태

에너지 보존 법칙에 의해 계에 투입된 에너지는 열손실 에너지와 계에 저장된 에너지 변동량의 합으로 표현할수 있다. 이를 소자의 턴-온 과정에 대해 전개하면 다음과 같다.

$$E_{on,m} + \frac{1}{2}C_{ds}V_{dc}^2 = E_{on,heat} + \frac{1}{2}L_p I_{final}^2 \quad (4.8)$$

위 수식에서 좌변의 $E_{on,m}$ 은 단자 전압과 단자 전류로 계산된 투입된 에너지이고, $\frac{1}{2}C_{ds}V_{dc}^2$ 은 이미 캐패시터에 저장된 에너지이다. 우변에 있는 $E_{on,heat}$ 은 실제 MOSFET에서 열로 발산되는 에너지를 의미하며, $\frac{1}{2}L_p I_{final}^2$ 은 턴-온이후 인덕터에 흐르는 전류에 의해 저장되는 에너지를 의미한다. 이 인덕터 에너지 계산시 사용되는 전류는 부하전류인 I_L 아닌 I_{final} 값을 사용하는데 유의해야 한다. 이를 실제 스위칭 과도 파형과 스위칭 손실 계산을 위한 적분범위를 비교하여 설명하면 다음과 같다.

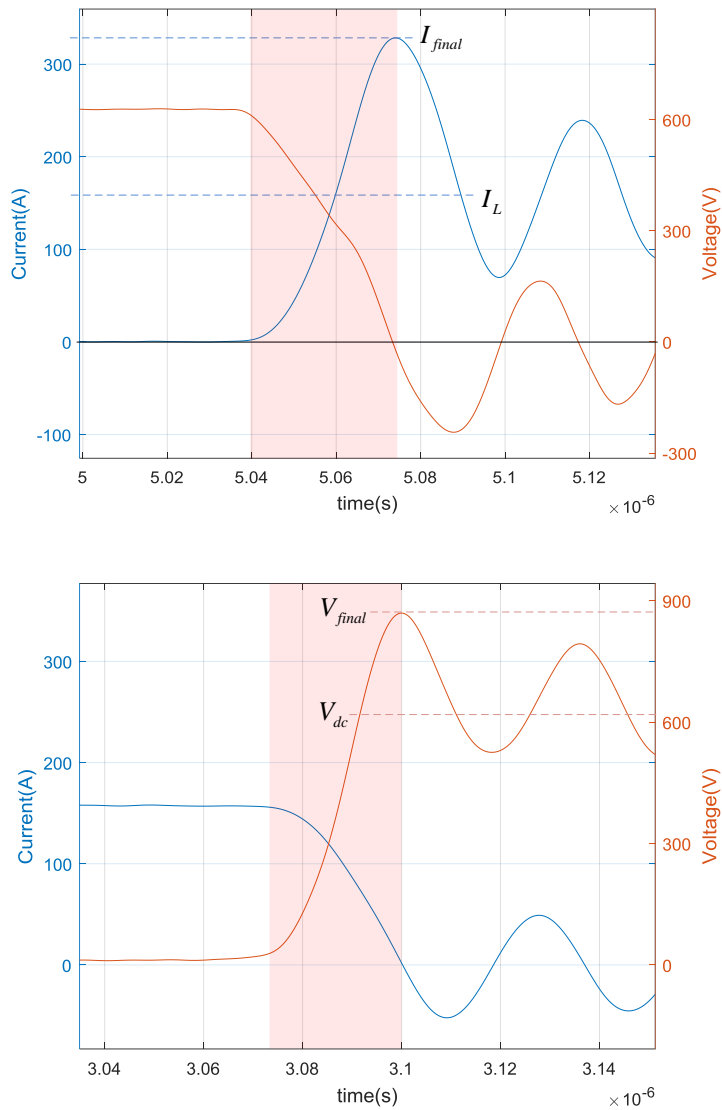


그림 4-39. Full SiC MOSFET의 턴-온시, 턴-온 손실 측정 범위와 실험 계측된 MOSFET 전압(적색), 전류(청색) 파형

턴-온 손실 계산을 위한 손실 적분 범위는 일반적으로 부하전류의 10%에서 V_{dc} 전압의 2% 사이로 정해진다[118]. 따라서 그림 4-39와 같이 적분 구간의 시작점에서의 소자 양단 전압은 V_{dc} , 적분 구간 마지막의 전류는 I_{final} 값이 된다. 위 스위칭 파형에서 확인할 수 있듯이 스위칭 과전류로 인해 해당 적분 구간의 마지막 전류는 부하전류보다 더 큰 값을 가진다. 따라서 위 수식의 우변의 전류는 부하전류 I_L 이 아닐수 있다. IGBT와

같이 비교적 느린 스위칭 특성으로 인해 전류의 최대치가 부하전류값과 거의 동일하다면 이러한 구분은 불필요할 수 있다. 하지만 SiC MOSFET의 경우, 이러한 전류 최대치가 부하전류 I_L 과 다른 경우가 대부분이기 때문에 이를 구분하여야 한다.

위에서 언급한 에너지 관계식을 측정치 기준 투입 에너지로 정리하면 다음과 같다.

$$E_{on,m} = E_{on,heat} + \left[\frac{1}{2} L_p I_{final}^2 - \frac{1}{2} C_{ds} V_{dc}^2 \right]. \quad (4.9)$$

위 수식에서 알 수 있듯이 단자 전압과 전류를 기준으로 한 턴-온 손실은 실제 열손실만을 포함하는 것이 아닌, 측정 단자 사이에 존재하는 기생 캐패시터와 기생 인덕터에 의한 에너지 변동분을 포함한다.

유사하게 턴-오프 손실에 대한 에너지 식을 만들면 아래와 같다.

$$E_{off,m} + \frac{1}{2} L_p I_L^2 = E_{off,heat} + \frac{1}{2} C_{ds} V_{final}^2. \quad (4.10)$$

$$E_{off,m} = E_{off,heat} + \left[\frac{1}{2} C_{ds} V_{final}^2 - \frac{1}{2} L_p I_L^2 \right]. \quad (4.11)$$

턴-오프 손실의 경우도 단자전압과 전류를 기준으로 한 손실에는 실제 열손실과 기생 성분들에 의한 저장에너지 변동분이 포함되어 있음을 알 수 있다. 위의 측정치 기준으로 전체 스위칭 손실을 계산하면 다음과 같다.

$$E_{on,m} + E_{off,m} = E_{on,heat} + E_{off,heat} + \left[\frac{1}{2} L_p (I_{final}^2 - I_L^2) - \frac{1}{2} C_{ds} (V_{final}^2 - V_{dc}^2) \right]. \quad (4.12)$$

만약 스위칭 손실 계산을 위한 적분 구간상의 마지막 전압이나 전류가 부하전류와 DC링크 전압과 유사하다면 전체 스위칭 손실은 단자전압과 단자전류를 기준으로 한 손실로 계산하여도 실제 열손실과 일치함을 알 수 있다. 하지만 스위칭속도가 빠른 SiC MOSFET의 경우는 대부분의 경우 그렇지 않기 때문에 손실 계산에 있어 주의를 기울여야 한다.

식 (4.12)의 대괄호 안에 위치한 저장된 에너지의 변동분에 대해서도 고찰이 필요하다. 소자가 빠른 스위칭 속도로 턴-오프하게 되면 턴-오프 이후 소자의 기생 캐패시터 'C_{ds}'와 DC단의 등가 인덕턴스 'L_{dc}' 사이의

공진으로 인해 소자 양단 전압에는 V_{dc} 전압을 중심으로 하는 전압 진동과 0을 기준으로 전류 진동이 발생한다. 이들 진동은 DC단 등가 인덕턴스의 전류 경로를 통해 기생 캐패시터와 에너지를 주고받으며 경로에 포함된 저항 성분에 의해 감쇄된다. 이렇게 감쇄되어 사라지는 에너지는 전류 경로상에 존재하는 고주파 저항, 접촉 저항등에 의해 열로 발산되며 일부 에너지는 전자기파 형태로 공기중에 방사된다. 이들 에너지중 일부가 위에서 언급한 저장된에너지의 변동분이다.

턴-오프 과정에서 공진으로 인해 열로 사라지는 에너지는 앞선 에너지 보존 법칙에 의해 다음과 같이 표현 할 수 있다.

$$E_{\text{off,loop}} = \frac{1}{2}C_{ds}V_{\text{final}}^2 - \frac{1}{2}C_{ds}V_{dc}^2 \quad (4.13)$$

캐패시터에 저장된 에너지는 결국에는 V_{dc} 전압으로 수렴하기 때문에 적분구간의 마지막 V_{ds} 전압인 V_{final} 값을 사용하면 상위의 수식으로 공진 경로를 통해 손실되는 에너지를 구할수 있다.

반대로 턴-온 과정에서 공진으로 인해 소실되는 에너지는 다음과 같이 쓸 수 있다.

$$E_{\text{on,loop}} = \frac{1}{2}L_{dc}I_{\text{final}}^2 - \frac{1}{2}L_{dc}I_L^2 \quad (4.14)$$

위의 수식을 사용하기 위해서는 DC단의 등가 인덕턴스 값이 필요하다. 다음 장에서 등가 인덕턴스 값을 추정하는 방법을 언급할 예정이기 때문에 해당 값을 사용할 수 있다.

다른 방법으로는 MOSFET의 턴-온시 상단에 위치한 환류 다이오드의 턴-오프 전압 $V_{D,\text{final}}$ 을 측정하면 같은 방식으로 공진으로 소실되는 에너지를 계산할수있다.

$$E_{\text{on,loop}} = \frac{1}{2}C_dV_{D,\text{final}}^2 - \frac{1}{2}C_dV_{dc}^2 \quad (4.15)$$

캐패시터에 저장된 에너지를 기준으로 공진 손실에너지 계산에는 기생 캐패시터의 비선형성을 고려하여야 한다. 실제 기생 캐패시터는 비선형적으로 캐패시턴스값이 바뀌기 때문에 일정한 C 값을 사용하여 위와 같이 계산할 수 없다. 이 경우, 데이터 시트에서 제공하는 V_{ds} 에 따른 기생캐패시터에 저장된 에너지 그래프를 통해 그 값을 찾을 수

있다. 아래는 CREE의 Full SiC MOSFET 데이터 시트에서 제공하는 기생캐패시터의 전압과 저장에너지의 관계를 보여준다.

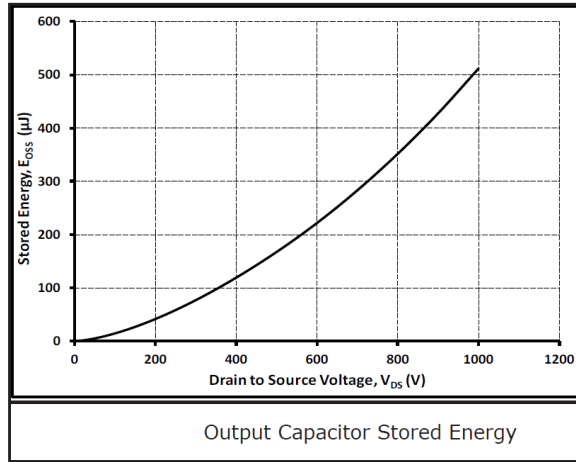


그림 4-40. Full SiC MOSFET의 V_{ds} 에 따른 C_{oss} 에 저장된 에너지 그래프

위 그래프를 함수 $E_{ds}(V_{ds})$ 로 표현하면 공진에 의한 손실은 다음과 같이 표현될 수 있다.

$$E_{off,loop} = E_{ds}(V_{final}) - E_{ds}(V_{dc}) \quad (4.16)$$

$$E_{on,loop} = E_{ds}(V_{D,final}) - E_{ds}(V_{dc}) \quad (4.17)$$

만약 제조사에서 위의 에너지 데이터를 제공하지 않는다면 V_{dc} 에 따른 AC 캐패시턴스 성분을 이용하여 아래와 같이 에너지를 구할 수도 있다. 먼저 아래의 AC 캐패시턴스의 정의를 이용하여 V_{ds} 과 Q 에 대한 함수 f 를 구한다.

$$\frac{dQ_{ds}}{dV_{ds}} = C_{oss} = g(V_{ds}) \quad (4.18)$$

$$f(V) = \int_0^V g(V_{ds})dV_{ds} = Q_{oss} \quad (4.19)$$

위 함수의 역함수를 아래와 같이 정의한다.

$$V = f^{-1}(Q_{oss}) \quad (4.20)$$

위 함수와 (4.21)의 에너지 식을 이용하여 캐패시터에 저장된 에너지 함수를 구하면 다음과 같다.

$$E_{ds}(V) = \int_0^{f(V)} f^{-1}(Q_{oss})dQ_{oss} \quad (4.21)$$

위 수식들을 그래프로 표현하면 아래와 같다.

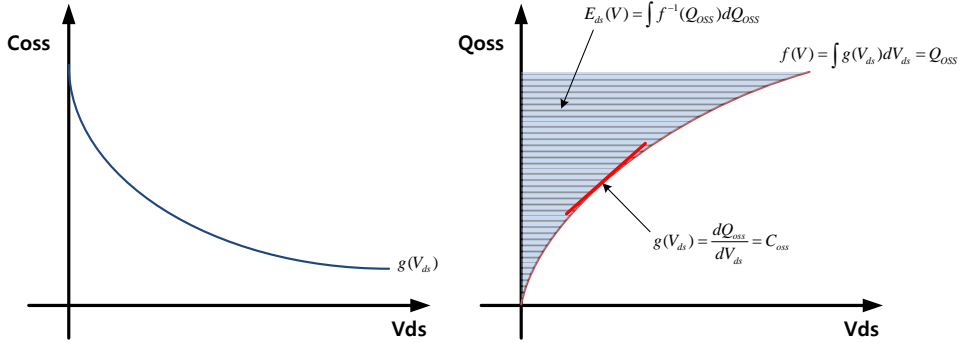


그림 4-41. 비선형 캐패시터의 AC캐패시턴스 함수와 에너지 함수와의 관계

만약 전체 소자의 열손실이 아닌 전체 컨버터에서 소비되는 스위칭 손실을 계산하고자 한다면 아래와 같이 계산할 수 있다.

$$E_{on,total} = E_{on,heat} + E_{on,loop} \quad . \quad (4.22)$$

$$E_{off,total} = E_{off,heat} + E_{off,loop} \quad . \quad (4.23)$$

만약 앞 절에서 복원한 기생 인덕턴스 L_p 의 영향을 제외시킨 전압과 전류를 이용하여 에너지를 계산하면 다음과 같이 L_p 의 영향이 제거된 손실을 구할 수 있다.

$$E_{on,m} = E_{on,heat} + \left[-\frac{1}{2} C_{ds} V_{dc}^2 \right] \quad . \quad (4.24)$$

$$E_{off,m} = E_{off,heat} + \left[\frac{1}{2} C_{ds} V_{final}^2 \right] \quad . \quad (4.25)$$

위 식에서에서 MOSFET에서 열로 손실되는 에너지는 앞서 사용한 기생 캐패시터의 에너지 함수를 이용하여 구할수 있다.

$$E_{on,heat} = E_{on,m} + E_{ds}(V_{dc}) \quad . \quad (4.26)$$

$$E_{off,heat} = E_{off,m} - E_{ds}(V_{final}) \quad . \quad (4.27)$$

따라서 전체 스위칭 손실은 다음과 같이 구할수 있다.

$$E_{total} = E_{on,total} + E_{off,total} \quad . \quad (4.28)$$

4.3.1 스위칭 손실 측정 결과

그림 4-42는 외부 게이트 저항 0Ω , 2.5Ω , 8Ω 에 대한 SiC MOSFET의 턴-온 손실, 턴-오프 손실, 전체 손실(턴-온 손실 + 턴-오프 손실)의 그래프이다. 실험에 사용한 전력소자는 CREE의 “CAS120M12BM2”으로, 1200V의 전압 내압과, 케이스 온도 25도 기준 193A, 90도 기준 138A의 최대 전류용량을 가지는 레그(Leg)구조의 62mm 패키지를 가지는 Full SiC MOSFET 모듈이다.

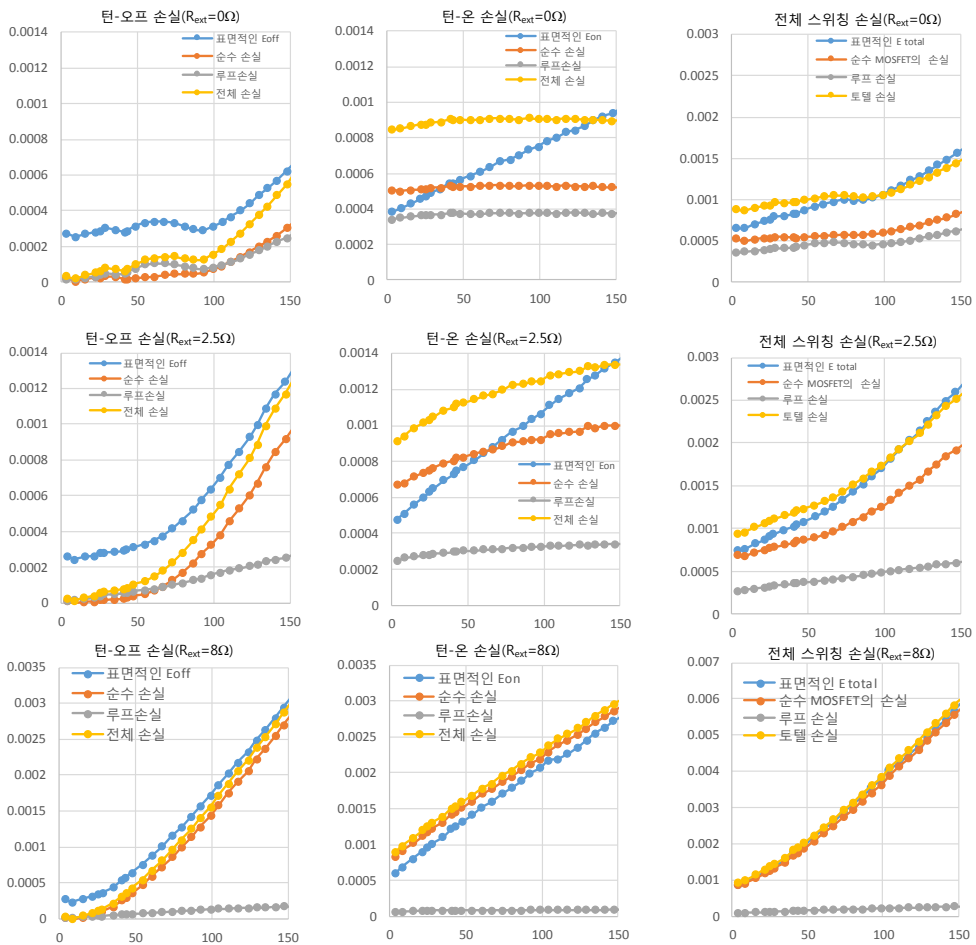


그림 4-42. 외부 게이트 저항 0Ω , 2.5Ω , 8Ω 에 따른 부하전류(X축, [A])에 따른 턴-온, 턴-오프, 전체 스위칭 손실(Y축, [J]) 실험 결과

그림 4-42의 각각의 손실 그래프에는 앞선 절에서 정의했던, MOSFET의 열로 발산되는 순수손실 $E_{on,heat}$, $E_{off,heat}$ 와 공진전압,

전류에 의해 발산되는 루프손실 $E_{on,loop}, E_{off,loop}$ 와 이 둘을 합친 전체손실 $E_{on,total}, E_{off,total}$ 을 표시하였고, 턴-온, 턴-오프 전체 스위칭 손실 E_{total} 을 우측에 도시했다. 여기서 표면적인 손실은, 단자전압, 전류를 이용하여 계산한 $E_{on,m}, E_{off,m}$ 을 의미한다.

그림 4-42에서 주의깊게 보아야 할 것은 게이트 저항 0Ω 과 8Ω 에서의 루프손실이 차지하는 비율이다. 게이트 저항이 매우 작은 0Ω 의 경우, 전체 손실에서 MOSFET의 열로 발산되는 에너지인 순수 손실과 공진에 의해 발산되는 루프 손실이 거의 비슷한 수준임을 관찰할 수 있다. 반면, 비교적 큰 게이트 저항인 8Ω 의 경우, 전체손실에서 루프 손실이 차지하는 비중이 미미함을 알 수 있다.

따라서 게이트 저항이 매우 작은 고속 스위칭의 영역에서는 공진에 의한 손실을 고려하여 스위칭 손실을 계산해야 MOSFET 소자의 손실을 정확히 평가 할 수 있다. 그림 4-42에서 볼 수 있듯이, 이러한 손실 계산법은 게이트 저항이 매우 작은 고속스위칭에서 큰 의미를 가진다.

4.4 과전압 측정 실험 결과

이번 절에서는 3장에서 분석한 부하전류에 따른 과전압의 경향을 실험을 통해 검증해 본다. 앞절에서 언급한 측정방법을 이용하여 Full SiC MOSFET의 전압, 전류를 측정하고, 손실을 계산하였다. 이를 통해 이론적으로 분석한 것과 실제 현상을 비교해 보았다. 실험으로 검증하고자 하는 항목은 다음과 같다.

- 외부 게이트 저항을 매우 작은 값을 사용하였을 때 MOSFET의 턴-오프 과전압의 크기가 부하전류에 대해 주기성을 갖는지 확인한다.
- 게이트 저항을 작은 저항에서 큰 저항으로 증가시켰을 때 부하전류에 따른 과전압 크기의 경향이 어떻게 바뀌는지 확인한다.
- DC단의 기생 인덕턴스 성분을 증가 시켰을 때, 작은 게이트 저항을 사용하였을 때 나타나는 기준전류의 크기가 3장의 분석에서 예측한 크기로 변동하는지 확인한다.
- 작은 게이트 저항을 사용했을 때, V_{dc} 전압 변동에 따른 기준 전류 변동이 3장의 분석과 일치하는지 확인한다.

실험에 사용한 전력 소자는 CREE의 “CAS120M12BM2” 으로, 1200V의 전압 내압과, 케이스 온도 25도 기준 193A, 90도 기준 138A의 최대 전류용량을 가지는 레그(Leg)구조의 62mm 패키지를 가지는 Full SiC MOSFET 모듈이다. 아래의 실험 결과들은 모두 해당 모듈을 이용하여 측정한 결과이다.

4.4.1 게이트 저항의 영향

게이트 저항변동에 따른 부하전류에 따른 MOSFET의 턴-오프 과전압의 경향을 확인하기 위해 0Ω , 1.25Ω , 2.5Ω , 4Ω , 8Ω , 20Ω , 47Ω 의 7가지 외부 게이트 저항 조건과 0~150A까지 총 27개의 부하전류에 대한 MOSFET 턴-오프 스위칭 파형을 계측하였다. 측정된 전압 파형은 4.1~4.2절에서 소개한 계측 방법을 이용하여 측정범위내 기생인덕터의 영향을 제거하여 분석에 사용하였다.

그림 4-43는 189개(게이트 저항 조건7개 × 전류조건 27개)의 측정

조건의 MOSFET 턴-오프 전압 파형에서 과전압(최고 전압; V_{peak}) 값을 부하전류에 따라 도시한 그래프이다.

그림 4-43에서 확인할 수 있듯이 게이트 저항이 0Ω 일 경우, 부하전류에 대한 과전압 크기의 경향이 주기성을 가지는 것으로 나타났다. 이러한 경향은 게이트 저항이 증가할수록 점점 사라진다.

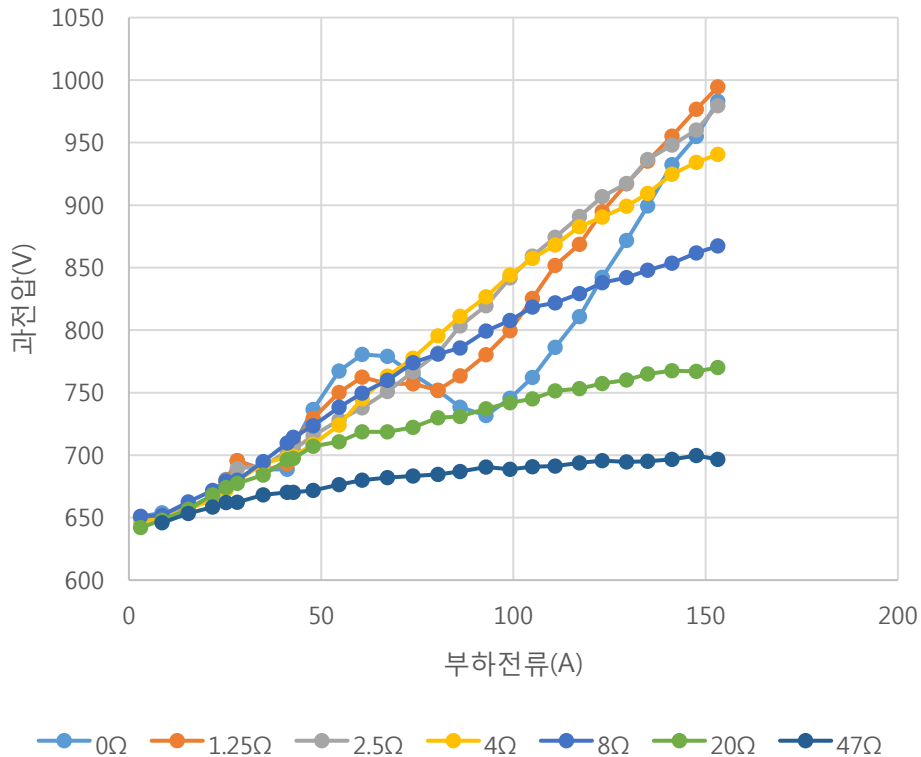


그림 4-43. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류에 따른 저항에 따른 Full SiC MOSFET의 턴-오프 과전압 실험 결과

3장에서 분석한 게이트 저항에 따른 과전압 경향 분석 결과와 동일하게, 외부 게이트 저항을 0Ω 에서 4Ω 까지 증가시킬 경우, 기준전류($I_0 \cong 93.2A$, 4.4.2절에서 계산) 근처에서의 과전압은 오히려 증가하며, 4Ω 보다 큰 게이트 저항에 대해서는 과전압의 크기가 감소하는 것을 확인할 수 있다.

기준전류에서의 과전압의 경향을 자세히 관찰하기 위해 기준전류 근처에서의 턴-오프 스위칭 실험 파형을 그림 4-44에 표시하였다.

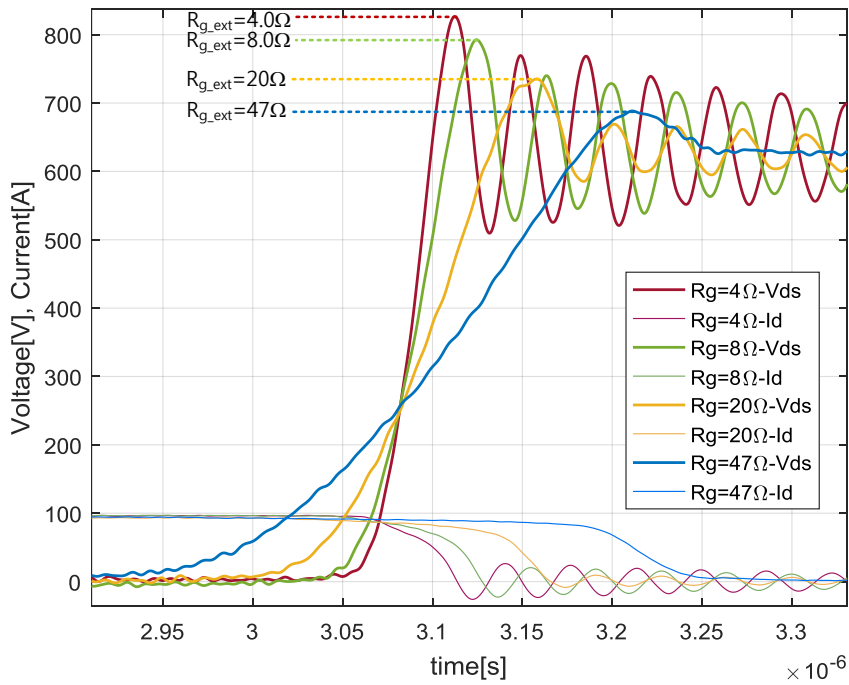
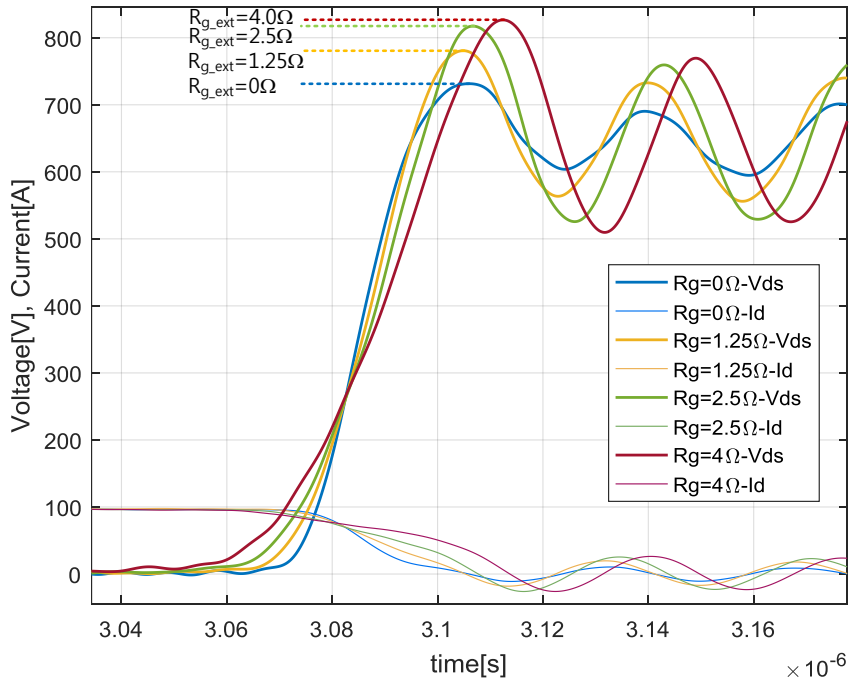


그림 4-44. 측정범위내 기생 인덕턴스의 영향을 제거한 기준전류 근처에서의 외부 게이트 저항에 따른 Full SiC MOSFET의 턴-오프 과전압 실험 파형

그림 4-44에서 확인할 수 있듯이 외부 게이트 저항이 0~4Ω 로 증가할 수록, 전압 기울기(dv/dt)와 전류 기울기(di/dt)가 작아지지만, 소자의 과전압은 점점 커짐을 관찰 할 수 있다. 이는 일반적으로 알려진 MOSFET의 턴-오프 과전압의 경향과 다르다.

반면 외부 저항의 크기가 4Ω~47Ω으로 증가할 경우, 전압 기울기(dv/dt)와 전류 기울기(di/dt)가 작아지며, 동시에 과전압의 크기도 점점 작아지는 것을 관찰할 수 있다.

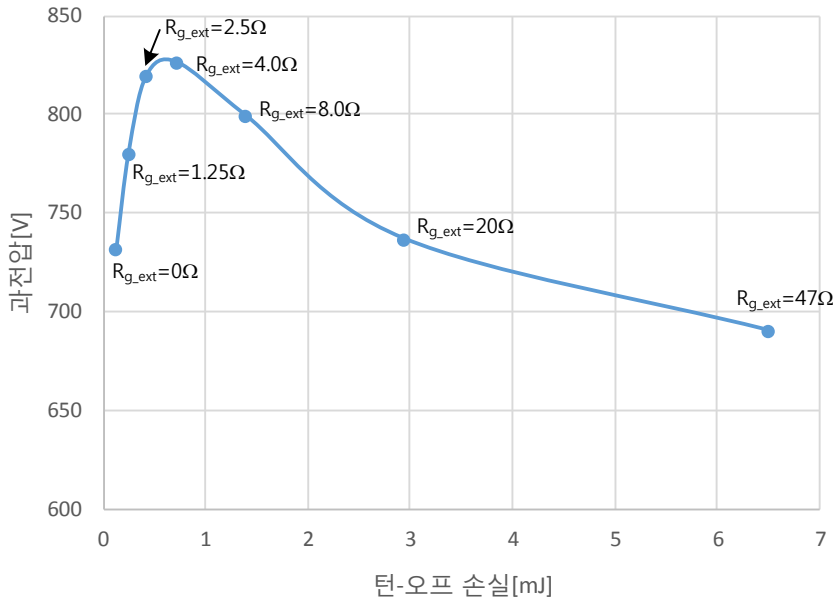


그림 4-45. 측정범위내 기생 인덕턴스의 영향을 제거한 기준전류(93.2A) 근처에서의 외부 게이트 저항에 따른 Full SiC MOSFET의 턴-오프 과전압과 턴-오프 손실

그림 4-45는 그림 4-44의 외부 게이트 저항에 따른 과전압과 턴-오프 손실을 하나의 그래프로 표현 하였다. 그림에서 확인할 수 있듯이, 게이트 저항이 증가함에 따라 턴-오프 손실은 증가하지만, 소자의 과전압은 외부 게이트 저항이 4Ω인 경우 까지 증가하다 감소하는 것을 관찰할 수 있다. 단적인 예로, 외부 저항 0Ω일 경우와 외부 저항 20Ω일 경우의 과전압은 731V와 737V로 서로 유사하지만,

턴-오프 손실은 0.12mJ, 2.93mJ로 24.4배 차이가 난다.

외부 게이트 저항값이 0Ω 일 경우에 3장의 분석처럼 기준 전류에서의 과전압이 0이 되지 못하는 이유는 모듈 내부에 있는 내부 게이트 저항의 영향으로 인한 것으로 생각된다. 아래 사진은 실험에 사용한 Full SiC MOSFET 모듈의 내부 모습이다. 사진에 보이는 것처럼 약 10Ω 의 저항이 연결되어 있다. 모듈 내부에는 총 6개의 MOSFET이 병렬 연결되어 있으므로, 등가적으로 약 1.6Ω 의 내부 게이트 저항이 모듈 내부에 있는 것으로 간주할 수 있다.

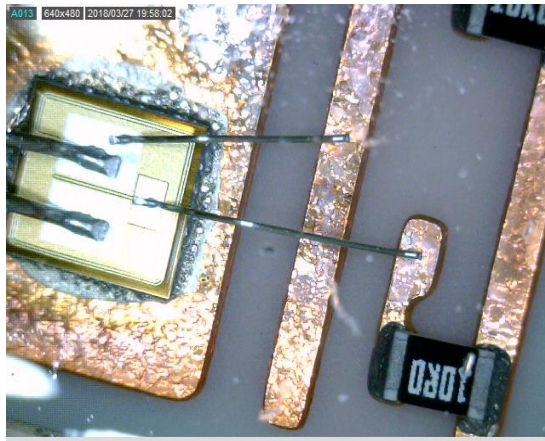


그림 4-46. 1200V 120A Full SiC MOSFET 모듈 내부에 위치한 내부 게이트 저항의 모습

모듈 내부에 내부 게이트 저항이 있는 이유는 병렬 연결된 MOSFET간의 게이트 전압 평형을 맞춰주기 위함과 병렬 연결된 MOSFET간에 발생할 수 있는 게이트-소스단의 공진의 감쇄를 위한 것으로 보인다. 이러한 모듈 내부의 게이트 저항에 의한 스위칭 속도의 한계를 제거하려면 새로운 게이트 드라이버 설계가 필요하다.

MOSFET의 턴-온시, MOSFET의 게이트 저항 변동에 따른 부하전류에 따른 SiC 쇼트키 다이오드의 턴-오프 과전압의 경향을 확인하기 위해 0Ω , 1.25Ω , 2.5Ω , 4Ω , 8Ω , 20Ω , 47Ω 의 7가지 외부 게이트 저항 조건과 0~150A까지 총 27개의 부하전류에 대한 MOSFET 턴-온시 쇼트키 다이오드의 스위칭 파형을 측정하였다. 측정된 전압 파형은 4.1~4.2절에서 소개한 측정 방법을 이용하여 측정범위내 기생인덕터의 영향을 제거하여 분석에 사용하였다.

그림 4-47은 게이트 저항 변동과 부하전류에 따른 MOSFET 턴-온시 상단 SiC 쇼트키 다이오드의 과전압 경향에 대한 실험 결과이다.

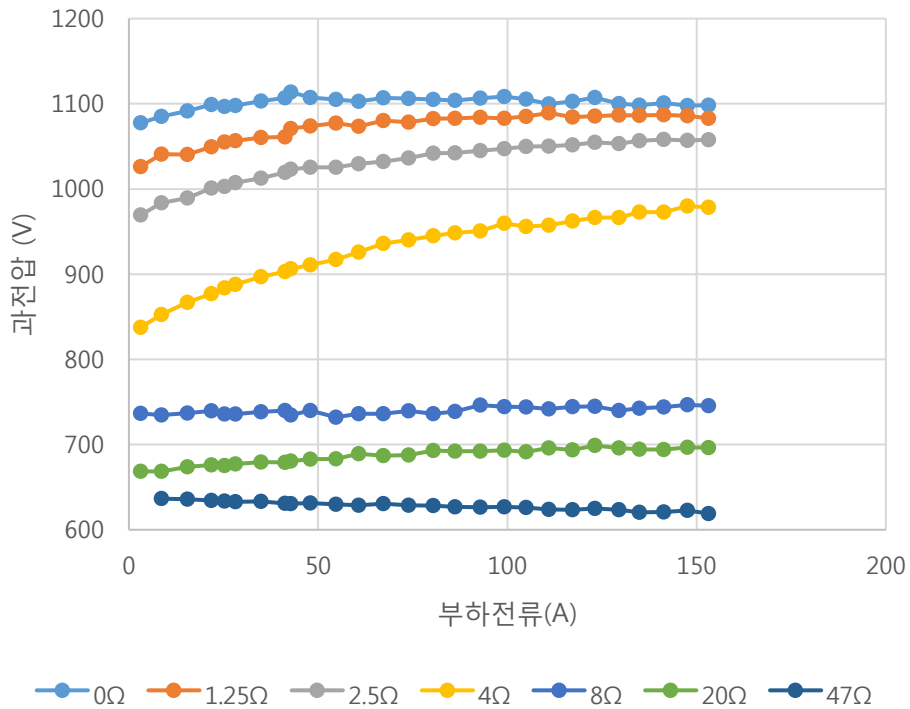


그림 4-47. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 저항에 따른 Full SiC MOSFET의 턴-온시 SiC 쇼트키 다이오드의 과전압 실험 결과

3장의 이론적 분석에서 예상하였듯이, 작은 게이트 저항을 가질 때는 부하전류와 상관없이 $2V_{dc}$ 값에 달하는 높은 과전압이 발생함을 관찰 할 수 있다. 이러한 다이오드 과전압의 경향은 게이트 저항값이 증가함에 따라 점점 작아진다.

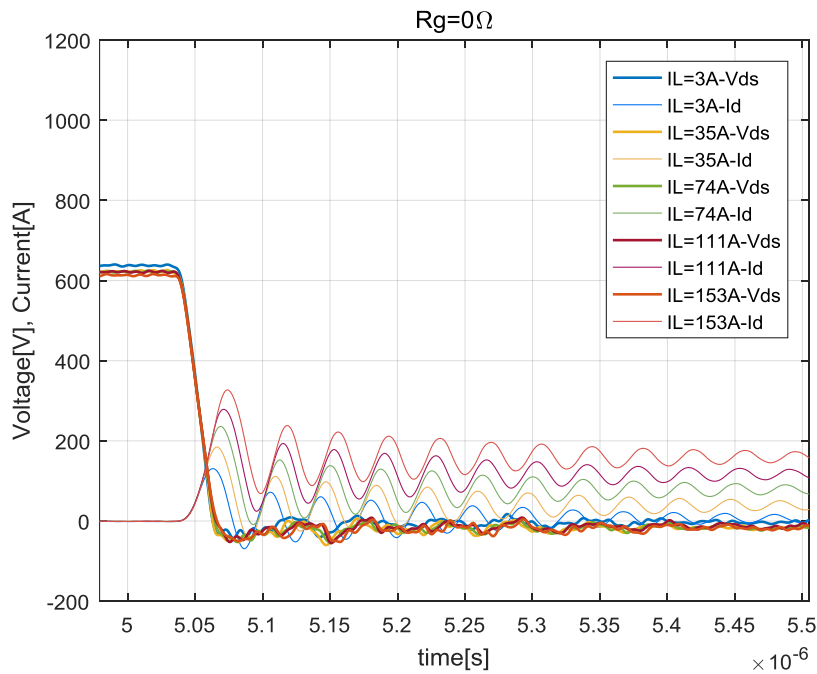


그림 4-48. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류에 따른 Full SiC MOSFET의 외부 게이트 저항 0Ω 턴-온시 MOSFET의 턴-온 실험 파형

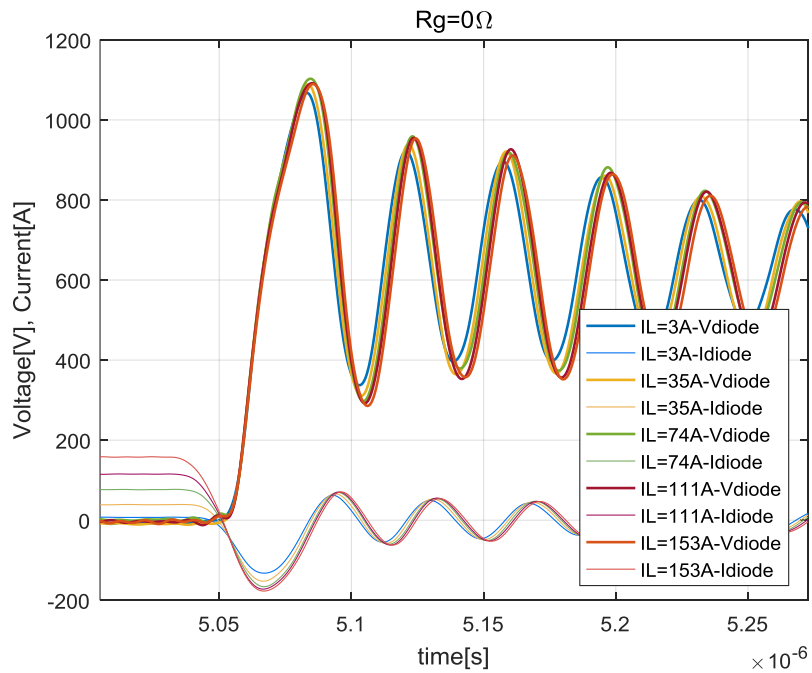


그림 4-49. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류에 따른 Full SiC MOSFET의 외부 게이트 저항 0Ω 턴-온시 SiC 쇼트키 다이오드의 턴-오프 과전압 실험 파형

그림 4-48과 그림 4-49은 0~150A사이의 27개의 부하전류 중, 3A, 35 A, 74 A, 111 A, 153 A의 부하전류에 대한 외부게이트 저항 0Ω 의 Full SiC MOSFET의 턴-온 스위칭 실험파형이다. 그림 4-48은 MOSFET의 턴-온시, MOSFET의 전압,전류 실험 파형이며, 그림 4-49은 MOSFET의 턴-온시의 다이오드의 전압,전류 실험 파형이다.

그림 4-49에서 관찰 할 수 있듯이, 게이트 저항이 매우 작은 경우에는 부하전류의 크기와 상관없이 MOSFET의 턴-온시, 다이오드의 턴-오프 과전압이 $2V_{dc}$ 에 근접한 값으로 일정함을 관찰할 수 있다.

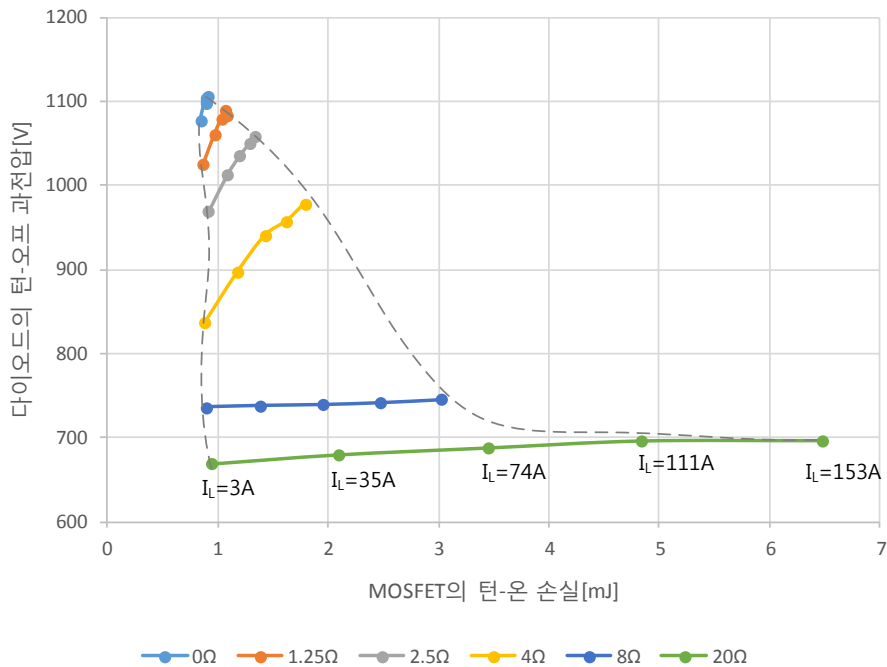


그림 4-50. 측정범위내 기생 인덕턴스의 영향을 제거한 외부 게이트 저항에 따른 부하전류에 따른 Full SiC MOSFET의 턴-온시 SiC 쇼트키 다이오드의 턴-오프 과전압 크기와 턴-온 손실의 실험 결과

그림 4-50는 3A, 35 A, 74 A, 111 A, 153 A의 부하전류에 대한 Full SiC MOSFET의 턴-온 스위칭시의 턴-온 스위칭 손실과 다이오드의 과전압을 0Ω , 1.25Ω , 2.5Ω , 4Ω , 8Ω , 20Ω , 47Ω 의 외부게이트 저항에 따라 도시하였다. 턴-온 스위칭 손실은 부하전류가 증가함에 따라 증가하며

게이트 저항이 작아질수록 부하전류 증가에 따른 손실의 증가 폭이 감소하는 것과 동시에, 과전압 크기가 대부분의 부하전류 범위에서 2Vdc에 근접한 값으로 수렴하는 것을 알 수 있다.

4.4.2 기생 인덕턴스의 영향

DC단 기생 인덕턴스의 영향을 확인하기 위해 아래 사진과 같이 Full SiC MOSFET 모듈의 단자에 8mm 높이의 구리 원기둥을 삽입하여 인위적으로 기생 인덕턴스를 증가 시키며 스위칭 파형을 계측하였다.



그림 4-51. Full SiC MOSFET 모듈과 DC단 기생 인덕턴스의 증가를 위해 8mm 구리 원기둥의 장착 모습(좌부터 2단, 1단, 0단)

구리 원기둥의 장착 개수에 따라 0단, 1단, 2단으로 표현 한다. 구리 원기둥의 장착 높이가 증가함에 따라 DC단 기생 인덕턴스 성분이 증가함을 예상할 수 있다. 증가한 기생 인덕턴스 성분은 스위칭 파형의 진동(ringing) 주파수에 반영된다. 스위칭 파형의 진동 주파수는 DC단 인덕턴스와 소자의 기생 캐패시턴스의 공진 주파수로 결정되므로, 이를 이용하면 DC단 기생 인덕턴스 성분의 크기를 추정할 수 있다.

공진 주파수의 측정에 유의할 사항은, MOSFET의 턴-오프 시의 V_{dc} 전압을 기준으로 진동하는 소자전압의 주파수를 측정해야 한다. 왜냐하면 소자의 기생 캐패시턴스는 V_{ds} 전압이 높아질수록 AC

캐패시턴스의 변동폭이 작아지기 때문에 공진주파수계산에서 기생 캐패시턴스의 비선형성을 배제할 수 있다.

그림 4-52은 구리기둥 단수에 따른 Full SiC MOSFET의 턴-오프 과전압 실험 파형이다. 그림에서 관찰할 수 있듯이, 턴-오프시, MOSFET 전압의 진동 주기가 구리 단수가 높아짐에 따라 달라짐을 관찰할 수 있다. 여기서, 소자전압의 진동 주파수를 측정하기 위해서는 가능한 전압변동 폭이 작은 구간에서 측정하는 것이 좋다. 따라서 실제 공진 주파수의 측정은 공진의 진동이 어느 정도 감쇄된, 그림 4-52의 파형보다 시간적으로 더 이후의 소자전압파형을 이용하여 측정하였다.

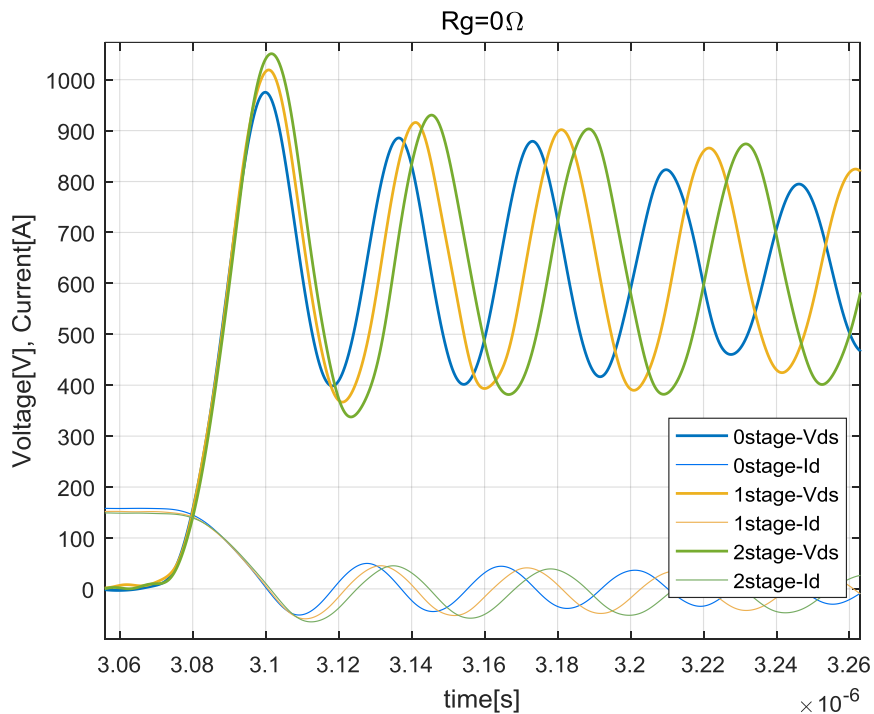


그림 4-52. 측정범위내 기생 인덕턴스의 영향을 제거한 0Ω 의 게이트 저항을 가지는 구리 기둥 단수에 따른 Full SiC MOSFET의 턴-오프 과전압 실험 파형

위의 공진 주파수 측정 방법을 이용하여 각각의 단수에 따른 기생 인덕턴스 성분을 추정하면 다음과 같다.

$$\omega = \frac{1}{\sqrt{C_{ds}L_{dc}}} \quad (4.29)$$

- 0단 : $L_{dc} = 33.58\text{nH}$
- 1단 : $L_{dc} = 41.12\text{nH}$
- 2단 : $L_{dc} = 47.51\text{nH}$

위 값을 기준으로 아래의 공식을 이용하여 기준전류 값을 계산하면 다음과 같다.

$$I_0 \equiv \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} \quad (4.30)$$

- 0단 : $I_0 = 93.2\text{A}$
- 1단 : $I_0 = 84.2\text{A}$
- 2단 : $I_0 = 78.3\text{A}$

그림 4-53은 게이트 저항을 0Ω 으로 고정하고, 8mm 구리 원기둥을 0단, 1단, 2단으로 했을때의 MOSFET 턴-오프 과전압 실험 결과이다.

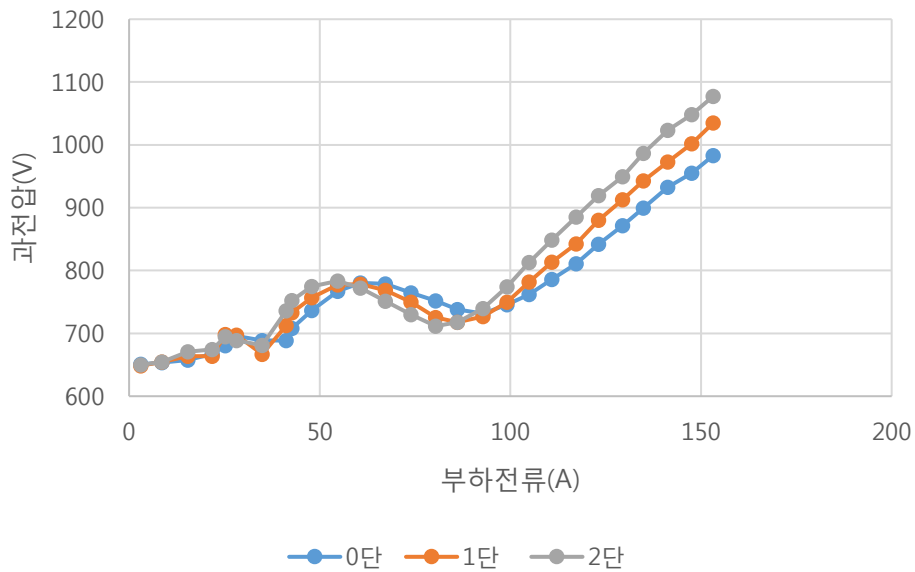


그림 4-53. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 0Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-오프 과전압 실험 결과

그림 4-53에서 기준전류라 추정되는 부하전류 70A~100A 범위에서의 과전압 최저점에서의 전류를 정리하면 아래와 같다.

- 0단 : $I_0 = 92.8A$ (예측값 : 93.2A)
- 1단 : $I_0 = 86.1A$ (예측값 : 84.2A)
- 2단 : $I_0 = 80.4A$ (예측값 : 78.3A)

위의 결과를 비교해 보면, 기준전류의 예측값과 실험값이 거의 동일함을 알 수 있다. 일부 오차의 원인은 내부 게이트 저항의 영향으로 인한 느린 스위칭 속도와 스위칭 실험에서의 부하전류 변동 간격이 3A 가량 되기 때문에 생기는 낮은 분해능이라 추정된다.

그림 4-54은 0단, 1단, 2단에서의 MOSFET 턴-온시 다이오드의 과전압 실험 결과이다. 이때 외부 게이트 저항은 0Ω 을 사용 했다.

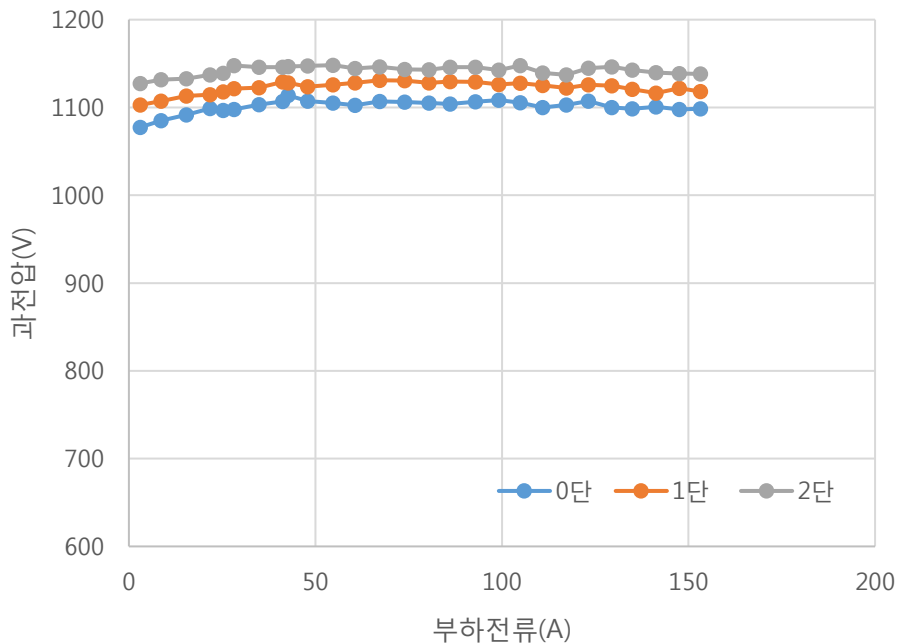


그림 4-54. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 Full SiC MOSFET의 턴-온시 다이오드의 과전압 실험 결과

그림 4-54의 실험 결과, 구리 원기둥의 단수가 높아짐에 따라 약 20V 가량의 과전압의 크기가 줄어 들지만, 부하전류의 값과 관계없이 거의

2V_{dc}값에 가까운 일정한 과전압이 발생하는 것을 확인할 수 있다. 20V의 과전압 강하분은 3장의 이론 분석에서는 규명하지 못하였지만, 부하전류와 기생 인덕턴스 성분의 크기와 상관없이 2V_{dc}의 과전압을 가진다는 경향은 실험에서 관찰할 수 있었다.

아래는 비교적 큰 저항인 8Ω의 게이트 저항을 가질 때의 MOSFET 턴-오프 과전압 실험 결과이다. 비교적 큰 게이트 저항이기 때문에 일반적으로 잘 알려진 과전압의 경향에 따라 부하전류 크기에 비례하여 과전압의 크기가 증가하는 것을 관찰할 수 있다. 또한 구리기둥의 단수가 높아짐에 따라(기생 인덕턴스의 크기가 커짐에 따라) 과전압의 크기도 비례하여 증가함을 관찰 할 수 있다. 이는 기존에 잘 알려진 MOSFET의 과전압 경향과 일치한다.

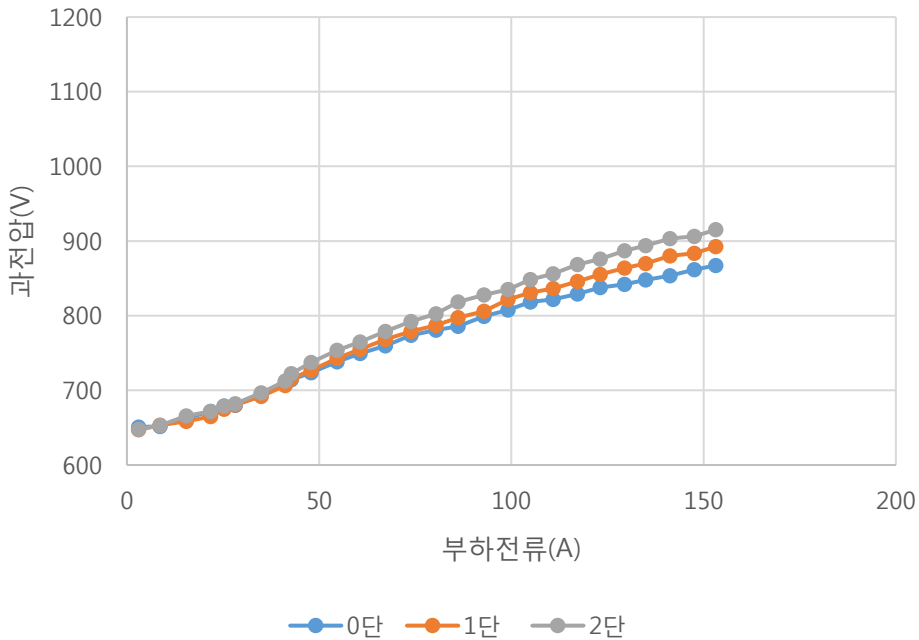


그림 4-55. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 8Ω의 게이트 저항을 가지는 Full SiC MOSFET의 턴-오프 과전압 실험 결과

아래는 8Ω의 게이트 저항을 가질 때의 MOSFET 턴-온시, 다이오드의 과전압 실험 결과이다. 게이트 저항값이 비교적 크기 때문에 다이오드 과전압의 크기 자체는 그리 크지 않다. 하지만 부하전류가 증가함에

따라 다이오드의 과전압 크기가 조금 씩 증가하며, 단수 높아 기생 인덕턴스 성분이 증가할수록 과전압의 크기가 증가하는 경향을 보여준다.

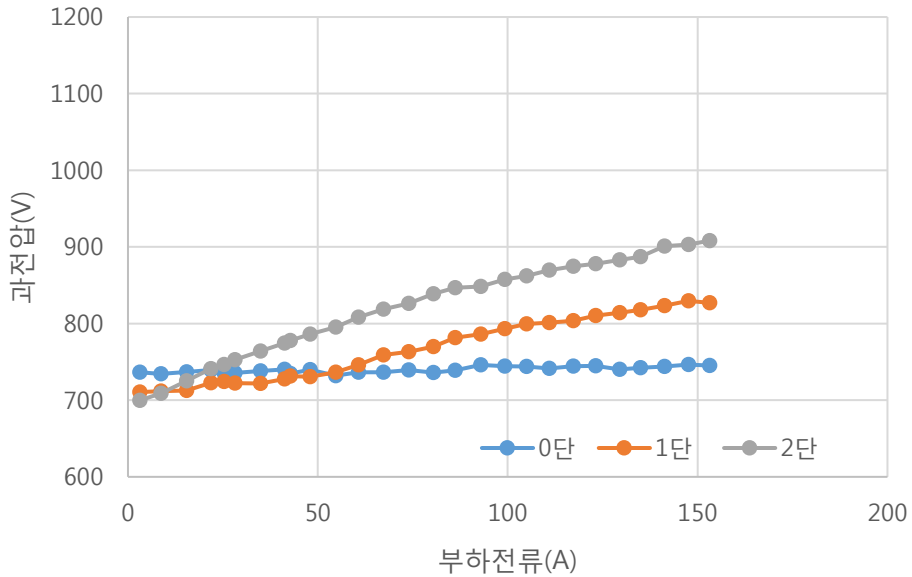


그림 4-56. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 구리 기둥 단수에 따른 8Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-온시 다이오드 과전압 실험 결과

4.4.3 DC링크 전압의 영향

3장의 이론 분석에서 기준전류는 V_{dc} 전압에 비례한다고 예측하였다. 아래 수식을 이용하여 V_{dc} 전압에 따른 기준전류를 계산하면 아래와 같다.

$$I_0 \equiv \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} \quad (4.31)$$

- 600Vdc : $I_0 = 93.2A$
- 450Vdc : $I_0 = 69.9A$
- 300Vdc : $I_0 = 46.6A$

이러한 경향이 실험에서도 동일하게 나타나는지 확인하였다. 아래 그래프는 V_{dc} 전압을 600V, 450V, 300V 로 하고 게이트 저항을 0Ω 으로 하였을 때의 실험 결과이다.

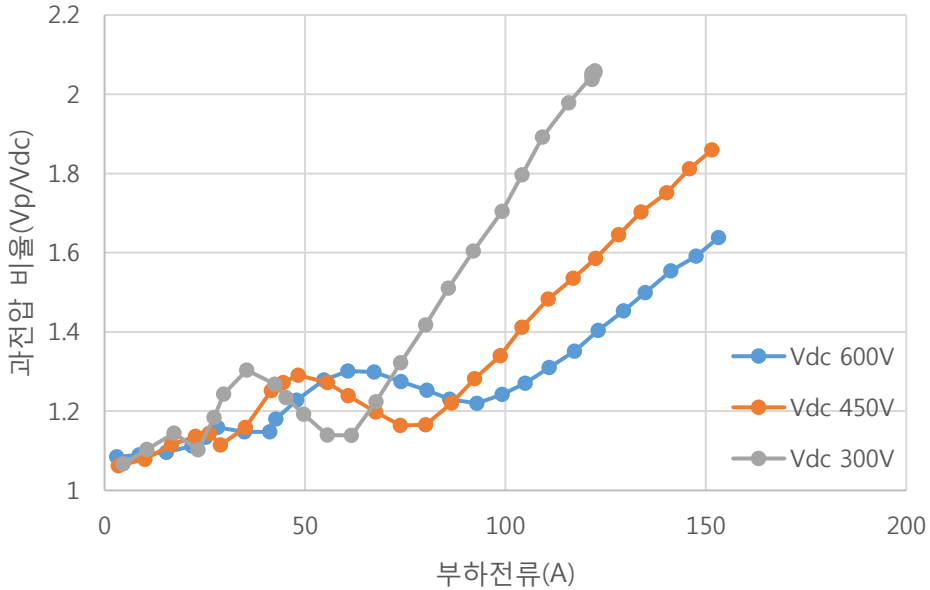


그림 4-57. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 DC링크 전압에 따른 0Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-오프 과전압 실험 결과

이론 분석에서 예측 하였듯이 V_{dc} 전압이 감소함에 따라 기준전류의 위치도 이동하는 것을 볼 수 있다. 실험에서 나타난 기준전류의 크기와 이론분석으로 예측한 기준전류의 크기를 비교하면 아래와 같다.

- 600Vdc : $I_0 = 92.8A$ (예측값 : $I_0 = 93.2A$)
- 450Vdc : $I_0 = 73.8A$ (예측값 : $I_0 = 69.9A$)
- 300Vdc : $I_0 = 55.3A$ (예측값 : $I_0 = 46.6A$)

이론적으로 예측한 값과 다소 차이는 있지만 유사한 경향이 있음을 확인할 수 있다.

그림 4-58은 0Ω 의 외부 게이트 저항 사용시, V_{dc} 전압 변동에 따른 다이오드 과전압의 실험 결과이다. 그림 4-58에서 V_{dc} 전압의 크기와 상관없이 다이오드 턴-오프 과전압의 크기는 부하전류의 크기와 상관없이 일정함을 알 수 있다. 다만, 저전압에서는 과전압의 크기가 $2V_{dc}$ 가 아닌 좀 더 작은 비율로 형성됨을 관찰 할 수 있었다.

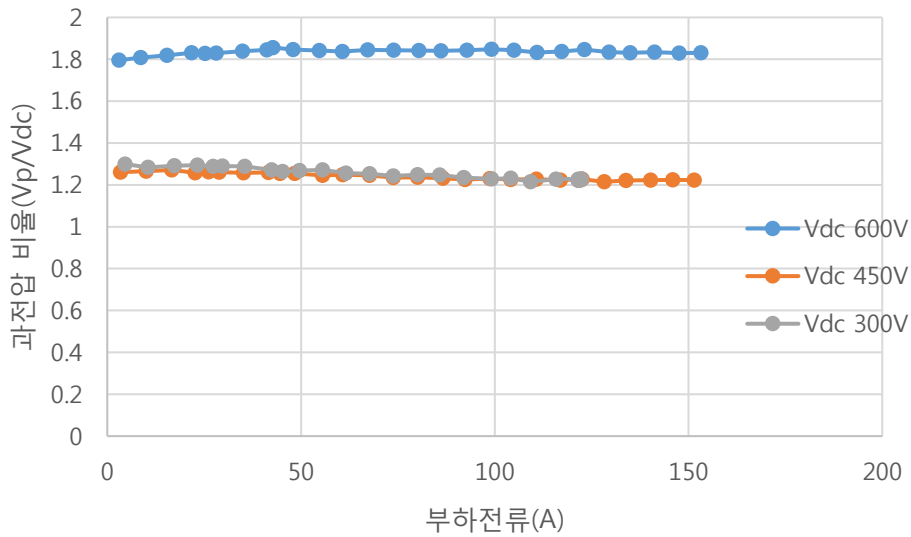


그림 4-58. 측정범위내 기생 인덕턴스의 영향을 제거한 부하전류와 DC링크 전압에 따른 0Ω 의 게이트 저항을 가지는 Full SiC MOSFET의 턴-온시, 다이오드 과전압 실험 결과

4.5 Si IGBT, MOSFET과 SiC MOSFET의 스위칭 특성 고찰

3장의 분석에서 유도한 기준전류 I_0 는 아래의 식과 같이 기생 인덕턴스와 기생 캐패시턴스, DC링크 전압으로 표현 된다.

$$I_0 \equiv \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} \quad (4.32)$$

따라서 실리콘 IGBT나 MOSFET 또한 매우 빠른 속도의 스위칭이 가능하다면, 위 식의 기준전류를 중심으로한 주기적인 과전압 경향이 나타나야 한다. 하지만 최근까지의 연구에서 실리콘 기반의 반도체 소자에서 주기적인 과전압의 특성이 보고된 바는 없다. 이에 저자는 실리콘 IGBT, MOSFET에 본 논문의 분석결과가 적용되지 않고, SiC MOSFET의 경우에만 적용되는지에 대해 고찰해 보았다. 저자가 생각하는 그 이유는 다음과 같다.

- 3장에서는 SiC 쇼트키 다이오드를 고려하여 이상적인 다이오드를 가정하여 분석하였다. 실리콘 기반의 다이오드는 PN접합 다이오드를 주로 사용하기 때문에 스위칭 속도가 느리고, 역회복

전류가 있어 그 특성 이상적인 다이오드와 다르다.

- 일반적으로 Si IGBT는 SiC MOSFET 보다 스위칭 속도가 느리고, 후미전류(tail current)가 존재하기 때문에 매우 빠른 스위칭 속도에서만 보이는 주기적인 과전압 특성이 Si IGBT에서는 관찰하기 어려울 것이다.
- [122]에 따르면, 일반적으로 SiC MOSFET의 출력 캐패시턴스(C_{oss})는 SiC MOSFET의 높은 도핑 농도(doping concentration)로 인해 동급의 Si IGBT 보다 크다고 한다. [122]에서 예시로 제시한 Si IGBT와 SiC MOSFET의 C_{oss} 의 크기를 비교하면, SiC MOSFET이 약 7.2배 더 큰 캐패시턴스를 지닌다. 따라서, 식 (4.32)의 기준전류의 경우, Si IGBT의 기준전류가 SiC MOSFET보다 더 작을것이기 때문에 과전압의 주기성을 파악하기 어려울 것이다.
- 600V~3.3kV의 고압의 Si MOSFET의 경우, 전류용량이 매우 작기 때문에 수백A의 SiC MOSFET에 비해 기생 캐패시턴스의 크기가 작을 것이다. 따라서 IGBT의 경우와 유사하게, 기준전류의 크기가 매우 작을것이기 때문에 과전압의 주기성을 파악하기 어려울 것이다.

따라서 Full SiC MOSFET에서만 주기적인 과전압 특성이 나타나는 가장 큰 원인은 빠른 스위칭 속도와 큰 기생 캐패시턴스 성분이라 할 수 있다. 기생 인덕턴스 성분은 패키지 설계에 의해 좌우되기 때문에 Si IGBT와 SiC MOSFET이 유사한 값을 가지며, 사용하는 DC전압도 비슷하기 때문이다. 이러한 상황에서 SiC MOSFET의 기준전류 값이 600V~3.3kV 소자에서 많이 사용되는 수백A의 소자의 정격전류 근처에 위치하기 때문에 과전압의 경향이 쉽게 관찰되는 것으로 생각된다.

소자의 정격전류가 증가함에 따라 소자의 면적(기생 캐패시턴스)이 넓어지기 때문에 식 (4.32)의 기준전류 또한 증가함을 기대 할 수 있다. 따라서 실험에서 사용한 120A의 Full SiC MOSFET소자 뿐만 아니라, 다른 전류 용량대의 Full SiC MOSFET에서도 이러한 현상이 관찰 될 것이라 예상된다.

제 5장 과도분석결과의 전력변환장치 응용

5장에서는 작은 저항을 지니는 스위칭 과도 분석결과의 전력변환장치 적용 가능성에 대해 검토하고, 적력변환장치 응용방안을 고찰한다.

3장에서의 Full SiC MOSFET의 과도현상 분석에서는 스위칭 회로를 더블펄스 시험 회로로 한정하고, 스위칭이 일어나는 초기조건을 정적인 상황으로 가정하여 분석하였다. 또한 게이트 드라이버의 전압을 기울기(slew)가 없는 이상적인 계단(step)파형으로 가정하였다. 이와 같은 가정들이 실제 전력변환장치에 적용될 수 있는지 고찰해본다. 또한 게이트 저항이 작을 경우 나타나는 소자 과전압의 전류에 대한 주기성이 실리콘 IGBT나 실리콘 MOSFET의 스위칭에서 잘 관찰되지 않은 이유에 대해 고찰해 본다. 마지막으로, 본 논문에서 분석한 SiC MOSFET의 과전압 분석결과의 응용방안에 대해 고찰해 보도록 한다.

5장의 각 절에서 검토할 내용을 서술하면 아래와 같다.

- 5.1절에서는 더블펄스 테스트 회로에서 검토한 스위칭 과도분석이 실제 전력변환장치에 적용이 가능한지 검토한다. 이 검토를 통해 어떤 종류의 전력변환장치에 본 논문의 연구결과가 응용될 수 있는지 고찰한다.
- 5.2절에서는 스위칭이 연속적으로 이루어질 경우의 소자의 과전압 경향을 분석한다. 스위칭이 연속적으로 이루어질 경우, 스위칭 직전 회로의 전압, 전류의 상태가 달라질 수 있다. 이처럼 초기상태가 변화할 경우, 본 논문의 분석이 어느 범위까지 적용 가능 할지 고찰한다.
- 5.3절에서는 기울기를 가지는 실질적인 게이트 드라이버가 본 논문의 과도상태 분석에 어떤 영향을 줄지 고찰한다.
- 5.4절에서는 실리콘카바이드 MOSFET에서 관찰되는 과전압의 부하전류에 대한 주기성이 실리콘 IGBT와 MOSFET에서는 잘 관찰되지 못한 이유를 고찰한다.
- 5.5절에서는 SiC MOSFET 과전압 분석결과가 어떤 방식으로 응용이 가능할지 고찰한다.

5.1 전력변환장치의 스위칭 등가회로 변환

스위칭 과도분석을 위해 아래 그림 5-1과 같은 스위치-다이오드-인덕터의 조합을 이용하여 스위칭 과도 분석을 수행하였다.

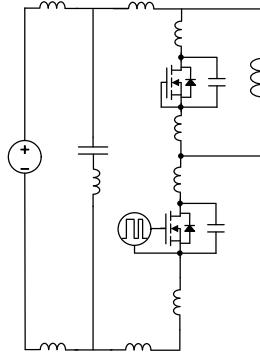


그림 5-1. 더블펄스 시험 회로의 등가회로

여기서 제기할수 있는 의문은 위의 회로에서 관찰한 현상이 실제 전력변환 장치를 구성하고 있는 스위치 소자에서도 발생하느냐이다. 만약 대상으로 하고 있는 전력변환 장치의 스위치 소자에서 나타나는 현상이 위의 더블펄스 테스트 회로에서 나타나는 현상과 다르다면 더블 펄스 테스트로부터 얻어지는 자료는 실제상황에 적용되기 어렵다.

먼저 Full SiC MOSFET이 가장 많이 적용되는 3상 투레벨(2-level) 인버터 구조로부터 위의 더블 펄스 테스트 회로가 등가임을 알아 본다. 그림 5-2은 투레벨 3상 인버터의 어느 한 동작 상황을 모의하고 있다.

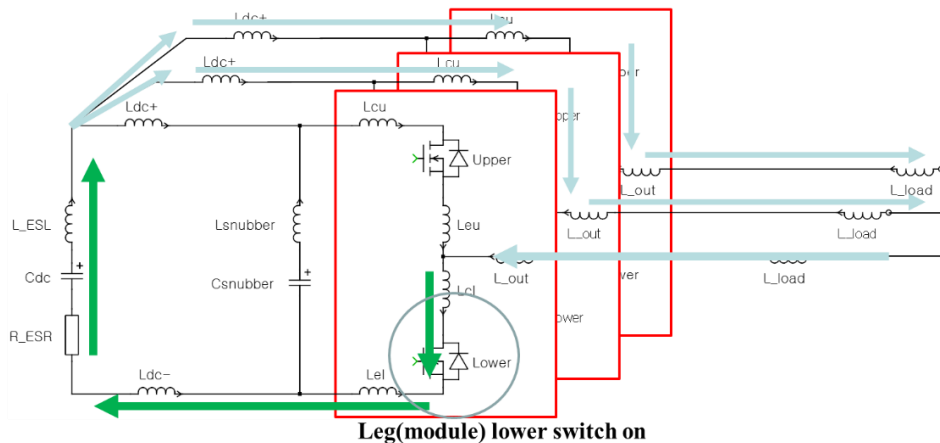


그림 5-2. 투레벨 삼상 인버터의 구조와 스위칭 동작 상황

빨간색 박스안의 회로는 레그(leg) 단위로 구성된 Full SiC MOSFET 모듈(module)이며, 각각의 모듈의 DC단 터미널에는 스너버(snubber) 캐패시터가 부착되어 있다고 가정한다. 다음으로 각 leg 모듈들은 DC 버스 플레이트(bus-plate) 또는 DC 버스 바(bus-bar) 구조로 용량이 큰 벌크(bulk) 캐패시터에 연결된다. 위 구조에서는 leg 모듈과 벌크 컷 사이의 연결이 대칭적으로 이루어져 있지만, 3개의 leg가 하나의 모듈안에 통합되어 있는 3상 Full SiC module의 경우는 벌크컷과의 연결구조가 비대칭적으로 이루어진다. 이 경우, 각 leg별로 서로 다른 스위칭 특성이 나타날 수 있다. 위에서 설명한 DC단 구조는 일반적으로 많이 사용되는 구조이다. DC단 구조는 Full SiC MOSFET의 스위칭 특성에 큰 영향을 미치기 때문에 매우 중요하다.

위 회로에 대한 등가회로는 크게 두가지 원리에 의해 만들어 진다. 하나는 테브난 정리(Thevenin's theorem)와 노턴 정리(Norton's theorem)의 원리를 이용한 등가회로 변환이며, 다른 하나는 전체 시스템의 주파수 대역에 따른 분리이다. 등가회로 변환의 과정을 정리하면 다음과 같다.

1. 테브난 정리와 노턴 정리를 이용하여 회로의 단순화
2. 가장 빠른 시스템 주파수(또는 시정수)를 기준으로 하여 느린 시스템의 단순화

먼저 등가회로를 구하는데 있어 사용될 몇가지 경우에 대한 등가회로 변환을 정의한다. 그림 5-3과 그림 5-4의 등가회로 변환은 테브난 정리(Thevenin's theorem)와 노턴 정리(Norton's theorem)의 원리를 이용 변환되었다.

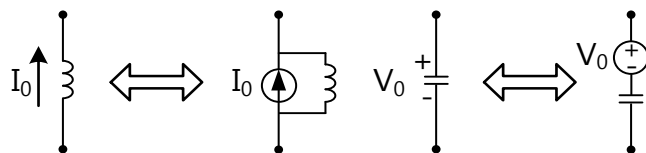


그림 5-3. 초기전류가 있는 인덕터와 초기전압이 있는 캐패시턴스의 등가변환

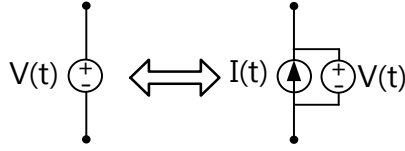


그림 5-4. 전압원을 임의의 전류원+전압원과의 등가변환

먼저 단상 전원, 인덕턴스를 그림 5-5과 같이 전류원으로 등가한다.

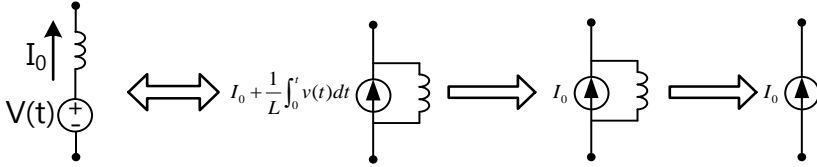


그림 5-5. 단상 전원+인덕터의 등가회로 변환

스위칭 회로의 동작이 수십~수백ns안에 일어나기 때문에 전원 전압에 의한 전류원의 변동이 매우 작다고 가정할 수 있다. 실제 필터 인덕터의 설계가 스위칭 한주기 동안 일어나는 전류의 변동을 기본과 대비 수% 이하로 줄이기 위한 설계를 하기 때문에 이러한 가정은 합리적인 가정이라 할수 있다. 이를 수식적으로 표현하면 (5.1)과 같다.

$$I_0 + \frac{1}{L} \int_0^t v(t) dt \cong I_0 \quad (\text{when } t < 1\mu\text{s}) \quad (5.1)$$

반대로 만약 인덕터가 아닌 캐패시턴스 부하라 가정하게 되면 짧은 시간내에 큰 전류 변동을 가져올 수 있기 때문에 위와 같은 등가변환은 불가능하다. 따라서 분석대상인 전력변환회로는 출력단이 인덕턴스 부하에 연결된 것을 가정한다. 또한 인덕터 부하임에도 불구하고, 인버터와 부하 인덕터간의 연결을 수십 m의 긴 전선을 이용하는 경우도 위와 같은 등가변환은 불가능하다. 2YSLCY 4×4mm²케이블의 경우, 선간 캐패시턴스가 약 90pF/m, 쉘드선과 전선과의 캐패시턴스가 약 150pF/m 정도 존재하기 때문에 순수한 인덕터 부하로 보기 힘들다. 실제로, 일부 연구에 의하면, 전선의 기생 캐패시턴스 성분으로인해 전선의 길이가 길어질수록 스위칭 손실이 짧은 전선일때에 비해 수~수십% 증가한다[41]. 그러나 그 영향이 지배적이지 않기 때문에 전체적인 거동의 경향이 크게 달라지지 않을것이라 예상된다. 또한 인버터 출력단

바로 앞에 L 또는 LCR 필터로 구성된 dv/dt 필터를 설치하면 어느정도 인덕터 부하로 고려할수 있기 때문에 분석결과가 해당 전력변환 장치에 무리 없이 적용 될 수 있다[119]-[120].

삼상 인덕터와 전원은 스위칭 과도와 같은 매우 짧은 시간을 가정하면 그림 5-6와 같이 삼상 전류원으로 단순화 될 수 있다.

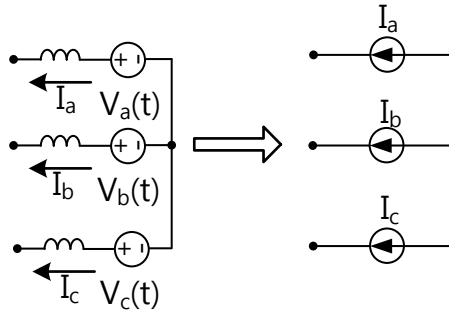


그림 5-6. 삼상 전압원+인덕터의 삼상 전류원 등가변환

위의 삼상 전류원 모델을 투레벨 3상 인버터의 부하로 가정하고, 스위칭이 일어 나는 레그를 제외한 나머지 두 레그에서의 스위칭 상태는 고정되어 있다고 상정한다. 이 경우, 다른 두상의 레그의 스위칭 상태에 따라 아래의 여섯가지 경우의 수가 나타난다. 그림 5-7의 빨간색 경로는 레그의 윗상 스위치를 통해 부하전류가 도통하고 있는 상태이며, 그림 5-8의 파랑색 경로는 아래상 스위치를 통해 부하전류가 도통하고 있는 상태이다.

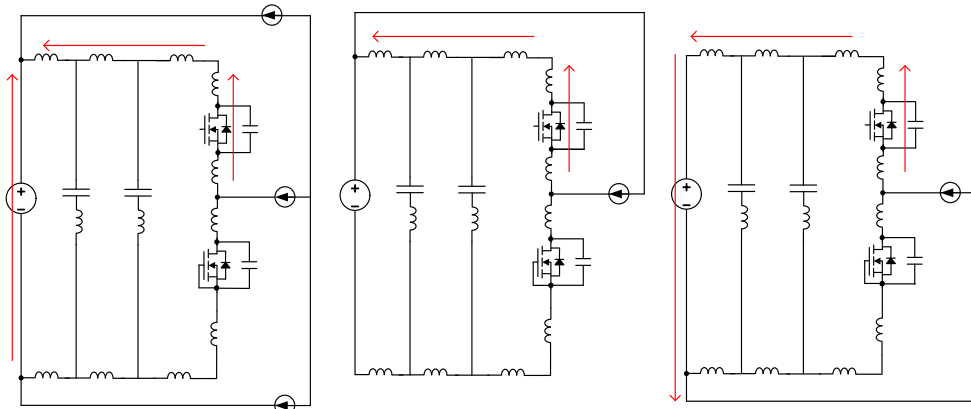


그림 5-7. 투레벨 삼상 인버터에서 윗상 스위치로 부하전류가 도통하는 경우

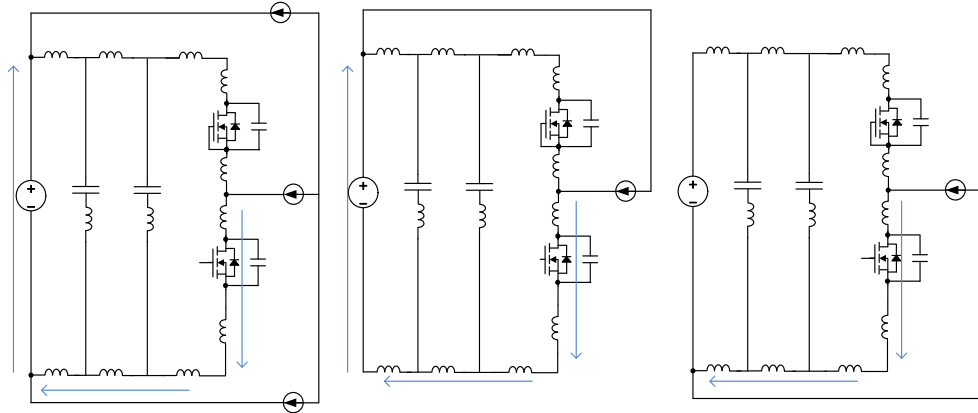


그림 5-8. 투레벨 삼상 인버터에서 아래상 스위치로 부하전류가 도통하는 경우

이 모든 경우의 수는 그림 5-9, 그림 5-10의 4가지 경우로 등가 가능하다. 등가 과정은 앞에서 언급하였던, 초기전류가 있는 인덕터의 등가변환과 전압원의 등가 변환 방법을 사용하였다. 경로상에 있는 기생 인덕턴스에 인덕턴스의 손실을 표현하는 아주 작은 저항이 직렬로 있더라도 이러한 등가변환은 유효하다. 그 이유는 부하전류에 의한 기생 저항성분의 전압강하가 매우 작기 때문이다. 반면, 이러한 작은 크기의 저항이더라도 전체 시스템의 감쇄(damping)에는 크게 관여 하기 때문에 진동의 감쇄의 관점에서는 다소 차이가 발생할 수 있다. 하지만, 소자의 과전압, 과전류 발생에 대한 기생 저항이 작용하는 효과는 미미하기 때문에 과전압, 과전류, 전압/전류 진동 발생의 관점에서는 기생 저항성분은 없다고 가정하여도 무방하다.

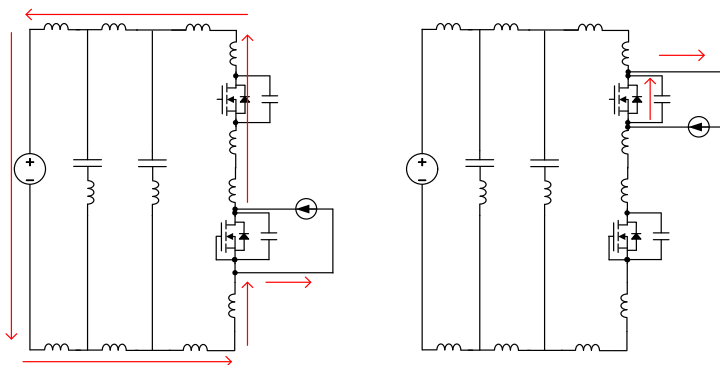


그림 5-9. 투레벨 삼상 인버터에서 위상 스위치로 부하전류가 도통하는 경우의 등가회로

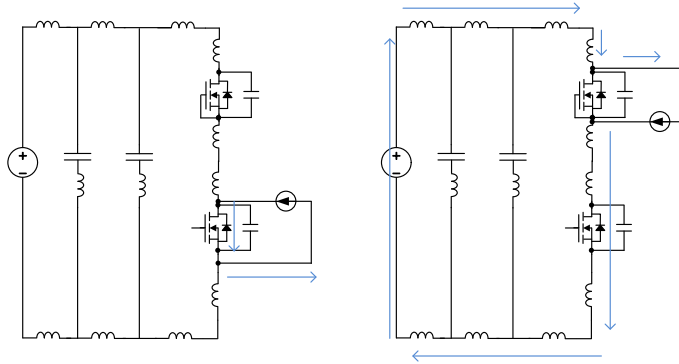


그림 5-10. 투레벨 삼상 인버터에서 아래상 스위치로 부하전류가 도통하는 경우의 등가회로

위의 등가변환이 의미하는 바는, 어떠한 경로로 부하전류가 흘러도 결국에는 부하 전류는 기생인덕턴스 성분을 포함하지 않는, 스위치와 병렬 경로에 위치한 전류원으로 모델링 가능하다는 것이다. 이러한 등가변환이 편리한 이유는 기생 인덕턴스의 초기전류를 고려하지 않고 회로해석을 할 수 있기 때문에 해석에 편리함을 제공한다는 것이다.

다음으로 DC단 회로의 등가회로를 구해 본다. DC단 회로는 위 회로와 같이 다양한 DC 캐패시터, 인덕터와 등가적으로 연결되어 이루어져 있기 때문에 상당히 복잡한 시스템이다. 하지만, 스너버와 벌크 캐패시터의 캐패시턴스 설계 지침을 고려하면 DC단 회로의 단순화가 가능하다. 4장에서 따로 정의하겠지만, 벌크 캐패시터의 캐패시턴스는 스위칭 전류에 의한 전압 변동폭을 일정 이하로 제한하기 위한 크기로 설계되고, 스너버 캐패시터는 벌크캐패시터와 스너버캐패시터 사이에 존재하는 기생 인덕턴스에 의해 발생하는 전압 변동폭을 충분히 억제하기 위한 값으로 설계된다. 간단히 말하면, 본 논문에서 연구하고 있는 수십~수백 ns 간격에서 발생하는 전류 변동에 대해서는 스너버 컷과 벌크컷의 전압변동은 거의 없도록 대부분의 전력 변환 장치가 설계되기 때문에 상기의 초기전압이 있는 캐패시터의 등가회로 변환과 같이 초기전압을 가지는 캐패시터는 그림 5-11와 같이 전압원으로 등가 가능하다.

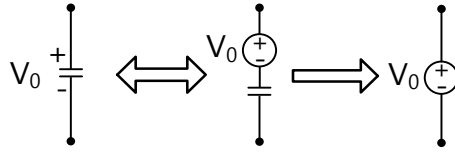


그림 5-11. 초기전압을 가지는 캐패시터의 등가변환

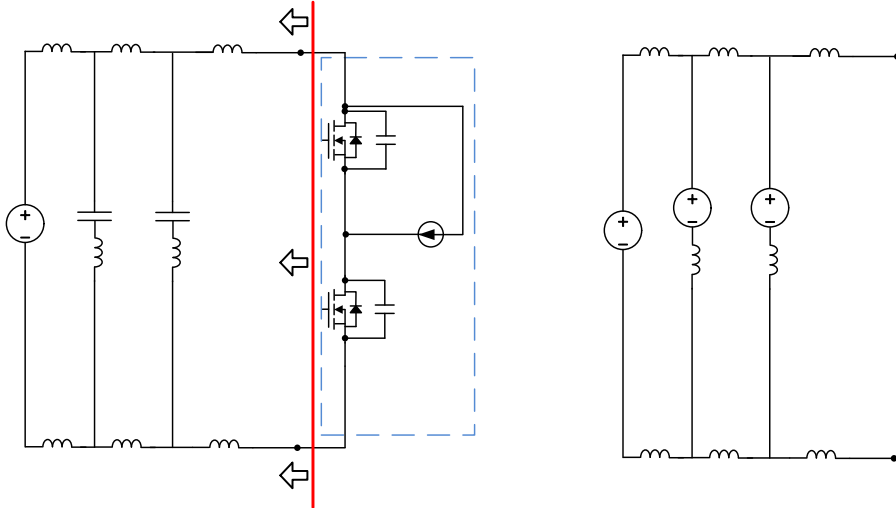


그림 5-12. 투레벨 삼상인버터에서 초기전압을 가지는 캐패시터의 등가변환

그림 5-12은 등가변환을 통해 스위치 소자와 전류원을 우측으로 모으고, 나머지 기생성분들을 좌측으로 이동하면 그림 5-13과 같은 간단한 등가회로를 얻을 수 있다.

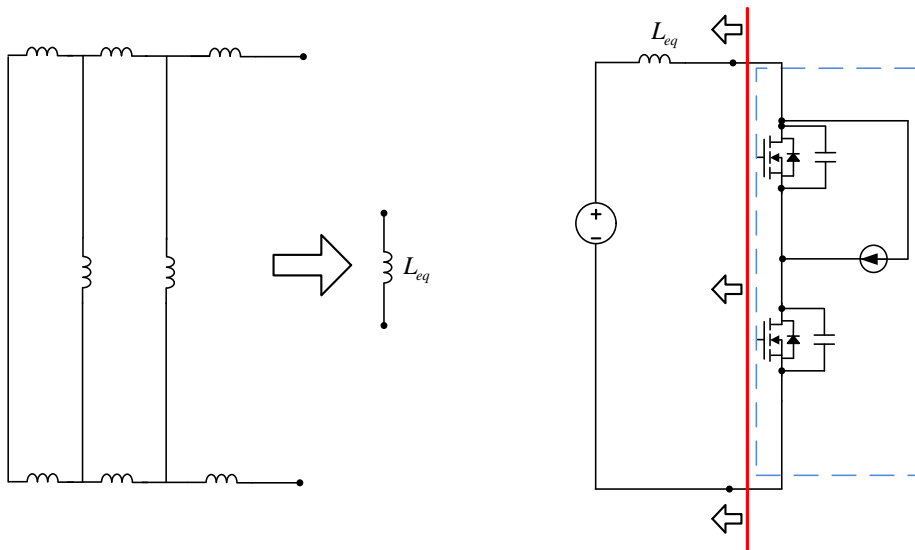


그림 5-13. 투레벨 삼상인버터의 스위칭 과도 분석을 위한 등가회로

그림 5-13의 등가 회로는 스위칭 과도를 분석하는데 사용한 그림 1-19의 더블펄스 시험 회로와 일치한다. 이 회로를 이용하여 분석가능한 시간범위는 시스템의 가장 빠른 시정수가 적용되는 시간 영역이며 약 수십~수백ns의 시간 간격에서 일어나는 현상의 분석에 유효하다. 그 이상의 시간 영역에서는 앞에서 생략했던 스너버 꺾과 벌크꺾에 의한 비교적 저주파수의 공진현상이 관찰된다[121].

따라서 본 논문에서 분석한 더블펄스 시험 회로는 2레벨 삼상 인버터에서도 적용 가능함을 알 수 있다. 또한 위의 유도과정을 고려하였을 때, 2레벨 인버터와 같이 레그(Leg)구조를 지니는 대부분의 전력변환장치에도 적용 가능함을 알 수 있다. 따라서 본논문의 스위칭과도 분석은 아래의 여러 전력변환장치에도 동일하게 적용할 수 있다.

- Buck 컨버터
- Boost 컨버터
- Buck boost 컨버터
- Half or Full bridge 인버터

5.2 연속 스위칭에서의 턴-오프 과전압 분석결과 적용

본문의 분석에서는 스위칭 직전의 상태가 정적(Static)이라 가정하였다. 예를 들어 턴-오프시의 MOSFET의 양단전압은 0V, 다이오드의 양단전압은 DC링크 전압 V_{dc} , 기생인덕터에 흐르는 전류는 부하전류 I_L 이라 가정 하였다. 하지만 연속적으로 스위칭 한다고 가정하면, 스위칭 직전의 초기상태가 앞에서 가정한 정적인 상태가 아닐 수 있다. 그림 5-14와 그림 5-15는 그러한 상황에 대한 하나의 예이다.

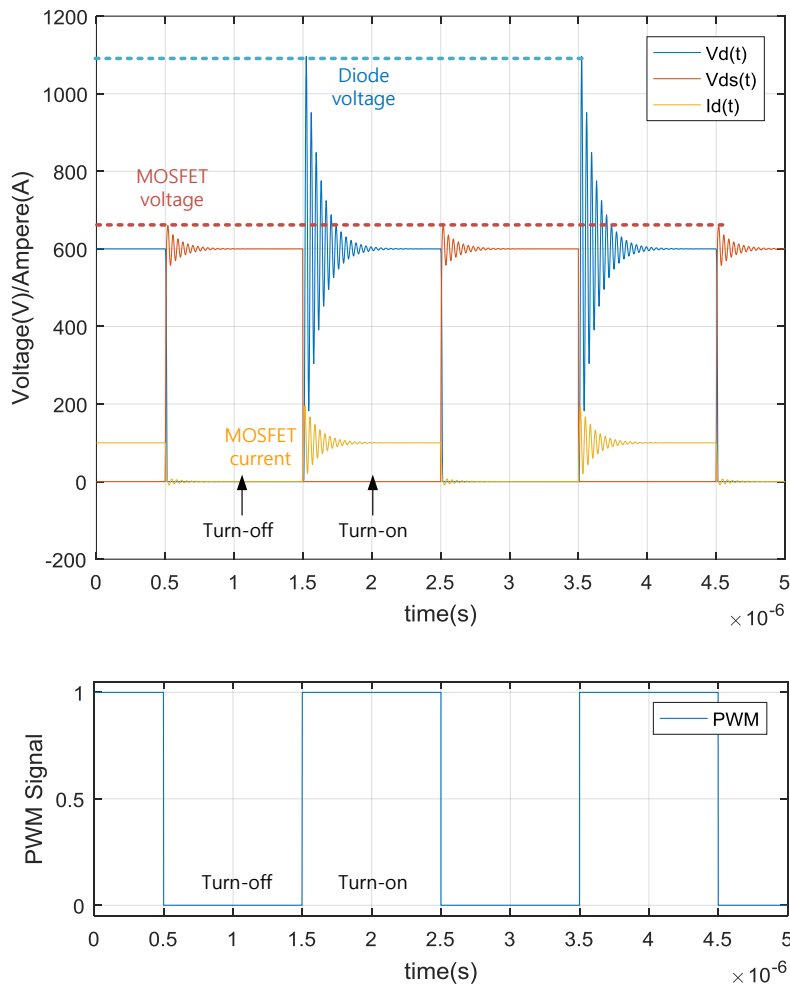


그림 5-14. 스위칭 주파수 500kHz, 50% duty(턴-온 시간:1000ns)로 연속 스위칭 하는 경우(상단; 다이오드 전압 ' V_d ', MOSFET 전압 ' V_{ds} ', MOSFET 전류 ' I_d ', 하단; PWM 신호)

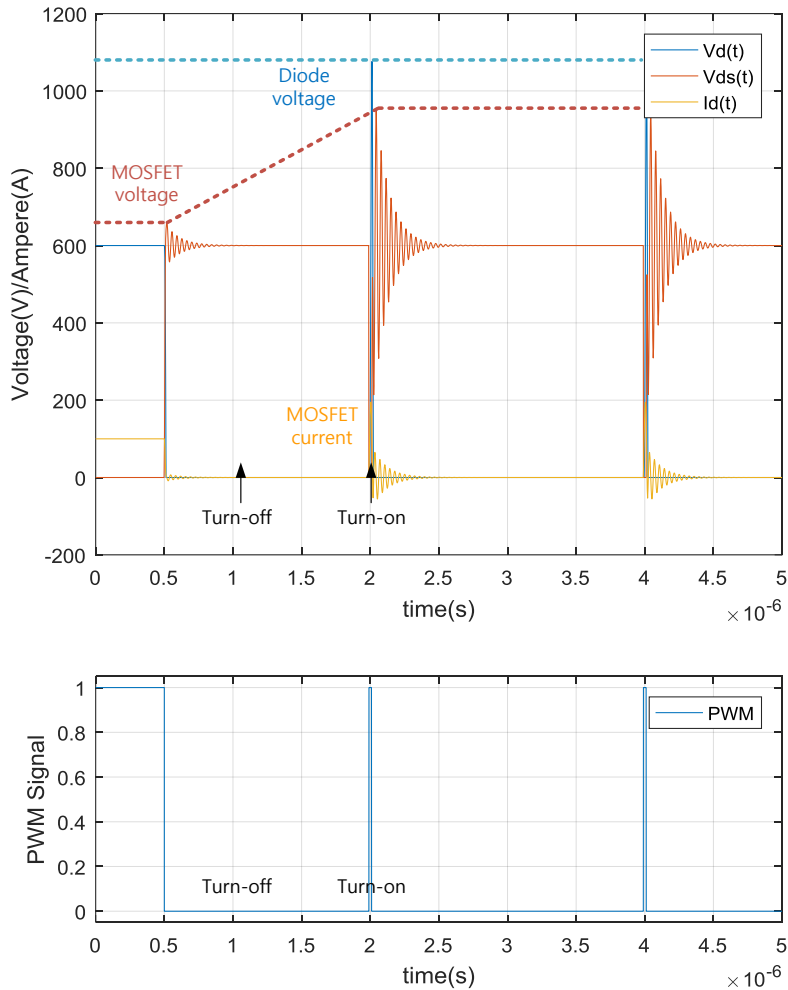


그림 5-15. 스위칭 주파수 500kHz, 1% duty(턴-온 시간:20ns)로 연속 스위칭 하는 경우(상단; 다이오드 전압 ' V_d ', MOSFET 전압 ' V_{ds} ', MOSFET 전류 ' I_d ', 하단; PWM 신호)

그림 5-14와 그림 5-15는 스위칭에 의해 발생하는 과도현상(과전압, 과전류, 진동)이 500ns 안에 사라지는 경우의 스위칭 회로 시뮬레이션 결과이다. 그림 5-14는 턴-온 시간이 1000ns인 연속 스위칭 파형이며, 그림 5-15는 턴-온 시간이 20ns인 PWM 펄스 폭이 매우 작은 연속 스위칭 파형이다.

턴-온 시간이 1000ns인 경우, 스위칭 과도가 500ns 안에 모두 사라지므로, 첫번째 턴-오프 MOSFET 과전압과 두번째 턴-오프

MOSFET의 과전압의 크기가 일정하며, 그 크기 또한 3장에서 예측한 값과 일치한다. 반면, 턴-온 시간이 20ns 인 PWM 펄스 폭이 매우 작은 경우, 턴-온 스위칭 과도가 끝나기 전에 턴-오프 스위칭이 발생한다. 따라서 그림 5-15에서 두번째 턴-오프 스위칭 직전의 MOSFET 전압, 전류, 다이오드 전압의 상태가 첫번째 턴-오프 스위칭 때와 다르며, 그 결과 두번째 스위칭에서의 소자의 과전압의 크기가 첫번째 스위칭의 과전압의 크기와 다름을 관찰 할 수 있다.

이러한 시뮬레이션이 의미하는 바는, 전력변환장치가 매우 짧은 펄스를 생성할 때에는 정적인 초기값을 가정하고 있는 본 논문의 과전압 분석 결과가 성립하지 않을 수 있다는 의미이다. 따라서 이번 절에서는 턴-오프 스위칭 직전의 전압, 전류와 같은 초기조건이 턴-오프 과전압에 어떤 영향을 끼치는지 고찰하도록 한다.

5.2.1 초기 조건 변동에 따른 턴-오프 과전압 계산

턴-오프 스위칭 직전의 전류와 전압, 즉, 턴-오프 스위칭 초기값이 정적인 값을 가지지 못하는 경우는 MOSFET의 턴-온시 나타나는 공진의 진동이 감쇄되기 전에 턴-오프 스위칭을 시작할 때이다. 그림 5-16는 MOSFET의 턴-온시의 다이오드 전압과 MOSFET 전류파형이다. 이를 I-V 평면상에 도시하면 그림 5-17과 같다. 그림에서 알 수 있듯이, MOSFET의 턴-온시의 다이오드 전압, MOSFET 전류는 I-V 평면상에서 원을 그리며 정적인 턴-오프 초기값인 부하전류 I_L 과 DC링크 전압 V_{dc} 를 중심으로 수렴한다. 이는 턴-오프 스위칭 초기값인 턴-온 스위칭의 전류, 전압들은 시간이 지나면서 그 크기가 정적인 상태를 중심으로 작아지는 방향으로만 변화함을 의미한다.

따라서, 다음 분석에서 사용될 전류, 전압 초기조건들은 식 (5.2)와 같이 부하전류 I_L 과 DC링크 전압 V_{dc} 를 기준으로 한 비율로서 정의하고, 이 비율이 특정 범위 안에 존재할 때의 최악 조건을 찾는 방법으로 접근하고자 한다.

$$\frac{i(0)}{I_L} \equiv \alpha, \quad \frac{V_d(0)}{V_{dc}} \equiv \beta . \quad (5.2)$$

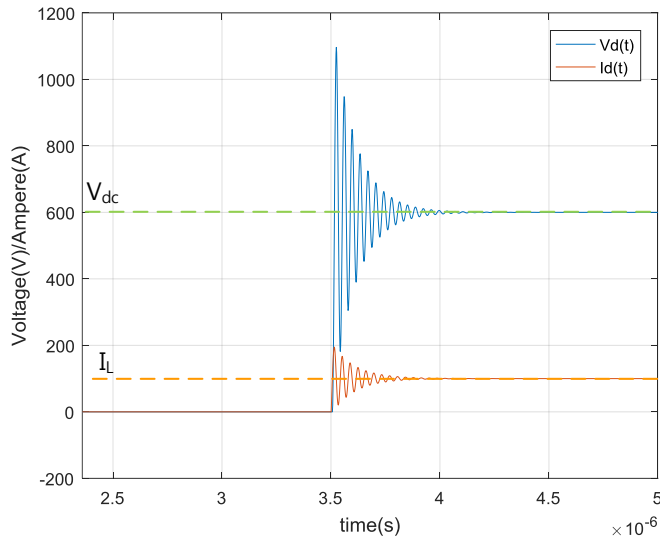


그림 5-16. MOSFET 턴-온시의 다이오드 전압과 MOSFET 전류

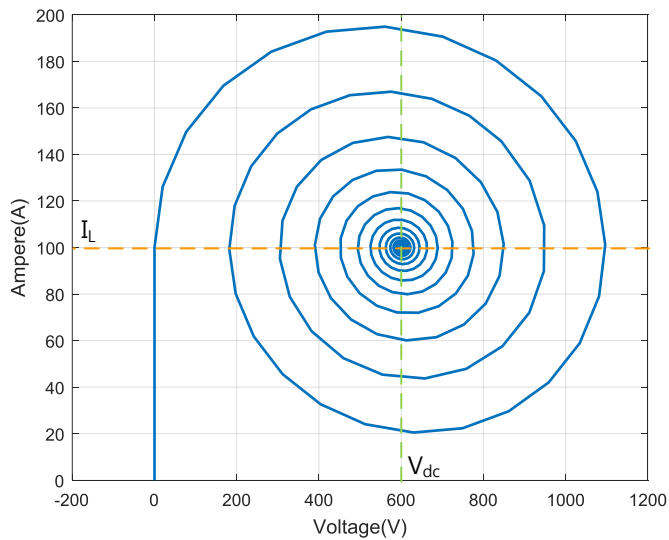


그림 5-17. MOSFET 턴-온시의 다이오드 전압과 MOSFET 전류의 I-V 평면에서의 궤적(Trajectory)

먼저, 임의의 초기조건을 가질때의 MOSFET의 과전압을 해석적으로 유도해 보도록 한다. 3장에서 유도한 턴-오프 MOSFET 과전압을 구하기 위한 다이오드의 전압, 소자의 전압, 소자의 전류의 식인 (3.38)~(3.41)을 아래의 초기조건을 가질때의 식으로 다시 쓰면 다음과 같다.

- 인덕터의 초기전류 : $i(0)$

- 다이오드의 초기전압 : $V_d(0)$
- MOSFET의 초기전압 : $V_{ds}(0)$

$$C_{ds} = C_d = C \quad . \quad (5.3)$$

$$v_d(t) = \frac{1}{\omega_0 C} \mathbf{A}_1 \sin(\omega_0 t) - \frac{1}{\omega_0 C} \mathbf{A}_2 \cos(\omega_0 t) - \frac{1}{2C} I_L t - \frac{1}{C} \mathbf{B}_1 + V_{dc} \quad . \quad (5.4)$$

$$v_{ds}(t) = \frac{1}{\omega_0 C} \mathbf{A}_1 \sin(\omega_0 t) - \frac{1}{\omega_0 C} \mathbf{A}_2 \cos(\omega_0 t) + \frac{1}{2C} I_L t + \frac{1}{C} \mathbf{B}_1 \quad . \quad (5.5)$$

$$i(t) = \mathbf{A}_1 \cos(\omega_0 t) + \mathbf{A}_2 \sin(\omega_0 t) + \frac{1}{2} I_L \quad . \quad (5.6)$$

$$\omega_0 = \frac{1}{\sqrt{LC_{eq}}}, \quad C_{eq} = \frac{1}{2} C \quad . \quad (5.7)$$

$$\mathbf{A}_1 = -\frac{1}{2} I_L + i(0) \quad . \quad (5.8)$$

$$\mathbf{A}_2 = \frac{V_{dc} - V_d(0) - V_{ds}(0)}{L\omega_0} \quad . \quad (5.9)$$

$$\mathbf{B}_1 = CV_{ds}(0) + \frac{1}{\omega_0} \mathbf{A}_2 \quad . \quad (5.10)$$

소자의 턴-오프는 MOSFET이 완전히 턴-온된 이후라 가정하면, 아래와 같은 초기조건을 설정할 수 있다.

$$V_{ds}(0) = 0 \quad . \quad (5.11)$$

위 가정을 이용하면 다이오드의 전압과, 기생인덕터의 초기전류가 턴-오프 과전압을 결정짓는 두가지 변수가 된다. 이를 수식으로 표현하면 아래와 같다.

$$v_d(t) = \frac{1}{\omega_0 C} \mathbf{A}_1 \sin(\omega_0 t) - \frac{1}{\omega_0 C} \mathbf{A}_2 \cos(\omega_0 t) - \frac{1}{2C} I_L t - \frac{1}{\omega_0 C} \mathbf{A}_2 + V_{dc} \quad . \quad (5.12)$$

$$v_{ds}(t) = \frac{1}{\omega_0 C} \mathbf{A}_1 \sin(\omega_0 t) - \frac{1}{\omega_0 C} \mathbf{A}_2 \cos(\omega_0 t) + \frac{1}{2C} I_L t + \frac{1}{\omega_0 C} \mathbf{A}_2 \quad . \quad (5.13)$$

$$i(t) = \mathbf{A}_1 \cos(\omega_0 t) + \mathbf{A}_2 \sin(\omega_0 t) + \frac{1}{2} I_L \quad . \quad (5.14)$$

$$\omega_0 = \frac{1}{\sqrt{LC_{eq}}}, \quad C_{eq} = \frac{1}{2} C \quad . \quad (5.15)$$

$$\mathbf{A}_1 = -\frac{1}{2} I_L + i(0) \quad . \quad (5.16)$$

$$\mathbf{A}_2 = \frac{V_{dc} - V_d(0)}{L\omega_0} \quad . \quad (5.17)$$

위 수식을 식 (5.18), (5.19)의 정의를 이용하여 재정리하면 다음과 같다.

$$I_0 \equiv \sqrt{\frac{C}{L} \frac{2\sqrt{2}V_{dc}}{\pi}} . \quad (5.18)$$

$$\frac{i(0)}{I_L} \equiv \alpha, \quad \frac{V_d(0)}{V_{dc}} \equiv \beta . \quad (5.19)$$

$$v_d(t) = 2 \frac{V_{dc} I_L}{\pi I_0} \left(\alpha - \frac{1}{2} \right) \sin(\omega_0 t) - \frac{V_{dc}}{2} (1 - \beta) \cos(\omega_0 t) - \frac{V_{dc} I_L}{\pi I_0} \omega_0 t - \frac{V_{dc}}{2} (1 - \beta) + V_{dc} . \quad (5.20)$$

$$v_{ds}(t) = 2 \frac{V_{dc} I_L}{\pi I_0} \left(\alpha - \frac{1}{2} \right) \sin(\omega_0 t) - \frac{V_{dc}}{2} (1 - \beta) \cos(\omega_0 t) + \frac{V_{dc} I_L}{\pi I_0} \omega_0 t + \frac{V_{dc}}{2} (1 - \beta) . \quad (5.21)$$

$$i(t) = \left(\alpha - \frac{1}{2} \right) I_L \cos(\omega_0 t) + \frac{\pi I_0}{4} (1 - \beta) \sin(\omega_0 t) + \frac{1}{2} I_L . \quad (5.22)$$

$$\omega_0 = \frac{1}{\sqrt{LC_{eq}}}, \quad C_{eq} = \frac{1}{2} C . \quad (5.23)$$

턴-오프 과전압을 구하기 위해서, 3장에서 계산했던 것과 같이 다이오드 전압 ‘ $v_d(t)$ ’의 식(5.20)의 값이 0이 되는 시간 t_0 를 구하고, 이때의 MOSFET의 전압 ‘ $v_{ds}(t_0)$ ’과 전류 ‘ $i(t_0)$ ’를 아래의 식 (5.24)에 대입하여 MOSFET소자의 과전압을 연산한다.

$$V_{peak} = V_{dc} + \sqrt{(V_{dc} - v_{ds}(t_0))^2 + \frac{L}{C} i(t_0)^2} . \quad (5.24)$$

먼저 (5.20)의 값이 0이 되기 위한 시간 t_0 를 아래와 같이 표현할수 있다.

$$0 = \frac{4 I_L}{\pi I_0} \left(\alpha - \frac{1}{2} \right) \sin(\omega_0 t_0) - (1 - \beta) \cos(\omega_0 t_0) - \frac{2 I_L}{\pi I_0} \omega_0 t_0 + (1 + \beta) . \quad (5.25)$$

식 (5.26)의 정의를 이용하여 (5.25)를 다시 쓰면 (5.27)과 같다.

$$\theta_0 \equiv \omega_0 t_0 . \quad (5.26)$$

$$\pi \frac{I_0}{I_L} \{ (1 - \beta) \cos(\theta_0) - (1 + \beta) \} = 4 \left(\alpha - \frac{1}{2} \right) \sin(\theta_0) - 2\theta_0 . \quad (5.27)$$

식 (5.27)이 의미하는 바는, 3장에서의 과전압 분석 결과와 유사하게, α 와 β 로 정의된 초기 전류, 초기 전압에 대해서 기준전류와 부하전류의 비율 ‘ $\frac{I_0}{I_L}$ ’에 따른 정규화된 해 θ_0 가 존재한다는 것을 의미한다.

식(5.27)에 의해 결정된 θ_0 를 식(5.24)에 대입하여 전개하면 다음과 같다.

$$V_{peak} = V_{dc} + V_{dc} \sqrt{\left((1 + \beta) - \frac{2 I_L}{\pi I_0} \theta_0 \right)^2 + \left(\frac{2\sqrt{2} I_L}{\pi I_0} \left(\alpha - \frac{1}{2} \right) \cos(\theta_0) + \frac{1}{\sqrt{2}} (1 - \beta) \sin(\theta_0) + \frac{\sqrt{2} I_L}{\pi I_0} \right)^2} . \quad (5.28)$$

위 식의 과전압 V_{peak} 를 DC링크 전압 V_{dc} 에 대해 정규화하여 표현

하면 다음과 같다.

$$\frac{V_{peak}}{V_{dc}} = 1 + \sqrt{\left((1 + \beta) - \frac{2I_L}{\pi I_0} \theta_0 \right)^2 + \left(\frac{2\sqrt{2}I_L}{\pi I_0} \left(\alpha - \frac{1}{2} \right) \cos(\theta_0) + \frac{1}{\sqrt{2}} (1 - \beta) \sin(\theta_0) + \frac{2\sqrt{2}I_L}{\pi I_0} \right)^2} . \quad (5.29)$$

식 (5.29)에 포함하는 변수는 식 (5.27)의 해 θ_0 와 부하전류와 기준전류의 비율 $\frac{I_0}{I_L}$ 와 α , β 로 정의된 정규화된 초기 전류, 초기 전압이다. θ_0 가 $\frac{I_0}{I_L}$, α , β 세 변수에 의해 유일하게 결정되는 해이므로, DC링크 전압에 대한 과전압의 비율인 식 (5.29)는 변수 θ_0 에 의존적인 값을 알 수 있다. 이를 함수를 표현하면 3장의 식(3.72)와 같이 θ_0 에 의존적인 함수 g 로 표현할 수 있다. 이를 (5.30) 에 표시하였다.

$$\frac{V_{peak}}{V_{dc}} = 1 + \sqrt{g(\theta_0)} . \quad (5.30)$$

이는 초기값이 다른 경우의 턴-오프 과전압 또한 기준전류 I_0 에 의해 정규화하여 표현할 수 있음을 의미한다. 따라서 아래의 특정 경우의 시뮬레이션 예시를 통해 일반화된 초기값에 대한 과전압의 값을 역으로 도출 가능하다.

5.2.2 초기값 반경 k_r 에 따른 턴-오프 과전압 계산

턴-오프 스위칭 직전의 전류와 전압, 즉, 턴-오프 스위칭 초기값은 턴-온 스위칭의 과도에 의해 결정된다. 턴-온 스위칭의 다이오드 전압, 전류의 과도현상은 3장의 분석에 의해 다음과 같이 가정 할 수 있다.

- 매우 작은 게이트 저항을 지닐때의 MOSFET의 턴-온은 전 부하전류 영역에서 $2V_{dc}$ 의 다이오드 과전압을 야기한다. 과전압이 공진에 의한 것이므로, 다이오드 전압의 최대 최소는 3장의 식 (3.126)에 의해 아래와 같이 표현 가능하다.

$$V_{d_peak} = V_{dc} \pm V_{dc} . \quad (5.31)$$

- $2V_{dc}$ 의 과전압이 발생할때의 다이오드의 과전류의 최대, 최소는 전압의 최대 최소를 구하는 것과 동일하게, 공진 회로의 에너지 식에 의해 유도가 가능하다. 전류의 최대, 최소는 다음과 같이 표현 될 수 있다.

$$I_{peak} = I_L \pm \sqrt{\frac{C}{L}} V_{dc} \cdot \quad (5.32)$$

위 식을 기준 전류 I_0 로 표현 하면 아래와 같다.

$$I_{peak} = I_L \pm \frac{\pi}{2\sqrt{2}} I_0 \cdot \quad (5.33)$$

위의 턴-온 스위칭시의 과전압, 과전류의 최대치들은 게이트 저항이 매우 작을때의 경우이며, 이 경우가 최악의 경우임을 3장을 통해 알고 있다. 따라서 게이트 저항의 크기가 점점 커진다면, 식 (5.31)과 (5.33)의 범위내에서 전압, 전류의 최대, 최소가 결정된다.

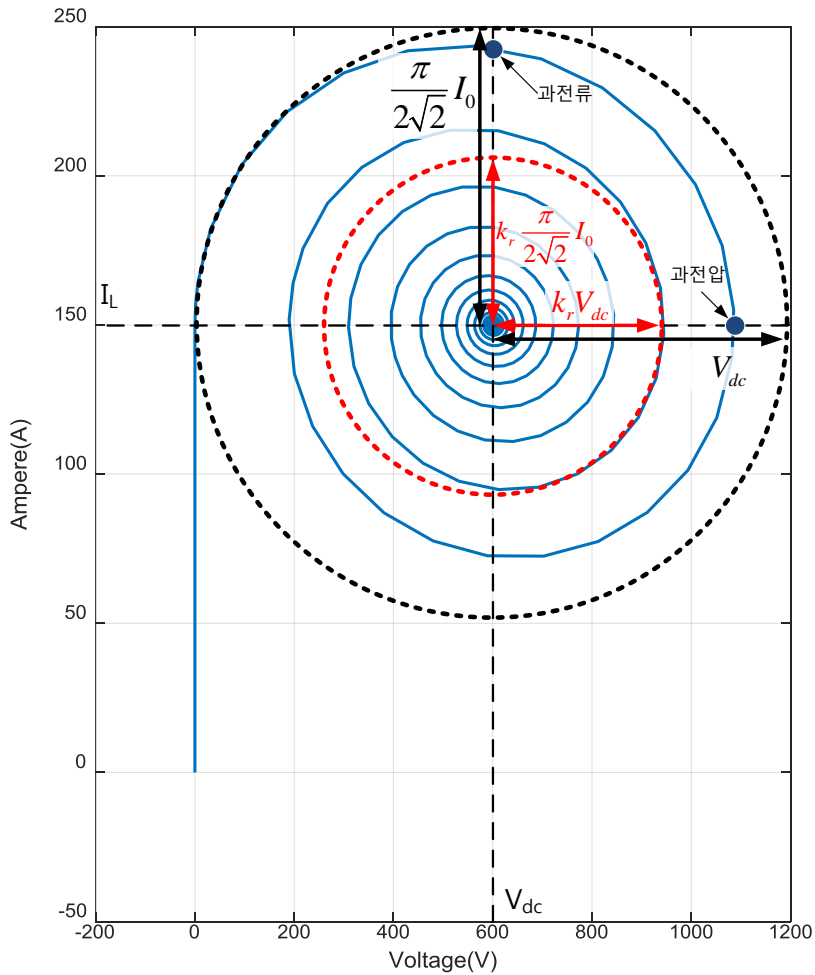


그림 5-18. 전압,-전류 평면 상에서 MOSFET 턴-온시의 다이오드 전압과 MOSFET 전류 과도 그래프와 k_r 로 정의된 과도의 범위

그림 5-18은 부하전류 150A 에서의 MOSFET 턴-온 이후의 다이오드 전압과 전류를 전압-전류 평면상에 도시한 그래프이다. 이 그래프에서 볼 수 있듯이, 식 (5.31)의 최대 최소 전압과 식 (5.33)의 최대, 최소 전류를 지나는 원 내부에 과전압, 과전류가 존재함을 확인 할 수 있다. 과전압과 과전류 이후에는 LRC 공진 회로에 의해 전압-전류 평면 상에서 원을 그리며 전류는 부하전류 I_L 로, 전압은 DC링크 전압 V_{dc} 로 수렴한다.

따라서 그림 5-15와 같이 PWM의 턴-온 스위칭 구간이 매우 짧은 경우, 턴-오프 직전의 전압, 전류는 그림 5-18과 같이 아래 식의 턴-오프 초기값 반경 ' k_r '에 의해 정의된 전압, 전류의 최대 최소 지점을 지나는 단위 원 위의 한 지점에서 턴-오프 스위칭이 시작 된다고 가정 할 수 있다.

$$V_{d_peak} = V_{DC} \pm k_r V_{DC} . \quad (5.34)$$

$$i_{peak} = I_L \pm k_r \frac{\pi}{2\sqrt{2}} I_0 . \quad (5.35)$$

식 (5.31)과 (5.33)에 의해 턴-온 다이오드 과전압, 과전류의 최대는 $k_r=1$ 일 때이고, $k_r=0$ 인 경우가 수렴점이기 때문에 k_r 의 범위는 1과 0 사이의 양수로 정의된다.

$$0 \leq k_r \leq 1 . \quad (5.36)$$

실제로 턴-오프 스위칭이 k_r 로 정의된 단위원 위의 어떤 점에서 시작될 지는 턴-온 구간의 시간, 게이트 저항의 크기, DC링크 전압, 스위칭 회로의 DC단 기생 L과 C값에 의해 결정되기 때문에 모든 경우의 수에 대해 분석하기에는 경우의 수가 너무 많다. 따라서 본 논문에서는 V-I 평면상에서 k_r 로 정의된 원 위의 점들을 (5.37)와 같은 초기값 집합 $K(k_r)$ 로 정의하고, 해당 집합을 초기값으로 가지는 턴-오프 과전압의 범위를 구하도록 한다.

$$K(k_r) = \left\{ [V_{d0}, i_0]^T : \begin{bmatrix} V_{d0} \\ i_0 \end{bmatrix} = \begin{bmatrix} V_{dc} + V_{dc}k_r \cos(\theta) \\ I_L + \frac{\pi}{2\sqrt{2}} I_0 k_r \sin(\theta) \end{bmatrix} \text{ for } 0 \leq \theta \leq 2\pi \right\}. \quad (5.37)$$

먼저, 5.2.1절의 일반화된 식을 이용하여 정규화된 과전압 ($V_{\text{peak}}/V_{\text{dc}}$)을 구해 보도록 한다. 식 (5.2)에서 정의한 정규화된 초기값 α , β 를 이용하여 정규화된 초기값 집합 $K_n(k_r)$ 을 재정의하면 아래와 같다

$$K_n(k_r) = \left\{ [\beta, \alpha]^T : \begin{bmatrix} \beta \\ \alpha \end{bmatrix} = \begin{bmatrix} 1 + k_r \cos(\theta) \\ 1 + \frac{\pi}{2\sqrt{2}} \frac{I_0}{I_L} k_r \sin(\theta) \end{bmatrix} \text{ for } 0 \leq \theta \leq 2\pi \right\}. \quad (5.38)$$

초기값 집합 $K_n(k_r)$ 에 대해 정규화된 과전압의 크기를 식(5.29) 를 이용하여 구하면 그림 5-19와 같다.

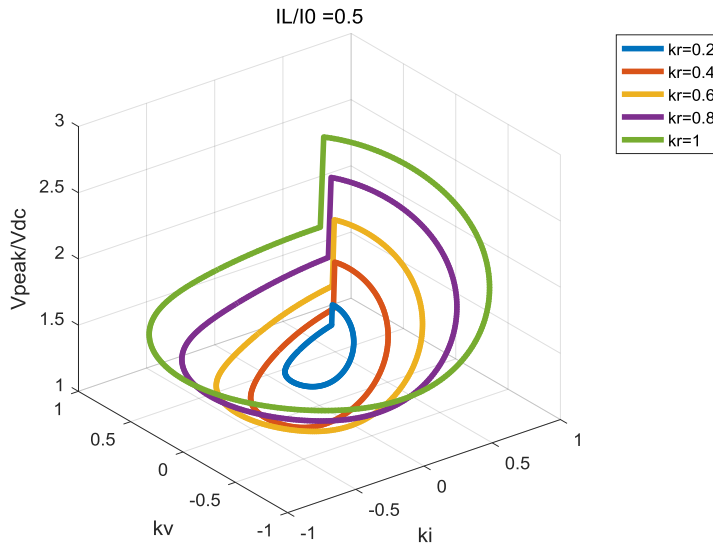


그림 5-19. 정규화된 부하전류(I_L/I_0) 0.5와 초기값 반경 $k_r=0.2, 0.4, 0.6, 0.8$ 에 따른 정규화된 과전압($V_{\text{peak}}/V_{\text{dc}}$)

그림 5-19의 X,Y 평면은 그림 5-20의 좌측의 다이오드 전압, 전류 평면을 초기값 반경 k_r 로 정규화 하여 표현한 그림 5-20의 우측 평면이다. 이 평면의 X,Y축인 k_v , k_i 의 정의는 아래와 같다.

$$k_v \equiv k_r \cos(\theta) = \beta - 1 \quad (5.39)$$

$$k_i \equiv k_r \sin(\theta) = \frac{2\sqrt{2}}{\pi} \frac{I_L}{I_0} (\alpha - 1) \quad (5.40)$$

따라서 그림 5-19는 정규화된 부하전류(I_L/I_0)가 0.5일때, 초기값 반경 k_r 이 0.2, 0.4, 0.6, 0.8, 1인 경우의 정규화된 과전압($V_{\text{peak}}/V_{\text{dc}}$)의 크기를 표현

한것이다. 이와 같은 방법으로, 다양한 정규화된 부하전류, 초기값 반경에 대해 정규화된 과전압(V_{peak}/V_{dc})의 크기를 3차원 그래프로 도시하면 그림 5-21와 같다.

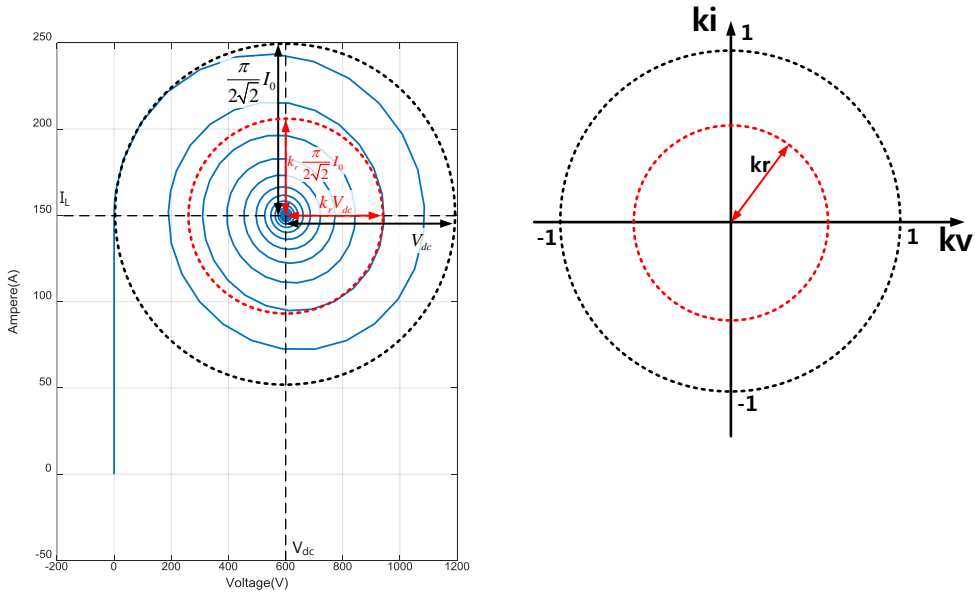


그림 5-20. 초기값 반경 k_r 을 가지는 전압, 전류 초기값 평면(좌측)과 k_i , k_v 축에서의 정규화된 초기값 평면(우측) 비교

그림 5-21을 살펴보면, 특정한 정규화된 부하전류에 대한 3차원 그래프의 형태가 매우 다양하게 표현 됨을 알 수 있다. 그림 5-21의 $(I_L/I_0)=0$ 인 경우, 초기값 반경 k_r 을 지나는 초기값 집합 $K_n(k_r)$ 의 과전압의 크기는 동일하고, k_r 이 증가할수록 과전압의 크기가 증가하는 원뿔 형태를 지닌다. 반면, $(I_L/I_0)=0.5$ 인 경우, 초기값 집합 $K_n(k_r)$ 내의 과전압의 크기는 매우 다양하며, 초기값 반경 k_r 이 증가함에 따라 과전압의 크기가 줄기도 하고 커지기도 하는 등, 복잡한 형상을 가진다. 이러한 복잡하고, 많은 정보를 축약하기 위해 그림 5-22와 같이 초기값 집합 $K_n(k_r)$ 에 대한 과전압의 변동 범위를 최대 값과 최소값으로 표시하여 나타내어 보았다.

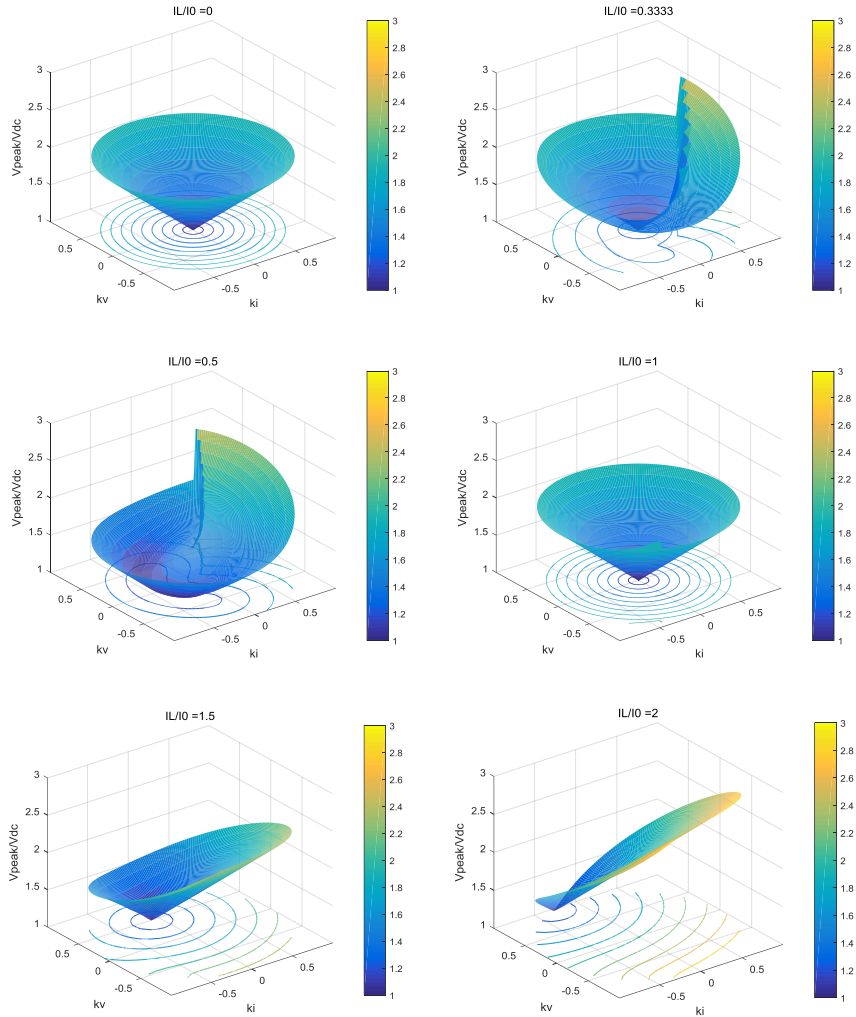


그림 5-21. 정규화된 부하전류(I_L/I_0) 0, 0.33, 0.5, 1, 1.5, 2와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc})

모든 k_r 에 대한 초기값 집합 $K_n(k_r)$ 의 V_{peak}/V_{dc} 의 최대,최소값을 X축이 초기값 반경 k_r , Y축이 부하전류 비율 I_L/I_0 , Z축이 V_{peak}/V_{dc} 인 3차원 그래프를 그림 5-23에 표시하였다. 그림 5-23의 최대와 최소값 3차원 그래프를 하나의 그래프에 동시에 도시하면 그림 5-24와 같다.

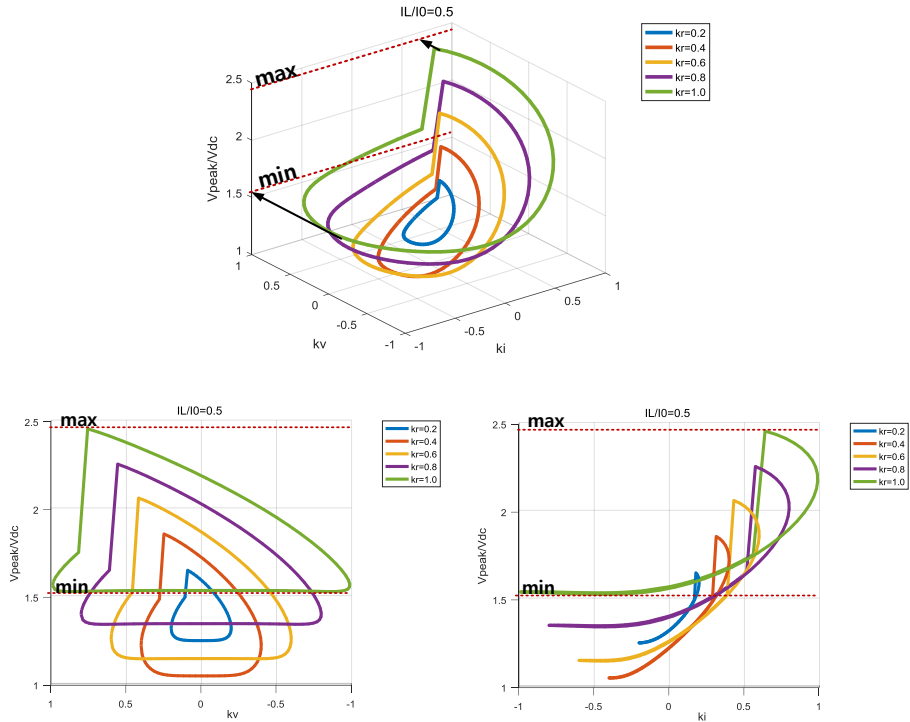


그림 5-22. 정규화된 부하전류(I_L/I_0) 0.5와 초기값 반경 $k_r=0.2, 0.4, 0.6, 0.8$ 에 따른 정규화된 과전압(V_{peak}/V_{dc})과 $k_r=1$ 일 경우의 V_{peak}/V_{dc} 의 최대 최소

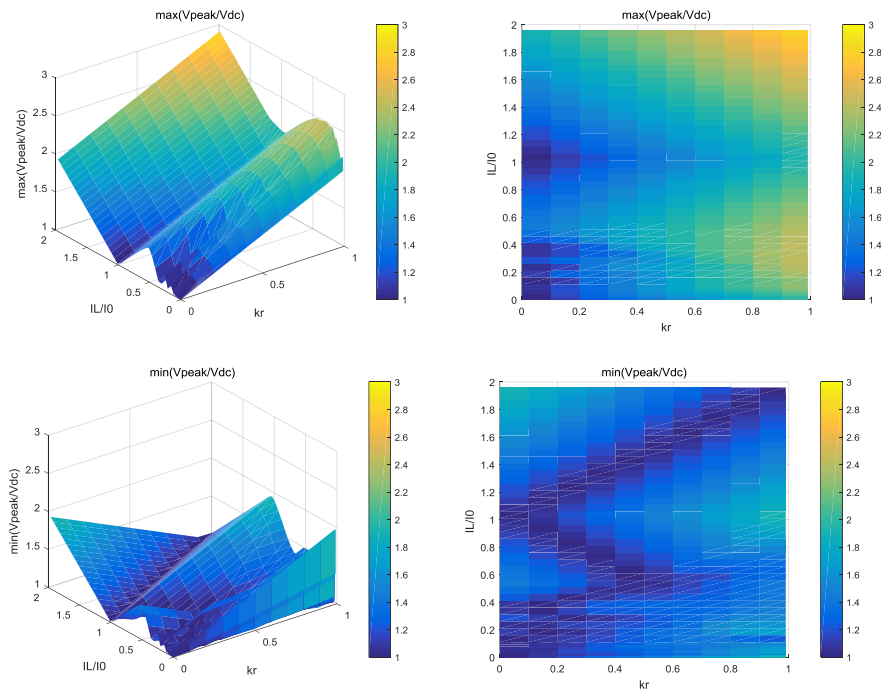


그림 5-23. 0~2의 정규화된 부하전류(I_L/I_0)와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc})의 최대값(상단)과 최소값(하단)

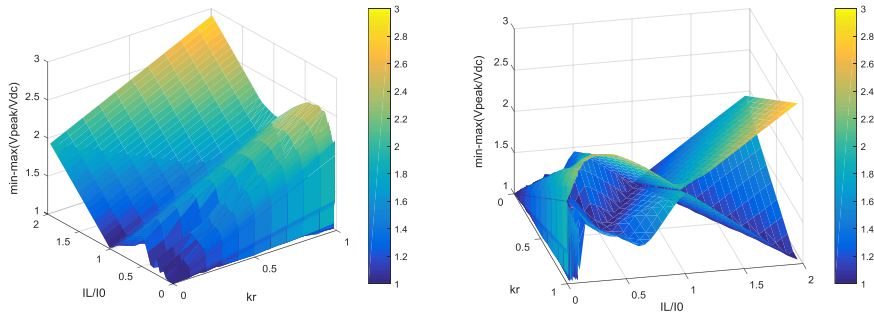


그림 5-24. 0~2의 정규화된 부하전류(I_L/I_0)와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc})의 최대,최소(좌측: 정면 모습, 우측:후면 모습)

그림 5-24의 우측 그래프에서 볼수 있듯이, 같은 초기값 반경을 지나는 초기값 집합 $K_n(k_r)$ 내에서도 정규화된 과전압의 크기의 변동 폭이 매우 크다는 것을 알 수 있다. 심지어, 그림 5-23의 하단 그래프에서 관찰 할 수 있듯이, 특정 초기값 조건에 대해서는 오히려 과전압의 크기가 1인($V_{peak}=V_{dc}$) 경우 또한 존재한다.

그림 5-25는 0~2의 정규화된 부하전류에 대한 정규화된 과전압의 최대값과 최소값을 초기값 반경 k_r 에 대해 도시한 2차원 그래프이다. 이는 그림 5-23의 3차원 그래프를 XZ 평면에서 바라본 모습과 동일하다. 그림 5-25에서 확인 할 수 있듯이, 초기값 반경이 10% 늘어날 때마다, 대부분의 전류영역에서의 과전압의 최대치 또한 대략 10% 가량 증가하는 것을 알 수 있다. 따라서 최악의 경우, 초기값이 10% 변할때마다 과전압의 크기가 $k_r=0$ 인 경우에 비해 약 10%씩 늘어 날 수 있음을 의미한다.

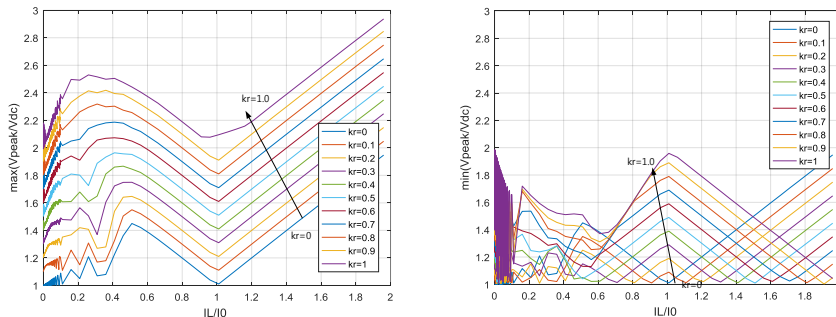


그림 5-25. 0~2의 정규화된 부하전류(I_L/I_0)와 0~1의 초기값 반경 k_r 에 따른 정규화된 과전압(V_{peak}/V_{dc})의 최대(좌측)과 최소(우측)

하지만, 그림 5-25의 우측 그래프와 같이 과전압의 최소값이 $k_r=0$ 그래프 보다 작아지는 영역 또한 존재하기 때문에 초기값 변동이 항상 과전압의 크기를 증가시킨다고 생각 할 수는 없다.

5.2.3 과전압 최대치 제한을 위한 최소 펄스폭 계산

일반적으로 초기값 반경 $K(k_r)$ 은 다음의 특징을 가진다.

- 턴-온 시간(최소 펄스 폭)이 길어질수록, 회로의 저항성분이 클수록 턴-오프 초기값 반경 ' k_r '은 줄어든다.
- 게이트 저항의 크기가 커질수록, 과전압, 과전류의 크기가 줄어들므로, 초기값 반경 ' k_r '은 줄어든다.

이와 같은 특징은, 일반적인 LRC 공진 회로의 감쇄 그래프를 통해 알 수 있다. 댐핑 계수 ζ 가 0과 1사이에 존재할때의 시간에 따른 신호의 크기는 다음과 같이 표현 가능하다.

$$C(t) = U_0 e^{-\zeta \omega_n t} \sin \left(\sqrt{1 - \zeta^2} \omega_n t + \tan^{-1} \frac{\sqrt{1 - \zeta^2}}{\zeta} \right) . \quad (5.41)$$

이를 표현하면, 그림 5-26과 같다. 그림에서 볼수 있듯이, 감쇄파형의 진폭은 지수 함수로 감소하는 것을 알 수 있다. 이를 표현하면 다음과 같다.

$$U(t) = U_0 e^{-\zeta \omega_n t} . \quad (5.42)$$

따라서 진동의 진폭이 초기값에 비해 k_r 배 만큼 감쇄되기 위한 시간 t_0 는 식 (5.44)로 계산 할 수 있다.

$$k_r = \frac{U(t_0)}{U(0)} = e^{-\zeta \omega_n t_0} . \quad (5.43)$$

$$t_0 = \frac{\ln(k_r)}{-\zeta \omega_n} . \quad (5.44)$$

이 시간은 진동의 주기 T 로도 표현 가능하다.

$$T \equiv \frac{2\pi}{\sqrt{1 - \zeta^2} \omega_n} . \quad (5.45)$$

그림 5-26에서 볼 수 있듯이 주기 T 에 대해 $C(t)$ 는 항상 $U(t)$ 와 만나므로, 아래와 같이 표현할 수 있다.

$$k_r > \frac{C(T \times N_0)}{C(0)} = e^{-\zeta \omega_n T \times N_0} . \quad (5.46)$$

$$N_0 > \frac{\ln(k_r)}{-\zeta\omega_n T} \quad (5.47)$$

따라서 N_0 번째 진동 이후의 진폭의 크기는 초기 크기의 k_r 배 보다 항상 작아진다.

이와 같은 계산을 통해, 과전압의 크기를 특정 크기 이하로 제한하기 위한 최소 펄스 폭을 계산 할 수 있다. 예를 들어, 10% 이하의 과전압 오차를 보장하기 위한 최소 펄스 폭은 다음과 같이 계산된다.

$$t_{\min} = \frac{\ln(0.1)}{-\zeta\omega_n} \quad (5.48)$$

만약 최소 펄스폭의 크기를 더 작게 하고자 하다면, $\zeta\omega_n$ 의 값을 증가시켜야 한다. $\zeta\omega_n$ 의 증가를 위해서는 아래 (5.49)과 같이, 저항의 크기를 늘리고, 인덕턴스의 크기를 줄여야 한다.

$$\zeta\omega_n = \frac{R}{2L} \quad (5.49)$$

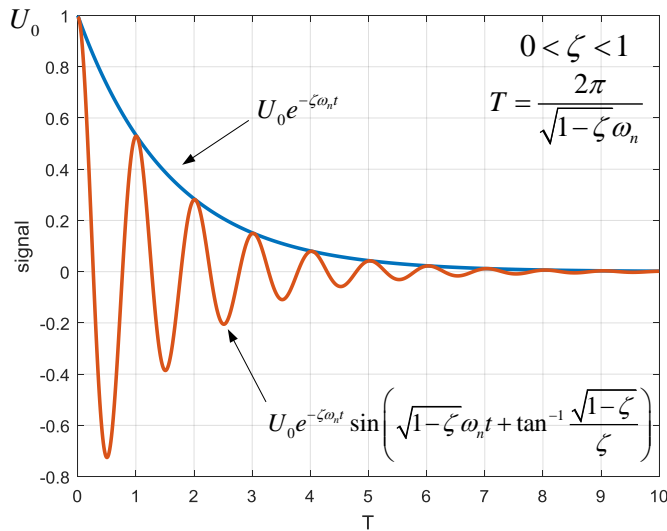


그림 5-26. 일반적인 LC공진 감쇠 그래프

인덕턴스의 최소화는 서론에서 언급하였던 DC단 버스 플레이트 또는 스너버 캐패시터의 최적화[63]-[71]를 통해 달성할 수 있으며, 저항의 증가는 DC단 RC스너버[88]-[91]와 PCB 변압기 회로[92]를 통해 달성할 수 있다.

5.3 게이트 구동 전압의 기울기와 기생 인덕턴스를 고려한 분석

3장에서의 부하전류에 따른 과전압 분석에서는 게이트 드라이버의 회로를 그림 5-27의 좌측과 같은 이상적인 계단(step)파형을 가지는 전압전원과 게이트 저항만으로 표현 하였다. 하지만 실제 게이트 드라이버의 출력 전압은 그림 5-27의 우측과 같이 기울기(slew)를 가지는 전압원으로 증가하는 것이 일반적이다. 또한 게이트 드라이버와 SiC MOSFET 모듈 사이에는 모듈 또는 소자 내부 저항 (R_{int}) 과 소자와 게이트 드라이버 사이의 거리에 비례하는 기생 인덕턴스 성분 (L_{loop})이 존재하기 때문에 실제 게이트 드라이버의 증가회로는 3장에서 가정 했던 이상적인 게이트 드라이버 회로와 다르다.

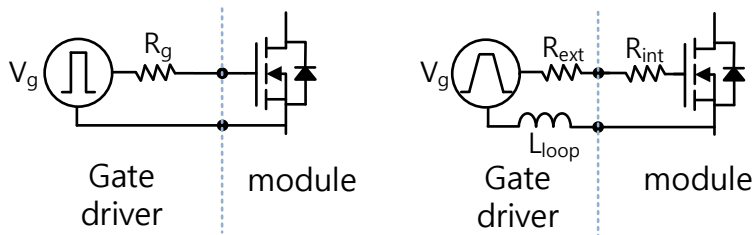


그림 5-27. 이상적인 게이트 드라이버(좌측)와 실제 게이트 드라이버(우측) 회로 모델

3장에서 실제 게이트 드라이버의 회로 모델이 아닌, 이상적인 게이트 드라이버 회로를 사용한 이유는 다음과 같다.

- 고속 스위칭(게이트 저항이 매우 작은 경우; 그림 5-28의 좌측 파형)과 저속 스위칭(게이트 저항이 매우 큰 경우; 그림 5-28의 좌측 파형)에서의 과전압에 대한 해석적 분석은 가능 하였으나, 그 사이의 스위칭 속도에서의 과전압 경향에 대한 해석적 분석은 어려웠다.
- 스위칭 속도 변동에 따른 과전압 경향 분석을 위해 이상적인 게이트 드라이버 회로를 이용하였으며, 게이트 저항값의 증가는 스위칭 속도(di_{ch}/dt)의 감소를 의미한다. 따라서 3장에서 사용한 이상적인 게이트 드라이버 회로의 역할은 스위칭 속도를 게이트 저항값에 의해 자유롭게 조절하는 것이다.

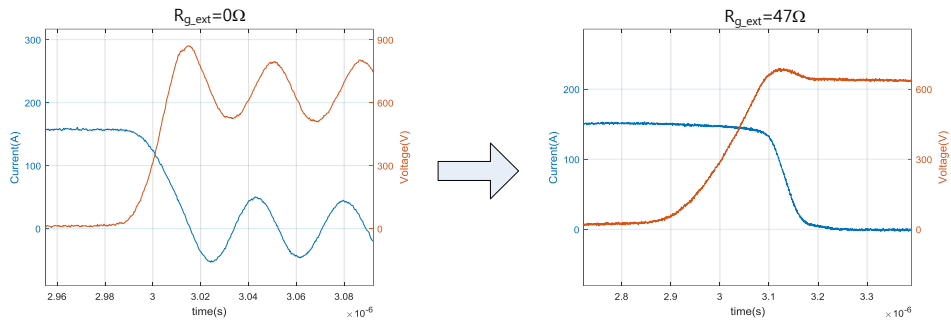


그림 5-28. 고속 스위칭시의 스위칭 실험 파형(좌)과 저속 스위칭시의 스위칭 실험 파형(우)

이와 같은 이유로, 3장에서는 스위칭 속도의 변동을 대표하는 값으로서 게이트 저항을 사용하였다. 단순히 스위칭 속도(di_{ch}/dt)의 변동을 모의하기 위해 게이트 소스 전압 V_{gs} 의 상승, 하강 기울기를 변동시키거나, 채널 전류의 상승, 하강 기울기를 직접적으로 변동하는 방법으로 고속~저속 스위칭 사이에서의 과전압 시뮬레이션을 수행할 수도 있었으나, 그렇게 하지 않은 이유는 다음과 같다.

- 그림 3-9와 같이 턴-온, 턴-오프의 속도는 게이트 드라이버의 임피던스(그림 3-9에서는 게이트 저항)와 MOSFET의 트랜스컨덕턴스 g_m 과 부하전류 크기에 의해 좌우된다. 이는 같은 게이트 저항을 사용하였어도 부하전류의 크기가 변동하면 스위칭 속도 또한 변동한다는 것을 의미한다.
- 만약 게이트 소스 전압 또는 채널전류의 상승, 하강 기울기를 직접 변동시키면서 부하전류에 따른 과전압의 경향을 확인한다면, 과전압 현상의 이해에 있어서, 게이트 드라이버를 통해 스위칭 속도를 조절하는 현실과 괴리가 발생한다. 이는 게이트 드라이버의 임피던스(주로 게이트 저항)와 부하전류 크기에 의해 게이트 소스 전압 또는 채널전류의 기울기가 어떻게 변동하는지에 대한 변환이 한번 더 필요하기 때문이다.
- 그러한 추가적인 변환과정은 결국에는 게이트 저항값과 부하전류를 변동시킬때 나타나는 채널전류의 변화를 시뮬레이션을 통해 알아 낼 수 밖에 없으므로, 그림 5-27의

좌측과 같은 가장 단순하고 이상적인 게이트 드라이버 회로를 이용하여 게이트 저항 크기에 따른 과전압 경향을 확인하는 것이 현실적이고 간단한 접근법이다.

비록 부하전류에 따른 과전압의 경향성만을 알아보기 위해 구조가 간단한 이상적인 게이트 드라이버를 이용하였지만, 실제적인 게이트 드라이버 회로를 사용 하였을 때도, 그와 비슷한 경향성이 나타나는지에 대한 검증은 필요하다.

따라서 이번장의 목적은 이러한 실제 게이트 드라이버 구동 회로의 경우에도 3장에서 분석하였던 부하전류에 따른 과전압의 경향이 재현되는지 확인해 본다. 먼저, 실제 게이트 드라이버의 등가회로를 유도 하고, 이를 통해 사용가능한 최소 게이트 저항의 크기와 실제 게이트 드라이버의 게이팅 속도의 한계에 대해 고찰한다. 그리고 실제 게이트 드라이버의 등가 회로를 3장에서 수행했던 스위칭 회로 시뮬레이션에 적용하여 실제 게이트 드라이버 회로를 이용하였을 때의 MOSFET과 다이오드의 과전압의 경향을 확인해 보도록 한다.

5.3.1 실제 게이트 드라이버의 등가회로와 스위칭 속도의 한계

3장에서 사용한 이상적인 게이트 드라이버 회로가 스위칭 속도 조절에 제한이 없다고 한다면, 실제 게이트 드라이버에서는 스위칭 속도의 한계가 존재한다는 것을 의미한다. 실제로, 일반적인 게이트 드라이버 설계에서, 게이트 저항의 최소값은 다음과 같이 설계된다.

- 게이트 전원을 이상적인 계단(step) 전압원으로 가정하고, 부하에 해당하는 게이트 소스 단의 임피던스를 캐패시터(C_{iss})로 가정하여 게이트드라이버와 부하 회로를 그림 5-29와 같은 LCR 회로로 등가한다. 이 등가회로에서 계단 입력 전압 V_g 부터 게이트-소스 전압 V_{gs} 까지의 전달함수는 다음과 같다.

$$\frac{V_{gs}}{V_g} = \frac{\frac{1}{L_{loop}C_{iss}}}{s^2 + \frac{R_g}{L_{loop}}s + \frac{1}{L_{loop}C_{iss}}} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (5.50)$$

- 게이트 소스 캐패시터의 전압 V_{gs} 가 공진에 의한 과전압이 생성되지 않도록 하는 게이트 저항을 게이트 드라이버가 가질 수 있는 최소 저항(R_{min})으로 정의하며, LCR 직렬 회로의 감쇠비(식(5.51))가 임계감쇠($\zeta = 1$)되는 저항값을 전체 게이트 저항($R_g = R_{int} + R_{ext}$)의 최소치(식(5.52))로 계산한다[55].

$$\zeta = \frac{R_g}{2} \sqrt{\frac{C_{iss}}{L_{loop}}} \quad (5.51)$$

$$R_{min} = 2 \sqrt{\frac{L_{loop}}{C_{iss}}} \quad (5.52)$$

- 게이트 소스 과전압의 관점에서 계단 전원입력은 기울기를 가지는 전원 입력보다 악조건 이므로, 기울기를 가지는 전원입력을 가지는 실제 게이트 드라이버에서의 최소 게이트 저항 R_{min} 은 과전압이 생기지 않도록 결정 되어야하므로, 최소저항 이상의 게이트 저항을 사용하기를 권장한다.

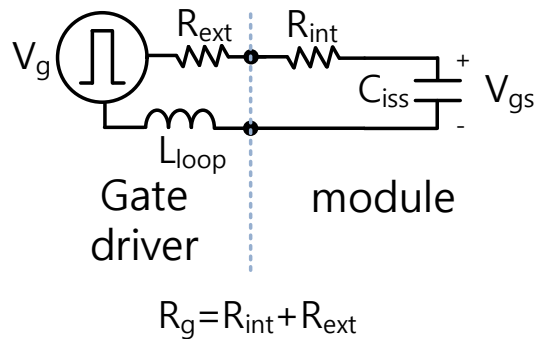


그림 5-29. 게이트 소스단의 임피던스를 캐패시터로 등가한 게이트 등가회로

따라서 게이트-소스단 과전압 방지를 위해 LRC 회로의 응답특성을 임계감쇠(critically damped) 또는 과감쇠(overdamped)로 설계하기를 권장한다. 이 조건을 만족하기 위한 게이트 저항의 범위는 (5.53)와 같다.

$$R_{int} + R_{ext} > R_{min} \quad (5.53)$$

LRC 회로의 임계감쇠에서의 전달함수 (5.50)의 극점은 (5.54)의 중근을 가진다.

$$\text{극점: } \omega_n = \frac{1}{\sqrt{L_{loop}C_{iss}}} \quad (5.54)$$

식 (5.54)의 극점의 위치는 기생 인덕턴스 L_{loop} 가 커질수록 원점 방향으로 이동하기 때문에 V_{gs} 의 상승시간이 점점 느려짐을 예상할 수 있다. 이와 같이, 실제 게이트 드라이버의 최대 스위칭 속도는 기생 인덕턴스에 의해 제한된다.

와이드밴드갭 반도체의 경우, 게이트 드라이버의 기생 인덕턴스에 의한 스위칭 속도 제한으로 인해 사용자가 원하는 충분한 속도의 스위칭이 불가능한 경우가 있다. 이 경우, 기생 인덕턴스를 줄이기 위한 최적화된 소자 패키지를 사용하거나, 게이트 드라이버 회로를 패키지 안에 삽입하거나, 능동 게이트 드라이버 또는 전류형, 공진형 게이트 드라이버와 같이 특별히 고안된 게이트 드라이버를 이용하여 기생 인덕턴스로 인한 스위칭 속도 저하를 극복할 수 있다.

부록 A는 기생 인덕턴스로 인한 스위칭 속도제한을 극복하기 위해 저자가 제안한 새로운 게이트 드라이버이다. 이 게이트 드라이버는 과충전된 캐패시터를 이용하여 소자의 게이트 전하(charge)를 공급하게 되므로, 과전압 없이 빠른 스위칭이 가능하다.

6.6 Switching Characteristics: $\mu A741C$

over operating free-air temperature range, $V_{CC\pm} = \pm 15V$, $T_A = 25^\circ C$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_r Rise time	$V_i = 20\text{ mV}$, $R_L = 2\text{ k}\Omega$		0.3		μs
Overshoot factor	$C_L = 100\text{ pF}$; see Figure 1		5%		
SR Slew rate at unity gain	$V_i = 10\text{ V}$, $R_L = 2\text{ k}\Omega$ $C_L = 100\text{ pF}$; see Figure 1		0.5		$V/\mu s$

그림 5-30. OP-AMP($\mu A741C$)의 슬루율 정보와 시험조건

다음으로 그림 5-27의 우측과 같은 기울기를 가지는 출력전원(slew rate)의 증가회로를 고찰한다. 일반적으로, 슬루율(slew rate; 전압 상승 기울기)의 개념은 그림 5-30과 같이 OP-AMP(Operational Amplifier)의 단위 시간당 출력 전압의 상승 속도로서 정의되지만, 전자회로로 구성된 게이트 드라이버의 구동기(Driver)의 경우, 출력전압의 상승 시간(10%~90% rise time)으로 확장 적용될 수 있다.

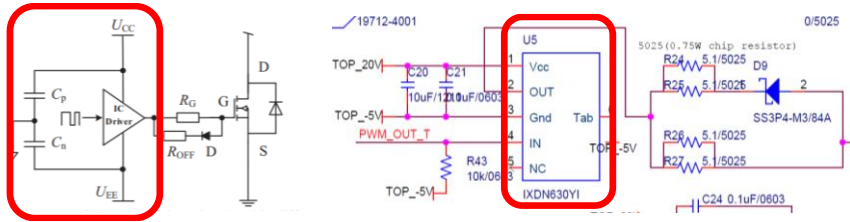
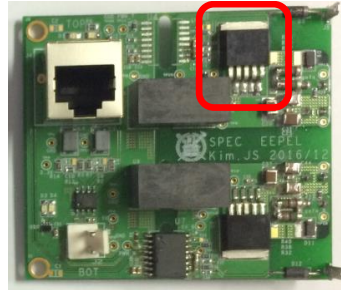
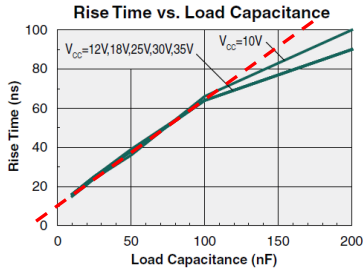


그림 5-31. 게이트 드라이버의 출력 구동기(IXDN630YI)와 구동기의 상승시간-부하캐패시턴스의 관계

그림 5-31은 실제 실험에 사용하였던 게이트 드라이버 회로와, 게이트 드라이버에 사용했던 출력 구동기(IXDN630YI)의 사진과 해당 구동기의 상승시간-부하 캐패시턴스 그래프이다. OP-AMP의 슬루율(slew rate)이 그림 5-30과 같이 특정 부하 조건에서 정의 되듯이, 출력 구동기의 상승시간 또한 부하조건에 의해 결정된다.

그림 5-31의 상단의 그래프는 부하 캐패시턴스와 상승시간과의 관계를 보여주며, 부하캐패시턴스의 크기가 증가함에 따라 상승시간이 비례하여 증가하는 것을 보여준다. 이를 통해 출력 구동기의 내부 임피던스는 RC로 구성된 회로로 등가할 수 있음을 추정할 수 있다. 이를 표현한 것이 그림 5-32 이다. 그림 5-32의 RC 등가회로의 10%~90%의 상승시간은 아래의 수식으로 표현할 수 있다.

$$T_r = 2.2R_d C_d \quad (5.55)$$

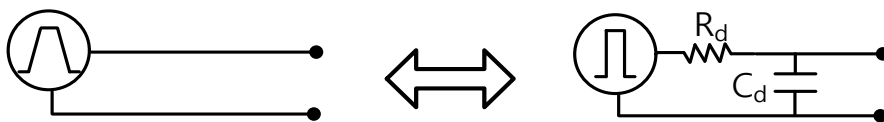


그림 5-32. 출력 구동기(IXDN630YI)의 등가 회로

그림 5-32에서 부하 캐패시터가 없을때의 상승시간이 10ns, 부하 캐패시턴스가 50nF 일때의 상승시간이 40ns임을 이용하여 아래의 두 방정식을 만들 수 있다.

$$10ns = 2.2R_d C_d \quad (5.56)$$

$$40ns = 2.2R_d (C_d + 50nF) \quad (5.57)$$

식 (5.56)와 (5.57)의 연립 방정식의 해를 구하면 (5.58)과 같다.

$$R_d = 0.273\Omega, \quad C_d = 16.65nF \quad (5.58)$$

식 (5.58)에서 구한 내부 저항의 값은 그림 5-33의 출력 구동기 (IXDN630YI)의 내부 저항 값과 유사하며, 이를 통해 RC 등가회로 변환을 신뢰할수 있음을 확인 할 수 있다.

Output Resistance, High State	$V_{CC}=18V, I_{OUT}=-100mA$	R_{OH}	-	0.17	0.4	Ω
Output Resistance, Low State	$V_{CC}=18V, I_{OUT}=100mA$	R_{OL}	-	0.16	0.3	

그림 5-33. 출력 구동기(IXDN630YI)의 내부 저항

따라서 출력 전압의 기울기까지 고려한 실제 게이트 드라이버의 전체 등가 회로는 그림 5-34와 같다.

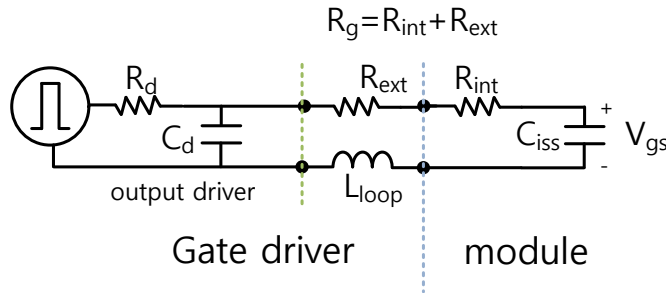


그림 5-34. 실제 게이트 드라이버의 등가 회로

그림 5-34의 등가회로를 검증하기 위해 실제 게이트 드라이버 등가회로의 시뮬레이션 결과와 실험 결과를 비교하여 보았다. 시뮬레이션에 조건은 아래와 같다.

- 비선형 MOSFET(CAS120M12BM2) 모델 : 비선형 $C_{ds}, C_{gs}, C_{gd}, g_m$
- 실제 게이트 드라이버 등가회로 사용 :

$$R_d = 0.273\Omega, \quad C_d = 16.65nF, \quad L_{loop} = 50nH$$

- 등가 게이트 저항 $R_g (R_{int} + R_{ext})$: 0.1Ω, 0.5Ω, 1Ω, 1.5Ω, 2Ω, 3Ω, 4Ω, 5Ω

게이트 드라이버 단의 기생 인덕턴스를 50nH로 가정한 이유는 4장의 실험에 사용한 62mm 패키지의 게이트 소스단의 기생 인덕턴스의 값이 대략 50~100nH의 범위에 있기 때문이다. 그림 5-35는 그림 5-34의 실제 게이트 드라이버 등가회로의 게이트 저항 R_g 에 따른 $V_{gs}(t)$ 를 도시하였다.

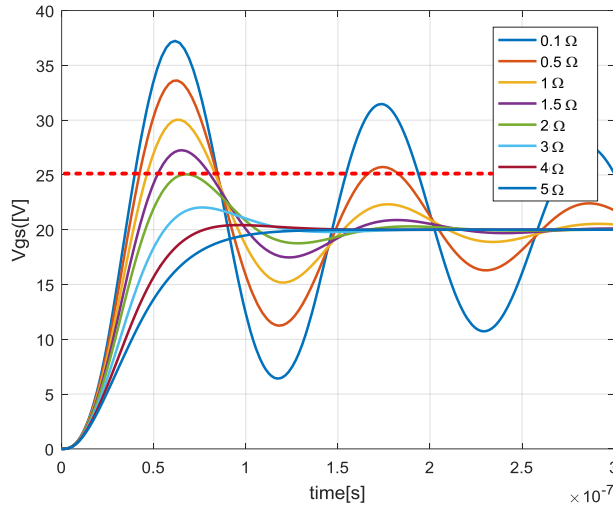


그림 5-35. 게이트 저항에 따른 실제 게이트 드라이버 등가회로의 $V_{gs}(t)$ 도시

식(5.52)을 이용하여 과전압이 발생하지 않는 최소 저항을 계산하면 다음과 같다.

$$R_{min} = 2 \sqrt{\frac{L_{loop}}{C_{iss}}} = 2 \sqrt{\frac{50nH}{7nH}} = 5.34\Omega. \quad (5.59)$$

그림 5-35에서 관찰 할 수 있듯이 게이트 저항이 5Ω 일 경우, 게이트 소스단의 과전압이 발생하지 않으며, 게이트 저항이 작아지면 과전압은 점점 커진다. 실제 실험에 사용한 소자는 게이트 소스전압의 최대 허용전압이 25V이기 때문에, 이 소자가 사용 가능한 등가 게이트 저항의 최소치는 약 2Ω 가량 됨을 알 수 있다.

시뮬레이션에서 사용한 실제 게이트 드라이버 등가회로를 검증하기 위해, 외부저항(R_{ext})을 0Ω 으로 하여 턴-온, 턴-오프시의 게이트 소스 전압을 직접 측정하였다. 실험에 사용한 게이트 드라이버의 내부 저항(0.273Ω)과 모듈 내부 저항(1.7Ω (그림 4-46)) 때문에 증가적인 게이트 저항이 약 2Ω 이라 할 수 있다. 실제 다이(Die)위의 전압을

측정하기 위해 그림 5-36와 같이 패키지를 열어서 상단 충전 물질을 제거한 후 다이에서 직접 측정하였다. 실험 결과는 그림 5-37과 같다.

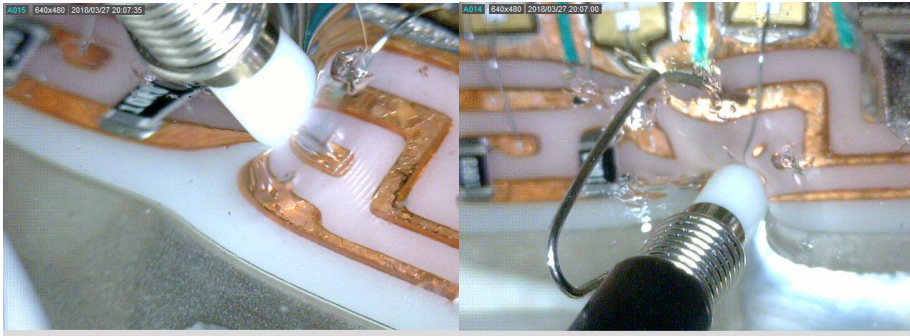


그림 5-36. Full SiC MOSFET의 게이트 소스 전압 측정 사진

그림 5-37에서 관찰 할수 있듯이, 시뮬레이션 결과와 유사하게 턴-온 과전압의 크기가 약 5V인 것을 확인 할 수 있다. 이를 통해 위에서 유도한 실제 게이트 드라이버의 등가회로가 실제 게이트 드라이버의 현상을 잘 반영한다고 할 수 있다.

다음 절에서는 이 등가회로를 이용하여 부하전류에 따른 과전압의 경향을 시뮬레이션을 통해 확인하고, 3장의 결과와 비교해 보도록 한다.

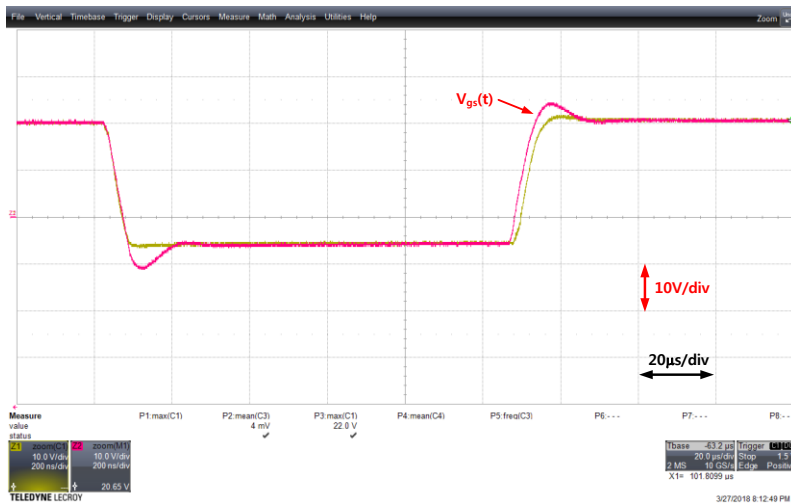


그림 5-37. 외부 게이트 저항(R_{ext})가 0인 경우(등가 $R_g \cong 2\Omega$)의 게이트 소스전압 턴-온, 턴-오프 실험파형 파형(ch2; 붉은색 파형, 10V/div)

5.3.2 실제 게이트 드라이버 등가회로를 이용한 스위칭 과전압 시뮬레이션

그림 5-34의 실제 게이트 드라이버의 등가회로와 이상적인 게이트 드라이버 회로를 이용하여 3장의 턴-오프 과전압 시뮬레이션을 재현해 보았다. 시뮬레이션 조건은 다음과 같다.

- 비선형 MOSFET 모델 : 비선형 C_{ds} , C_{gs} , C_{gd} , g_m 사용
- 실제 게이트 드라이버 등가회로 사용 :

$$R_d = 0.273\Omega, C_d = 16.65nF, L_{loop} = 50nH$$

- 등가 게이트 저항 $R_g (R_{int} + R_{ext})$: 0.1 Ω , 0.5 Ω , 1 Ω , 1.5 Ω , 2 Ω , 3 Ω , 4 Ω , 5 Ω
- 시뮬레이션 결과는 그림 5-38과 같다.

그림 5-38의 상단은 3장에서 사용하였던 이상적인 게이트 드라이버에 대한 턴-오프 과전압 시뮬레이션 결과이며, 하단은 5.3절에서 유도한 실제 게이트 드라이버의 등가회로를 이용한 턴-오프 과전압 시뮬레이션 결과이다. 두 그래프를 비교해 보면, 두 그래프 모두 게이트 저항이 커짐에 따라 부하전류에 따른 턴-오프 과전압이 부하전류에 비례하여 커지는 경향으로 바뀌는 것을 관찰할 수 있다. 이를 통해, 전원의 기울기와 기생 인덕턴스가 존재하는 실제 게이트 드라이버를 사용하여도, 3장의 결과와 같은 과전압 경향을 얻을 수 있다는 것을 알 수 있다.

두 시뮬레이션 결과의 다른점은 같은 게이트 저항값을 사용하여도 과전압의 경향이 서로 다르다는 것이다. 게이트 저항 2 Ω 의 경우를 서로 비교해 보면, 이상적인 게이트 드라이버의 부하전류 100A에서의 과전압은 630V로 과전압이 거의 발생하지 않았지만, 실제 게이트 드라이버 등가회로를 사용한 우측의 그래프에서는 약 700V로 더 큰 과전압이 발생하는 것을 관찰할 수 있다. 이와 같은 경향의 과전압은 이상적인 게이트 드라이버가 3~4 Ω 사이의 게이트 저항을 가졌을때의 경향과 유사하다. 이는 실제 게이트 드라이버 회로상에 존재하는 기생 인덕턴스, 내부 저항, 기울기를 가지는 전원전압들이 게이트 소스 단의 전압 V_{gs} 의 상승 기울기를 느리게 한다는 것을 의미한다. 또한 앞절에서 살펴보았듯이, 2 Ω 이하의 게이트 저항은 게이트 소스단에 과전압을

야기하므로, 시뮬레이션에서는 구현 가능하였지만, 실제 실험에서는 도달할 수 없는 스위칭 속도이다. 그 결과로 4장의 그림 4-43를 살펴보면, 외부 게이트 저항(R_{ext})이 0Ω 인 경우와 위 시뮬레이션의 등가 게이트 저항(R_g)이 2Ω 인 경우의 과전압 경향이 서로 유사함을 알 수 있다.

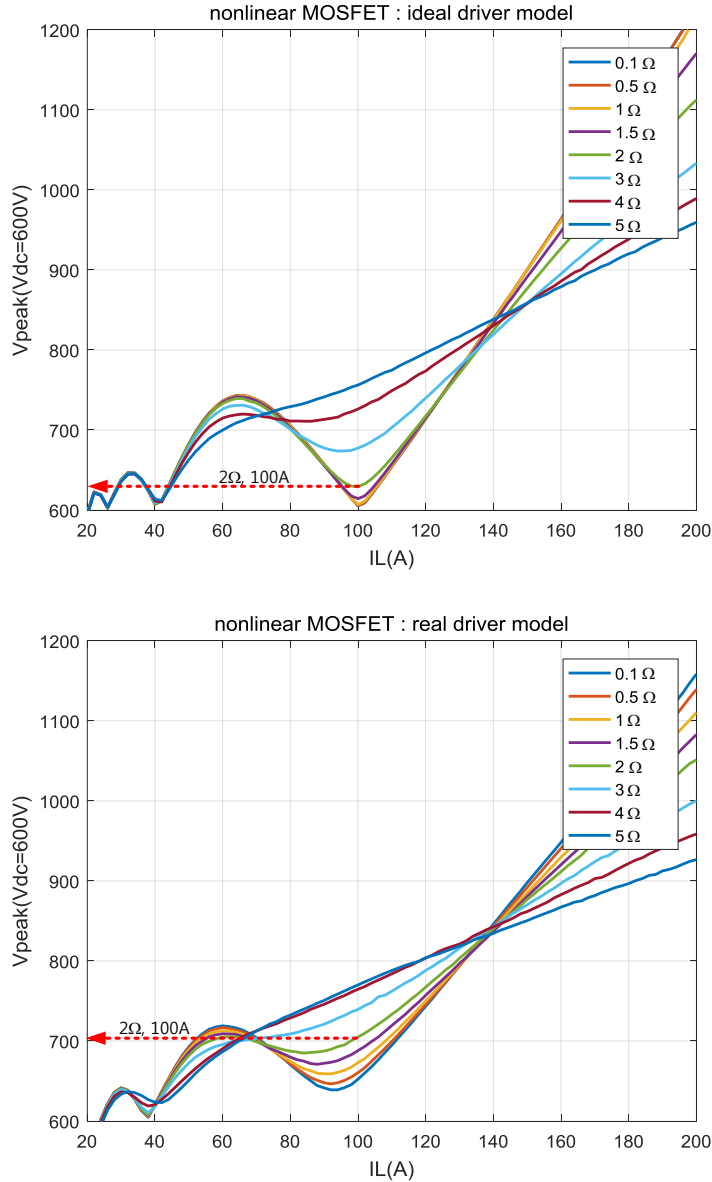


그림 5-38. 등가 게이트 저항(R_g)변동에 따른 부하전류에 따른 턴-오프 과전압 시뮬레이션 결과 (상: 이상적인 게이트 드라이버 회로, 하: 실제 게이트 드라이버 회로)

5.4 SiC MOSFET 과전압 분석결과와 응용 방안

이번 절에서는 본문의 SiC MOSFET의 과전압 분석결과가 어떻게 응용될 수 있을지에 대해 고찰한다. 저자가 생각하는 본 논문의 분석결과와 응용 가능성을 4가지로 요약하여 서술했다.

1. SiC MOSFET 인버터의 DC단 설계 지침 제안 가능성

본 논문의 과전압 경향의 분석은 기생 인덕턴스와 기생 캐패시턴스, DC링크 전압으로 정규화가 가능하기 때문에 인버터 DC단 설계의 지침을 제공해 줄 수 있다. 예를 들어 과전압의 크기를 V_{dc} 전압의 1.5배 이하로 제한하기 위한 기생 인덕턴스의 범위를 아래와 같이 정의 할 수 있다.

$$L \leq \frac{C}{I_r^2} \frac{8V_{dc}^2}{\pi^2}. \quad (5.60)$$

위 부등식은 그림 5-39에서 기준전류 I_0 의 1.5배의 부하전류 이하에서는 과전압의 크기가 언제나 V_{dc} 전압의 1.5배 이하로 제한되는 특성을 이용하였다. 위 부등식의 사용 예로, 기생 캐패시턴스 C 가 2nF, 정격 전류 I_r 이 200A, V_{dc} 가 600V인 Full SiC MOSFET에 대해, 고속 스위칭에서 과전압의 크기가 $1.5V_{dc}$ 이하로 제한되기 위한 기생 인덕턴스의 범위를 아래와 같이 계산 할 수 있다.

$$L \leq 29.18nH. \quad (5.61)$$

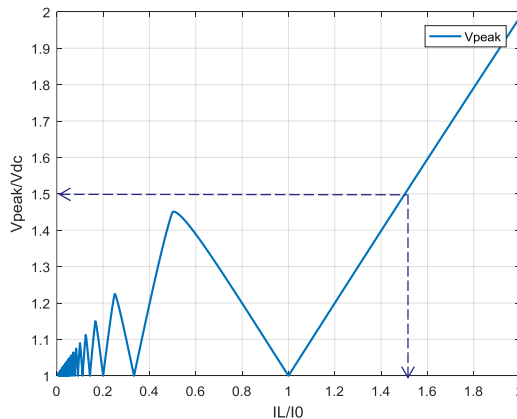


그림 5-39. 게이트 저항이 매우 작은 고속 스위칭 조건에서의 기준전류 크기에 따른 턴-오프 과전압의 경향

2. 능동 게이트 드라이버를 위한 지령 생성 가능성

과전압을 억제하기 위한 기존의 능동 게이트 드라이버 연구의 문제점은, 과전압을 억제하기 위한 게이트 전압지령 생성에 대한 구체적인 지침이 없다는 점이다. 본 논문의 5.2절에서 턴-오프 직전의 MOSFET의 상태와 스위칭 과전압 크기와의 관계를 규명하였기 때문에, 턴-오프 직전의 특정 초기조건을 목표로 한 구체적인 게이트 전압 지령 생성이 가능할 것으로 예상된다.

다른 접근으로 그림 5-40의 붉은색 그래프와 같이, 부하전류에 대해 능동적으로 게이트 저항을 변경해 주면, 스위칭 손실 최소화와 턴-오프 과전압 최소화를 동시에 달성하기 위한 최적의 턴-오프 스위칭이 가능할 것으로 기대 된다.

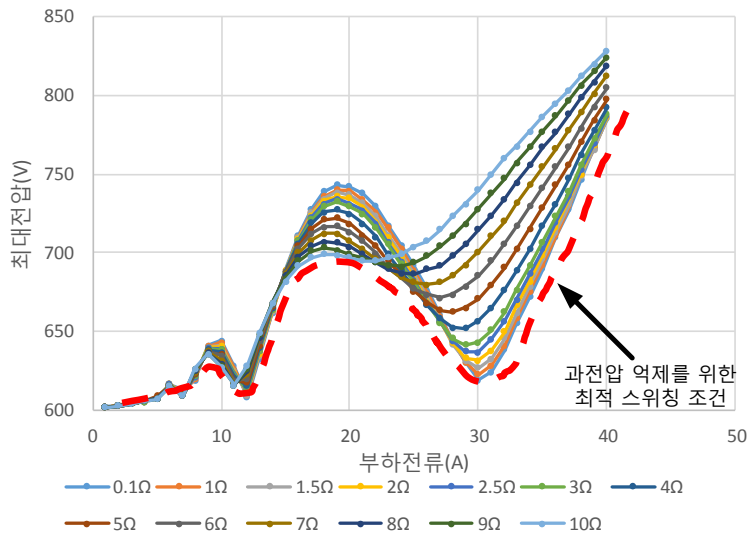


그림 5-40. 게이트 저항 크기에 따른 부하전류에 따른 과전압의 크기와 최적 스위칭 조건(붉은색 선)

3. 턴-온 스너버의 제안 가능성

게이트 저항이 매우 작은 고속 스위칭에서, MOSFET의 턴-오프 과전압보다 MOSFET의 턴-온에 의한 다이오드의 턴-오프 과전압이 심각하였다. 따라서, MOSFET의 고속 스위칭에서 다이오드의 과전압을 억제하기 위한 연구가 필요하다.

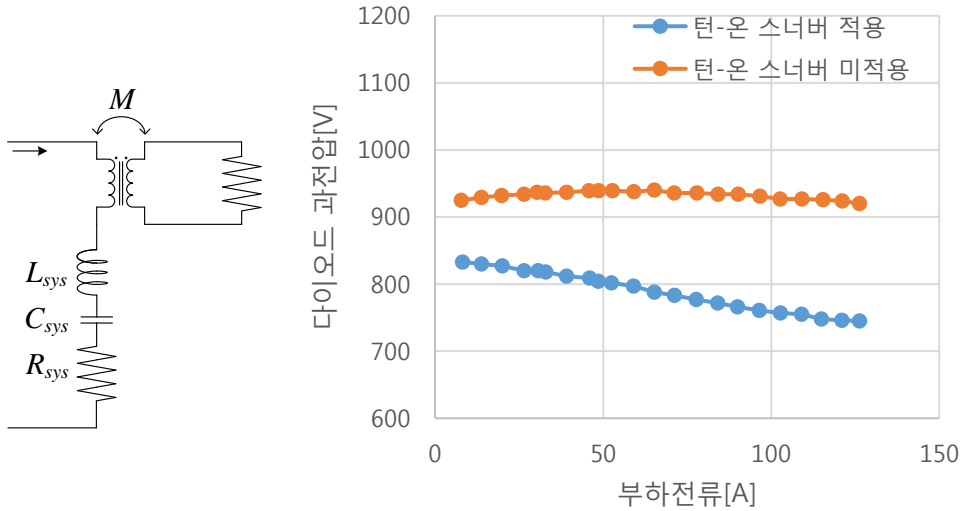


그림 5-41. 턴-온 스너버의 형태(좌측)와 턴-온 스너버의 효과(우측)

다이오드의 과전압 억제를 위해 그림 5-41의 턴-온 스너버를 제한 할 수 있으며, 이에 대한 실험결과도 같이 도시 하였다. 하지만, 턴-온 스너버의 설계방법론과 손실측면에서의 이점에 대한 추가적인 연구가 필요하다.

4. 기생 인덕턴스 변동을 통한 과도 억제 가능성

기생 인덕턴스의 크기 변동에 따른 기준전류 위치 이동 특성을 이용하여 과전압을 억제할 수 있는 가능성이 있다. 그림 5-42는 상호 인덕터의 2차단에 가변 인덕터를 이용하여 기준전류 I_0 의 위치를 이동하는 실험결과를 보여준다. 실험에서는 2차단의 공심(air core) 인덕터의 턴수를 하나씩 증가시키면서 기준전류의 이동을 관찰 하였다.

2차단의 가변 인덕터의 인덕턴스 변동 폭이 수십~수백nH 가량 밖에 되지 않기 때문에 실현 가능성이 있을 것으로 예상된다.

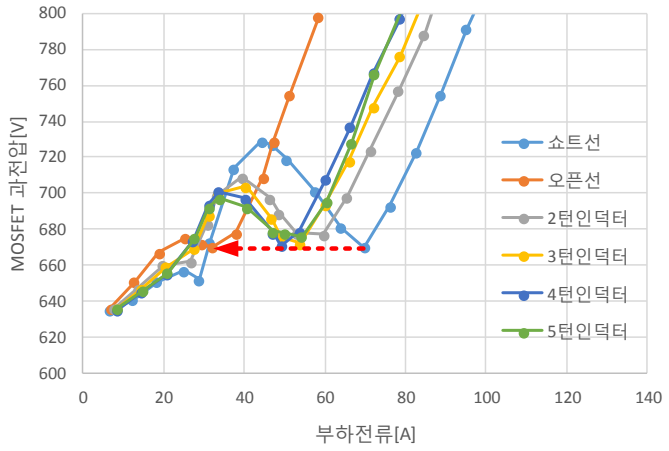
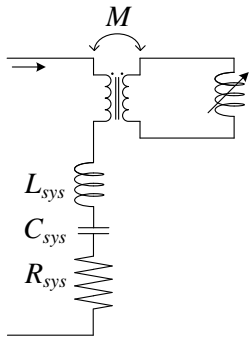


그림 5-42. 가변 인덕터(좌)를 이용한 기준전류의 이동 실험 결과(우)

제 6장 결론 및 향후 과제

6.1 연구 결과

본 논문은 SiC MOSFET이 작은 게이트 저항을 가질 때, 기존의 MOSFET 스위칭 과도에서 미처 분석하지 못한 현상을 분석하였다. 분석 결과 작은 게이트 저항을 가졌을 때, MOSFET 턴-오프 과전압은 부하전류가 증가함에 따라 과전압의 크기가 증감을 반복하는 주기적인 형태를 가짐을 보였고 이를 실험으로 증명하였다. 이를 통해 작은 게이트 저항을 가질 때에는 게이트 저항을 증가시킨다 하더라도 과전압을 억제시킬 수 없는 영역이 존재함을 보였다.

또한 일반적으로 스위칭 과도를 분석할 때 간과하였던 환류 다이오드의 과전압에 대해 분석하였다. 분석 결과 작은 게이트 저항을 가질 경우 환류다이오드에 V_{dc} 전압의 2배의 과전압이 유기될수 있음을 분석하였고 실험을 통해 검증하였다. 따라서 작은 게이트 저항을 가질 때, MOSFET의 과전압보다 환류다이오드의 과전압이 더 심각하며, 여기에 대한 대안이 필요하다.

마지막으로 빠른 과도를 보이는 Full SiC MOSFET의 전압, 전류 측정을 위한 측정 환경 조성에 대해 고찰 했다. Full SiC MOSFET은 기존의 IGBT의 스위칭 과도 측정보다 높은 수준의 전압, 전류 측정 대역폭이 필요하며, 적절하지 못한 측정 장비의 선택은 잘못된 측정 결과를 가져올 수 있음을 분석하였다. 이러한 분석 결과를 토대로 측정범위내 기생성분의 영향을 이론적으로 분석하였으며, 이를 이용하여 실제 소자의 전압과 전류를 복원하는 방법을 제안하였다.

6.2 향후 과제

본 논문은 SiC MOSFET이 작은 게이트 저항을 가질 때에는 기존의 과도 분석 방법과는 다르게 접근해야 함을 보였다. 특히 MOSFET과 다이오드의 과전압 발생 경향에 특이함이 존재함을 보였다.

따라서, 작은 게이트 저항을 가질 때 과전압의 억제를 위한 대책이

기존과는 달라져야함을 의미하며, 본 논문의 분석이 SiC MOSFET의 스위칭 과전압 억제 기술 개발에 유효하게 활용될 수 있으리라 생각된다.한다.

특히 기존의 관점에서 스너버 회로는 스너버의 손실은 소자의 손실에서 부터 이동되어진 것이라 분석하였지만, 작은 게이트 저항을 가질 때 에도 그러한 경향을 가지는지를 연구되어야 한다. 이러한 분석을 토대로 SiC MOSFET의 과전압을 억제하기 위한 손실이 적은 스너버 회로의 개발이 필요하다. 또 본 연구 결과를 바탕으로 보다 효과적으로 소자 양단 과전압을 억제하면서도 빠른 스위칭이 가능한 SiC MOSFET의 게이트 드라이버 설계가 가능하리라 예상 된다. 또 본 연구 결과를 활용하여 대용량 SiC MOSFET의 최적 패키지 설계와, 패키지 내/외부에 스너버 회로를 부착하여 스위칭 시 발생하는 전압/전류 공진을 감쇄 시킬 수 있는 회로의 설계도 가능하리라 생각된다.

부 록 A 스위칭 속도 한계를 극복하기 위한 제안된 게이트 드라이버

MOSFET의 게이트-소스 사이의 기생 인덕턴스와 모듈내 내부 게이트 저항에 의해 스위칭 속도가 제한될 경우가 있다. 이 경우, 게이트 드라이버 회로상에 직렬로, V_k 전압으로 충전된 캐패시터(C_k)와 저항(R_k)이 추가된 게이트 드라이버로 이를 극복 할 수 있다. 새로운 게이트 드라이버의 원리는 다음과 같다.

일반적인 입력 전원에서부터 게이트 소스단의 전압의 전달 함수는 아래와 같다.

$$\frac{V_{gs}}{V_g} = \frac{\frac{1}{L_{loop}C_{iss}}}{s^2 + \frac{R_g}{L_{loop}}s + \frac{1}{L_{loop}C_{iss}}} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n + \omega_n^2}. \quad (A.1)$$

$$(A.2)$$

여기서 게이트-소스단의 전압 상승 기울기를 빠르게 하기 위해서는 공진 주파수 ω_n 과 감쇄비 ζ 를 증가시켜야 한다.

$$\zeta = \frac{R_g}{2} \sqrt{\frac{C_{iss}}{L_{loop}}}. \quad (A.3)$$

$$\omega_n = \frac{1}{\sqrt{L_{loop}C_{iss}}}. \quad (A.4)$$

공진 주파수 ω_n 을 증가시키기 위해서는 회로의 직렬 캐패시터 C_k 를 연결하여 등가 캐패시터 값을 줄이고, 제타값을 증가시키기 위해서는 직렬 저항 R_k 을 추가하여 등가 저항을 증가하여 달성 할 수 있다. 사용자가 목표로 하는 게이트 전압의 전달 함수를 아래와 같이 가정하면 다음과 같이 설계 할 수 있다.

$$\frac{V_{gs}}{V_g} = \frac{\omega_{nref}^2}{s^2 + 2\zeta_{ref}\omega_{nref}s + \omega_{nref}^2}. \quad (A.5)$$

$$C_k = \frac{C_{iss}}{\frac{\omega_{nref}^2}{\omega_n^2} - 1}. \quad (A.6)$$

$$R_k = R_g + 2L_{loop}\zeta_{ref}\omega_{nref}. \quad (A.7)$$

여기서, C_k 에 충전될 전압 V_k 는 MOSFET의 전체 게이트 전하량 Q_{gate} 값이 되도록 설계한다.

$$V_K = \frac{Q_{gate}}{C_k} \quad (A.8)$$

일반적으로, 게이트 드라이버 상에서 구현 가능한 추가전원 V_k 가 먼저 결정되고, 이에 따라 C_k 가 결정된다. C_k 가 결정되면, 임계감쇄($\zeta_{ref} = 1$)가 되기 위한 R_k 를 설계하는 순서로 설계과정이 이루어진다. 그림 A-1은 새로운 게이트 드라이버의 등가회로를 표시하였다.

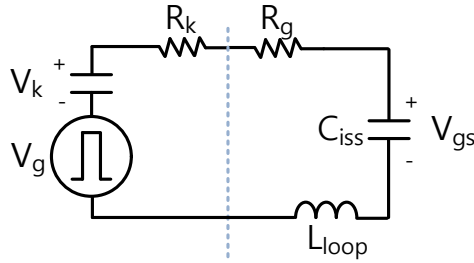


그림 A-1. 새로운 게이트 드라이버의 등가회로

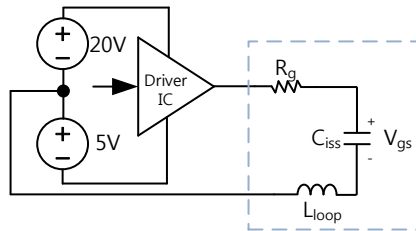


그림 A-2. 일반적인 게이트 드라이버의 등가회로 구현

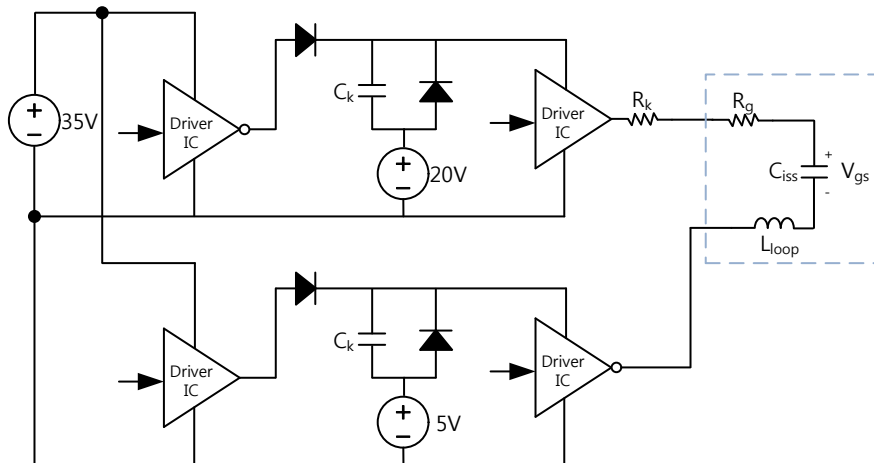


그림 A-3. 새로운 게이트 드라이버의 등가회로 구현

그림 A-2는 일반적인 게이트 드라이버의 구현 회로 이며, 그림 A-3은 제안된 게이트 드라이버의 구현 회로 이다. 이 회로를 실제 구현 한 것이 그림 A-4이며, 실험 결과는 그림 A-5와 같다.

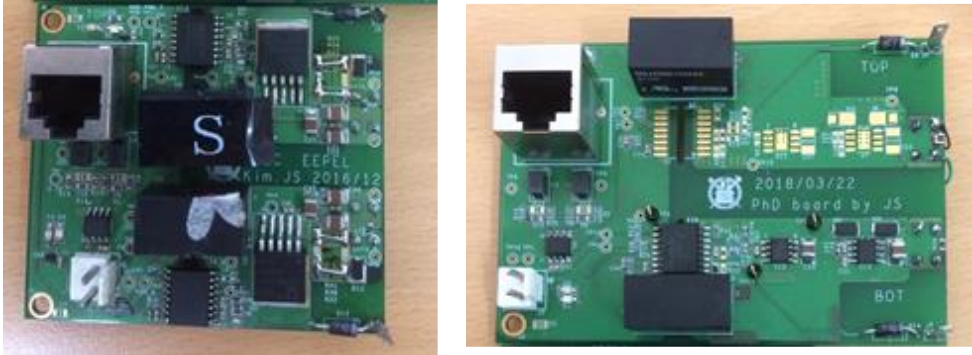


그림 A-4. 일반적인 게이트 드라이버(좌측)과 새로운 게이트 드라이버(우측) 사진

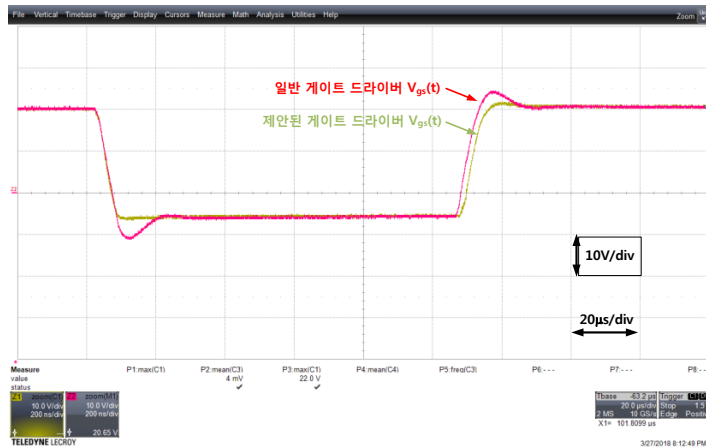


그림 A-5. 일반적인 게이트 드라이버(좌측)과 새로운 게이트 드라이버(우측) 사진

그림 A-5의 붉은색 파형은 기존의 게이트 드라이버가 약 5V의 게이트-소스단의 과전압이 생성될때의 게이트-소스 전압파형이며, 노랑색 파형은 제안된 게이트 드라이버의 과전압이 없는 게이트-소스 전압 파형이다. 그림에서 확인 할 수 있듯이 두 파형의 기울기는 동일하지만, 제안된 게이트 드라이버는 과전압이 없는 임계감쇄의 파형을 지니는 것을 확인 할 수 있다.

그림 A-6은 외부게이트 저항이 0일때의 기존의 게이트 드라이버와 제안된 게이트 드라이버를 이용하여 턴-오프 속도를 최대치로 증가시켰을때의 부하전류에 따른 MOSFET의 과전압 실험 결과이다.

제안된 게이트 드라이버는 기존의 게이트 드라이버의 게이팅 속도의 한계보다 더 빠르게 스위칭이 가능하기 때문에, 기준전류 근처에서의 과전압의 크기가 더 작아지는 것을 확인 할 수 있다.

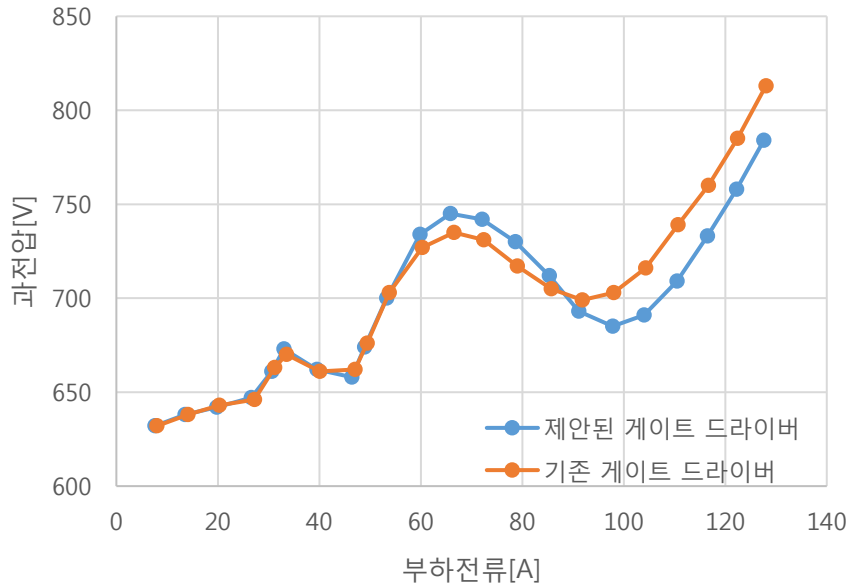


그림 A-6. 일반적인 게이트 드라이버(붉은색)과 제안된 게이트 드라이버(파랑색)의 턴-오프 과전압 실험 결과

참고 문헌

- [1] N. Kaminski and O. Hilt, "SiC and GaN devices – wide bandgap is not all the same," *IET Circuits, Devices Syst.*, vol. 8, no. 3, pp. 227–236, 2014.
- [2] L. D. Stevanovic, K. S. Matocha, P. A. Losee, J. S. Glaser, J. J. Nasadoski and S. D. Arthur, "Recent advances in silicon carbide MOSFET power devices," *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Palm Springs, CA, 2010, pp. 401-407.
- [3] X. She, A. Q. Huang, Ó. Lucía and B. Ozpineci, "Review of Silicon Carbide Power Devices and Their Applications," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8193-8205, Oct. 2017.
- [4] N. Kaminski, "State of the art and the future of wide band-gap devices," *2009 13th European Conference on Power Electronics and Applications*, Barcelona, 2009, pp. 1-9.
- [5] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás and J. Rebollo, "A Survey of Wide Bandgap Power Semiconductor Devices," in *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2155-2163, May 2014.
- [6] K. Shenai, "Future Prospects of Widebandgap (WBG) Semiconductor Power Switching Devices," in *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 248-257, Feb. 2015.
- [7] J. C. Zolper, "Emerging silicon carbide power electronics components," *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005.*, Austin, TX, 2005, pp. 11-17 Vol. 1.
- [8] N. Mohan, T. M. Undeland, W. P. Robbins, *Power electronics-converters applications and design*, 3rd edition, John Wiley & Sons, New York, 2003.
- [9] M H. Rashid, *Power electronics handbook : devices, circuit, and application handbook*, 3rd edition, Elsevier, 2007.
- [10] J. A. Cooper, M. R. Melloch, R. Singh, A. Agarwal and J. W. Palmour, "Status and prospects for SiC power MOSFETs," in *IEEE Transactions on Electron Devices*, vol. 49, no. 4, pp. 658-664, Apr 2002.
- [11] M. Bhatnagar and B. J. Baliga, "Comparison of 6H-SiC, 3C-SiC, and Si for power devices," in *IEEE Transactions on Electron Devices*, vol. 40, no. 3, pp. 645-655, Mar 1993.
- [12] C. E. Weitzel et al., "Silicon carbide high-power devices," in *IEEE Transactions on Electron Devices*, vol. 43, no. 10, pp. 1732-1741, Oct 1996.
- [13] J. Biela, M. Schweizer, S. Waffler and J. W. Kolar, "SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors," in *IEEE Transactions on Industrial Electronics*, vol. 58, no. 7, pp. 2872-2882, July 2011.
- [14] K. Yamaguchi, "Design and evaluation of SiC-based high power density inverter, 70kW/liter, 50kW/kg," *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, 2016, pp. 3075-3079.
- [15] M. Östling, R. Ghandi and C. M. Zetterling, "SiC power devices — Present status, applications and future perspective," *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*, San Diego, CA, 2011, pp. 10-15.
- [16] J. Zhu, H. Kim, H. Chen, R. Erickson and D. Maksimović, "High efficiency SiC traction inverter for electric vehicle applications," *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, 2018, pp. 1428-

- 1433.
- [17] A. Rujas, V. M. López, A. García-Bediaga, A. Berasategi and T. Nieva, "Influence of SiC technology in a railway traction DC-DC converter design evolution," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 931-938.
 - [18] A. Merkert, J. Müller and A. Mertens, "Component design and implementation of a 60 kW full SiC traction inverter with boost converter," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, 2016, pp. 1-8.
 - [19] N. Oswald, P. Anthony, N. McNeill and B. H. Stark, "An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations," in *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2393-2407, May 2014.
 - [20] J. D. Kagerbauer and T. M. Jahns, "Development of an Active dv/dt Control Algorithm for Reducing Inverter Conducted EMI with Minimal Impact on Switching Losses," *2007 IEEE Power Electronics Specialists Conference*, Orlando, FL, 2007, pp. 894-900.
 - [21] E. M. Hertz, S. Busquets-Monge, D. Boroyevich, M. Arpilliere and H. Boutillier, "Analysis of the tradeoffs between thermal behavior and EMI noise levels in a boost PFC circuit," *Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No.01CH37248)*, Chicago, IL, USA, 2001, pp. 2460-2465 vol.4.
 - [22] V. D. Santos, B. Cougo, N. Roux, B. Sareni, B. Revol and J. P. Carayon, "Trade-off between losses and EMI issues in three-phase SiC inverters for aircraft applications," *2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI)*, Washington, DC, 2017, pp. 55-60.
 - [23] N. Oswald, B. H. Stark, D. Holliday, C. Hargis and B. Drury, "Analysis of Shaped Pulse Transitions in Power Electronic Switching Waveforms for Reduced EMI Generation," in *IEEE Transactions on Industry Applications*, vol. 47, no. 5, pp. 2154-2165, Sept.-Oct. 2011.
 - [24] D. Han, S. Li, Y. Wu, W. Choi and B. Sarlioglu, "Comparative Analysis on Conducted CM EMI Emission of Motor Drives: WBG Versus Si Devices," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8353-8363, Oct. 2017.
 - [25] F. Costa and D. Magnon, "Graphical analysis of the spectra of EMI sources in power electronics," in *IEEE Transactions on Power Electronics*, vol. 20, no. 6, pp. 1491-1498, Nov. 2005.
 - [26] K. Abouda, G. Aulagnier, E. Rolland and M. Cousineau, "Analytical approach to study Electromagnetic emission EME contributors on DC/DC applications," *2015 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, Edinburgh, 2015, pp. 77-82.
 - [27] K. Koo, J. Kim, M. Kim and J. Kim, "Impact of PCB design on switching noise and EMI of synchronous DC-DC buck converter," *2010 IEEE International Symposium on Electromagnetic Compatibility*, Fort Lauderdale, FL, 2010, pp. 67-71.
 - [28] M. J. Nave, "The effect of duty cycle on SMPS common mode emissions: theory and experiment," *National Symposium on Electromagnetic Compatibility*, Denver, CO, 1989, pp. 211-216.
 - [29] F. Zare, D. Kumar, M. Lungeanu and A. Andreas, "Electromagnetic interference issues of power, electronics systems with wide band gap, semiconductor devices," *2015 IEEE*

- Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, 2015, pp. 5946-5951.
- [30] B. Touré, J. L. Schanen, L. Gerbaud, T. Meynard, J. Roudet and R. Ruelland, "EMC Modeling of Drives for Aircraft Applications: Modeling Process, EMI Filter Optimization, and Technological Choice," in *IEEE Transactions on Power Electronics*, vol. 28, no. 3, pp. 1145-1156, March 2013.
- [31] Q. Liu, F. Wang and D. Boroyevich, "Modular-Terminal-Behavioral (MTB) Model for Characterizing Switching Module Conducted EMI Generation in Converter Systems," in *IEEE Transactions on Power Electronics*, vol. 21, no. 6, pp. 1804-1814, Nov. 2006.
- [32] A. C. Baisden, D. Boroyevich and F. Wang, "Generalized Terminal Modeling of Electromagnetic Interference," in *IEEE Transactions on Industry Applications*, vol. 46, no. 5, pp. 2068-2079, Sept.-Oct. 2010.
- [33] A. N. Lemmon, R. Cuzner, J. Gafford, R. Hosseini, A. D. Brovont and M. S. Mazzola, "Methodology for Characterization of Common-Mode Conducted Electromagnetic Emissions in Wide-Bandgap Converters for Ungrounded Shipboard Applications," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6, no. 1, pp. 300-314, March 2018.
- [34] P. Bogónez-Franco and J. B. Sendra, "EMI comparison between Si and SiC technology in a boost converter," *International Symposium on Electromagnetic Compatibility - EMC EUROPE*, Rome, 2012, pp. 1-4.
- [35] G. Dadanema, M. Delhommais, F. Costa, J. L. Schanen, Y. Avenas and C. Voltaire, "Analytical model for SiC based power converter optimization including EMC and thermal constraints," *2017 International Symposium on Electromagnetic Compatibility - EMC EUROPE*, Angers, 2017, pp. 1-6.
- [36] I. Josifović, J. Popović-Gerber and J. A. Ferreira, "Improving SiC JFET Switching Behavior Under Influence of Circuit Parasitics," in *IEEE Transactions on Power Electronics*, vol. 27, no. 8, pp. 3843-3854, Aug. 2012.
- [37] H. Chen and D. Divan, "High speed switching issues of high power rated silicon-carbide devices and the mitigation methods," *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, 2015, pp. 2254-2260.
- [38] S. Acharya, X. She, F. Tao, T. Frangieh, M. H. Todorovic and R. Datta, "Active gate driver for SiC MOSFET based PV inverter with enhanced operating range," *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, 2018, pp. 3230-3237.
- [39] A. Castellazzi *et al.*, "Transient out-of-SOA robustness of SiC power MOSFETs," *2017 IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, 2017, pp. 2A-3.1-2A-3.8.
- [40] S. Walder, X. Yuan, I. Laird and J. J. O. Dalton, "Identification of the temporal source of frequency domain characteristics of SiC MOSFET based power converter waveforms," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, 2016, pp. 1-8.
- [41] P. Yi, P. K. S. Murthy and L. Wei, "Performance evaluation of SiC MOSFETs with long power cable and induction motor," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, 2016, pp. 1-7.
- [42] S. De Caro *et al.*, "Over-voltage mitigation on SiC based motor drives through an open end winding configuration," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 4332-4337.

- [43] Z. Liu and G. L. Skibinski, "Method to reduce overvoltage on AC motor insulation from inverters with ultra-long cable," *2017 IEEE International Electric Machines and Drives Conference (IEMDC)*, Miami, FL, 2017, pp. 1-8.
- [44] N. Patin and M. L. Viñals, "Toward an optimal Heisenberg's closed-loop gate drive for Power MOSFETs," *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, Montreal, QC, 2012, pp. 828-833.
- [45] S. Walder, X. Yuan, I. Laird and J. J. O. Dalton, "Identification of the temporal source of frequency domain characteristics of SiC MOSFET based power converter waveforms," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, 2016, pp. 1-8.
- [46] T. Cui, Q. Ma, P. Xu and Y. Wang, "Analysis and Optimization of Power MOSFETs Shaped Switching Transients for Reduced EMI Generation," in *IEEE Access*, vol. 5, pp. 20440-20448, 2017.
- [47] Y. Wang, Q. Ma and T. Cui, "Repetitive control strategy of SiC MOSFET to reduce EMI generation," *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, Beijing, 2017, pp. 1464-1469.
- [48] X. Yang, Y. Yuan, X. Zhang and P. R. Palmer, "Shaping High-Power IGBT Switching Transitions by Active Voltage Control for Reduced EMI Generation," in *IEEE Transactions on Industry Applications*, vol. 51, no. 2, pp. 1669-1677, March-April 2015.
- [49] S. Acharya, X. She, F. Tao, T. Frangieh, M. H. Todorovic and R. Datta, "Active gate driver for SiC MOSFET based PV inverter with enhanced operating range," *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, 2018, pp. 3230-3237.
- [50] Y. Sukhatme, J. Titus, P. Nayak and K. Hatua, "Digitally controlled active gate driver for SiC MOSFET based induction motor drive switching at 100 kHz," *2017 IEEE Transportation Electrification Conference (ITEC-India)*, Pune, 2017, pp. 1-5.
- [51] A. P. Camacho, V. Sala, H. Ghorbani and J. L. R. Martinez, "A Novel Active Gate Driver for Improving SiC MOSFET Switching Trajectory," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 9032-9042, Nov. 2017.
- [52] Y. Yang, Y. Wang and Y. Wen, "An active gate driver for improving switching performance of SiC MOSFET," *2018 7th International Symposium on Next Generation Electronics (ISNE)*, Taipei, Taiwan, 2018, pp. 1-4.
- [53] H. Ghorbani, V. Sala, A. Paredes and J. L. Romeral, "A simple gate drive for SiC MOSFET with switching transient improvement," *2017 IEEE Industry Applications Society Annual Meeting*, Cincinnati, OH, 2017, pp. 1-6.
- [54] H. Obara, K. Wada, K. Miyazaki, M. Takamiya and T. Sakurai, "Active Gate Control in Half-Bridge Inverter Using Programmable Gate Driver ICs to Improve both Surge Voltage and Converter Efficiency," in *IEEE Transactions on Industry Applications*.
- [55] H. C. P. Dymond *et al.*, "A 6.7-GHz Active Gate Driver for GaN FETs to Combat Overshoot, Ringing, and EMI," in *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 581-594, Jan. 2018.
- [56] A. Paredes, E. Fernandez, V. Sala, H. Ghorbani and L. Romeral, "Switching trajectory improvement of SiC MOSFET devices using a feedback gate driver," *2018 IEEE International Conference on Industrial Technology (ICIT)*, Lyon, 2018, pp. 847-852.
- [57] P. Nayak and K. Hatua, "Active Gate Driving Technique for a 1200 V SiC MOSFET to Minimize Detrimental Effects of Parasitic Inductance in the Converter Layout,"

- in *IEEE Transactions on Industry Applications*, vol. 54, no. 2, pp. 1622-1633, March-April 2018
- [58] A. Marzoughi, R. Burgos and D. Boroyevich, "Active Gate-Driver with dv/dt Controller for Dynamic Voltage Balancing in Series-Connected SiC MOSFETs," in *IEEE Transactions on Industrial Electronics*.
- [59] M. C. Caponet, F. Profumo, R. W. De Doncker and A. Tenconi, "Low stray inductance bus bar design and construction for good EMC performance in power electronic circuits," in *IEEE Transactions on Power Electronics*, vol. 17, no. 2, pp. 225-231, Mar 2002.
- [60] J. Noppakunkajorn, D. Han and B. Sarlioglu, "Analysis of High-Speed PCB With SiC Devices by Investigating Turn-Off Overvoltage and Interconnection Inductance Influence," in *IEEE Transactions on Transportation Electrification*, vol. 1, no. 2, pp. 118-125, Aug. 2015.
- [61] W. Teulings, J. L. Schanen and J. Roudet, "MOSFET switching behaviour under influence of PCB stray inductance," *Industry Applications Conference, 1996. Thirty-First IAS Annual Meeting, IAS '96., Conference Record of the 1996 IEEE*, San Diego, CA, 1996, pp. 1449-1453 vol.3.
- [62] P. Yi, Y. Cui, A. Vang and L. Wei, "Investigation and evaluation of high power SiC MOSFETs switching performance and overshoot voltage," *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, 2018, pp. 2589-2592.
- [63] A. Bhargava, D. Pommerenke, K. W. Kam, F. Centola and C. W. Lam, "DC-DC Buck Converter EMI Reduction Using PCB Layout Modification," in *IEEE Transactions on Electromagnetic Compatibility*, vol. 53, no. 3, pp. 806-813, Aug. 2011.
- [64] J. Stewart, J. Neely, J. Delhotal and J. Flicker, "DC link bus design for high frequency, high temperature converters," *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Tampa, FL, 2017, pp. 809-815.
- [65] A. H. Wijenayake *et al.*, "Design of a 250 kW, 1200 V SiC MOSFET-based three-phase inverter by considering a subsystem level design optimization approach," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 939-946.
- [66] A. Bucher *et al.*, "Design of a full SiC voltage source inverter for electric vehicle applications," *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, Karlsruhe, 2016, pp. 1-10.
- [67] J. Wang, Y. Li and Y. Han, "Integrated Modular Motor Drive Design With GaN Power FETs," in *IEEE Transactions on Industry Applications*, vol. 51, no. 4, pp. 3198-3207, July-Aug. 2015.
- [68] C. Auer, S. Schoell, L. Cabo and F. Rodriguez, "Last Advances in Electrolytic and Film Capacitors for Power Electronics," *Power Electronic Components and their Applications 2017; 7. ETG-Symposium*, Bad Nauheim, Germany, 2017, pp. 1-5.
- [69] M. Salcone and J. Bond, "Selecting film bus link capacitors for high performance inverter applications," *2009 IEEE International Electric Machines and Drives Conference*, Miami, FL, 2009, pp. 1692-1699.
- [70] O. Sivkov, M. Novák and J. Novák, "Investigation of SiC 1200 V, 50 A inverter with improved design," *2015 International Conference on Electrical Drives and Power Electronics (EDPE)*, Tatranska Lomnica, 2015, pp. 54-59.
- [71] A. Kartal, "Review of Film Capacitor Trends and Design Changes as a Result of

- Improved Technologies in Power Electronics," *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2017, pp. 1-3.
- [72] S. Ji, D. Reusch and F. C. Lee, "High-Frequency High Power Density 3-D Integrated Gallium-Nitride-Based Point of Load Module Design," in *IEEE Transactions on Power Electronics*, vol. 28, no. 9, pp. 4216-4226, Sept. 2013.
- [73] Y. Xie *et al.*, "Using ultra-low parasitic hybrid packaging method to reduce high frequency EMI noise for SiC power module," *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Albuquerque, NM, 2017, pp. 201-207.
- [74] R. Wang *et al.*, "A High-Temperature SiC Three-Phase AC - DC Converter Design for > 100/spl deg/C Ambient Temperature," in *IEEE Transactions on Power Electronics*, vol. 28, no. 1, pp. 555-572, Jan. 2013.
- [75] C. DiMarino *et al.*, "Design of a novel, high-density, high-speed 10 kV SiC MOSFET module," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 4003-4010.
- [76] L. Qiao *et al.*, "Performance of a 1.2kV, 288A full-SiC MOSFET module based on low inductance packaging layout," *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Tampa, FL, 2017, pp. 3038-3042.
- [77] L. Yang *et al.*, "Electrical performance and reliability characterization of a SiC MOSFET power module with embedded decoupling capacitors," in *IEEE Transactions on Power Electronics*.
- [78] L. Zhang, P. Liu, A. Q. Huang, S. Guo and R. Yu, "An improved SiC MOSFET-gate driver integrated power module with ultra low stray inductances," *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Albuquerque, NM, 2017, pp. 342-345.
- [79] M. Meisser *et al.*, "Highly integrated SiC module with thick-film dielectric allows for high frequency operation," *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, Nuremberg, Germany, 2016, pp. 1-6.
- [80] B. N. An *et al.*, "A highly integrated full SiC six-pack power module for automotive applications," *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2016, pp. 1-8.
- [81] B. N. An *et al.*, "A highly integrated copper sintered SiC power module for fast switching operation," *2018 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC)*, Mie, 2018, pp. 375-380.
- [82] C. Chen, F. Luo and Y. Kang, "A review of SiC power module packaging: Layout, material system and integration," in *CPSS Transactions on Power Electronics and Applications*, vol. 2, no. 3, pp. 170-186, Sept. 2017.
- [83] A. Lemmon, S. Banerjee, K. Matocha and L. Gant, "Analysis of Packaging Impedance on Performance of SiC MOSFETs," *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2016, pp. 1-8.
- [84] B. Passmore *et al.*, "Wide bandgap packaging for next generation power conversion systems," *2013 4th IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Rogers, AR, 2013, pp. 1-5.
- [85] E. Wiesner, K. Masuda and M. Joko, "New 1200V full SiC module with 800A rated

- current," *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Geneva, 2015, pp. 1-9.
- [86] T. Liu, R. Ning, T. T. Y. Wong and Z. J. Shen, "Modeling and Analysis of SiC MOSFET Switching Oscillations," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 747-756, Sept. 2016.
- [87] Y. Yamashita, J. Furuta, S. Inamori and K. Kobayashi, "Design of RCD snubber considering wiring inductance for MHz-switching of SiC-MOSFET," *2017 IEEE 18th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Stanford, CA, 2017, pp. 1-6.
- [88] B. N. Torsæter, S. Tiwari, R. Lund and O. M. Midtgård, "Experimental evaluation of switching characteristics, switching losses and snubber design for a full SiC half-bridge power module," *2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, Vancouver, BC, 2016, pp. 1-8.
- [89] M. Joko, A. Goto, M. Hasegawa, S. Miyahara and H. Murakami, "Snubber circuit to suppress the voltage ringing for SiC device," *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2015, pp. 1-6.
- [90] M. Liang *et al.*, "Research on an improved DC-side snubber for suppressing the turn-off overvoltage and oscillation in high speed SiC MOSFET application," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 1358-1365.
- [91] I. Josifović, J. Popović-Gerber and J. A. Ferreira, "Improving SiC JFET Switching Behavior Under Influence of Circuit Parasitics," in *IEEE Transactions on Power Electronics*, vol. 27, no. 8, pp. 3843-3854, Aug. 2012.
- [92] J. Kim, D. Shin and S. K. Sul, "A Damping Scheme for Switching Ringing of Full SiC MOSFET by Air Core PCB Circuit," in *IEEE Transactions on Power Electronics*, vol. 33, no. 6, pp. 4605-4615, June 2018.
- [93] D. Han, C. Morris, W. Lee and B. Sarlioglu, "Determination of CM choke parameters for SiC MOSFET motor drive based on simple measurements and frequency domain modeling," *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, 2016, pp. 2861-2867.
- [94] J. L. Kotny, T. Duquesne and N. Idir, "Modeling and design of the EMI filter for DC-DC SiC-converter," *2014 International Symposium on Power Electronics, Electrical Drives, Automation and Motion*, Ischia, 2014, pp. 1195-1200.
- [95] J. L. Kotny, T. Duquesne and N. Idir, "Filter design method for GaN-Buck converter taking into account of the common-mode propagation paths," *2016 IEEE 20th Workshop on Signal and Power Integrity (SPI)*, Turin, 2016, pp. 1-4.
- [96] J. L. Kotny, T. Duquesne and N. Idir, "Influence of Temperature on the EMI Filter Efficiency for Embedded SiC Power Converters," *2017 IEEE Vehicle Power and Propulsion Conference (VPPC)*, Belfort, 2017, pp. 1-6.
- [97] B. Sun, R. Burgos, X. Zhang and D. Boroyevich, "Differential-mode EMI emission prediction of SiC-based power converters using a mixed-mode unterminated behavioral model," *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, 2015, pp. 4367-4374.
- [98] B. Narayanasamy, H. Jalanbo and F. Luo, "Development of software to design passive filters for EMI suppression in SiC DC fed motor drives," *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Blacksburg, VA, 2015, pp.

- 230-235.
- [99] X. Gong and J. A. Ferreira, "Comparison and Reduction of Conducted EMI in SiC JFET and Si IGBT-Based Motor Drives," in *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 1757-1767, April 2014.
 - [100] X. Gong and J. A. Ferreira, "Investigation of Conducted EMI in SiC JFET Inverters Using Separated Heat Sinks," in *IEEE Transactions on Industrial Electronics*, vol. 61, no. 1, pp. 115-125, Jan. 2014.
 - [101] Z. Zeng and X. Li, "Comparative Study on Multiple Degrees of Freedom of Gate Driver for Transient Behavior Regulation of SiC MOSFET," in *IEEE Transactions on Power Electronics*.
 - [102] Y. Xiao, H. Shah, T. P. Chow and R. J. Gutmann, "Analytical modeling and experimental evaluation of interconnect parasitic inductance on MOSFET switching characteristics," *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, 2004, pp. 516-521 Vol.1.
 - [103] Y. Wu *et al.*, "Analytical modeling of SiC MOSFET during switching transient," *2018 IEEE International Symposium on Electromagnetic Compatibility and 2018 IEEE Asia-Pacific Symposium on Electromagnetic Compatibility (EMC/APEMC)*, Suntec City, Singapore, 2018, pp. 1187-1192.
 - [104] J. Noppakunkajorn, D. Han and B. Sarlioglu, "Analysis of High-Speed PCB With SiC Devices by Investigating Turn-Off Overvoltage and Interconnection Inductance Influence," in *IEEE Transactions on Transportation Electrification*, vol. 1, no. 2, pp. 118-125, Aug. 2015.
 - [105] Haokai Huang, X. Yang, Yanhui Wen and Z. Long, "A switching ringing suppression scheme of SiC MOSFET by Active Gate Drive," *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, Hefei, 2016, pp. 285-291.
 - [106] D. Cittanti, F. Iannuzzo, E. Hoene and K. Klein, "Role of parasitic capacitances in power MOSFET turn-on switching speed limits: A SiC case study," *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, 2017, pp. 1387-1394.
 - [107] B. Agrawal, M. Preindl, B. Bilgin and A. Emadi, "Estimating switching losses for SiC MOSFETs with non-flat miller plateau region," *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Tampa, FL, 2017, pp. 2664-2670.
 - [108] S. Tiwari, O. M. Midtgård, T. M. Undeland and R. Lund, "Parasitic capacitances and inductances hindering utilization of the fast switching potential of SiC power modules. Simulation model verified by experiment," *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, Warsaw, 2017, pp. P.1-P.10.
 - [109] A. März, T. Bertelshofer, M. Helsper and M. M. Bakran, "Comparison of SiC MOSFET gate-drive concepts to suppress parasitic turn-on in low inductance power modules," *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, Warsaw, 2017, pp. P.1-P.10.
 - [110] B. Nguyen, X. Zhang, A. Ferencz, T. Takken, R. Senger and P. Coteus, "Analytic model for power MOSFET turn-off switching loss under the effect of significant current diversion at fast switching events," *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, 2018, pp. 287-291.
 - [111] A. März, T. Bertelshofer and M. M. Bakran, "Improving the performance of SiC trench MOSFETs under hard switching operation," *2017 IEEE 12th International Conference on Power Electronics and Drive Systems (PEDS)*, Honolulu, HI, 2017, pp. 553-558.

- [112] M. A. H. Broadmeadow, G. R. Walker and G. F. Ledwich, "Automated power semiconductor switching performance feature extraction from experimental double-pulse waveform data," *2014 Australasian Universities Power Engineering Conference (AUPEC)*, Perth, WA, 2014, pp. 1-6.
- [113] Z. Zhang *et al.*, "Methodology for switching characterization evaluation of wide band-gap devices in a phase-leg configuration," *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, Fort Worth, TX, 2014, pp. 2534-2541.
- [114] P. Nayak and K. Hatua, "Modeling of switching behavior of 1200 V SiC MOSFET in presence of layout parasitic inductance," *2016 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, Trivandrum, 2016, pp. 1-6.
- [115] J. Wang, H. S. h. Chung and R. T. h. Li, "Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance," in *IEEE Transactions on Power Electronics*, vol. 28, no. 1, pp. 573-590, Jan. 2013.
- [116] I. Castro *et al.*, "Analytical Switching Loss Model for Superjunction MOSFET With Capacitive Nonlinearities and Displacement Currents for DC–DC Power Converters," in *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 2485-2495, March 2016.
- [117] Razavi, Behzad. *Fundamentals of microelectronics*, 3rd edition, John Wiley & Sons, New York, 2009.
- [118] Application Note AN1403. "Determining switching losses of SEMIKRON IGBT modules," 2014. [Online]. Available: <https://www.semikron.com>
- [119] Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock and D. J. Costinett, "Decoupling of interaction between WBG converter and motor load for switching performance improvement," *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, 2016, pp. 1569-1576.
- [120] M. M. Swamy and M. A. Baumgardner, "New Normal Mode dv/dt Filter With a Built-In Resistor Failure Detection Circuit," in *IEEE Transactions on Industry Applications*, vol. 53, no. 3, pp. 2149-2158, May-June 2017.
- [121] Z. Chen, D. Boroyevich, P. Mattavelli and K. Ngo, "A frequency-domain study on the effect of DC-link decoupling capacitors," *2013 IEEE Energy Conversion Congress and Exposition*, Denver, CO, 2013, pp. 1886-1893.
- [122] S. Yin, K. J. Tseng, R. Simanjorang and P. Tu, "Experimental Comparison of High-Speed Gate Driver Design for 1.2-kV/120-A Si IGBT and SiC MOSFET Modules," in *IET Power Electronics*, vol. 10, no. 9, pp. 979-986, 7 28 2017.

Abstract

Recently, MOSFETs and Schottky diodes based on silicon carbide (SiC) semiconductor materials have been produced and commercially available. Silicon carbide MOSFETs reveal better power semiconductor properties than equivalent silicon IGBTs due to higher dielectric breakdown fields and better thermal conductivity than silicon. However, when silicon carbide MOSFETs are applied to power converter as the switching devices, various problems arise. The largest problem is the overvoltage and overcurrent of the device due to high dv/dt or di/dt . Also, severe voltage and current oscillations due to parasitic inductances and capacitors in the switching circuit would occur in conjunction with the overvoltage and overcurrent. In order to improve the switching characteristics of silicon carbide MOSFETs, it is necessary to study the switching transient of silicon carbide MOSFETs in detail.

In this thesis, the switching transient characteristics of silicon carbide MOSFETs has been investigated and it is found that the switching characteristics of silicon carbide MOSFETs are much different from those of conventional Si MOSFETs. Especially, when the gate resistance is very small, the overvoltage due to parasitic inductance and capacitance resonance effect has the periodic characteristic depending on the conduction current, which is different from the conventional Si switching device. In this thesis from the switching characteristics of SiC MOSFET, it is shown that the voltage of the diode connected in parallel with the silicon carbide MOSFET in the switching circuit would experience twice of DC voltage regardless of the conduction current. And, the overvoltage to the diode in the SiC circuit would be issue, which is contrast to the voltage across the diode in Si MOSFET or Si IGBT circuit.

Through SPICE simulation and experimental results, the validity of this analysis has been proven. Also, the measurement equipment for measuring the fast switching transient of silicon carbide MOSFETs have been reviewed and carefully selected. And, the measurement errors caused by the parasitic components in SiC MOSFET switching circuit have been discussed and a post-processing technique to eliminate the errors has been proposed. The results of this thesis would be used to optimize the design of the power converter and the gate drive circuit of SiC MOSFET.

Keywords: Silicon Carbide, MOSFET, Diode, Switching characteristics, Parasitic inductance, Parasitic capacitance, Gate resistance, Overvoltage, Resonance

Student Number: 2014-30300