creative commons
COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학석사 학위논문

Elmore Metric을 이용한 전력 공급 네트워크의 동적 전압 강하 추정

Dynamic Voltage Drop Estimation of PDN Using Elmore Metric

2021 년 2 월

서울대학교 대학원

전기·정보공학부

이 지 연

Elmore Metric을 이용한 전력 공급 네트워크의 동적 전압 강하 추정

지도 교수 김 재 하

이 논문을 공학석사 학위논문으로 제출함
2021 년 2 월

서울대학교 대학원
전기·정보공학부
이 지 연

이지연의 공학석사 학위논문을 인준함
2021 년 2 월

위 원 장 정 덕 균 (인)

부위원장 김 재 하 (인)

위 원 김 태 환 (인)

초 록

Elmore metric 으로 간소화한 파워 네트워크 시스템과 회로 동작을 모사한 PWL(삼각파형) 입력 전류를 이용해 동적 과도 전압 강하를 예측한다.

전력 무결성 검증을 위한 보편적으로 이용되는 full-chip 시뮬레이션 파워 네트워크와 하위 회로를 분할하여 관찰한다. 시스템에 해당하는 mesh 구조의 파워 네트워크에서 노드 간 전달 함수를 1차로 근사하고, 하위 회로에서의 스위칭 동작을 반영한 과도 전류(transient current)를 PWL 형태로 모사한다. 이 두 근사 모델을 이용해 동적 과도 전압을 exponential 형태로 표현한다. 이때 유도된 수식은 중첩(superposition) 형태로 병렬 연산으로 연산의 효율을 극대화한다.

과도 전압 강하의 하한 범위 또한 수식적으로 풀어내어, 추정 값을 보다 pessimistic 하게 관찰할 수 있다.

Y-Δ 변환을 이용해 mesh 구조의 파워 네트워크에서 저항 행렬이 갖는 diagonally-dominant 속성을 보이고, 이를 활용해 전압 강하의 하한 범위를 유도하였다.

IBM/ISCAS benchmark 를 이용해 SPICE 시뮬레이션 대비 최대 속도 이득 7.75 배에서 rms 오차 1% 이하의 정확도를 얻어 제안한 방법론의 효용성을 검증하였다. 또한 과도 전압 강하를 개선하기 위한 디커플링 커패시터 삽입 혹은 파워 패드 위치 조정 등을 빠르게 테스트하는데 이용할 수 있다.

주요어 : 파워 네트워크, 동적 과도 전압 강하, Elmore delay
학 번 : 2018-21280

목 차

제 1 장 서 론 1
제 1 절 연구의 배경 1
제 2 절 논문의 구성 1
제 2 장 배경 이론 2
제 1 절 정적/동적 전압 강하 2
제 2 절 동적 전압 강하 검출 방법론 종류 2
제 3 절 Elmore Delay 소개 및 전제 조건 3
제 3 장 제안하는 과도 전압 강하 검출 방법론 5
제 1 절 PDN 모델 및 MNA 형식 5
제 2 절 동적 과도 전압 강하 수식 유도 7
제 1 항 용어 정의 7
제 2 항 단위 계단 함수(unit step function) 입력 전류에 대한 출력 전압 강하 추정 7
제 3 항 PWL(삼각파형) 입력 전류에 대한 출력 전압 강하 추정 .. 10
제 3 절 Worst-case 추정을 위한 하한 범위 수식 유도 13
제 4 장 방법론 적용 결과 17
제 1 절 Tool Flow 소개 17
제 2 절 Iteration Approach 18
제 3 절 Toy Example 결과 20
제 4 절 IBM Benchmark 결과 23
제 1 항 예제 구성 23
제 2 항 방법론 적용 결과 23
제 5 절 ISCAS Benchmark 결과 24
제 1 항 Iteration approach 24
제 2 항 예제 소개 및 방법론 적용 결과 25
제 6 절 Possible Explorations / Applications 35
제 1 항 Decoupling Capacitor Insertion 35
제 2 항 Location of Power Pad 36
제 5 장 결 론 37

표 목차

표 4.1 IBM benchmark(ibmpg1t) 예제 구성 23
표 4.2 IBM benchmark(ibmpg1t) 예제 구성 24
표 4.3 ISCAS benchmark(S344) 예제 구성 26
표 4.4 ISCAS benchmark(S344) iteration-0, 단계 별 소요 시간 26
표 4.5 ISCAS benchmark(S344) iteration-0 와 PEX 시뮬레이션 결과 비교 26
표 4.6 ISCAS benchmark(S344) iteration-1, 단계 별 소요 시간 26
표 4.7 ISCAS benchmark(S344) iteration-1 과 PEX 시뮬레이션 결과 비교 27
표 4.8 ISCAS benchmark(S344) iteration-2, 단계 별 소요 시간 27
표 4.9 ISCAS benchmark(S344) iteration-2 과 PEX 시뮬레이션 결과 비교 27
표 4.10 ISCAS benchmark(S344) iteration-3, 단계 별 소요 시간 27
표 4.11 ISCAS benchmark(S344) iteration-3 과 PEX 시뮬레이션 결과 비교 28
표 4.12 ISCAS benchmark(S1196) 예제 구성 29
표 4.13 ISCAS benchmark(S1196) iteration-0, 단계 별 소요 시간 29
표 4.14 ISCAS benchmark(S1196) iteration-0 와 PEX 시뮬레이션 결과 비교 ... 30
표 4.15 ISCAS benchmark(S1196) iteration-1, 단계 별 소요 시간 30
표 4.16 ISCAS benchmark(S1196) iteration-1 와 PEX 시뮬레이션 결과 비교 ... 30
표 4.17 ISCAS benchmark(S1196) iteration-2, 단계 별 소요 시간 30
표 4.18 ISCAS benchmark(S1196) iteration-2 와 PEX 시뮬레이션 결과 비교 ... 30
표 4.19 ISCAS benchmark(S1196) iteration-3, 단계 별 소요 시간 31
표 4.20 ISCAS benchmark(S1196) iteration-3 와 PEX 시뮬레이션 결과 비교 ... 31
표 4.21 ISCAS benchmark(S9234) 예제 구성 32
표 4.22 ISCAS benchmark(S9234) iteration-0, 단계 별 소요 시간 32
표 4.23 ISCAS benchmark(S9234) iteration-0 와 PEX 시뮬레이션 결과 비교 ... 33
표 4.24 ISCAS benchmark(S9234) iteration-1, 단계 별 소요 시간 33
표 4.25 ISCAS benchmark(S9234) iteration-1 와 PEX 시뮬레이션 결과 비교 ... 33
표 4.26 ISCAS benchmark(S9234) iteration-2, 단계 별 소요 시간 33
표 4.27 ISCAS benchmark(S9234) iteration-2 와 PEX 시뮬레이션 결과 비교 ... 33
표 4.28 ISCAS benchmark(S9234) iteration-3, 단계 별 소요 시간 34
표 4.29 ISCAS benchmark(S9234) iteration-3 와 PEX 시뮬레이션 결과 비교 ... 34

그림 목차

그림 2.1 (a) 저항과 접지된 커패시터로 구성된 tree 구조의 회로, (b) 입력 transition 에 대한 노드 x 의 출력 파형 ---------- 3

그림 3.1 (a) 저항과 접지된 커패시터로 구성된 mesh 구조의 회로, (b) 회로에 해당하는 MNA 형식, (c) 외부 전압원의 연결관계가 추가된 MNA 형식 -------- 5
그림 3.2 (a) 접지된 커패시터가 없는 회로 및 입력 전류와 출력 전압 파형, (b) 노드 i 에서의 전압 강하 등가 모델---------- 8
그림 3.3 (a) 접지된 커패시터가 있는 회로 및 입력 전류와 출력 전압 파형, (b) 노드 i 에서의 전압 강하 등가 모델---------- 8
그림 3.4 노드 i 의 전압 파형과 전압 강하 파형 ---------- 9
그림 3.5 실제 하위 회로의 동작을 모사한 PWL(삼각파형) 함수---------- 10
그림 3.6 PWL(삼각파형) 함수의 첫 번째 구간---------- 11
그림 3.7 PWL(삼각파형) 함수의 두 번째 구간---------- 11
그림 3.8 PWL(삼각파형) 함수의 세 번째 구간---------- 12
그림 3.9 단위 전류원(IDUT)가 달린 tree 구조 회로 ---------- 13
그림 3.10 (a) mesh 구조의 PDN, (b) 간소화한 PDN 모델---------- 14
그림 3.11 (a) $Y-\Delta$ transform, (b) tree 구조로 변환된 mesh 구조의 PDN 모델 ---------- 14
그림 3.12 (a) mesh 구조의 PDN, (b) 간소화한 PDN 모델---------- 15
그림 3.13 노드 k 를 기준으로 표현한 간소화 모델 ---------- 15
그림 4.1 제안하는 방법론 구현을 위한 전체 순서도 ---------- 17
그림 4.2 제안한 방법론(동적 과도 전압 강하 연산 과정) pseudo code------- 18
그림 4.3 Iteration approach 도식---------- 19
그림 4.4 (a) 실제 시뮬레이션 파형과 추정 결과 파형, (b) PWL 삼각 파형의 조합 ---------- 20
그림 4.5 Iteration 에 따른 전압 파형 추이---------- 20
그림 4.6 (a) 10-by-10 mesh 구조의 PDN , (b) 두 개의 입력 전류 파형------- 21
그림 4.7 (a) 예제 회로의 HSPICE 시뮬레이션 결과(위: 관찰 노드 전압, 아래: 하위 회로 전류), (b) 각 전류원 별 전압 강하 영향과 중첩한 전압 파형------- 22
그림 4.8 (a) 예제 회로의 HSPICE 시뮬레이션 결과(위: 관찰 노드 전압, 아래: 하위 회로 전류), (b) 관찰 노드의 전압 파형과 하한 범위 파형---------- 22
그림 4.9 IBM benchmark(ibmpg1t) 전압 파형---------- 23
그림 4.10 IBM benchmark(ibmpg2t) 전압 파형 ---------- 24
그림 4.11 ISCAS89 S344 레이아웃---------- 25
그림 4.12 ISCAS benchmark(S344) 속도 이득 대비 정확도 그래프---------- 28
그림 4.13 ISCAS89 S1196 레이아웃 ---------- 29
그림 4.14 ISCAS benchmark(S1196) 속도 이득 대비 정확도 그래프---------- 31
그림 4.15 ISCAS89 S9234 레이아웃 ---------- 32
그림 4.16 ISCAS benchmark(S1196) 속도 이득 대비 정확도 그래프---------- 34

그림 4.17 ISCAS benchmark 속도 이득 대비 정확도 그래프----------35
그림 4.18 추가 삽입한 디커플링 커패시터의 크기에 대한 최대 전압 강하---36

제 1 장 서 론

제 1 절 연구의 배경

Power distribution network(PDN)은 외부 공급 전원으로부터 하위 회로 동작에 필요한 전압을 전달하는 회로이다.

PDN 에 연결된 회로가 스위칭 동작을 할 때 순간적으로 많은 전류를 당겨쓰면서 PDN 연결 지점에 동적 과도 전압 강하가 발생한다. 이때 여러 하위 회로들이 PDN 을 공유하는 구조로, 특정 회로 동작으로 인한 전압 강하가 다른 회로의 공급 전압을 낮추는 등 서로 긴밀하게 연결되어 있다(cross-correlated).

공급 전압이 낮아지면 회로의 기능 및 성능에 막대한 영향을 주기 때문에 PDN 검증은 필수적이다. 그러나 기존의 검증 절차에는 다음과 같은 문제점이 있다.

PDN 에 연결된 회로의 스위칭 동작을 관찰하기 위해서는 동적, 과도적인 영향 분석(dynamic/transient analysis)가 필수적이다. 이러한 과도 현상을 관찰하기위해 가장 보편적으로 이용되는 시뮬레이터 기반의 검증은 time-step 별 연산을 진행하기 때문에 과도적인 현상을 관찰하기에 매우 비효율적이다.

더욱이 PDN 에 여러 하위 회로가 연결되어 있어 이 모두를 포함하는 full-chip 검증은 더욱 복잡하고 오래 걸리는 문제가 있다.

제 2 절 논문의 구성

본 논문은 5 장으로 구성되어 있다. 2 장에서는 전압 강하 검출 방법론에 대한 전반적인 내용과 제안하는 방법론에 쓰이는 Elmore delay 소개 및 전제 조건을 살펴본다. 3 장에서는 제안하는 방법론을 소개하고 과도 전압 강하 추정을 위한 수식 전개 및 하한 범위 유도 과정을 살펴본다. 4 장은 제안한 방법론의 성능 검증을 위한 실험 결과를 제시하고 더 나아가 해당 방법론의 확장 적용 예시를 소개한다.

제 2 장 배경 이론

제 1 절 정적/동적 전압 강하

PDN 에 연결된 하위 회로의 스위칭 동작, 클럭/파워 게이팅(clock/power-gating) 등에 의해 과도적으로 발생하는 노이즈, 그리고 이러한 노이즈를 줄이기 위해 삽입하는 PDN 의 capacitor 등, 이런 모든 영향을 관찰하기위해서는 정적 분석(static analysis)가 아닌 동적, 과도적인 영향 분석(dynamic/transient analysis)가 필수적이다.

제 2 절 동적 전압 강하 검출 방법론 종류

많은 PDN 분석 및 검증 연구 중 동적 과도 전압 강하 검출을 다룬 대표적인 연구를 소개한다.

첫째, random Walk[1] 는 통계적인 접근법으로 모든 경우를 관찰하기보다 특정 수의 실험을 수행하여 솔루션을 추정하는 방법이다. 따라서 속도 측면에 강점이 있고 PDN 이 큰 경우에도 잘 적용된다는 장점이 있으나 예제에 따라 수렴되지 않는 경우가 발생하고 이 또한 time-step 별 연산을 통해 과도적인 영향을 관찰하기에는 비효율적이다.

둘째, partitioning method[2] 는 주어진 네트워크를 수용할 수 있는 하위 네트워크로 분할하여 이를 개별적으로 처리하는 방식이다. 따라서 큰 PDN 의 경우에도 이를 분할하여 연산하기 때문에 예제 확정성이 좋고 속도 이득측면에 강점이 있으나 실제 PDN, 특히 mesh 구조의 PDN 의 경우 서로 긴밀하게 연결되어 있어 상호 관계를 고려하며 분할하는 것이 쉽지 않다.

셋째, multigrid/hierarchical method[3] 는 partitioning method 의 한계를 보완한 방식으로, 전체 네트워크를 전반적(global)하게 관찰한 후에 세부적으로(sub-local) 다시 처리하는 방식이다. 따라서 분할된 네트워크 간 상호관계를 모두 고려할 수 있다는 강점이 있으나 매크로 모델이 조밀(dense)해져 연산이 어렵다는 단점이 있다.

이처럼 큰 PDN 네트워크를 여러 하위 회로와의 상호관계를 모두 고려하면서 과도 현상을 관찰하기 어렵다. PDN 이라는 시스템을 간소화하고 하위 회로 동작을 잘 모사하여 시스템에 반영해야 한다.

제 3 절 Elmore Delay 소개 및 전제 조건

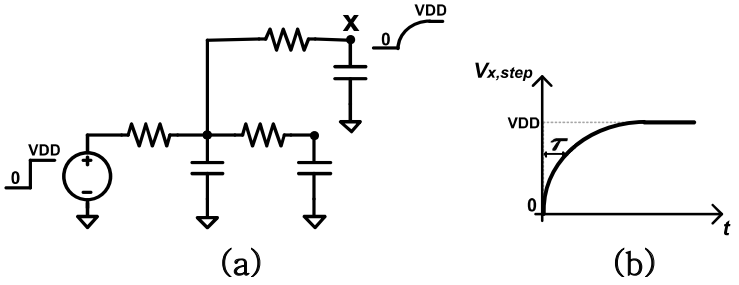


그림 2.1 (a) 저항과 접지된 커패시터로 구성된 tree 구조의 회로, (b) 입력 transition 에 대한 노드 x 의 출력 파형

Elmore delay 는 RC tree(혹은 R(resistance), C(capacitance)로 모델링 된 디지털 회로)의 입력단에 transition 이 발생했을 때 출력단에 최종 값(final value)의 절반에 도달하는 데 걸리는 시간을 말한다(그림 2.1(b))[4]. 이는 또한 impulse response 의 1차 moment, 즉 1차 근사 시스템의 dominant pole/time-constant 에 해당한다[6]. 그런데 수동 소자(resistor, capacitor 등)으로 이루어진 회로 네트워크에서 입력에 대한 출력의 전달 함수를 관찰한다는 측면이 PDN 모델 분석과 유사하다.

Elmore delay 개념을 적용하는 타이밍 모델과는 달리 PDN 모델의 경우 새롭게 고려해야할 사항들이 있다.

첫째, 신호 전달 과정에서 경로(path) 단위의 분석을 위한 타이밍 모델의 경우 tree 구조가 대부분인 반면 PDN 모델의 경우 mesh 구조로 크기와 복잡도가 증가한다.

둘째, 입력 신호에 대한 출력, 즉 Single-Input-Single-Output(SISO) 혹은 Single-Input-Multi-Output(SIMO) 시스템인 타이밍 모델과는 달리 여러 하위 회로가 PDN 을 공유하는 형태의 PDN 모델은 Multi-Input-Multi-Output(MIMO) 시스템으로 상호 작용이 증가한다(tightly connected, cross-correlated).

셋째, 타이밍 모델에서는 신호의 transition 을 관찰하기 때문에 '0' (VSS) 혹은 '1' (nominal voltage, VDD)과 같이 전압 레벨을 이분화 된 형태로 다루지만, PDN 모델에서는 노드 별 전압 레벨을 VSS 에서 VDD 까지 연속적인 형태로 다룬다. 따라서 time-constant(RC) 성분 외에도 전압 레벨에 영향을 주는 독자적인 R 성분 또한 고려해야한다.

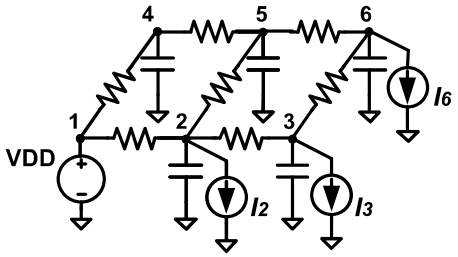
넷째, transition 을 모사하는 구형 파 입력 전압에 대한 출력 전압을 관찰하는 타이밍 모델과 달리, 하위 회로의 스위칭 동작 시 당겨쓰는 과도 전류를 모사한 pulse/PWL(삼각 파형) 입력 전류에 대한 출력 전압을 다룬다.

제 3 장 제안하는 과도 전압 강하 검출 방법론

본 논문에서 제안하는 방법론은 Elmore metric 을 이용해 근사 된 PDN 시스템과, PWL(삼각 파형) 형태로 모사 된 하위 회로 전류 입력을 이용해 동적 과도 전압 강하를 exponential 형태의 수식으로 유도한다. 또한 worst-case 추정을 위한 하한 범위를 도출하여 전압 강하를 보다 pessimistic 하게 예측한다.

제 1 절 PDN 모델 및 MNA 형식

본 논문에 들어가기 앞서, 다루고 있는 PDN 회로의 구조 설명 및 시스템을 수식적으로 다루기 위한 행렬 추출과정을 설명하고자 한다.



(a)

$$\begin{bmatrix} g_{12}+g_{14} & -g_{12} & 0 & -g_{14} & 0 & 0 \\ -g_{12} & g_{12}+g_{23}+g_{25} & g_{23} & 0 & g_{25} & 0 \\ 0 & -g_{23} & g_{23}+g_{36} & 0 & 0 & -g_{36} \\ -g_{14} & 0 & 0 & g_{14}+g_{45} & -g_{45} & 0 \\ 0 & -g_{25} & 0 & -g_{45} & g_{25}+g_{45}+g_{56} & -g_{56} \\ 0 & 0 & -g_{36} & 0 & -g_{56} & g_{36}+g_{56} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \\ v_3 \\ v_4 \\ v_5 \\ v_6 \end{bmatrix} + \begin{bmatrix} 0 & & & & & \\ & c_2 & & & & \\ & & c_3 & & & \\ & & & c_4 & & \\ & & & & c_5 & \\ & & & & & c_6 \end{bmatrix} \begin{bmatrix} \dot{v}_1 \\ \dot{v}_2 \\ \dot{v}_3 \\ \dot{v}_4 \\ \dot{v}_5 \\ \dot{v}_6 \end{bmatrix} = \begin{bmatrix} 0 \\ I_2 \\ I_3 \\ 0 \\ 0 \\ I_6 \end{bmatrix}$$

(b)

$$\begin{bmatrix} g_{12}+g_{14} & -g_{12} & 0 & -g_{14} & 0 & 0 & 1 \\ -g_{12} & g_{12}+g_{23}+g_{25} & g_{23} & 0 & g_{25} & 0 & 0 \\ 0 & -g_{23} & g_{23}+g_{36} & 0 & 0 & -g_{36} & 0 \\ -g_{14} & 0 & 0 & g_{14}+g_{45} & -g_{45} & 0 & 0 \\ 0 & -g_{25} & 0 & -g_{45} & g_{25}+g_{45}+g_{56} & -g_{56} & 0 \\ 0 & 0 & -g_{36} & 0 & -g_{56} & g_{36}+g_{56} & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \\ v_3 \\ v_4 \\ v_5 \\ v_6 \\ -I_{vsrc} \end{bmatrix} + \begin{bmatrix} 0 & & & & & & \\ & c_2 & & & & & \\ & & c_3 & & & & \\ & & & c_4 & & & \\ & & & & c_5 & & \\ & & & & & c_6 & \\ & & & & & & 0 \end{bmatrix} \begin{bmatrix} \dot{v}_1 \\ \dot{v}_2 \\ \dot{v}_3 \\ \dot{v}_4 \\ \dot{v}_5 \\ \dot{v}_6 \\ -\dot{I}_{vsrc} \end{bmatrix} = \begin{bmatrix} 0 \\ I_2 \\ I_3 \\ 0 \\ 0 \\ I_6 \\ VDD \end{bmatrix}$$

(c)

그림 3.1 (a) 저항과 접지된 커패시터로 구성된 mesh 구조의 회로, (b) 회로에 해당하는 MNA 형식, (c) 외부 전압원의 연결관계가 추가된 MNA 형식

그림 3.1(a) 에서와 같이 on-chip PDN 은 metal layer 를 연결하는 via 를 포함해 wire 저항들과 접지된 커패시터 등의 수동소자로 이루어져 있다[5]. 외부 전원은 정전압원으로 모델링 되고 하위 회로들은 병렬로 연결된 기생 커패시터(접지된 커패시터)와 시변 전류원으로 모델링 된다. 이와 같이 선형 시스템으로 동작하는 PDN 은 다음과 같이 modified nodal analysis(MNA) 형식으로 표현할 수 있다.

$$\boldsymbol{Gx(t)} + \boldsymbol{Cx(t)} = \boldsymbol{u(t)} \qquad (3.1)$$

이때, x 는 N 개의 노드 전압에 해당하는 N 차원의 벡터이다. $G_{N\times N}$ 은 노드 간의 저항 연결관계를 나타내는 컨덕턴스 행렬로 대각 대칭 행렬이며, $C_{N\times N}$ 은 노드 별로 연결된 부하 기생 커패시터(접지된 커패시터)를 보여주는 대각 행렬이다. $u(t)$ 는 하위 회로의 동작을 모사한 시변 전류원과 외부 전압원의 정격 전압 값 성분으로 구성된다.

그림 3.1(b) 는 그림 3.1(a) 회로에 해당하는 MNA 형식으로 (3.1) 과 같다. 6개의 노드로 구성된 PDN 에, 3개의 하위 회로가 동작하고 각각은 시변 전류원(I_2 , I_3 , I_6)으로 모델링 되었다. G 행렬의 (i,j) 성분인 g_{ij} 는 노드 i 와 j 사이의 컨덕턴스, C 행렬의 (i,i) 성분인 c_i 는 노드 i 에 연결된 커패시턴스이다.

그림 3.1(c) 는 그림 3.1(b) 의 행렬에 외부 전압원 관련 성분들이 추가된 행렬이다. 그림 3.1(a)에서 알 수 있듯이 외부 전압원은 'VDD' 의 정격 전압을 갖으며 노드 '1'에 연결되어 있다. 따라서 이러한 연결 관계를 나타낸 성분이 추가되었고 이때의 MNA 형식은 (3.2)와 같다.

$$\boldsymbol{G'x'(t)} + \boldsymbol{C'x'(t)} = \boldsymbol{u'(t)} \qquad (3.2)$$

이때 $\boldsymbol{G'}$ 의 역행렬을 R 행렬로 정의한다. R 행렬의 (i,j) 성분인 r_{ij} 는 노드 i 그리고 노드 j 에서부터 전압원까지 돌아가는 전류 흐름 경로의 공통 저항 성분, 혹은 노드 j 에 전류를 주입할 때 노드 i 에 유도되는 전압, 즉 인가한 전류에 대한 출력 전압에 해당하는 등가 저항 값과 같다.

위에서 정의한 행렬을 이용해 하위 회로 동작에 의한 PDN 노드의 전압 강하 정도를 예측하고자 한다.

제 2 절 동적 과도 전압 강하 수식 유도

여러 하위 회로가 PDN을 공유할 때, PDN 의 임의 노드에서 발생하는 전압 강하는 하위 회로 각각에 의한 전압 강하의 중첩(superposition) 형태로 나타낼 수 있다.

전압 강하를 수식적으로 유도하기 앞서 앞으로 사용할 용어(symbol)을 정의한다.

제 1 항 용어 정의

- i : 관찰하고자 하는 PDN 의 노드 좌표
- j : 하위 회로(전류원)이 연결된 PDN 의 노드 좌표
- VDD : 외부 전압원의 정격 전압(nominal voltage)
- $V_i(t)$: 노드 i 에서의 출력 전압
- $v_{ij}(t)$: 노드 j 에 단위 계단 함수(unit step function)의 입력 전류가 가해졌을 때 노드 i 에서의 전압 강하
- $v_{ij,0}(t)$: 노드 j 에 단위 계단 함수(unit step function)의 입력 전류가 가해졌을 때 노드 i 에서의 최대 전압 강하 $(= v_{ij} \infty = r_{ij} \bullet I_j\ t\ )$
- $x_j(t)$: PWL(삼각파형) 함수
- $y_{ij}(t)$: 노드 j 에 PWL(삼각파형)의 입력 전류가 가해졌을 때 노드 i 에서의 전압 강하

제 2 항 단위 계단 함수(unit step function) 입력 전류에 대한 출력 전압 강하 추정

하위 회로 동작을 모사한 pulse/PWL(삼각파형) 형태의 전류원을 다루기 앞서 단위 계단 함수 입력 전류에 대한 출력 전압 강하를 예측하고자 한다.

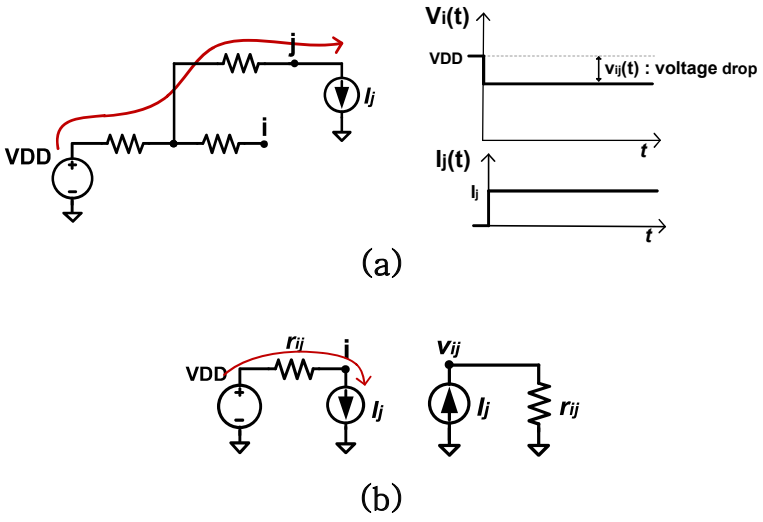


그림 3.2 (a) 접지된 커패시터가 없는 회로 및 입력 전류와 출력 전압 파형, (b) 노드 i 에서의 전압 강하 등가 모델

그림 3.2(a) 와 같이 노드 j 에 연결된 하위 회로(전류원 I_j)가 단위 계단 함수(unit step function) 형태의 전류를 당겨쓸 때, 노드 i 의 출력 전압을 관찰하고자 한다. 접지된 커패시터가 없는 회로 모델에서의 전압 강하는 저항에서 소비하는 전압의 합으로 (3.3) 과 같고 등가모델은 그림 3.2(b) 와 같다.

$$V_i\ t\ = VDD - \sum_j v_{ij}\ t\ = VDD - \sum_j v_{ij,0}(t) = VDD - \sum_j r_{ij} \bullet I_j\ (t) \tag{3.3}$$

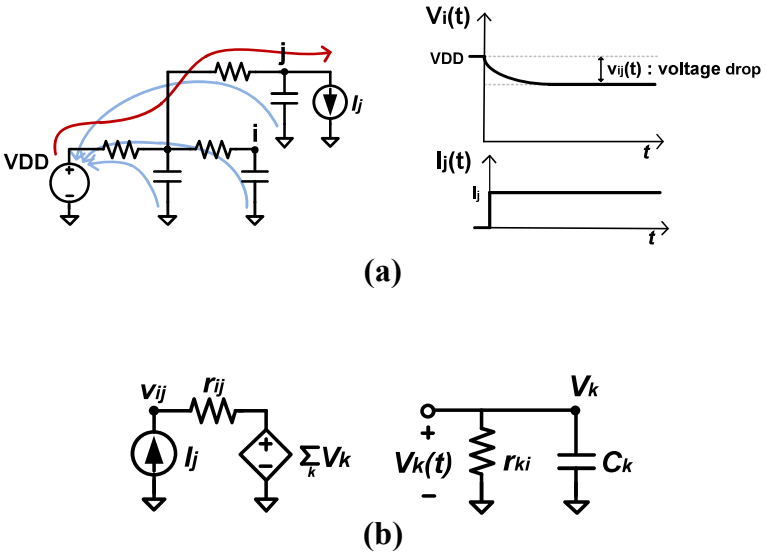


그림 3.3 (a) 접지된 커패시터가 있는 회로 및 입력 전류와 출력 전압 파형, (b) 노드 i 에서의 전압 강하 등가 모델

그림 3.3(a) 와 같이 노드마다 접지된 커패시터가 연결된 회로 모델의 전압 강하는 RC 필터를 거친 형태로 모델링 되어(그림 3.4(b)) (3.4) 과 같이 표현된다.

$$\begin{aligned} V_i\ t\ &= VDD - \sum_j v_{ij}\ t \\ &= VDD - \sum_j v_{ij,0}(1 - e^{-t/\tau_{Di}}) \end{aligned} \tag{3.4}$$

이는 두 노드 간의 전달함수를 1차 선형 시스템으로 모델링하는 것과 같고, 이때 RC 필터의 time-constant 는 R , C 형렬의 조합으로 정리된다.

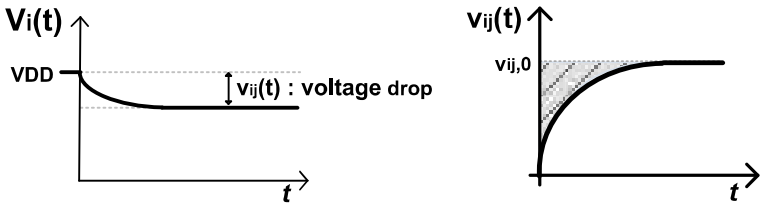


그림 3.4 노드 i 의 전압 파형과 전압 강하 파형

Time-constant τ_{Di} 는 그림 3.4 와 같이 $t = 0$ 부터 $t = \infty$ 까지 전압 강하 파형의 면적으로 구할 수 있다[4].

$$\int_0^\infty \{v_{ij,0} - v_{ij}\ t\ \}dt = v_{ij,0} \bullet \tau_{Di} \tag{3.5}$$

등가 모델에서 알 수 있듯이 $v_{ij,0} - v_{ij}\ t$ 는 저항 r_{ij} 에 의한 전압 강하로 (3.6) 과 같다.

$$\sum_k r_{ki} \cdot i_k\ =\ \sum_k r_{ki} \cdot c_k \cdot \frac{d}{dt}(v_{kj}\ t\ ) \tag{3.6}$$

(3.6) 에 따라 (3.5) 는 아래와 같이 전개된다.

$$v_{ij,0} \bullet \tau_{Di} = \sum_k r_{ki} c_k \int_0^\infty (\frac{d}{dt}(v_{kj}(t))dt$$
$$= \sum_k r_{ki} c_k \bullet v_{kj,0} \quad (3.7)$$

따라서 전압 강하 $v_{ij}\ t = v_{ij,0}(1 - e^{-t/\tau_{Di}})$ 이며, 이때의 time-constant τ_{Di} 는 (3.8) 과 같이 R, C 형렬의 조합으로 표현된다.

$$\tau_{Di} = \frac{1}{v_{ij,0}} \sum_k r_{ki} c_k \bullet v_{kj,0} = \frac{\sum_k r_{ki} c_k \bullet r_{kj} \bullet I_j}{r_{ij} \bullet I_j}$$
$$= \frac{\sum_k r_{ik} c_{kk} \bullet r_{kj}}{r_{ij}} = \frac{(RCR)_{ij}}{r_{ij}} \quad (3.8)$$

제 3 항 PWL(삼각파형) 입력 전류에 대한 출력 전압 강하 추정

실제로 스위칭 동작하는 하위 회로는 단위 계단 함수 형태가 아닌 pulse/PWL(삼각파형) 형태의 전류를 당겨쓴다[7]. 따라서 앞서 유도한 수식을 이용해 실제와 유사한 전압 강하를 추정하고자 한다.

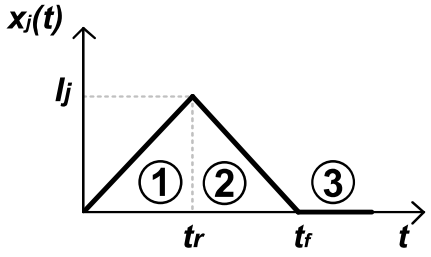


그림 3.5 실제 하위 회로의 동작을 모사한 PWL(삼각파형) 함수

PWL(삼각파형) 형태의 입력 전류 $x_j(t)$는 그림 3.5 와 같이 세 개의 구간으로 구분할 수 있다. 세 구간은 t_r, t_f 를 경계로 구분되며, $x_j(t)$ 의 최대값을 I_j 라고 정의한다.

입력 $x_j(t)$ 에 대한 출력 응답 $y_{ij}(t)$ 는 계단 함수(step function) 응답인 $v_{ij}(t)$ 와 $x_j(t)$ 의 미분 값의 합성곱(convolution)으로 도출한다.

$$y_{ij}\ t\ = \int_0^t v_{ij}(t-t') \bullet \frac{dx_j\ t'}{dt'} dt' = v_{ij}(t) * \frac{dx_j(t)}{dt} \qquad (3.9)$$

다음은 구간 별 입력에 대한 출력 응답을 유도하는 과정이다.

◆ $0 \le t \le t_r$ 일 때,

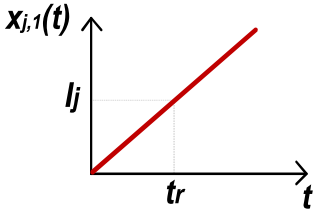


그림 3.6 PWL(삼각파형) 함수의 첫 번째 구간

첫 번째 구간에서의 출력 응답 $y_{ij}\ t$ 는 다음과 같다.

$$\begin{aligned} y_{ij}\ t\ &= \int_0^t v_{ij}\ t-t'\ \bullet \frac{dx\ t'}{dt'} dt' \\ &= \int_0^t v_{ij,0}\left(1-e^{-\,t-t'\ /\tau_{Di}}\right) \bullet \frac{I_j}{t_r} dt' \\ &= \frac{I_j \bullet v_{ij,0}}{t_r}\left(t-\tau_{Di}\left(\ 1-e^{-t/\tau_{Di}}\right)\right) \end{aligned} \qquad (3.10)$$

◆ $t_r \le t \le t_f$ 일 때,

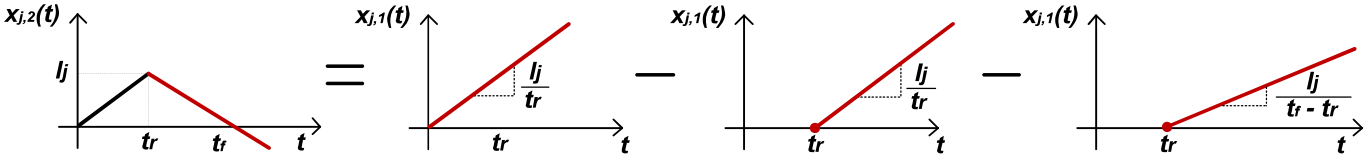


그림 3.7 PWL(삼각파형) 함수의 두 번째 구간

기울기가 I_j / t_r인 램프(ramp) 입력을 X_r, 기울기가 $I_j / (t_f - t_r)$ 인 램프 입력을 X_f 라고 할 때,

$x_j\ t\ = X_r\ t\ - X_r(t-t_r) - X_f(t-t_r)$ 이므로,

두 번째 구간에서의 출력 응답 $y_{ij}\ t$ 는 다음과 같다.

$$
\begin{aligned}
y_{ij}\ t\ &= \int_0^t v_{ij,0}\left(1-e^{-\,t-t'\,/\tau_{Di}}\right)\ \bullet\frac{I_j}{t_r}dt' \\
&\quad -\int_0^{t-t_r} v_{ij,0}\left(1-e^{-\,t-t_r-t'\,/\tau_{Di}}\right)\bullet\frac{I_j}{t_r}dt' \\
&\quad -\int_0^{t-t_r} v_{ij,0}\left(1-e^{-\,t-t_r-t'\,/\tau_{Di}}\right)\ \bullet\frac{I_j}{t_f-t_r}dt' \qquad (3.11)\\
&= I_j \bullet v_{ij,0}\bullet\left(1+\frac{\tau_{Di}}{t_r}\bullet e^{-t/\tau_{Di}}\left(1-e^{\,t_r/\tau_{Di}}\right)\right. \\
&\left.-\frac{1}{t_f-t_r}\left(\ t-t_r-\tau_{Di}\ +\tau_{Di}\bullet e^{-\,t-t_r\,/\tau_{Di}}\right)\right)
\end{aligned}
$$

◆ $t \geq t_f$ 일 때,

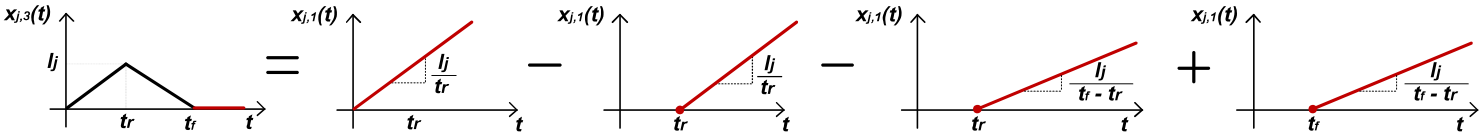


그림 3.8 PWL(삼각파형) 함수의 세 번째 구간

기울기가 I_j / t_r인 램프(ramp) 입력을 X_r, 기울기가 $I_j / (t_f - t_r)$ 인 램프 입력을 X_f 라고 할 때,
$x_j\ t\ = X_r\ t\ - X_r\ t-t_r\ - X_f\ t-t_r\ + X_f(t-t_f)$ 이므로,

세 번째 구간에서의 출력 응답 $y_{ij}\ t$ 는 다음과 같다.

$$
\begin{aligned}
y_{ij}\ t\ &= \int_0^t v_{ij,0}\left(1-e^{-\,t-t'\,/\tau_{Di}}\right)\ \bullet\frac{I_j}{t_r}dt' \\
&-\int_0^{t-t_r} v_{ij,0}\left(1-e^{-\,t-t_r-t'\,/\tau_{Di}}\right)\ \bullet\frac{I_j}{t_r}dt' \\
&-\int_0^{t-t_r} v_{ij,0}\left(1-e^{-\,t-t_r-t'\,/\tau_{Di}}\right)\ \bullet\frac{I_j}{t_f-t_r}dt' \\
&+\int_0^{t-t_f} v_{ij,0}\left(1-e^{-(t-t_f-t')/\tau_{Di}}\right)\bullet\frac{I_j}{t_f-t_r}dt' \\
&= I_j \bullet v_{ij,0} \bullet \tau_{Di} \bullet e^{-t/\tau_{Di}}\left(\frac{1-e^{t_r/\tau_{Di}}}{t_r}\right. \\
&\left.+\frac{e^{t_f/\tau_{Di}}-e^{t_r/\tau_{Di}}}{t_f-t_r}\right)
\end{aligned}
\tag{3.12}
$$

이처럼 Elmore metric 을 이용해 근사한 시스템과, 실제 하위 회로 동작을 모사한 일반화된 PWL(삼각파형) 입력 전류를 이용해 PDN 의 동적 과도 전압 강하를 수식적으로 유도하였다.

제 3 절 Worst-case 추정을 위한 하한 범위 수식 유도

동적 과도 전압의 추정 값을 보다 pessimistic 하게 예측하기 위해 하한 범위 또한 도출하고자 한다.

그에 앞서 R 행렬이 갖는 diagonally symmetric, diagonally dominant 한 특성을 살펴보자.

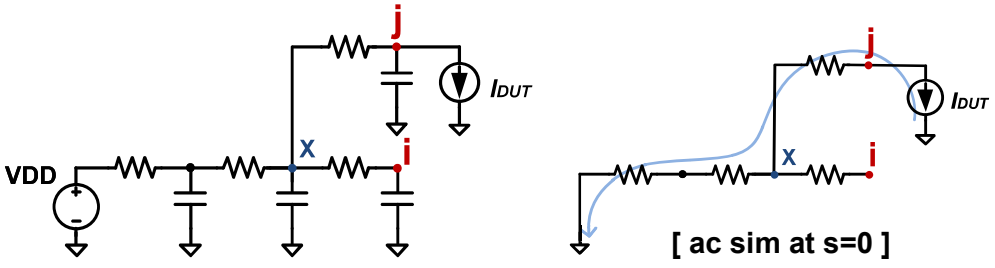


그림 3.9 단위 전류원(IDUT)가 달린 tree 구조 회로

그림 3.9 와 같이 단위 전류원 I_{DUT} 가 달린 tree 구조의

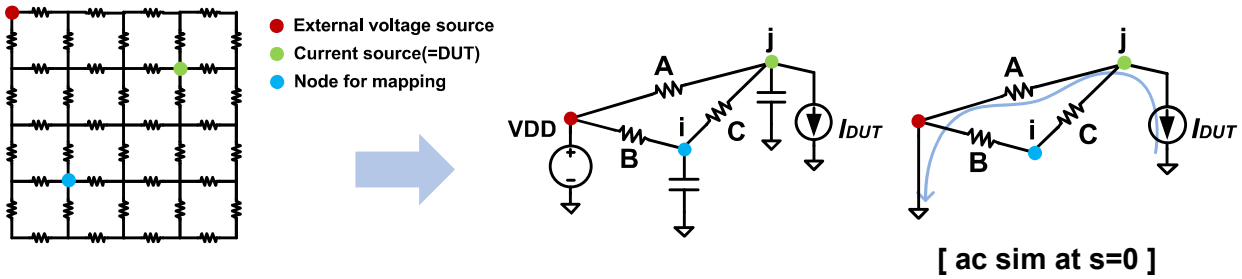
회로에서, 'r_{ij} 는 노드 j 에 전류를 주입할 때 노드 i 에 유도되는 전압, 즉 인가한 전류에 대한 출력 전압에 해당하는 등가 저항' 이라는 정의에 따라 다음 수식을 만족한다.

$$r_{ij} = V_i / I_{DUT} = V_X / I_{DUT} = r_{XX} \leq r_{ii} \qquad (3.23)$$

$$r_{ji} = V_j / I_{DUT} = V_X / I_{DUT} = r_{XX} \leq r_{jj} \qquad (3.34)$$

즉, R 행렬은 diagonally symmetric, diagonally dominant 하다.

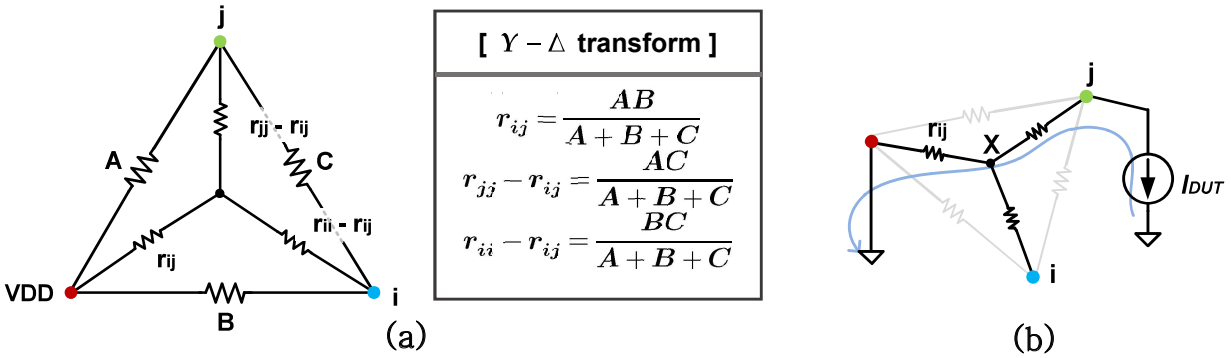
Mesh 구조인 회로에서도 tree 구조와 동일하게 R 행렬이 정의된다. 그에 앞서, mesh 구조의 PDN 을 외부 전압원(VDD), 관찰하고자 하는 노드(i), 하위 회로(전류원)이 연결된 노드(j)를 이용해 간소화하면 아래와 같다.



(a) (b)

그림 3.10 (a) mesh 구조의 PDN, (b) 간소화한 PDN 모델

이때, Y−Δ 변환을 이용해 간소화한 mesh 구조의 PDN 모델을 tree 구조로 변환할 수 있고(그림 3.11),



(a) (b)

그림 3.11 (a) Y−Δ transform, (b) tree 구조로 변환된 mesh 구조의 PDN 모델

이를 이용해 mesh 구조 회로에서도 R 행렬이 동일한 특성을 갖는

것을 쉽게 보일 수 있다.

'r_{ij} 는 노드 j 에 전류를 주입할 때 노드 i 에 유도되는 전압, 즉 인가한 전류에 대한 출력 전압에 해당하는 등가 저항' 이라는 정의에 따라 (3.13), (3.14) 를 만족한다. 즉, R 행렬은 diagonally symmetric, diagonally dominant 하다.

Mesh 구조의 PDN 에서 앞서 간소화했던 방식과 유사하게(이번의 경우 관찰 노드 2개), 외부 전압원(VDD), DUT 가 연결된 노드(j), 관찰하고자 하는 노드 1,2(i, k)를 이용해 간소화하면 아래와 같다.

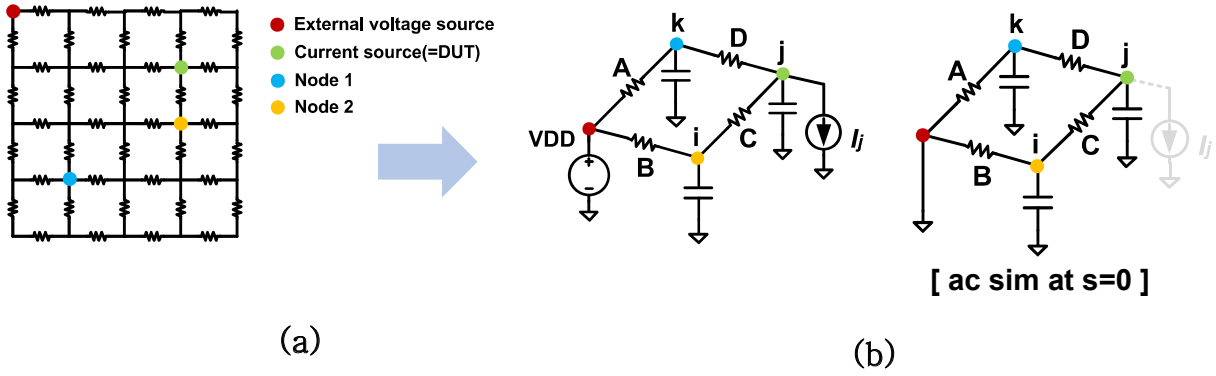


그림 3.12 (a) mesh 구조의 PDN, (b) 간소화한 PDN 모델

이때 노드 k 를 기준으로 간소화 모델을 표현하면 그림 3.13 과 같다.

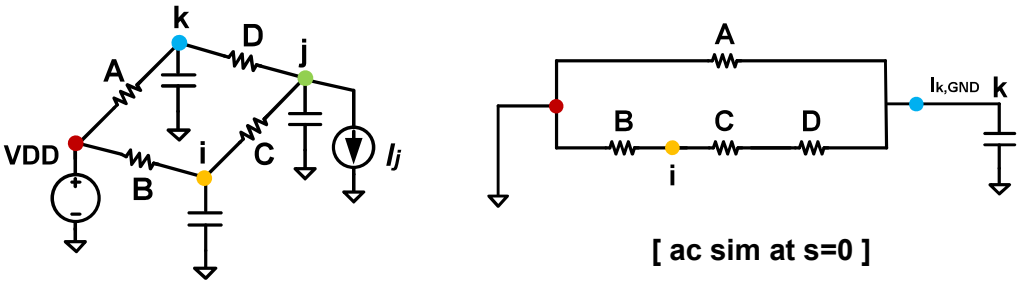


그림 3.13 노드 k 를 기준으로 표현한 간소화 모델

노드 k 에 연결된 커패시터로 흐르는 전류를 $I_{n,GND}$ 라고 할 때, (3.6) 과 같은 원리로

$$v_{kj,0} - v_{kj}\ t\ = \sum_n r_{nk} c_n \frac{d}{dt}(v_{nj}(t)) = \sum_n r_{nk} \bullet I_{n,GND}$$

이다. 따라서 저항 B 에 걸리는 전압은 아래 수식을 만족한다.

$$\frac{B}{B+C+D} \bullet \left(v_{kj,0} - v_{kj}\ t \right) = \frac{r_{ki}}{r_{kk}} \bullet \left(v_{kj,0} - v_{kj}\ t \right) \leq \left(v_{ij,0} - v_{ij}\ t \right) \tag{3.45}$$

동일한 방식으로 노드 i 를 기준으로 수식을 유도하면 아래와 같다.

$$\frac{r_{ki}}{r_{ii}} \bullet \left(v_{ij,0} - v_{ij}\ t \right) \leq \left(v_{kj,0} - v_{kj}\ t \right) \tag{3.56}$$

전압 강하 파형이 오목 함수(concave function)라는 특성을 활용해 하한 범위를 더 타이트하게 유도할 수 있다.

(유도과정은 생략하고) 결과는 다음과 같다.

$$v_{ij}\ t \geq \begin{cases} 0, & t \leq \tau_{Di} - \tau_{Ri} \\ v_{ij,0} \bullet \left(1 - \frac{\tau_{Di}}{t + \tau_{Ri}} \right), & \tau_{Di} - \tau_{Ri} \leq t \leq \tau_P - \tau_{Ri} \\ v_{ij,0} \bullet \left(1 - \frac{\tau_{Di}}{\tau_P} \bullet e^{\frac{-t-\tau_P+\tau_{Ri}}{\tau_P}} \right), & t \geq \tau_P - \tau_{Ri} \end{cases} \tag{3.67}$$

제 4 장 방법론 적용 결과

제 1 절 Tool Flow 소개

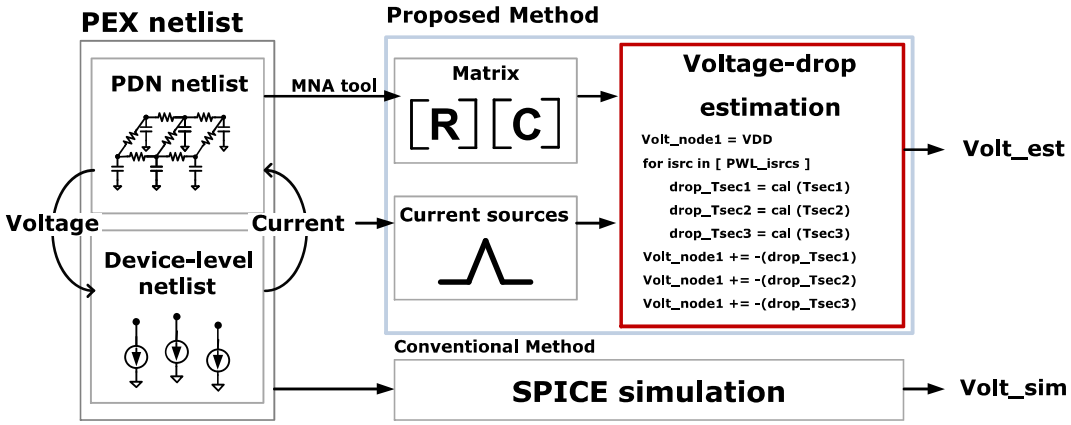


그림 4.1 제안하는 방법론 구현을 위한 전체 순서도

회로 설계 시 layout 마친 후 PEX 추출 과정으로 PDN netlist 와 device-level netlist 로 구성된 PEX netlist 를 얻을 수 있다. PDN netlist 에는 wire 저항과 접지된 커패시터 성분의 수동 소자들로 구성되어 있으며, device-level netlist 의 경우 PDN 에 연결된 하위 회로들로 이는 능동 소자를 포함한다.

기존 접근법은 PEX netlist 를 시뮬레이터(e.g. HSPICE)로 풀어내는데, 이러한 full-chip 검증은 매우 복잡하고 오래 걸리는 문제가 있다.

제안한 방법론의 경우, 우선 PDN netlist 와 device-level netlist 를 분리한다. MNA tool 을 이용해 PDN netlist 로부터 R, C 행렬을 추출하고, PDN netlist 와 device-level netlist 간의 iteration 방식을 통해 PWL 형태의 전류 정보를 얻는다[8]. Iteration 방식 관련해서 4.2 절에서 더 자세히 다루겠다. 이렇게 얻은 PDN 의 행렬 정보와 하위 회로가 PDN 으로부터 당겨쓰는 전류 정보를 이용해 동적 과도 전압 강하를 추정한다. 이 단계에서는 앞서 3 장에서 유도한 수식을 이용한 연산이 진행된다.

그림 4.2 에서는 동적 과도 전압 강하를 연산하는 과정을 보여준다. 3 장에서 와 같이 PWL 파형을 세 구간으로 나눠 각 구간 별 유도한 수식을 이용해 연산하며, 노드 별, 전류원 별로 병렬 연산하여 효율을 극대화한다.

Voltage-drop estimation

```
# N = 총 관찰할 PDN 노드 개수
# M = 동시에 연산할 multiprocessing 개수
# P = 총 하위 회로(전류원)의 개수

for m in range(M):
   # multiprocessing : 노드 별 병렬 연산
   node_from =  m * (N // M)
   node_end  = (m+1)*(N // M)
   Volt_node = Voltage_drop_estimation( node_from, node_end )

def Voltage_drop_estimation(node_from, node_end):
   for n in range(node_from, node_end):
        Volt_node = VDD
        for m in range(M):
             # multiprocessing : 전류원 별 병렬 연산
             isrc_from =  m * (P // M)
             isrc_end  = (m+1)*(P // M)
             for isrc in range( isrc_from, isrc_end )
                  # 세 구간으로 나눈 PWL 의 각 구간 별 유도한 수식 연산
                  drop_Tsec1 = calculate(Tsec1)
                  drop_Tsec2 = calculate(Tsec2)
                  drop_Tsec3 = calculate(Tsec3)

             Volt_node += -(drop_Tsec1)
             Volt_node += -(drop_Tsec2)
             Volt_node += -(drop_Tsec3)

        return Volt_node
```

그림 4.2 제안한 방법론(동적 과도 전압 강하 연산 과정) pseudo code

제 2 절 Iteration Approach

앞서 언급했듯이 분할한 두 시스템을 실제에 근사하기 위해 이 과정을 진행한다.

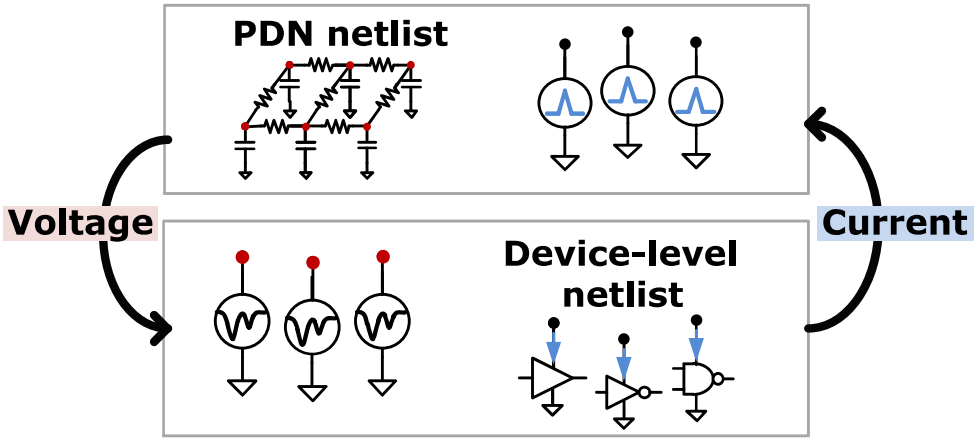


그림 4.3 Iteration approach 도식

- Step 0 :
  PDN 의 모든 노드의 전압을 외부 전압원의 정격 전압인 *VDD* 로 고정시킨 후 device-level netlist 를 이용한 시뮬레이션을 진행하여, device 별 전류 파형을 도출하고 이를 PWL 형태로 변환한다.
- Step 1:
  위에서 추출한 전류 파형과 PDN netlist 를 포함한 시뮬레이션으로 PDN 의 노드 별 전압 파형을 도출한다.
- Step 2:
  위의 전압 파형을 이용해 Step0를 다시 진행해 전류 파형을 실제와 유사하게 보정한다.

- **Iteration approach 에 따른 중간 결과 파형 :**
  - Extract_current 파형

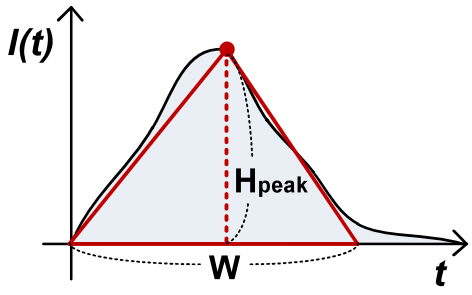
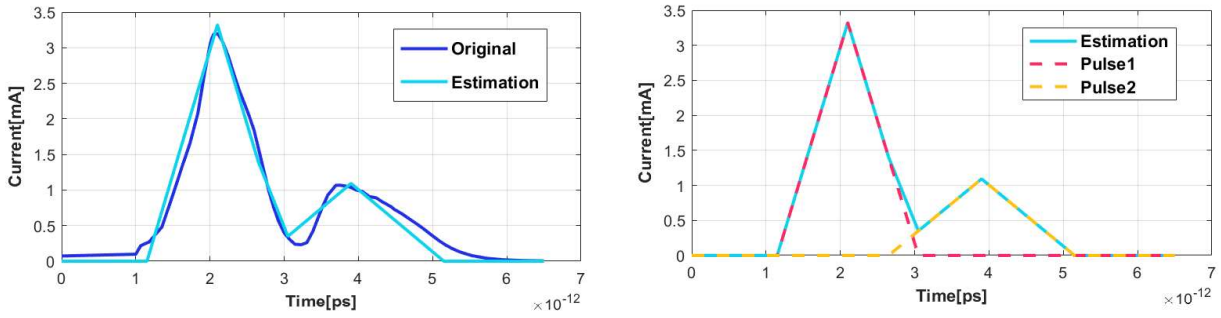


그림 4.4 Device 별 전류 파형을 PWL 형태로 변환

이때 그림 4.4 와 같이 전류의 면적에 해당하는 전하량을 Q, 전류의 최대값 H_{peak} 라고 할 $Q = {W \bullet H_{peak}}/{2}$ 때의 관계식을 이용해 PWL 형태로 변환한다.

실제 전류 파형은 아래와 같이 PWL 형태의 삼각 파형의 조합으로 나타낸다.



(a) (b)

그림 4.4 (a) 실제 시뮬레이션 파형과 추정 결과 파형, (b) PWL 삼각 파형의 조합

- Extract_voltage 파형
  Iteration 함에 따라 전압값이 시뮬레이션 파형에 근접해진다.

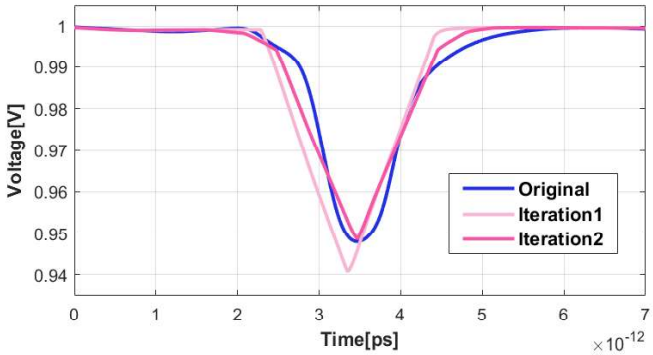


그림 4.5 Iteration 에 따른 전압 파형 추이

제 3 절 Toy Example 결과

실제 예제에 들어가기 앞서, 작은 예제를 이용한 실험 결과를 먼저 제시한다.

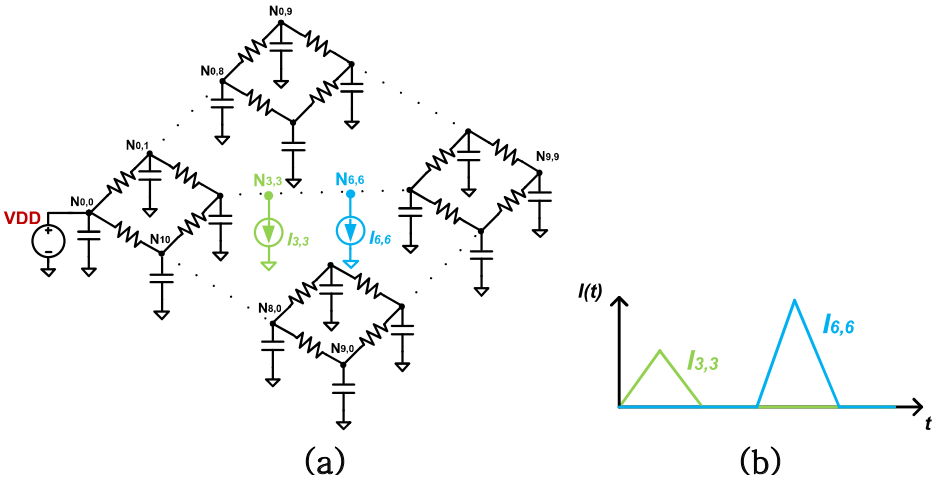


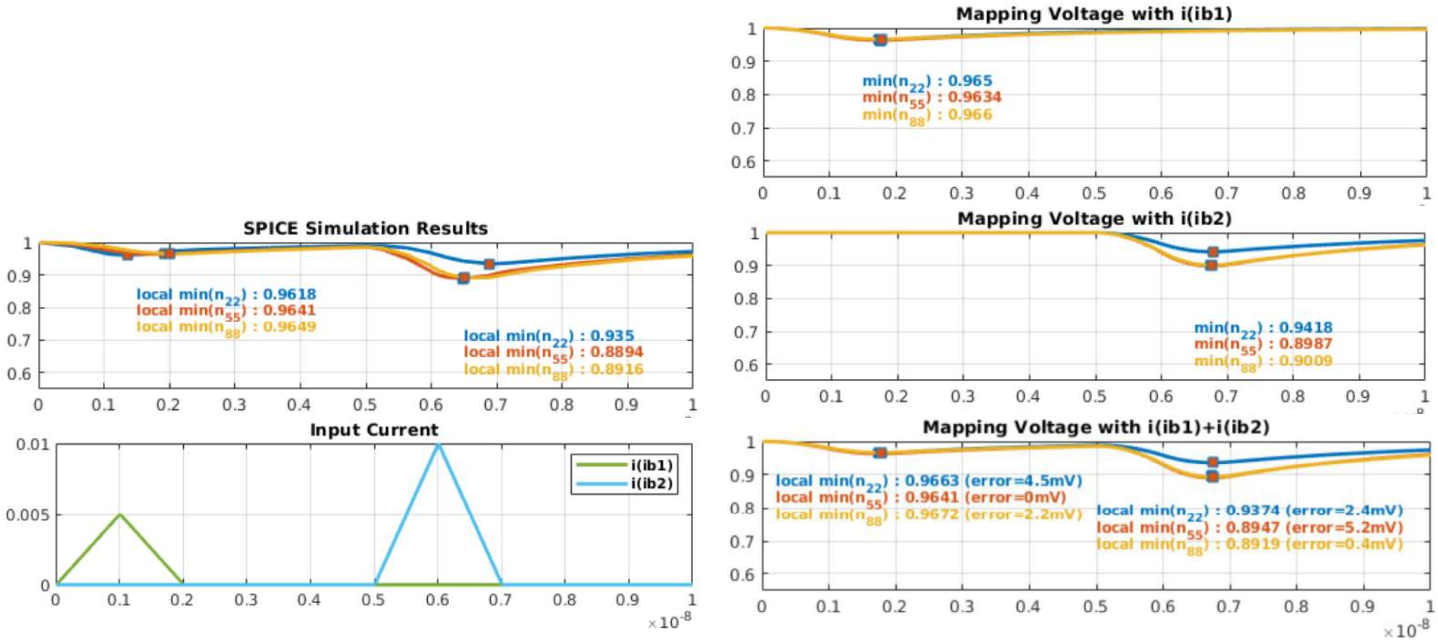
그림 4.6 (a) 10-by-10 mesh 구조의 PDN , (b) 두 개의 입력

10-by-10 구조의 mesh PDN 에서 wire 저항은 1~50Ω, 접지된 커패시터는 1pF 의 값을 갖도록 설계했다.

1V의 정격 전압을 갖는 외부 전압원은 노드(0,0)에 연결되어 있고, 노드(3,3)와 노드(6,6) 각각에 하위 회로가 달려 있으며 파형은 그림 4.4(b)와 같다.

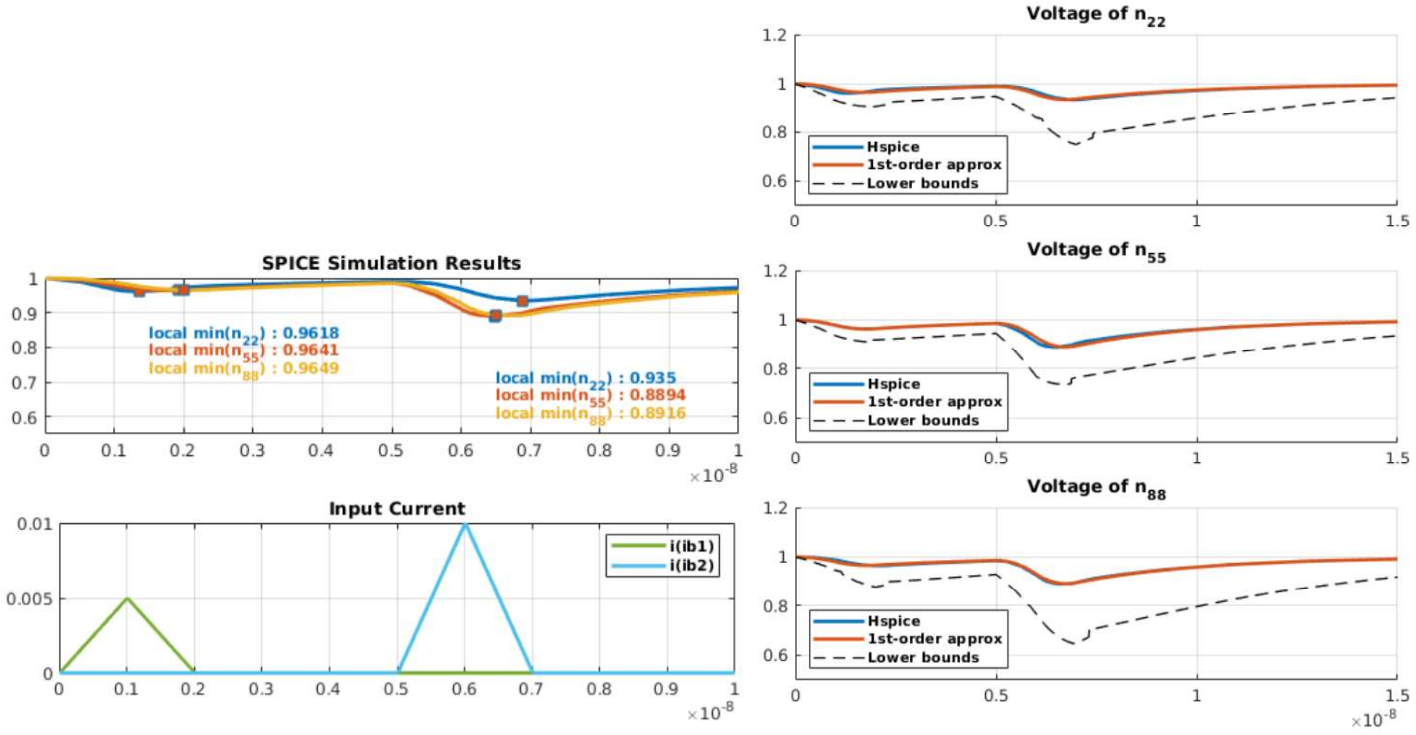
PDN 의 여러 노드 중 노드(2,2), 노드(5,5), 노드(8,8)의 전압을 관찰하였다.

그림 4.7 에서는 각 전류원 별 전압 강하 영향과 이들을 중첩한 전압 파형을, 그림 4.8 에서는 관찰 노드에서 하한 범위 파형을 보여준다.



(a) (b)

그림 4.7 (a) 예제 회로의 HSPICE 시뮬레이션 결과(위: 관찰 노드 전압, 아래: 하위 회로 전류), (b) 각 전류원 별 전압 강하 영향과 중첩한 전압 파형



(a) (b)

그림 4.8 (a) 예제 회로의 HSPICE 시뮬레이션 결과(위: 관찰 노드 전압, 아래: 하위 회로 전류), (b) 관찰 노드의 전압 파형과 하한 범위 파형

제 4 절 IBM Benchmark 결과

제 1 항 예제 구성

IBM benchmark는 파워 네트워크 검증 분야에서 많이 쓰이는 회로 예제로 VDD, VSS 별로 여러 층의 metal layer로 구성된 PDN과 하위 회로는 주기적인 PWL(삼각파형) 전류원으로 모델링 되어 있다.

제 2 항 방법론 적용 결과

두 개의 예제 회로에 대해 실험해보았고, 각 예제 별 세부 구성은 다음과 같다.

◆ [ibmpg1t]

표 4.1 IBM benchmark(ibmpg1t) 예제 구성

정격 전압(VDD)	1V
VDD net	Metal-1, Metal-3
외부 전압원 개수	100
하위 회로(전류원) 개수	5.4K
노드 개수	6.1K
저항 개수	10.8K
커패시터 개수	5.4K

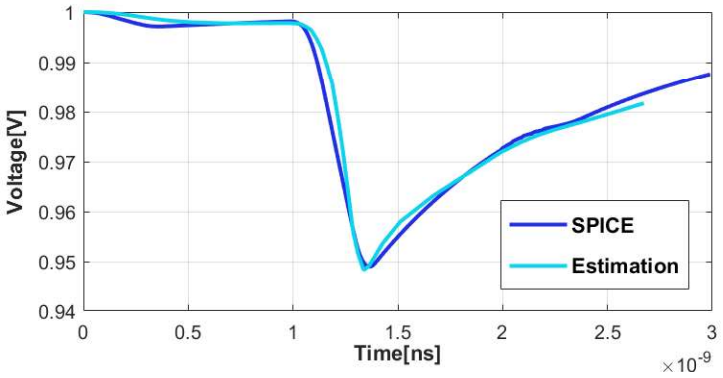


그림 4.9 IBM benchmark(ibmpg1t) 전압 파형

HSPICE 시뮬레이션 결과 최대 전압 강하는 51.7mV이며 제안한 방법론으로 예측한 최대 전압 강하는 51mV로 0.7mV의 오차를 가진다.

◆ [ibmpg2t]

표 4.2 IBM benchmark(ibmpg1t) 예제 구성

정격 전압(VDD)	1.8V
VDD net	Metal-1, Metal-3, Metal-5, Metal-7
외부 전압원 개수	120
하위 회로(전류원) 개수	18.4K
노드 개수	21.4K
저항 개수	61.2K
커패시터 개수	18.4K

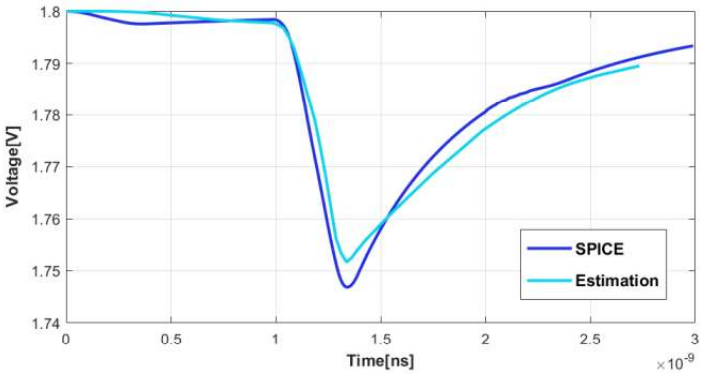


그림 4.10 IBM benchmark(ibmpg2t) 전압 파형

HSPICE 시뮬레이션 결과 최대 전압 강하는 50mV이며 제안한 방법론으로 예측한 최대 전압 강하는 53.2mV로 3.2mV의 오차를 가진다.

제 5 절 ISCAS Benchmark 결과

ISCAS benchmark는 순차 논리 회로(sequential logic) 으로 구성된 예제로, TSMC40gp 공정으로 합성/PnR/PEX추출 진행하였다.

제 1 항 Iteration approach

제안한 방법론 적용을 위해서 회로 동작을 PWL(삼각파형) 전류원으로 변환해야 하고, 이는 앞서 4 장 3 절의 설명과 같이 iterative 하게 추출한다.

각 과정을 다시 한 번 정리하면 다음과 같다.

- **deck0(device 시뮬레이션)** :
  이전 iteration 단계에서 추출한 전압 파형을 물려서 device-level 시뮬레이션 진행하며 처음에는 정격 전압(dc값)을 이용한다.
- **Extract_current** :
  deck0의 시뮬레이션 결과에서 각 device 별 전류를 추출한다. 이때, $Q = {(W \bullet H_{peak})}/{2}$ 수식을 이용한다.
- **deck1(PDN 시뮬레이션)** :
  위에서 변환한 PWL 전류 파형을 이용해 PDN 시뮬레이션을 진행한다.
- **Extract_voltage** :
  deck1의 시뮬레이션 결과에서 각 노드 별 전압을 추출한다.

제 2 항 예제 소개 및 방법론 적용 결과

- [ISCAS89 S344]
- **PnR 레이아웃** : 전압 강하가 많이 일어나도록 가장 자리에만 power ring 배치

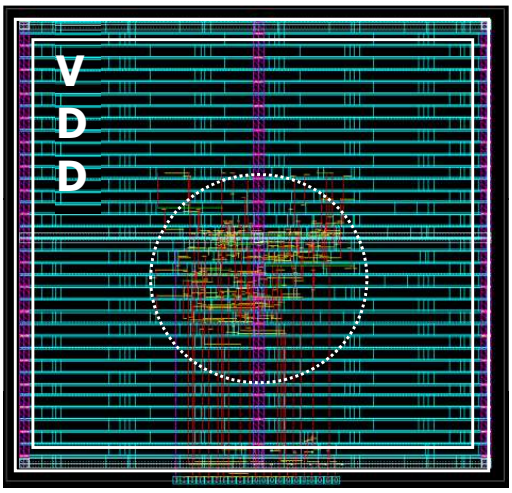


그림 4.11 ISCAS89 S344 레이아웃

표 4.3 ISCAS benchmark(S344) 예제 구성

정격 전압(VDD)	1V
하위 회로(전류원) 개수	112
노드 개수	480
저항 개수	2580
커패시터 개수	480
최대 전압 강하	52mV
PEX 시뮬레이션 시간	9.13min

- **방법론 적용 결과** :

표 4.4 ISCAS benchmark(S344) iteration-0, 단계 별 소요 시간

단 계	소요 시간 [min]
Device-level simulation	0.47
Extract current	0.44
Estimate voltage	0.27

표 4.5 ISCAS benchmark(S344) iteration-0 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 0	PEX 시뮬레이션
최대 rms 오차 [%]	0.87	-
총 시뮬레이션 시간 [min]	1.18	9.13
속도 이득	7.75	-

표 4.6 ISCAS benchmark(S344) iteration-1, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.26
Extract voltage	0.63
Device-level simulation	0.45
Extract current	0.39
Estimate voltage	0.28

표 4.7 ISCAS benchmark(S344) iteration-1 과 PEX 시뮬레이션 결과 비교

결 과	Iteration 0	Iteration 1	PEX 시뮬레이션
최대 rms 오차 [%]	0.87	0.504	-
총 시뮬레이션 시간 [min]	1.18	2.92	9.13
속도 이득	7.75	3.14	-

표 4.8 ISCAS benchmark(S344) iteration-2, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.21
Extract voltage	0.44
Device-level simulation	0.45
Extract current	0.26
Estimate voltage	0.28

표 4.9 ISCAS benchmark(S344) iteration-2 과 PEX 시뮬레이션 결과 비교

결 과	Iteration 1	Iteration 2	PEX 시뮬레이션
최대 rms 오차 [%]	0.504	0.26	-
총 시뮬레이션 시간 [min]	2.92	4.28	9.13
속도 이득	3.14	2.14	-

표 4.10 ISCAS benchmark(S344) iteration-3, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.12
Extract voltage	0.29
Device-level simulation	0.45
Extract current	0.24
Estimate voltage	0.28

표 4.11 ISCAS benchmark(S344) iteration-3 과 PEX 시뮬레이션 결과 비교

결 과	Iteration 2	Iteration 3	PEX 시뮬레이션
최대 rms 오차 [%]	0.26	0.152	-
총 시뮬레이션 시간 [min]	4.28	5.38	9.13
속도 이득	2.14	1.7	-

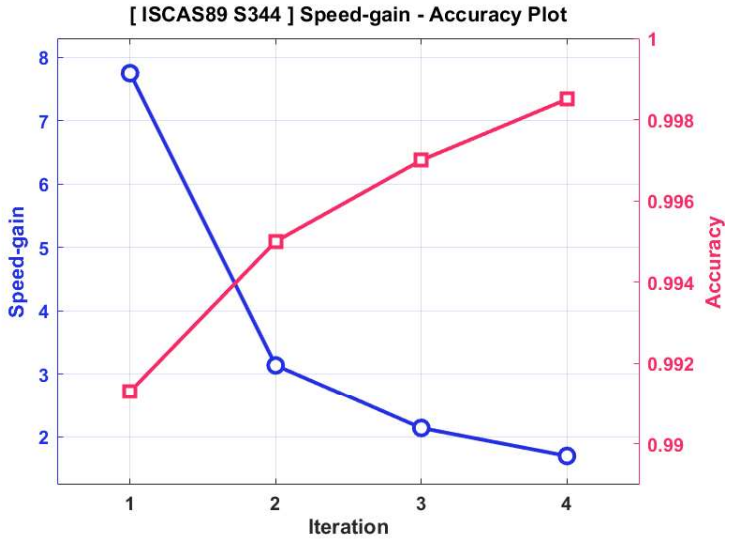


그림 4.12 ISCAS benchmark(S344) 속도 이득 대비 정확도 그래프

Iteration 을 많이 할수록 속도 이득 측면에서는 손해를 보지만 예측 결과가 정확하지는 경향성을 보인다.

◆ [ISCAS89 S1196]

◆ **PnR 레이아웃** : 전압 강하가 많이 일어나도록 가장 자리에만 power ring 배치

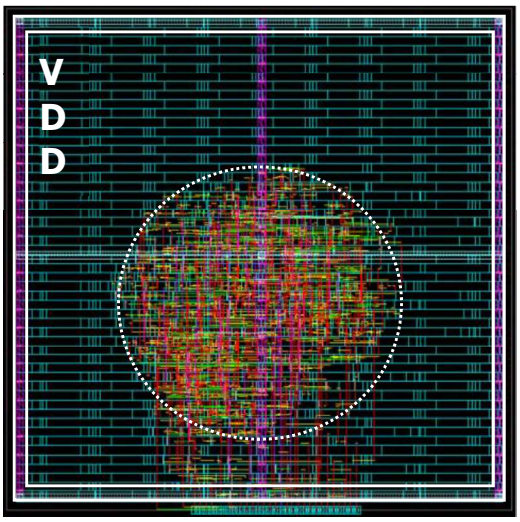


그림 4.13 ISCAS89 S1196 레이아웃

표 4.12 ISCAS benchmark(S1196) 예제 구성

정격 전압(VDD)	1V
하위 회로(전류원) 개수	1150
노드 개수	1200
저항 개수	5750
커패시터 개수	1200
최대 전압 강하	110mV
PEX 시뮬레이션 시간	21min

◆ **방법론 적용 결과** :

표 4.13 ISCAS benchmark(S1196) iteration-0, 단계 별 소요 시간

단 계	소요 시간 [min]
Device-level simulation	1.84
Extract current	0.96
Estimate voltage	0.84

표 4.14 ISCAS benchmark(S1196) iteration-0 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 0	PEX 시뮬레이션
최대 rms 오차 [%]	5.34	-
총 시뮬레이션 시간 [min]	3.6	21
속도 이득	5.75	-

표 4.15 ISCAS benchmark(S1196) iteration-1, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.16
Extract voltage	0.93
Device-level simulation	3.2
Extract current	1.01
Estimate voltage	0.9

표 4.16 ISCAS benchmark(S1196) iteration-1 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 0	Iteration 1	PEX 시뮬레이션
최대 rms 오차 [%]	5.34	4.06	-
총 시뮬레이션 시간 [min]	3.6	9	21
속도 이득	5.75	2.34	-

표 4.17 ISCAS benchmark(S1196) iteration-2, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.19
Extract voltage	0.95
Device-level simulation	3.22
Extract current	0.97
Estimate voltage	0.88

표 4.18 ISCAS benchmark(S1196) iteration-2 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 1	Iteration 2	PEX 시뮬레이션
최대 rms 오차 [%]	4.06	2.23	-
총 시뮬레이션 시간 [min]	9	14.31	21
속도 이득	2.34	1.47	-

표 4.19 ISCAS benchmark(S1196) iteration-3, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.16
Extract voltage	0.96
Device-level simulation	3.21
Extract current	0.99
Estimate voltage	0.91

표 4.20 ISCAS benchmark(S1196) iteration-3 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 2	Iteration 3	PEX 시뮬레이션
최대 rms 오차 [%]	2.23	1.13	-
총 시뮬레이션 시간 [min]	14.31	19.66	21
속도 이득	1.47	1.07	-

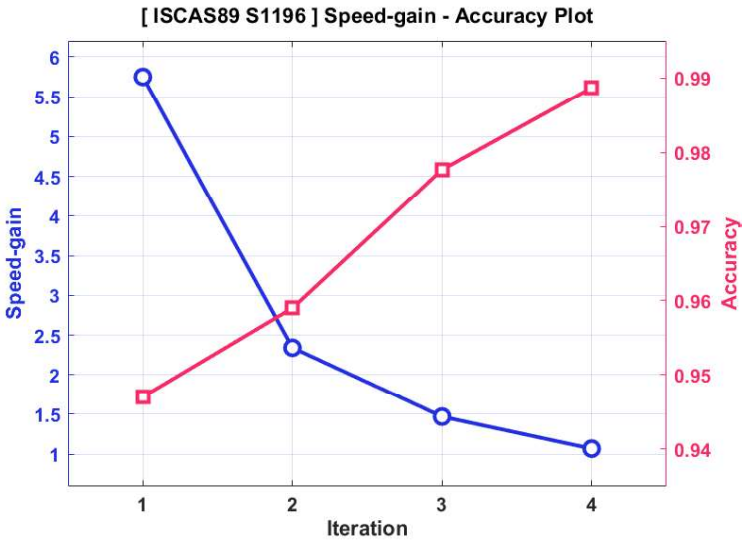


그림 4.14 ISCAS benchmark(S1196) 속도 이득 대비 정확도 그래프

Iteration 을 많이 할수록 속도 이득 측면에서는 손해를 보지만 예측 결과가 정확하지는 경향성을 보인다.

◆ [ISCAS89 S9234]

◆ PnR 레이아웃 : 전압 강하가 많이 일어나도록 가장 자리에만 power ring 배치

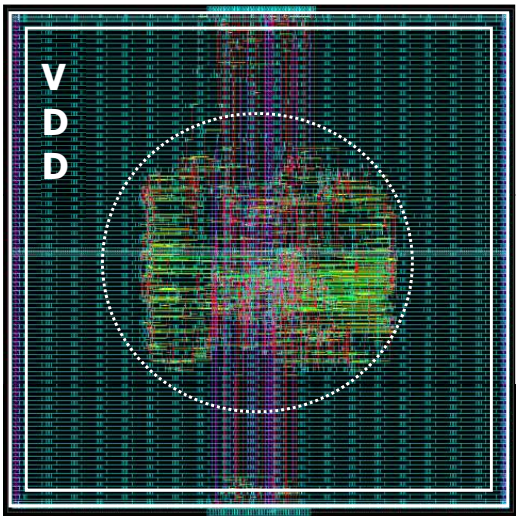


그림 4.15 ISCAS89 S9234 레이아웃

표 4.21 ISCAS benchmark(S9234) 예제 구성

정격 전압(VDD)	1V
하위 회로(전류원) 개수	5110
노드 개수	5165
저항 개수	33000
커패시터 개수	6165
최대 전압 강하	96mV
PEX 시뮬레이션 시간	65min

◆ 방법론 적용 결과 :

표 4.22 ISCAS benchmark(S9234) iteration-0, 단계 별 소요 시간

단 계	소요 시간 [min]
Device-level simulation	3.46
Extract current	1.85
Estimate voltage	4.84

표 4.23 ISCAS benchmark(S9234) iteration-0 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 0	PEX 시뮬레이션
최대 rms 오차 [%]	6.524	-
총 시뮬레이션 시간 [min]	10.15	65
속도 이득	6.35	-

표 4.24 ISCAS benchmark(S9234) iteration-1, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.29
Extract voltage	0.49
Device-level simulation	4.44
Extract current	1.99
Estimate voltage	6.34

표 4.25 ISCAS benchmark(S9234) iteration-1 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 0	Iteration 1	PEX 시뮬레이션
최대 rms 오차 [%]	6.524	1.6	-
총 시뮬레이션 시간 [min]	10.15	14.42	65
속도 이득	6.35	4.47	-

표 4.26 ISCAS benchmark(S9234) iteration-2, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.27
Extract voltage	0.53
Device-level simulation	4.46
Extract current	2.26
Estimate voltage	9.18

표 4.27 ISCAS benchmark(S9234) iteration-2 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 1	Iteration 2	PEX 시뮬레이션
최대 rms 오차 [%]	1.6	1.463	-
총 시뮬레이션 시간 [min]	14.42	23.06	65
속도 이득	4.47	2.97	-

표 4.28 ISCAS benchmark(S9234) iteration-3, 단계 별 소요 시간

단 계	소요 시간 [min]
PDN simulation	0.33
Extract voltage	0.69
Device-level simulation	4.46
Extract current	2.27
Estimate voltage	9.18

표 4.29 ISCAS benchmark(S9234) iteration-3 와 PEX 시뮬레이션 결과 비교

결 과	Iteration 2	Iteration 3	PEX 시뮬레이션
최대 rms 오차 [%]	1.463	1.374	-
총 시뮬레이션 시간 [min]	23.06	30.84	65
속도 이득	2.97	2.09	-

그림 4.16 ISCAS benchmark(S1196) 속도 이득 대비 정확도 그래프

Iteration 을 많이 할수록 속도 이득 측면에서는 손해를 보지만 예측 결과가 정확하지는 경향성을 보인다.

◆ 예제 간의 속도 이득 대비 정확도 경향성

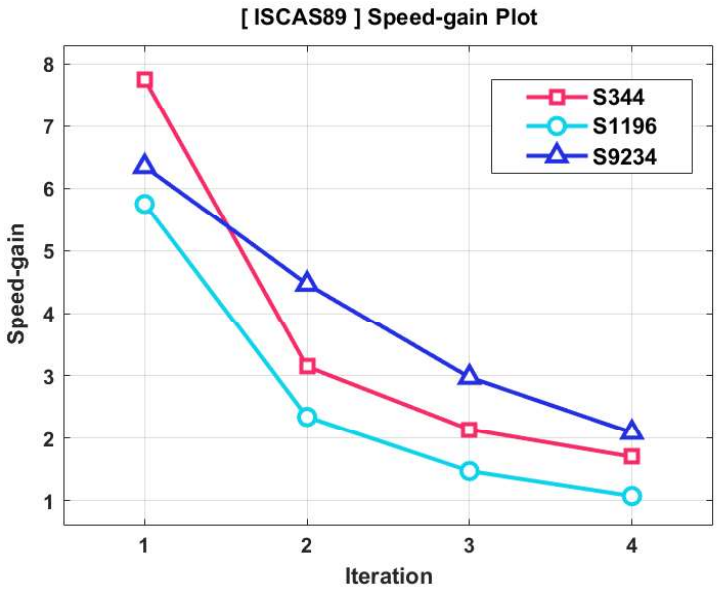


그림 4.17 ISCAS benchmark 속도 이득 대비 정확도 그래프

제 6 절 Possible Explorations / Applications

제 1 항 Decoupling Capacitor Insertion

전압 강하가 발생하면 가장 흔히 해당 지점 근처에 커패시터를 추가하여 문제를 해결한다.

제안한 방법론의 경우 과도 전압 강하가 발생하는 노드에 netlist 상에서 커페시터를 추가하거나, 행렬의 해당 성분의 값을 키우는 방식으로 전압 강하가 완화되는 현상을 빠르게 테스트할 수 있다. 예를 들어 ISCAS89 S344 예제에서 최대 전압 강하 발생 노드에 50fF 크기의 디커플링 커패시터를 추가해보았다. HSPICE 시뮬레이션의 경우 기존의 최대 전압 강하가 52mV 였던 지점이 45mV 로 개선되었고, 제안한 방법론으로 이를 47.5mV 로 예측하였다.

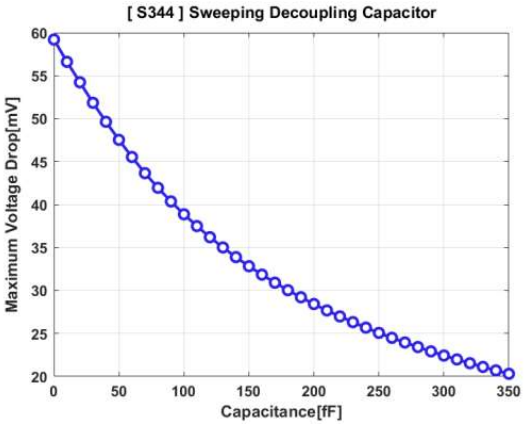


그림 4.18 추가 삽입한 디커플링 커패시터의 크기에 대한 최대 전압 강하

최대 전압 강하 발생 노드에 삽입하는 커패시터의 크기를 증가시키며 전압 강하를 관찰하였다. 제안한 방법론으로 디커플링 커패시터의 삽입으로 어느 정도의 전압 강하가 개선되는지 빠르게 관찰할 수 있다.

제 2 항 Location of Power Pad

회로 설계 시 파워 패트의 위치는 설계가자 지정해주는데, 최대 전압 강하가 발생하는 지점 근처로 위치를 옮기면 해당 문제가 완화될 것이다.

제안한 방법론으로 과도 전압 강하가 발생하는 노드 근처로 파워 패드를 옮겨 전압 강하가 개선되는지 실험해보았다. 이는 저항 행렬의 외부 전원 연결 성분을 변화시키며 테스트 가능하다. 예를 들어 ISCAS89 S344 예제에서 파워 패드를 옮겼을 때 기존의 최대 전압 강하가 52mV 였던 지점이 24.7mV 로 개선되었고, 제안한 방법론으로 이를 24mV 로 예측하였다.

제 5 장 결 론

Elmore metric 으로 간소화한 파워 네트워크 시스템과 회로 동작을 모사한 PWL(삼각파형) 입력 전류를 이용해 동적 과도 전압 강하를 예측한다.

전력 무결성 검증을 위한 보편적으로 이용되는 full-chip 시뮬레이션 파워 네트워크와 하위 회로를 분할하여 관찰한다. 시스템에 해당하는 mesh 구조의 파워 네트워크에서 노드 간 전달 함수를 1차로 근사하고, 하위 회로에서의 스위칭 동작을 반영한 과도 전류(transient current)를 PWL 형태로 모사한다. 이 두 근사 모델을 이용해 동적 과도 전압을 exponential 형태로 표현한다. 이때 유도된 수식은 중첩(superposition) 형태로 병렬 연산으로 연산의 효율을 극대화한다.

과도 전압 강하의 하한 범위 또한 수식적으로 풀어내어, 추정 값을 보다 pessimistic 하게 관찰할 수 있다.

Y-Δ 변환을 이용해 mesh 구조의 파워 네트워크에서 저항 행렬이 갖는 diagonally-dominant 특성을 보이고, 이를 활용해 전압 강하의 하한 범위를 유도하였다.

IBM/ISCAS benchmark 를 이용해 SPICE 시뮬레이션 대비 최대 속도 이득 7.75 배에서 rms 오차 1% 이하의 정확도를 얻어 제안한 방법론의 효용성을 검증하였다. 또한 과도 전압 강하를 개선하기 위한 디커플링 커패시터 삽입 혹은 파워 패드 위치 조정 등을 빠르게 테스트하는데 이용할 수 있다.

참고 문헌

[1] H. Qian, et al., “Random Walks in Supply Network,” in Proc. ACM/IEEE Design Automation Conf. (DAC), pp. 93-98, Jun. 2003.

[2] A. Dharchoudhury, et al., “Design and Analysis of Power Distribution Networks in Power PCTM microprocessors,” in Proc. ACM/IEEE Design Automation Conf. (DAC), pp. 738-743, Jun. 1998.

[3] J. Kozhaya, et al., “A Multigrid-Like Technique for Power Grid Analysis,” IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems (TCAD), pp.1148-1160, Oct. 2002.

[4] W. C. Elmore, “The Transient Response of Damped Linear Networks With Particular Regard to Wideband Amplifiers,” pp. 55-63, Jan. 1948.

[5] H. H. Chen and J. S. Neely, “Interconnect and Circuit Modeling Techniques for Full-Chip Power Supply Noise Analysis,” IEEE Trans. Compon., Packag., Manuf. Technol., pp. 209–215, Aug. 1998.

[6] P. Feldmann and R. W. Freund, " Efficient Linear Circuit Analysis by Pade Approximation via the Lanczos Process," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems (TCAD), pp. 639-649, May. 1995.

[7] A. Bogliolo, et al., “Gate-Level Power and Current Simulation of CMOS Integrated Circuits,” IEEE Trans. Very Large Scale Integration Systems (TVLSI), pp. 473-488, Dec. 1997.

[8] Y. Zhong and M. D. F. Wong, "Fast Algorithms for IR Drop Analysis in Large Power Grid," In Proc. IEEE Int’l Conf. on Computer Aided Design (ICCAD), pp. 351-357, Nov. 2005.

Abstract

Dynamic Voltage Estimation of PDN Using Elmore Metric

LEE Jiyeon

Department of Electronic and Computer Engineering

The Graduate School

Seoul National University

Dynamic transient voltage drops predicted using the simplified power network system by Elmore metric and PWL(triangular waveform) input current reflecting circuit's switching activities. For power integrity verification, instead of the commonly used full-chip simulation, we divide the power network and sub-circuits. The transfer function of mesh structure power network is approximated by first order and transient current reflecting the switching operation is approximated in PWL form. Using these two approximate models, the dynamic transient voltage is expressed in exponential form. The derived equation maximizes efficiency through parallel operation with superposition type expression.

The lower bound also be derived to observe the estimated value more pessimistically. The diagonally-dominant characteristics of the resistance matrix in mesh-structured power network are shown using Y-Δ transformation.

With benchmark, the proposed methodology has a speed-gain of up to 7.75 times and an accuracy of less than 1% rms error at 7.75 times compared to SPICE simulation. It can also be used to quickly

test the insertion of decoupling capacitor or adjustment of the power pad position to improve transient voltage drop.

Keywords : power distribution network, dynamic transient voltage drop, Elmore delay
Student Number : 2018-21280