creative commons

COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학박사 학위논문

확장 가능한 평면 이온트랩 어레이 구현을 위한 설계 및 셔틀링 기술

2021 년 2 월

서울대학교 대학원

전기정보공학과

이 민 재

확장 가능한 평면 이온트랩 어레이 구현을 위한 설계 및 셔틀링 기술

지도 교수 조 동 일

이 논문을 공학박사 학위논문으로 제출함
2021 년 2 월

서울대학교 대학원
전기·정보공학부
이 민 재

이민재의 공학박사 학위논문을 인준함
2021 년 2 월

위 원 장 _____ 박 남 규 _____ (인)

부위원장 _____ 조 동 일 _____ (인)

위 원 _____ 정 윤 찬 _____ (인)

위 원 _____ 김 태 현 _____ (인)

위 원 _____ 이 문 주 _____ (인)

초 록

양자 정보 기술은 현재의 고전 정보 기술이 가진 한계들을 극복하여 다양한 기술 분야에서 큰 혁신을 가져오리라 기대되고 있다. 이온트랩 (Ion trap)은 전자기장을 이용하여 전하를 띈 입자를 포획하는 장치로, 포획된 이온의 에너지 준위 (Energy state)를 큐비트로 사용하여 양자 정보 처리 플랫폼으로서 활용이 가능하다. 이온트랩은 다른 양자 정보 처리 플랫폼들에 비해 긴 가간섭성 시간 (Coherence time)을 가지고 있어 양자 컴퓨팅 및 장거리 양자 통신 구현을 위한 핵심 장비로서 활용될 수 있다. 향후 양자 정보 기술의 실용화 단계에서는 수 천개 이상의 큐비트들을 활용할 필요가 있으며, 이를 위해서는 역할별로 분리된 구역을 지닌 확장 가능한 (Scalable) 대규모 이온트랩 어레이 구조를 구현하는 것이 필요하다. 미세전자기계시스템 (MEMS) 기반 이온트랩은 높은 집적성과 생산성을 지녀, 확장 가능한 대규모 이온트랩 어레이 구현에 가작 적합한 제작 방식으로 여겨진다. 대규모 이온트랩 어레이의 운용을 위해서는 분리된 각 구역간 이온을 이동시키기 위한 기술을 개발할 필요가 있다. 본 논문에서는 이온트랩 간 구역을 나누는 교차로 구조 최적화 설계기술과 이온을 이동시키기 위한 전압 세트의 설계기술, 그리고 목표 전압 세트를 입력하기 위한 DAC 시스템 제작에 대하여 설명한다. 위에서 확보한 기술들을 통해 이온 셔틀링을 위한 실험 시스템을 구축하고 이를 통해 이온의 1920 μm 거리의 왕복 셔틀링 실험이 가능함을 보인다. (본 연구는 과학기술정보통신부 및 정보통신기획평가원의 대학 ICT 연구센터지원사업 (IITP-2020-2015-0-00385) 및 삼성전자 미래기술육성센터 (SRFC-IT1901-09)의 지원을 통해 진행되었음)

주요어 : 양자 정보 기술, 이온트랩, 이온 셔틀링, 미세전자기계시스템
학 번 : 2012-20832

목 차

제 1 장 서 론 1
제 1 절 양자 정보 기술과 큐비트 1
제 2 절 단일 이온을 이용한 큐비트와 이온트랩 4
제 3 절 Paul trap 의 발전과 MEMS 평면 이온트랩의 도입 7
제 4 절 대규모 이온트랩 어레이 구현의 필요성 및 과제 12
제 5 절 논문의 구성 14

제 2 장 실험의 설계 16
제 1 절 평면 이온트랩의 구조 16
제 2 절 Junction 이온트랩의 특성 22
제 3 절 유전 알고리즘 기반 설계 기술 24
제 4 절 이온 포획 시의 electrical potential 특성 28
제 5 절 이온트랩 실험 환경 특성 34
제 6 절 이온트랩 실험 환경 특성 36
제 7 절 DAC 설계의 필요성 43

제 3 장 시뮬레이션 및 실험 준비 45
제 1 절 최적화된 Junction 구조 도출 구현 45
제 2 절 Junction ion trap 제작 52
제 3 절 장거리 셔틀링을 위한 전압 세트 구현 56
제 4 절 32 채널 DAC 입력 시스템 구현 65

제 4 장 이온 셔틀링 실험 70
제 1 절 DAC 시스템 성능 확인 70
제 2 절 이온 셔틀링 확인 74
제 3 절 이온 셔틀링 시 전기장 특성 실험 77

제 5 장 결론 및 향후 연구 방향 79
제 1 절 결론 79
제 2 절 향후 연구 방향 81

참고문헌 83

Abstract 90

그림 목차

[그림 1.1] 블로흐 구면으로 나타낸 큐비트의 정보 1
[그림 1.2] $^{171}Yb^{+}$ 이온의 에너지 준위 4
[그림 1.3] Wolfgang Paul 이 개발한 최초의 Paul trap 5
[그림 1.4] Saddle point 를 이용한 포획의 원리 6
[그림 1.5] 4-rod linear ion trap 7
[그림 1.6] 최초의 평면 이온트랩 8
[그림 1.7] 5-rail geometry 의 원리 9
[그림 1.8] 최초의 MEMS 이온트랩 10
[그림 1.9] Sandia National Laboratory 의 이온트랩 칩 11
[그림 1.10] 대규모 이온트랩 어레이 구조 13
[그림 2.1] 측벽 보호구조 이온트랩의 단면도 17
[그림 2.2] 측벽 보호 구조 이온트랩의 공정 과정 18
[그림 2.3] 측벽 보호 구조 이온트랩 전극들의 상세 dimension 18
[그림 2.4] 측벽 보호 구조 이온트랩의 상부 전극 배치 19
[그림 2.5] 이온트랩 구조와 이에 따른 포획 높이 변화 21
[그림 2.6] Y-junction 이온트랩 구조 22
[그림 2.7] X-junction 이온트랩 구조 23
[그림 2.8] 특정 점 기준 최적화 방식 24
[그림 2.9] 내외곽 거리 기준 최적화 방식 25
[그림 2.10] 전극 segment 유전자 방식 26
[그림 2.11] 유전 알고리즘의 작동 방식 27
[그림 2.12] 이온 포획을 위해 사용되는 DC 전압 세트 28
[그림 2.13] RF 전압으로 인한 y=0 지점에서의 electrical potential 29
[그림 2.14] x, y=0 지점에서의 electrical potential 30
[그림 2.15] RF+DC 전압으로 인한 y=0 지점에서의 electrical potential 31
[그림 2.16] RF 전극으로 인한 x=0 지점에서의 electrical potential 32
[그림 2.17] DC 전극으로 인한 x=0, z=88 지점에서의 electrical potential 33
[그림 2.18] 일반적인 이온 셔틀링의 원리 35
[그림 2.19] 완성된 이온트랩 칩 패키지 36
[그림 2.20] Wire bonding diagram 37
[그림 2.21] 초고진공 챔버 내부 구조 38
[그림 2.22] 실험 중의 초고진공 확보 시스템 39

[그림 2.23] 이온 포획을 위한 광학 시스템 40
[그림 2.24] 광학 테이블 위에 구현된 이온트랩 시스템 42
[그림 2.25] Artix-7 보드 44
[그림 3.1] 직선형 junction 구조 45
[그림 3.2] 직선형 junction 구조 중 중앙축 단면에서의 potential 46
[그림 3.3] 직선형 junction 구조 중 이온 이동 경로에서의 potential 46
[그림 3.4] 최적화 junction 구조 49
[그림 3.5] 최적화 junction 구조 중 중앙축 단면에서의 potential 50
[그림 3.6] 최적화 junction 구조 중 이온 이동 경로에서의 potential 50
[그림 3.7] 최적화 junction 이온트랩 표면 전극 마스크 52
[그림 3.8] 최적화 junction 이온트랩 loading slot 53
[그림 3.9] 최적화 junction 이온트랩 단면 구조 54
[그림 3.10] 최적화 junction 이온트랩 중앙부 구조 54
[그림 3.11] 최적화 junction 이온트랩 칩 패키지 55
[그림 3.12] 1 개의 DC 전압 출력 당 1 개의 DC 전극을 할당한 mapping 58
[그림 3.13] 1 개의 DC 전압 출력 당 2 개의 DC 전극을 할당한 mapping 58
[그림 3.14] 계산 간격에 따른 axial secular frequency 59
[그림 3.15] 첫 번째 mapping 조건을 이용한 셔틀링 전압 세트 60
[그림 3.16] 두 번째 mapping 조건을 이용한 셔틀링 전압 세트 61
[그림 3.17] 20 μm 간격으로 구현된 electrical potential well 62
[그림 3.18] 첫 번째 mapping 조건에서의 secular frquency 및 potential error 63
[그림 3.19] 두 번째 mapping 조건에서의 secular frquency 및 potential error 63
[그림 3.20] DAC 입력 시스템 구조 65
[그림 3.21] DAC board 66
[그림 3.22] Output board 67
[그림 3.23] Filter board 67
[그림 3.24] 결합된 DAC 시스템 68
[그림 3.25] 챔버와 DAC 의 연결 69
[그림 4.1] Coupling 시뮬레이션을 위한 DC 전극 회로 70

[그림 4.2] Fall time 시뮬레이션을 위한 DAC 내 RF filter 회로 71
[그림 4.3] Fall time 시뮬레이션 결과 72
[그림 4.4] Fall time 실험 측정 결과 72
[그림 4.5] 동일 이온의 이온트랩의 중심 및 양쪽 끝으로 이동된 모습 74
[그림 4.6] 이온의 셔틀링 위치 별 secular frequency 변화 77

제 1 장 서 론

제 1 절 양자 정보 기술과 큐비트

양자 정보 기술은 양자역학을 이용하여 정보를 처리하는 기술로서, 전압 입력 여부를 통해 정보의 기본 단위인 비트를 구현하는 기존의 전자 정보 기술과는 달리 양자계의 두 개의 양자 상태를 이용하여 구현되는 양자 비트 (Quantum Bit)를 사용하여 정보를 처리하는 특성을 가지고 있다[1-3]. 양자 비트는 큐비트 (Qubit)라고도 불리며, 큐비트가 가진 정보는 그림 1.1에 표현된 블로흐 구면 (Bloch sphere)으로 나타내어 질 수 있다.

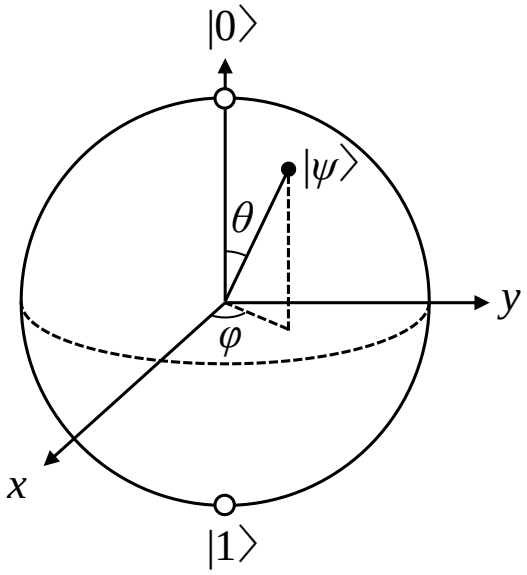


그림 1.1 블로흐 구면으로 나타낸 큐비트의 정보.

여기서 양자 중첩 (Superposition) 원리에 의해 큐비트가 지닌 정보는 두 개의 직교하는 기저 상태로 구성되며, 두 상태의 중첩을 $|\psi\rangle=|\alpha_0\rangle+|\alpha_1\rangle$와 같이 표현할 수 있다. 여기서 α_0 와 α_1 은 $|\alpha_0|^2+|\alpha_1|^2=1$을 만족시키는 중첩 확률의 계수이다. 그 외에도 복수의 큐비트들이 있을 때 한 큐비트의 상태가 다른 큐비트의 상태를 측정하는 것을 통해 결정될 수 있도록 하는 양자 얽힘 (Entanglement) 현상과, 알지 못하는 양자 상태를 복사하는 것이 불가능하다는 복제 불가능성 원리 (No-cloning Theorem) 등 양자 정보 기술들이 가진 고유한 특성들을 활용하여 양자 정보 기술은 양자 컴퓨터[4-6], 양자 통신[7-11], 양자 시뮬레이션[12-14] 등 다양한 분야에서 활용되고 있다.

리처드 파인만이 1982년[1] 양자 컴퓨터를 처음으로 제안한 이래, 양자 정보 기술은 계산 알고리즘과 실제 구현을 위한 플랫폼 양쪽 방향에서 개발이 진행되어 왔다. 양자 정보 기술의 실용화를 위한 조건으로, 양자 컴퓨터가 기존 컴퓨터보다 성능이 높아지는 단계인 양자 우월성 (Quantum supremacy) 달성을 위해서는 error correction algorithm을 통한 신뢰성 향상, 보다 다양한 알고리즘 개발을 통한 범용성 향상, 보다 많은 큐비트를 이용 가능한 플랫폼 개발을 통한 확장성 향상의 세 가지 분야에서의 발전이 필요하다.

양자 우월성 달성을 위해서는 최소 50개 이상의 큐비트를 연산에 활용할 필요가 있다고 예측되고 있으나, 현재까지 동시에 실용적으로 활용 가능한 큐비트는 십 수개 정도로 제한되어 있어, 보다 다수의 큐비트를 사용 가능한 플랫폼을 개발하기 위해 연구가 계속되고 있다.

큐비트를 다루기 위한 대표적인 양자 정보 플랫폼으로서 이온트랩[15-18], 초전도 회로[19-21], 양자 점[22,23], Cavity quantum electrodynamics (QED)[24,25], nuclear magnetic resonance (NMR)[26,27]등 다양한 종류의 장비들이 경쟁 중이다.

제 2 절 단일 이온을 이용한 큐비트와 이온트랩

단일 이온은 이온의 내부 에너지 상태 (Energy state)를 이용하여 한 개의 큐비트로서 사용될 수 있다. 에너지 상태 특성이 유리한 $^{40}Ca^{+}$, $^{171}Yb^{+}$, $^{88}Sr^{+}$, $^{25}Mg^{+}$ 등의 이온들을 외부로부터 격리하고 필요 시 에너지 상태를 레이저나 마이크로웨이브를 통해 제어하는 것으로 이온 큐비트를 구현하는 기술이 1995 년 Cirac 과 Zoller 에 의해 제안되었다[15].

본 실험에 활용될 $^{171}Yb^{+}$의 에너지 준위 변화는 그림 1-2 와 같다.

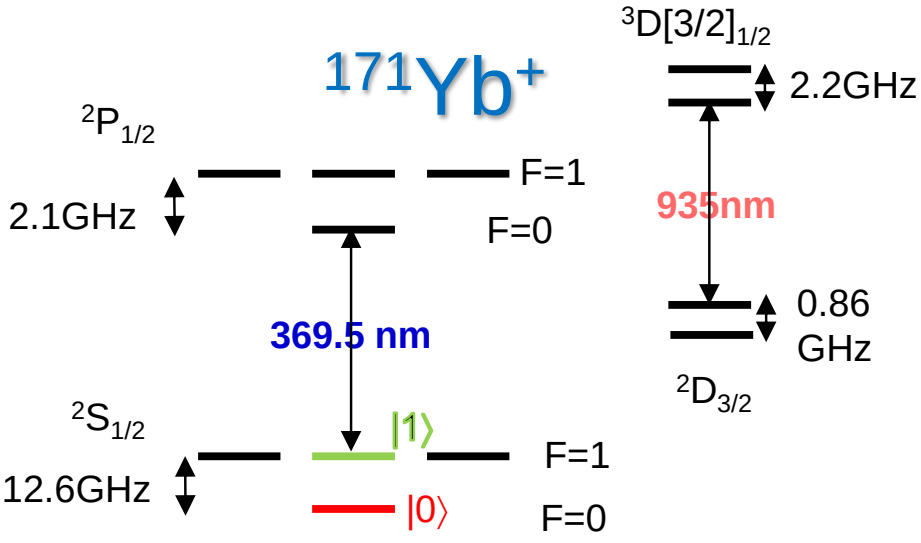


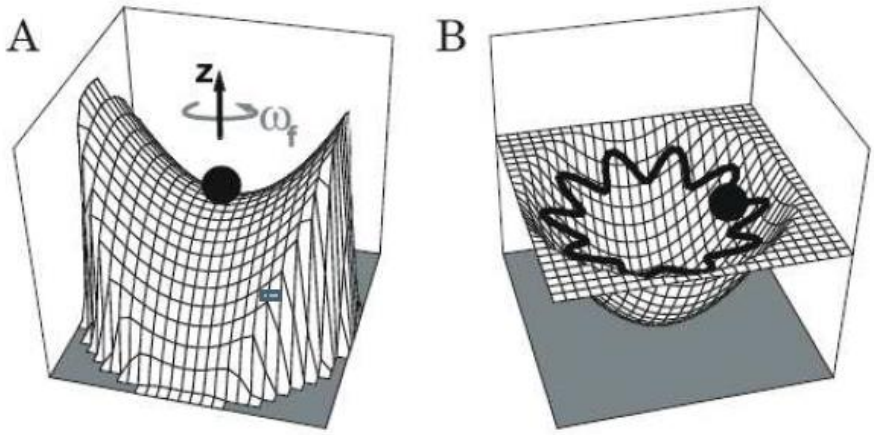
그림 1.2 $^{171}Yb^{+}$ 이온의 에너지 준위

이온트랩 (Ion trap)은 대전된 입자를 전기장 또는 전자기장을 이용하여 포획하는 장치이다. 맥스웰 방정식 $\nabla^2\varphi = 0$ 에 의해, 정적인 전기장 φ만을 이용해서는 대전된 입자를 포획하는 것이 불가능하다[28]. 이에 따라 Wolfgang Paul 이 개발한 동적 전기장과 정적 전기장을 동시에 이용하여 이온을 포획하는 Paul trap[29-30]과 Hans Georg Dehmelt 에 의해 정적 전기장과 자기장을 이용하여 이온을 포획하는 Penning trap[31-32]이 개발되었다. 초기의 Paul trap 인 ring trap 은 그림 1.3[30]에서 보이는 것처럼 radiofrequency (RF) 전극으로 이루어진 원통을 두개의 direct current (DC) 전극이 양쪽에서 감싸는 것과 같은 형상으로 이루어져 있다.

그림 1.3 Wolfgang Paul 이 개발한 최초의 Paul trap[32]

Paul trap 의 경우 그림 1.4[33]와 같이 동적 전기장을 진동시키는 것으로 saddle point 를 주변 공간 중에 구현하여 radial 방향으로 이온을 붙잡고 정적 전기장으로 axial 방향으로 이온을 붙잡는 것으로 이온을 공간상에 고정시키는 것이 가능하며, Penning trap 에 비해 이온의 개별적인 제어와 얽힘 생성이 간단하여 양자 정보 기술의 플랫폼에 적합하다.

이온트랩 기반 양자 플랫폼은 양자 정보에 대한 외부의 영향을 차단하는 성능이 우수하여 타 플랫폼에 비해 양자 정보의 유지시간, 연산의 신뢰성 등이 매우 높아 주목받고 있다.



a

그림 1.4 Saddle point 를 이용한 포획의 원리[33].

제 3 절 Paul trap 의 발전과 MEMS 평면 이온트랩의 도입

최초의 Paul trap 인 ring trap 형상은 제작 편의성과 외부로부터의 접근 편의성 문제로 빠르게 그림 1.5[34]의 4-rod linear ion trap 으로 대체되었다. 4-rod linear 이온트랩은 2 개의 RF 전극봉과 2 개의 GND 전극봉이 서로 엇갈려 사각형 모양으로 배치된 이온트랩으로, ring trap 에 비해 구조가 상대적으로 단순하고 외부에서 포획된 이온의 관측이 쉬워 널리 사용되게 되었다. 현재에도 mass spectroscopy 등 이온을 강하게 붙잡을 필요성이 있는 분야에서 널리 사용되고 있다.

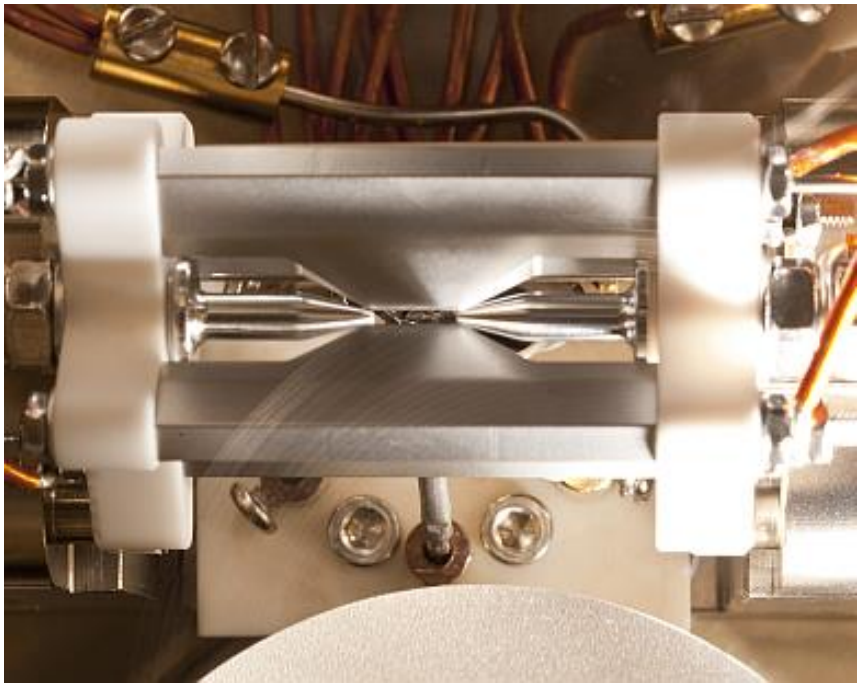


그림 1.5 4-rod linear ion trap[34]

이온트랩의 보다 소형화 및 단순화를 위해 평면 이온트랩이 제시되었다[35-37]. 평면 이온트랩은 기존에 3 차원 전극 배치로 구현하던 RF potential well 을 평면 구조에서 구현하는 방식으로, RF 전극과 DC 전극을 평면상에 번갈아 배치하는 것으로 가까운 공간에 RF null point 를 구현하는 것이 가능하다. 그림 1.6[35]에 보이는 최초의 평면 이온트랩을 포함한 대부분의 평면 이온트랩은 5-rail geometry 라고 불리는 구조로 제작된다. 평면 이온트랩의 작동 원리는 그림 1.7 에서 확인할 수 있다.

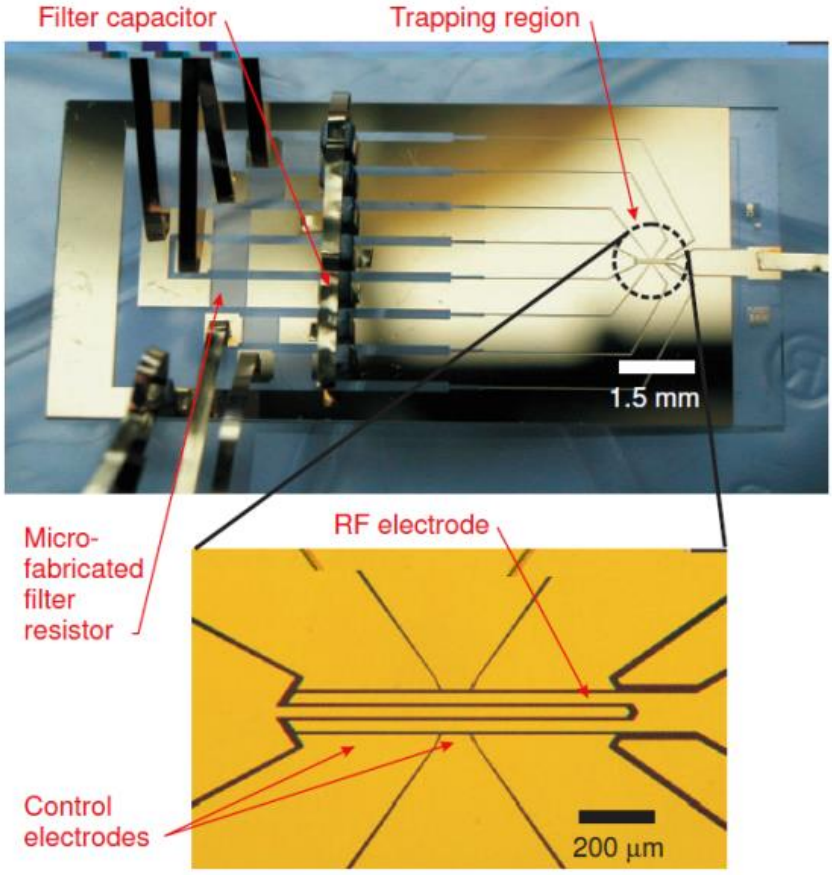


그림 1.6 최초의 평면 이온트랩[35]

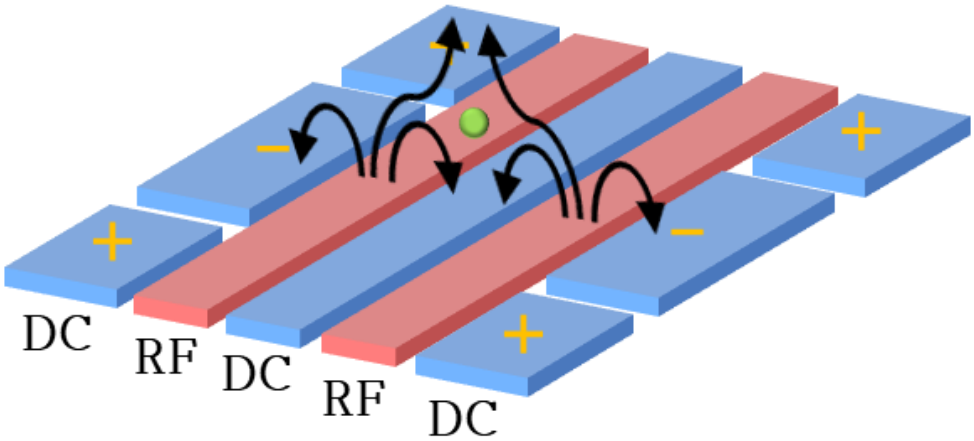


그림 1.7 5-rail geometry 의 원리

평면에 2 개의 RF 전극과 3 개의 DC 전극을 번갈아 가며 배치하는 것으로, 가운데의 DC 전극 위쪽에 RF 전압으로 인해 이온을 포획 가능한 potential well 이 발생하게 된다. 여기서 이온은 보통 수십~수백 μm 정도의 높이에 포획이 진행된다. 선형 트랩과 유사한 방식으로, 이온의 radial 방향 포획은 위에서 설명된 RF 전기장에 의해 진행되며, axial 방향 포획은 DC 전기장을 통해서 구현된다. 보통 5-rail geometry 구조에서의 평면 이온트랩에서는 3 개의 DC 전극 중 일부를 여러 개로 분할하여 각각 다른 전압을 가하는 것으로서 수평 방향의 potential well 을 구현하여 이온을 특정 위치에 포획하도록 제작된다.

,

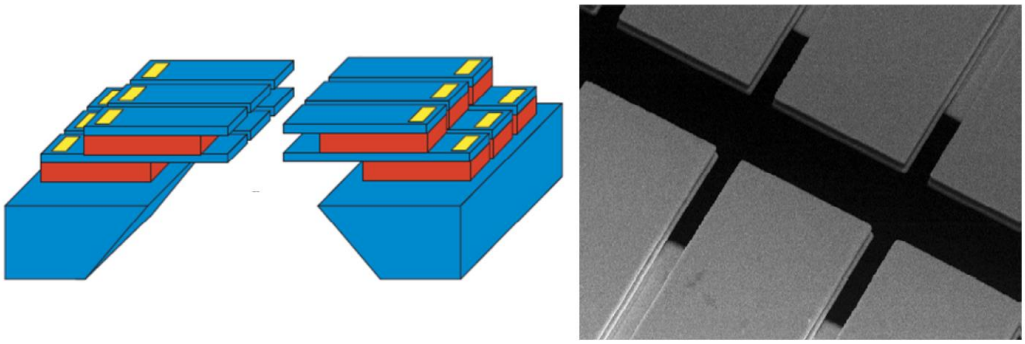


그림 1.8 최초의 MEMS 이온트랩[38]

미세전자기계시스템 (Microelectromechanical systems) (MEMS) 공정 기술은 실리콘 (Si)이나 갈륨 비소 (GaAs)등의 반도체 기판을 활용하여 전자기계 소자를 육안으로는 보이지 않을 정도로 작은 수 밀리미터 (mm)에서 수 마이크로미터 (μm)의 크기로 제작하는 기술로서, 동일한 특성을 가진 미세 구조물의 대량 생산에 효율적이다. 일반적으로 MEMS 기술은 보통 물리적 측정 및 구동에 자주 사용되나, MEMS 증착 (Evaporation) 공정을 통해 제작한 얇은 금속 박막을 이온트랩의 전극으로 활용하여 초소형 이온트랩을 대량 제작이 가능한 MEMS 기반 이온트랩 공정이 제시되었다[38, 39]. 단, 초기의 MEMS 기반 이온트랩은 기존의 4-rod liner 이온트랩을 축소한 형태의 구조로서, 크기 제약으로 인해 기존 이온트랩보다 포획 성능이 부족하였고 MEMS 공정으로 제작하기에는 비효율적인 구조로 인해 제작 및 이온 포획 실험 또한 상대적으로 어려웠다. 평면 이온트랩은

동일 평면상에 전극을 제작하는 것 만으로 이온을 포획하는 것이 가능하기에 기존 3 차원 이온트랩들에 비해 구조가 간단하며 특히 금속층을 쌓아 올린 뒤 식각하는 것으로 전극을 제작하는 MEMS 공정에 적용하기 적합하여 MEMS 기반 이온트랩에 널리 도입되었다. 이후 다양한 구조와 특성을 지닌 MEMS 기반 평면 이온트랩들이 다수 개발되었다[40-41]. 그림 1.9[41]에 나타난 형태가 대표적인 평면 이온트랩 칩의 모습이다.

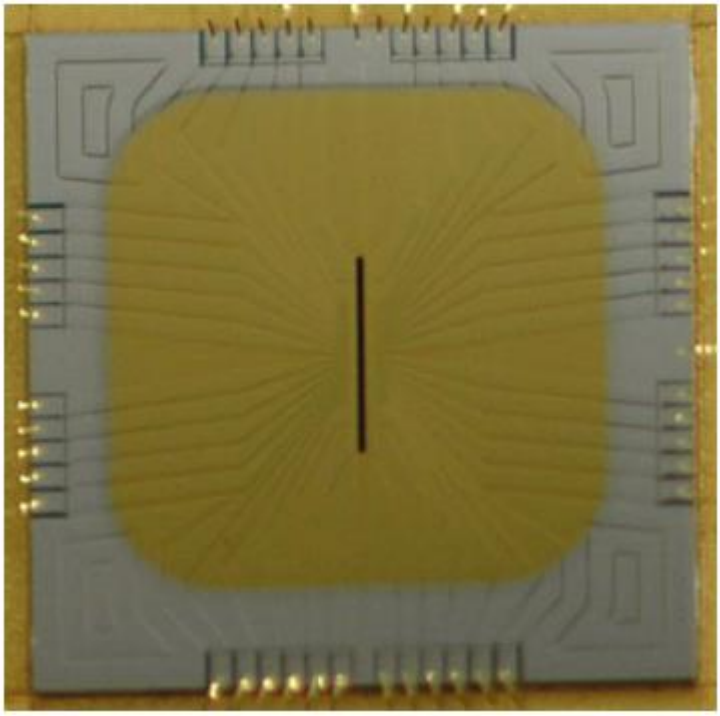


그림 1.9 Sandia National Laboratory 의 이온트랩 칩[41]

제 4 절 대규모 이온트랩 어레이 구현의 필요성 및 과제

실용적인 양자 컴퓨터 구현을 위해서는 그림 1.11[42]에서 보이는 것과 같이 기억 영역과 연산 영역이 별도로 구분되어, 각각의 영역 사이에서 양자 정보를 자유롭게 이동시킬 수 있는 확장가능한 (Scalable) 대규모 양자 플랫폼이 필요하다고 예상되고 있다[42-45]. MEMS 평면 이온트랩은 높은 생산성과 확장 가능성을 가지며, 복수의 직선형 MEMS 평면 이온트랩 구조를 연결하여 배치하는 방식으로 손쉽게 다양한 용도로 분리된 별개의 구획들 사이에서 대량의 큐비트를 자유롭게 이동 가능한 시스템을 구현 가능하기에 확장가능한 대규모 양자 플랫폼 구현을 위해 가장 적합한 방식으로 기대 받고 있다. MEMS 평면 이온트랩 기반 확장가능한 대규모 양자 플랫폼 구축을 위해서는 복수의 이온트랩을 연결하기 위한 교차로 (Junction) 형상 이온트랩의 구현 기술과[46-48] 포획된 이온의 장거리 셔틀링 (Shuttling) 기술[49-51] 확보가 필수적으로, 두 기술 모두 이온이 움직이는 과정에서 다양한 원인으로 인해 발생하는 이온의 가열로 인한 불안정화를 최소화하여 이온의 유실 없이 다른 영역으로 이동시키는 것을 목표로 하고 있다.

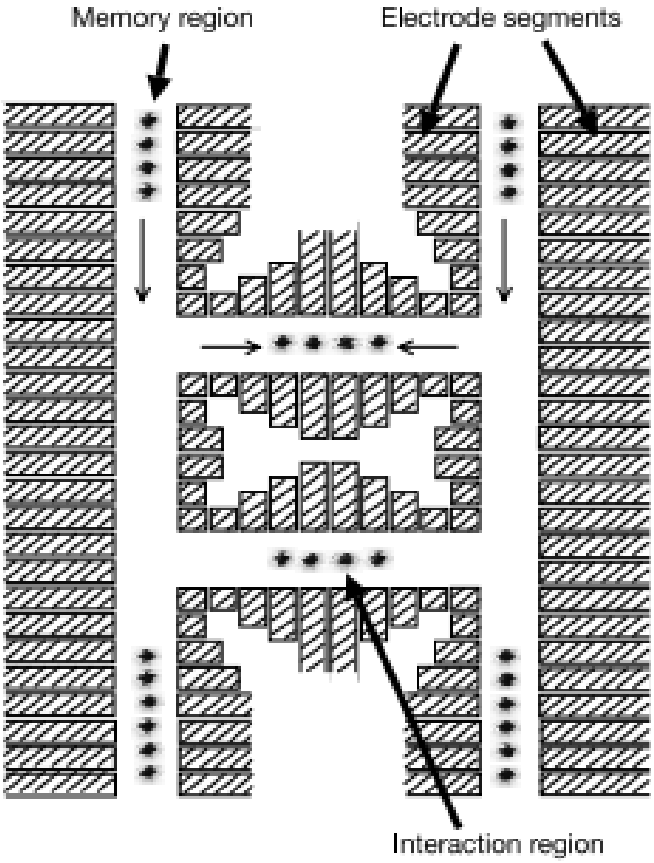


그림 1.10 대규모 이온트랩 어레이 구조[42]

제 5 절 논문의 구성

본 논문에서는 대규모 이온트랩 어레이 구현을 위한 이온트랩 교차로 구조 설계, 이온 셔틀링을 위한 입력 전압 설계, 전압 동시 입력 및 filtering 을 위한 DAC 시스템 설계, 그리고 완성된 시스템을 이용한 이온 셔틀링 실험에 대해 다룬다.

제 2 장은 각 목표들에 대한 이론적인 분석과 이를 달성하기 위한 방안들에 대한 상세한 설명들이 진행된다. MEMS 평면 이온트랩의 구조와 제작과정, Junction 이온트랩의 필요성 및 설계방법, 유전 알고리즘을 통한 최적화 방식, 이온 포획을 위한 전기장 구조와 셔틀링 방식, 이온트랩 실험 환경 및 이온 셔틀링 전용 DAC 의 필요성에 대해 설명된다.

제 3 장은 실제 설계 및 최적화를 위한 시뮬레이션 분석, 그리고 각 파트의 제작과정을 다룬다. Junction 이온트랩의 최적화된 설계의 특성 분석과 이를 활용한 이온트랩 설계 및 제작결과, 이온의 장거리 셔틀링을 위한 전압 설계 결과, 32 채널 DAC 의 설계 및 제작결과에 대해 설명된다.

제 4 장은 실제 구현된 이온 셔틀링 시스템을 활용한 실험결과들을 다룬다. 제작된 전압 입력을 위한 DAC 의 특성에 대한 분석과 최종적으로 완성된 시스템을 이용한 실제 이온 셔틀링 실험 및 관련된 관측 결과가 설명된다.

제 5 장은 실험으로 얻은 결과에 대한 분석 및 정리가 진행되며, 현재 시스템의 문제 해결 및 성능 향상을 위한 제안과 향후 실제 대규모 이온트랩 구조 실용화를 위한 추가적인 연구 과제가 제시된다.

제 2 장 실험의 설계

제 1 절 평면 이온트랩의 구조

본 실험에는 측벽을 보호하는 구조의 평면 이온트랩 제작 공정을 통해 제작된 평면 이온트랩이 이용되었다. 본 이온트랩의 단면 구조는 그림 2.1[52]에서 보이는 것과 같다. 본 이온트랩은 두 개의 금속층을 식각하는 것으로 제작된 복수의 금속 전극들을 이용하여 이온을 포획하며, 두 층 사이 공간은 SiO_2 층을 통해 절연되어 있다. 절연층을 2 층 구조로 나눠 증착하는 방법을 이용하여, 절연층의 측면 전체를 금속 박막으로 가리는 것으로 절연층 표면의 charging 으로 인해 이온이 영향을 받는 것을 억제하는 것이 특징이다. 해당 구조는 그림 2.2 에서 보여지는 공정 과정에 의해 제작된다. 본 이온트랩의 전극 크기의 상세한 수치는 그림 2.3[53]에서 제시되어 있다. 본 이온트랩은 5-strip geometry 구조를 기본으로 한 이온트랩으로, 위쪽 층은 1 개의 RF 전극과 64 개의 위치 제어용 DC 전극들이 존재한다. RF 전극은 두 개의 레일로 나뉘어 이온의 radial 방향 포획을 위한 RF 전기장을 생성하여 이온트랩 칩으로부터 약 88 μm 높이에 이온트랩의 중심부 축을 따라 RF null point 들로 이루어진 선을 만들게 된다. 위치 제어용 DC 전극들은 이 RF null point 선을 따라 이온을 포획할 수 있도록 axial 방향 포획을 위한 DC 전기장을 생성하게 된다. 아래쪽 층의 경우 ground 전극과 두 개의 진동축 회전용 DC 전극들로 이루어져 있다.

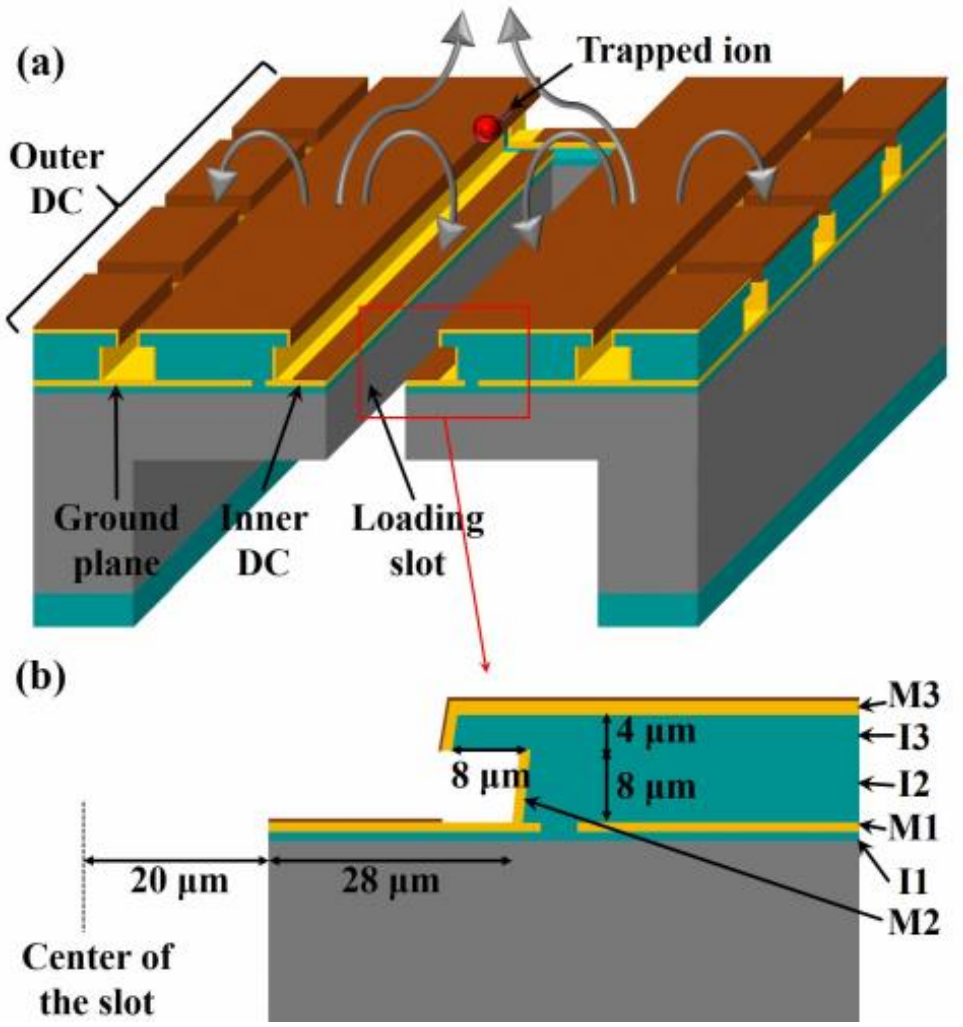


그림 2.1 측벽 보호구조 이온트랩의 단면도[52]

진동축 회전용 DC 전극들은 위치 제어용 DC 전극들과 연동하여 이온의 진동의 principal axes 를 기울이는 역할을 한다. 이온의 principal axes 를 약 45 도 기울이는 것으로 레이저를 이용한 doppler cooling 의 효율을 높이는 것이 가능하다.

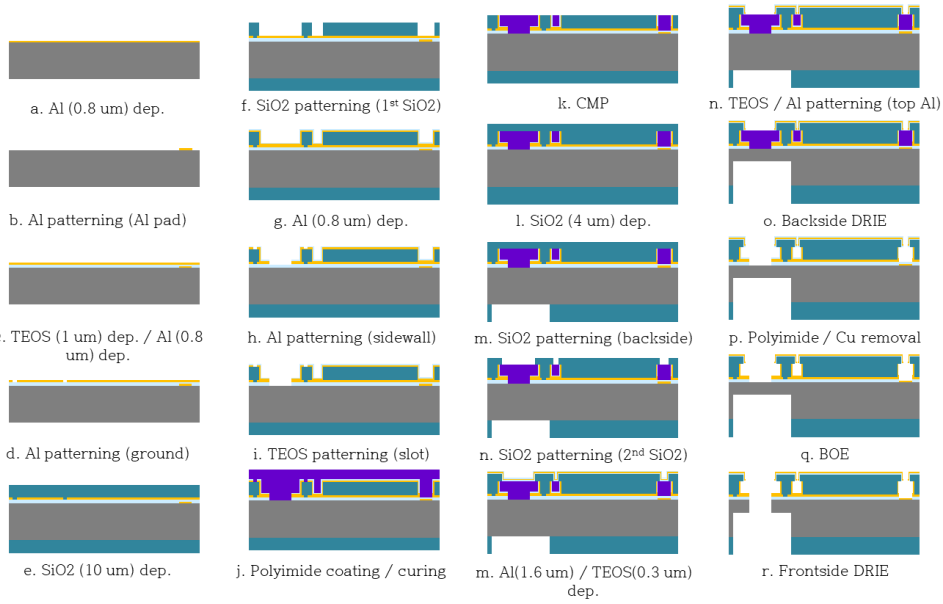


그림 2.2 측벽 보호 구조 이온트랩의 공정 과정

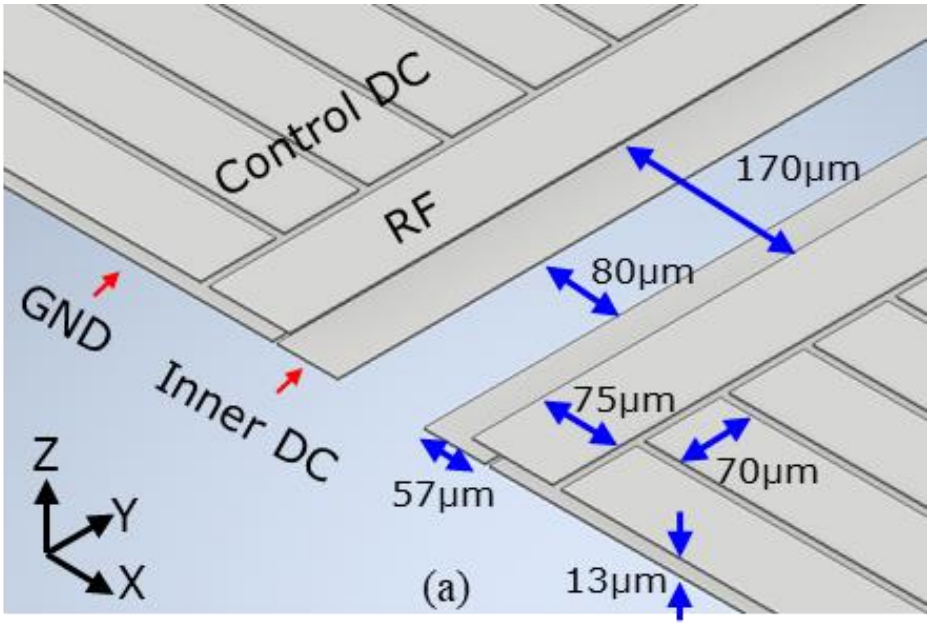


그림 2.3 측벽 보호 구조 이온트랩 전극들의 상세 dimension[53]

아래층과 위층 사이의 거리는 전극의 두께를 포함하여 13 μm 이며, 같은 층의 전극들 사이의 간격은 고전압 인가시의 breakdown 현상을 막기 위해 약 8 μm 의 거리를 가진다. 일반적으로 본 구조에서는 약 700V 까지의 고전압을 견디는 것이 가능하며, 그 이상의 전압이 가해질 경우 arcing 이 발생하여 전극이 손상되게 된다. 본 이온트랩은 6 mm × 6 mm 의 다이아몬드형 구조를 가지고 있으며, 전체 전극 배치는 그림 2.4[53]에서 보이는 것과 같다.

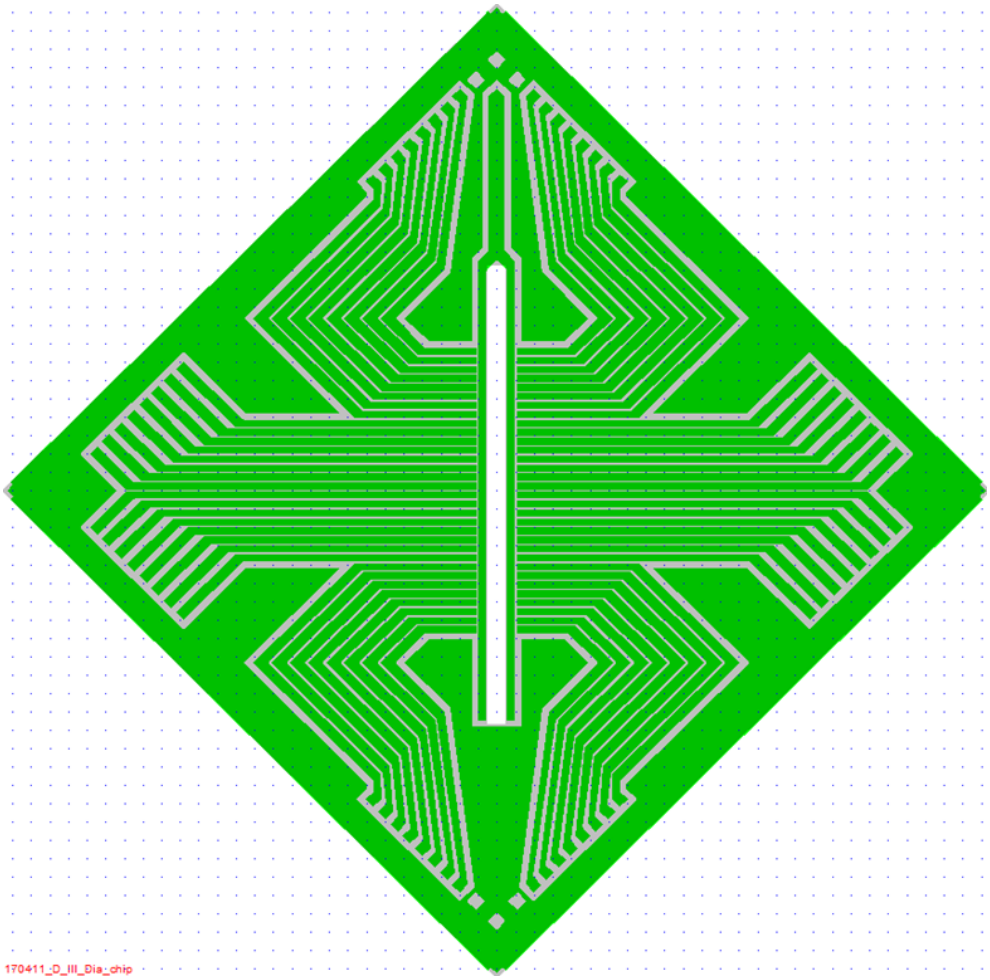


그림 2.4 측벽 보호 구조 이온트랩의 상부 전극 배치[53]

이온트랩 표면 전극의 설계 원리는[54]에서 상세히 확인 가능하다. 이에 따라 그림 2.5[54]에 보이는 것과 같은 5-strip geometry 이온트랩 구조의 경우,

$$\text{trap depth} = \frac{eV^2}{m\Omega^2}\frac{(a-b)^2}{\pi^2(a+b)^2(a^2+6ab+b^2+4\sqrt{ab(a+b)^2})}$$

$$\text{q-parameter} = \frac{eV}{m\Omega^2}\frac{8(b-a)}{\pi\sqrt{ab}(a+b)^2} \qquad (1)$$

$$\text{ion height} = \sqrt{ab}$$

의 식에 따라 이온트랩의 주요 성능들이 결정되게 된다. 본 이온트랩에서 a=85, b=160 에 해당하나, 본 이온트랩은 복층 구조와 loading slot 등의 영향으로 116.7um 에 비해 30% 가량 낮은 약 88um 의 높이에 이온이 포획되게 된다.

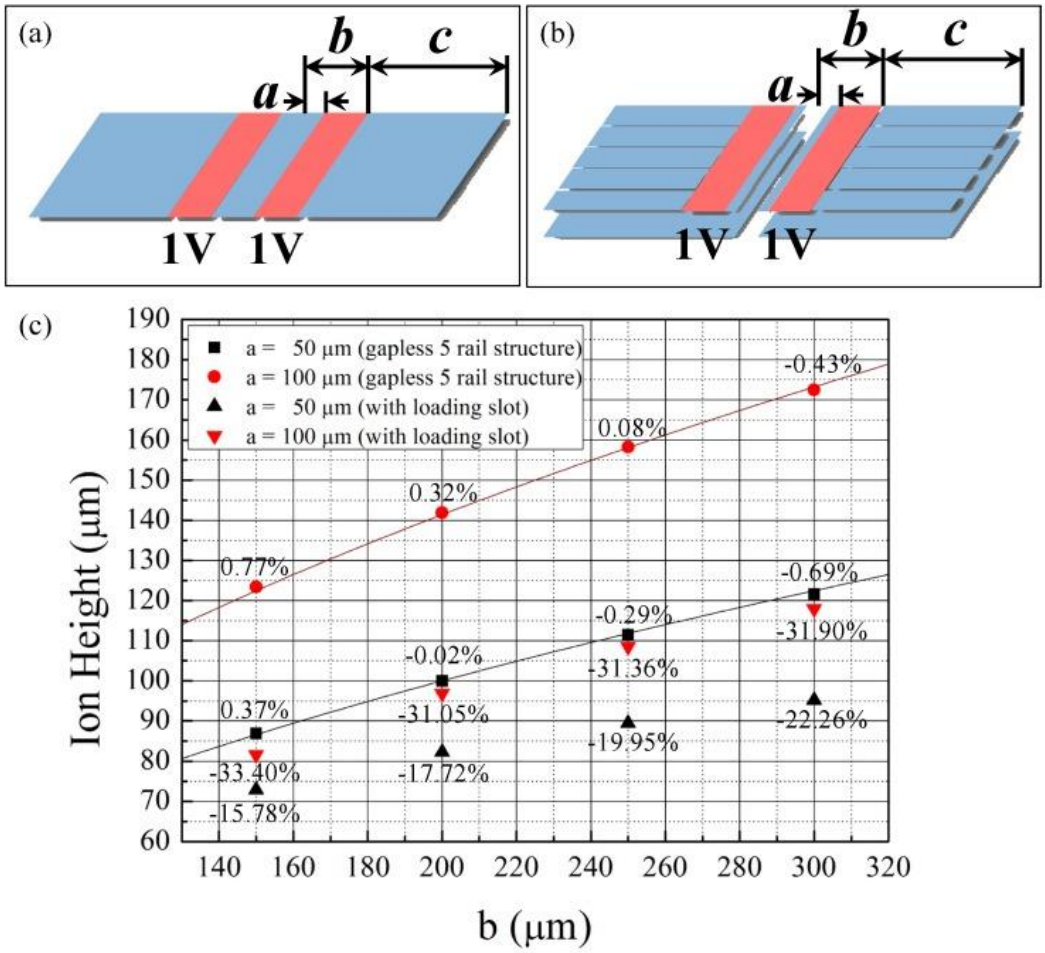


그림 2.5 이온트랩 구조와 이에 따른 포획 높이 변화[54]

제 2 절 Junction 이온트랩의 특성

평면 이온트랩들 다수를 연결하여 대규모 이온트랩 어레이를 구현하기 위해서는 내부에 교차로 구조를 제작하는 것이 필수적이다. 직선 구조와는 달리, 그림 2.6[46]에서 보이는 Y-junction 구조나, 그림 2.7[48]과 같은 X-junction 구조에서는 3 개 이상의 RF 전극들이 각각 생성하는 RF 전기장들이 서로 겹쳐 이동 중 이온의 높이가 일정하게 유지되지 않으며, 이온의 이동 경로상의 최저 RF potential 또한 일정하게 유지되지 않아 potential barrier 가 생성되어 이온의 이동을 방해하게 된다.

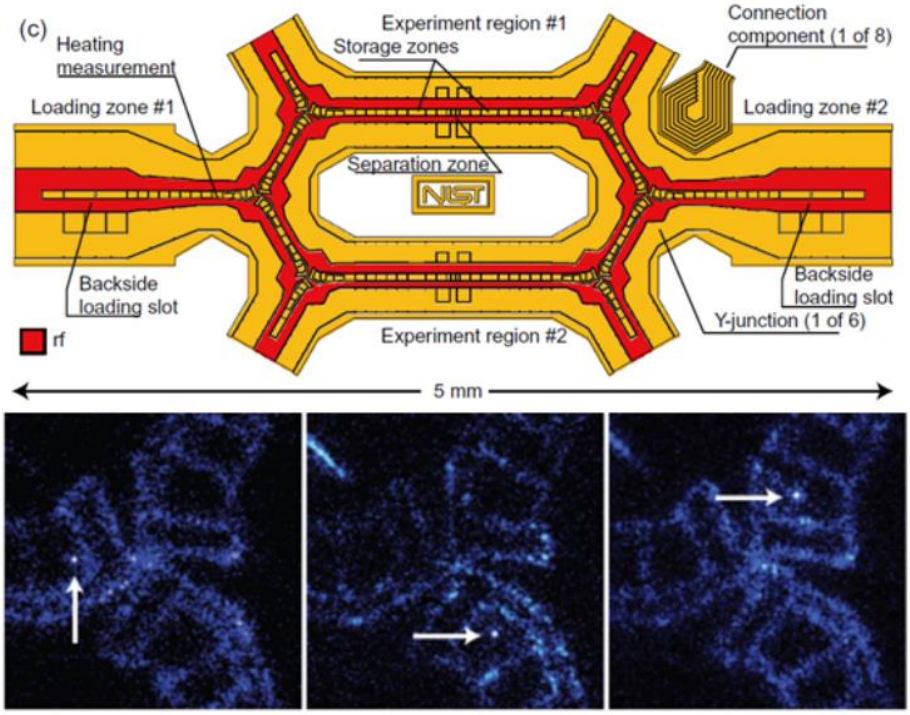


그림 2.6 Y-junction 이온트랩 구조[46]

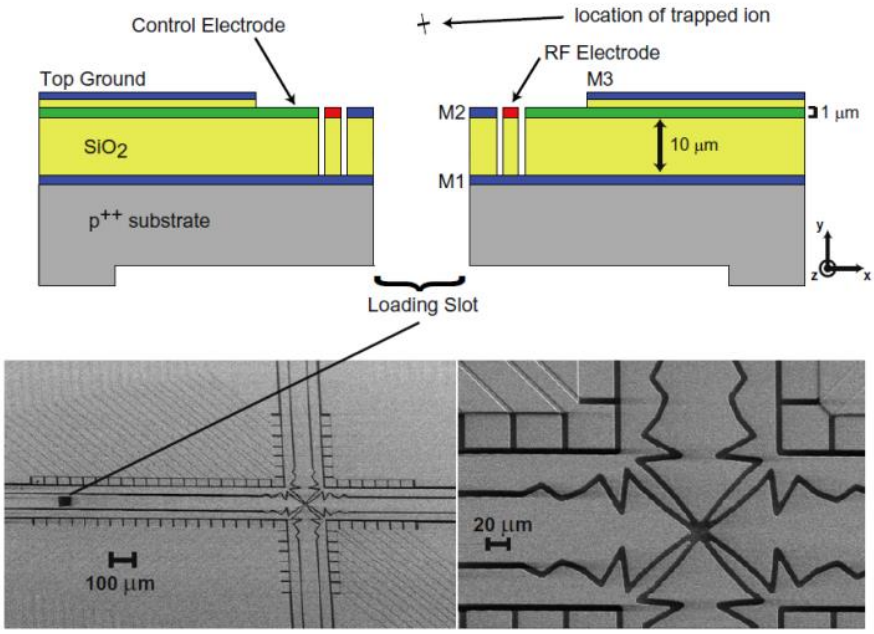


그림 2.7 X-junction 이온트랩 구조[48]

위의 문제들은 이온의 이동 도중 추가적인 에너지를 가하게 되어 이온의 추가적인 heating 등의 불안정 요소들을 발생시키므로, 이를 최대한 억제하기 위해 교차로 구조 주변의 RF 전극의 설계의 최적화가 필요하게 된다. 원하는 potential 형태에 맞추어 RF 전극을 설계하기 위해서는 유전 알고리즘을 기반으로 한 최적화 방식을 사용하는 것이 일반적이다.

제 3 절 유전 알고리즘을 이용한 최적화 기법

유전 알고리즘을 이용한 RF 전극 설계 최적화를 위해서는 유전자로서 최적화할 요소를 선택할 필요가 있다. 그림 2.8[46]에서 보이는 것처럼 직선 구조 상의 일정한 거리마다 점을 선택하고 해당 점의 위치를 변경시키는 것을 유전자로 삼는 방법이나, 그림 2.9[48]에서 보이는 것처럼 RF 전극 바깥쪽위 특정 위치와 RF 전극 안쪽의 특정 위치 사이의 거리를 유전자로 삼는 방법 등이 기존에 제시된 바가 있다. 본 실험에서는 그림 2.10[55]과 같이 X-junction 주변의 영역을 여러 개의 작은 조각들로 나누고, 각 조각에서 RF 전극의 존재 유무를 유전자로 설정하였다. 이 방법은 보다 다양한 형상의 전극 구조를 만들 수 있으며, 각각의 전극 조각들이 일으키는 electrical potential 을 시뮬레이션을 미리 진행해 놓을 경우 이후 최적화 과정에서의 연산량이 매우 적다는 장점이 있다.

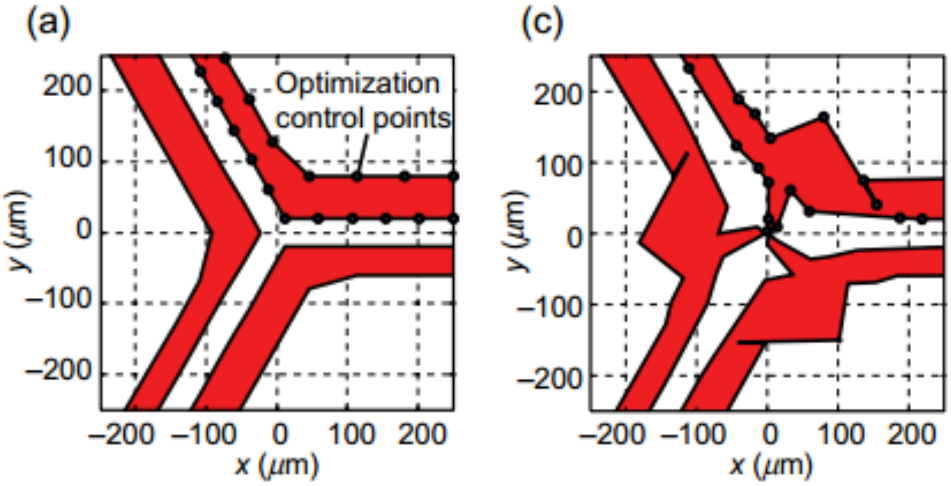


그림 2.8 특정 점 기준 최적화 방식[46]

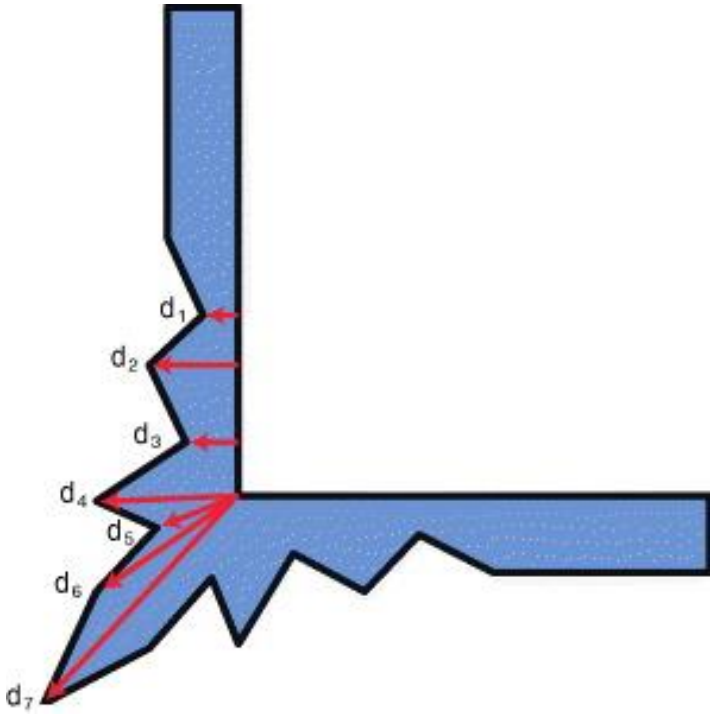


그림 2.9 내외곽 거리 기준 최적화 방식[48]

본 실험에서는 교차로의 중앙 지점을 중심에 둔 양 변 340 μm 길이의 정사각형 범위 내의 영역을 5 μm × 5 μm 크기의 조각들로 나누었으며, 이온이 junction trap 의 정중앙에서 직선 경로 혹은 회전 경로를 이동할 시에 똑같은 potential barrier 를 형성할 수 있도록 하기 위해, junction trap 구조를 2 차원 평면이라 가정하고 y=x 축과 y=−x 축에 대해서 대칭인 모양이 되도록 설계하였다. 또한 이렇게 설계된 junction trap 의 성능을 확인하기 위해 양 변 740 μm 정사각형 범위까지의 이온트랩 구조를 구현하였으며 해당 영역 내의 electrical potential 을 분석하였다. 이온트랩 구조의 electrical potential 분석을

위해서는 BEM (Boundary Element Method)기반의 CPO (Charged Particle Optics) 프로그램과 MATLAB을 사용하였다.

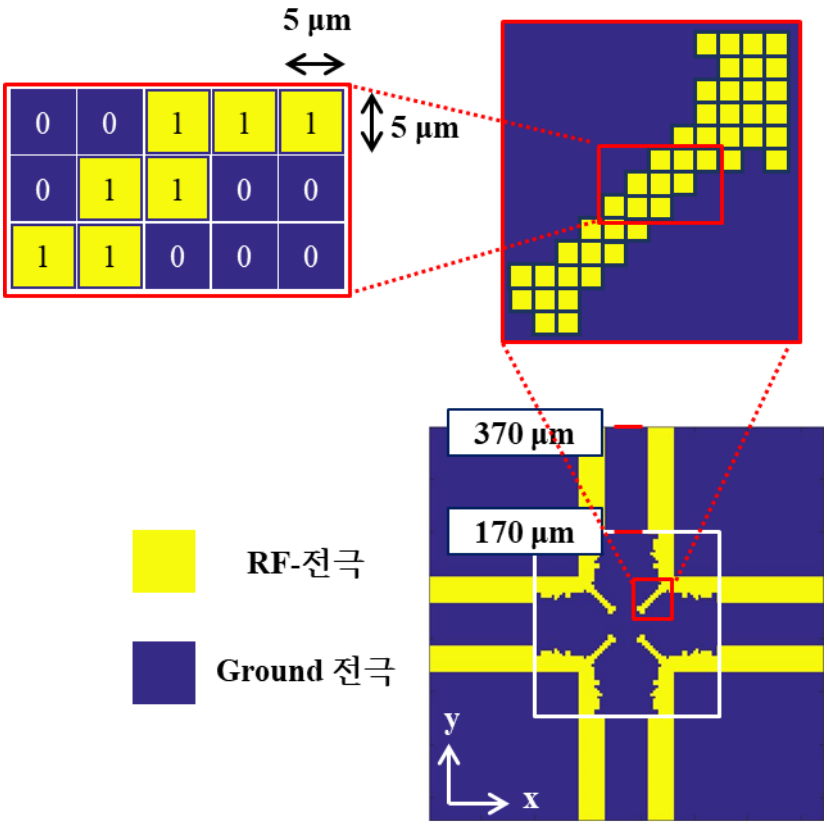


그림 2.10 전극 segment 유전자 방식[55]

이렇게 전극 여부에 따라 1, 0 으로 나타내지는 2 진법 2 차원 행렬 형태의 유전자들은 그림 2.11[55]에 보이는 것처럼 선택, 교차, 변이 연산을 통한 최적화가 진행된다.

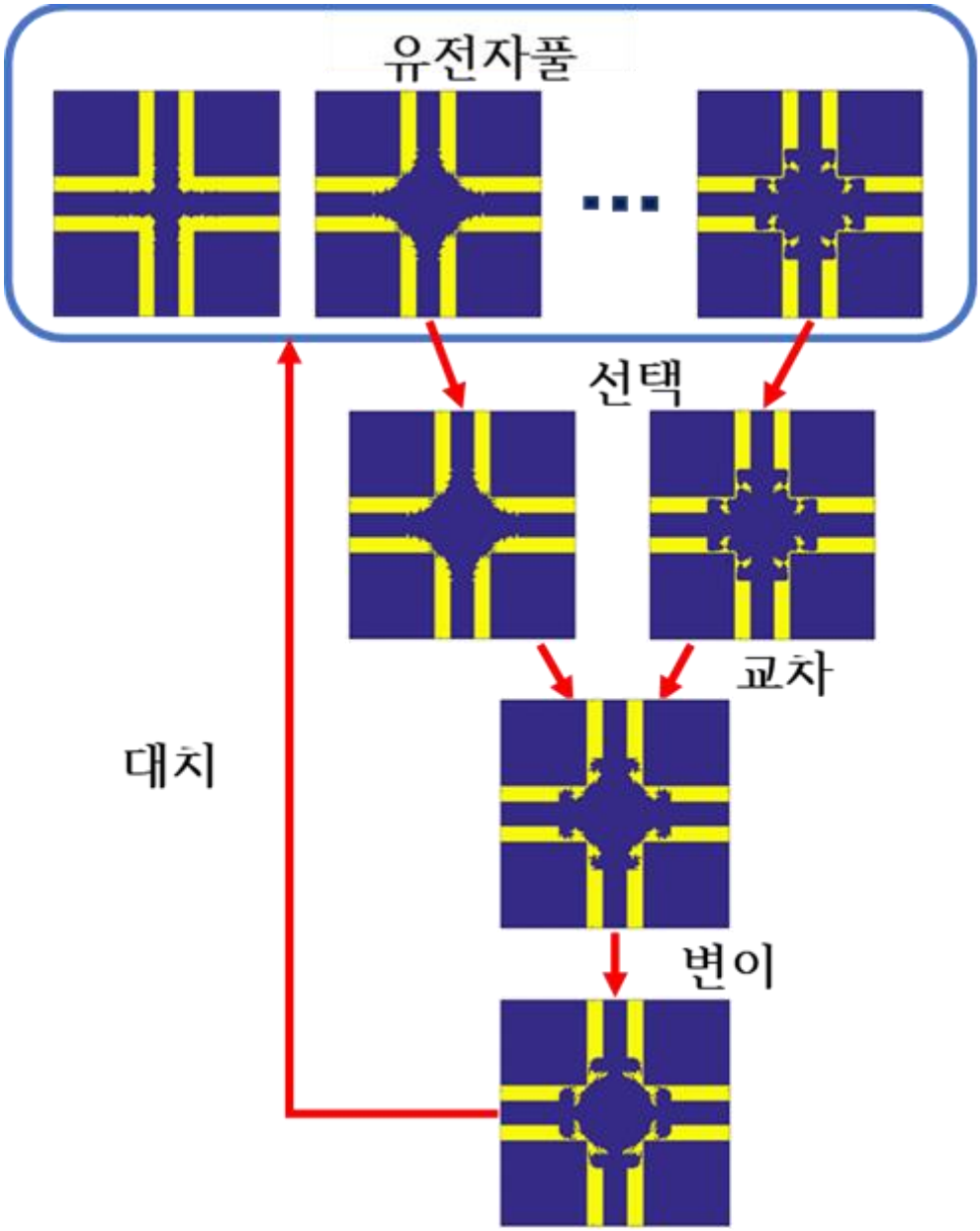


그림 2.11 유전 알고리즘의 작동 방식[55]

제 4 절 이온 포획 시의 electrical potential 특성

실험에 사용된 평면 이온트랩에서는 300V 의 RF 전압과 그림 2.12 에 나타난 것과 같은 DC 전압 세트를 총 14 개의 전극에 인가하여 이온의 포획을 진행하였다.

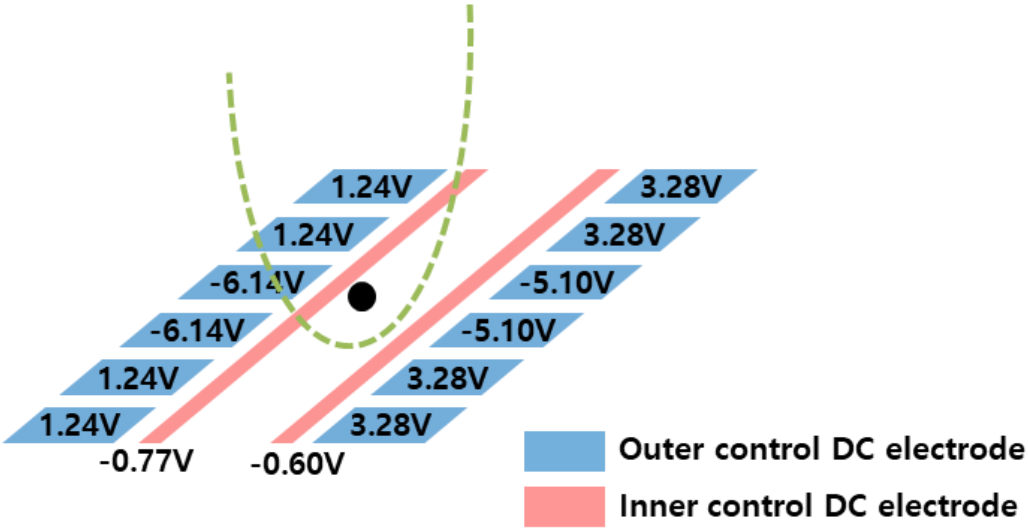


그림 2.12 이온 포획을 위해 사용되는 DC 전압 세트[53]

우선 이온의 radial 방향 포획을 위해 가해진 RF 전압으로 인해 발생되는 electrical potential 의 형상을 y=0 인 XZ 축 단면으로 나누어 본 결과는 그림 2.13 과 같다. 이를 통해 이온트랩 중심부에 RF null point 가 발생하는 것을 확인할 수 있다. 보다 정확한 확인을 위해 x=0, y=0 인 선에서 Z 축을 따라 electrical potential 의 변화를 확인한

결과는 그림 2.14 와 같다. 이를 통해 우리는 약 88um 의 높이에서 0.2334V 의 trap depth 를 가지는 전기장이 생성됨을 확인 가능하다.

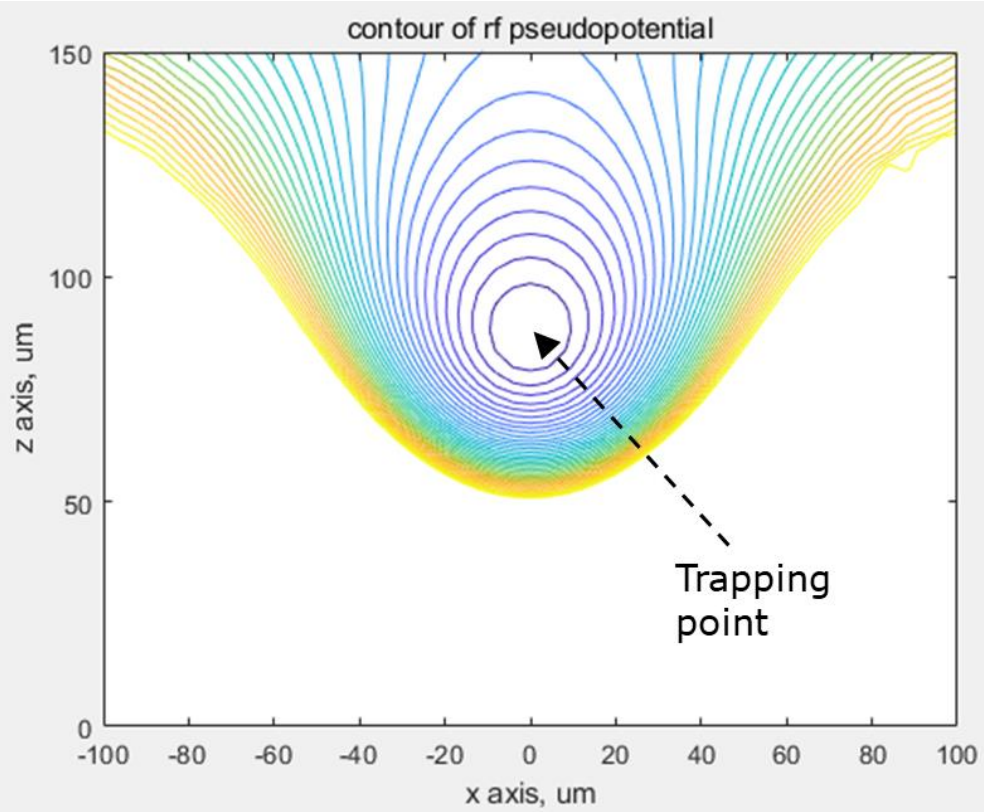


그림 2.13 RF 전압으로 인한 y=0 지점에서의 electrical potential[53]

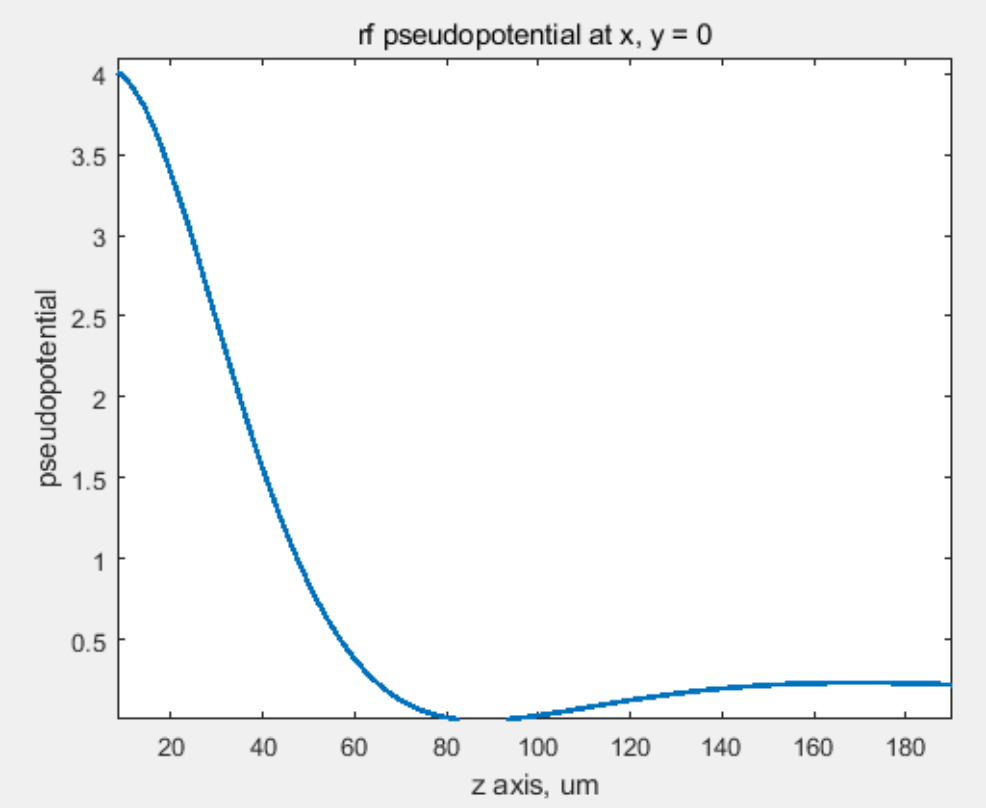


그림 2.14 x, y=0 지점에서의 electrical potential

여기서 DC 전극을 이용하여 진동축을 기울이는 electrical potential 이 추가될 경우, RF 와 DC 전극의 총합 전기장 구조는 그림 2.15 와 같다. 여기서 본 포획 전기장의 최종적인 radial secular frequency 는 각각 2.565MHz, 2.670MHz 이며, principal axes 의 tilt 정도는 50.1417°, global trap depth 는 0.2044V, q parameter 는 0.2976 이다.

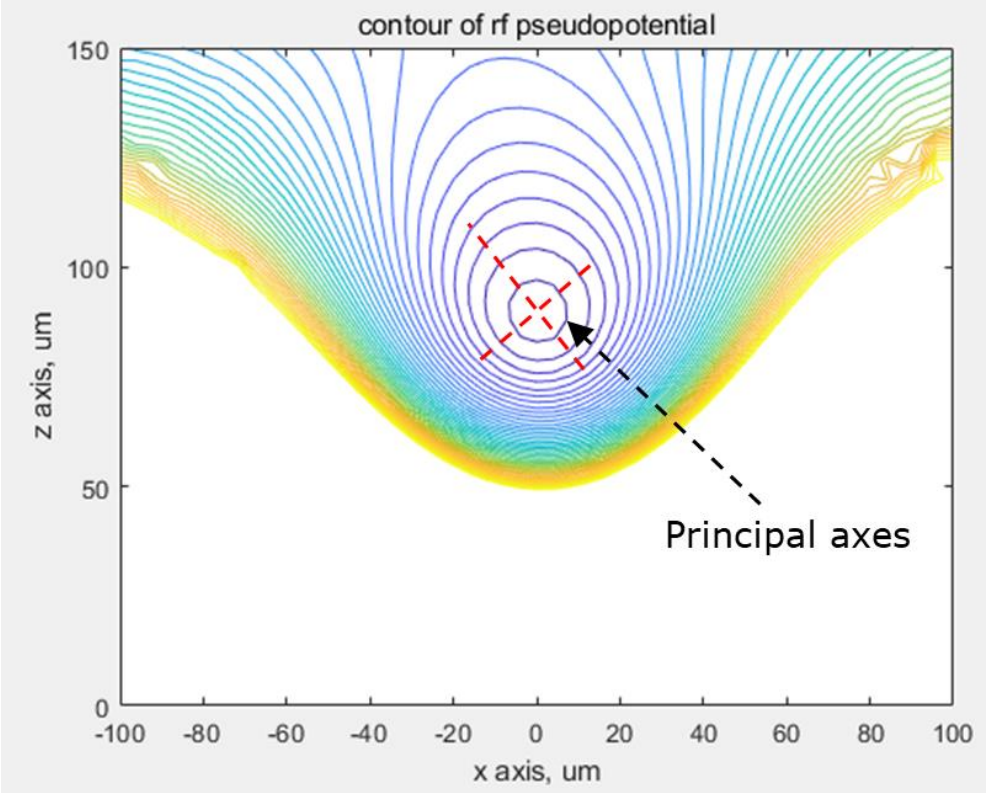


그림 2.15 RF+DC 전압으로 인한 y=0 지점에서의 electrical potential[53]

여기서 RF 전극은 기본적으로 축방향 이동에 영향을 주지 않는다고 가정된다. 이를 확인하기 위한 시뮬레이션 결과 그림 2.16 을 볼 경우 RF 전극이 축방향으로 발생시키는 electrical potential 은 이온트랩 중심으로부터 ±1000 μm 가량의 범위에서 거의 영향을 주지 않는 것을 확인할 수 있다.

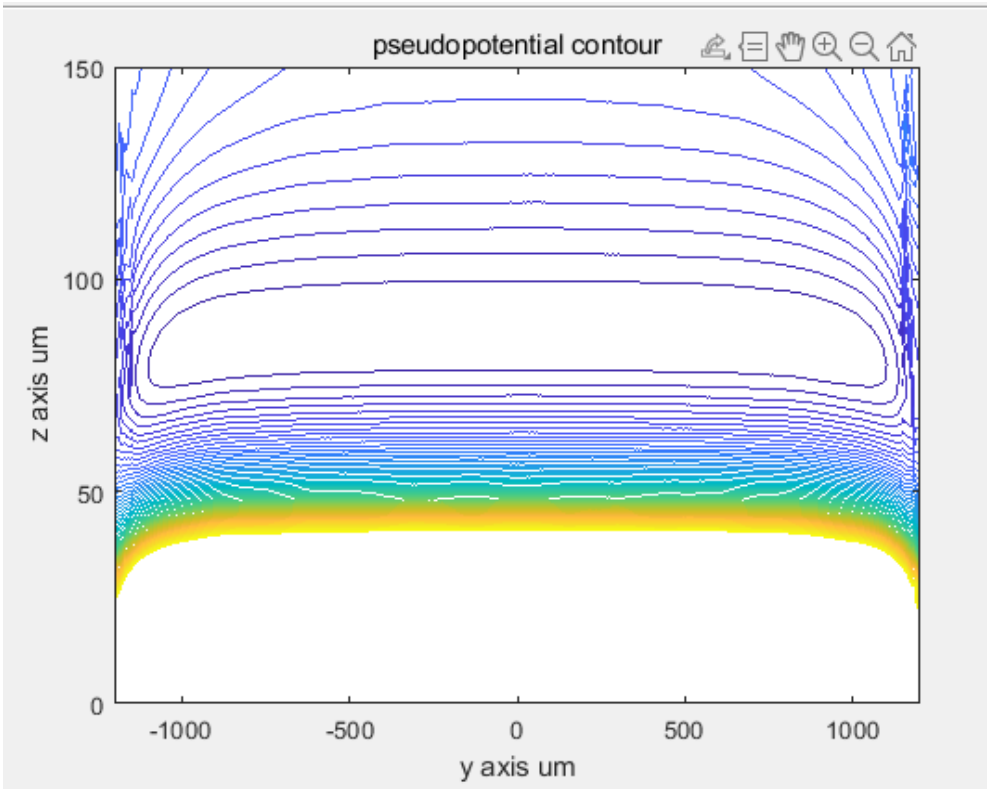


그림 2.16 RF 전극으로 인한 x=0 지점에서의 electrical potential

그림 2.12 에 제시된 DC 전압을 입력 시 발생하는 축 방향 electrical potential 은 그림 2.17 과 같다. 이온트랩의 중심점에 potential well 이 발생하는 것을 확인할 수 있으며, axial 방향 secular frequency 는 440.5kHz 이다.

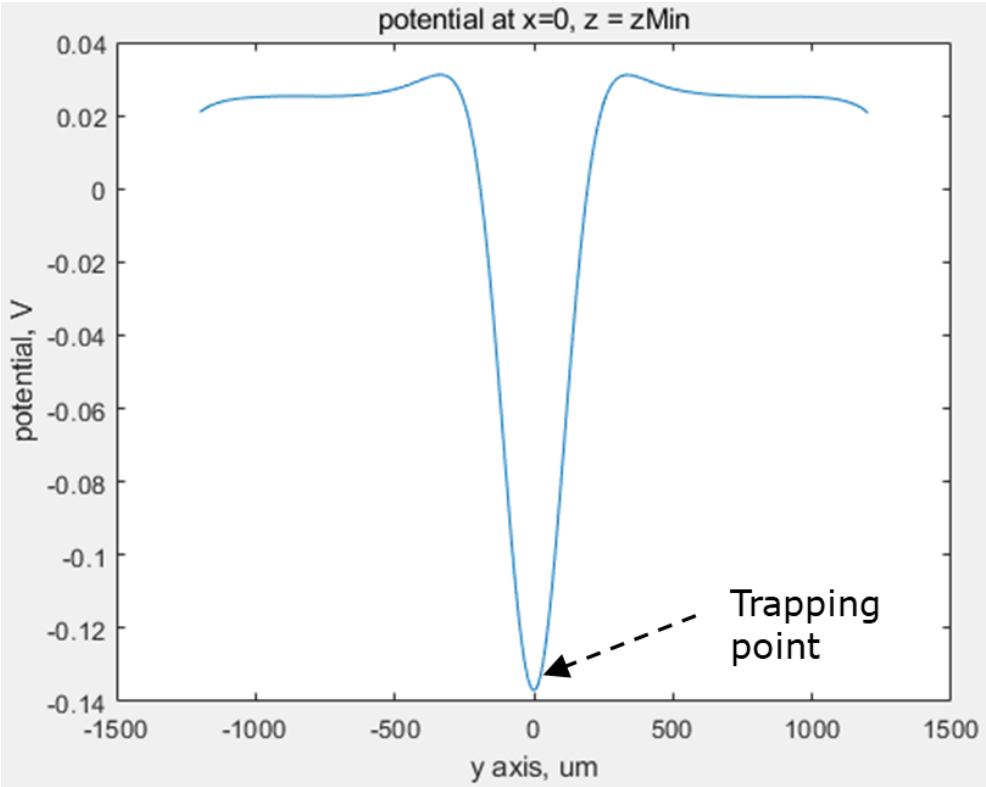


그림 2.17 DC 전극으로 인한 x=0, z=88 지점에서의 electrical potential[53]

제 5 절 이온 셔틀링 전압 설계 기술

이온트랩의 위치 제어용 DC 전극들은 대부분 동일한 형상을 지니고 있기 때문에, 특정한 전압 세트를 그대로 전극의 한 칸씩 옆으로 이동하여 구현할 경우 그림 2.18[49]에서 보이는 것과 같이 그만큼 이동한 위치에서 이온을 포획하는 것이 가능하다. 그러나 이온을 한번에 수십 μm 이상 옮길 경우 높은 확률로 이온이 유실되거나 불안정해지므로, 이온의 셔틀링 과정 중에서의 electrical potential well 이 세밀하게 조절될 필요가 있다.

이온의 셔틀링 과정에서 가장 주의해야 할 점은 이동 과정 중에서의 이온의 heating 발생이다. 이온의 heating 이 발생할 경우 이온의 에너지 증가로 인해 이온의 유실 가능성이 높아져 이온의 수명이 감소하며, 양자 연산의 정확도도 감소하게 된다. 이온을 한 위치에서 다른 위치로 이동시킬 경우 이온이 가열시키는 요소는 크게 두 가지로 나뉠 수 있다. 하나는 이온의 이동 중 전반적인 가속과 감속 과정에서 받는 에너지이다. 또 하나는 이온의 axial 방향 진동이 이동 중 electrical potential 변화로 일정하게 유지되지 못하여 발생하는 에너지이다. 기존 연구들의 경우, classical dynamics 를 통해 이온의 가속과 감속의 영향을 세밀하게 분석하였으나, secular frequency 의 경우, 그 변동을 최소화할 필요성은 인정하면서도 구체적인 변화에 대한 분석은 부족하였다. 본 연구에서는 secular frequency 를 일정하게 유지하기 위해, 이온 셔틀링 과정에서 그림 2.17 에 표현된 이온을

포획하기 위해 사용되는 axial potential well 이 어느 위치에서든 항상 일정한 형상을 유지하며 움직이도록 하는 방법을 적용하였으며 이온 셔틀링 전압 인가 시 도중의 potential 형상 변화 및 secular frequency 변화의 분석을 진행하였다.

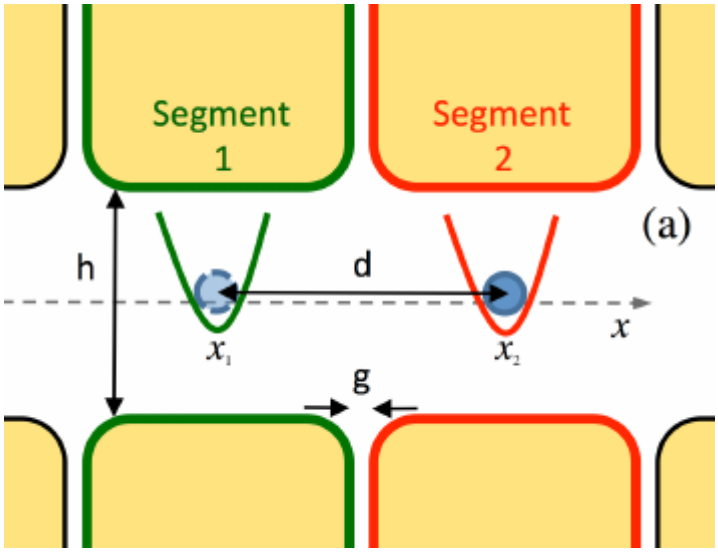


그림 2.18 일반적인 이온 셔틀링의 원리[49]

제 6 절 이온트랩 실험 환경

제 1 절에서 묘사된 이온 트랩 칩을 이용하여 이온 포획을 위한 실험 환경을 구축하기 위해 다음과 같은 과정이 진행되었다. 제작된 이온트랩 칩은 slit 에 맞춰 중앙부에 미리 drilling 을 통해 구멍을 뚫어 놓은 CPGA 10039 패키지에 부착된 뒤, wire bonding 을 통해 전기적으로 연결되었다. 패키지에는 추가적으로 DC 전극별로 560pF capacitor 가 전극마다 부착되어 각각의 전극들과 연결되어 RF 전압의 coupling 을 막기 위한 filter 역할을 하도록 하였다. 완성된 이온트랩 칩 패키지의 사진은 그림 2.19 에 나타나 있다. 이온트랩의 bonding pad 들은 이 과정에서 wire 로 인한 laser 경로의 간섭이 없도록 설계되었으며, wire bonding 의 배치는 그림 2.20 과 같다.

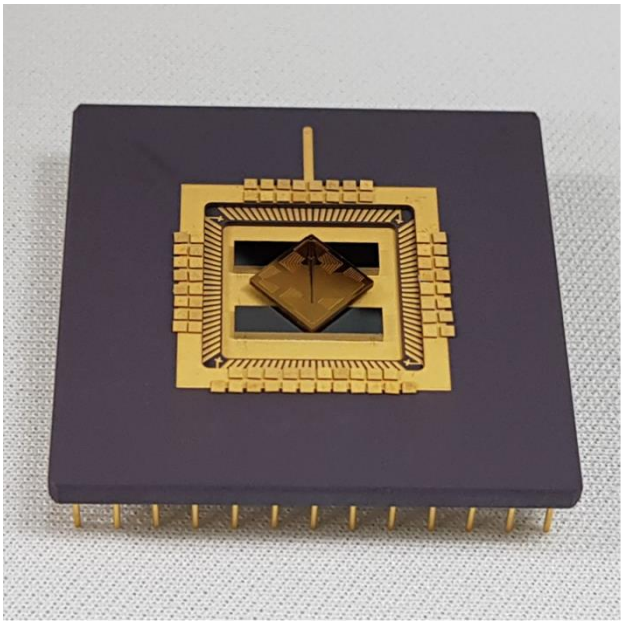


그림 2.19 완성된 이온트랩 칩 패키지

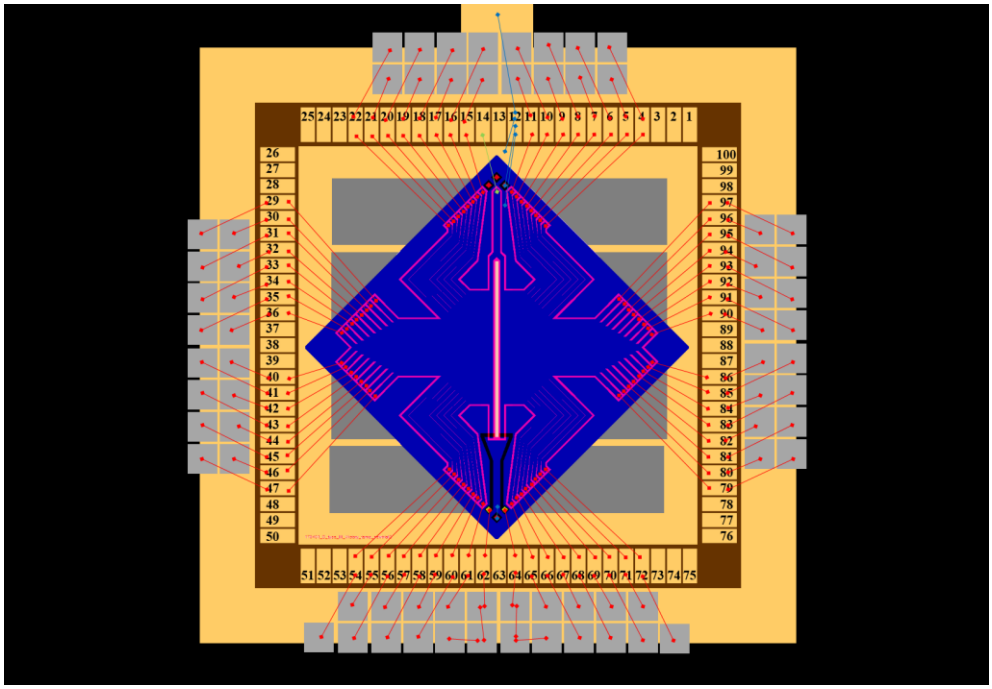


그림 2.20 Wire bonding diagram

칩 패키지는 초고진공 챔버 내부에 탑재된다. 초고진공 챔버의 구조는 그림 2.21[56]과 같다. 챔버 내부에는 칩 패키지와 챔버 외부간의 전기적 연결을 통한 PCB 회로와, Yb 이온을 이온트랩으로 쏘아보내기 위한 Yb source 가 포함된 oven, 챔버 내부의 진공도를 상승시키고 표면을 보호하기 위한 getter shield 등이 탑재되어 있다.

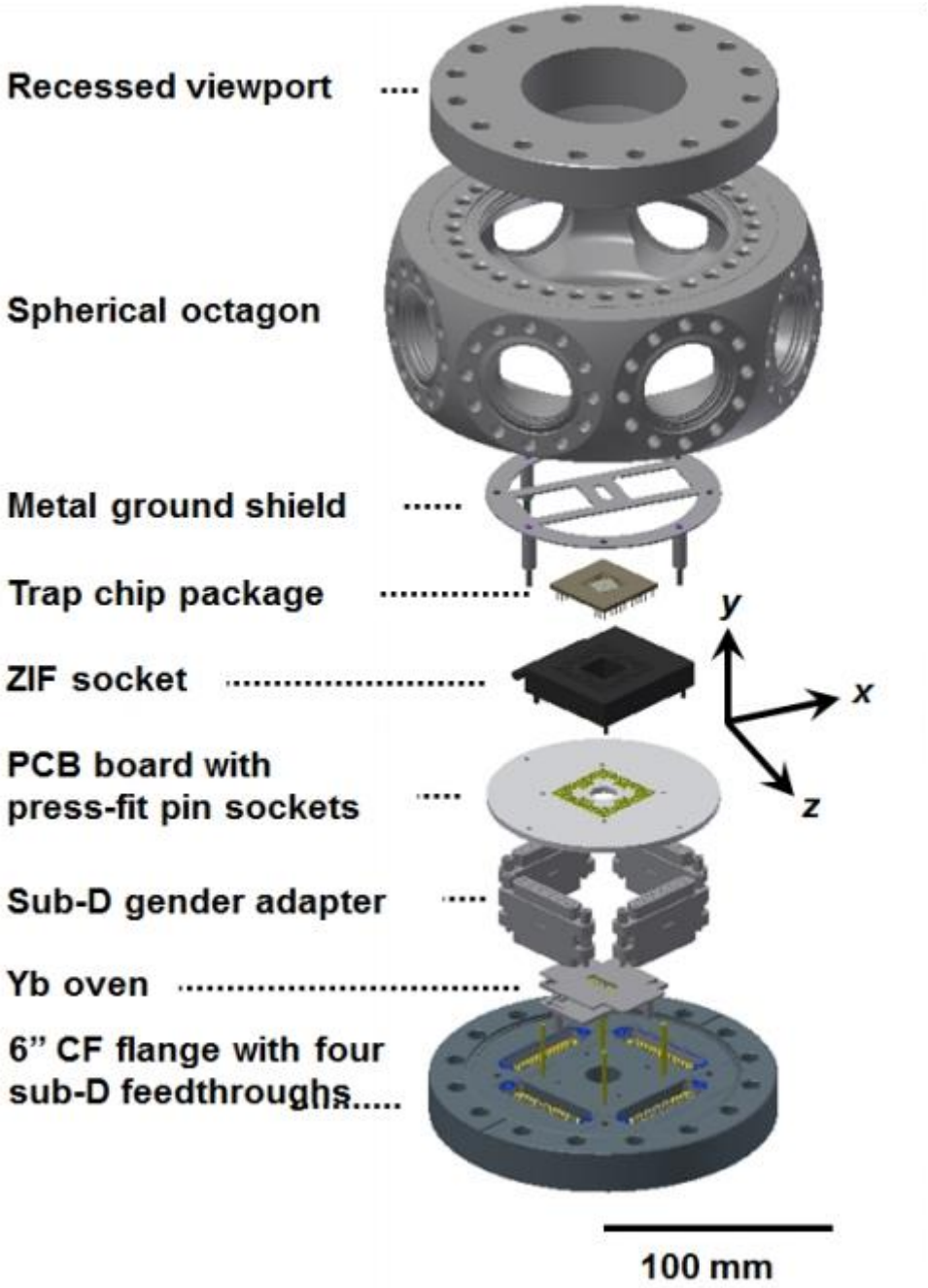


그림 2.21 초고진공 챔버 내부 구조[56]

이온 트랩 실험을 위해 초고진공 챔버는 10^{-11} Torr 이하까지 압력이 낮춰지게 된다. 이를 위해서는 챔버의 가열을 통한 내부 기체 제거, mechanical pumping, ion pumping, getter pumping 등이 동원된다. 충분히 압력이 낮춰진 경우, 진동 등을 일으킬 수 있는 mechanical pump 들과의 연결부를 봉인하고 관련 장비들을 제거한 뒤 이온 포획 실험을 진행하게 된다. 이온 포획 실험 시의 초고진공 확보 시스템의 구조는 그림 2.22[56]와 같다.

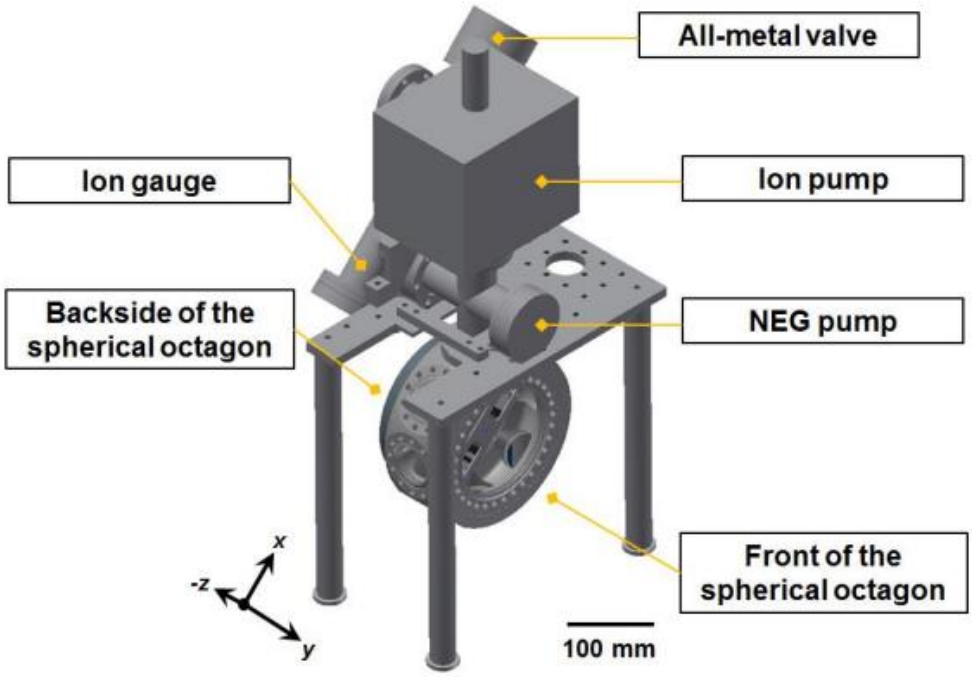


그림 2.22 실험 중의 초고진공 확보 시스템[56]

초고진공 챔버 외부에는 전기 입력 장치들과 광학적 접근을 위한 레이저 관련 장치들, 그리고 측정을 위한 관측 장치 등이 설치된다. 초고진공 챔버 주변의 광학 시스템은 그림 2.23[56]에 묘사된 것과 같다.

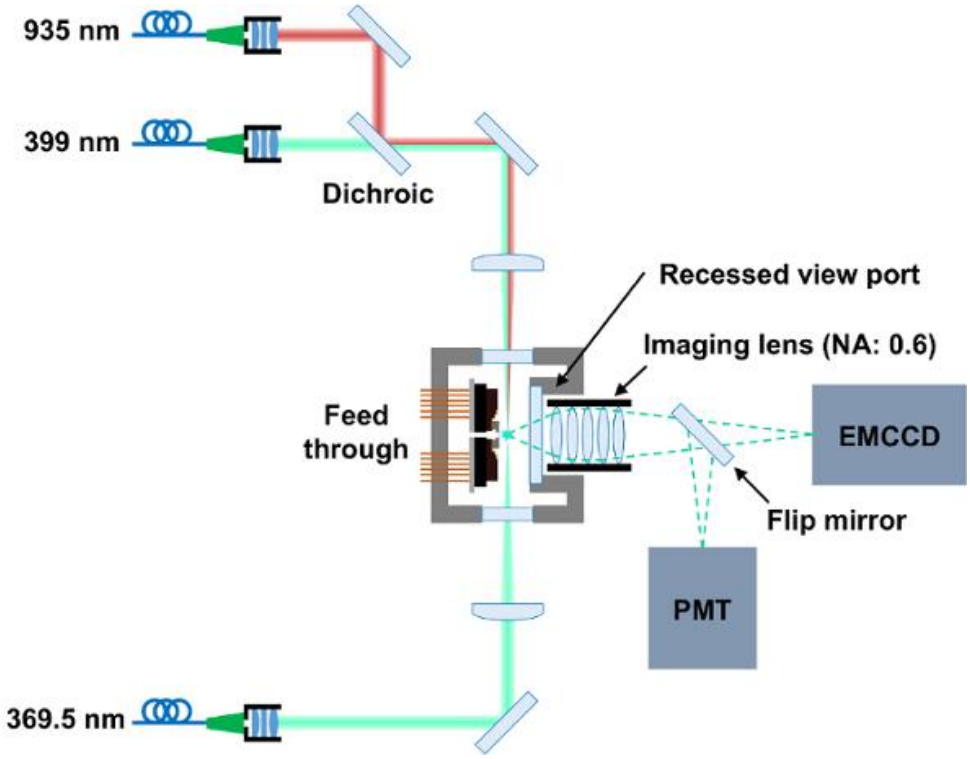


그림 2.23 이온 포획을 위한 광학 시스템[56]

전기적 입력 장치의 경우, RF 입력 장치와 DC 입력 장치로 나누어진다. RF 입력 장치는 300V, 25.38 MHz 의 RF 를 입력하기 위해 제작되며, RF generator 에서 생성된 signal 을 RF amplifier 와 helical resonator 를 거쳐 이온트랩의 RF 전극에 전달되어 이온의 횡방향 움직임을 막는 진동하는 전기장을 생성하게 된다. DC 입력 장치는 ± 15V 이내의 임의의 DC 전압을 이온트랩 내부 각 DC 전극들에 가하는 역할을 하게 된다. 사용되어야 하는 DC 전극의 최소 숫자는 이온의 종방향 움직임을 막기 위하여 최소한 6 개가 필요하며, 추가적으로 이온의 doppler cooling 을 위해 이온의 진동축을 기울이기 위한 전극 2 개가 요구된다. 이상의 장치들을 전부 포함한 이온트랩 시스템은 그림 2.24 와 같다.

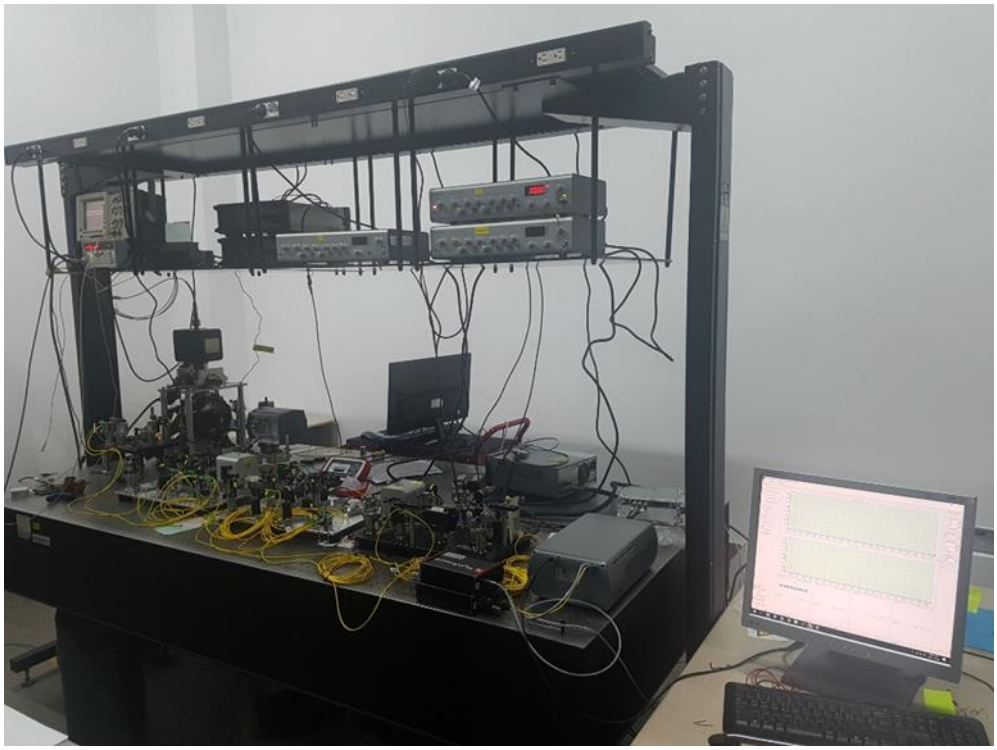


그림 2.24 광학 테이블 위에 구현된 이온트랩 시스템

제 7 절 DAC 설계의 필요성

이온의 셔틀링을 위해서는 기존의 이온 포획 시스템 외에 추가로 이온을 이동시키기 위한 전기장의 능동적인 조절 및 이동하는 이온을 관측하기 위한 레이저 및 타 광학장치의 초점 이동이 필요하다. 여기서 레이저 등 광학 장치의 초점 이동은 이온의 이동에 따라 수동으로 조절하는 것으로 실험이 가능하나, 전기장 변화의 경우 이온에 직접적인 에너지를 가하므로, 모든 전기장이 미리 계산된 전압 세트에 따라 일괄적으로 정확히 변화하지 않을 경우 전기장의 왜곡에 의해 이온의 불필요한 가열 및 이탈 현상이 발생할 수 있다. 또한 이온의 장거리 이동을 보이기 위해서는 이온 포획시에 사용하는 전극보다 더욱 많은 숫자의 전극을 사용할 필요성이 있다. 이를 위해 본 연구에서는 32 개의 출력 채널을 가진 DAC (Digital-to-Analog Converter)를 제작하여 이온 포획 및 셔틀링 실험에 활용하기로 하였다. DAC 는 실제 실험 시에 32 개의 출력 전압을 개별적으로 제어하게 되며, 각 전압들은 동시에 update 해야 한다. 이를 위해 DAC 의 제어는 PC 에 연결되어 명령을 받는 FPGA 가 맡게 되며, 복수의 DAC chip 이 동일한 update 신호를 공유하여 목표 전압을 동시에 전달하게 된다. 제어를 위한 FPGA 로는 그림 2.25[53]의 Artix-7 (Xilinx, California, USA) 보드가 사용되었다.

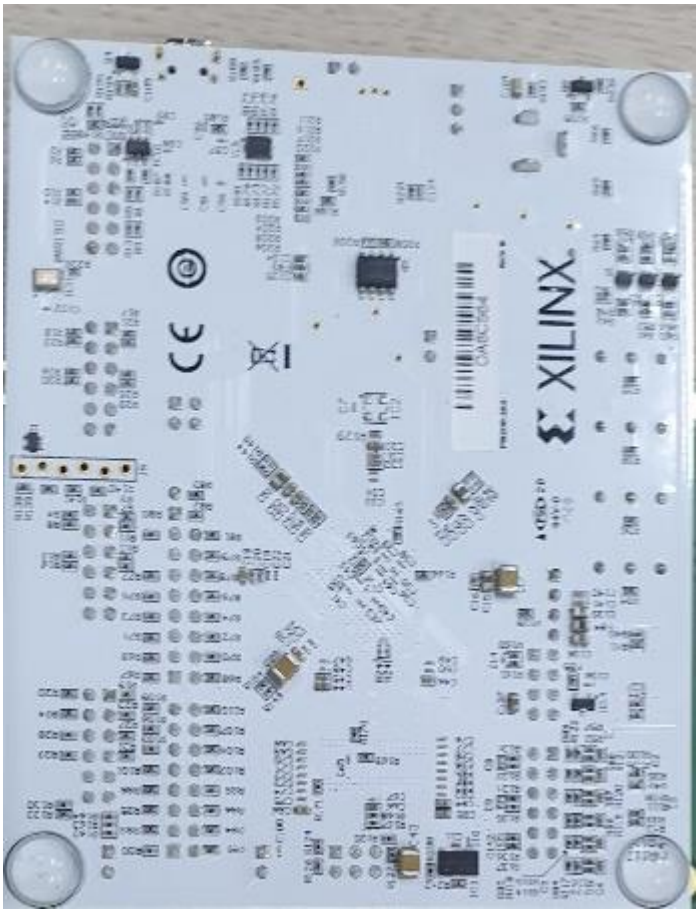


그림 2.25 Artix-7 보드[53]

제 3 장 시뮬레이션 및 실험 준비

제 1 절 최적화된 junction 구조 도출

이온트랩의 junction 구조의 최적화를 진행하기 전, 그림 3.1[55]과 같은 직선 형태의 RF 전극을 가졌을 시 발생하는 높이 변화와 potential barrier 에 대한 시뮬레이션 진행 결과는 그림 3.2[55], 그림 3.3[55]과 같다.

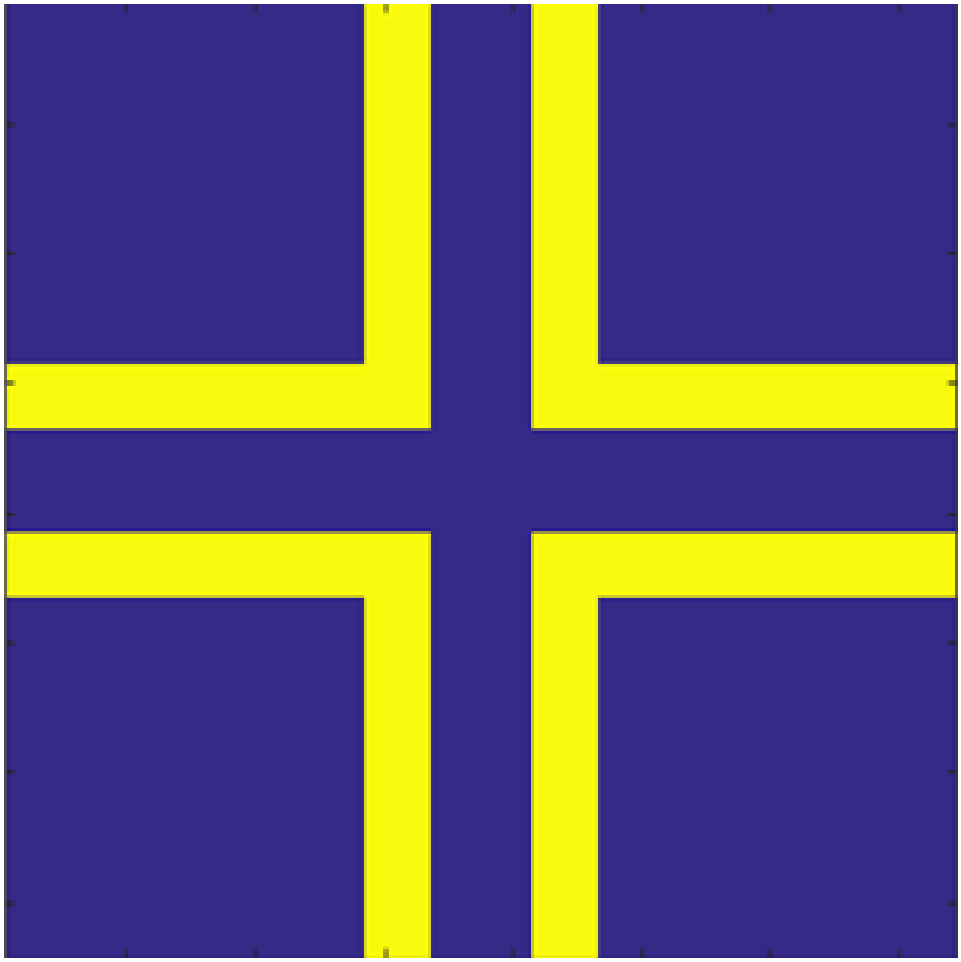


그림 3.1 직선형 junction 구조[55]

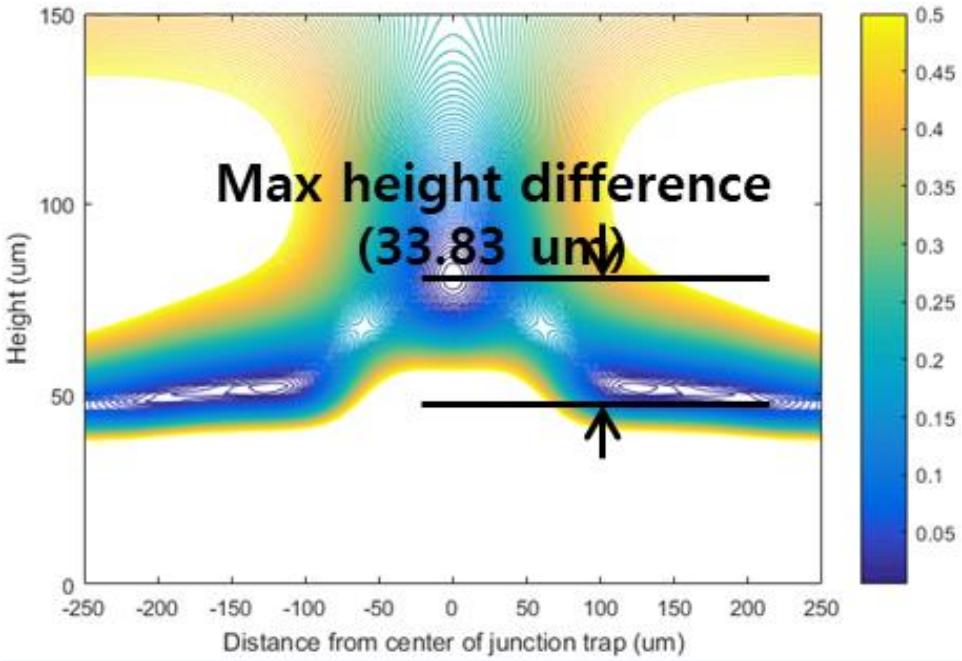


그림 3.2 직선형 junction 구조 중 중앙축 단면에서의 potential[55]

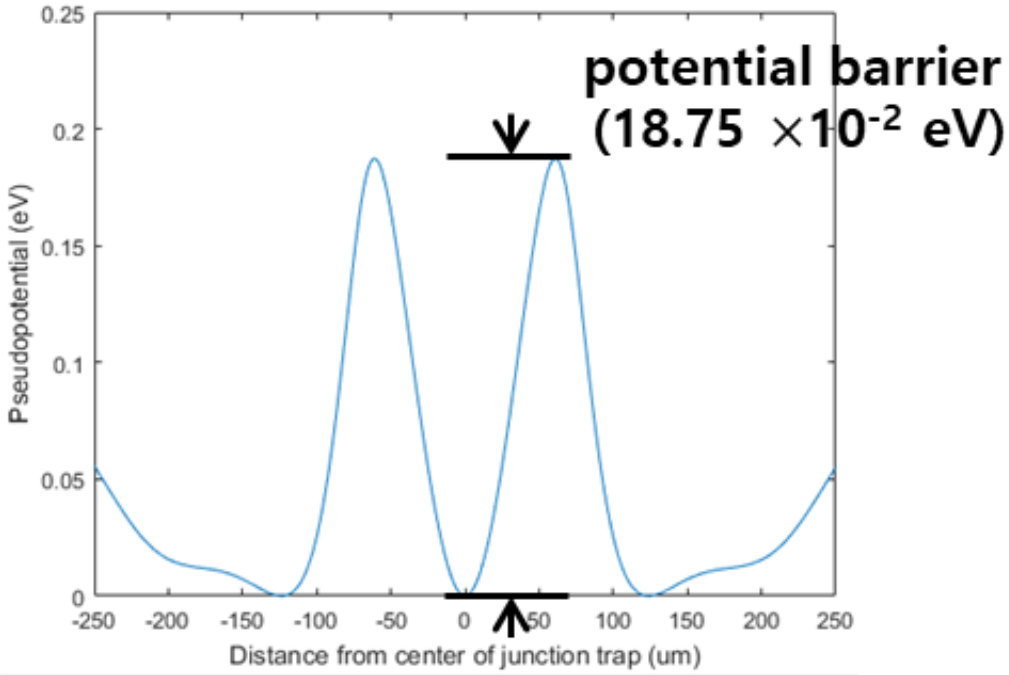


그림 3.3 직선형 junction 구조 중 이온 이동 경로에서의 potential[55]

여기서 최대 높이 변화와 potential barrier 최소화를 목적으로 한 cost function 을 통해 정한 값을 해당 구조의 적합도로 정하고, 이를 바탕으로 최고의 품질을 갖춘 자손을 만들기 위한 유전 알고리즘 기반 최적화 process 를 진행하였다.

우선적으로 진행되는 것은 선택 연산이다. 선택 연산은 교차에 쓰이는 부모해 (Parents) 쌍들을 고르기 위한 연산이다. 여기서 품질이 좋은 해를 보다 높은 확률로 고르기 위해 적합도에 따라 해당 해가 뽑힐 확률을 조절하게 되는데, 이를 선택압 (Selection pressure)이라 한다. 선택압이 높을수록 수렴은 빨라져 효율적이나, 설익은 수렴 (Premature convergence)의 가능성이 높아진다. 본 실험에서는 룰렛 휠 방식을 이용하여 64개의 유전자풀 중 8개를 선택하여 4쌍의 부모해를 만들게 된다.

그 다음 진행되는 교차 연산의 경우, 이차원 배열인 junction trap 설계 특성상 균등 교차 (Uniform crossover) 방식을 활용하여 진행되었다. 이를 위해 각각의 유전자 위치에서 난수를 발생시킨 뒤 해당 난수 크기에 따라 부모해 중 어느 쪽의 유전자를 가져오는지 선택하게 된다. 이를 통해 두 부모해의 형태 중 일부를 임의로 빌려오는 구조를 만드는 것이 가능하다. 본 실험에서는 양 부모에게서 50%씩의 확률로 유전받게 된다.

그 다음으로는 변이 연산이 진행된다. 변이 연산은 부모해에 없는 유전자를 추가하는 연산으로, 본 구조에서는 전형적 변이 방식을 통해 각각의 유전자 위치에 난수를 발생시킨 뒤, 해당 난수의 크기에 따라

유전자의 1, 0 여부를 반대로 바꾸게 된다. 본 실험에서는 변이 확률은 0.001이다.

얻어진 해에 대해서는 수선 절차를 거친다. 이온트랩 구조에서 교차와 변이 연산의 결과로 생긴 해는 가능해 (Feasible solution)가 아닌 경우가 많다. 이번 경우에는 실제로 공정이 불가능하거나 전극이 연결되지 않는 구조가 되는 경우가 해당하며, 이에 따라 다음과 같은 조건에 대한 확인을 거치게 된다. 첫 번째, 각 사분면에 있는 전극들은 서로 접촉해서는 안된다. 두 번째, 이차원 배열 유전자에서, 각 사분면에 있는 ground 전극과 접해 있는 RF 전극 부분은 반드시 존재해야 한다. 세 번째, 각 사분면에 있는 전극들은 한 덩어리여야 한다. 네 번째, 전극 내부에 비어 있는 공간이 존재해서는 안된다. 이상의 네 조건에 맞도록 구조는 수정을 거친다.

마지막으로 대치 연산은 유전자풀 전체의 품질을 향상시키기 위해 품질이 우수한 자손이 비교적 품질이 나쁜 부모를 대신하는 것을 말한다. 본 연구에서는 preselection 방식이 사용되었다. Preselection 방식은 자식해를 두 부모해 중 품질이 나쁜 해와 대치하는 방식으로 유전자풀 내에서 자신과 닮았을 가능성이 가장 높은 해가 부모해들이므로 이들과 대치함으로써 유전자풀의 다양성을 유지시킬 수 있는 방식이다.

위까지의 과정 거친 후 나온 유전자풀이 다음 세대가 되며, 본 과정을 통해 최적화를 진행한 결과 유전자 풀은 13,674 세대에서 수렴하였다. 최적화가 된 이온트랩 구조는 그림 3.4[55]와 같다.

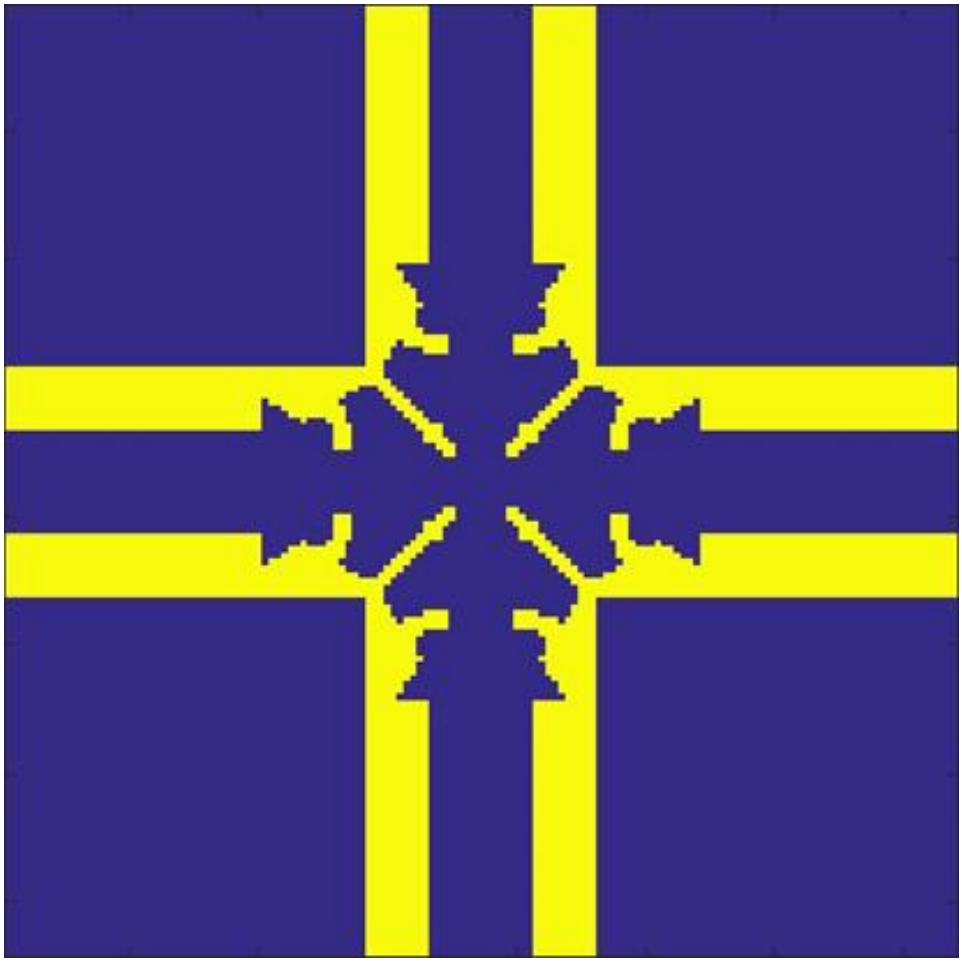


그림 3.4 최적화 junction 구조[55]

최적화된 구조에서 발생하는 높이 변화와 potential barrier에 대한 시뮬레이션 진행 결과는 그림 3.5[55], 그림 3.6[55]과 같다.

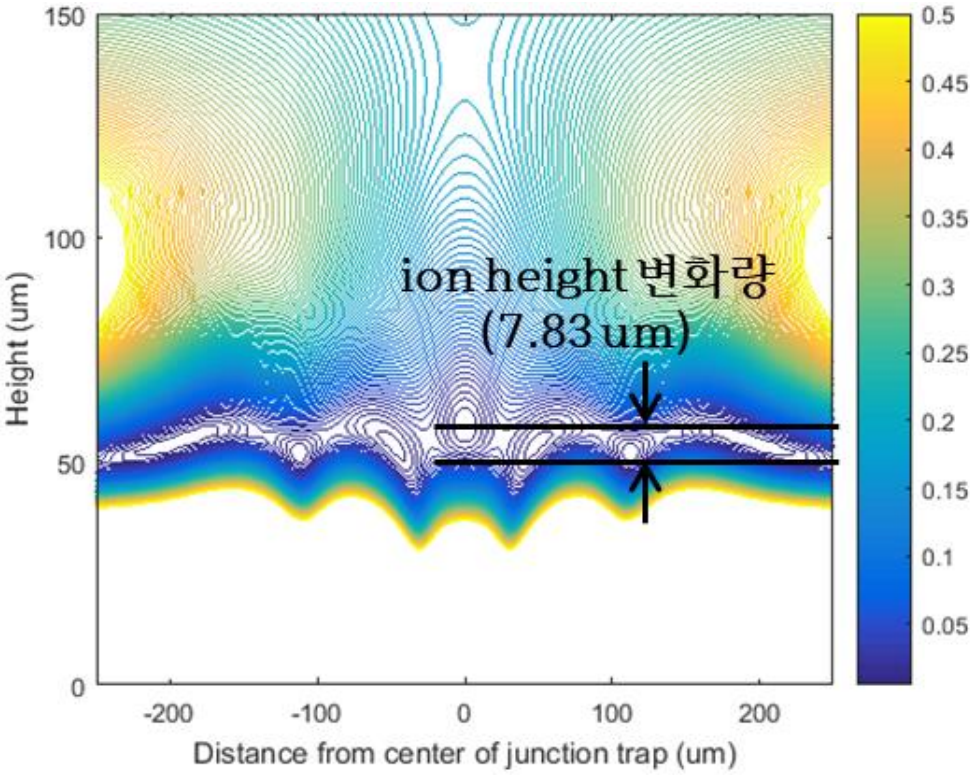


그림 3.5 최적화 junction 구조 중 중앙축 단면에서의 potential[55]

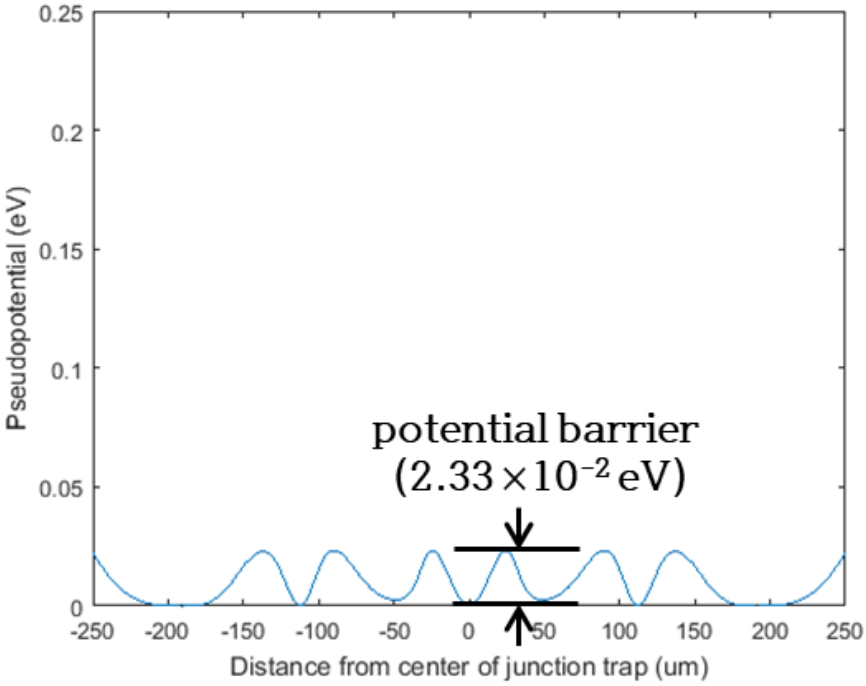


그림 3.6 최적화 junction 구조 중 이온 이동 경로에서의 potential[55]

본 방식으로 설계된 X-junction 구조의 유사전위 장벽과 이온 높이 변화량이 직선 형태의 RF-전극으로 구현된 X-junction 구조의 유사전위 장벽과 이온 높이 변화량에 비해 각각 8분의 1과 4.3분의 1로 줄었다

제 2 절 junction 이온트랩 제작

실제로 5um 사각형의 이어진 구조의 resolution 이나, 복잡한 구조 구현 시 overhang 부분이 붕괴 여부 등 실제 공정 시 발생 가능한 문제점들을 확인 및 해결하기 위한 test 공정 진행 후, junction trap 의 제작을 진행하였다.

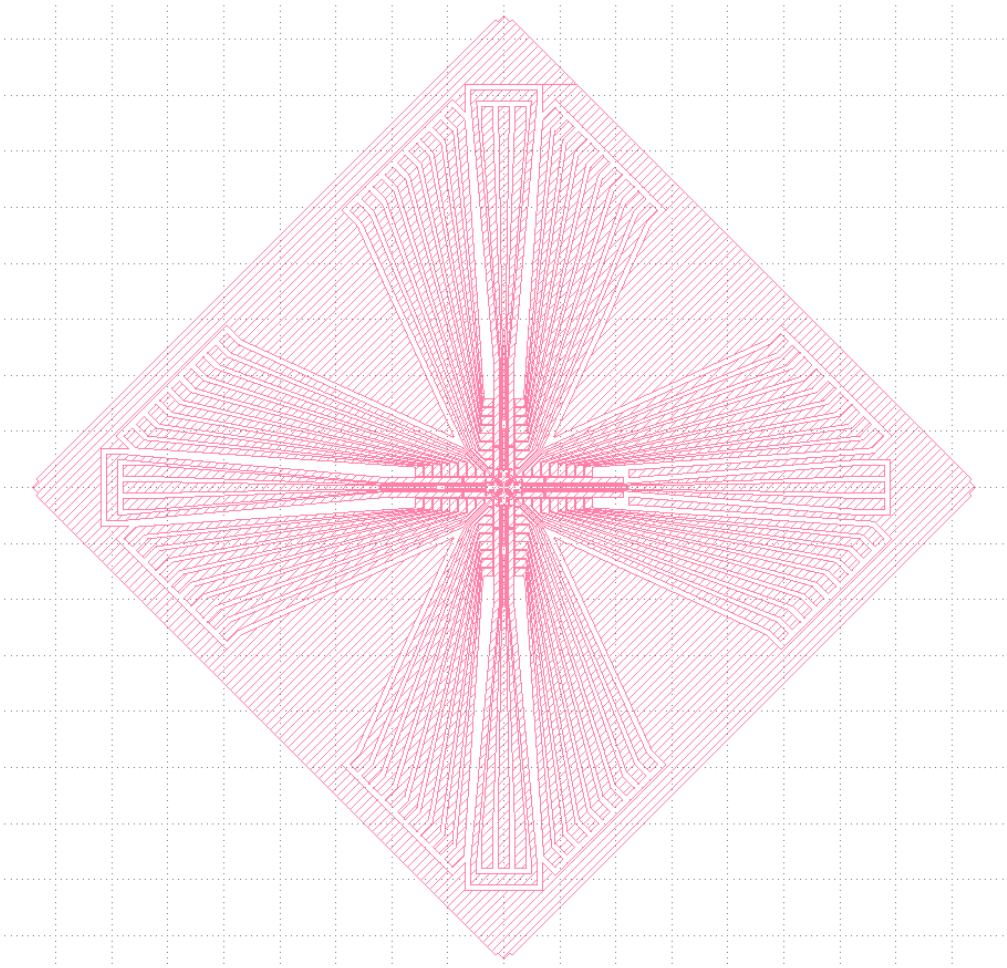


그림 3.7 최적화 junction 이온트랩 표면 전극 마스크

교차로 근처 부분의 전기장을 가능한 한 세밀하게 조절하기 위해 본 junction trap 은 loading slot 이 그림 3.8 과 같이 특정 영역에만 존재하며, RF 전극과 같은 높이의 inner DC 전극이 trap 중앙부를 가득 메우고 있다. 따라서 측벽 보호의 별도 필요성이 없어 그림 3.9 에서 보이는 것처럼 4um overhang 을 지닌 단일 insulation layer 구조를 지니도록 제작되었다. 최적화된 junction 구조의 중앙부는 오직 이동 통로로만 사용되어 이온의 tilting 이 필요 없으므로 그림 3.10 과 같이 단일 ground 전극이 inner DC 전극 대신 중앙부를 메우고 있으며, 해당 ground 전극은 교차로의 네 방향 중 한 방향으로 뻗어서 외부에서 wire bonding 을 통한 접지가 가능하도록 되어있다.

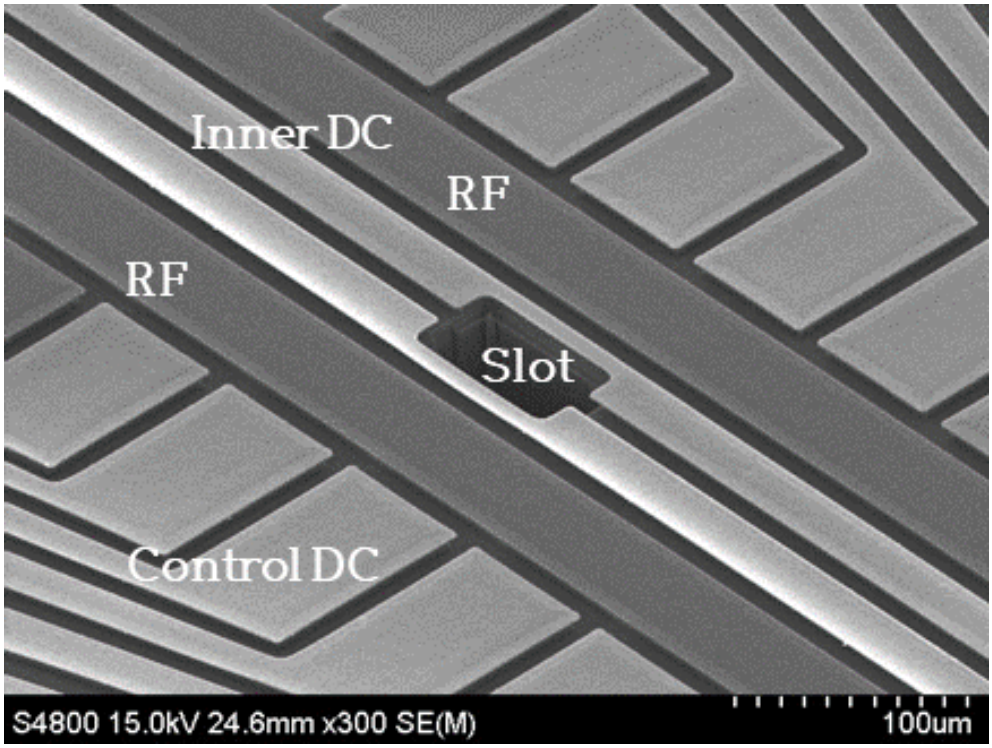


그림 3.8 최적화 junction 이온트랩 loading slot

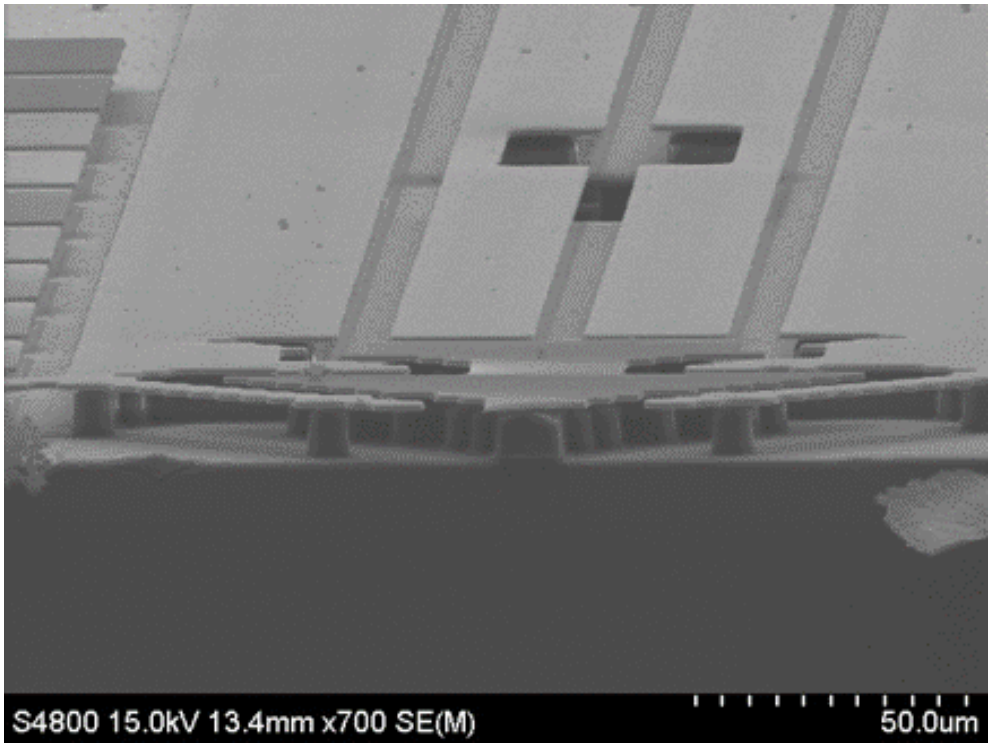


그림 3.9 최적화 junction 이온트랩 단면 구조

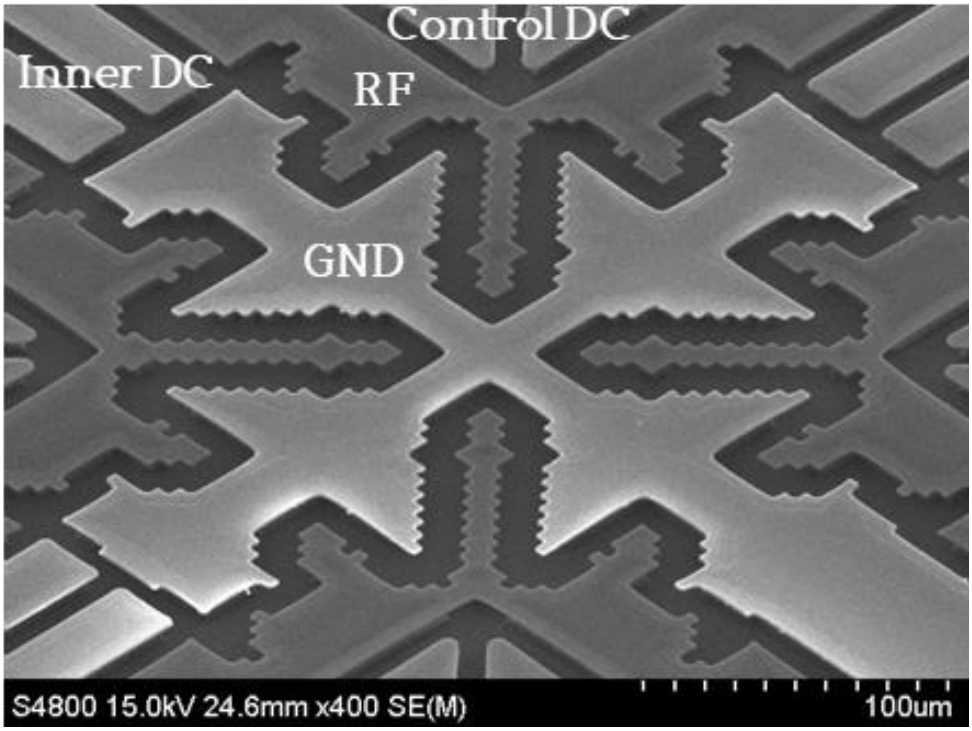


그림 3.10 최적화 junction 이온트랩 중앙부 구조

이렇게 완성된 junction 이온트랩 칩을 이용하여 그림 3.11 의 이온트랩칩 패키지가 완성되었으나, 실험 설비의 부족으로 이를 이용한 이온 포획 실험은 진행되지 않았다.

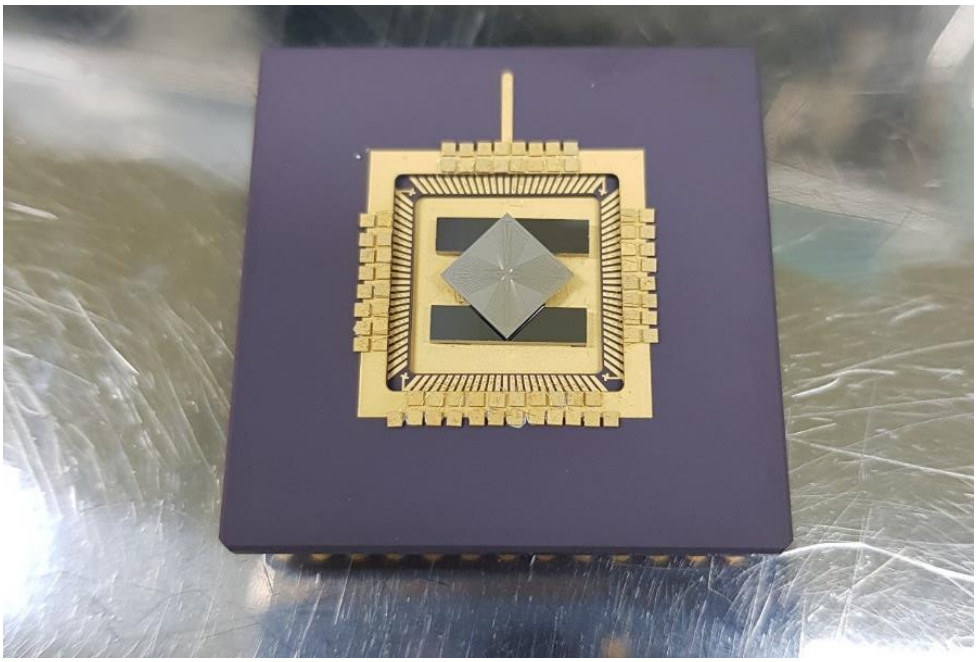


그림 3.11 최적화 junction 이온트랩 칩 패키지

제 3 절 장거리 셔틀링을 위한 전압 세트 구현

이온 셔틀링을 위한 전압 세트는 다음과 같은 과정을 통해 설계되었다. 우선 finite element method (FEM) 시뮬레이션을 통해 이온 포획 시의 electrical potential 의 형태를 다음과 같이 나타내었다.

$$\Phi(x,y,z) = ax^2 + by^2 + cz^2 + dxy + eyz + fzx + gx + hy + iz + j \qquad (2)$$

여기서 x, y, z 는 각 축의 position coordinate 이다.

해당 식의 data 는 이온 포획 지점을 중심으로 한 4 × 8 × 4 μm 박스 형태의 영역에서 얻어진 것을 이용하여 중심부에서의 정확도를 높였다. (2)의 식을 변형시키는 것으로 다른 위치에서 동일한 형상의 electrical potential well 을 구현 가능한 electrical potential 공식을 도출 가능하다. 여기서 이온트랩 내의 각각의 DC 전극들에 단독으로 1V 를 가했을 때 발생하는 electrical potential 공식을 구한 뒤, 역행렬을 이용하면 목표의 electrical potential 을 구현하기 위해 필요한 각각의 전극인가 필요 전압을 아래와 같이 도출 가능하다.

$$\begin{pmatrix} a \\ b \\ c \\ d \\ \vdots \\ i \\ j \end{pmatrix} = \begin{pmatrix} a_1 & a_2 & a_3 & \cdots & \cdots & a_{N-1} & a_N \\ b_1 & b_2 & b_3 & \cdots & \cdots & b_{N-1} & b_N \\ c_1 & c_2 & c_3 & \cdots & \cdots & c_{N-1} & c_N \\ d_1 & d_2 & d_3 & \cdots & \cdots & d_{N-1} & d_N \\ \vdots & \vdots & \vdots & \cdots & \cdots & \vdots & \vdots \\ i_1 & i_2 & i_3 & \cdots & \cdots & i_{N-1} & i_N \\ j_1 & j_2 & j_3 & \cdots & \cdots & j_{N-1} & j_N \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \\ \vdots \\ V_{N-1} \\ V_N \end{pmatrix} \qquad (3)$$

여기서 N 은 전극의 개수를 의미한다.

(3)의 식을 통해 계산된 전압 세트를 실제로 해당 전극들에 인가하는 경우를 시뮬레이션을 통해 분석하여 실제 전체 electrical potential $\phi(r)$을 계산할 수 있으며, 이를 통해 secular frequency (ω_i) 들을 다음과 같이 계산 가능하다.

$$\omega_i = \frac{e}{m}\frac{d^2\phi(r)}{dr_i^2}, \qquad i = 1,2,3 \tag{4}$$

여기서 r_i는 각 principal axis 들의 coordinate 이다. 2 장 3 절에서 설명한 바와 같이 RF 전극이 축방향으로 가하는 영향은 무시되므로, axial secular frequency 는 순수하게 DC 전압 세트로 인해 결정되게 된다.

사용 가능한 DC 전압 출력의 개수는 제한되어 있기 때문에, 본 연구에서는 서로 다른 두 종류의 DAC mapping 조건을 이용하여 셔틀링 전압 설계를 진행하였다. 첫 번째 세트는 한 개의 DC 전압 출력 당 1 개의 DC 전극을 할당한 mapping 조건으로, 총 28 개의 제어용 DC 전극을 활용 가능하며, 그 배치는 그림 3.12[53]에 나타나 있다. 두번째 세트는 한 개의 DC 전압 출력 당 2 개의 DC 전극을 할당한 mapping 조건으로, 총 60 개의 제어용 DC 전극을 활용 가능하며, 그 배치는 그림 3.13[53]에 나타나 있다.

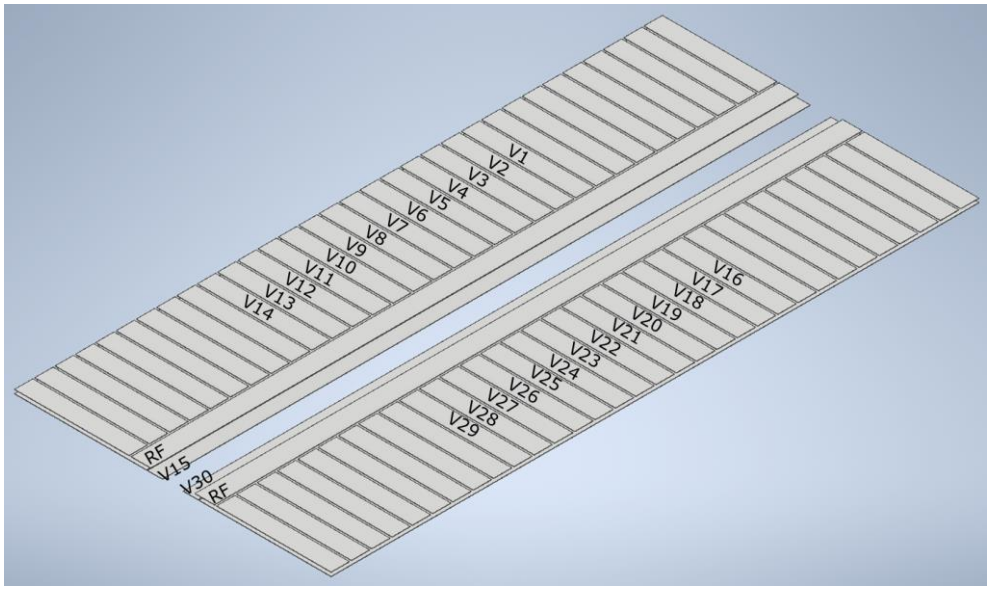


그림 3.12 최적화 junction 이온트랩 칩 패키지[53]

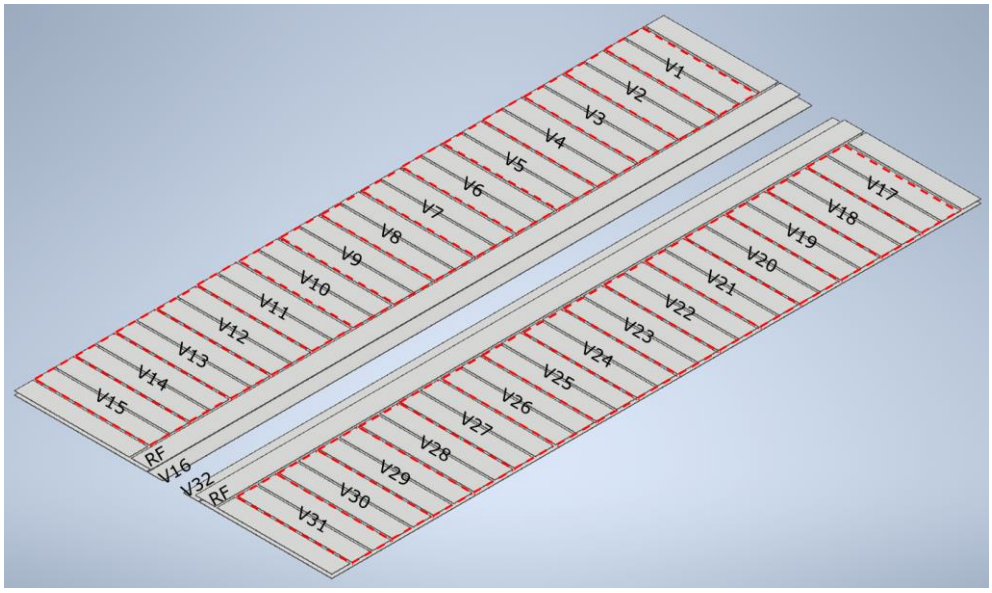


그림 3.13 최적화 junction 이온트랩 칩 패키지[53]

입력 전압 세트의 적절한 계산 간격을 확실히 확인하기 위해, 서로 다른 간격을 두고 구한 전압 세트들을 이용하여 만들어진 electrical potential well 의 axial secular frequency 의 비교를 진행하였다. 여기서 전압 세트들 사이의 구간은 linear interpolation 을 이용하여 구하였다. 계산 간격에 따른 변화는 그림 3.14[53]와 같다.

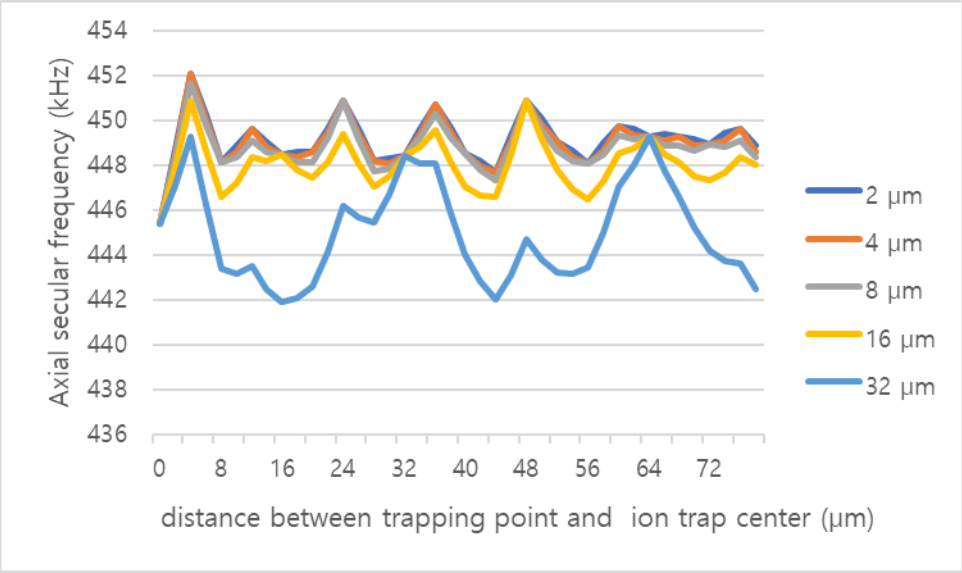


그림 3.14 계산 간격에 따른 axial secular frequency[53]

그림 3.14 를 볼 때 계산 간격이 4um 이하일 경우 interpolation 으로 인해 발생하는 오차가 FEM 시뮬레이션의 resolution 으로 인한 오차보다 훨씬 작아지는 것을 확인 가능하다. 따라서 본 연구에서는 2um 간격으로 전압 세트를 계산해도 충분하다고 판단하였다.

전압 세트들은 Y = −1100 μm 에서 Y= 1100 μm 지점 사이에서 계산되었다. DC 전압 출력 시스템의 출력은 ±15V 이내로 제한되어

있으므로, 목표 electrical 을 구현할 수 있는 범위 내에서 가능한 한 낮은 전압을 가지는 전압 세트를 계산하도록 하였다.

첫 번째 mapping 조건을 이용하여 계산된 전압 세트는 그림 3.15[53]와 같다. DC 전압 출력이 ±15V 이내인 조건 하에서는 이온트랩 중심부로부터 ±420 μm 의 범위 내에서의 셔틀링이 가능하다.

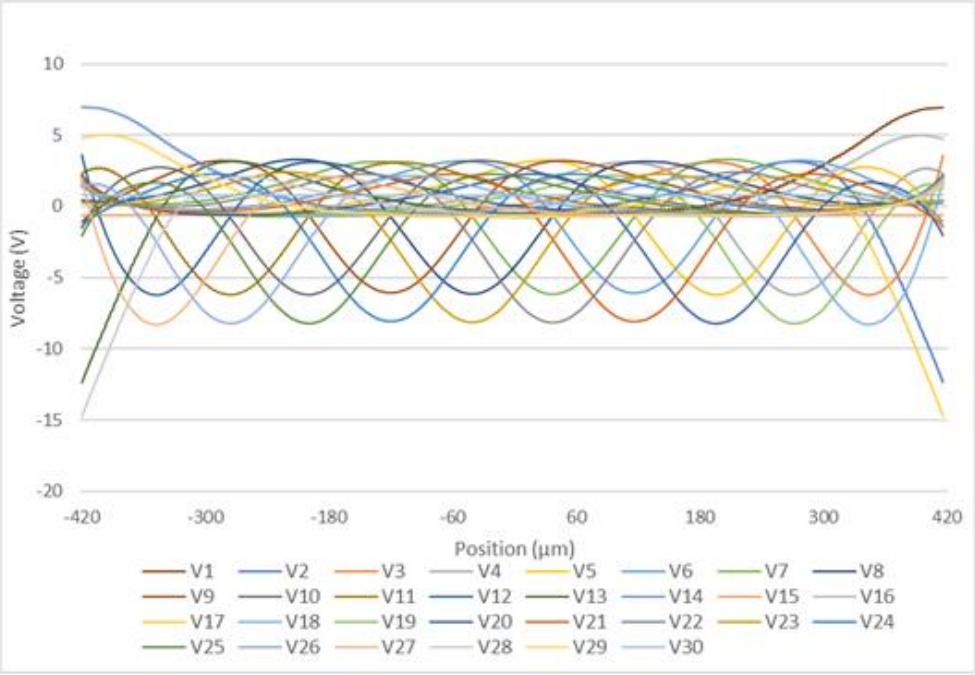


그림 3.15 첫 번째 mapping 조건을 이용한 셔틀링 전압 세트[53]

두 번째 mapping 조건을 이용하여 계산된 전압 세트는 그림 3.16[53]과 같다. DC 전압 출력이 ±15V 이내인 조건 하에서는 이온트랩 중심부로부터 ±960 μm 의 범위 내에서의 셔틀링이 가능하다.

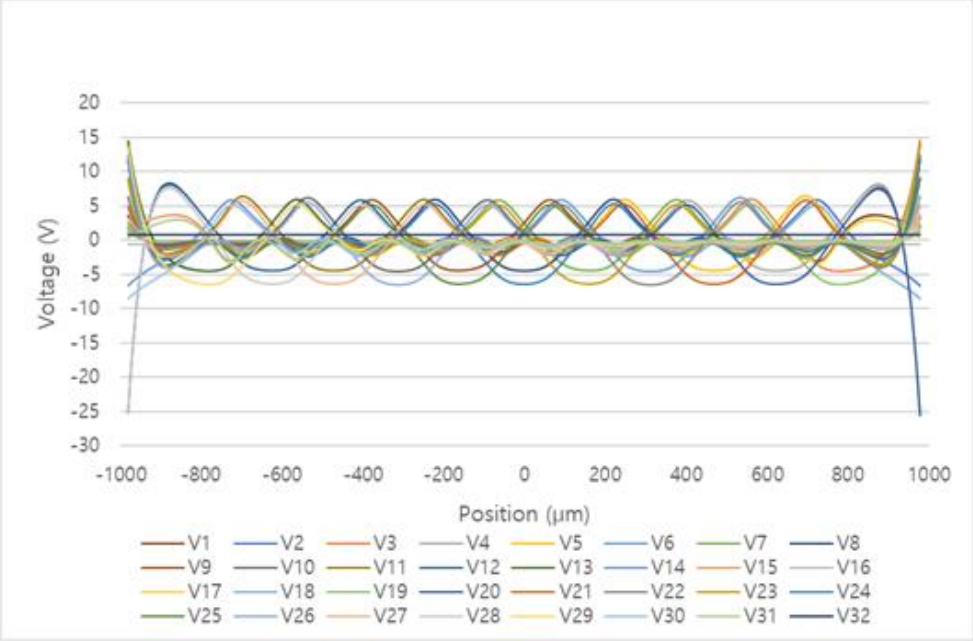


그림 3.16 두 번째 mapping 조건을 이용한 셔틀링 전압 세트[53]

두 번째 전압 세트를 이용하여 이온을 20 μm 간격으로 서로 다른 위치로 이동시킬 때에 구현되는 electrical potential 의 형상은 그림 3.17[53]에 나타내어 있다. 거의 동일한 형상의 electrical potential well 이 Y 축을 따라 구현되는 것을 확인할 수 있다.

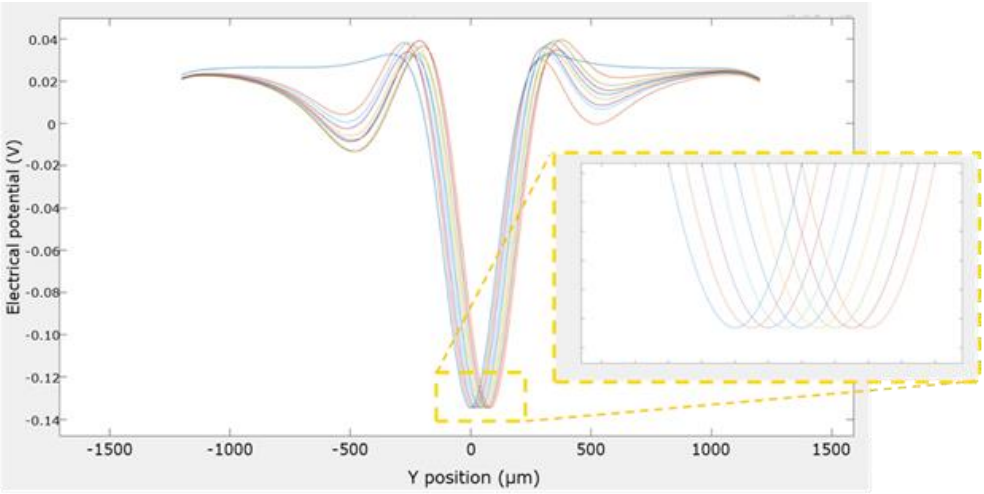


그림 3.17 20 μm 간격으로 구현된 electrical potential well[53]

구현되는 potential 이 처음의 포획용 potential 과 얼마나 크기 차이가 나는지, 그리고 potential 의 secular frequency 는 얼마인지 셔틀링 거리에 따라 분석을 진행하였다. 첫 번째 전압 세트를 이용하여 셔틀링하였을 때의 분석 결과는 그림 3.18[53]과 같다. 두 번째 전압 세트를 이용하여 셔틀링하였을 때의 분석 결과는 그림 3.19[53]와 같다.

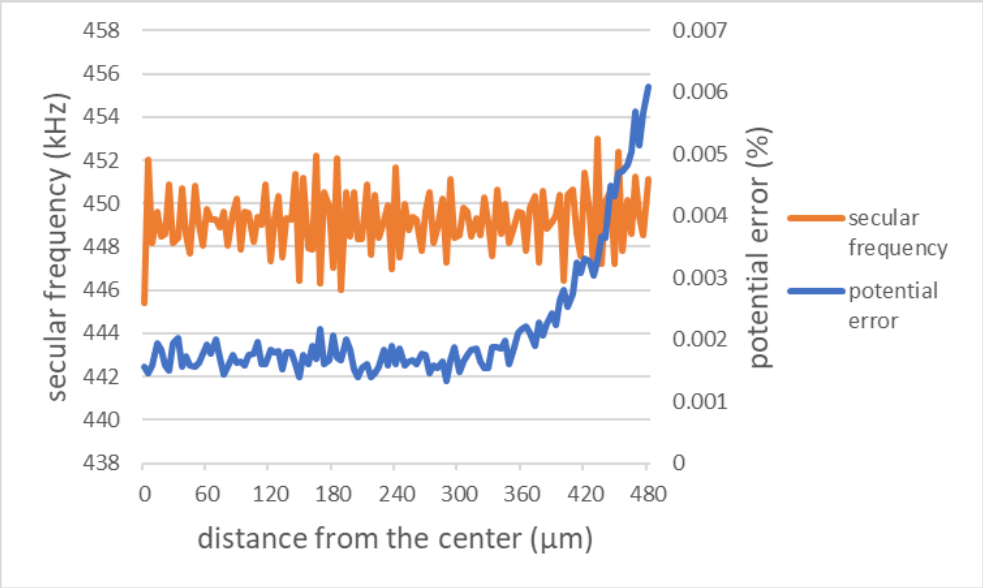


그림 3.18 첫 번째 mapping 조건에서의 secular frquency 및 potential error [53]

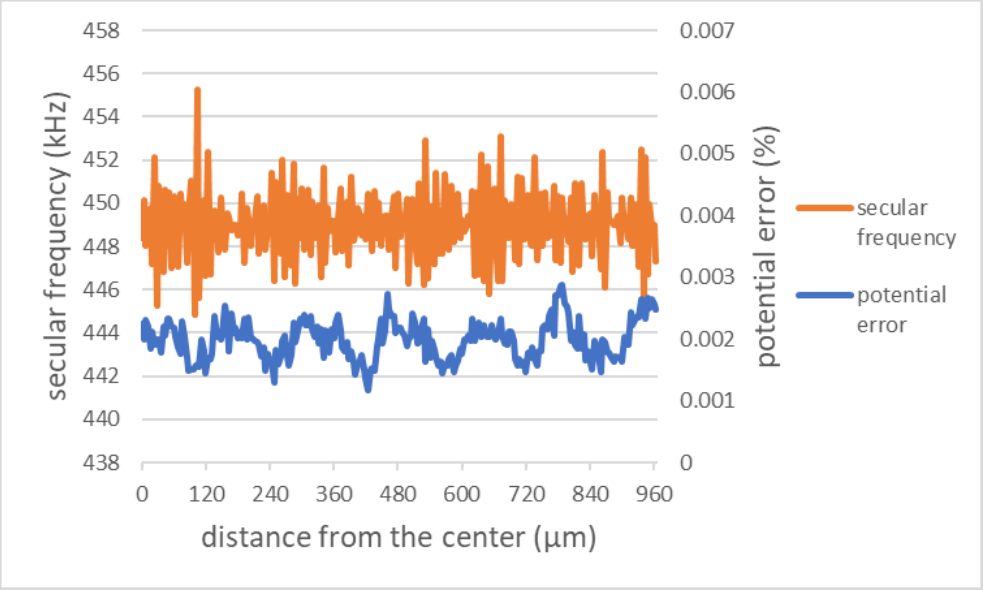


그림 3.19 두 번째 mapping 조건에서의 secular frquency 및 potential error [53]

첫 번째 mapping 조건은 중심부에서 멀어질수록 potential 오차가 상대적으로 증가하는 것을 확인할 수 있으나, 셔틀링 범위 내에서 0.01% 이상의 차이가 나지는 않았으며, 두 가지 mapping 조건 모두 secular frequency 는 일정하게 유지되는 것을 확인할 수 있었다.

제 4 절 32 채널 DAC 입력 시스템 구현

이온 셔틀링 전압 세트 입력을 위한 32 채널의 출력을 가지는 DAC 구조의 설계는 그림 3.20[53]과 같다. 전압의 출력을 위해서는 −15 V 에서 15 V 사이의 전압 4 개를 출력 가능한 DAC8734 (Texas Instruments, Texas, USA) 칩 8 개를 사용하였다. Electrical potential 이 왜곡되는 것을 막기 위해 모든 DAC 칩이 동시에 출력 전압을 바꿀 수 있도록 그림 3.21[53]과 같이 8 개의 chip 을 장착한 DAC board 를 제작하였다. DAC 보드는 pin 을 통해 FPGA 의 명령어 입력을 받아 만들어진 32 개의 출력 전압을 pin 을 통해 output board 로 전달한다.

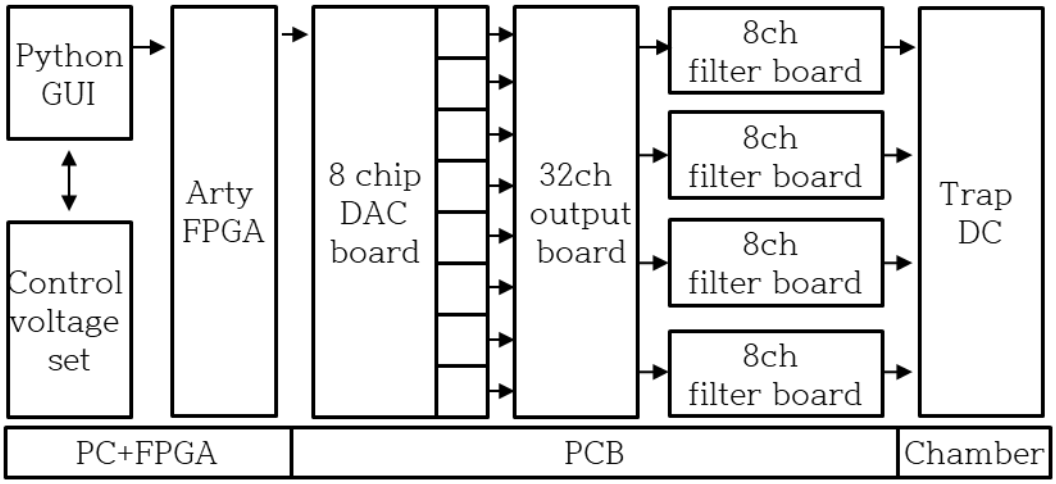


그림 3.20 DAC 입력 시스템 구조[53]

그림 3.21 DAC board[53]

그림 3.22[53]의 output board는 대형 RC filter를 내장하고 있으며, DAC chip 으로부터의 출력을 원하는 DC 전극에 연결하기 위한 mapping 과정이 이루어진다. 한 개의 출력은 최대 2 개의 DC 전극에 mapping 가능하도록 제작되었다. 그림 3.23[53]의 filter board 는 추가적인 RC filter 가 포함되어 있으며, 초고진공 챔버 뒷면의 25-D sub connector 에 직접 연결하여 이온트랩까지 전기를 전달할 수 있도록 되어있다. FPGA 와 DAC board, output board는 pin으로 서로 결합될 수 있으며, filter board 와 output board는 케이블을 통해 서로 연결된다. DAC 시스템이 하나로 연결된 모습은 그림 3.24 와 같다. 완성된 시스템은 그림 3.25 처럼 챔버에 연결된다.

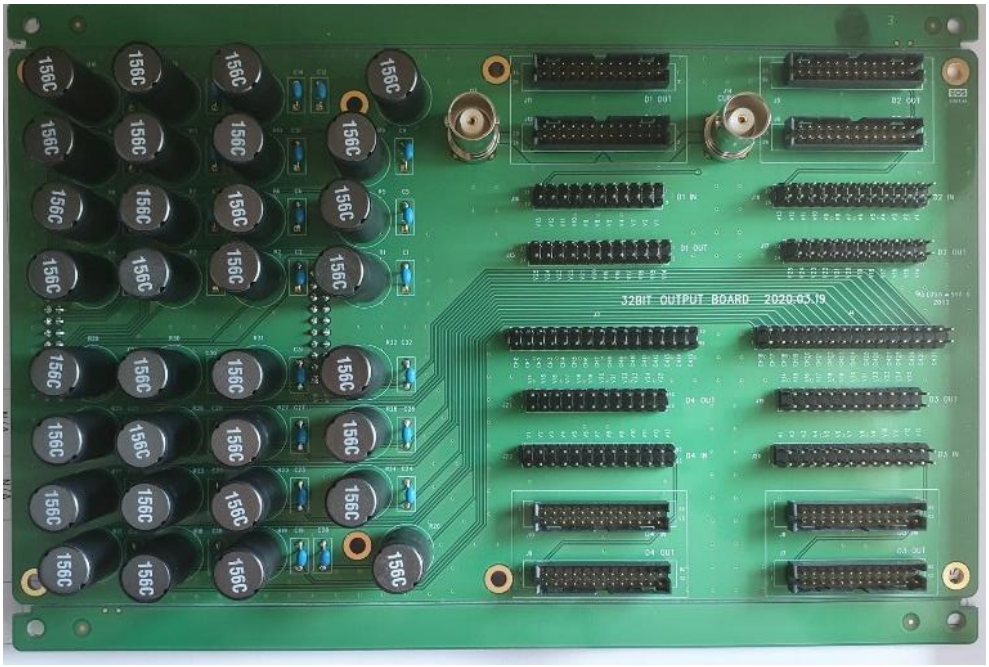


그림 3.22 Output board[53]

그림 3.23 Filter board[53]

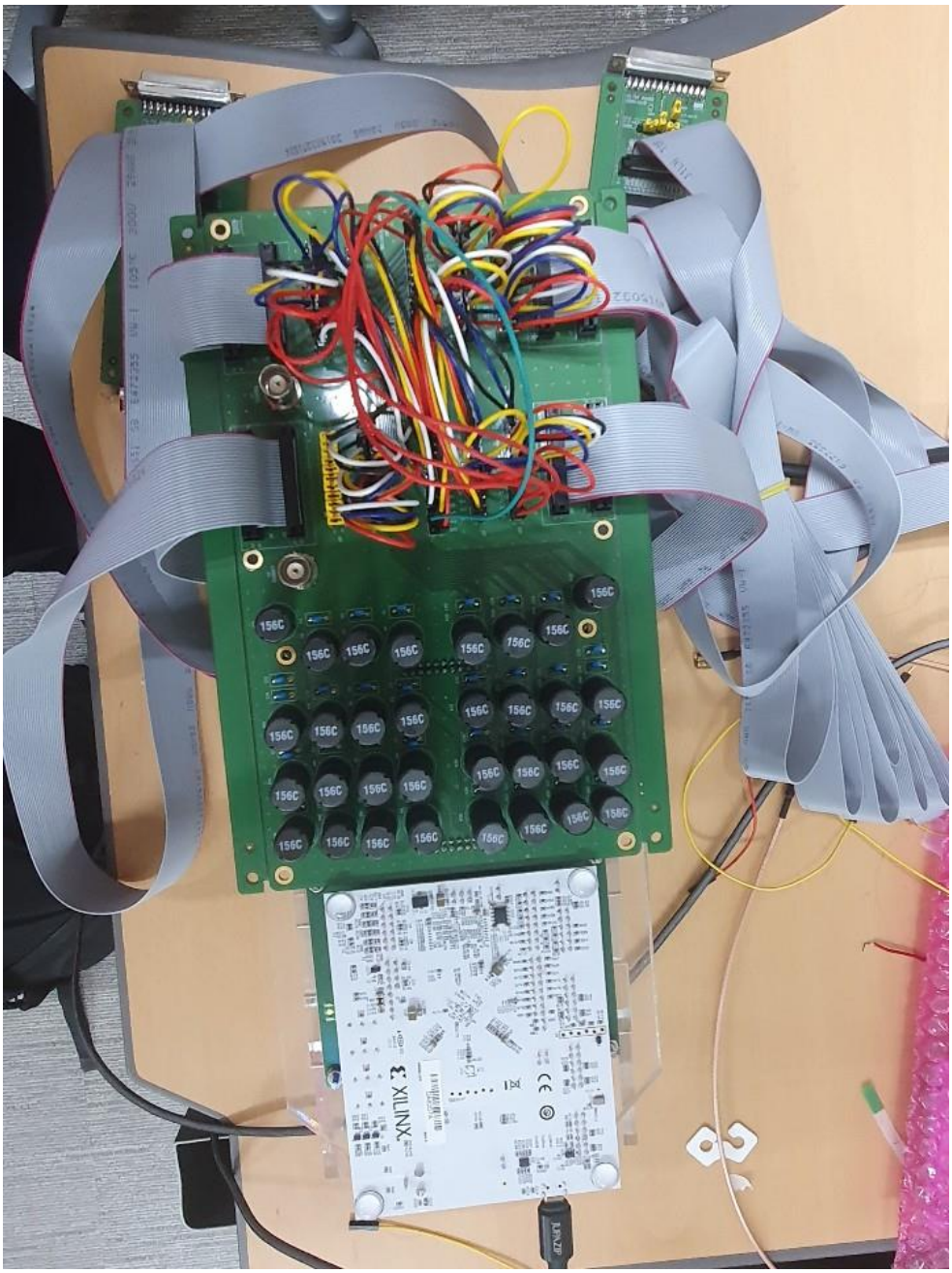


그림 3.24 결합된 DAC 시스템

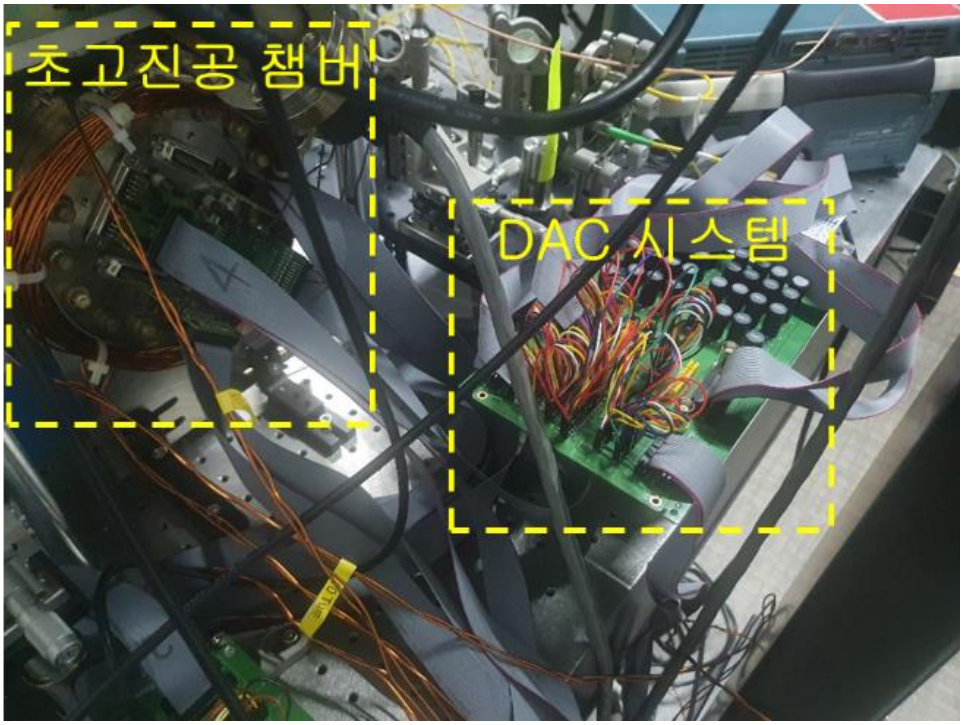


그림 3.25 챔버와 DAC 의 연결

제 4 장 이온 셔틀링 실험

제 1 절 DAC 시스템 성능 검증

DAC 시스템에 장착된 RC filter 의 최대 역할은 RF 전극에 인가된 RF 전압이 DC 전극에 coupling 되는 것을 방지하는 것이다. Coupling 전압 시뮬레이션을 위해 DC 전극 주변의 전기 회로 구조를 간략화 할 경우 그림 4.1 과 같다.

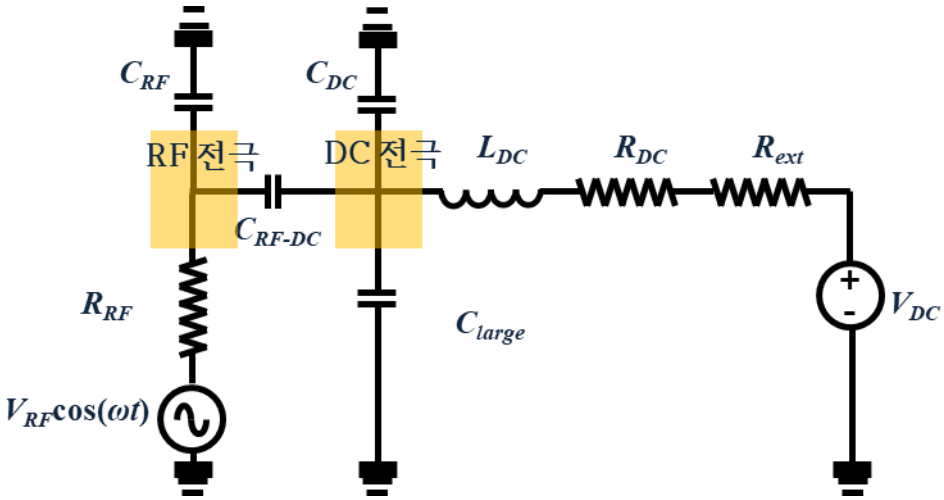


그림 4.1 Coupling 시뮬레이션을 위한 DC 전극 회로

여기서 C_{RF-DC} 는 약 100 fF 에 불과하나, 아주 작은 coupling 전압이라도 이온 포획을 위해 사용되는 RF 전기장과 다른 위상을 지닌 RF 전기장을 생성하게 되므로 이온 포획에 큰 영향을 줄 수 있으며, 따라서 외부 capacitance 는 클수록 좋다. C_{large} 가 C_{RF-DC} 에 비해 압도적으로 클 경우, coupling 전압의 크기는 C_{large} 의 크기에

반비례하게 된다. 일반적인 이온트랩 시스템의 경우 수백 pF 가량의 필터를 장착하게 되나, 본 DAC 시스템에서 외부 capacitance 의 크기는 총합 약 1 μF 으로, 이로 인한 coupling 전압은 약 5×10^{-6} V 가량으로 억제 가능하다.

그러나 coupling 전압을 측정하는 것은 불가능하므로 실제 filter 가 예상대로 작동하고 있는지 확인하기 위해서 이온트랩에 전압을 가했을 때의 fall time 을 시뮬레이션하고 실제 fall time 측정 결과와 비교하기로 하였다. Fall time 시뮬레이션을 위한 DAC 의 RF filter 구조는 그림 4.2[53]와 같다.

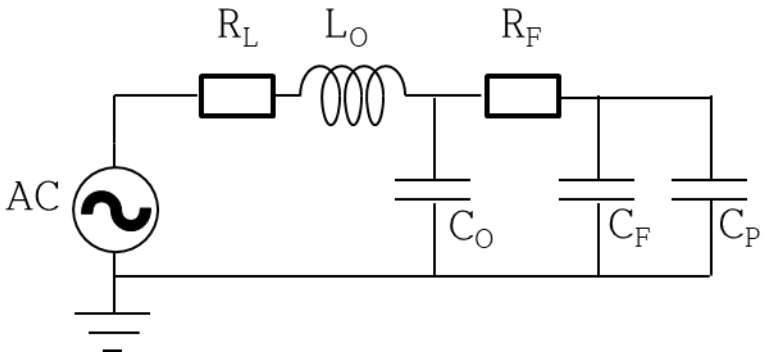


그림 4.2 Fall time 시뮬레이션을 위한 DAC 내 RF filter 회로[53]

그림 4.2 에서 R_L 은 입력 회로의 내부 저항이고, L_O 와 C_O 는 output board 의 inductance 와 capacitance 이며, R_F 와 C_F 는 filter board 의 저항과 capacitance 이다. C_P 는 이온트랩 칩 패키지에 장착된 capacitor 의 capacitance 이다.

해당 회로의 fall time 은 1V 의 pulse 를 1 초동안 가한 후의 전압 변화를 측정하는 것으로 확인된다. Fall time 의 시뮬레이션 결과는 그림

4.3[53]에 나타나 있다. Fall time 의 측정 결과는 그림 4.4[53]에 나타나 있다.

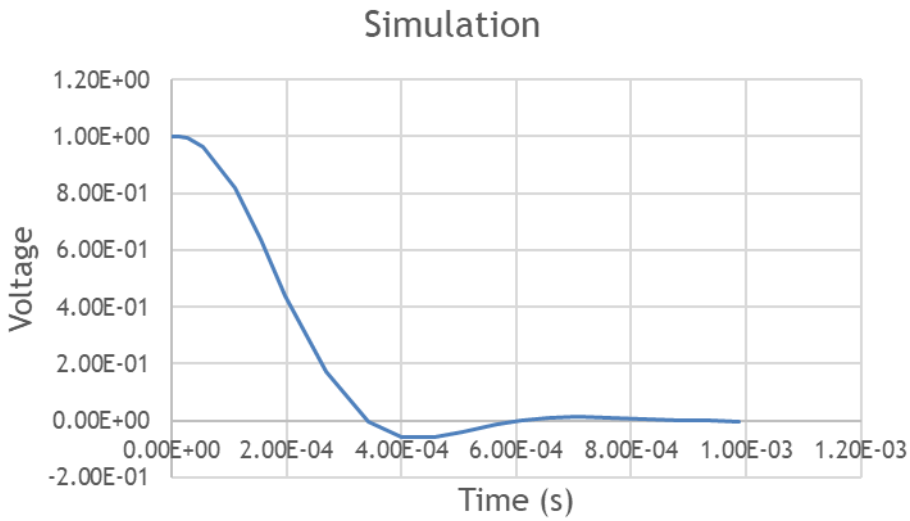


그림 4.3 Fall time 시뮬레이션 결과[53]

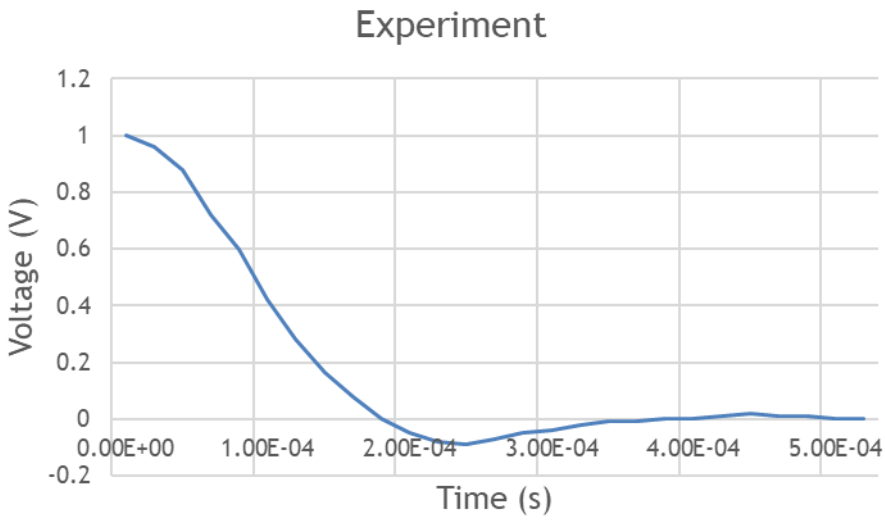


그림 4.4 Fall time 실험 측정 결과[53]

시뮬레이션을 통해 예상한 fall time 은 0.23ms 이나, 실제 fall time 은 0.13ms 로 측정되었다. Fall time 과 rise time 은 동일하므로, 해당 회로의 cut-off frequency 는

$$f = \frac{2.2}{2\pi t_r} = \frac{0.35}{t_r} \qquad (5)$$

를 통해 계산할 수 있다. 따라서 본 DAC 시스템의 cut-off frequency 는 2.7kHz 이다. 이는 RF 전압의 주파수에 비해 훨씬 낮은 수치이나, 동시에 DAC 시스템의 전압 update 속도 또한 2.7kHz 이하로 낮추게 된다. 이는 일반적인 이온트랩의 DAC 시스템의 수백 kHz 에 비해 낮은 수치이나, 이는 RF coupling 의 영향을 최대한 억제하기 위한 DAC 시스템 설계로 인해 발생한 한계라 판단해야 한다.

제 2 절 이온 셔틀링의 확인

두 가지 mapping 방법을 통해 이온의 셔틀링 가능 여부를 확인하였다. 두 종류의 전압 세트 모두 목표 위치까지 이온을 이동시키는 것이 가능하였으며, 두 번째 mapping 방법을 사용 시 중심부에서 시작하여 양쪽 방향으로 번갈아 가면서 960 μm 까지 이동한 뒤 돌아오는 1920 μm 거리의 왕복 이동 실험에 성공하였다. 1920 μm 왕복 이동 시의 이온의 모습을 촬영하여 그림 4.5[53]처럼 하나의 배경에 합성하여 나타냈다.

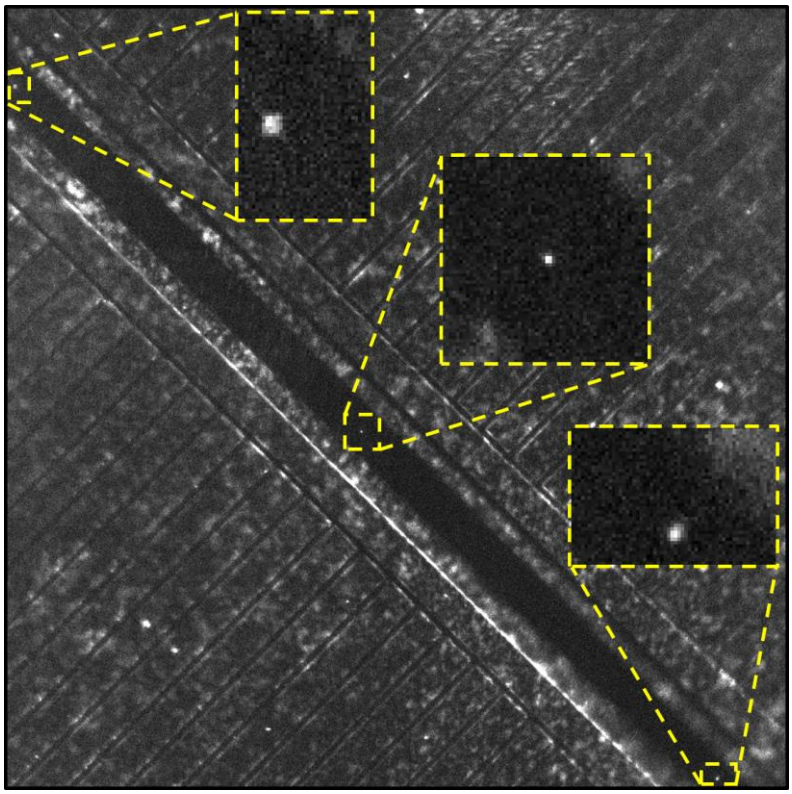


그림 4.5 동일 이온의 이온트랩의 중심 및 양쪽 끝으로 이동된 모습[53]

셔틀링 성능을 보다 확실히 보이기 위해 같은 mapping 방법을 통해 두 종류의 동영상을 촬영하였다. 한 개는 위의 사진에서 보이는 것처럼 단일 이온을 이온트랩의 양쪽 끝으로 왕복시키는 동영상이다. 단, 해당 영상은 실시간으로 움직이는 것이 아닌, 각 부분에서 찍은 사진들을 따로따로 합성하여 만든 영상이다. 이온을 관찰하기 위해서는 이온의 위치에 레이저를 정확히 align 해야 하며, 이 작업에 수분이 소요되기에 이온이 어느정도 이동할 때마다 레이저를 다시 align 하고 촬영한 뒤 이를 하나로 합성하는 작업을 통해 만들어졌다.

이와 비교하기 위해 별도의 작업 없이 이온을 움직이면서 실제 시간에 맞춰 만든 영상을 촬영하였다. 이 경우 이온이 중심부에서 멀어질수록 어두워져 일정 거리 밖에서는 보이지 않게 된다. 그러나 이온이 다시 중심부로 돌아오면 다시 관찰하는 것이 가능하다. 해당 방식으로 실험할 경우, 이온이 이동하는 동안 cooling 이 진행되지 않으므로 anomalous heating 에 의한 이온의 수명 제한이 존재한다. 본 이온트랩 시스템에서 일반적으로 이온을 중심부에 포획한 상태로 cooling 을 하지 않을 경우 이온의 기대수명은 약 15 초 내외이며, 만약 셔틀링 시 추가적인 cooling 이 거의 발생하지 않았다면 비슷한 시간 동안 레이저의 범위 밖에서 이온의 셔틀링이 가능할 것이라 기대할 수 있다. 실제 실험 결과, 이온이 보이지 않게 된 시점에서 최대 16 초 동안 이온이 움직인 뒤에 다시 관찰 가능한 영역으로 돌아올 수 있는 것을 확인하였다. 본 실험을 통해, 이온의 이동에도 불구하고 기대수명이 감소하지 않는 것을 확인 가능하다.

두 번째 동영상의 경우 중심부로부터 이온이 이동한 거리는 약 64um 로, 현재 전압 입력 소프트웨어의 한계로 전압 변경 속도가 2Hz 로 억제되어 있는 것이 원인이다. 4 장 1 절 부분에서 확인 가능하듯이 전압 입력 소프트웨어의 data 처리 방식을 변경할 경우 2.7kHz 의 전압 변경 속도를 구현하는 것이 가능하므로 이를 통해 이온을 cooling 없이 1920 μm 거리의 왕복 이동 실험을 진행하는 것도 가능할 것이라 추정된다.

두 개의 동영상은 본 논문의 supplementary material 에서 확인이 가능하다.

제 3 절 이온 셔틀링 시의 secular frequency 측정

이온의 셔틀링 시 secular frequency의 실제 측정 실험은 다음과 같이 이루어진다. 이온트랩 내부의 사용하지 않는 DC 전극 중 하나에 주파수가 조절 가능한 작은 전압을 인가하고, 주파수를 sweep시킨다. 여기서 해당 주파수가 secular frequency와 동일하게 맞춰질 경우 이온의 secular motion이 증가하게 되고, 이를 통해 외부에서 PMT 등을 통해 측정하는 photon의 개수가 증가하게 된다. 이 방법을 통해 측정된 두 번째 mapping 조건 하에서의 secular frequency의 변화는 그림 4.6과 같다.

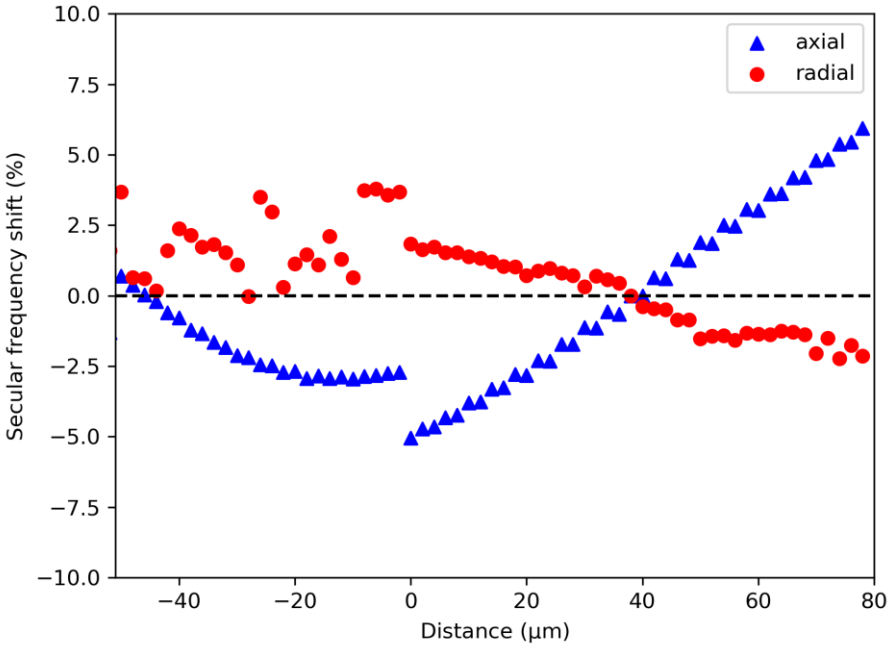


그림 4.6 이온의 셔틀링 위치 별 secular frequency 변화

그림 4.6에서 0점 주변에서 측정이 끊어진 이유는 전압 세트를 반대쪽으로 바꿔 인가하는 과정에서의 불안정이 원인으로, 현재의 secular frequency 측정 세팅은 그렇게 정확하다고 보기 힘들다. 그러나 여기서 확실하게 확인 가능한 것은 axial 방향의 secular frequency는 이온트랩 중심부를 최저점으로 하여, 옆으로 이동할수록 증가하는 형상을 띄는 것이다. 따라서 위의 실험 결과를 통해서는 시뮬레이션의 정확성을 보증하기 어려우나, secular frequency의 변화가 굉장히 일관적인 것을 볼 때 시뮬레이션으로 구해진 전압 세트에 문제가 있을 확률보다는 현재 이온트랩 시스템 내부에서 secular frequency를 변동시킬 수 있는 별도의 요소가 내제되어 있을 가능성이 높다고 추측할 수 있다.

제 5 장 결론

제 1 절 결론

본 논문에서는 확장 가능한 이온 트랩 어레이의 구현을 위한 junction 설계 방법 및 이온 셔틀링 전압 설계 방법, 그리고 전압 입력용 DAC 구현 방법이 제시되었다. 위의 설계 방식들을 이용하여 실제 실험 가능한 이온 셔틀링 시스템이 제작되었으며, 최적화 junction 구조를 지닌 이온트랩을 제외한 나머지 시스템들은 실제 이온 셔틀링 실험을 통한 성능 검증이 진행되었다.

제안된 전극 조각을 유전자로 사용하는 유전 알고리즘 기반 junction trap 설계 방식을 활용할 경우 X-junction 구조의 유사전위 장벽과 이온 높이 변화량이 직선 형태의 RF-전극으로 구현된 X-junction 구조의 유사전위 장벽과 이온 높이 변화량에 비해 각각 8분의 1과 4.3분의 1로 감소하는 것을 확인할 수 있었다. 또한 2um 간격에서 동일한 구조의 electrical potential well을 만들어내는 전압 세트를 구현하는 셔틀링 전압 설계 방식을 활용할 경우 0.01% 이하의 potential 오차를 가진 electrical potential well을 통해 secular frequency를 일정하게 유지하면서 이온을 장거리 이동시키는 것이 가능하며, DC 전극에 발생하는 RF coupling 전압을 10^{-6}V 수준으로 억제하면서 2.7kHz의 update 속도를 지니는 DAC 시스템을 구현하는

것에 성공하였다.

설계된 전압 세트와 DAC 시스템을 통해 이온을 중심부로부터 960 μm 떨어진 위치까지 이동 가능한 것을 확인하였고, 이동 과정에서 이온의 secular frequency 를 측정하고 오차 발생 원인을 분석하였다. 본 연구에서 얻어진 성과들을 분석하여 향후 확장 가능한 평면 이온트랩 어레이 구현을 위한 기반기술로서 적용이 가능할 것으로 기대된다.

제 2 절 향후 연구 방향

본 연구의 성과를 검증하기 위해 다음과 같은 추가 검토가 필요하다. 우선 실제 실험에 활용되지 않은 junction 이온트랩의 성능 검증이 필요하다. Junction 이온트랩에서도 같은 방법으로 이온 셔틀링을 위한 전압 세트를 계산할 수 있다는 것은 검증되었으나, 실제로 본 연구에서 제안한 설계 방식으로 제작된 복잡한 junction 구조에서의 실제 실험이 시뮬레이션 결과와 충분히 유사한 결과를 보일지 확인이 필요하다.

또한 본 셔틀링 방법의 성능을 검증하기 위해 이온의 이동 전후의 heating rate의 정밀한 측정이 필요하다. 본래 본 연구에서도 heating rate 측정을 통해 셔틀링 방식의 효율을 검증하려 했으나, 현재 보유한 실험 셋업의 측정 정밀도 한계로 유효한 측정 결과를 확보하지 못하였다.

마지막으로 secular frequency 측정 실험에서 나타난 문제점에 대한 분석 및 해결이 필요하다. 중심부에서 멀어질수록 secular frequency가 증가하는 원인에 대해서는 크게 두 가지 중 하나로 나눌 수 있다. RF 전극의 길이의 한계의 문제 또는 시뮬레이션 영역 밖 DC 전극의 영향처럼 시뮬레이션의 문제거나, 전압 세트에서 설정된 전압과 실제 DC 전극에 인가되는 전압 사이의 오차 또는 내부에서 정확한 원인을 알 수 없는 별개의 전기장이 발생하여 영향을 주는 경우처럼 이온트랩 실험 시스템의 하드웨어 적인 문제일 수 있다. 두 가지 가능성을 모두 검토하여 이를 해결할 필요가 있다.

위의 검토 사항이 해결될 경우, 본 연구 성과가 적용된 대규모 이온트랩 구조 및 이온 셔틀링 방법을 적용하여 확장 가능한 이온 트랩 어레이 구현에 활용할 수 있을 것으로 보인다.

참고 문헌

1. R. P. Feynman, “Simulating physics with computers,” International Journal of Theoretical Physics, vol. 21, no. 6, pp. 467−488, (1982)
2. M. A. Nielsen and I. L. Chuang, Quantum information and quantum computation, Cambridge: MA, Cambridge University Press, 2000, pp. 2
3. T. D. Ladd, F. Jelezko, R. Laflamme, Y. Nakamura, C. Monroe, and J. L. O’Brien, “Quantum computers,” Nature, vol. 464, no. 7285, pp. 45−53, (2010)
4. P. W. Shor, “Algorithms for quantum computation: Discrete logarithms and factoring,” in Proc. Foundations of Computer Science, 35th Annual Symposium on. IEEE, pp. 124−134 (1994)
5. D. Deutsch and J. Richard, “Rapid solution of problems by quantum computation,” In Proc. the Royal Society of London A: Mathematical, Physical and Engineering Sciences, vol. 439, no. 1907, pp. 553−558 (1992)
6. D. P. DiVincenzo, “The Physical Implementation of Quantum Computation,” Fortschritte der Physik, vol. 48, pp. 771, (2000)
7. C. H. Bennett and G. Brassard. “Quantum cryptography: Public key distribution and coin tossing,” in Proc. International Conference on Computers, Systems & Signal Processing, (1984)
8. H. J. Briegel, W. Dür, J. I. Cirac, P. Zoller, “Quantum repeaters: The role of imperfect local operations in quantum communication,” Physical Review Letters vol. 81no. 26 pp. 5932 (1998)
9. L. M. Duan, M. D. Lukin MD, J. I. Cirac, P. Zoller, “Long−distance quantum communication with atomic ensembles and linear optics,” Nature vol. 414 no. 6862 pp. 413–418 (2001)

10. N. Gisin, G. Ribordy, W. Tittel, and H. Zbinden, “Quantum cryptography,” Reviews of modern physics, vol. 74, no. 1, pp. 145, (2002)
11. N. Gisin and Rob Thew, “Quantum communication,” Nature photonics, vol. 1, no. 3, pp. 165−171, (2007)
12. I. Buluta and N. Franco, “Quantum simulators,” Science, vol. 326, no. 5949, pp. 108−111, (2009)
13. D. J. Wineland, C. Monroe, W. M. Itano, B. E. King, D. Leibfried, C. Myatt, and C. Wood “Trapped−ion quantum simulator,” Physica Scripta, vol. T76, pp. 147, (1998)
14. R. Blatt and F. R. Christian, “Quantum simulations with trapped ions,” Nature Physics, vol. 8, no. 4, pp. 277−284, (2012)
15. J. I. Cirac, P. Zoller “Quantum computations with cold trapped ions,” Physical review letters, vol. 74, no.20, pp.4091–4094 (1995)
16. F. Schmidt−Kaler, H. Häffner, M. Riebe, S. Gulde, G. P. Lancaster, T. Deuschle, C. Becher, C. F. Roos, J. Eschner, R. Blatt, “Realization of the Cirac–Zoller controlled−NOT quantum gate,” Nature, vol. 422 no. 6930 pp. 408–411 (2003)
17. R. Blatt, D. Wineland, “Entangled states of trapped atomic ions,” Nature vol. 453, no.7198, pp. 1008–1015 (2008)
18. D. Kielpinski, “Ion−trap quantum information processing: experimental status,” Frontiers of Physics in China, vol. 3, no. 4, pp. 365−381 (2008)
19. J. P. Home, D. Hanneke, J. D. Jost, J. M. Amini, D. Leibfried, D. J. Wineland, “Complete methods set for scalable ion trap quantum information processing,” Science, vol. 325, no. 5945, pp.1227–1230 (2009)
20. M. H. Devoret, R. J. Schoelkopf, “Superconducting circuits for quantum information: an outlook,” Science, vol. 339 no. 6124, pp. 1169–1174 (2013)

21. J. M. Martinis, S. Nam, J. Aumentado, C. Urbina, “Rabi oscillations in a large Josephson−junction qubit,” Physical Review Letters, vol. 89, no.11, pp. 117901 (2002)
22. A. Imamog, D. D. Awschalom, G. Burkard, D. P. DiVincenzo, D. Loss, M. Sherwin, and A. Small, “Quantum information processing using quantum dot spins and cavity QED,” Physical Review Letters, vol. 83, no. 20, pp. 4204 (1999)
23. D. Loss and D. P. DiVincenzo, “Quantum computation with quantum dots,” Physical Review A, vol. 57, no. 1, pp. 120 (1998)
24. J. K. Pachos and P. L. Knight, “Quantum computation with a one−dimensional optical lattice,” Physical review letters, vol. 91, no.10, pp. 107902 (2003)
25. G. K. Brennen, C. M. Caves, P. S. Jessen, and I. H. Deutsch “Quantum logic gates in optical lattices,” Physical Review Letters, vol. 82, no. 5, pp. 1060 (1999)
26. N. A. Gershenfeld and I. L. Chuang, “Bulk spin−resonance quantum computation,” Science, vol. 275, no.5298, pp. 350–356 (1997)
27. L. M. Vandersypen and I. L. Chuang, “NMR techniques for quantum control and computation,” Reviews of modern physics, vol. 76, no. 4, pp. 1037 (2005)
28. D. J. Griffiths, Reed College, “Introduction to electrodynamics (Vol. 3),” Upper Saddle River, NJ: prentice Hall (1999)
29. W. Paul, H. P. Reinhard, U. Zahn “Das elektrische Massenfilter als Massenspektrometer und Isotopentrenner,” Zeitschrift für Physik, vol. 152, no.2, pp. 143–182 (1959)
30. W. Paul, “Electromagnetic traps for charged and neutral particles,” Reviews of modern physics, vol. 62, no. 3, pp. 531 (1990)
31. H. G. Dehmelt, “Radiofrequency spectroscopy of stored ions I: Storage,” Advances in Atomic and Molecular Physics, vol. 3, no. 53 (1967)

32. F. M. Penning and K. Nienhuis “Construction and applications of a new design of the Philips vacuum gauge,” Philips Technical Review, Netherlands, pp. 11 (1949)
33. Lecture note of G. Werth, Johannes Gutenberg University [https://www.icts.res.in/sites/default/files/1265634974GWerth_lecture_notes.pdf]
34. Webpage of Institut für Quantenoptik und Quanteninformation at Innsbruck [http://heart-c704.uibk.ac.at/index.php/en/research/lintrap]
35. S. Seidelin, J. Chiaverini, R. Reichle, J. J. Bollinger, D. Leibfried, J. Britton, J. H. Wesenberg, R. B. Blakestad, R. J. Epstein, D. B. Hume, W. M. Itano, J. D. Jost, C. Langer, R. Ozeri, N. Shiga, and D. J. Wineland, “Microfabricated surface-electrode ion trap for scalable quantum information processing,” Physical review letters, vol. 96, no. 25, pp. 253003 (2006)
36. J. Chiaverini, R. B. Blakestad, J. Britton, J. D. Jost, C. Langer, D. Leibfried, R. Ozeri, D. J. Wineland, “Surface-electrode architecture for ion-trap quantum information processing,” Quantum Information and Computation, vol. 5, no. 6, pp. 419-439 (2005)
37. J. M. Amini, J. Britton, D. Leibfried, and D. J. Wineland, Atom Chips, Hoboken, NJ: John Wiley & Sons (2011)
38. D. Stick, W. K. Hensinger, S. Olmschenk, M. J. Madsen, K. Schwab, and C. Monroe, “Ion trap in a semiconductor chip,” Nature Physics, vol. 2, no. 1, pp. 36-39 (2006)
39. M. J. Madsen, W. K. Hensinger, D. Stick, J. A. Rabchuk, C. Monroe, “Planar ion trap geometry for microfabrication,” Applied Physics B: Lasers and Optics, vol. 78, no. 5, pp. 639-651, (2004)

40. S. C. Doret, J. M Amini, K. Wright, C. Volin, T. Killian, A. Ozakin, D. Denison, H. Hayden, C-S Pai, R. E. Slusher, and A. W. Harter, “Controlling trapping potentials and stray electric fields in a microfabricated ion trap through design and compensation,” New Journal of Physics, vol. 14, no. 7, pp. 073012 (2012)
41. D. T. C. Allcock, T. P. Harty, H. A. Janacek, N. M. Linke, C. J. Ballance, A. M. Steane, D. M. Lucas, R. L. Jarecki Jr., S. D. Habermehl, M. G. Blain, D. Stick, and D. L. Moehring “Heating rate and electrode charging measurements in a scalable, microfabricated, surface-electrode ion trap,” Applied Physics B: Lasers and Optics, vol. 107, no. 4, pp. 913-919 (2012)
42. D. Kielpinski, C. Monroe, and D. J. Wineland, “Architecture for a large-scale ion-trap quantum computer,” Nature, vol. 417, no. 6890, pp. 709-711 (2002)
43. C. Monroe and J. Kim, “Scaling the ion trap quantum processor,” Science, vol. 339, no. 6124, pp. 1164-1169 (2013)
44. J. I. Cirac and P. Zoller, “Scalable quantum computer with ions in an array of microtraps,” Nature, vol. 404, no. 6778, pp. 579-581 (2000)
45. K. Wright, K. M. Beck, S. Debnath, J. M. Amini, Y. Nam, N. Grzesiak, J. S. Chen, N. C. Pisenti, M. Chmielewski, C. Collins, and K. M. Hudek, “Benchmarking an 11-qubit quantum computer," Nature communications, vol. 10, no. 1, pp. 1-6 (2019)
46. J. M. Amini, H. Uys, J. H. Wesenberg, S. Seidelin, J. Britton, J. J. Bollinger and D. J. Wineland, “Toward scalable ion traps for quantum information processing,” New journal of Physics, vol. 12, no. 3, pp. 033031 (2010)
47. D. L. Moehring, C. Highstrete, D. Stick, K. M. Fortier, R. Haltli, C. Tigges and M. G. Blain, "Design, fabrication and experimental demonstration of junction surface ion traps." New Journal of Physics, vol. 13, no. 7, pp. 075018 (2011)

48. K. Wright, J. M Amini, D. L. Faircloth, C. Volin, S. C. Doret, H. Hayden, C-S Pai, D. W. Landgren, D. Denison, T. Killian, R. E. Slusher, and A. W. Harter, "Reliable transport through a microfabricated X-junction surface-electrode ion trap," New Journal of Physics, vol. 15, no. 3, pp. 033004, (2013)
49. H. A. Fürst, M. H. Goerz, U. G. Poschinger, M. Murphy, S. Montangero, T. Calarco, F. Schmidt-Kaler, K. Singer, and C. P. Koch, "Controlling the transport of an ion: classical and quantum mechanical solutions," New Journal of Physics, vol. 16, no. 7, pp. 075007 (2014)
50. G. Huber, T. Deuschle, W. Schnitzler, R. Reichle, K. Singer, and F. Schmidt-Kaler, "Transport of ions in a segmented linear Paul trap in printed-circuit-board technology," New Journal of Physics, vol. 10, no. 1, pp. 013004 (2008)
51. V. Kaushal, B. Lekitsch, A. Stahl, J. Hilder, D. Pijn, C. Schmiegelow, A. Bermudez, M. Müller, F. Schmidt-Kaler, and U. Poschinger, "Shuttling-based trapped-ion quantum information processing," AVS Quantum Science, vol. 2, no. 1, pp. 014101 (2020)
52. S. Hong, Y. Kwon, C. Jung, M. Lee, T. Kim, and D. Cho, "A new microfabrication method for ion-trap chips that reduces exposure of dielectric surfaces to trapped ions," Journal of Microelectromechanical Systems, vol. 27, no.1, pp. 28-30 (2017)
53. M. Lee, J. Jeong, Y. Park, C. Jung, T. Kim, and D. Cho, "Ion Shuttling Method for Long-Range Shuttling of Trapped Ions in MEMS-Fabricated Ion Traps," Japanese Journal of Applied Physics, in press
54. S. Hong, M. Lee, H. Cheon, T. Kim, and D. Cho, "Guidelines for designing surface ion traps using the boundary element method," Sensors, vol. 16, no.5, pp. 616 (2016)

55. M. Lee, Y. Park, S. Hong, C. Jung, T. Kim, Y. Kwon, and D. Cho, “Adjustment of Replacement Conditions for Genetic Algorithm Used in Optimizing Ion-Trap Electrodes at a Junction,” The 17th International Conference on Control, Automation and Systems (ICCAS 2017), Jeju, Korea, Oct. 18-21 (2017)
56. S. Hong, M. Lee, Y. Kwon, D. Cho, and T. Kim, “Experimental methods for trapping ions using microfabricated surface ion traps,” Journal of Visualized Experiments, vol. 126, pp. 56060 (2017)
57. 대학 ICT 연구센터지원사업 무결점 보안을 위한 지상/위성 양자통신 기술 개발 과제보고서 (IITP-2020-2015-0-00385)

Abstract

Design and shuttling method for implementing scalable ion trap array

Minjae Lee
Department of Electrical and Computer Engineering
The Graduate School
Seoul National University

Quantum information processing (QIP) is expected to bring innovation in various technology fields by overcoming the limitations of the current classical information technology. An ion trap is a device to capture charged particles using electromagnetic fields, which can be used as a QIP platform by using the energy state of the captured ions as a qubit. The ion trap has a longer coherence time compared to other QIP platforms, thus can be used as a key device for realizing quantum computing and long-distance quantum communication. For the practical use of QIP, it is necessary to utilize thousands of qubits simultaneously, thus it is necessary to implement a scalable large-scale ion trap array structure with separated areas with different roles. A micro-electromechanics systems (MEMS)-fabricated ion trap is considered to the most appropriate production method for implementing large-scale ion trap array structure due to its high integrability and producibility. In order to operate a large-scale ion

trap array, it is necessary to develop a method to move ions between separate areas. In this paper, an optimization method to design the junction structure that divides the zones between ion traps, a voltage set design method to move ions, and building a DAC system to input voltage sets are described. Through the technologies secured above, an ion shuttling experiment system is established, and ion shuttling experiment of reciprocating ion for 1920 μm distance is shown.

(This research was supported by Samsung Research Funding & Incubation Center of Samsung Electronics under Project Number SRFC-IT1901-09.) and by the MSIT (Ministry of Science and ICT), Korea, under the ITRC (Information Technology Research Center) support program (IITP-2020-2015-0-00385) supervised by the IITP (Institute for Information & Communications Technology Planning & Evaluation.)

Keywords : Quantum information technology, ion trap, ion shuttling, MEMS

Student Number : 2012-20832