creative commons
COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학석사 학위논문

Zinc Tin Oxide 박막의 조성비 및 후 열처리 온도에 따른 물리적, 전기적 특성에 관한 연구

Study on the Physical and Electrical Properties of Zinc Tin Oxide Thin Films according to the Composition Ratio and the Post-deposition Annealing

2021년 8월

서울대학교 대학원
재료공학부 하이브리드재료전공
김 화 영

Zinc Tin Oxide 박막의 조성비 및 후 열처리 온도에 따른 물리적, 전기적 특성에 관한 연구

Study on the Physical and Electrical Properties of Zinc Tin Oxide Thin Films according to the Composition Ratio and the Post-deposition Annealing

지도교수 황 철 성

이 논문을 공학석사 학위논문으로 제출함

2021년 6월

서울대학교 대학원

재료공학부 하이브리드재료전공

김 화 영

김화영의 공학석사 학위논문을 인준함

2021년 6월

위원장 장 호 원

위 원 황 철 성

위 원 김 상 범

초 록

최근 디스플레이 소자에서 박막 트랜지스터의 채널 물질로 널리 연구된 비정질 산화물 반도체를 디램, 낸드 플래시와 같은 차세대 수직 적층형 메모리 소자의 셀 트랜지스터에 응용하려는 연구가 보고되고 있다. 비정질 산화물 반도체가 메모리 소자의 채널층으로 적용되기 위해서는 소자의 성능 개선 뿐만 아니라 700 °C 이상에 달하는 높은 공정 온도 하에서 안정적인 구조적, 전기적 특성이 확보되어야 한다. 따라서 본 연구에서는 비정질 ZnSnO(ZTO) 박막을 원자층 증착법으로 증착하여 박막을 구성하는 아연과 주석의 조성비에 따른 물리적, 전기적 특성 평가를 진행하였다. 그리고 증착 후 결정화 온도 부근의 고온 열처리를 통해 ZTO 박막의 열 안정성과 소자 성능을 둘 다 만족시킬 수 있는 최적의 조성비 조건을 찾고자 하였다. 그 결과 Sn 40 - 65 at%에서 약 700 °C 수준의 가장 높은 결정화 온도를 갖는 것이 확인되었으며, Sn 40 - 45 at%에서 가장 우수한 소자 성능이 관찰되었다. 그리고 증착 후 고온 열처리 평가 시 결정화 온도 이하 영역에서는 열처리 온도를 높일수록 결함 밀도 감소에 기인한 것으로 추정되는 이동도 개선이 관찰되었으나, 결정화 온도 이상 영역에서는 결정립계 및 관련 결함들의 생성에 기인한 것으로 추정되는 급격한 소자 성능의 저하가 관찰되었다. 따라서 본 연구 결과를 종합해보면 ZTO 박막의 열 안정성과 소자 성능을 둘 다 만족시킬 수 있는 최적의 조성비는 Sn 40 - 45 at%로 확인되었으며, 약 700 °C 수준의 결정화 온도를 넘지 않는 고온 열처리에서는 양호한 소자 성능이 얻어질 수 있음을 보였다. 따라서 본 연구 결과는 현재 비정질 ZTO 박막 트랜지스터가 갖고 있는 열 안정성과 소자 성능을 조금 더 개선시킬 수 있다면 차세대 삼차원 메모리 소자의 셀 채널 물질로 응용될 가능성이 높음을 시사한다.

주요어 : 비정질 산화물 반도체, 원자층 증착법, zinc tin oxide(ZTO), 박막 트랜지

스터, 열처리, 결정화

학번 : 2019-22296

목 차

I. 서론 **1**

II. 문헌 연구 **5**

2.1 비정질 산화물 반도체 5

2.1.1 Zinc Tin Oxide(ZTO) 8

2.1.2 ZTO 조성비에 따른 구조적 특성 8

2.1.3 ZTO 조성비에 따른 전기적 특성 10

2.1.4 비정질 산화물 반도체의 증착 후 열처리 평가 13

III. 본문 **18**

3.1 제작 및 측정 18

3.1.1 원자층 증착법을 통한 ZTO 채널막 성장 18

3.1.2 박막 트랜지스터 제작 공정 20

3.1.3 측정 장비 및 소자 특성 추출법 23

3.2 ZTO 박막의 구조적 특성 평가 결과 26

3.2.1 조성비, 결정화 온도, 박막 밀도 26

3.2.2 표면 형태학 분석(SEM, AFM) 39

3.3 ZTO 박막의 전기적 특성 평가 결과 43

3.3.1 홀 효과 측정 43

3.3.2 전하 전달 특성 46

3.3.3 열처리 평가 62

IV. 결론 **66**

참고 문헌 **67**

Abstract **74**

표 목 차

표 3.1. ALD ZTO 증착 공정의 세부 진행 조건 19
표 3.2. SnO_2 와 ZnO 서브 사이클의 증착율(growth per cycle, GPC) 비교 31
표 3.3. ZnO, Zn_2SnO_4, SnO_2 결정의 이론 밀도 38
표 3.4. ZnO, Zn_2SnO_4, SnO_2 결정의 이론 밀도 및 실험 밀도로 산출한 상대 밀도 39
표 3.5. ZTO 박막의 조성비 별 800 °C 열처리 여부에 따른 AFM 거칠기 (RMS) 41
표 3.6. PDA 온도 별 ZTO TFT의 주요 소자 성능 (V_{ds} = 10 V) 65

그 림 목 차

그림 2.1. 결정질 및 비정질 반도체의 전하 전송 경로에 대한 개략적인 궤도 모식도: (a) 공유 결합 반도체 (b) 전이 후 금속 양이온으로 구성된 비정질 산화물 반도체 [1] 6
그림 2.2. 비정질 산화물 반도체의 밴드 다이어그램 [2] 7
그림 2.3. 산소 공공에서 자유 전자의 형성 모식도 11
그림 3.1. ALD ZTO 증착 공정의 펄스 진행 순서 20
그림 3.2. ZTO 박막 트랜지스터의 제작 공정 모식도 22
그림 3.3. 제작된 ZTO 박막 트랜지스터의 상부 이미지 및 계측값 (좌측부터 레이아웃, 광학 현미경, 그리고 주사 전자 현미경 순서. 광학 현미경의 경우 낮은 해상도로 인해 계측 정확도가 낮아서 값을 기입하지 않음) 23
그림 3.4. Transfer length method(TLM)의 측정 구조 및 접촉 간격에 따른 총 저항 그래프(일반적인 수치: L = 50 μm, W = 100 μm, d = 5 - 50 μm) [3] 25
그림 3.5. 본 연구에서 TLM 측정에 사용한 패턴의 레이아웃 (초록색: ZTO 채널막, 주황색: ITO 전극, 채널 폭 100 μm, 채널 길이 5 - 50 μm) 26
그림 3.6. ZTO 박막의 열처리 온도에 따른 조성비: (a) Sn 16.4 at%(1S2Z), (b) Sn 26.4 at%(1S1Z), (c) Sn 40 at%(2S1Z), (d) Sn 52.5 at%(3S1Z), (e) Sn 66.3 at%(5S1Z), (f) Sn 76 at%(8S1Z) 27
그림 3.7. ZTO 박막의 조성비 별 GIXRD 결과 (열처리 미진행) 28

그림 3.8. ZTO 박막의 조성비 별 열처리 온도에 따른 GIXRD 결과: (a) Sn 16.4 at%(1S2Z), (b) Sn 26.4 at%(1S1Z), (c) Sn 40 at%(2S1Z), (d) Sn 52.5 at%(3S1Z), (e) Sn 66.3 at%(5S1Z), (f) Sn 76 at%(8S1Z) 29
그림 3.9. ZTO 조성비에 따른 결정화 온도 (증착 후 열처리 온도 기준이며, 0 °C의 경우 열처리를 진행하지 않은 상태에서 이미 결정화된 경우에 해당) 30
그림 3.10. 조성비 및 서브 사이클 진행 비율에 따른 ZTO 박막의 단면 모식도 33
그림 3.11. ZTO 박막의 조성비 별 열처리 온도에 따른 XRR 평가 결과: (a) Sn 16.4 at%(1S2Z), (b) Sn 26.4 at%(1S1Z), (c) Sn 40 at%(2S1Z), (d) Sn 52.5 at%(3S1Z), (e) Sn 66.3 at%(5S1Z), (f) Sn 76 at%(8S1Z)(임계각 변화를 확인하기 위해 입사각이 낮은 영역 확대함) . . . 35
그림 3.12. ZTO 박막의 조성비 별 열처리 온도에 따른 박막 밀도 36
그림 3.13. ZTO 박막의 조성비 별 열처리 온도에 따른 박막 밀도 38
그림 3.14. ZTO 박막의 조성비 별 800 °C 열처리 진행 여부에 따른 SEM 이미지: (a)에서 (l)까지 ZTO 박막 내 Sn 농도가 증가하는 방향이며, 좌측 행은 증착 후 열처리 미 진행(as deposited), 우측 행은 대기 분위기 하에서 800 °C, 1 시간 동안 열처리한 조건임. 스케일 바는 200 nm. 40

그림 3.15. ZTO 박막의 조성비 별 800 °C 열처리 진행 여부에 따른 AFM 지형 이미지 및 높이 분포 곡선: (a) Sn 40 at%(열처리 미 진행), (b) Sn 52.5 at%(열처리 미 진행), (c) Sn 66.3 at%(열처리 미 진행), (d) Sn 40 at%(PDA 800 °C), (e) Sn 52.5 at%(PDA 800 °C), (f) Sn 66.3 at%(PDA 800 °C), (g) Sn 40 at%(열처리 전/후), (h) Sn 52.5 at%(열처리 전/후), (i) Sn 66.3 at%(열처리 전/후), (스캔 크기: 2 μm x 2 μm (256 x 256 pixels), 높이 스케일: -2 nm에서 5 nm) 42

그림 3.16. ZTO 박막의 홀 패턴 레이아웃(초록색: ZTO 채널층, 주황색: ITO 전극, 채널 영역: 140 μm × 140 μm, 채널과 전극 중첩 영역: 18 μm × 18 μm, 포토리소그래피 공정을 통해 홀 패턴 제작.) 45

그림 3.17. ZTO 박막의 조성비 별 홀 측정 결과: 비저항, 전자 밀도, 홀 이동도 (Y축 에러 바: 중간값 ± 표준 편차(σ)) 45

그림 3.18. Sn 농도 별 전하 전달 곡선: (a) 선형 상태(V_{ds} = 0.1 V), (b) 포화 상태(V_{ds} = 10 V) (채널의 폭/길이 = 20 μm/5 μm) 48

그림 3.19. ZTO TFT의 포화 전달 곡선으로부터 추출된 Sn 농도 별 주요 소자 항목: 문턱 전압(V_{th}), 문턱 전압 이하 기울기(SS), 전계 효과 이동도(μ_{FE}) 48

그림 3.20. ZTO TFT의 포화 전달 곡선으로부터 추출된 Sn 농도 별 꺼진 상태와 켜진 상태에서의 전류 특성: off current, on current, on/off ratio(I_{on}/I_{off}) 49

그림 3.21. Sn 농도 별 ZTO TFT의 전계 효과 이동도와 홀 이동도 50

그림 3.22. 홀 이동도와 전계 효과 이동도의 측정 환경 상의 차이점 . . . 51

그림 3.23. ZTO TFT의 채널 저항 및 접촉 저항 성분 51

그림 3.24. ZTO TFT의 채널 길이 별 총 저항(R_{tot}) 변화: (a) Sn 28 at%, (b) Sn 45 at%, (c) Sn 56 at%, (d) Sn 68 at%, (e) Sn 77 at% (V_{gs} = 14, 16, 18, 20 V, V_{ds} = 0.1 V, W(채널 폭) = 100 μm) 53
그림 3.25. Sn 농도 별 접촉 저항의 변화(V_{gs} = 20 V, V_{ds} = 0.1 V, 채널 폭 (W) = 100 μm) 54
그림 3.26. ZTO TFT의 채널 길이 별 총 저항 대비 접촉 저항이 차지하는 비율(R_{sd}/R_{tot}, 소자가 꺼지지 않았던 Sn 농도 60 at% 이상 조건 제외) 54
그림 3.27. ZTO TFT의 채널 길이 별 전계 효과 이동도: (a) Sn 28 at%, (b) Sn 45 at%, (c) Sn 56 at% 56
그림 3.28. Sn 농도 별 홀 이동도, 전계 효과 이동도, 그리고 진성 이동도 57
그림 3.29. Sn 농도 별 쇼트키 장벽의 높이 변화 ([4]의 전자 친화도 및 밴드갭 결과를 이용하여 도식화 함) 58
그림 3.30. 측정 조건 별 소자에서 흐를 수 있는 전류 경로: (a) V_{ss} = 0 V, V_{ds} = 10 V, V_{gs} = -20 V - +20 V(포화 상태), (b) V_{ss} = floating, V_{ds} = 10 V, V_{gs} = -20 V - 0 V(꺼진 상태에서 채널 누설 전류 경로를 배제), (c) 실제 소자의 상면도 60
그림 3.31. 측정 조건 별 소자의 I_{ds}-V_{gs} 곡선: (a) V_{ss} = 0 V, V_{ds} = 10 V, V_{gs} = -20 V - +20 V(포화 상태), (b) V_{ss} = floating, V_{ds} = 10 V, V_{gs} = -20 V - +5 V(꺼진 상태에서 채널 누설 전류 경로를 배제) 61
그림 3.32. (a) ZTO 채널층의 건식 식각 공정에서 발생할 수 있는 플라즈마 손상 모식도, (b) 습식 식각 공정 도입을 통한 플라즈마 손상 영역의 제거 61
그림 3.33. 게이트 절연체의 플라스마 손상을 개선시키기 위해 제안하는 소자의 구조적 변화 62

그림 3.34. PDA 온도 별 ZTO TFT의 전하 전달 곡선: (a) 선형 상태, V_{ds} = 0.1 V, (b) 포화 상태, V_{ds} = 10 V (채널의 폭/길이 = 20 μm/5 μm) 64
그림 3.35. PDA 온도 별 주요 소자 성능: (a) 문턱 전압 (V_{th}), 문턱 전압 이하 기울기 (SS), 전계 효과 이동도 (μ_{FE}), (b) off current, on/off ratio, on current 64

제 1 장

서론

비정질 산화물 반도체는 투명하고, 유연하며, 대면적 및 저 비용 제작이 가능하다는 장점을 가지고 있어 능동 구동형(active matrix) 액정 디스플레이(LCD), 유기 발광 다이오드(AMOLED)와 같은 디스플레이 제품의 채널 물질로 많은 각광을 받아왔다. 특히 기존의 비정질 실리콘 박막 트랜지스터 대비 높은 이동도, 우수한 투명성, 양호한 균일성, 그리고 낮은 온도로 공정이 가능하다는 장점으로 인해 대면적, 고해상도를 필요로 하는 디스플레이 전자 장치에서 상용화가 촉진되었다[1]. 대표적인 금속 산화물 반도체로는 InGaZnO(IGZO)[5]를 들 수 있으며, 그 외에도 InZnO(IZO)[6], InZnSnO(IZTO)[7], InSnO(ITO)[8], ZnSnO(ZTO)[9] 와 같은 다양한 산화물 반도체 물질들이 개발 및 연구되고 있다.

최근에는 디스플레이 소자에서 박막 트랜지스터의 채널 물질로 널리 연구된 비정질 산화물 반도체를 차세대 수직 적층형 메모리 소자의(V-DRAM, V-NAND) 셀 트랜지스터에 응용하려는 연구가 보고되고 있다. 현재 V-NAND에서는 셀 채널 물질로 다결정 실리콘 박막을 사용하고 있으나, 다결정 실리콘의 경우 결정립계 및 결함의 존재로 인해 이동도 저하, 누설 전류 증가, 셀 간의 산포 증가와 같은 문제들을 갖고 있으며[10][11], 또한 다결정 실리콘 박막을 화학 기상 증착법(Chemical Vapor Deposition, CVD)을 통해 형성함에 따라 향후 적층 수가 증가할수록 단차 피복성이 저하될 우려가 있다. 따라서 이러한 다결정 실리콘 채널의 단점을 보완하고 대체하기위한 후보군으로 비정질 산화물 반도체가 대두되고 있으며, 장점으로는 크게 세 가지를 들 수 있다. 첫째, 비정질 산화물 반도체는 약 3.2 eV 수준의 넓은 밴드 갭(band gap, E_g)을 가지고 있어 기존의 실리콘(E_g = 1.12 eV) 대비 꺼진 상태에서 매우 낮은 누설 전류를 가질 수 있다[12]. 예를 들어 c-

axis aligned crystalline(CAAC) IGZO 박막 트랜지스터는 꺼진 상태에서 1×10^{-22} A/μm($I_{on}/I_{off} = 10^{18}$) 수준의 매우 낮은 누설 전류를 가지는 것으로 보고된 바 있으며[13], 이는 1×10^{-12} A/μm($I_{on}/I_{off} = 10^{9}$) 수준의 누설 전류를 갖는 결정질 실리콘 대비 약 10^{-10} 배에 해당한다. 그리고 CAAC-IGZO 박막 트랜지스터를 디램 셀 어레이로 제작하여 데이터 보존 시간(retention time)을 평가해 본 결과, 실리콘 대비 우수한 누설 전류 특성으로 인해 85 °C 에서 1 시간 이상의 긴 보존 시간이 얻어졌으며[14], 이는 긴 데이터 보존 시간을 요구하는 디램에 매우 큰 장점으로 작용할 수 있다. 둘째로는 양호한 균일성이다. 다결정 실리콘 채널의 경우 해당 셀 채널층에 결정립의 유무 및 결정화도에 따라 전기적 특성이 달라질 수 있으며, 이는 셀 간의 산포 증가를 유발할 수 있다[11]. 하지만 비정질 산화물 반도체를 적용할 경우에는 결정립이 없기 때문에 셀 간의 양호한 균일성을 얻을 수 있으며, 비정질 구조임에도 불구하고 전도대 최하단부가(Conduction Band Minimum, CBM) 큰 반경의 대칭적인 구 형태를 가진 전이 금속 ns 궤도($n \geq 4$)로 이루어져 있어 불규칙적인 배열에서도 충분한 궤도 중첩이 발생하여 약 10 cm^2/Vs 이상의 양호한 전자 이동도를 가질 수 있다[1]. 셋째로는 원자층 증착법(Atomic Layer Deposition, ALD)이 가능하여 양호한 단차 피복성을 얻을 수 있다는 점이다. 다결정 실리콘 박막은 화학기상 증착법을 통해서 형성될 수 있으나, 비정질 산화물 반도체는 원자층 증착법이 가능하기 때문에 단차가 높고, 복잡한 구조를 갖는 수직 적층형 구조에 큰 이점이 될 수 있다. 따라서 위에서 기술한 내용을 종합해보면, 현재 수직 적층형 메모리 소자의 채널층으로 사용되고 있는 다결정 실리콘 박막의 한계점들을 비정질 산화물 반도체가 보완할 수 있을 것으로 예상되며, 이를 검증하기 위해 다양한 산화물 반도체 소자를 제작하고, 평가하는 많은 연구들이 보고되어 왔다[15][16][17].

하지만 비정질 산화물 반도체가 메모리 소자의 채널층으로 적용되기 위해서는 소자의 성능 개선 뿐만 아니라, 메모리 반도체의 높은 공정 온도 하에서 비정질 구조를 유지할 수 있어야 한다. 현재 디램 및 낸드 플래시의 공정 온도는 700 °C 이상으로 높은 반면, 비정질 산화물 반도체의 결정화 온도는 600 - 700 °C 부근

으로 보고되고 있어[18][19] 메모리 소자의 열 예산(thermal budget)을 감안 시 열 안정성이 충분하지 않은 상황이다. 하지만 기존 문헌에서는 결정화 온도를 넘지 않는 낮은 온도에서 소자의 성능을 개선시키기 위한 열처리 실험에 대부분 초점이 맞춰져 있으며[20][21][22], 결정화 온도 부근에 해당하는 고온 열처리 전후 박막의 특성 변화에 관한 연구는 많이 이루어지지 않았다. 따라서 향후 비정질 산화물 반도체가 수직 적층형 메모리 소자의 높은 공정 온도를 견딜 만큼의 충분한 열 안정성이 확보되는지에 대한 선행 연구가 필요한 시점이다.

IGZO는 지금까지 가장 활발히 연구된 대표적인 산화물 반도체 물질로서 현재 디스플레이 소자에서 박막 트랜지스터의 채널 물질로 상용화되고 있다. 하지만 향후 다양한 분야에서 널리 사용되기에는 가격 경쟁력 측면에서 한계점을 지니고 있다. IGZO의 구성 원소 중 하나인 인듐(Indium)은 대표적인 투명 전극 물질인 InSnO(ITO)를 비롯하여 투명 디스플레이 소자에서 활용되고 있는 핵심 원소이다. 하지만 급격히 증가하는 수요에 비해 인듐의 산출량은 매우 적어서 시장 가격이 점점 증가하는 추세이며, 시장 경쟁력을 높이기 위해서는 인듐을 포함하지 않는 산화물 반도체 물질의 도입이 불가피한 상황이다[23]. 이러한 한계를 극복하기 위해 IGZO를 대체할 수 있는 여러 물질에 대한 연구가 이루어지고 있으며, 그 중 하나가 바로 ZnSnO(ZTO)이다. IGZO 대비 ZTO가 갖는 이점으로는 크게 세가지를 들 수 있다. 우선 ZTO를 구성하는 아연(Zinc)과 주석(Sn)은 인듐 대비 매장량이 많아 가격 경쟁력 측면에서 우위에 있다[24]. 그리고 ZTO는 삼성분계 물질이므로 IGZO 대비 구성원소가 1 개 적어서 상대적으로 조성비 조절이 용이하고, 더 높은 양산성을 가질 수 있다. 그리고 지금까지 보고된 여러 문헌들을 살펴보면 IGZO와 ZTO 박막 트랜지스터가 유사한 소자 성능을 보이고 있으며[15][25], 오히려 인듐을 포함한 금속 산화물에 내재하는 인듐 분리(indium segregation) 현상이 발생하지 않기 때문에 이로 인한 전도대 최하단부 부근의 서브갭 상태 밀도(subgap DOS_S) 증가 및 소자의 신뢰성 저하 현상을 미연에 방지할 수 있을 것으로 보인다[26].

따라서 본 연구에서는 ZTO 박막을 원자층 증착법으로 증착하여 박막을 구성

하는 아연과 주석의 조성비에 따른 물리적, 전기적 특성 평가를 진행하였다. 더불어 결정화 온도 부근의 고온 열처리 평가를 함께 진행함으로써 ZTO 박막의 열 안정성과 소자 성능을 둘 다 만족시킬 수 있는 최적의 조성비 및 열처리 조건을 찾고자 하였다.

제 2 장

문헌 연구

2.1 비정질 산화물 반도체

금속 산화물 반도체는 일반적으로 넓은 밴드 갭을 갖는 투명한 반도체 물질을 가리켜 말한다. 전이 금속 또는 전이후 금속(post-transition metal)이 포함된 산화물에 해당하며, 도핑을 통해 전도성과 밴드 갭을 조절할 수 있다. 이와 같이 산화물 반도체의 우수한 전기적, 광학적 특성은 투명 반도체 분야에서 매우 중요한 위치에 자리매김하게 하였으며, 앞으로도 투명 디스플레이, 투명 태양전지, 투명 센서 등의 다양한 산업 분야에서 응용될 가능성이 높은 물질이다[2][27].

비정질 산화물 반도체(Amorphous Oxide Semiconductor, AOS)는 비정질 구조에서도 높은 전자 이동성을 가질 수 있는데 그 이유는 다음과 같은 전자 구조의 특징에서 기인한다. 산화물 반도체는 공유 결합을 이루는 실리콘과 달리 금속과 산소 원자가 이온성 결합을 이룬다. 가전자대의 최상단부(VBM)는 산소의 2p 궤도로, 전도대의 최하단부(CBM)는 금속의 ns 궤도로 주로 구성되어 있으며, ns 궤도는 반경이 큰 구 형태로 이루어져 있기 때문에 원자의 위치가 불규칙적인 비정질 구조에서도 인접한 ns 궤도와 충분히 중첩될 수 있어 높은 전자 이동도를 가질 수 있다. 한편, 실리콘의 경우 전도대의 하단부가 강한 방향성을 갖는 sp^3 혼성 궤도로 구성되어 있기 때문에 원자의 위치가 불규칙적인 비정질 상에서는 인접한 혼성 궤도와의 중첩이 감소되어 전자의 이동도가 급격히 떨어진다(그림 2.1) [2].

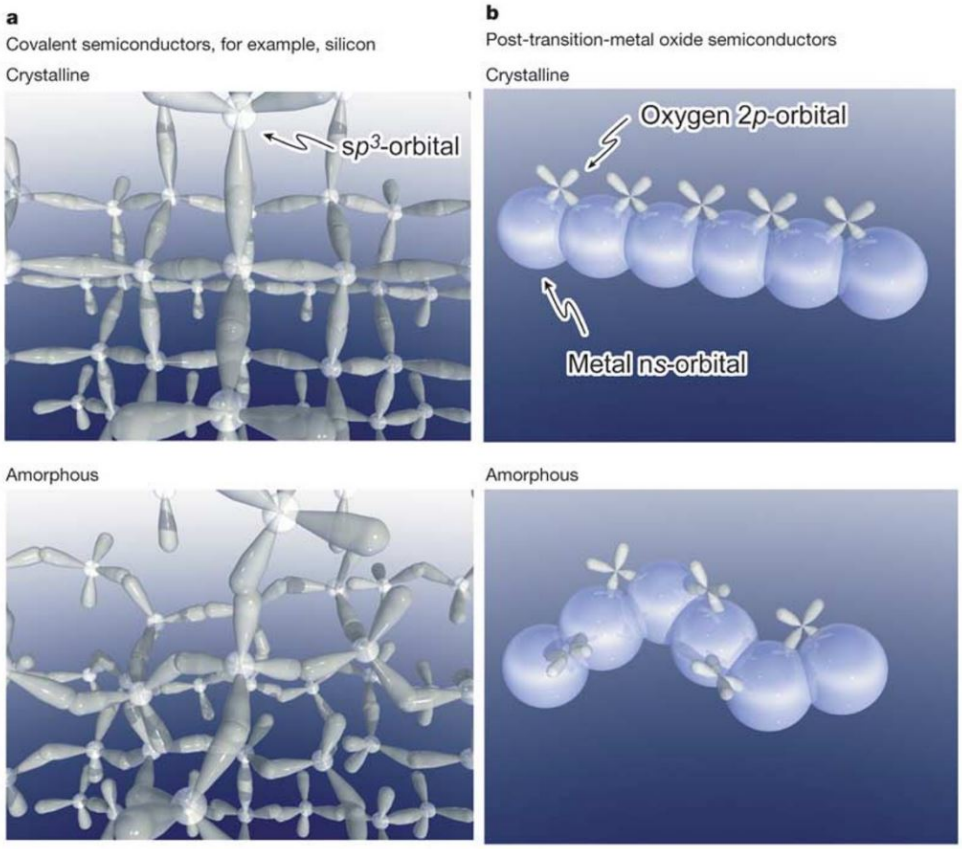


그림 2.1: 결정질 및 비정질 반도체의 전하 전송 경로에 대한 개략적인 궤도 모식도: (a) 공유 결합 반도체 (b) 전이 후 금속 양이온으로 구성된 비정질 산화물 반도체 [1]

산화물 반도체의 대표 물질 중 하나인 IGZO는 2000 년대 초 일본 도쿄 공업 대학의 히데오 호소노(Hideo Hosono) 교수에 의해 개발되었다[28]. 비정질 IGZO 는 전자 이동도가 약 10 cm^2/Vs 수준으로 높고, 3 eV 이상의 넓은 밴드 갭을 갖고 있어(그림 2.2) 가시광선 영역에서 투명하고 누설 전류가 적은 것이 특징이다. 이와 같이 비정질 산화물 반도체의 우수한 전하 전달 특성은 기존의 수소화 비정질 실리콘(a-Si:H)을 대체하는 채널 물질로서 각광받게 하였으며, 현재 디스플레이 업계에서는 IGZO 박막 트랜지스터를 후면판 회로 및 스위칭 소자 등으로 응용하고

있다. 그러나 서론에서 기술하였듯이, 인듐의 제한적인 산출량으로 인한 시장 가격 증가로 인해 향후 IGZO의 시장 경쟁력은 꾸준히 하락할 것으로 예측된다. 따라서 최근 인듐을 포함하지 않는 산화물에 대한 필요성이 대두되고 있으며, 본 연구에서는 떠오르는 대체 후보 물질 중 하나인 ZTO를 선정하였다. 본격적인 실험 내용을 소개하기에 앞서 지금까지 보고된 ZTO 박막의 구조적, 전기적 특성에 관한 선행 연구들을 살펴보도록 하겠다.

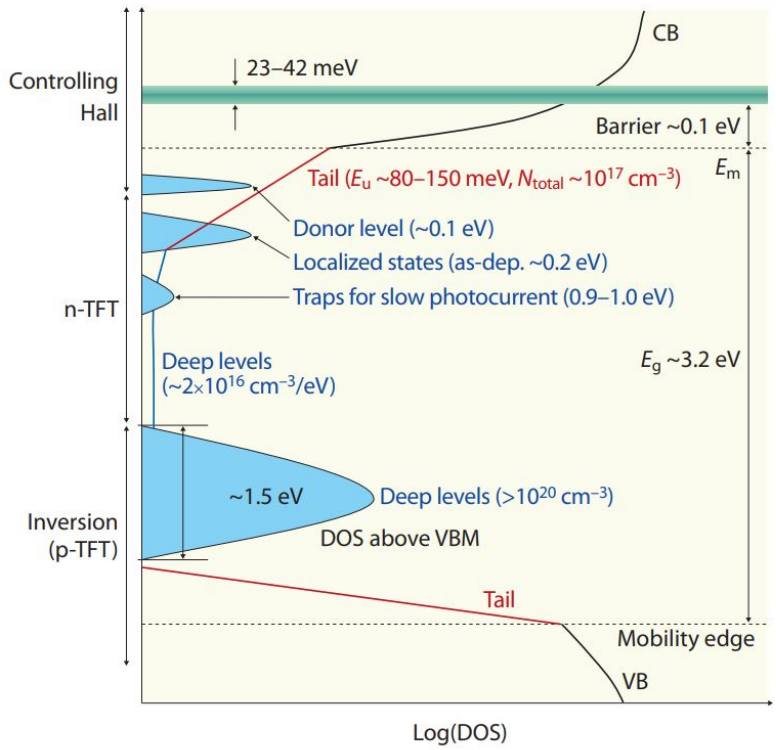


그림 2.2: 비정질 산화물 반도체의 밴드 다이어그램 [2]

2.1.1 Zinc Tin Oxide(ZTO)

아연(Zn)과 주석(Sn)으로 구성된 zinc tin oxide(ZTO)는 인듐(In)을 포함하지 않는 다성분계 산화물 반도체 중 대표 물질에 해당하며, 이성분계 산화물인 ZnO와 SnO_2의 조합으로 형성될 수 있다. 비교적 넓은 조성비 영역에서 비정질 구조를 유지할 수 있고, 박막 트랜지스터의 채널 물질로 사용 시 양호한 전기적 특성을 보인다는 점에서 잠재력이 많은 물질이다[16].

ZTO의 결정 구조는 준 안정상인 면심 페로브스카이트(face-centered perovskite, $ZnSnO_3$ type) 구조와 안정상인 역 스피넬(inverse spinel, Zn_2SnO_4 type) 구조를 가진다. 열역학적으로 페로브스카이트 구조 대비 역 스피넬 구조가 더 안정하므로 낮은 온도에서 형성된 $ZnSnO_3$ 결정은 매우 느린 속도로 Zn_2SnO_4와 SnO_2로 분해되며, 이로 인해 700 °C 이하의 온도에서는 준 안전상과 안정상의 혼합상이 형성되는 것으로 보고되어 있다[29]. 상기 결과를 감안했을 때, 만약 비정질 ZTO 박막을 결정화 온도보다 높은 구간에서 열처리할 경우 아연이 풍부한 조성에서는 Zn_2SnO_4 + ZnO 혼합상이, 주석이 풍부한 조성에서는 Zn_2SnO_4 + SnO_2 혼합상이 형성될 가능성이 높을 것으로 유추해볼 수 있다. 그리고 ZTO의 전도대 최하단부는 주로 Sn 5s 궤도로 구성되며, 반경이 큰 구 형태로 이루어져 있기 때문에 원자의 위치가 불규칙적인 비정질 구조에서도 인접한 궤도와 충분히 중첩될 수 있어 비교적 높은 전자 이동도를 가질 수 있다[30].

2.1.2 ZTO 조성비에 따른 구조적 특성

기존 문헌에 따르면 주석이 첨가되지 않은 ZnO 이성분계 박막은 증착 완료 후 육방정계 우르차이트(hexagonal wurtzite) 구조의 결정상이 형성되며, SnO_x cycle이 점차 증가할수록 장거리 규칙도(long-range order)가 감소함에 따라 결정질에서 비정질로의 전환이 일어나는 것으로 보고되고 있다[31]. Mullings at al.에 의하면 ZTO 박막이 결정질에서 비정질 상으로 전환되는 시점은 대략 Sn ≥ 20 at% 이며,

결정질에서 비정질 상으로 전환 시 결정립들이 사라짐에 따라 상대적으로 부드러운 표면 형상을 갖는 것으로 보고한다. 이때, 아연과 주석의 조성비가 50 : 50에 가까운 중간 조성비에서 비정질 상을 형성하는 경향이 높은 이유는 우르차이트 결정 구조를 갖는 ZnO, 그리고 루타일(rutile) 결정 구조를 갖는 SnO_2의 서로 다른 결정학적 배열로 인해 각각의 이성분계 물질에 불순물이 첨가될수록 결정화 과정이 더욱 복잡해지기 때문이며, 이로 인해 더 큰 핵 생성 에너지와 확산 에너지 장벽을 필요로 하기 때문으로 알려져 있다. 이는 비정질 산화물 반도체의 열 안정성을 확보하기 위해 다성분계 산화물(multi-component oxides)을 적용하는 이유에 해당한다. 이와 같이 넓은 온도 영역에서 비정질 상을 유지하기 위해서는(열 안정성을 높이기 위해서는) 적절한 ZTO의 조성이 요구되나, 앞서 서론에서 기술했듯이 기존 문헌에서는 결정화 온도보다 낮은 영역에서(< 700 °C) 소자의 성능을 개선시키기 위한 열처리 연구가 대부분이며, 조성비에 따른 결정화 온도 변화 및 고온 열처리 전후 특성 차이에 대한 연구는 많이 이뤄지지 않았다.

ZTO 박막의 광학 밴드 갭(optical band-gap)은 증착 조건 및 조성비 변화에 따라 조금씩 달라지며, 대략 2.9 - 3.9 eV 수준의 분포를 갖는 것으로 보고된다[32][4]. Mullings et al.의 연구에 따르면, ZnO의 직접 밴드 갭(direct band-gap)은 3.3 eV 수준이며 여기에 주석을 10 % 첨가하면 간접형 밴드 갭(indirect band-gap) 기준 2.8 eV로 줄어든다. 이때 주석의 농도를 50 % 수준으로 더 증가시키면 약 3.4 eV로 넓어지다가 아연을 첨가하지 않은 SnO_2 이성분계 산화물에서는 다시 2.9 eV로 밴드 갭이 좁아지는 것으로 보고하고 있다. 이러한 변화의 주요한 원인이 무엇인지는 명확히 밝히고 있지는 않지만, 일반적으로 박막의 조성비에 따라 광학적 특성이 변화하는 현상은 물질의 결정 구조, 도핑 농도, 그리고 미세 구조 변화들 간의 상호작용에 의해 영향을 받는 것으로 설명된다[31].

2.1.3 ZTO 조성비에 따른 전기적 특성

ZTO 박막의 전기적 특성에 관해 연구한 선행 문헌들을 살펴보면 아연과 주석이 대략 50 대 50 비율로 존재할 때 가장 우수한 소자 성능을 보이는 것으로 알려져 있으며, 아연 대비 주석의 농도가 점차 증가할수록 박막의 전도도가 증가하는 것으로 보고되고 있다. 이와 관련된 몇몇 문헌들의 결과를 소개하면 다음과 같다.

Jeon et al.은 비교적 간단하고, 비용이 저렴한 용액 공정을 이용하여 비정질 ZTO 박막 및 박막 트랜지스터를 제작한 후 평가하였다. 그 결과 모든 ZTO 박막은 비정질 구조를 나타냈으며, 350 °C의 낮은 공정 온도에서 진행되었음에도 불구하고 탄소 또는 염소와 같은 불순물 또한 포함되어 있지 않았다. 350 °C 열처리후 소자 성능 평가 시 주석의 비율이 증가함에 따라 ZTO TFT의 포화 이동도(saturation mobility, μ_{sat}) 및 문턱 전압 이하 스윙(subthreshold gate swing, SS)은 포물선 곡선을 보였으며, Zn/Sn = 1 비율에서 μ_{sat} = 3.4 cm^2/Vs, SS = 0.38 V/decade, V_{th} = −1.1 V, I_{on}/I_{off} = 3.24 × 10^9의 가장 우수한 소자 성능을 나타냈다. 저자는 SnO를 ZnO에 첨가함에 따라 소자의 성능 변화가 포물선 형태를 보이는 원인으로는 서로 다른 산화수를 갖는 Sn^{4+} 및 Sn^{2+}의 상대적인 양 (Sn^{4+} / Sn^{2+}) 변화를 원인으로 꼽고 있다. 주석은 산화수가 4^+(SnO_2), 2^+(SnO)인 상태로 존재할 수 있으며, 높은 산화수 상태가 많을수록 전자의 농도를 증가시킬 수 있기 때문이다($Sn^{2+} \rightarrow Sn^{4+} + 2\ e^-$) [33].

Kim et al.도 용액 공정법을 통해 ZTO의 조성비에 따른 구조적, 화학적, 전기적 특성에 관해 보고하였다. 앞선 연구와 동일하게 Sn/(Zn + Sn) 비율이 0.48에서 가장 양호한 소자 성능이 확인되었으며, μ_{FE} = 4.3 cm^2/Vs, SS = 0.4 V/decade, V_{th} = 0 V, I_{on}/I_{off} = 4.1 × 10^7를 보였다. 한가지 주목할 부분으로는 주석의 농도가 증가함에 따라 전자 농도가 비례하여 증가한다는 점이며, 그 주요한 원인으로는 Sn-O 결합이 Zn-O 결합보다 상대적으로 약하기 때문에 ZTO에서 주석 농도가 증가함에 따라 산소 공공(oxygen vacancy, V_O) 형성이 증가하기 때문으로 설명한다[34]. 일반적으로 산화물 반도체는 고유 결함인 산소 공공에 의해 평균 전하 밀도가 결

정되는 것으로 알려져 있다. 그림 2.3과 같이 산소 공공 1개당 2개의 자유 전자가 발생하게 되며, 해당 결함 준위는 밴드 갭 내부에 얕은 도너 상태(shallow-donor states) 혹은 깊은 상태(deep states)로 존재한다. 이때 전도대 최하단부에 가까운 얕은 도너 준위에 위치한 전자는 전도대로 쉽게 여기할 수 있게 되고, 박막의 전도도에 기여하게 된다[2].

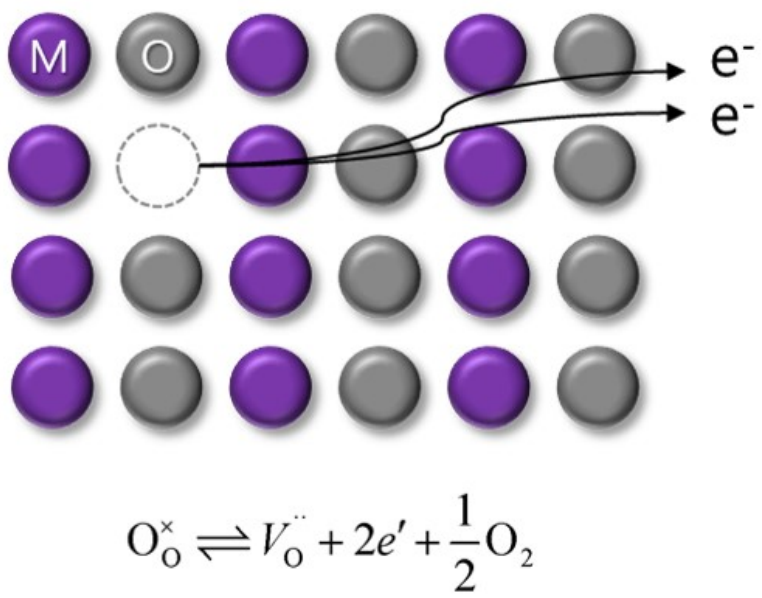


그림 2.3: 산소 공공에서 자유 전자의 형성 모식도

Kim et al.은 금속 유기 화학 기상 증착법(Metal-organic chemical vapor deposition, MOCVD)을 이용하여 다양한 조성을 가진 ZTO 박막의 물리적, 전기적 특성에 관해 연구하였다. ZTO 박막은 기판 온도 400 °C에서 증착 되었으며, diethyl zinc(DEZ, $C_4H_{10}Zn$)와 dibutyl tin diacetate(DBTA, $C_{12}H_{24}O_4Sn$)가 아연과 주석 전구체로 사용되었고, 산화제로는 산소(O_2)가 사용되었다. 증착 후 열처리는 대기 분위기로 600 °C의 온도에서 한시간 동안 진행되었으며, 주석이 풍부한 조성을 제외하고 나머지 조성에서는 비정질 상이 유지되었다. 또한 앞선 다른 연구 문헌들과 마찬가지로 아연과 주석의 조성비가 50 : 50인 박막에서 μ_{FE} = 17.4 cm^2/Vs, μ_{sat} =

16.7 cm^2/Vs, SS = 0.19 V/decade, V_{th} = −0.6 V 로 가장 우수한 소자 성능을 나타냈으며, 그 원인으로는 비정질 구조에서 아연, 주석, 산소 원자 모두가 전도대 최하단부의 궤도 형성에 기여함에 따라 아연과 주석이 50 : 50으로 구성된 박막에서 가장 많은 수의 전도 경로가 형성될 수 있기 때문으로 설명한다. 더불어 엑스선 광전자 분광법(XPS)을 통해 중간 조성비에서 산소 공공의 밀도가 가장 높은 사실을 보였으며, 앞서 설명했듯이 산소 공공의 증가는 자유 전자의 밀도를 증가시키기 때문에 퍼컬레이션 전도(Percolation Conduction) 메커니즘에 의해 가장 우수한 이동도를 보였을 것으로 설명한다[35]. 또한 NBIS(Negative Bias Illumination Stability) 평가를 통해 아연과 주석의 인접한 곳에 생기는 산소 공공의 결함 준위가 각각 전도대 가장자리에서부터 대략 0.3 eV, 0.1 eV 떨어진 위치에 존재함을 주장하였으며, 이는 전하 전달 곡선의 정량적인 시뮬레이션을 통해 확인 및 검증되었다[9].

또한 스퍼터(sputter) 장비로 다양한 조성비를 갖는 ZTO 박막을 증착하고, 열처리 온도를 달리하여 소자의 전기적 특성을 평가한 연구도 있다. Hoffman et al. 은 서로 다른 조성비를 갖는 5개의 스퍼터 타겟을 이용하여 상온에서 박막을 증착하였으며(실제로는 증착 공정 중 최대 70 °C까지 상승), 조성비는 총 5가지 조건으로 진행되었다(Zn/(Zn + Sn) = 0.0, 0.33, 0.5, 0.67, 1.0). 증착 후 열처리는 퍼니스(furnace) 장비에서 한시간 동안 진행되었으며, 대기 분위기 하에서 온도 200 - 800 °C 구간에서 열처리되었다. 앞선 연구 결과와 동일하게 아연과 주석의 중간 조성비에서 가장 우수한 소자 성능이 관찰되었으며, 열처리 온도는 200 °C에서 600 °C까지 온도를 증가시킬수록 꾸준히 개선되다가 800 °C에서 부터는 급격한 이동도 저하가 확인되었다. 600 °C 이하의 열처리 과정에서 소자의 성능이 개선된 주요한 원인으로는 ZTO 박막의 막질 개선을 꼽고 있다. 즉, 열처리 후 줄어든 트랩 및 결함의 농도는 자유 전자의 농도 증가를 유발하고, 동일한 게이트 전압을 인가했을 때 상대적으로 채널의 형성을 더 용이하게 만든다는 것이다. 그리고 800 °C에서의 급격한 이동도 저하 현상은 ZTO 박막이 비정질에서 다결정으로 전환됨에 따라 박막 내부에서 상당한 구조적 변형이 일어났기 때문일 것으로 설명한다[36].

마지막으로 원자층 증착법을 이용하여 ZTO 조성비 별 박막 트랜지스터를 제작하고, 소자의 성능 평가를 진행한 연구도 있다. 아연과 주석의 전구체로 diethylzinc(DEZ)와 cyclic amide of Sn(II)[1]이 사용되었으며, 산화제로는 과산화수소(H_2O_2)가 사용되었다. 하지만 앞선 다른 문헌들과는 달리 아연이 풍부할수록(Zn 69 at%(1Z1T) → 82 at%(3Z1T)) 소자의 성능이 개선되는 경향이 관찰되었으며, 증착 온도를 120 °C에서 170 °C로, 그리고 증착 후 열처리 온도를 250 °C에서 450 °C로 증가시킬수록 더 양호한 전기적 특성을 보였다(가장 우수한 소자 성능: μ_{FE} = 13 cm^2/Vs, SS = 0.27 V/decade, I_{on}/I_{off} = 10^9 - 10^{10}). 증착 온도 및 열처리 온도 상향에 따른 소자 성능 개선 효과에 대해서는 구체적인 설명이 기입되어 있지 않으나, 저자는 채널 물질의 재배열에 의한 막질 개선 효과일 수 있다고 간략히 언급하고 있으며, 이와 관련해서는 다음 절에서 자세히 살펴보도록 한다[37].

2.1.4 비정질 산화물 반도체의 증착 후 열처리 평가

열처리는 반도체 제작 과정에서 빼놓을 수 없는 핵심 공정에 해당하며, 크게 확산, 증착, 산화, 그리고 RTA[2] 등과 같은 주요 단위 공정에서 폭 넓게 수행되고 있다. 특히, 디램 및 낸드 플래시와 같은 메모리 반도체에서는 700 °C 이상의 높은 공정 온도를 필요로 하기 때문에 새로운 물질 및 공정을 도입할 경우 구성 물질들의 녹는점 및 반응성 등을 고려해야만 한다. 따라서 본 연구에서 다루고 있는 비정질 산화물 반도체를 다양한 반도체 분야 및 제품에 응용하기 위해서는 증착 후 열처리 온도에 따른 박막의 구조적, 화학적, 전기적 특성에 대한 이해가 선행되어야 한다. 특히 삼성분계, 사성분계 산화물 반도체의 결정화 온도는 약 600 - 700 °C 부근으로 보고되고 있어 그 보다 높은 고온 공정이 포함된 제품에 응용되기에는 아직 쉽지 않은 상황이다. 따라서 2.1.4 절에서는 산화물 반도체를 다양한 방법으로 증착한 후 후속 열처리 조건을 변화시키면서 박막의 물리적, 전기적 특성 변화에 대해 고찰한

[1] 1,3-bis(1,1-dimethylethyl)-4,5-dimethyl-(4R,5R)-1,3,2-diazastannolidin-2-ylidene
[2] Rapid Thermal Annealing

여러 문헌들을 살펴보고자 한다.

Park et al.은 100 nm 두께의 비정질 IGZO 박막을 RF 스퍼터링 시스템을 이용하여 증착한 후 퍼니스 장비로 300, 600, 800, 1000 °C, 대기 분위기에서 한시간 동안 열처리한 결과를 보고하였다. 그 결과, 비정질 IGZO 박막은 800 °C에서부터 결정화되기 시작했으며, 800 °C와 1000 °C 간의 결정화도 차이는 크지 않았고, 조성비 변화 또한 미미하였다. 그리고 고분해능 투과 전자 현미경(HR-TEM[3]) 및 선택된 영역의 전자 회절(SAED[4]) 분석을 통해 다결정 IGZO가 형성되는 것을 보였다. 그리고 박막의 결정화도가 전기적인 특성에 미치는 영향을 확인하기 위해 IGZO TFT를 제작한 후 소자 성능을 평가하였다. 한가지 주목할 부분은 800 °C를 기점으로 소자의 이동도가 11 - 15 cm^2/Vs에서 2 - 6 cm^2/Vs로 급격히 저하되었다는 점이며, PBS 및 NBS[5] 특성의 경우 비정질 상 대비 결정질 상에서 눈에 띄게 개선되었다는 점이다. 저자는 이동도 저하 현상을 IGZO 박막의 밴드 구조 변화를 통해 설명하는데, 열처리 온도가 증가할수록 밴드 갭이 커지고, 페르미 에너지에서부터 전도대까지의 거리가 증가함에 따라 전자 농도가 감소하고, 이로 인해 이동도가 감소한 것으로 해석한다. 더불어 저자는 결정질 IGZO TFT에서 소자의 신뢰성이 개선된 원인을 엑스선 흡수 분광법(XAS[6])을 통해 입증하였으며, 고온 열처리 후 밴드 갭 내부 가장자리에 위치한 준위들이 감소됨에 따라 결함 농도가 감소되었기 때문으로 설명한다[19].

뿐만 아니라, Shin et al.은 50 nm 두께의 비정질 IGZO 박막을 RF 마그네트론 스퍼터 장비로 증착하고, 열처리는 퍼니스 장비로 대기 분위기 하에서 400, 500, 600, 700 °C로 한시간 동안 진행하였다. 앞선 Park et al.의 결과와 유사하게 400 - 600 °C 구간은 비정질 구조가 유지되었으나, 700 °C에서부터 비정질에서 결정질 상으로의 전환이 관찰되었다. 그리고 400 °C에서 600 °C로 열처리 온도를 증가시

[3]High-Resolution Transmission Electron Microscopy
[4]Selected Area Electron Diffraction
[5]Positive Bias Stress, Negative Bias Stress
[6]X-Ray Absorption Spectroscopy

킬수록 IGZO TFT의 포화 이동도는 5.97 cm^2/Vs에서 9.38 cm^2/Vs로 점차 증가하였으며, 문턱 전압은 0.98 V에서 0.59 V로 감소하는 경향을 보였다. 저자는 결정화 온도 이하 영역에서의 소자 성능 개선은 고온 열처리에 따른 결함 패시베이션(passivation) 효과로 설명하고 있으며, 문턱 전압의 감소는 열처리 후 박막의 자유 전자 농도가 증가했기 때문으로 보고한다. 자유 전자 농도가 증가한 원인에 대해서 정확히 명시하고 있지 않으나, Cho et al.이 연구한 내용을 인용하며 열처리 과정에서 발생하는 아연의 고갈 현상이 원인일 수 있다고 설명한다[38]. 한편 Park et al.의 결과와 동일하게 결정화되기 시작한 700 °C 조건에서는 이동도 감소, SS 증가, 문턱 전압 감소, on/off ratio 감소와 같은 급격한 소자 성능 저하가 확인되었으며 이는 결정화 과정에서 계면 및 벌크 트랩 밀도의 증가로 인해 발생한 것으로 설명한다. 하지만 400 °C, 500 °C 대비 PBS후 문턱 전압 변화량은 양호하게 나타났으며, 그 원인에 대해서는 명확히 밝히고 있지 않으나 결정질 구조의 영향일 것으로 추측한다. 해당 문헌에서 가장 양호한 소자 성능 및 안정성을 보인 조건은 600 °C 열처리한 소자에 해당하며, 주요 항목은 μ_{sat} = 9.38 cm^2/Vs, V_{th} = 0.59 V, SS = 0.46 V/decade, I_{on}/I_{off} = 1.51*10^8를 보였다[39].

증착 후 열처리 시 비정질 산화물 반도체의 전기적 특성이 변화하는 현상은 구조 완화(structural relaxation)로 설명될 수 있다. 비정질 상은 박막 내부에 존재하는 빈 공간(free volume) 및 산소 공공으로 인해 구조적 무질서도 및 비 화학양론적 결함들을 항상 포함한다. 하지만 비정질은 결정질 대비 에너지적으로 불안정한 준안정상이기 때문에 유리 전이 온도 이하에서도 지속적인 내부 원자의 재배열을 통해 구조적 무질서도를 감소시키고, 보다 안정한 구조를 형성하려는 방향으로 움직인다. 일반적으로 이러한 과정을 구조 완화라고 일컬으며, 산화물 반도체는 산소 공공의 농도 및 에너지 준위의 위치에 따라 전자 밀도가 결정되기 때문에 구조 완화는 박막의 전도도에 큰 영향을 미칠 수 있다. 따라서 비정질 산화물 반도체를 열처리할 경우 박막 내부 구성 원자들의 재배열에 따른 박막의 물리적, 전기적 특성 변화는 불가피한 현상이며, 그 과정에 대한 이해는 필수적이라고 볼 수 있다.

Yeon et al.은 비정질 IGZO 박막을 증착한 후 300 - 450°C 영역에서 열처리 시 구조 완화로 인해 박막 내 빈 공간이 줄어들고 밀도가 증가함을 보였으며, 산소 공공으로부터 비롯되는 깊은 도너 준위(deep-donor states) 및 전자 트랩 준위(electron-trap states)가 얕은 도너 준위(shallow-donor states)로 전환되어 전자 밀도가 증가한다고 보고한다. 더불어 이러한 전기적 특성의 변화가 열처리 시간 대비 온도에 강한 의존성을 나타냄을 보였다[40].

기존 문헌에 IGZO가 아닌 ZTO 박막을 원자층 증착법으로 증착한 후 결정화 온도 부근에서 열처리한 논문이 한차례 있다. 앞서 2.1.3 절에서 이미 소개했듯이, Heo et al.은 원자층 증착법을 이용하여 ZTO 박막의 증착 온도 및 열처리 온도를 변화시킴에 따라 박막의 결정화도 및 ZTO TFT의 소자 성능에 관해 보고하였다[37]. 엑스선 회절 측정법(XRD[7]) 결과 상 열처리 온도 750 °C에서 ZTO의 안정상인 역스피넬(Zn_2SnO_4) 결정상이 확인되었다. 그리고 결정화 온도 이하 구간에서는 아연이 풍부한 조성비에서 ZnO 입자들이 ZTO 박막으로부터 상 분리되는 현상이 발생하였으나, 안정상(Zn_2SnO_4)의 조성비에 가까운 샘플에서는 상 분리 현상이 발생하지 않았다. 다행스럽게도 해당 연구에서는 상 분리가 소자 성능의 저하를 유발시키진 않았으나, 일반적으로 박막 내 조성의 불균형을 유발하고, 심할 경우 석출된 입자가 박막 표면의 거칠기를 증가시켜 전하 산란을 유발시킬 수 있으므로 매우 신중히 점검되어야 한다. 그리고 해당 문헌에서는 아연이 풍부한 조성의 결과만 있고, 소자 성능이 가장 우수한 것으로 보고된 Zn : Sn = 50 : 50 조성 및 주석이 풍부한 조성의 결과는 없기 때문에 비정질 ZTO의 열 안정성과 소자 성능을 모두 고려한 최적의 조성비를 확인하는 데에는 어려움이 있다.

상기 문헌들의 결과를 종합해보면, 결정화 온도보다 낮은 구간에서는 열처리 온도를 증가시킬수록 비정질 상의 구조에서 비롯되는 박막 내부의 결함 밀도가 감소함에 따라 소자의 성능이 개선되는 것으로 판단되며, 결정화 온도 이상 구간에서는 비정질 상이 결정질 상으로 전환됨에 따라 결정립과 관련된 결함 증가 및 전하

[7] X-Ray Diffraction

산란 효과로 인해 급격한 소자 성능의 저하가 발생하는 것으로 사료된다. 하지만 결정질 상에서는 밴드 갭 내부 가장자리에 위치한 결함 준위들의 밀도가 비정질 상 대비 감소함에 따라 일정 시간동안 PBS 또는 NBS를 가한 후 변화하는 문턱 전압의 변화(ΔV_{th})가 크지 않고 양호한 것으로 판단된다. 따라서 비정질 구조를 유지하면서 우수한 소자 성능과 양호한 안정성을 얻기 위해서는 결정화 온도 이하 영역에서 진행 가능한 가장 높은 열처리 과정이 필수적일 것으로 생각되며, 해당 제품의 열 예산 범위 내에서 소자가 안정적이고 적합한 동작 특성을 보이는지에 대한 연구가 선행되어야 함을 시사한다.

제 3 장

본문

3.1 제작 및 측정

3.1.1 원자층 증착법을 통한 ZTO 채널막 성장

본 실험에서는 우수한 단차 피복성과 두께 및 조성비 조절이 용이한 원자층 증착법(ALD)을 이용하여 비정질 ZTO 채널막을 하기와 같은 조건에서 증착하였다. ZTO 채널막은 4인치 크기의 웨이퍼 공정이 가능한 traveling-wave-type 반응기(CN-1 Co., plus-200)에서 증착되었다. 아연과 주석 전구체로는 Diethylzinc (DEZn, $(C_2H_5)_2Zn$) 그리고 tetrakis(dimethylamino)tin(IV) (TDMASn, $Sn[N(CH_3)_2]_4$, Air Liquide 사)을 사용했으며, 산화제로는 오존(O_3)을 사용하였다. 오존은 N_2 5 sccm과 O_2 595 sccm을 플라즈마 방전 처리함으로써 생성하였으며, 오존 농도는 280 g/Nm^3이다. 순수한 아르곤 기체(Ar, 99.9999 %)가 전구체 및 산화제의 퍼지 기체로 사용되었으며, 유량은 1200 sccm이다. DEZn는 상온에서 충분히 높은 증기압을 가지므로 운반 기체 없이 반응기로 전달될 수 있도록 하였으며, DEZn의 캐니스터 온도는 쿨링 자켓을 통해 5 °C로 항시 유지되었다. 반면 TDMASn은 50 sccm으로 흐르는 아르곤 운반 기체의 도움으로 반응기로 전달되었으며, TDMASn의 캐니스터 온도는 충분한 증기압을 얻기 위해 40 °C로 유지되었다. 기판 온도는 두 전구체가 이상적인 ALD 증착 거동을 보이는 온도 구간을 고려하여 250 °C로 설정되었다[41][42]. ALD 챔버의 기본 압력은 약 34 mTorr이며, 공정 압력은 1.2 – 1.3 Torr 분포 내에서 유지되었다. ZTO 채널막은 100 nm 두께의 SiO_2 박막 위에서 증착되었으며, SiO_2는 실리콘 웨이퍼를 열 산화(thermal oxidation) 시킴으로써 형성되었다. ZTO 증착은 그림 3.1과 같이 ZnO와 SnO_2의 서브 사이클 조합으로

구성된 슈퍼 사이클의 반복으로 진행되었으며, 아연과 주석의 조성비는 각각의 서브사이클의 진행 비율을 조절함으로써 제어되었다. 지금까지 기술한 ALD ZTO 증착 공정의 세부 진행 조건을 정리하면 표 3.1과 같다.

표 3.1: ALD ZTO 증착 공정의 세부 진행 조건

Conditions		Value
Deposition temperature		250 °C
Working pressure (average)		1.25 Torr
Substrate		100 nm SiO_2
Thickness of ZTO films		20 nm
$Sn[N(CH_3)_2]_4$ (TDMASn)	Feeding method	bubbling (Ar)
	Canister temperature	40 °C
	Carrier gas flow	50 sccm
	Purge gas flow	1200 sccm
$Zn(C_2H_5)_2$ (DEZn)	Feeding method	Vapor-draw
	Canister temperature	5 °C
	Purge gas flow	1200 sccm
O_3	O_3 concentration	280 g/Nm^3
	O_2/N_2 gas flow	595/5 sccm
	Purge gas flow	1200 sccm

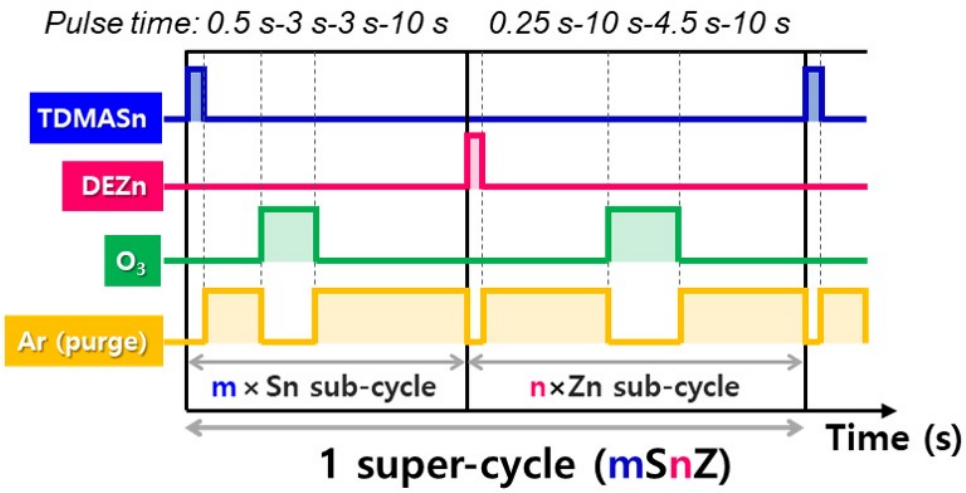


그림 3.1: ALD ZTO 증착 공정의 펄스 진행 순서

3.1.2 박막 트랜지스터 제작 공정

본 연구에서 ZTO를 채널막으로 적용한 박막 트랜지스터의 제작 공정 순서는 하기 그림 3.2와 같으며, 자세한 진행 조건은 다음과 같다. 먼저 붕소가 고농도로 도핑된 p형 실리콘 기판이 하부 게이트(bottom gate)로 사용되었으며, 그 상단에는 열산화 공정으로 성장시킨 100 nm 두께의 SiO_2 물질이 게이트 절연체로 사용되었다. 채널층으로는 앞절에서 간략히 설명했듯이 원자층 증착법을 이용한 20 nm 두께의 ZTO 박막이 다양한 아연과 주석의 농도비로 증착되었으며(Sn 13 – 75 at%), 채널 영역은 포토리소그래피(photolithography) 및 건식 식각 공정을 통해 형성되었다. 건식 식각은 유도 결합 플라즈마를 이용한 반응성 이온 식각 장비(ICP-RIE[1])를 통해 진행되었으며 Ar, BCl_3, N_2 혼합 기체가 사용되었다. 그리고 식각 공정 과정에서 경화된 포토레지스트(photoresist)는 아세톤 용액에 10분 동안 담근 후 제거되었으며, 여전히 표면에 남아있는 찌꺼기는 아세톤 건을 이용하여 깨끗이 제거되었다.

[1] Inductively Coupled Plasma-Reactive Ion Etcher

상기 공정으로 형성된 채널 패턴의 폭과 길이는 각각 20 μm 와 5 μm이다. 다음으로 ZTO 채널층 상단에 소스/드레인 전극을 형성하기 위해 100 nm 두께의 ITO 물질을 직류 스퍼터링으로 증착하였으며, 패터닝은 전형적인 리프트 오프(lift-off) 방법으로 진행되었다. 마지막으로 채널층과 소스/드레인 전극 간의 친밀한 접촉을 형성하기 위해 퍼니스 장비로 대기 분위기 하에서 350 °C, 1 시간 동안 열처리하였다(post-metallization annealing, PMA). 이렇게 제작한 ZTO 박막 트랜지스터는 게이트가 하부에, 소스/드레인 전극이 상부에 위치한 구조를 가지며, 마지막 열처리 공정이 끝난 후에 소자의 전기적 특성 평가가 이어서 진행되었다.

그리고 본 연구에서 진행한 증착 후 열처리(post-deposition annealing, PDA) 온도 변화 실험은 ZTO 채널막을 증착한 후 곧 바로 이어서 진행되었다. 실험 결과 평가 시 기본적으로 PDA를 진행하지 않은 샘플을 대조군으로 삼고, 온도 500 - 800 °C 영역에서 100 °C 간격으로 나누어 진행한 샘플을 비교군으로 삼았다. 열처리는 PMA와 동일하게 퍼니스 장비를 이용하였으며, 대기 분위기 하에서 1시간 동안 진행되었다.

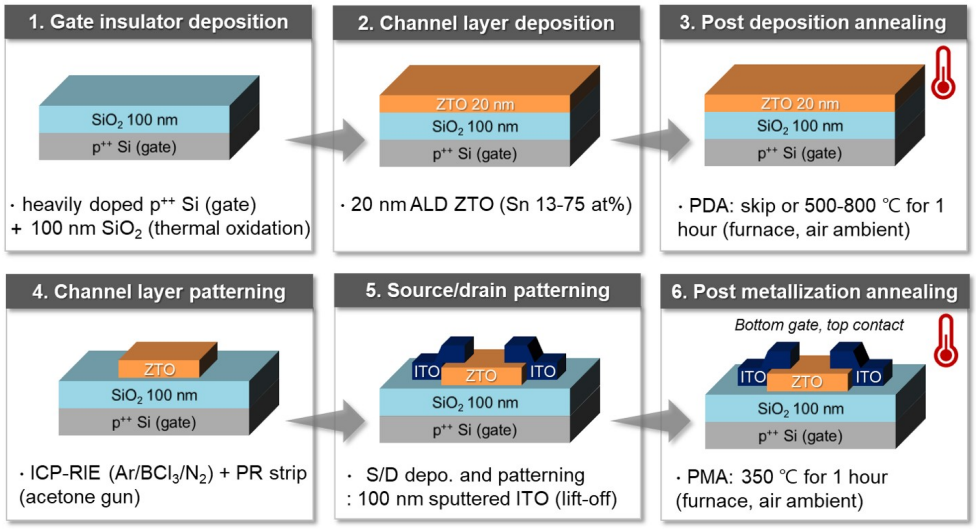


그림 3.2: ZTO 박막 트랜지스터의 제작 공정 모식도

앞서 보여드린 공정 순서로 제작한 소자가 레이아웃과 동일하게 형성되었는지 여부를 광학 현미경 및 주사 전자 현미경으로 확인하였다. 그림 3.3의 좌측부터 레이아웃, 광학 현미경, 그리고 주사 전자 현미경 순서이며, 하단 표에서 알 수 있듯이 목표값(레이아웃) 대비 실제값이 약 97 % 이내 수준으로 목표값과 유사하게 진행되었음을 확인하였다. 참고로 광학 현미경의 경우 낮은 해상도로 인해 계측 정확도가 낮아서 값을 기입하지 않았으며, 주사 전자 현미경 기준으로 소자 길이를 측정한 후 비교하였다.

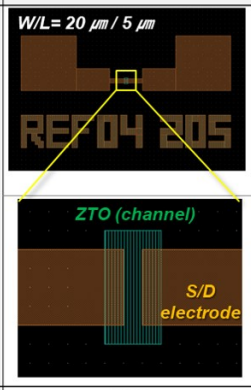
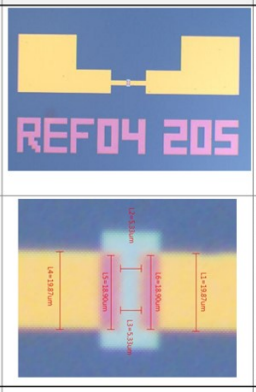
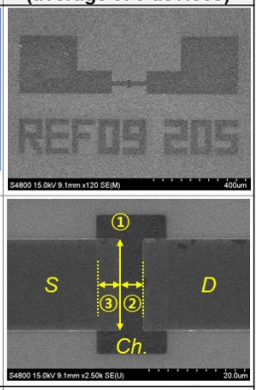
Item	Unit	Layout	Optical microscope	SEM (average of 6 devices)
Top-view images				
① Channel width	㎛	20.0		19.4 (-0.60, -3.0 %)
② Channel length	㎛	5.0		4.9 (-0.12, -2.5 %)
Width/length ratio		4.00		3.97 (-0.03, -0.7 %)
③ Junction overlap	㎛	5.0		4.9 (-0.10, -2.0 %)

그림 3.3: 제작된 ZTO 박막 트랜지스터의 상부 이미지 및 계측값 (좌측부터 레이아웃, 광학 현미경, 그리고 주사 전자 현미경 순서. 광학 현미경의 경우 낮은 해상도로 인해 계측 정확도가 낮아서 값을 기입하지 않음)

3.1.3 측정 장비 및 소자 특성 추출법

박막의 두께는 variable-angle spectroscopic ellipsometry(VASE; J.A. Woollam, M-2000)을 이용하여 측정되었다. 그리고 박막의 아연, 주석 조성비 및 면 밀도는 X-ray fluorescence spectroscopy(XRF; Thermoscientific, ARL Quant'X)으로 측정되었다. 박막의 밀도를 확인하기 위해 X-ray reflectivity(XRR; PANalytical X'Pert PRO MPD)에서 측정한 데이터를 기반으로 PANalytical에서 제공하는 X'Pert Reflectivity 시뮬레이션 프로그램을 이용하여 피팅한 결과값을 사용하였다. 그리고 박막 표면의 형태를 확인하기 위해 서울대학교 반도체 공동 연구소의 scanning electron microscopy(SEM; Hitachi, S-4800) 장비를 사용하였으며, 추가적으로 박막의 표면 형상 및 거칠기를 확인하기 위해 서울대학교 신소재 공동 연구소 재료

분석 센터의 atomic force microscopy(AFM; Park Systems, NX-10) 장비를 이용하였다. 박막의 결정화도는 grazing-angle incidence X-ray diffraction(GIXRD; PANalytical X'Pert PRO MPD)을 사용하여 분석되었다. 그리고 ZTO 박막의 캐리어 타입, 농도, 비저항, 홀 이동도를 평가하기 위해 서울대학교 반도체 공동 연구소의 Hall effect measurement(BIO-RAD, HL5500PC) 장비를 이용하여 측정하였다. 제작한 박막 트랜지스터의 전하 전달 특성을 평가하기 위해 semiconductor parameter analyzer(Hewlett-Packard 4155B)가 사용되었다. 상온 및 암실 환경에서 게이트 전압을 -20 V에서 +20 V까지 0.2 V 간격으로 인가하였고, 소스 단자는 그라운드(ground, 0 V), 그리고 드레인 단자는 선형 구간과 포화 구간에 대해 각각 0.1 V, 10 V를 인가하여 전류-전압 곡선을 측정하였다.

트랜지스터에서 중요한 소자 성능 추출 항목은 다음과 같다. 문턱 전압(V_{th})은 V_{ds}가 10 V일 때 I_{ds} = (W / L) × 1 nA 일 때의 V_{gs}로부터 추출되었다. 그리고 선형 구간과 포화 구간의 전계 효과 이동도는 다음의 식 (3.1), (3.2)로부터 추출되었다. (μ_{FE}는 전계 효과 이동도, μ_{sat}는 포화 이동도, C_{ox} 는 단위 면적 당 산화막 커패시턴스, W와 L는 채널의 폭과 길이를 의미한다.)

$$I_{ds} = \mu_{FE} C_{ox} \frac{W}{L} \left[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \tag{3.1}$$

$$I_{ds} = \frac{1}{2} \mu_{sat} C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \tag{3.2}$$

문턱 전압 이하 기울기(subthreshold swing, SS)는 문턱 전압 이하 영역에서 전류를 10 배 증가시키기 위해 필요한 게이트 전압의 변화량을 의미하며, 다음의 식 (3.3)로부터 추출되었다.

$$SS = \frac{\partial V_{gs}}{\partial (\log I_{ds})} \tag{3.3}$$

켜진 상태와 꺼진 상태의 전류 비(on/off current ratio, I_{on}/I_{off})는 V_{ds}가 10 V일 때 I_{ds}의 최대값을 최소값으로 나눈 값이다. 마지막으로 소스/드레인 전극과 반도체의 접촉 저항은 기존에 널리 알려진 transfer length method(TLM)을 이용하여 추출되었다. TLM 패턴은 그림 3.4과 같이 직사각형 모양의 반도체 층 상단에 이웃한 전극 간의 간격을 달리 배치함으로써 다양한 채널 길이에서 흐르는 전류를 측정할 수 있으며, 하기 식 (3.4)을 통해서 알 수 있듯이 다양한 채널 길이 별로 총 저항값을 측정해보면 기울기는 채널 저항을, y절편은 접촉 저항을 의미하게 된다[3]. 실제 본 연구에서 TLM 측정에 사용한 측정 패턴은 그림 3.5과 같다.

$$R_{tot} = \frac{V_{ds}}{I_{ds}} = R_{ch}L + R_{sd} \tag{3.4}$$

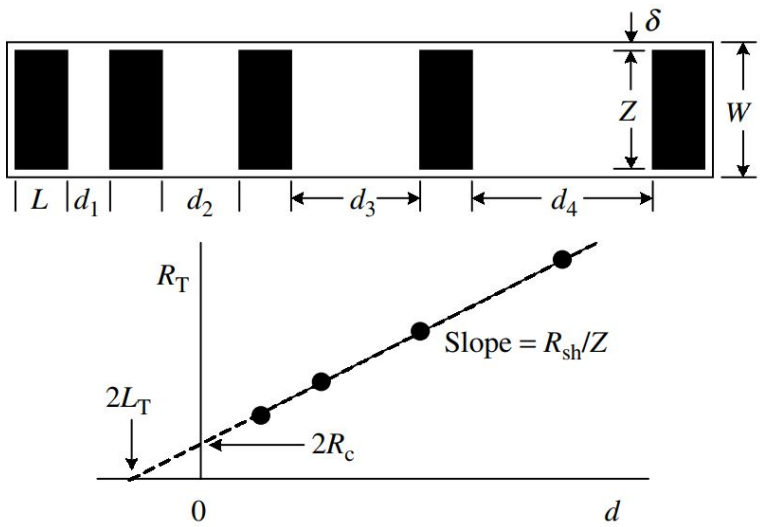


그림 3.4: Transfer length method(TLM)의 측정 구조 및 접촉 간격에 따른 총 저항 그래프(일반적인 수치: L = 50 μm, W = 100 μm, d = 5 - 50 μm) [3]

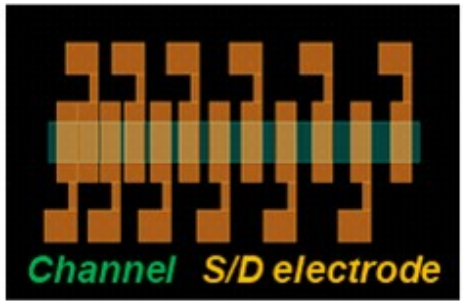


그림 3.5: 본 연구에서 TLM 측정에 사용한 패턴의 레이아웃 (초록색: ZTO 채널막, 주황색: ITO 전극, 채널 폭 100 μm, 채널 길이 5 - 50 μm)

3.2 ZTO 박막의 구조적 특성 평가 결과

앞 장에서 설명했듯이, 원자층 증착법으로 제작한 20 nm 두께의 비정질 ZTO 박막을 Sn 조성비 별로 총 6가지 조건으로 제작하였다. ZnO와 SnO_2의 서브 사이클 진행 비율을 달리하여 조절하였으며, 각 조건 별 증착 직후 조성비는 Sn 16.4 at%(1S2Z), Sn 26.4 at%(1S1Z), Sn 40 at%(2S1Z), Sn 52.5 at%(3S1Z), Sn 66.3 at%(5S1Z), Sn 76 at%(8S1Z) 이다. 각 조성비에서 증착 후 열처리 온도를 대기 분위기 하에서 1시간 동안 500 – 800 °C 구간에서 100 °C 간격으로 나누어 진행하였으며, 그에 따른 ZTO 박막의 구조적 특성 변화에 대해 고찰한 결과는 다음과 같다.

3.2.1 조성비, 결정화 온도, 박막 밀도

먼저 고온 열처리 전후 ZTO 박막의 내부 조성비 변화에 대해 확인하였다. 조성비는 XRF로 측정하였으며, 그 결과는 그림 3.6과 같다. Sn 16 – 76 at%에 해당하는 모든 조성비 영역에서 500 – 800 °C 구간의 고온 열처리 후 조성비 변화는 1 % 이내 수준으로 일정하게 유지되었으며(샘플 간 산포 및 측정 산포 내 수준), 온도에 따른 경향성 또한 관찰되지 않았다. 즉, ZTO 박막이 증착된 이후에 후속

고온 공정이 이어지더라도 800 °C 이하의 온도 구간에서는 박막 내 큰 조성비 변화 없이 일정하게 유지될 수 있을 것으로 사료된다.

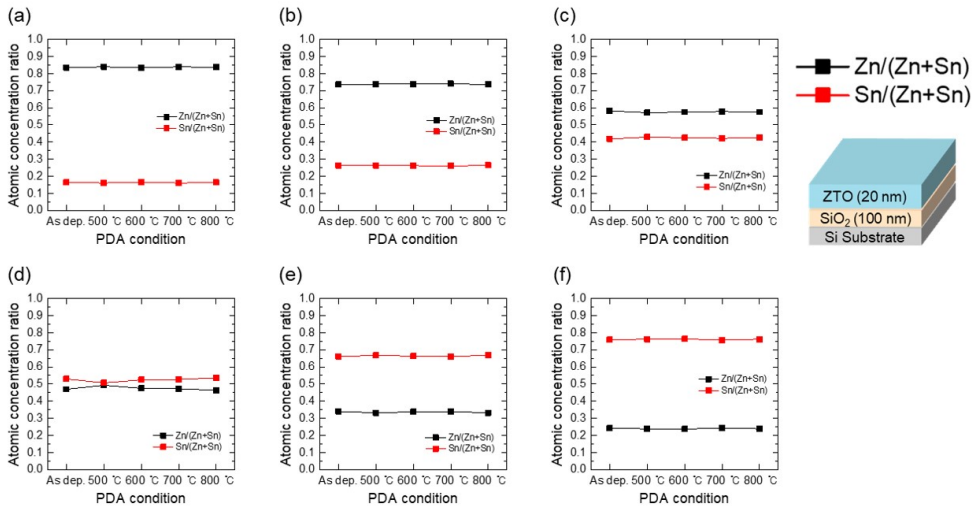


그림 3.6: ZTO 박막의 열처리 온도에 따른 조성비: (a) Sn 16.4 at%(1S2Z), (b) Sn 26.4 at%(1S1Z), (c) Sn 40 at%(2S1Z), (d) Sn 52.5 at%(3S1Z), (e) Sn 66.3 at%(5S1Z), (f) Sn 76 at%(8S1Z)

다음은 증착 후 열처리를 진행하지 않은 상태에서 ZTO 박막의 조성비 별 결정화도를 평가하기 위해 GIXRD를 측정한 결과이다. 그림 3.7을 살펴보면 Sn이 포함되지 않은 ZnO 이성분계 박막에서는 육방정계 우르차이트(hexagonal wurtzite) 구조의 결정상과 일치하는 봉우리가 관찰되며, Sn 16.4 at%인 조건에서 ZnO (002) 방향의 미약한 결정 봉우리가 확인되었다. 그리고 Sn 농도가 20 at% 보다 높은 구간에서는 결정 봉우리가 사라지고 비정질 구조를 나타냈으며, Sn 76 at%까지 비정질 구조를 유지하였다. 이는 기존에 보고된 여러 논문들의 결과와 같이[31], 결정질 구조의 ZnO 이성분계 물질에 SnO_x 사이클이 증가할수록 장거리 규칙도(long-range order)가 감소함에 따라 결정질에서 비정질로 전환되는 것으로 볼 수 있으며, 그

시점은 대략 Sn 20 at% 부근인 것으로 판단된다.

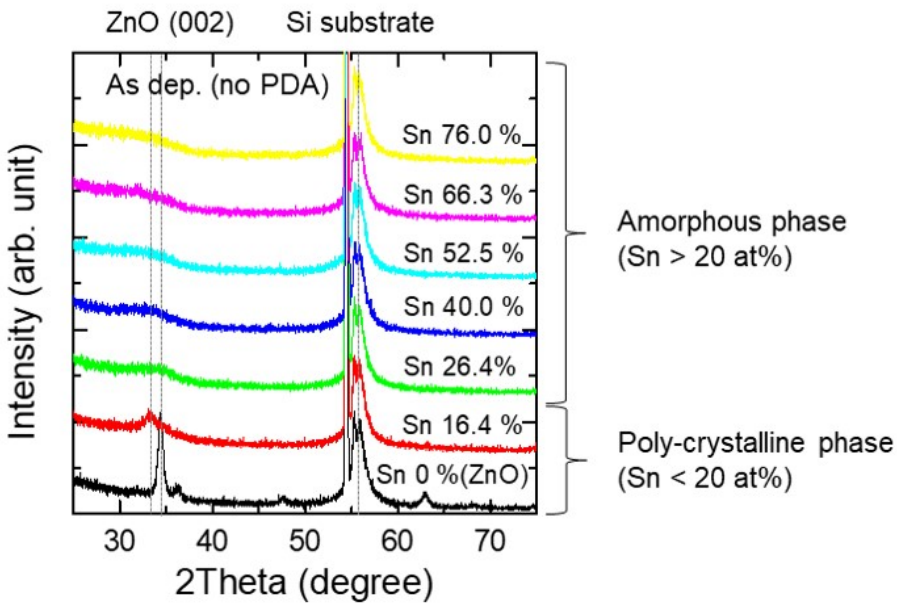


그림 3.7: ZTO 박막의 조성비 별 GIXRD 결과 (열처리 미진행)

다음은 앞서 보여드린 ZnO 이성분계 조건을 제외한 나머지 여섯 가지 조성비에서 열처리를 500 - 800 °C, 100 °C 간격으로 나누어 진행한 후 GIXRD를 측정한 결과이다(그림 3.8). (a)에서 (f)로 갈수록 Sn 농도가 16 at%에서 76 at%로 증가하는 방향이며, 그래프 내에서 가장 아래에 위치한 검은색 선은 열처리 미 진행 샘플, 그리고 붉은색에서 초록색, 파란색, 하늘색으로 갈수록 500 - 800 °C로 열처리 온도가 증가하는 방향이다. 그리고 결정상을 구별하기 위하여 ZnO는 빈 원, SnO_2는 검은 원, Zn_2SnO_4 안정상은 검은 별, $ZnSnO_3$ 준 안정상은 빈 별로 나타냈으며, JCPDS card[2] 정보를 이용하여 분석하였다. 먼저 결정화 온도 관점에서 살펴보면, Sn 16.4 at%는 열처리를 진행하지 않은 상태에서(as deposited) 이미 미약하게 결정화되어 있으며, Sn 농도가 점차 증가할수록 결정화 온도가 500 °C에서 700 °C

[2]JCPDS card: ZnO(No. 01-080-0075), SnO_2(No. 00-041-1445), Zn_2SnO_4(No. 00-024-1470), $ZnSnO_3$(No. 00-052-1381)

로 증가하다가 Sn 76 at%에서 600 °C로 다시 감소하는 경향이 관찰되었다. 다음으로 결정상에 대해 살펴보면, 아연이 풍부한 조성에서는 우르차이트 구조의 ZnO와 역 스피넬 구조의 Zn_2SnO_4 결정상이 함께 형성되었으며, ZTO 안정상 조성비에 가까운 Sn 26.4 at%에서는 역 스피넬 구조의 Zn_2SnO_4 결정상이, 그리고 Sn의 농도가 점차 증가할수록 ZTO 결정상은 사라지고 루타일 구조의 SnO_2 결정상이 지배적으로 형성되었다.

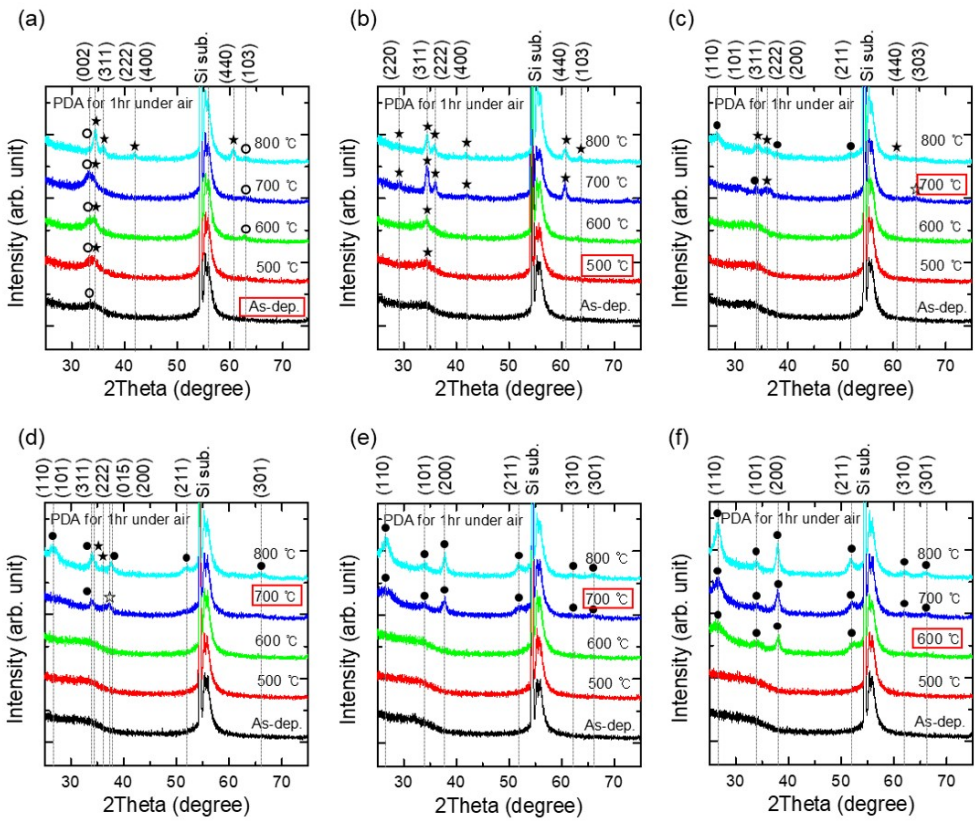


그림 3.8: ZTO 박막의 조성비 별 열처리 온도에 따른 GIXRD 결과: (a) Sn 16.4 at%(1S2Z), (b) Sn 26.4 at%(1S1Z), (c) Sn 40 at%(2S1Z), (d) Sn 52.5 at%(3S1Z), (e) Sn 66.3 at%(5S1Z), (f) Sn 76 at%(8S1Z)

앞서 보여드린 GIXRD 결과를 ZTO 박막의 조성비에 따른 결정화 온도로 나

타내면 그림 3.9와 같다. 결정화 온도는 결정상 봉우리가 발생한 시점을 기준으로 표시하였으며, 좌측 끝단에 위치한 Sn 0 at%(ZnO) 및 Sn 16.4 at%, 그리고 Sn 100 at%의 경우 증착 직후 상태에서 이미 결정화되어 있으므로 후 열처리 온도 기준으로 나타낸 그래프 상에서 결정화 온도를 0 °C로 표시하였다. 참고로 Sn 100 at% 포함된 SnO_2의 경우 TDMASn 전구체와 오존을 산화제로 사용한 기존 문헌의 결과를 참조하였다[42](본 연구와 동일하게 증착 온도 250 °C에서 진행됨) .

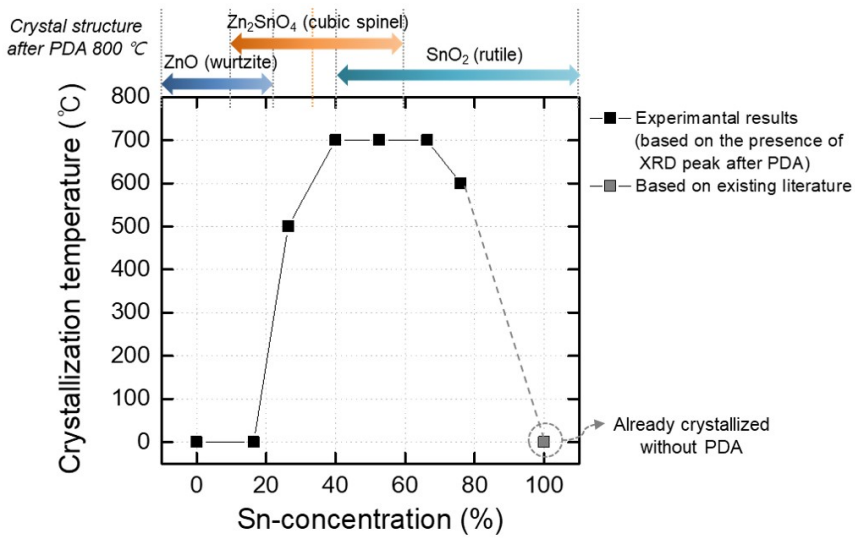


그림 3.9: ZTO 조성비에 따른 결정화 온도 (증착 후 열처리 온도 기준이며, 0 °C의 경우 열처리를 진행하지 않은 상태에서 이미 결정화된 경우에 해당)

그림 3.9 결과를 살펴보면 ZnO, SnO_2 이성분계 물질에 불순물에 해당하는 주석과 아연이 조금씩 첨가될수록 장거리 규칙도가 감소함에 따라 비정질도가 증가하고 결정화 온도가 증가하는 결과가 관찰되며, Sn 40 – 65 at% 부근의 중간 조성비에서 대략 700 °C 수준의 가장 높은 결정화 온도(T_X)가 관찰되었다. 즉, 아연과 주석의 조성비가 50 : 50에 가까운 중간 조성비에서 비정질 상을 형성하는 경향이 높은 이유는 우르차이트 결정 구조를 가진 ZnO, 그리고 루타일 결정 구조를 가진

SnO_2의 서로 다른 결정학적 배열로 인해 각각의 이성분계 물질에 불순물이 첨가될수록 결정화 과정에 더 큰 핵 생성 에너지와 확산 에너지 장벽을 필요로 하기 때문으로 해석될 수 있으며, 이는 일반적으로 비정질 산화물 반도체에서 구조적 열 안정성을 확보하기 위해 다성분계 산화물(multi-component oxides)을 적용하는 이유에 해당한다. 이와 같이 넓은 온도 영역에서 비정질 상을 유지하기 위해서는 적절한 ZTO의 조성이 요구되며, 그 조성비는 Sn 40 – 65 at% 부근인 것으로 사료된다. 한가지 눈에 띄었던 점으로는 루타일 구조의 SnO_2 결정상이 분포하는 영역이 상대적으로 넓다는 점과, 역 스피넬 구조의 ZTO 결정상 분포 영역이 살짝 왼쪽으로 치우쳐져 있다는 점이다. 위와 같은 분포를 유발한 원인으로는 여러가지가 있을 수 있으나, 그 중 하나로 Zn 서브 사이클의 높은 증착 속도를 들 수 있다(표 3.2). ZTO 박막의 조성비를 제어하기 위해 Sn과 Zn의 서브 사이클 진행 비율을 조절하게 되는데, Sn 대비 Zn 서브 사이클의 약 3 배 정도 높은 증착 속도(사이클 당 원자 농도 기준, mol cm^{-2} $cycle^{-1}$)로 인해 Zn 서브 사이클의 진행 비율 조절로는 세밀한 조성비 제어가 어려웠다. 따라서 Sn 16.4 at%(1S2Z) 조건을 제외한 나머지 조건에서는 Zn를 한 사이클로 고정하고 Sn 서브 사이클을 1에서 8 사이클로 조절하며 조성비 제어를 진행할 수 밖에 없었다(Sn 26.4 at%(1S1Z), Sn 40 at%(2S1Z), Sn 52.5 at%(3S1Z), Sn 66.3 at%(5S1Z), Sn 76 at%(8S1Z)).

표 3.2: SnO_2 와 ZnO 서브 사이클의 증착율(growth per cycle, GPC) 비교

Sub-cycle	SnO_2	ZnO
Thickness (Å $cycle^{-1}$)	1.56	3
Mass GPC (μg cm^{-2} $cycle^{-1}$)	0.07	0.12
Atomic GPC (mol cm^{-2} $cycle^{-1}$)	6×10^{-10}	1.8×10^{-9}

이로 인해 ZnO 와 SnO_2 층이 번갈아 가면서 골고루 섞일 수 있는 1S1Z 조건이

Zn와 Sn의 조성비가 50 : 50 이 아닌 Zn가 더 풍부한 74 : 26의 조성비를 가졌으며, GIXRD 결과 상 Zn_2SnO_4 단일 결정상이 관찰된 유일한 조건이다. 1S1Z 조건에서 ZTO 단일 결정상이 관찰된 원인으로는 비교적 짧은 확산 경로를 들 수 있다. ZnO와 SnO_2 층이 번갈아 증착됨에 따라 특정 영역에 특정 원소가 집중되지 않고 골고루 섞일 수 있으며, 이로 인해 Zn_2SnO_4 결정 성장에 필요한 핵 생성과 확산 에너지 장벽을 낮출 수 있었을 것으로 판단된다. 더불어 1S1Z 조건은 ZTO 안정상과 유사한 조성비를 갖고 있기 때문에 ZTO 결정화가 지배적으로 일어난 이후에 남은 비정질 매트릭스에서 ZnO 또는 SnO_2 결정상이 장거리 규칙도를 가지면서 형성되기 어려웠을 것으로 생각된다. 이후 Sn 26 at%(1S1Z) 기준으로 Sn 농도가 점차 증가함에 따라 ZTO 와 SnO_2의 혼합상에서 SnO_2 단일상 형성으로 변화되었으며, 이는 Sn의 서브 사이클 진행 비율이 증가함에 따라 Zn와 Sn이 골고루 섞이지 못하고 특정 영역에 몰려 있게 됨으로써 SnO_2 결정상이 형성되는데 필요한 확산 에너지 장벽이 감소했기 때문으로 판단된다. 따라서 위와 같은 여러 원인들로 인해 ZTO 결정상의 분포 영역이 아연이 풍부한 조성비 방향으로 치우쳐지고, SnO_2 결정상의 분포 영역이 넓게 형성된 것으로 추정되며, 이해를 돕기 위해 그림 3.10에 조성비 및 서브 사이클 진행 비율에 따른 ZTO 박막의 단면도를 도시하였다.

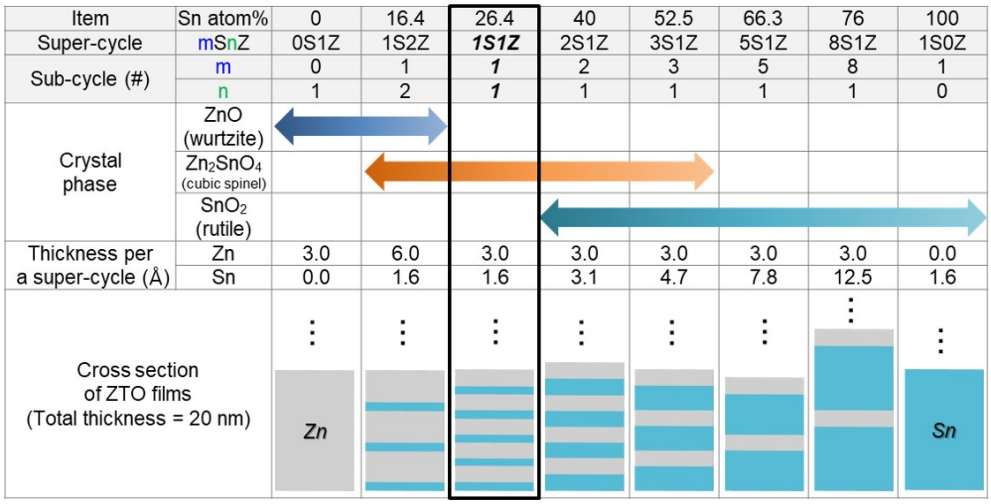


그림 3.10: 조성비 및 서브 사이클 진행 비율에 따른 ZTO 박막의 단면 모식도

다음은 XRR 측정 데이터를 기반으로 시뮬레이션 프로그램을 이용하여 피팅한 후 추출한 박막 밀도에 관한 내용이다. ZTO 박막의 조성비 별 열처리 온도에 따른 박막 밀도의 변화를 확인하고자 하였다. 그림 3.11에서 확인할 수 있듯이 열처리 미 진행 샘플 대비 열처리 온도를 500 °C에서 800 °C로 증가시킬수록 임계각도(critical angle, θ_c)가 우측으로 이동하는 현상이 관찰되었다. XRR 측정 결과에서 임계 각도는 박막 밀도에 비례하기 때문에 고온 열처리를 진행할수록 박막의 밀도가 증가하는 것으로 해석될 수 있으며[43], 시뮬레이션 프로그램을 이용하여 박막 밀도를 추출한 결과는 그림 3.12와 같다. 참고로 Sn 16.4 at%(1S2Z)의 경우 시뮬레이션 피팅 결과의 정확도가 낮아서 박막 밀도 결과 그래프에서 제외되었다. 먼저 열처리를 진행하지 않은 상태에서 ZTO 박막의 조성비에 따른 밀도의 변화에 대해 살펴보자. Sn 농도가 증가할수록 박막 밀도가 6.0 g/cm^{3}에서 6.3 g/cm^{3}으로 증가하는 경향이 관찰되며, 이는 Zn 대비 Sn의 원자량이 약 1.8 배 높기 때문으로 판단된다(원자량: Sn 118.7, Zn 65.38). 다음으로 열처리 온도 상향에 따른 박막 밀도의 변화에 대해 살펴보겠다. 결정화 온도 보다 낮은 영역에서는 박막의 밀도가

조금씩 증가하다가 600 – 700 °C 부근의 결정화 온도 이상 영역에서는 박막 밀도의 급격한 증가 및 포화 현상이 관찰되었다. 이는 비정질 박막의 구조 완화 및 결정화 과정으로 설명될 수 있다. 비정질은 결정질 대비 에너지적으로 불안정한 준 안정상이므로 일정 시간 동안 열처리할 경우 박막 내부 구성 원자들의 지속적인 재배열을 통해 빈 공간 및 무질서도를 감소시키는 방향으로 움직이려고 한다. 이러한 과정에서 박막의 밀도는 서서히 증가하게 되는 것으로 판단되며, 결정화 온도 이상 영역에서는 장거리 규칙도가 높은 결정 구조가 형성됨에 따라 박막의 치밀화는 최대에 이르게 되고, 박막의 밀도는 급격한 증가와 함께 포화 현상을 보이는 것으로 판단된다. 추가적으로 조성비 별 열처리 진행 전후 박막 밀도의 증가 비율을 산출해보면 800 °C 기준 약 4 % 수준의 밀도 증가율을 보였으며, 조성비에 따른 차이는 크게 관찰되지 않았다. 이 결과를 미루어 봤을 때 원자층 증착법으로 성장시킨 ZnO와 SnO_2 박막이 서로 유사하면서 비교적 높은 치밀도를 가지는 것으로 생각해볼 수 있다.

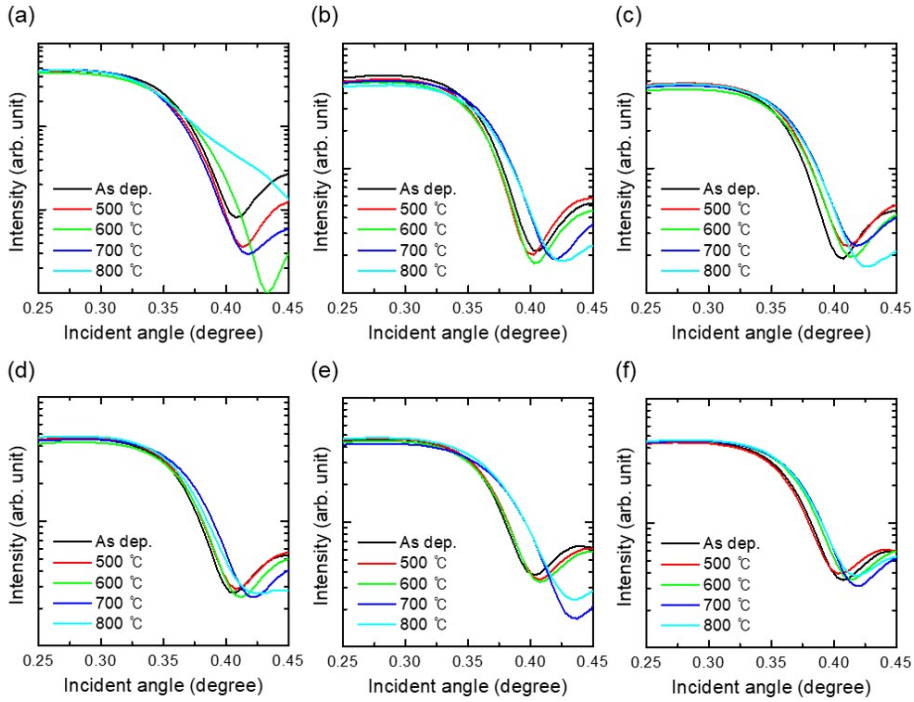


그림 3.11: ZTO 박막의 조성비 별 열처리 온도에 따른 XRR 평가 결과: (a) Sn 16.4 at%(1S2Z), (b) Sn 26.4 at%(1S1Z), (c) Sn 40 at%(2S1Z), (d) Sn 52.5 at%(3S1Z), (e) Sn 66.3 at%(5S1Z), (f) Sn 76 at%(8S1Z)(임계각 변화를 확인하기 위해 입사각이 낮은 영역 확대함)

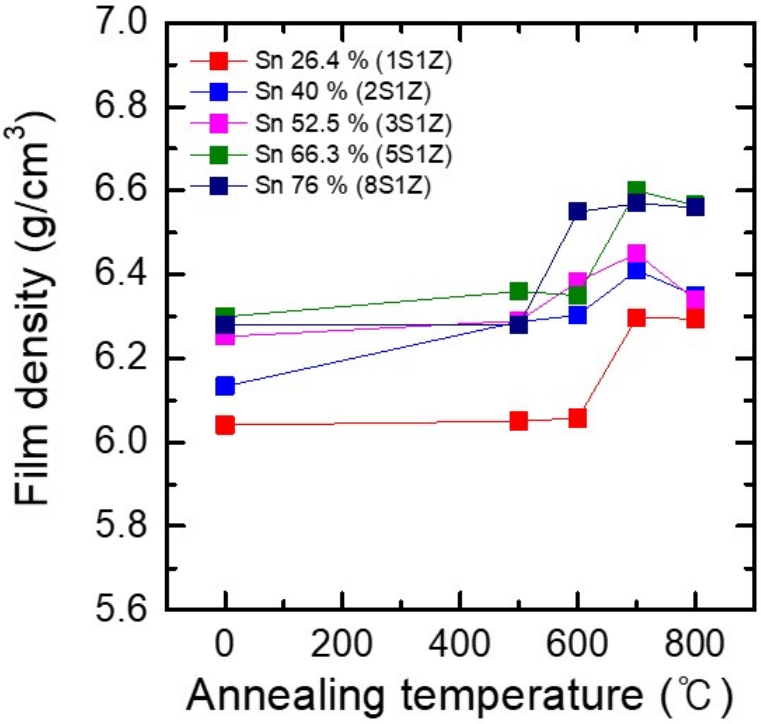


그림 3.12: ZTO 박막의 조성비 별 열처리 온도에 따른 박막 밀도

이를 좀 더 명확하게 살펴보기 위해 그림 3.13과 같이 ZTO 박막의 조성비에 대한 박막의 밀도를 ZnO, Zn_2SnO_4, SnO_2 결정의 이론 밀도와 함께 나타냈으며, 각 조건 별로 이론 밀도 대비 실험 밀도의 비율로 산출한 상대 밀도 값을 표 3.4에 기재하였다. 그래프 내 검은색 결과는 열처리를 진행하지 않은 조건에 해당하며, 파란색으로 갈수록 열처리 온도가 500 °C에서 800 °C로 증가하는 방향이다. 회색원은 좌측부터 차례대로 ZnO, Zn_2SnO_4, SnO_2 결정의 이론 밀도를 의미하며, 3 지점을 제외한 이외의 조성에서는 실험값과의 상대적인 비교를 위해 임의의 점선으로 연결하였다. 이론 밀도를 기준으로 ZnO, Zn_2SnO_4와 유사한 조성비, 그리고 SnO_2 박막의 상대 밀도를 계산해보면 표 3.4와 같으며, 증착 후 열처리를 진행하지 않은 상태에서 이미 93.8 – 95.6 % 수준의 높은 상대 밀도를 가지는 것을 확인할 수 있으며, 조성비 변화에 따른 상대 밀도의 연관성은 관찰되지 않았다. 이 결과가

시사하는 바는 원자층 증착법으로 성장시킨 ZnO와 SnO_2 박막이 서로 유사하면서 비교적 높은 치밀도를 가지는 것으로 생각해볼 수 있다. 그리고 앞서 살펴본 열처리 온도 상향에 따른 박막 밀도의 증가 현상과 동일하게 상대 밀도 또한 증가하는 추세가 확인되며, 결정화 온도 보다 높은 800 °C 열처리 조건에서는 미 진행 대비 약 3 %p 더 증가한 98 % 내외 수준의 상대 밀도를 보였다. 지금까지의 내용을 정리하자면, 원자층 증착법으로 제작한 ZTO 박막은 Sn 농도 0 – 100 %에 걸친 대부분의 조성비 영역에서 비교적 치밀도가 높은 박막이 형성되고 있으며, 조성비에 따른 치밀도(혹은 공극률(porosity)) 차이는 보이지 않는 것으로 보아 ZnO 및 SnO_2 서브 사이클의 증착 조건이 둘 다 최적화되어 있는 것으로 판단된다. 더불어 박막의 밀도가 높다는 것은 박막 내부에 존재하는 빈 공간이 적고, 구조적 무질서도로부터 비롯되는 결함 밀도가 낮을 수 있음을 의미하기 때문에 본 연구에서 사용한 원자층 증착법을 통해 고품질의 ZTO 채널막을 형성시킬 수 있음을 시사한다.

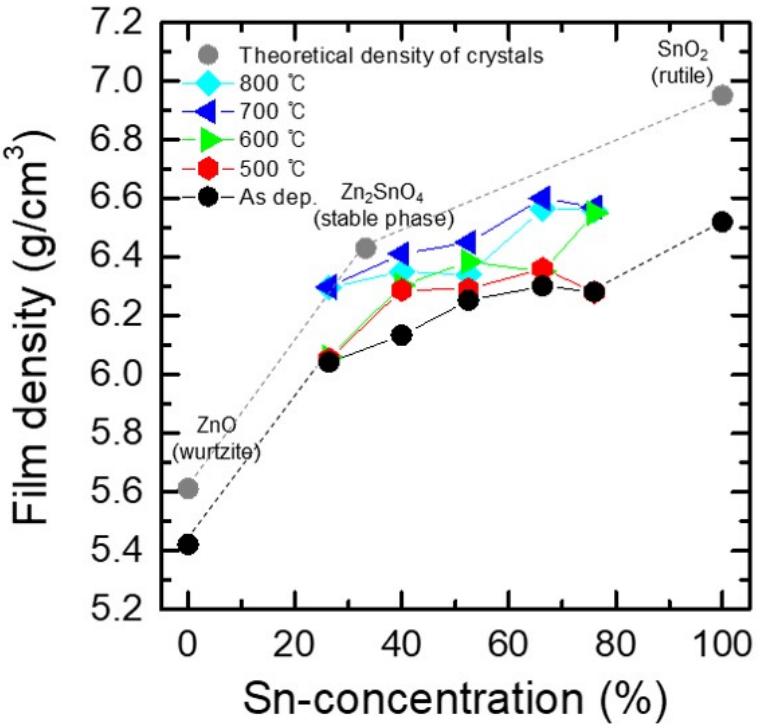


그림 3.13: ZTO 박막의 조성비 별 열처리 온도에 따른 박막 밀도

표 3.3: ZnO, Zn_2SnO_4, SnO_2 결정의 이론 밀도

ZnO(wurtzite)	Zn_2SnO_4(cubic spinel)	SnO_2(rutile)
5.67 g/cm^3	6.43 g/cm^3	6.95 g/cm^3

표 3.4: ZnO, Zn_2SnO_4, SnO_2 결정의 이론 밀도 및 실험 밀도로 산출한 상대 밀도

PDA condition	ZnO		Sn 26.4 at% (1S1Z)		Sn 40.0 at% (2S1Z)		SnO_2	
	Density (g/cm^3)	Relative density (%)	Density (g/cm^3)	Relative density (%)	Density (g/cm^3)	Relative density (%)	Density (g/cm^3)	Relative density (%)
As dep.	5.42	95.6	6.04	94.0	6.13	95.4	6.52	93.8
500 °C			6.05	94.1	6.29	97.8		
600 °C			6.06	94.2	6.30	98.0		
700 °C			6.30	97.9	6.41	99.7		
800 °C			6.30	97.9	6.35	98.8		

3.2.2 표면 형태학 분석(SEM, AFM)

ZTO 박막의 조성비 별, 고온 열처리 유무 별 표면 상태를 관찰하기 위해 주사 전자 현미경(SEM)을 이용하여 평가하였다. 열처리 온도는 500 – 800 °C 구간에서 가장 높은 800 °C를 선택하여 결정화 전후에 따른 표면 형상을 비교하고자 하였다. 먼저 ZTO 박막을 증착한 후 열처리를 진행하지 않은 조건을 먼저 살펴보도록 하겠다. Sn 16.4 at%(그림 3.14 (a))의 Zn가 풍부한 박막에서는 앞 절의 GIXRD 결과에서 확인되었듯이 (002) 방향의 ZnO 결정이 형성됨에 따라 표면 상 평균적으로 약 10 nm 크기의 균일한 나노 결정립들이 관찰되었다. 이후 Sn 농도가 20 at% 보다 높은 조건에서는(그림 3.14 (c)-(k)) GIXRD 결과와 같이 결정질에서 비정질로 전환됨에 따라 부드러운 표면 형상을 갖는 것으로 생각된다. 다음으로 800 °C에서 1 시간 동안 열처리한 경우를 살펴보면, Sn 16.4 at%(그림 3.14 (b))에서는 고온 열처리 과정에서 결정 성장이 이루어짐에 따라 표면 상 약 10 - 50 nm 크기의 결정립들이 관찰되었다. 그리고 Sn 26.4 - 52.5 at%에서는(그림 3.14 (d)-(l)) 무작위 방향의 Zn_2SnO_4, SnO_2 결정들이 형성됨에 따라 다양한 크기와 모양의 다결정 구조가 관찰되었다.

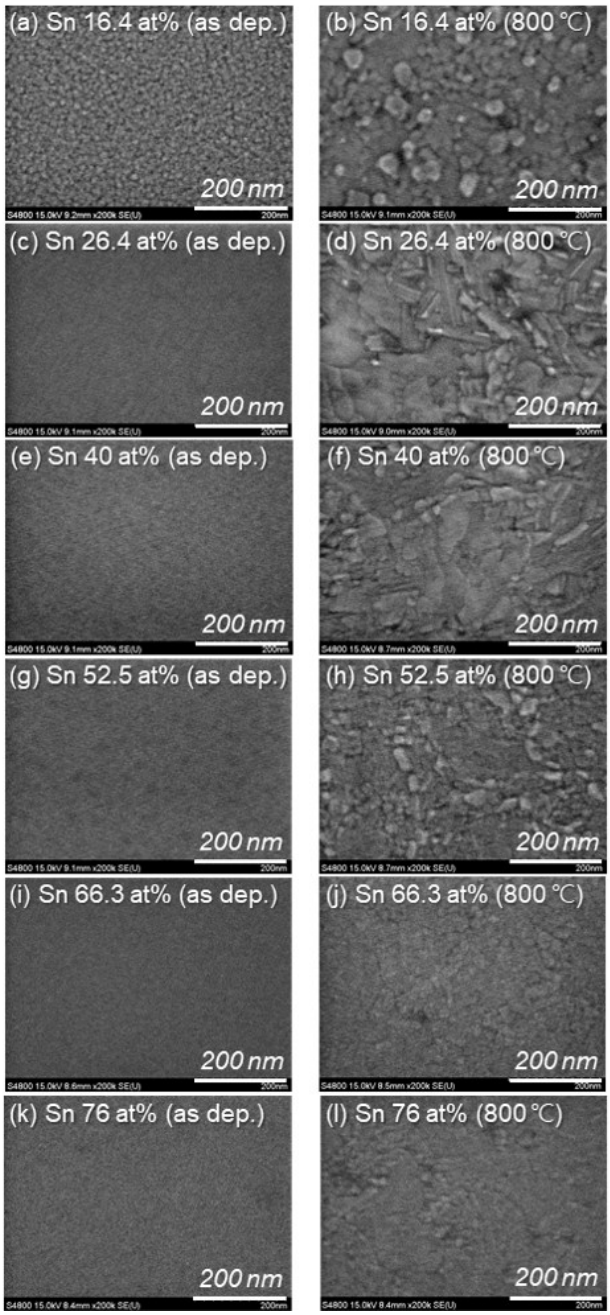


그림 3.14: ZTO 박막의 조성비 별 800 °C 열처리 진행 여부에 따른 SEM 이미지: (a)에서 (l)까지 ZTO 박막 내 Sn 농도가 증가하는 방향이며, 좌측 행은 증착 후 열처리미 진행(as deposited), 우측 행은 대기 분위기 하에서 800 °C, 1 시간 동안 열처리한 조건임. 스케일 바는 200 nm.

표면 형상 뿐만 아니라 ZTO 박막의 거칠기를 확인하기 위해 조성비 별, 열처리 유무 별로 원자힘 현미경(AFM) 평가를 진행하였다(그림 3.15). 증착 후 열처리를 진행하지 않은 조건부터 살펴보면, Sn 농도가 40 at%에서 66.3 at%로 증가할수록 박막의 거칠기가 RMS(root-mean-square) 기준 0.74 nm에서 0.37 nm로 감소했으며, 이는 기존 Kim et al.의 MOCVD ZTO에 관한 연구에서 조성비에 따른 거칠기 변화 경향과 유사하였다[9]. 그리고 ZTO 박막의 하부층인 열 산화막의 거칠기가 일반적으로 대략 0.2 – 0.25 nm 수준임을 감안하면[44][45] 본 연구에서 원자층 증착법으로 성장시킨 ZTO 박막이 비교적 양호한 거칠기를 갖는 것으로 생각해볼 수 있다. 다음으로 800 °C에서 1 시간동안 열처리한 경우를 살펴보면 Sn 40 at%, Sn 66.3 at%의 경우 열처리 미 진행 조건 대비 큰 차이 없으나, Sn 52.5 at%의 경우 거칠기가 0.46 nm에서 1.02 nm로 +0.56 nm 증가했으며, 높이 분포를 보면 열처리 전의 경우(비정질) 비교적 좌우 대칭적이었던 분포에서 벗어나 800 °C 열처리 후에는(결정질) 높이가 높고 낮은 지점들로 좀 더 분명하게 갈리는 경향을 보였다. 당시 같은 샘플의 다른 위치에서 측정해도 동일한 결과를 보였으며, 이를 감안 시 측정 상의 문제가 아닌 실제 박막의 특성일 가능성이 높을 것으로 판단된다. 따라서 이를 해석해보자면 Zn와 Sn이 50 : 50에 가까운 중간 조성비를 가질수록 서로 다른 배향과 결정 구조를 갖는 다양한 결정상들이 함께 형성됨에 따라 서로 다른 높이 분포를 갖는 결정상들이 생겨나게 되고, 이로 인해 표면의 거칠기가 증가할 수 있었을 것으로 추측된다.

표 3.5: ZTO 박막의 조성비 별 800 °C 열처리 여부에 따른 AFM 거칠기(RMS)

Sn at% (mSnZ)	Sn 40 at% (2S1Z)	Sn 52.5 at% (3S1Z)	Sn 66.3 at% (5S1Z)
as deposited (no PDA)	0.74 nm	0.46 nm	0.37 nm
PDA 800 °C, 1 hr, air	0.75 nm (+0.01)	1.02 nm (+0.56)	0.37 nm (0)

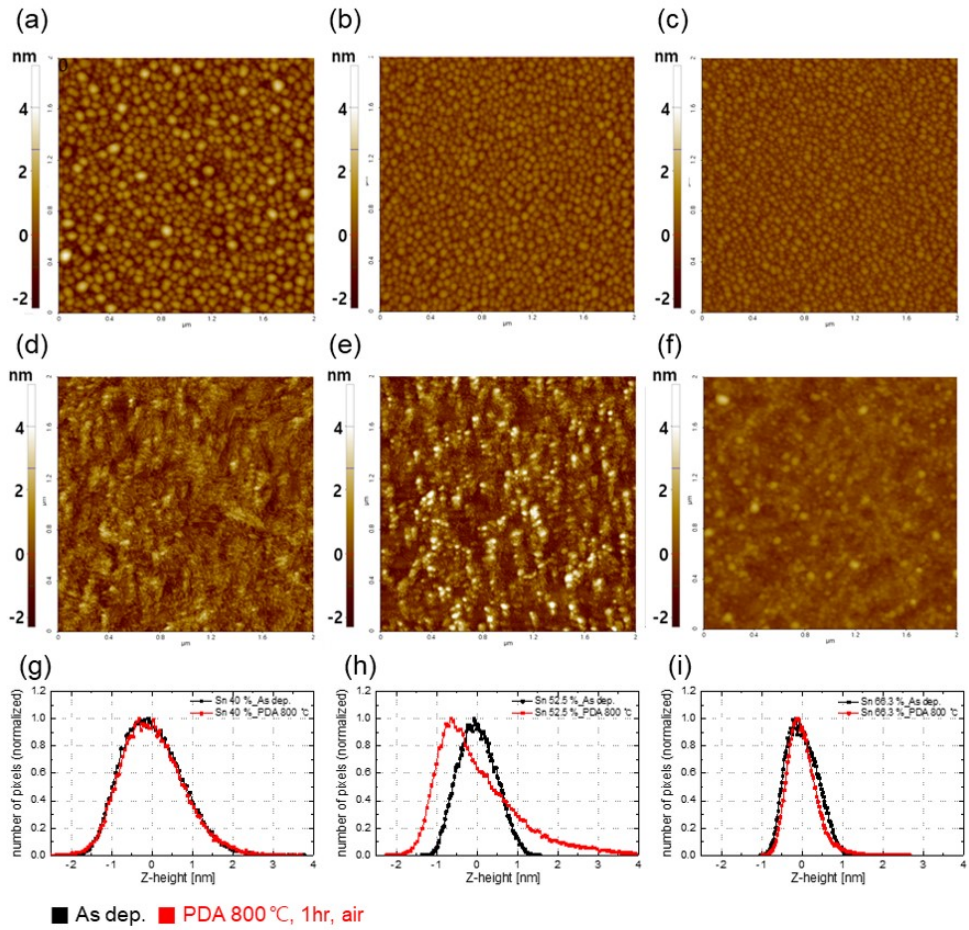


그림 3.15: ZTO 박막의 조성비 별 800 °C 열처리 진행 여부에 따른 AFM 지형 이미지 및 높이 분포 곡선: (a) Sn 40 at%(열처리 미 진행), (b) Sn 52.5 at%(열처리 미 진행), (c) Sn 66.3 at%(열처리 미 진행), (d) Sn 40 at%(PDA 800 °C), (e) Sn 52.5 at%(PDA 800 °C), (f) Sn 66.3 at%(PDA 800 °C), (g) Sn 40 at%(열처리 전/후), (h) Sn 52.5 at%(열처리 전/후), (i) Sn 66.3 at%(열처리 전/후), (스캔 크기: 2 μm x 2 μm (256 x 256 pixels), 높이 스케일: -2 nm에서 5 nm)

3.3 ZTO 박막의 전기적 특성 평가 결과

지금까지 ZTO 박막의 조성비 별, 열처리 온도 별 구조적 특성에 관해 살펴보았다. 이번 장에서는 ZTO 박막 뿐만 아니라 앞서 소개한 소자 제작 공정을 거쳐서 만든 ZTO 박막 트랜지스터(thin-film transistor, TFT)의 전기적 특성 평가 결과에 대해 소개하고자 한다. 먼저 ZTO 박막의 조성비에 따른 전기적 특성 변화에 대해 살펴본 후 이어서 열처리 온도에 따른 특성 변화에 대해 살펴보도록 하겠다.

3.3.1 홀 효과 측정

ZTO 박막의 조성비에 따른 전기적 특성 변화를 살펴보기 위해 홀 효과 측정(Hall effect measurement)을 진행하였다. 홀 측정 장비는 반 데르 파우(Van der Pauw) 배치 및 홀 효과를 이용하여 박막의 비저항, 캐리어 밀도, 그리고 이동도를 추출할 수 있다. 본 연구에서는 그림 3.16의 레이아웃 패턴과 같이 사각형 모양의 패턴을 제작한 후 측정하였으며, 그 결과는 그림 3.17과 같다. 그래프 상에서 x 축은 Sn 농도를 나타내며, Sn 농도가 증가할수록 ZTO 박막의 비저항은 감소하고, 전자 밀도와 이동도는 점차 증가하는 경향이 관찰된다. 이는 기존에 연구된 다른 문헌들의 결과와 일치하는 방향이나, 해당 결과를 유발하는 메커니즘에 대해서는 논문마다 조금씩 견해 차이를 보이고 있다[9][34][46]. 따라서 ZTO 박막에서 Sn 농도가 증가할수록 전자 밀도 증가를 유발할 수 있는 몇 가지 요인들에 대해서 살펴보면 다음과 같다. 첫째, 산소 공공의 밀도 증가이다. 앞선 문헌 연구에서 설명했듯이, 일반적으로 산화물 반도체는 고유 결함인 산소 공공에 의해 평균 전자 밀도가 결정되는 것으로 알려져 있으며, 만약 박막 내부에 산소 공공의 양이 증가하게 되면 그만큼 많은 양의 얕은 도너 상태가 생겨나게 되고, 많은 전자들이 전도대로 여기될 수 있게 됨에 따라 박막의 평균 전자 밀도는 증가하게 된다. 하지만 한 문헌에 따르면 Sn-O의 결합 에너지(528 kJ/mol)가 Zn-O(250 kJ/mol) 대비 큰 것으로 보고하고 있으며[7], 이는 상대적으로 산소와의 결합 에너지가 강한 Sn 농도가 증가할수록

산소 공공이 줄어듦에 따라 전자 밀도가 감소할 수 있음을 의미한다. 실제로 18년도에 발표된 ALD ZTO 연구 논문에 따르면 XPS 결과 상 Sn 농도가 증가할수록 V_O 관련된 봉우리의 면적비가 감소하는 것으로 보고하고 있으며, 그 원인으로는 Zn 대비 Sn의 강한 결합력을 꼽고 있다[4]. 하지만 본 실험의 홀 측정 결과에서는 Sn 농도 상향 시 전자 밀도가 증가하였으므로 Sn과 Zn의 결합 에너지 차이에 기인한 산소 공공의 밀도 변화는 본 실험에서 지배적인 메커니즘이 아닐 것으로 추측된다. 그리고 이를 명확히 검증하기 위해서는 추후 XPS 평가가 필요할 것으로 판단된다. 두번째 요인은 얕은 도너 에너지(shallow-donor energy)의 변화를 들 수 있다. 가령 산소 공공의 밀도는 일정하더라도 만일 산소 공공에 의한 얕은 도너 준위가 전도대 최하단부에 더 가깝게 위치할수록 전자가 여기하기 위해 필요한 에너지가 감소함에 따라 도너 상태에 위치한 전자가 더 쉽게 전도대로 이동할 수 있으며, 열 평형 상태의 전자 밀도는 더 증가하게 된다. 한 DFT(density-functional theory) 연구 논문에 따르면 SnO_2에서 산소 공공에 의한 결함 상태는 ZnO 대비 약 1 eV 높은 것으로 계산되었으며, 이로 인해 전도대 최하단부까지의 거리가 가까워짐에 따라 진성 전자의 농도가 더 높게 나타나는 것으로 보고하고 있다[47]. 뿐만 아니라, Kim et al.의 MOCVD ZTO 연구 논문에서는 NBIS 전후 특성 변화를 설명하기 위해 시뮬레이션 피팅 결과를 제시하고 있으며, 그 결과 상 Zn와 Sn의 인접한 곳에 생기는 산소 공공의 결함 에너지 준위가 각각 전도대 가장자리에서부터 0.3 eV, 0.1 eV 떨어진 위치에 존재함을 보였다[9]. 즉, 앞선 두 문헌의 결과를 종합해보면 ZTO 박막에서 Sn 농도가 증가할수록 전도대 최하단부에 더 가까운 얕은 도너 상태 밀도(density of shallow-donor states)가 증가하게 되고, 더 많은 양의 도너 전자가 쉽게 여기할 수 있게 되어 평균 전자 밀도가 증가할 수 있다. 따라서 본 연구실 ALD ZTO 박막의 Sn 농도 상향에 따른 전자 밀도 증가 현상은 V_O 밀도 증가가 아닌 얕은 도너 레벨의 변화 기인일 가능성이 높을 것으로 판단된다.

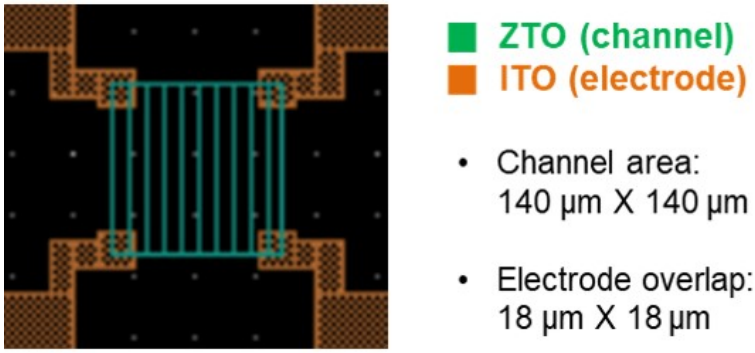


그림 3.16: ZTO 박막의 홀 패턴 레이아웃(초록색: ZTO 채널층, 주황색: ITO 전극, 채널 영역: 140 μm × 140 μm, 채널과 전극 중첩 영역: 18 μm × 18 μm, 포토리소그래피 공정을 통해 홀 패턴 제작.)

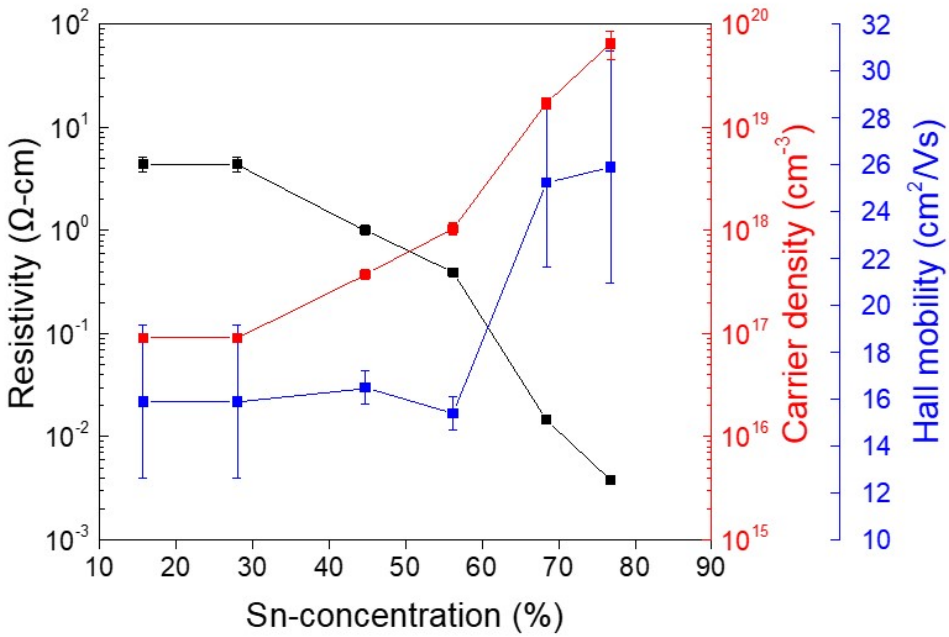


그림 3.17: ZTO 박막의 조성비 별 홀 측정 결과: 비저항, 전자 밀도, 홀 이동도 (Y축 에러 바: 중간값 ± 표준 편차(σ))

다음은 홀 이동도 변화에 대해 살펴보자. 우선 첫번째로 Sn 농도가 증가할수록 홀 이동도가 증가하는 현상은 퍼컬레이션 전도(Percolation Conduction) 메커니즘으로 설명될 수 있다[35]. 가령 소자가 켜지는 축적 모드를 생각해보면 밴드 가장자리에 위치한 상대적으로 낮은 에너지 레벨의 국부화 된 테일 상태(localized-tail states)에 전자가 먼저 채워지게 되고, 남은 전자들이 이동도 가장자리(mobility edge) 상단에 위치한 상태를 통해 이동하게 된다. 즉, 전자 밀도가 높을수록 유효 호핑 장벽(effective hopping barrier)이 낮아지기 때문에 이동도는 증가하게 되는 원리다. 두번째로 퍼컬레이션 경로의 확장에 의해 설명될 수 있다. 앞선 문헌 연구에서도 한차례 설명했듯이, 비정질 ZTO 물질의 전도대 가장자리는 주로 Sn 5s 궤도 그리고 O 2p 혼성 궤도로 구성되어 있으며[30], 따라서 Sn 농도가 증가할수록 인접한 5s 궤도와의 중첩이 증가함에 따라 유효 질량이 감소하고, 전자 이동도가 향상될 수 있다. 정리하자면 ZTO 박막에서 Sn 농도가 증가할수록 전자 밀도 증가에 따른 호핑 장벽 에너지의 감소 뿐만 아니라, 퍼컬레이션 경로의 공간적 분포가 확장됨에 따라 박막의 전도성이 증가하는 것으로 볼 수 있다.

3.3.2 전하 전달 특성

지금까지 박막 상태의 전기적 특성에 관해 살펴보았으며, 다음은 Sn 농도 별 ZTO TFT의 전하 전달 특성에 관한 내용이다. 그림 3.18은 선형 상태와 포화 상태에서의 I_{ds} vs. V_{gs} 곡선이며(V_{ds} = 0.1, 10 V), 그림 3.19은 포화 상태에서 추출된 주요 소자 성능을 나타낸다. 앞선 홀 측정 결과에서 확인된 바와 같이, Sn 농도가 증가할수록 전자 밀도 증가에 따른 V_{th} 감소 현상이 관찰되었으며, 이로 인해 Sn 농도가 60 at%를 넘는 조건에서는 큰 음의 게이트 전압 하에서도 소자가 꺼지지 않았다. 그림 3.19를 살펴보면 Sn 농도가 증가함에 따라 전계 효과 이동도(field-effect mobility, μ_{FE})는 지속적으로 증가하는 경향이 관찰되었으며, SS는 중간 조성비에서 가장 낮고, 양 끝단으로 갈수록 높아지는 U자 곡선을 나타냈다. 본 결과 기준 V_{th} = -0.07 - -2.87 V, μ_{FE} = 10 – 13 cm^2/Vs, I_{on}/I_{off} = 3.4×10^8, SS = 310 mV/dec.로

가장 우수한 소자 성능을 보인 최적의 조성비는 Sn 40 - 45 at%로 확인되었다. 앞 절에서 살펴봤듯이 ZTO 박막의 결정화 온도가 Sn 40 - 65 at% 구간이 가장 높았던 점을 고려하면 소자 성능 및 박막의 구조적 열 안정성 관점에서 가장 최적의 조성비는 Sn 40 - 45 at%인 것으로 판단된다. 각 주요 소자 항목 별 변화에 대한 자세한 분석은 다음과 같다. 먼저 SS에 대해 살펴보면, Sn 28 - 45 at% 구간에서 약 310 mV 수준의 가장 낮은 값을 보였으며, 양 끝 조성으로 갈수록 점점 높아지는 알파벳 U 모양의 곡선이 관찰되었다. 우선 Sn 농도가 20 at% 보다 낮은 Zn가 풍부한 조성에서는 GIXRD 결과 상 ZnO 결정상이 확인된 바 있으며, 이로 인해 해당 조성비에서 결정립계 및 관련 결함들의 증가로 인해 산란 효과가 늘어나서 SS 값과 샘플 간의 산포가 증가했을 수 있다. 다음으로 Sn 농도가 50 at% 넘는 영역에서 SS가 증가한 원인으로는 전도대 가장자리 부근의 결함 상태 변화를 들 수 있다. 2019 년도에 발표된 한 논문에 따르면 IZO 물질에서 Sn 농도가 증가할수록 얕은 도너 준위 보다 살짝 더 낮은 곳에 위치한 깊은 준위가 밴드 가장자리로부터 점점 멀어지고, 더 넓게 분포하는 것으로 보고하고 있다[7]. 깊은 준위가 존재하는 영역은 대개 소자의 문턱 전압 이하 영역에 포함되며, 이러한 깊은 준위의 증가는 SS 증가를 유발시킬 수 있다. 더불어 Jang et al.이 발표한 p-type SnO 소자 관련 문헌에서는 채널층의 Sn 이 인접한 게이트 절연체 SiO_2 층으로 확산됨에 따라 계면 특성이 저하되는 현상을 보고한 적 있으며[17], 마찬가지로 Sn 농도가 높은 ZTO 박막에서도 이와 같은 현상이 일어날 가능성이 있다.

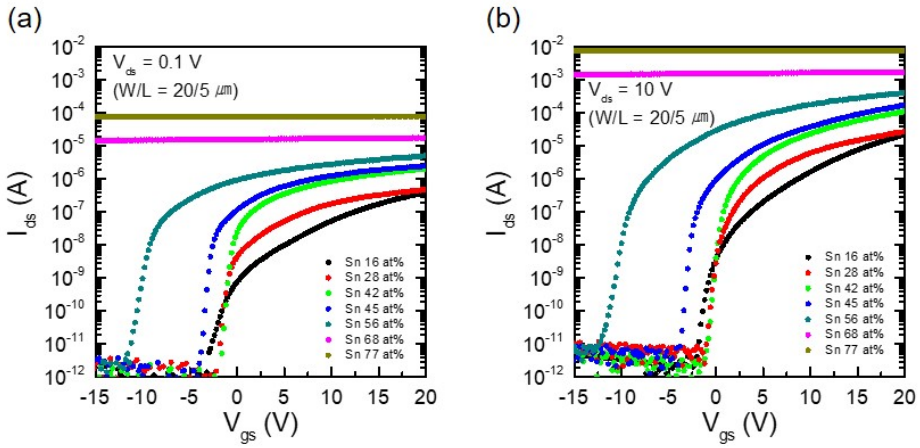


그림 3.18: Sn 농도 별 전하 전달 곡선: (a) 선형 상태(V_{ds} = 0.1 V), (b) 포화 상태 (V_{ds} = 10 V) (채널의 폭/길이 = 20 μm/5 μm)

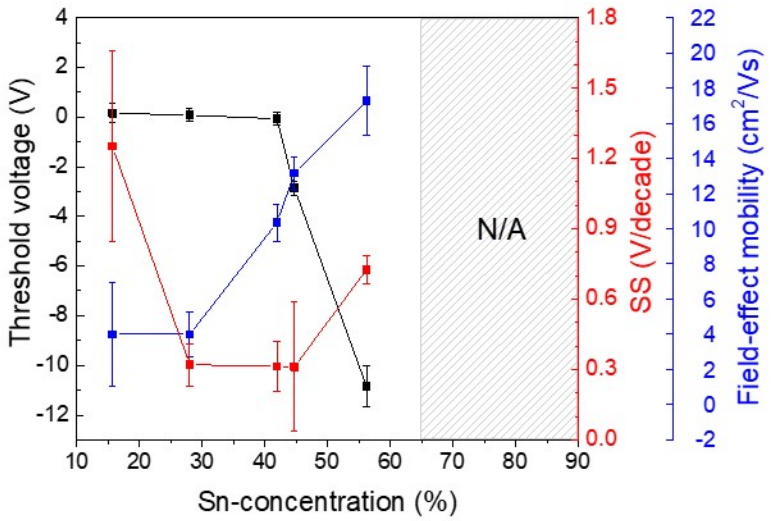


그림 3.19: ZTO TFT의 포화 전달 곡선으로부터 추출된 Sn 농도 별 주요 소자 항목: 문턱 전압(V_{th}), 문턱 전압 이하 기울기(SS), 전계 효과 이동도(μ_{FE})

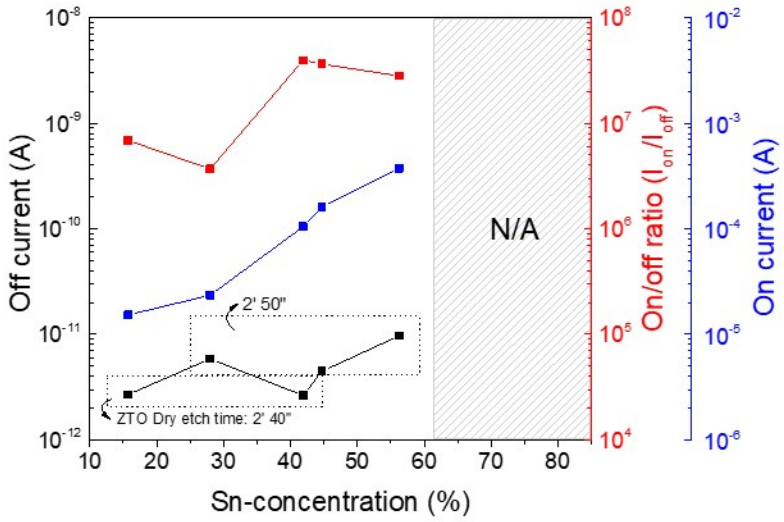


그림 3.20: ZTO TFT의 포화 전달 곡선으로부터 추출된 Sn 농도 별 꺼진 상태와 켜진 상태에서의 전류 특성: off current, on current, on/off ratio(I_{on}/I_{off})

전계 효과 이동도(μ_{FE})는 홀 이동도와 마찬가지로 Sn 농도가 증가할수록 전자 밀도 증가에 따른 호핑 장벽 에너지의 감소 효과(퍼컬레이션 전도) 및 전도 경로의 공간적 분포 확장으로 설명될 수 있다. 한가지 주목할 만한 점으로는 홀 이동도 대비 전계 효과 이동도가 더 낮게 추출되었다는 점이며, Sn 농도가 감소할수록 그 차이가 점점 더 커지는 경향이 관찰되었다(그림 3.21). 이러한 차이를 유발한 원인을 생각해보기 위해 그림 3.22와 같이 두 항목의 몇 가지 측정 조건에 대해 비교해보았으며, 그 중 해당 결과와 가장 연관성이 높을 것으로 판단된 부분은 바로 ZTO 채널의 길이 차이이다. 홀 이동도를 측정하는 패턴의 채널 길이는 140 μm, 전계 효과 이동도를 측정하는 패턴의 채널 길이는 5 μm로 홀 패턴 대비 약 1/28 배 수준으로 작게 형성되어 있다는 점이다. 일반적으로 트랜지스터에서 채널 길이가 줄어들수록 상대적으로 채널 저항 대비 접촉 저항이 차지하는 비율이 증가함에 따라 외부에서 가해준 전압이 채널보다 접촉부에 더 나뉘어 걸리게 되며, 이로 인해 채널의 유효 이동도가 감소될 수 있다. 이러한 관점에서 바라볼 때, 만약 ZTO 채널

층과 소스/드레인 전극 사이의 접촉 저항이 Sn 농도에 따라 달라진다면 상대적으로 홀 패턴 보다 채널의 길이가 짧은 박막 트랜지스터 패턴에서 Sn 농도 별 접촉 저항 차이에 따른 유효 이동도 변화가 뚜렷이 관찰될 수 있다. 따라서 이를 검증하기 위해 Sn 농도 별로 채널과 전극 사이의 접촉 저항을 측정하였으며, 더불어 채널 길이에 따른 전계 효과 이동도의 변화 또한 확인하였다.

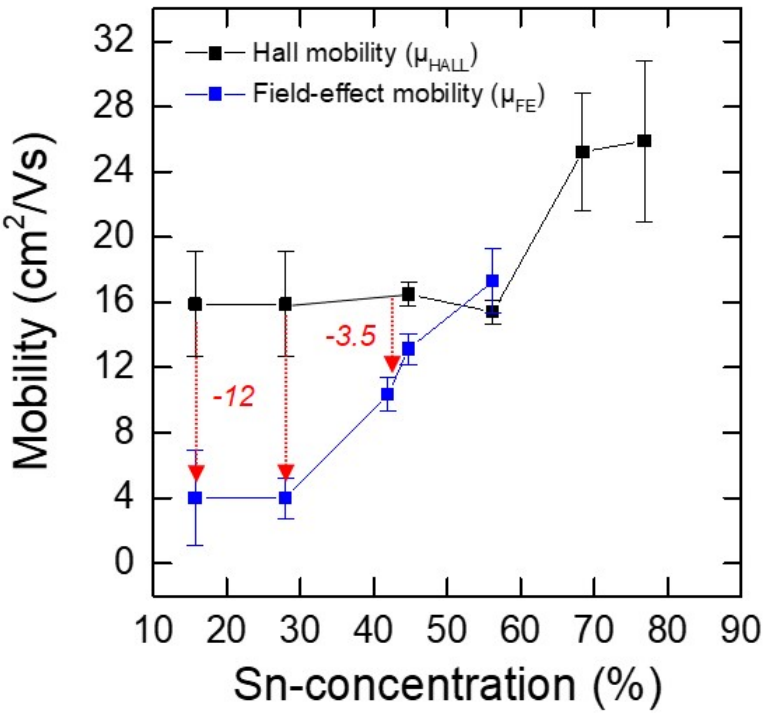


그림 3.21: Sn 농도 별 ZTO TFT의 전계 효과 이동도와 홀 이동도

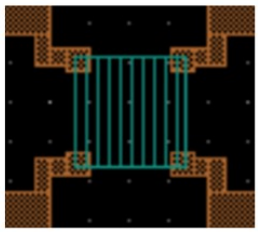
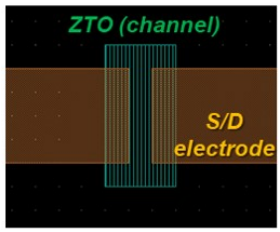
Item	Hall mobility	Field-effect mobility	Remark
Test pattern			
Channel W/L	140 μm / **140 μm**	20 μm / **5 μm**	Ch. length x 1/28
Electrode O/L	18 μm X 18 μm (324 μm^2)	20 μm X 5 μm (100 μm^2)	
Extraction method	Hall effect, Lorentz force. (bulk-sensitive)	Gate-induced charges in the channel, g_m (interface-sensitive)	
Carrier density	n_0 (in thermal equilibrium)	n (>n_0) (under strong charge accumulation)	μ_{FE} can be higher than μ_{HALL}

그림 3.22: 홀 이동도와 전계 효과 이동도의 측정 환경 상의 차이점

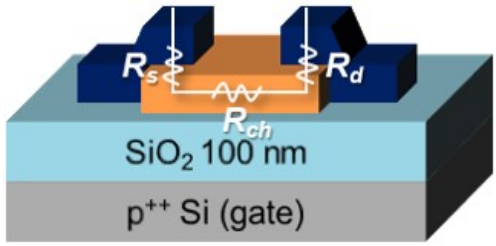


그림 3.23: ZTO TFT의 채널 저항 및 접촉 저항 성분

전형적인 TLM 측정법을 이용하여 추출한 ZTO 채널층과 소스/드레인 전극 사이의 접촉 저항은 그림 3.24과 같으며, Sn 농도 별로 서로 다른 채널 길이에서 게이트 전압에 따른 총 저항 값 변화를 나타낸다. 먼저 Sn 농도가 증가할수록 동일한 게이트 전압에서 측정되는 총 저항이 감소하는 것을 확인할 수 있으며, 이는 앞서 설명하였듯이 ZTO 채널층의 전자 밀도 증가 효과로 설명될 수 있다. 그리고

한가지 특이한 점으로는 동일한 조성에서 게이트 전압이 증가할수록 y절편에 해당하는 접촉 저항이 감소한다는 점인데, 이는 소스/드레인 전극과 채널이 쇼트키 접촉(Schottky contact)을 이룸에 따라 게이트 전압이 증가할수록 쇼트키 장벽 감소 효과(Schottky barrier lowering effect)가 보였을 수 있을 것으로 판단된다[48]. 그리고 한가지 주목할 만한 점은 접촉 저항에 해당하는 y절편을 추출하여 채널폭으로 곱한 $R_{sd}W$를 Sn 농도에 따라 그려보면 Sn 농도가 감소할수록 $R_{sd}W$가 급격히 증가한다는 점이다(그림 3.25). 정리하자면, Sn 농도가 감소할수록 소스/드레인 접촉 저항이 급격하게 증가했으며, 총 저항에서 접촉 저항이 차지하는 비율(R_{sd}/R_{tot})이 동일한 채널 길이에서 증가함에 따라 전계 효과 이동도가 감소한 것으로 사료된다(그림 3.26). 그리고 큰 음의 게이트 전압에서도 소자가 꺼지지 않았던 Sn 60 at% 이상 조건에서는 게이트 전압에 따른 총 저항 및 접촉 저항의 변화가 보이지 않고 곡선이 거의 일치하는 결과를 나타냈으며, 이는 채널층이 10^{19} 이상의 높은 전자 밀도를 가짐에 따라 소스–채널–드레인 전극이 전도성 높은 층으로 연결되어 있음을 의미한다. 그리고 게이트 전압에 따른 접촉 저항 변화가 없다는 점을 미루어 봤을 때, 쇼트키 접촉이 아닌 준 오믹 접촉(quasi-ohmic contact)을 형성하고 있을 가능성이 높을 것으로 판단된다.

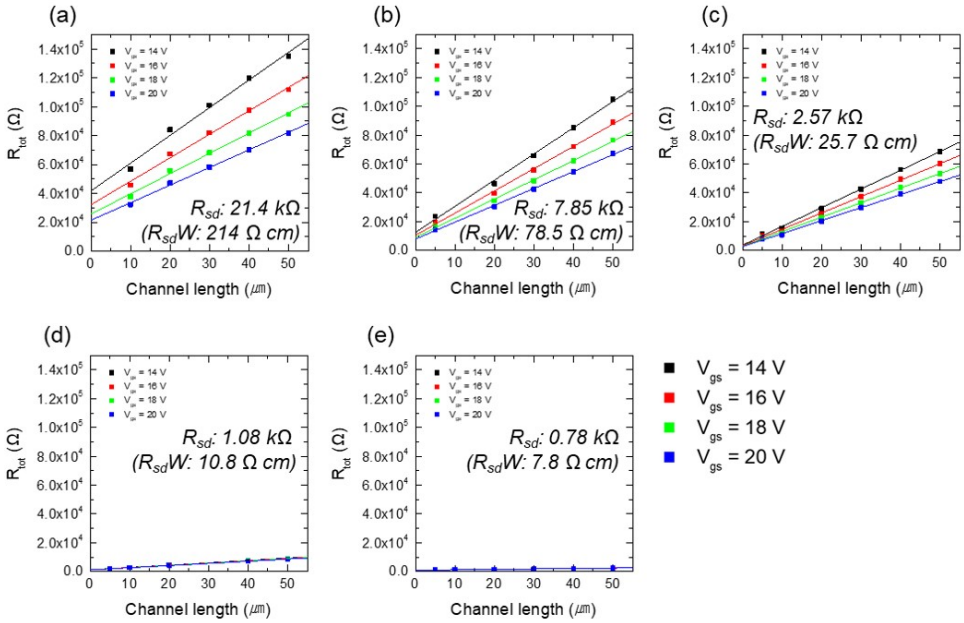


그림 3.24: ZTO TFT의 채널 길이 별 총 저항(R_{tot}) 변화: (a) Sn 28 at%, (b) Sn 45 at%, (c) Sn 56 at%, (d) Sn 68 at%, (e) Sn 77 at% (V_{gs} = 14, 16, 18, 20 V, V_{ds} = 0.1 V, W(채널 폭) = 100 μm)

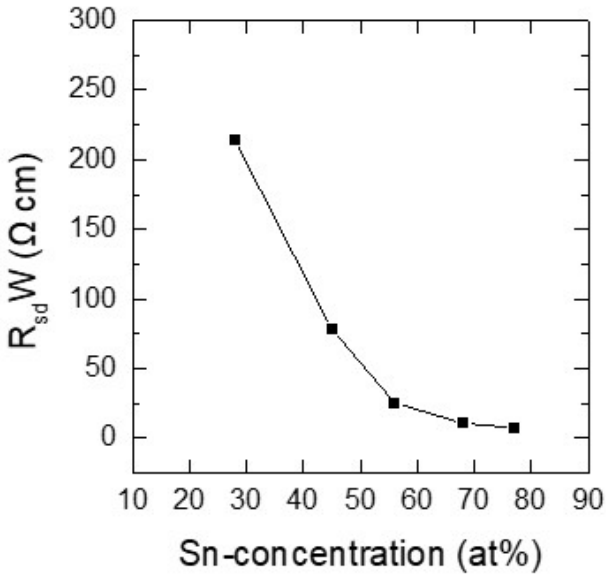


그림 3.25: Sn 농도 별 접촉 저항의 변화(V_{gs} = 20 V, V_{ds} = 0.1 V, 채널 폭(W) = 100 μm)

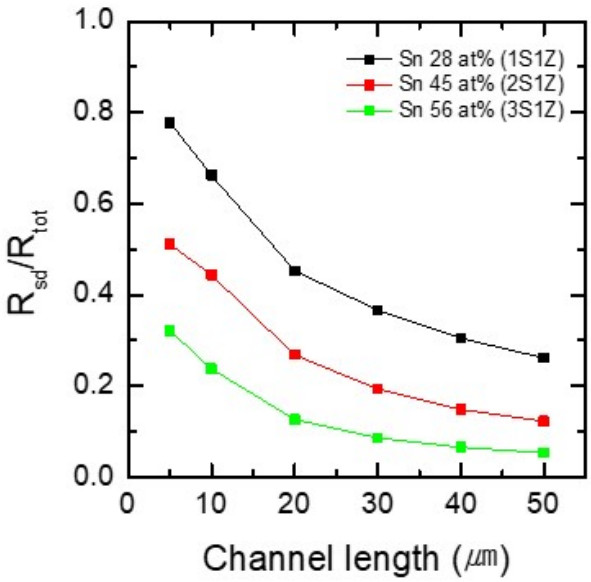


그림 3.26: ZTO TFT의 채널 길이 별 총 저항 대비 접촉 저항이 차지하는 비율 (R_{sd}/R_{tot}, 소자가 꺼지지 않았던 Sn 농도 60 at% 이상 조건 제외)

다음은 채널 길이가 전계 효과 이동도에 미치는 영향을 확인하기 위해 소자가 꺼지지 않았던 Sn 60 at% 이상 조건을 제외하고 나머지 조성에서 채널 길이에 따른(5 – 50 μm) 전계 효과 이동도를 확인하였다(그림 3.27). 우선 공통적으로 채널 길이가 50 μm에서 5 μm로 점차 감소할수록 전계 효과 이동도가 감소하는 결과를 보였으며, Sn 농도가 56 at%에서 28 at%로 감소할수록 상대적으로 더 긴 채널 길이에서부터 급격한 이동도 저하가 관찰되었다. 선형 구간에서의 전류 공식에 접촉 저항에 의한 전압 강하 성분($I_{ds}R_{sd}$)을 반영하여 이동도와 접촉 저항 사이의 상관관계를 유도해보면 식 (3.5)로 표현될 수 있으며[49], 이 식을 해석해보면 ZTO 박막 자체가 갖고 있는 고유 이동도(intrinsic mobility, μ_0)에서 소스/드레인 접촉 저항이 증가할수록 실제 전계 효과 이동도(μ_{FE})가 감소한다는 것이다. 따라서 그림 3.27의 결과를 상기 공식으로 피팅해보면 ZTO 채널이 갖고 있는 고유 이동도와 접촉 저항 성분으로 추출해낼 수 있으며, 각 조성비 별 μ_0는 17.2, 17.7, 18.5 cm^2/Vs 수준으로 μ_{FE} 대비 비교적 크고 유사한 값을 가지는 것으로 나타났다. 접촉 저항(R_{sd})은 11.6 kohm, 7.55 kohm, 2.4 kohm으로 Sn 농도가 감소할수록 증가하는 경향이 확인되었고, 이는 TLM을 통해 산출된 R_{sd} 값과 유사하였다. 종합해보자면, Sn 농도가 감소할수록 총 저항($R_{tot} = R_{ch}L + R_{sd}$)대비 접촉 저항이 차지하는 비율이 증가하며, 이는 소스/드레인 접촉부에서 더 큰 전압 강하를 유발하여 실제 채널에 걸리는 전압이 줄어들게 된다. 이로 인해 ZTO 박막이 갖고 있는 고유 이동도는 유사한 값을 가짐에도 불구하고 5 μm 수준의 상대적으로 짧은 채널 길이에서는 접촉 저항의 영향이 커짐에 따라 전계 효과 이동도가 큰 폭으로 감소한 것으로 판단된다. 지금까지 언급된 홀 이동도, 전계 효과 이동도, 고유 이동도를 함께 나타내면 그림 3.28과 같다. 한가지 특이점으로는 μ_0가 16 cm^2/Vs 수준의 μ_{HALL}와 유사하면서 그보다 살짝 높은 값을 보이는데, 이는 μ_0가 이상적인 오믹 접촉을 이룬다는 가정 하에서 추출되었다는 점, 그리고 홀 측정처럼 게이트 전압이 가해지지 않은 열 평형 상태의 전자 농도에서 추출된 게 아니라 게이트 전압에 의한 강한 축적 상태에서 추출되었다는 점을 고려하면(퍼컬레이션 전도는 전자 밀도가 높을수록 이동도가

증가) n_e 증가 효과로 인해 홀 이동도보다 살짝 더 높게 나올 수 있을 것으로 생각된다.

$$\mu_{FE} \approx \mu_0 \frac{1}{1+\mu_0 \frac{W}{L} C_{ox} R_{sd} (V_{gs} - V_{th})} \tag{3.5}$$

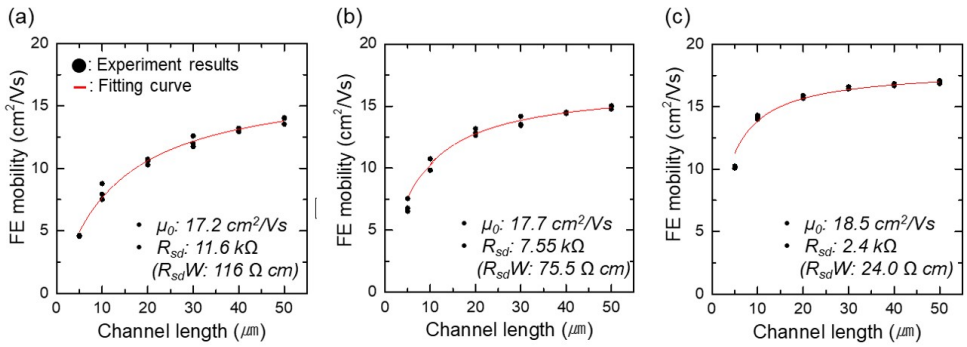


그림 3.27: ZTO TFT의 채널 길이 별 전계 효과 이동도: (a) Sn 28 at%, (b) Sn 45 at%, (c) Sn 56 at%

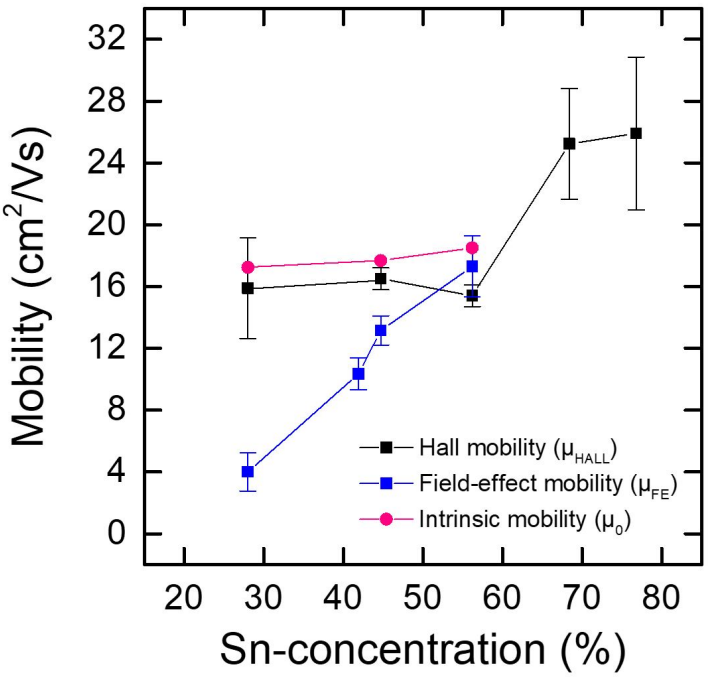


그림 3.28: Sn 농도 별 홀 이동도, 전계 효과 이동도, 그리고 진성 이동도

Sn 농도 별 접촉 저항 차이를 유발한 원인에 대해서 살펴보면 다음과 같다. 계면 상태(interface states)에 의한 영향을 배제하고 이상적인 접촉을 이룬다는 가정 하에서 쇼트키 장벽 높이(Φ_B)는 금속의 일함수(Φ_m)와 반도체의 전자 친화도(χ) 차이에 의해 결정된다($\Phi_B = \Phi_m - \chi$). 최근 한 ALD ZTO 연구 문헌에 따르면, Sn 농도가 21, 34, 100 at%로 증가할수록 ZTO 박막의 전자 친화도가 커지는 것으로 보고하고 있으며[4], 대개 ITO 전극의 일함수(Φ_{ITO})가 4.67 eV 부근이라는 점을 고려해보면[7] 그림 3.29과 같이 쇼트키 장벽 높이가 0.62, 0.42, 0.22 eV로 점점 감소하는 방향에 해당하게 된다. 따라서 Sn 농도가 증가할수록 전자가 뛰어넘어야하는 쇼트키 장벽의 높이가 점차 감소함에 따라 소스 전극에서 채널층으로의 전자 주입이 용이하게 일어날 수 있으며, 이는 접촉 저항을 감소시킨다. 더불어 앞선 홀 측정 결과에서 확인했듯이 Sn 농도가 증가할수록 전자 밀도가 증가하는 경향을 보였는데, 일반적으로 반도체의 도핑 농도가 높은 경우에는 열 전자 방출

(thermionic emission current)이 아니라 FN 터널링 메커니즘으로 전도가 일어남에 따라 쇼트키 장벽의 높이 뿐만 아니라 도핑 농도의 영향도 받게 된다[3]. 따라서 ZTO 박막에서 Sn 농도가 증가할수록 쇼트키 장벽의 높이가 감소하고, FN 터널링 전도가 활발히 일어나게 됨에 따라 전자의 주입이 용이해지고 접촉 저항이 낮아질 수 있었던 것으로 판단된다. 하지만 접촉 저항을 낮추기 위해 Sn 농도를 무작정 증가시킬 수는 없으며, 해당 조성비에 적합한 일함수를 가진 소스/드레인 전극을 도입함으로써 쇼트키 장벽의 높이를 낮추거나(준 오믹 접촉 형성)[50], 채널 물질과 전극 사이의 계면 처리를 통해 접촉 저항을 개선시키는 연구가 필요할 것으로 사료된다. 계면 처리의 경우 터널링 장벽을 감소시키기 위해 채널층과 소스/드레인 전극 사이의 계면에 n^{++}을 형성[51], 희생 막 삽입[52], 그리고 표면 거칠기 감소 등의 다양한 방법으로 연구되고 있다.

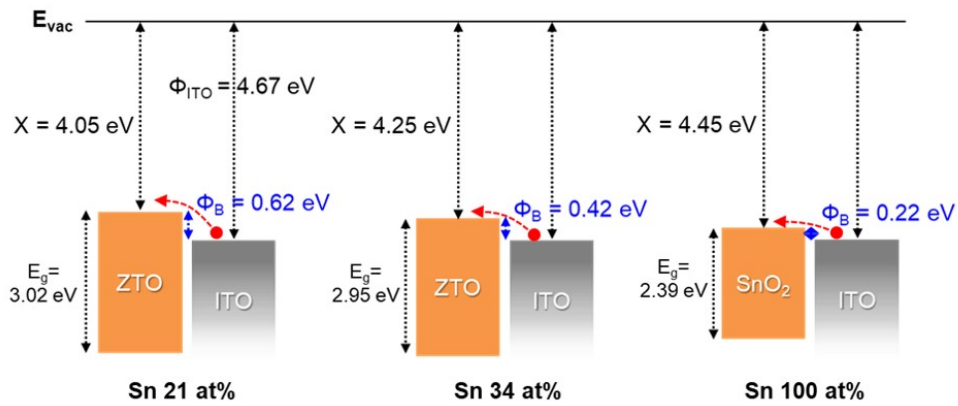


그림 3.29: Sn 농도 별 쇼트키 장벽의 높이 변화 ([4]의 전자 친화도 및 밴드갭 결과를 이용하여 도식화 함)

마지막으로 꺼진 상태에서의 누설 전류(off-current, I_{off})에 대하여 살펴보도록 하겠다. 서론에서 기술하였듯이 산화물 반도체의 큰 장점으로는 측정 한계 이하의 매우 낮은 I_{off}를 들 수 있다. 하지만 실제 ZTO TFT를 제작한 후 I_{off}를 측정해보

면 약 10^{-12} A 수준의 전류가 드레인 단자에서 읽히고 있으며, 따라서 해당 전류가 어디에서 비롯되는지에 대한 확인이 필수적이다. 소자가 꺼진 상태에서 흐를 수 있는 전류 경로를 생각해보면 그림 3.30 (a)와 같이 총 3 가지 성분으로 나눌 수 있다. 첫번째로 소스에서 ZTO 채널막을 거쳐 드레인 단자로 흐르는 채널 누설 전류 성분, 두번째로 하단 게이트에서 SiO_2를 통해 소스 단자로 흐르는 게이트 산화막 누설 전류 성분, 세번째로 하단 게이트에서 SiO_2를 통해 드레인 단자로 흐르는 게이트 산화막 누설 전류 성분으로 구분할 수 있다. 이때 드레인 단자에서 읽힐 수 있는 성분은 1 번 성분 뿐만 아니라 3 번 성분도 포함되므로 두 성분을 분리하기위해 ZTO 채널층을 통해 흐르는 누설 전류(1 번)를 배제할 수 있도록 그림 3.30 (b)와 같이 소스 단자를 플로팅하고 드레인과 게이트 두 단자에만 전압을 인가하여 측정한 후 그림 3.30 (a) 조건의 측정 결과와 비교하였다. 측정 결과는 그림 3.31과 같으며, 일반적인 포화 상태에서의 I_{ds}-V_{gs} 곡선을 나타내는 (a)(검은색)와 소스를 플로팅함으로써 ZTO 채널층을 통해 흐르는 누설 전류를 차단한 (b)(파란색)의 곡선이 꺼진 상태에서 정확히 일치하는 것을 볼 수 있다. 즉, I_{ds}-V_{gs} 곡선에서 측정되는 I_{off} 성분은 ZTO 채널층을 통해 흐르는 누설 전류가 아닌 드레인과 하단 게이트 사이에 위치한 SiO_2를 통해 흐르는 게이트 산화막 누설 전류에 해당하며, 채널을 통해 흐르는 성분은 적어도 10^{-12} A 미만의 수준일 것으로 추정해볼 수 있다. 드레인 전극과 하단 게이트가 중첩되는 면적을 이용하여 전류 밀도를 계산해보면 2 MV/cm에서 약 10^{-9} A/cm^2 수준으로 흐르고 있으며, 이는 일반적으로 MIM 구조[3]의 열 산화막에서 흐르는 양보다(10^{-10} A/cm^2) 대략 10 배 높은 수준이다[53]. ZTO TFT에서 누설 전류가 높은 원인으로는 ZTO 채널막의 건식 식각 공정을 들 수 있다. 본 연구에서는 ZTO 채널의 패터닝 과정에서 인접한 셀과의 완벽한 분리를 위해 채널 두께 20 nm보다 더 깊게 건식 식각하고 있으며, 그 과정에서 드러난 하부 SiO_2 층에 플라즈마 손상이 가해짐에 따라 결함 상태 밀도가 증가했을 것으로 판단된다(그림 3.32). 향후 이를 개선시키기 위해서는 플라즈마 손상이 가해진 표면에

[3]Metal-Insulator-Metal, 금속-절연체-금속 구조

얇은 두께의 습식 식각과 같은 적절한 클리닝 공정을 추가하여 SiO_2 표면의 결함 상태 밀도를 낮추거나(예: 희석 불산(diluted HF)), 그림 3.33과 같이 소자의 구조적 변화를 통해 개선시킬 수 있을 것으로 생각된다. 기존 소자의 구조에서는 채널층을 기준으로 상단의 소스/드레인 전극과 하단의 게이트가 동일 평면 상에 위치하지 않고 서로 마주보고 있으나, 제안된 구조에서는 소스/드레인 전극과 게이트가 동일 평면 상에 위치하고 채널층을 패터닝한 후 게이트 절연체와 게이트 전극 물질이 증착되므로 기존 공정과 같이 채널층의 건식 식각에 의한 게이트 절연체의 플라즈마 손상 현상을 막을 수 있다. 더불어 기존 구조에서는 측정 상의 용이함을 위해 소스/드레인 전극을 크게 형성하여 하단 게이트와의 중첩 면적을 넓게 가져감에 따라 더 넓은 영역에서 누설 전류가 발생했으나, 제안된 구조에서는 실제 소스/드레인 전극과 게이트가 중첩되는 영역을 크게 감소시킬 수 있으므로 전류 밀도가 아닌 누설 전류의 절대적인 양 관점에서도 더 낮게 가져갈 수 있을 것으로 판단된다.

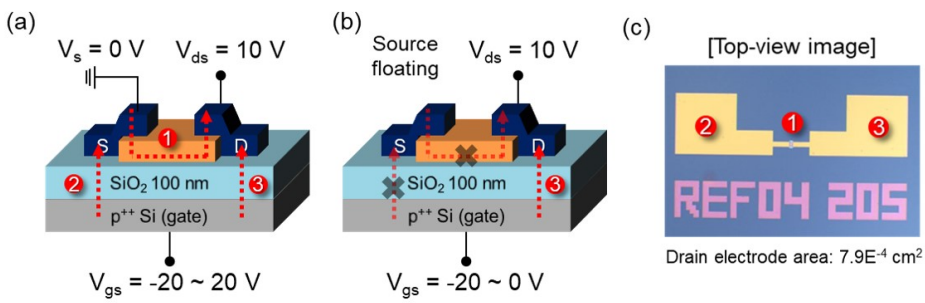


그림 3.30: 측정 조건 별 소자에서 흐를 수 있는 전류 경로: (a) V_{ss} = 0 V, V_{ds} = 10 V, V_{gs} = -20 V - +20 V(포화 상태), (b) V_{ss} = floating, V_{ds} = 10 V, V_{gs} = -20 V - 0 V(꺼진 상태에서 채널 누설 전류 경로를 배제), (c) 실제 소자의 상면도

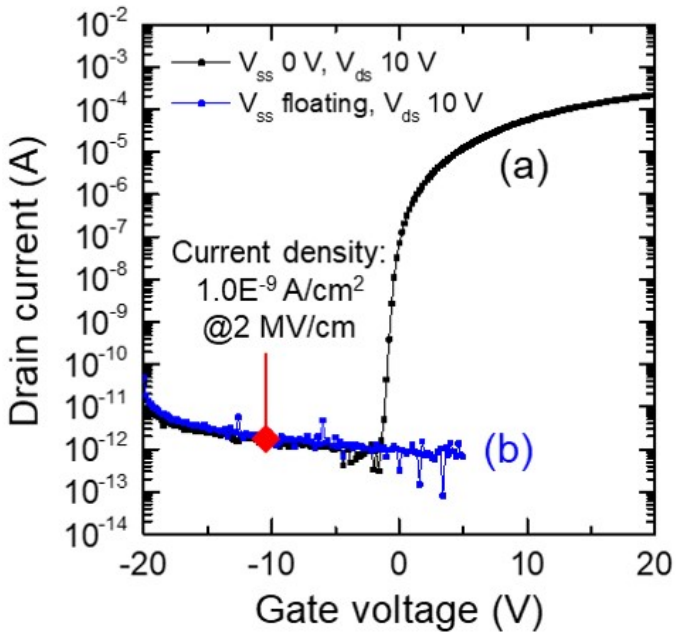


그림 3.31: 측정 조건 별 소자의 I_{ds}-V_{gs} 곡선: (a) V_{ss} = 0 V, V_{ds} = 10 V, V_{gs} = -20 V - +20 V(포화 상태), (b) V_{ss} = floating, V_{ds} = 10 V, V_{gs} = -20 V - +5 V(꺼진 상태에서 채널 누설 전류 경로를 배제)

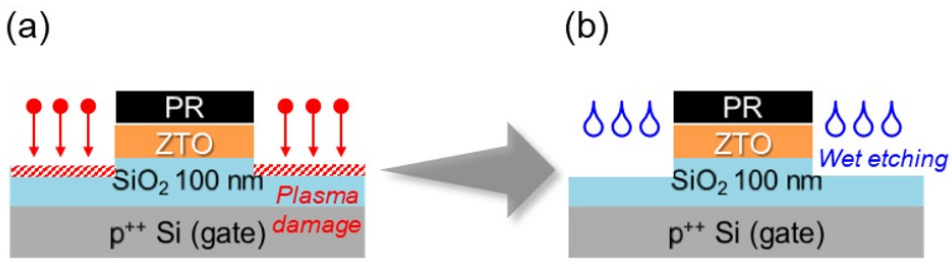


그림 3.32: (a) ZTO 채널층의 건식 식각 공정에서 발생할 수 있는 플라즈마 손상 모식도, (b) 습식 식각 공정 도입을 통한 플라즈마 손상 영역의 제거

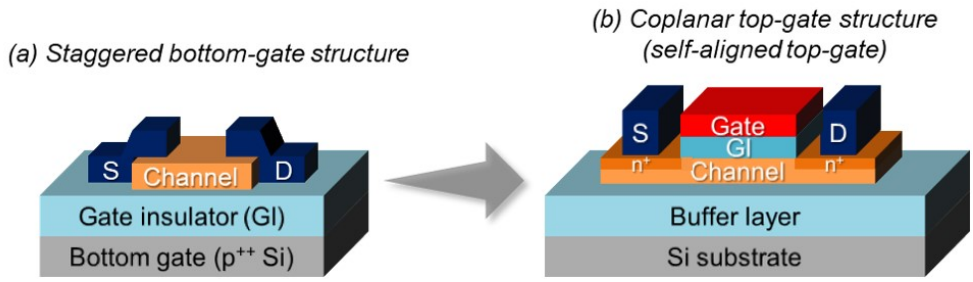


그림 3.33: 게이트 절연체의 플라스마 손상을 개선시키기 위해 제안하는 소자의 구조적 변화

3.3.3 열처리 평가

지금까지 ZTO 소자의 조성비에 따른 전기적 특성에 관해 살펴보았으며, 가장 우수한 소자 성능 및 박막의 구조적 열 안정성을 보였던 Sn 40 - 45 at% 조건에서 증착 후 고온 열처리 온도에 따른 소자의 전기적 특성 변화를 관찰하였다. 증착 후 열처리(PDA)는 튜브 퍼니스 장비로 대기 분위기에서 500 - 800 °C, 1 시간 동안 진행되었다. 그리고 해당 열처리가 온전히 ZTO 박막의 구조적, 전기적 특성에만 미치는 영향을 확인하기 위해 20 nm 두께의 ZTO 박막을 ALD로 증착한 후 PDA를 바로 이어서 진행하였으며, 열처리가 끝난 후에 소스/드레인 전극 형성과 PMA(350 °C, 1 시간, 대기 분위기)를 끝으로 소자 제작 공정이 마무리되었다.

그림 3.34는 PDA 온도 별 ZTO TFT(Sn 42 at%)의 I_{ds} vs. V_{gs} 곡선을 나타내며, 그림 3.35는 포화 상태에서 추출된 주요 소자 항목을 나타낸다. Sn 42 at%의 결정화 온도 보다 낮은 PDA 500 - 600 °C 조건에서는 미 진행 대비 V_{th} 0.29 - 0.66 V 증가, μ_{FE} 1.4 - 1.8 배 증가에 따른 on current 및 on/off ratio 증가 경향이 관찰되었으며, SS는 약 300 mV/dec. 수준으로 큰 변화 없이 일정하게 유지되었다(표 3.6). 먼저 고온 열처리를 진행함에 따라 V_{th}가 증가하는 현상에 대해서는 크게 두가지 측면으로 해석될 수 있다. 첫째, 대기 분위기 하에서 고온 열처리를 진행함에 따라 ZTO

박막 내부의 산소 공공 밀도가 감소하고, 이로 인해 박막 내 존재하는 평균 전자 밀도가 감소할 수 있다. 둘째, 고온 열처리 시 구조적 무질서도를 감소시키는 방향으로 내부 원자들이 재배열됨에 따라 밴드 가장자리에 위치한 국부화 된 테일 상태 밀도(density of localized tail states)가 점차 감소하고, 그 결과 밴드갭이 넓어질 수 있다[18][19]. 밴드갭이 넓어지면 결국 전자가 전도대로 여기하는데 필요한 에너지가 증가하게 되고, 이로 인해 평균 전자 밀도는 감소하고 문턱 전압이 높아질 수 있다. 다음으로 열처리 온도를 증가시킬수록 μ_{FE}가 증가함에 따라 I_{on}, I_{on}/I_{off} 가 증가하는 현상이 관찰되었는데, 이는 비정질 박막 내 존재하는 빈 공간 및 결함들이 감소함에 따라 전자가 트랩 또는 산란될 확률이 줄어들었기 때문으로 판단된다. 반면, 결정화 온도보다 높은 700 °C 이상의 열처리 조건에서는 소자 간의 산포 증가를 동반한 급격한 V_{th} 증가, SS 증가, 그리고 μ_{FE} 감소가 관찰되었다. 이 현상은 비정질 ZTO 박막에서 결정화가 진행될수록 결정립계와 결정립계 관련 결함들이 증가함에 따라 그 곳에서의 전자 산란 빈도가 증가했기 때문으로 판단된다. 특히 800 °C 열처리 조건에서는 나머지 조건 대비 더 낮은 게이트 전압 하에서부터 전류가 흐르기 시작했으며, 이는 ZTO 채널층 전체에 걸쳐 형성된 결정립계를 통해 누설 전류가 흐르기 때문으로 판단된다.

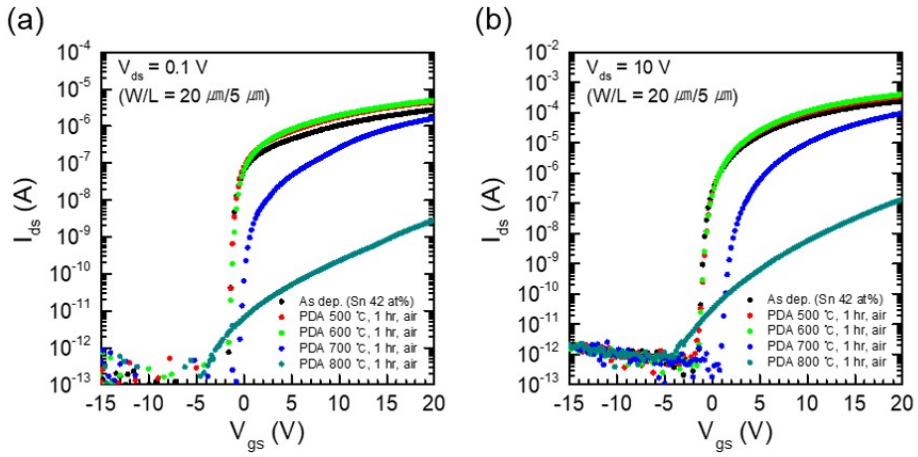


그림 3.34: PDA 온도 별 ZTO TFT의 전하 전달 곡선: (a) 선형 상태, V_{ds} = 0.1 V, (b) 포화 상태, V_{ds} = 10 V (채널의 폭/길이 = 20 μm/5 μm)

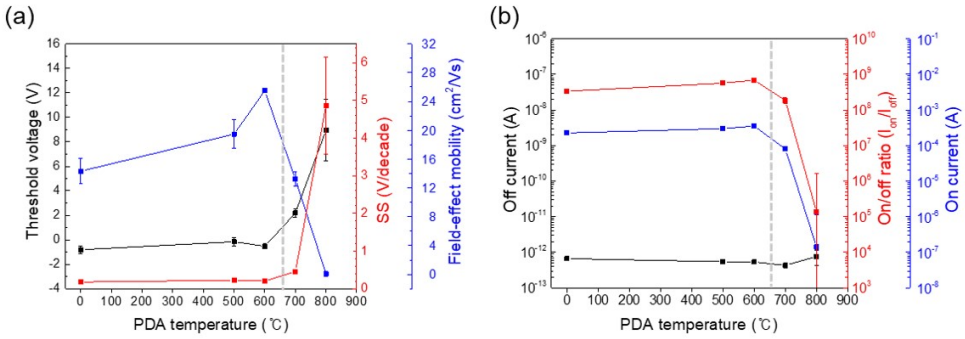


그림 3.35: PDA 온도 별 주요 소자 성능: (a) 문턱 전압 (V_{th}), 문턱 전압 이하 기울기 (SS), 전계 효과 이동도 (μ_{FE}), (b) off current, on/off ratio, on current

표 3.6: PDA 온도 별 ZTO TFT의 주요 소자 성능 (V_{ds} = 10 V)

PDA temp.	V_{th} [V]		μ_{FE} [cm^2/Vs]		SS [V/dec.]		Off current [A]		On current [A]		On/off ratio	
	Median	Stdev.	Median	Stdev.	Median	Stdev.	Median	Stdev.	Median	Stdev.	Median	Stdev.
0 °C	-0.81	0.29	14.33	1.78	0.31	0.06	6.7×10^{-13}	6.8×10^{-14}	2.3×10^{-4}	2.1×10^{-5}	3.4×10^{8}	5.0×10^{7}
500 °C	-0.15	0.33	19.49	2.03	0.31	0.03	5.5×10^{-13}	3.1×10^{-14}	3.0×10^{-4}	2.2×10^{-5}	5.7×10^{8}	5.1×10^{7}
600 °C	-0.52	0.19	25.51	0.14	0.30	0.02	5.4×10^{-13}	7.0×10^{-14}	3.6×10^{-4}	1.3×10^{-5}	6.9×10^{8}	8.6×10^{7}
700 °C	2.19	0.36	13.22	1.01	0.46	0.04	4.3×10^{-13}	6.1×10^{-14}	8.1×10^{-5}	7.3×10^{-6}	1.9×10^{8}	3.7×10^{7}
800 °C	8.95	2.51	0.06	0.40	4.86	1.29	7.7×10^{-13}	3.5×10^{-13}	1.4×10^{-7}	1.0×10^{-6}	1.4×10^{5}	1.5×10^{6}

제 4 장

결론

본 연구에서는 비정질 ZTO 박막을 원자층 증착법으로 증착하여 박막을 구성하는 아연과 주석의 조성비에 따른 물리적, 전기적 특성 평가를 진행하였다. 그리고 결정화 온도 부근의 고온 열처리를 함께 진행함으로써 ZTO 박막의 열 안정성과 소자 성능을 둘 다 만족시킬 수 있는 최적의 조성비 조건을 찾고자 하였다. 그 결과, Sn 40 - 65 at%에서 약 700 °C 수준의 가장 높은 결정화 온도를 갖는 것이 확인되었으며, Sn 40 - 45 at%에서는 가장 우수한 소자 성능이 관찰되었다. 그리고 증착 후 고온 열처리 평가 시 결정화 온도를 기점으로 급격한 소자 성능의 변화가 관찰되었으며, 결정화 온도보다 낮은 영역에서는 열처리 온도를 높일수록 비정질 박막의 결함 밀도 감소에 기인한 것으로 추정되는 μ_{FE} 개선이 확인되었다. 그 중 가장 우수한 소자 성능을 보인 Sn 42 at% 및 PDA 600 °C 조건에서는 V_{th} = -0.52 V, μ_{FE} = 25.5 cm^2/Vs, SS = 300 mV/decade, I_{off} = 5.4 × 10^{-13}, I_{on} = 3.6 × 10^{-4}, on/off ratio = 6.9 × 10^8이 얻어졌다. 결정화 온도보다 높은 영역에서는 열처리 온도를 높일수록 결정립계 및 관련 결함들의 증가에 의한 것으로 추정되는 SS 증가 및 μ_{FE} 감소 현상이 관찰되었다. 따라서 본 실험 결과를 종합해보면 비정질 ZTO 박막의 열 안정성과 소자 성능을 둘 다 만족시킬 수 있는 최적의 조성비는 Sn 40 - 45 at%인 것으로 확인되며, 결정화 온도를 넘지 않는 고온 열처리를 통해 양호한 소자 성능을 얻을 수 있음을 보였다. 더불어 현재 디램 및 낸드 플래시의 높은 공정 온도를 감안했을 때(> 700 °C), 비정질 ZTO가 차세대 삼차원 메모리 소자의 셀 채널 물질로 적용되기 위해서는 추가적으로 열 안정성 및 소자 성능을 개선시키기 위한 선행 연구가 진행되어야 함을 시사한다.

참고 문헌

[1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors," *nature*, vol. 432, no. 7016, pp. 488–492, 2004.

[2] T. Kamiya and H. Hosono, "Material characteristics and applications of transparent amorphous oxide semiconductors," *NPG Asia Materials*, vol. 2, no. 1, pp. 15–22, 2010.

[3] D. K. Schroder, *Semiconductor material and device characterization*. John Wiley & Sons, 2015.

[4] S. Lee, S. Kim, S. Shin, Z. Jin, and Y.-S. Min, "Band structure of amorphous zinc tin oxide thin films deposited by atomic layer deposition," *Journal of industrial and engineering chemistry*, vol. 58, pp. 328–333, 2018.

[5] T. Kamiya, K. Nomura, and H. Hosono, "Present status of amorphous in–ga–zn–o thin-film transistors," *Science and Technology of Advanced Materials*, 2010.

[6] J. Sheng, H.-J. Lee, S. Oh, and J.-S. Park, "Flexible and high-performance amorphous indium zinc oxide thin-film transistor using low-temperature atomic layer deposition," *ACS applied materials & interfaces*, vol. 8, no. 49, pp. 33821–33828, 2016.

[7] J. Sheng, T. Hong, D. Kang, Y. Yi, J. H. Lim, and J.-S. Park, "Design of inznsno semiconductor alloys synthesized by supercycle atomic layer deposition and their rollable applications," *ACS applied materials & interfaces*, vol. 11, no. 13, pp. 12683–12692, 2019.

[8] C. G. Granqvist and A. Hultåker, "Transparent and conducting ito films: new developments and applications," *Thin solid films*, vol. 411, no. 1, pp. 1–5, 2002.

[9] U. K. Kim, S. H. Rha, J. H. Kim, Y. J. Chung, J. Jung, E. S. Hwang, J. Lee, T. J. Park, J.-H. Choi, and C. S. Hwang, "Study on the defects in metal–organic

chemical vapor deposited zinc tin oxide thin films using negative bias illumination stability analysis," *Journal of Materials Chemistry C*, vol. 1, no. 40, pp. 6695–6702, 2013.

[10] B. Wang, B. Gao, H. Wu, and H. Qian, "A drain leakage phenomenon in poly silicon channel 3d nand flash caused by conductive paths along grain boundaries," *Microelectronic Engineering*, vol. 192, pp. 66–69, 2018.

[11] R. Degraeve, S. Clima, V. Putcha, B. Kaczer, P. Roussel, D. Linten, G. Groeseneken, A. Arreghini, M. Karner, C. Kernstock, *et al.*, "Statistical poly-si grain boundary model with discrete charging defects and its 2d and 3d implementation for vertical 3d nand channels," in *2015 IEEE International Electron Devices Meeting (IEDM)*, pp. 5–6, IEEE, 2015.

[12] Y. Kobayashi, S. Matsuda, D. Matsubayashi, H. Suzawa, M. Sakakura, K. Hanaoka, Y. Okazaki, T. Yamamoto, S. Hondo, T. Hamada, *et al.*, "Electrical characteristics and short-channel effect of c-axis aligned crystal indium gallium zinc oxide transistor with short channel length," *Japanese Journal of Applied Physics*, vol. 53, no. 4S, p. 04EF03, 2014.

[13] K. Kato, Y. Shionoiri, Y. Sekine, K. Furutani, T. Hatano, T. Aoki, M. Sasaki, H. Tomatsu, J. Koyama, and S. Yamazaki, "Evaluation of off-state current characteristics of transistor using oxide semiconductor material, indium–gallium–zinc oxide," *Japanese Journal of Applied Physics*, vol. 51, no. 2R, p. 021201, 2012.

[14] T. Onuki, K. Kato, M. Nomura, Y. Yakubo, S. Nagatsuka, T. Matsuzaki, S. Hondo, Y. Hata, Y. Okazaki, M. Nagai, *et al.*, "Fabrication of dynamic oxide semiconductor random access memory with 3.9 ff storage capacitance and greater than 1 h retention by using c-axis aligned crystalline oxide semiconductor transistor with l of 60 nm," *Japanese Journal of Applied Physics*, vol. 54, no. 4S, p. 04DD07, 2015.

[15] E. S. Hwang, J. S. Kim, S. M. Jeon, S. J. Lee, Y. Jang, D.-Y. Cho, and C. S. Hwang, "In2ga2zno7 oxide semiconductor based charge trap device for nand flash memory," *Nanotechnology*, vol. 29, no. 15, p. 155203, 2018.

[16] J. S. Kim, S. Kang, Y. Jang, Y. Lee, K. Kim, W. Kim, W. Lee, and C. S. Hwang, "Investigating the reasons for the difficult erase operation of a charge-trap flash memory device with amorphous oxide semiconductor thin-film channel layers," *physica status solidi (RRL)–Rapid Research Letters*, vol. 15, no. 2, p. 2000549, 2021.

[17] Y. Jang, I. W. Yeu, J. S. Kim, J. H. Han, J.-H. Choi, and C. S. Hwang, "Reduction of the hysteresis voltage in atomic-layer-deposited p-type sno thin-film transistors by adopting an al2o3 interfacial layer," *Advanced Electronic Materials*, vol. 5, no. 7, p. 1900371, 2019.

[18] K. Ide, K. Nomura, H. Hiramatsu, T. Kamiya, and H. Hosono, "Structural relaxation in amorphous oxide semiconductor, a-in-ga-zn-o," *Journal of Applied Physics*, vol. 111, no. 7, p. 073513, 2012.

[19] K. Park, H.-W. Park, H. S. Shin, J. Bae, K.-S. Park, I. Kang, K.-B. Chung, and J.-Y. Kwon, "Reliability of crystalline indium–gallium–zinc-oxide thin-film transistors under bias stress with light illumination," *IEEE Transactions on Electron Devices*, vol. 62, no. 9, pp. 2900–2905, 2015.

[20] S. Park, S. Bang, S. Lee, J. Park, Y. Ko, and H. Jeon, "The effect of annealing ambient on the characteristics of an indium–gallium–zinc oxide thin film transistor," *Journal of nanoscience and nanotechnology*, vol. 11, no. 7, pp. 6029–6033, 2011.

[21] H.-W. Lee and W.-J. Cho, "Effects of vacuum rapid thermal annealing on the electrical characteristics of amorphous indium gallium zinc oxide thin films," *AIP Advances*, vol. 8, no. 1, p. 015007, 2018.

[22] Y.-Y. Choi, S. J. Kang, and H.-K. Kim, "Rapid thermal annealing effect on the characteristics of znsno3 films prepared by rf magnetron sputtering," *Current Applied Physics*, vol. 12, pp. S104–S107, 2012.

[23] T. Minami and T. Miyata, "Present status and future prospects for development of non-or reduced-indium transparent conducting oxide thin films," *Thin Solid Films*, vol. 517, no. 4, pp. 1474–1477, 2008.

[24] K. Barbalace, "Periodic table of elements," *Environmental Chemistry. com*, pp. 04–14, 2007.

[25] J. S. Kim, Y. Jang, S. Kang, Y. Lee, K. Kim, W. Kim, W. Lee, and C. S. Hwang, "Substrate-dependent growth behavior of atomic-layer-deposited zinc oxide and zinc tin oxide thin films for thin-film transistor applications," *The Journal of Physical Chemistry C*, vol. 124, no. 49, pp. 26780–26792, 2020.

[26] H. Tang, K. Ishikawa, K. Ide, H. Hiramatsu, S. Ueda, N. Ohashi, H. Kumomi, H. Hosono, and T. Kamiya, "Effects of residual hydrogen in sputtering atmosphere on structures and properties of amorphous in-ga-zn-o thin films," *Journal of Applied Physics*, vol. 118, no. 20, p. 205703, 2015.

[27] T. Kamiya, K. Nomura, and H. Hosono, "Origins of high mobility and low operation voltage of amorphous oxide tfts: Electronic structure, electron transport, defects and doping," *Journal of display Technology*, vol. 5, no. 12, pp. 468–483, 2009.

[28] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor," *Science*, vol. 300, no. 5623, pp. 1269–1272, 2003.

[29] T. Bora, M. H. Al-Hinai, A. T. Al-Hinai, and J. Dutta, "Phase transformation of metastable znsno3 upon thermal decomposition by in-situ temperature-dependent raman spectroscopy," *Journal of the American Ceramic Society*, vol. 98, no. 12, pp. 4044–4049, 2015.

[30] J. Lee, D.-Y. Cho, J. Jung, U. Ki Kim, S. Ho Rha, C. Seong Hwang, and J.-H. Choi, "Theoretical and experimental studies on the electronic structure of crystalline and amorphous znsno3 thin films," *Applied Physics Letters*, vol. 102, no. 24, p. 242111, 2013.

[31] M. N. Mullings, C. Hägglund, J. T. Tanskanen, Y. Yee, S. Geyer, and S. F. Bent, "Thin film characterization of zinc tin oxide deposited by thermal atomic layer deposition," *Thin Solid Films*, vol. 556, pp. 186–194, 2014.

[32] J. Lindahl, C. Hägglund, J. T. Wätjen, M. Edoff, and T. Törndahl, "The effect of substrate temperature on atomic layer deposited zinc tin oxide," *Thin Solid Films*, vol. 586, pp. 82–87, 2015.

[33] H.-J. Jeon, K.-B. Chung, and J.-S. Park, "Parabolic behavior of solution processed znsno device performances depending on zn/sn ratios," *Journal of Electroceramics*, vol. 32, no. 4, pp. 319–323, 2014.

[34] Y. J. Kim, S. Oh, B. S. Yang, S. J. Han, H. W. Lee, H. J. Kim, J. K. Jeong, C. S. Hwang, and H. J. Kim, "Impact of the cation composition on the electrical performance of solution-processed zinc tin oxide thin-film transistors," *ACS applied materials & interfaces*, vol. 6, no. 16, pp. 14026–14036, 2014.

[35] S. Lee, K. Ghaffarzadeh, A. Nathan, J. Robertson, S. Jeon, C. Kim, I.-H. Song, and U.-I. Chung, "Trap-limited and percolation conduction mechanisms in amorphous oxide semiconductor thin film transistors," *Applied Physics Letters*, vol. 98, no. 20, p. 203508, 2011.

[36] R. Hoffman, "Effects of channel stoichiometry and processing temperature on the electrical characteristics of zinc tin oxide thin-film transistors," *Solid-state electronics*, vol. 50, no. 5, pp. 784–787, 2006.

[37] J. Heo, S. Bok Kim, and R. G. Gordon, "Atomic layer deposited zinc tin oxide channel for amorphous oxide thin film transistors," *Applied Physics Letters*, vol. 101, no. 11, p. 113507, 2012.

[38] D.-Y. Cho, J. Song, Y. C. Shin, C. S. Hwang, W. Choi, and J. K. Jeong, "Influence of high temperature postdeposition annealing on the atomic configuration in amorphous in–ga–zn–o films," *Electrochemical and Solid State Letters*, vol. 12, no. 6, p. H208, 2009.

[39] H. S. Shin, B. D. Ahn, Y. S. Rim, and H. J. Kim, "Annealing temperature dependence on the positive bias stability of igzo thin-film transistors," *Journal of Information Display*, vol. 12, no. 4, pp. 209–212, 2011.

[40] H.-W. Yeon, S.-M. Lim, J.-K. Jung, H. Yoo, Y.-J. Lee, H.-Y. Kang, Y.-J. Park, M. Kim, and Y.-C. Joo, "Structural-relaxation-driven electron doping of amorphous oxide semiconductors by increasing the concentration of oxygen vacancies in shallow-donor states," *NPG Asia Materials*, vol. 8, no. 3, pp. e250–e250, 2016.

[41] S. K. Kim, C. S. Hwang, S.-H. K. Park, and S. J. Yun, "Comparison between zno films grown by atomic layer deposition using h2o or o3 as oxidant," *Thin Solid Films*, vol. 478, no. 1-2, pp. 103–108, 2005.

[42] D.-w. Choi and J.-S. Park, "Highly conductive sno2 thin films deposited by atomic layer deposition using tetrakis-dimethyl-amine-tin precursor and ozone reactant," *Surface and Coatings Technology*, vol. 259, pp. 238–243, 2014.

[43] M. Yasaka *et al.*, "X-ray thin-film measurement techniques," *The Rigaku Journal*, vol. 26, no. 2, pp. 1–9, 2010.

[44] W. Xiaoqing, Y. Yude, and N. Jin, "Researching the silicon direct wafer bonding with interfacial sio2 layer," *Journal of Semiconductors*, vol. 37, no. 5, p. 056001, 2016.

[45] Y. Yin and H. H. Sawin, "Surface roughening of silicon, thermal silicon dioxide, and low-k dielectric coral films in argon plasma," *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 26, no. 1, pp. 151–160, 2008.

[46] I.-H. Baek, J. J. Pyeon, S. H. Han, G.-Y. Lee, B. J. Choi, J. H. Han, T.-M. Chung, C. S. Hwang, and S. K. Kim, "High-performance thin-film transistors of quaternary indium–zinc–tin oxide films grown by atomic layer deposition," *ACS applied materials & interfaces*, vol. 11, no. 16, pp. 14892–14901, 2019.

[47] P. Ágoston, K. Albe, R. M. Nieminen, and M. J. Puska, "Intrinsic n-type behavior in transparent conducting oxides: A comparative hybrid-functional study of in 2 o 3, sno 2, and zno," *Physical review letters*, vol. 103, no. 24, p. 245501, 2009.

[48] S. M. Sze, Y. Li, and K. K. Ng, *Physics of semiconductor devices*. John wiley & sons, 2021.

[49] K.-Y. Chan, E. Bunte, H. Stiebig, and D. Knipp, "Influence of contact effect on the performance of microcrystalline silicon thin-film transistors," *Applied physics letters*, vol. 89, no. 20, p. 203509, 2006.

[50] S. H. Rha, U. K. Kim, J. Jung, H. K. Kim, Y. S. Jung, E. S. Hwang, Y. J. Chung, M. Lee, J.-H. Choi, and C. S. Hwang, "The electrical properties of asymmetric

schottky contact thin-film transistors with amorphous-$in_2ga_2zno_7$," *IEEE transactions on electron devices*, vol. 60, no. 3, pp. 1128–1135, 2013.

[51] S.-H. Yang, J. Y. Kim, M. J. Park, K.-H. Choi, J. S. Kwak, H.-K. Kim, and J.-M. Lee, "Low resistance ohmic contacts to amorphous igzo thin films by hydrogen plasma treatment," *Surface and Coatings Technology*, vol. 206, no. 24, pp. 5067–5071, 2012.

[52] X. Zou, G. Fang, J. Wan, N. Liu, H. Long, H. Wang, and X. Zhao, "Enhanced performance of a-igzo thin-film transistors by forming azo/igzo heterojunction source/drain contacts," *Semiconductor science and technology*, vol. 26, no. 5, p. 055003, 2011.

[53] T.-H. Chiang and J. F. Wager, "Electronic conduction mechanisms in insulators," *IEEE Transactions on Electron Devices*, vol. 65, no. 1, pp. 223–230, 2017.

Abstract

Study on the Physical and Electrical Properties of Zinc Tin Oxide Thin Films according to the Composition Ratio and the Post-deposition Annealing

Whayoung Kim
Department of Materials Science and Engineering
College of Engineering
Seoul National University

Recently, several studies have been reported to apply amorphous oxide semiconductors widely studied as channel materials for thin-film transistors in display devices to cell transistors of next-generation three-dimensional memory devices such as DRAM and NAND flash. For an amorphous oxide semiconductor to be applied as a channel layer for memory devices, it is necessary not only to improve the device performance but also to obtain stable structural and electrical properties under high process temperatures of 700 °C or higher. Therefore, in this work, we evaluate the physical and electrical properties according to the composition ratio of zinc and tin that make up an amorphous ZnSnO(ZTO) thin film deposited by the atomic layer deposition method. In addition, we wanted to find the optimal composition ratio to satisfy both thermal stability and device performance of ZTO thin films through the evaluation of high-temperature annealing near the crystallization temperature after deposition. As

a result, we found that it has the highest crystallization temperature of about 700 °C at Sn 40 - 65 at%, and the best device performance at Sn 40 - 45 at%. In addition, in the evaluation of high-temperature annealing after deposition, an improvement in mobility, which is presumed to be a decrease in defect density, was observed below the crystallization temperature. And rapid degradation in device performance, which is estimated to be caused by the generation of grain boundaries and related defects, was observed above the crystallization temperature. Therefore, to summarize the results of this work, the optimal composition ratio to satisfy both thermal stability and device performance of ZTO thin films was found to be Sn 40 - 45 at%, and we showed that good device performance can be obtained for high-temperature annealing that does not exceed crystallization temperatures of about 700 °C. Therefore, the results of this study suggest that if the current thermal stability and device performance of amorphous ZTO thin-film transistors can be improved further, they are likely to be applied as cell channel materials for next-generation three-dimensional memory devices.

Keywords : Amorphous oxide semiconductor, atomic layer deposition, zinc tin oxide(ZTO), thin-film transistors, post-deposition annealing, crystallization

Student Number : 2019-22296