creative commons

COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학박사학위논문

3 차원 낸드 플래시 메모리의 쓰기 동작에 대한 컴팩트 모델링

Compact Modeling of Program Operation in 3-D NAND Flash Memory

2022 년 8 월

서울대학교 대학원

전기 · 정보공학부

김 민 수

3 차원 낸드 플래시 메모리의

쓰기 동작에 대한 컴팩트 모델링

Compact Modeling of Program Operation
in 3-D NAND Flash Memory

지도 교수 신 형 철

이 논문을 공학박사 학위논문으로 제출함
2022 년 8 월

서울대학교 대학원
전기 · 정보공학부
김 민 수

김민수의 공학박사 학위논문을 인준함
2022 년 8 월

위 원 장 김 재 준 (인)

부위원장 신 형 철 (인)

위 원 최 우 영 (인)

위 원 강 명 곤 (인)

위 원 김 윤 (인)

초 록

낸드 플래시 메모리 기술은 지속적으로 발전하고 있으며, 비트 밀도가 증가하는 방향으로 나아가고 있다. 그리고 현재에는 3차원 전하-트랩 (charge-trap) 낸드 플래시 메모리가 기존의 평면 구조 또는 플로팅 게이트 (floating gate) 낸드 플래시 메모리를 점차 대체하고 있다. 특히 낸드 플래시 메모리의 쓰기 (program) 동작의 경우, incremental step pulse programming (ISPP)의 방법을 주로 사용하는데, 이는 쓰기 전압의 크기를 점차 증가시키며 다수의 쓰기 펄스를 인가해줌으로써 셀 문턱 전압 (threshold voltage, V_{th})의 산포를 줄여주는 장점이 있다. 기존의 낸드 플래시 구조와 비교했을 때 채널 구조 및 전하 저장 메커니즘이 상이하기 때문에, 3차원 전하-트랩 낸드 플래시 메모리에서의 쓰기 동작 및 ISPP에 대한 분석, 그리고 이를 묘사할 수 있는 새로운 컴팩트 모델링 (compact modeling) 또한 필수적이 되어 가고 있다.

따라서 본 논문에서는, 3차원 전하-트랩 낸드 플래시 메모리의 ISPP 동작에 대한 컴팩트 모델을 제안한다. 포획된 전하에 대한 모델 파라미터와 1차원 푸아송 방정식 (Poisson’s equation)으로부터 유도된 수직 전기장 공식을 이용하여, 최종적으로 소자의 문턱 전압 변화 (ΔV_{th})를 계산한다. 특히, 낮은 쓰기 전압 영역에서의 오차를 극복하기 위한 방안으로서 터널링 산화막의 결함 (defect)에 전자가 포획되는 현상을 추가하였으며, 이를 통하여 기존의 모델에 비해 더욱 정확한 모델로 발전시켰다. 개발된 모델은 Simulation Program with

Integrated Circuit Emphasis (SPICE)를 위한 셀 모델에 적용이 되었으며, 측정된 ISPP 데이터를 정확하게 재현할 수 있다. 나아가, 전자 터널링, 포획, 그리고 방출에 관련된 파라미터의 변화에 따른 ISPP 모델 결과를 분석하며, 제안된 모델을 사용한 calibration 방법론에 대하여 제안한다. 다양한 펄스 형태에 따라 변하는 ISPP 특성을 예측함으로써 더 효율적인 ISPP 방법에 대하여 제안한다.

한편, 현재의 낸드 플래시는 비트 밀도를 증가시키기 위해서 다양한 방법들이 시도 되어 왔는데 (셀 면적 축소화, 다중 레벨 셀 기술, 그리고 3차원 적층 기술 등), 이러한 방법들은 셀 문턱 전압의 산포를 키우거나, 셀 사이 간섭 (interference)을 증가시키는 등의 부작용이 존재한다. 이러한 문제의 해결책으로서 1개의 메모리 홀을 2개의 스트링 (string)으로 이용하는 스플릿-게이트 (split-gate) 기술이 최근 소개되었다. 본 논문에서는 스플릿-게이트 구조의 3차원 낸드 플래시 메모리의 ISPP 특성에 대하여 분석하며, ISPP 동작 효율과 셀 사이 간섭의 관점에서 최적의 스플릿-게이트 메모리 소자 설계를 제시한다.

주요어 : 3 차원 낸드 플래시 메모리, 컴팩트 모델링, incremental step pulse programming (ISPP), Simulation Program with Integrated Circuit Emphasis (SPICE), split-gate 구조, 사이드 셀 간섭

학 번 : 2016-29674

목 차

초 록 ----------i

제 1 장 서 론

1.1. 연구 배경 ---------- 1

1.1.1 3차원 전하-트랩 낸드 플래시 메모리의 발전 ---------- 1

1.1.2 쓰기 동작 방식 및 모델링 연구 ---------- 6

1.1.3 셀프-부스팅, ISPP, 셀 사이 간섭 ----------12

1.2. 연구 내용 ---------- 17

1.3. 논문 구성 ---------- 19

제 2 장 쓰기 동작 컴팩트 모델링

2.1. 개 요 ---------- 21

2.2. 셀 모델 및 ISPP 모델링 방법론 ---------- 22

2.3. 쓰기 동작에서의 에너지 밴드 다이어그램 ---------- 27

2.4. 쓰기 동작에서의 문턱 전압 변화 ---------- 31

2.5. 요 약 ---------- 33

제 3 장 ISPP 모델 분석 및 예측

3.1. 개 요 ---------- 35

3.2. 측정 데이터와 비교 ---------- 35
3.3. 모델 파라미터 변화 ---------- 41
3.4. 쓰기-억제 스트링에서 모델 적용 ---------- 52
3.5. 요 약 ---------- 55

제 4 장 스플릿-게이트 구조의 낸드 플래시 메모리
4.1. 개 요 ---------- 57
4.2. 소자 구조 및 시뮬레이션 모델 ---------- 58
4.3. ISPP에 따른 문턱 전압 이하 스윙 분석 ---------- 61
4.4. ISPP에 따른 셀 사이 간섭 분석 ---------- 64
4.5. 요 약 ---------- 74

제 5 장 결 론 ---------- 75

참고 문헌 ---------- 77

Abstract ---------- 83

출판 목록 ---------- 85

제 1 장 서 론

1.1 연구 배경

1.1.1 3 차원 전하-트랩 낸드 플래시 메모리의 발전

최근 4 차 산업혁명의 시대가 도래함에 따라, 인공 지능, 사물 인터넷, 빅 데이터, 자율 주행 자동차 등의 여러가지 산업들에서 메모리 반도체의 수요가 꾸준히 증가해오고 있다. 그 중에서도, 데이터를 장기간 저장하기 위한 용도로서 낸드 플래시 (NAND flash) 메모리의 수요가 급격히 증가하고 있는데, 집적화가 쉬우며 쓰기 속도가 빠르고, 전력 소모가 낮기 때문이다. 따라서 낸드 플래시 메모리는 서버용 SSD (Solid State Drive)에서부터 모바일 기기에 이르기까지 다양하게 사용되고 있다. 낸드 플래시 메모리의 개발 방향 또한 고 집적화와 빠른 속도에 초점이 맞추어져 왔는데, 초기에 개발되었던 2 차원 평면 구조 또는 플로팅 게이트 (floating gate) 저장 물질을 사용한 낸드 플래시 메모리는 공정 기술의 한계로 인해 메모리 셀의 축소화 (scaling)에 한계가 존재한다는 단점이 있다 [1], [2]. 특히, 플로팅 게이트 물질은 셀 사이 간섭 (interference)에 취약한 문제가 있어 축소화를 더욱 어렵게 하는 요인이 된다 [3].

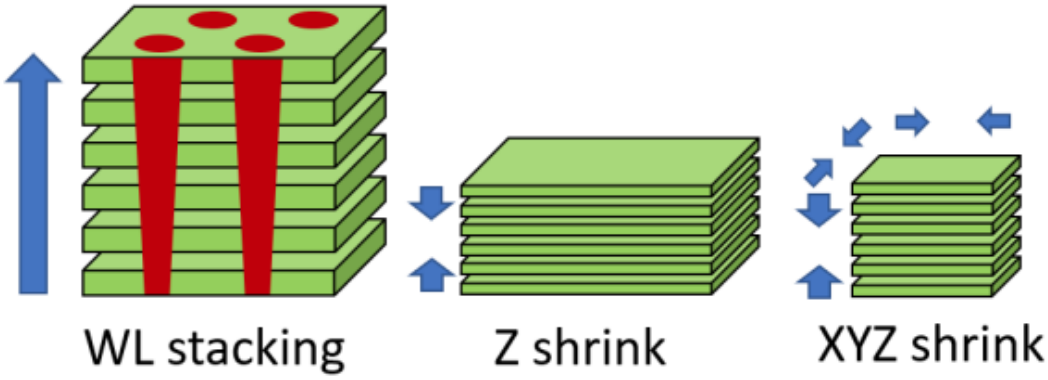


그림 1.1. 낸드 플래시 소자의 비트 밀도 증가를 위한 방법. 워드-라인 (WL) 적층, X,Y,Z 방향으로의 축소화 등이 있다 [4].

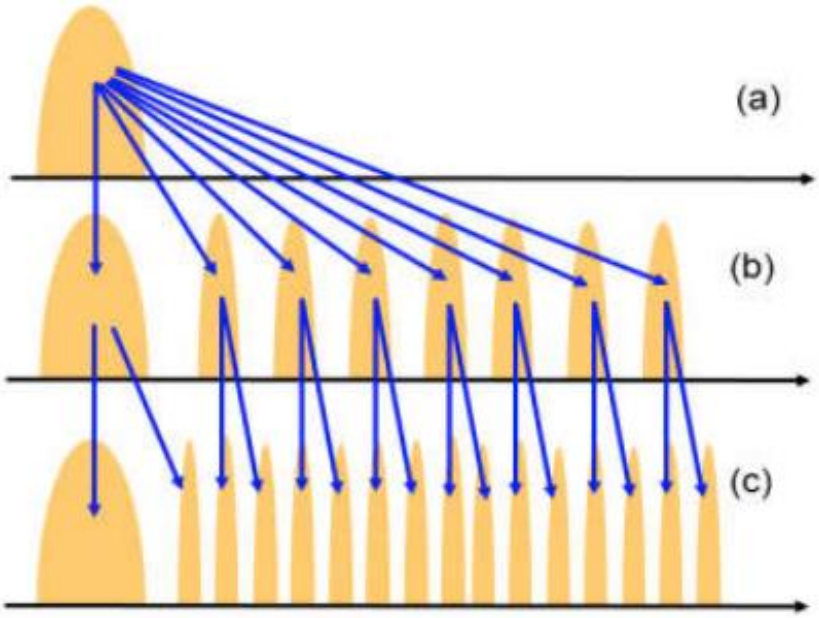


그림 1.2. 낸드 플래시 소자의 비트 밀도 증가를 위한 방법. (a) Single-level cell (SLC), (b) Triple-level cell (TLC), (c) Quadruple-level cell (QLC) [5].

이러한 문제점을 해결하기 위해서 다양한 방법들이 시도되어 왔다. 대표적으로, 전하-트랩 질화물 (charge-trap nitride) 저장 물질의 사용, 셀 면적 축소화, 다중 레벨 셀 (multi-level cell) 기술, 메모리 홀 (memory hole) 에칭을 통한 3 차원 적층 기술이 시도되었으며 [6]－[8], 이러한 기술들은 낸드 플래시 메모리의 비트 밀도 (bit density)를 폭발적으로 증가시켰다.

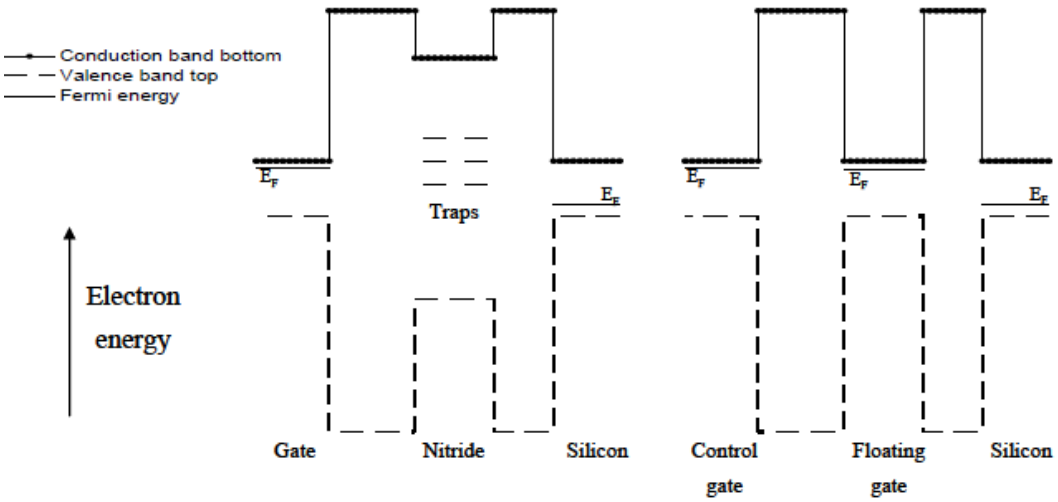


그림 1.3. SONOS (Silicon−Oxide−Nitride−Oxide−Silicon) 구조와 플로팅 게이트 구조 낸드 플래시 메모리의 에너지 밴드 다이어그램 비교 [9].

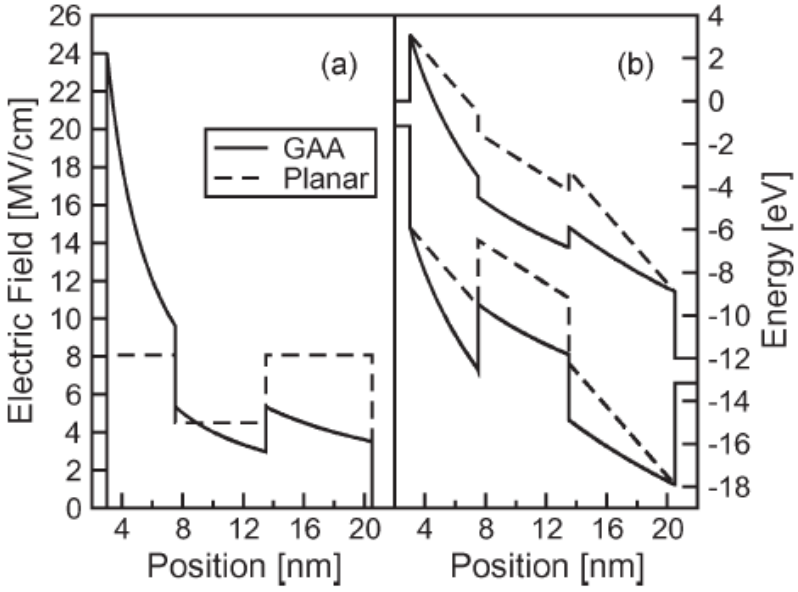


그림 1.4. 전하-트랩 낸드 플래시 메모리의 쓰기 상황에서 Gate-All-Around (GAA) 구조와 planar 구조의 (a) 수직 전기장 및 (b) 에너지 밴드 다이어그램 비교 [10].

이러한 기술들이 새롭게 적용되면서, 3 차원 전하-트랩 낸드 플래시 메모리의

쓰기 (program) 동작 특성 또한 달라지게 되었다. 크게 두 가지 변화가 있는데, 첫 번째로는 전하-트랩 저장 물질을 사용함으로써, 기존의 플로팅 게이트 저장 물질과는 달리 트랩 (trap)에 전자를 가두는 메커니즘으로 변화하였다 [10], [11]. 두 번째로는 3차원 원통형 게이트 구조로 변화함에 따라 게이트 전압 인가 시, 터널링 산화막 및 블로킹 산화막에 걸리는 수직 전기의 분포는 기존의 2 차원 평면 구조 소자의 경우와 크게 달라진다 [10]. 이와 같은 새로운 저장 메커니즘 및 구조에서 쓰기 동작이 이루어짐에 따라, 3 차원 전하-트랩 낸드 플래시 메모리의 쓰기 동작 (특히, incremental step pulse programming, ISPP)을 해석하고 예측하기 위한 컴팩트 모델 (compact model)의 개발은 필수적이다.

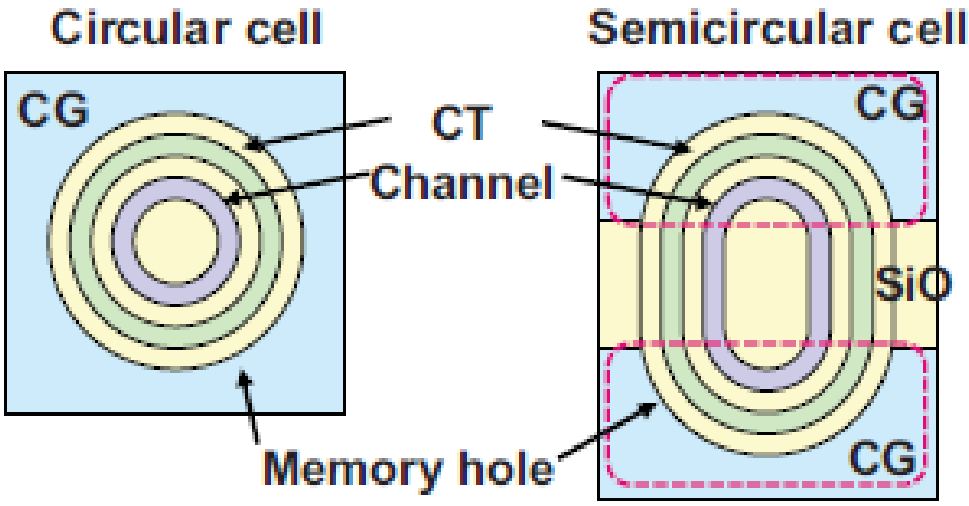


그림 1.5. 기존의 원통형 채널 구조의 낸드 플래시 메모리 셀 (circular cell)과 새롭게 제안된 스플릿-게이트 구조의 낸드 플래시 메모리 셀 (semicircular cell)의 단면 비교 [12].

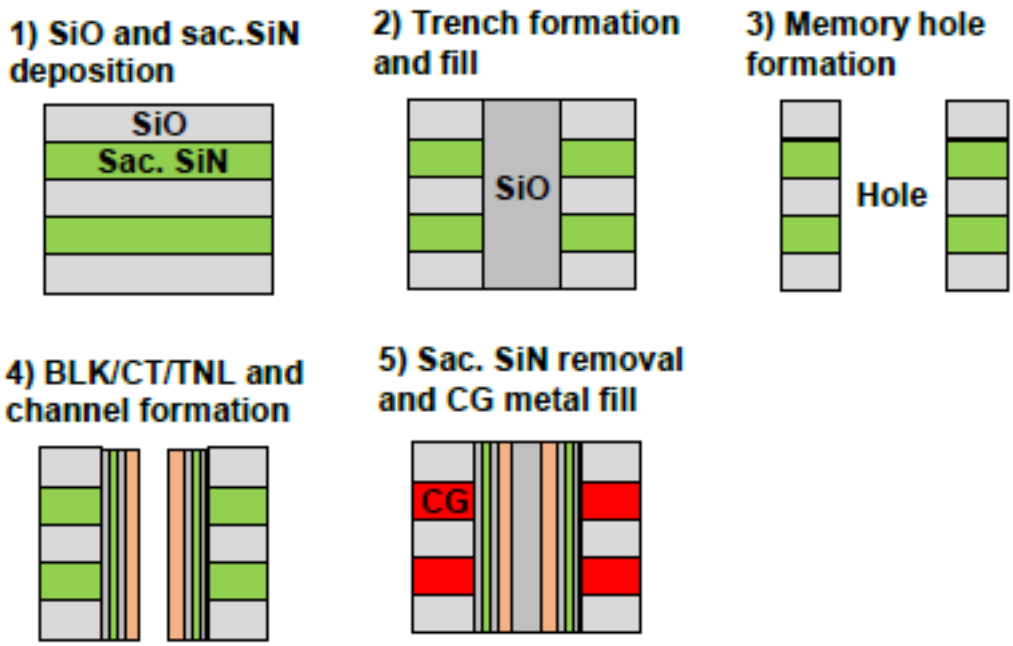


그림 1.6. 스플릿-게이트 낸드 플래시 메모리의 핵심 공정 프로세스 [13].

한편, 3 차원 낸드 플래시 메모리 소자의 축소화가 진행됨에 따라, 앞서 언급된 셀 면적 축소화, 다중 레벨 셀 기술, 메모리 홀 에칭을 통한 3 차원 적층 기술 등의 방법이 주로 사용되었는데, 이러한 기술은 셀의 비트 밀도를 크게 향상시켰지만, 반대로 셀의 문턱 전압 (threshold voltage, V_{th}) 산포의 악화 및 셀 사이 간섭 증가와 같은 부작용 또한 발생시킨다 [14]－[16]. 이러한 문제점을 해결하기 위한 방안 중 하나는 최근 개발된 스플릿-게이트 (split-gate) 기술이다 [12], [13]. 스플릿-게이트 기술이란, 하나의 메모리 홀로부터 두 개의 셀 스트링 (string)을 만드는 기술로써, 이론적으로 비트 밀도를 거의 두 배 가까이 증가시킬 수 있는 획기적인 방법이다.

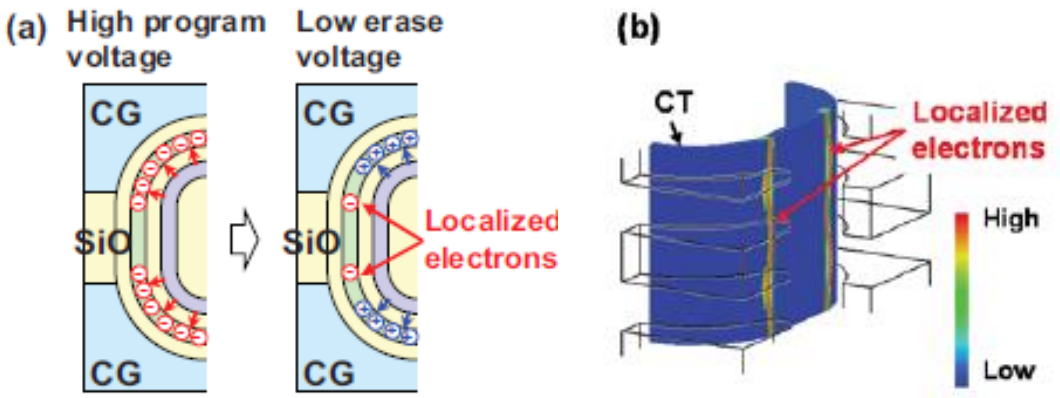


그림 1.7. (a) 초기 전하 주입의 방법. (b) 초기 전하 주입 후에 CTN 영역에 트랩된 전자의 분포 [12].

스플릿-게이트 낸드 플래시 메모리는 기존의 원통형 구조에 비해 비트 밀도 증가의 장점을 가지고 있지만, ISPP 효율이 낮아지는 단점이 존재한다. 이는 높은 문턱 전압으로 쓰기 동작이 이루어졌을 때 소자의 메인 (main) 영역과 기생 (parasitic) 영역의 국부적인 문턱 전압 차이로 인해 발생하는 누설 전류 때문이다. 이전 연구들에서는 초기 전하 주입 (initial charge injection)으로 CTN 층에 전자를 저장함으로써 셀의 문턱 전압 이하 스윙 (sub-threshold swing, S.S.)과 ISPP 효율을 개선시키는 방법이 제안되기도 하였다 [12], [13].

1.1.2 쓰기 동작 방식 및 모델링 연구

낸드 플래시 메모리 array 에서의 쓰기 동작은 아래와 같이 이루어진다.

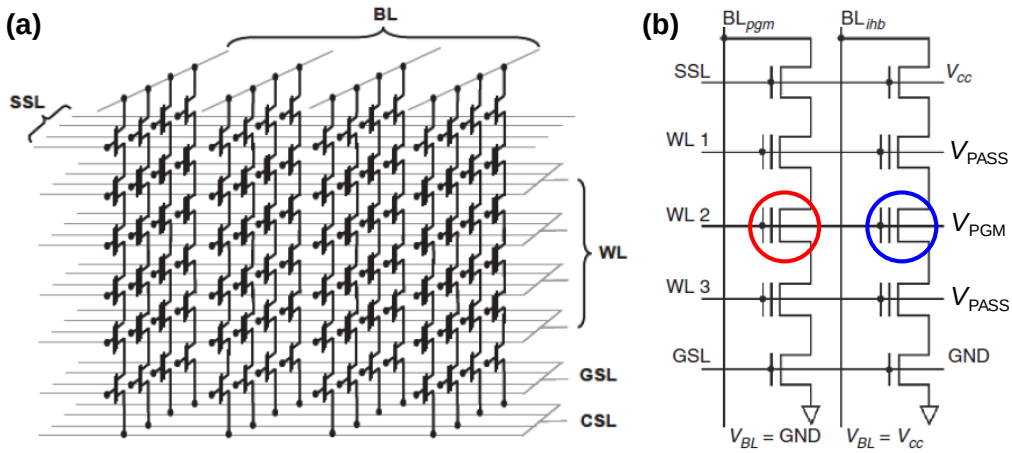


그림 1.8. (a) 3 차원 낸드 플래시 array 의 등가 회로 모델 [17]. (b) 등가 회로 단면 및 쓰기 동작에서의 전압 인가 방식. 빨간색 원은 쓰기 타겟 셀에 해당, 파란색 원은 쓰기-억제 (program-inhibit) 셀에 해당 [9].

그림 1.8(a)는 3 차원 낸드 플래시 메모리의 등가 회로 모델이다. 특정 셀의 위치를 결정짓는 요소는 스트링-선택 라인 (string-select line, SSL), 비트-라인 (bit-line, BL), 그리고 워드-라인 (word-line, WL)의 주소이며, 쓰기 동작이 이루어지는 셀에 해당하는 워드-라인에 쓰기 전압이 인가된다. 그림 1.8(b)는 그림 1.8(a)의 3 차원 회로 모델의 단면 및 쓰기 상황의 전압 인가 방식을 나타낸다. 여기서 쓰기 타겟 (target) 셀인 WL 2 에 쓰기 전압 V_{PGM} 가 인가되며, 나머지 워드-라인에는 패스 전압 (V_{PASS})이 인가된다. 두 개의 비트-라인 중에서, 왼쪽 비트-라인에 해당하는 셀을 프로그램 하고자 할 때, 왼쪽 비트-라인에는 GND 신호를 인가하고 나머지 (오른쪽) 비트-라인에는 더 높은 전압인 V_{cc} 를 인가한다. 이렇게 되면 GND 가 인가된 비트-라인의 SSL 은 켜지게 되어 채널 포텐셜이 낮게 유지가 되고, Vcc 가 인가된 비트-라인의 SSL 은 꺼지게 되어 채널은 비트-라인과 소스-라인 양 쪽으로부터 고립되며, 채널 포텐셜이 약 V_{PASS} 로 부스팅 된다. 이를 셀프-부스팅 (self-boositng)이라 한다.

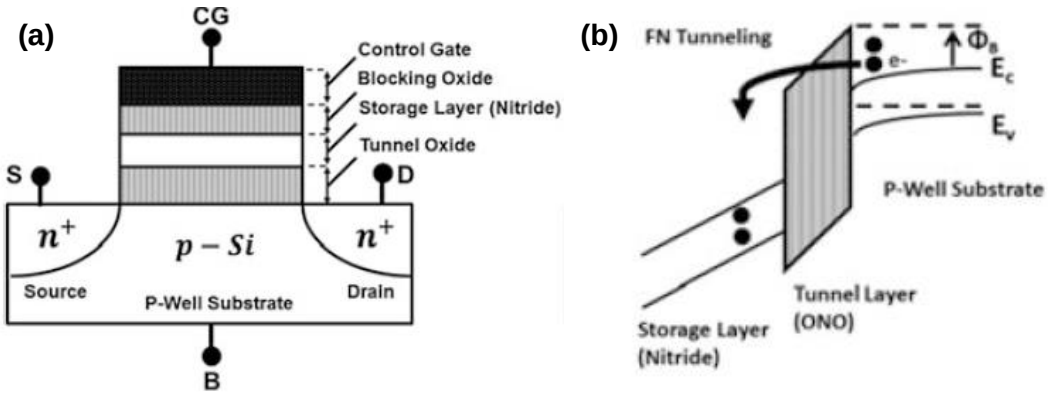


그림 1.9. (a) 전하-트랩 낸드 플래시 소자의 단면 (SONOS). (b) SONOS 의 쓰기 동작 상황에서의 에너지 밴드 다이어그램 [18], [19].

그림 1.9 는 낸드 플래시 메모리 셀 단위에서 쓰기 동작이 이루어지는 메커니즘을 보여준다. 그림 1.9(a)는 일반적인 SONOS 구조의 셀 단면을 나타내며, 그림 1.9(b)는 게이트에 쓰기 전압이 인가되었을 때 채널 수직 방향으로의 에너지 밴드 다이어그램을 나타낸다. 채널 포텐셜이 낮게 유지된 상태에서 게이트에 높은 전압이 인가되면, 채널 수직 방향으로 높은 전기장이 걸리게 된다 (약 10 MV/cm 이상). 이 때 채널 전자의 입장에서, 터널링 산화막의 에너지 배리어가 삼각형 모양으로 형성이 되며, 일정 확률로 터널링 산화막을 양자 역학적 터널링 할 수 있게 된다. 이것을 F-N (Fowler-Nordheim) 터널링이라 한다. 터널링 확률은 터널링 산화막에 걸리는 전기장이 클수록 더 증가하게 된다. 또한, 터널링 된 후 전하-트랩 저장 물질에 포획된 전자는 소자의 문턱 전압을 변화시킨다.

아래의 식들은 [10]에서 제안된, GAA 구조의 3 차원 전하-트랩 메모리에서의 쓰기 동작 모델이다.

$$\frac{dn_t}{dt} = \frac{J_n}{q}\left(\frac{r_{\text{bot}}}{r_{\text{bot}} + t_n/2}\right)\sigma_n(N_t - n_t) - e_n n_t \tag{1.1}$$

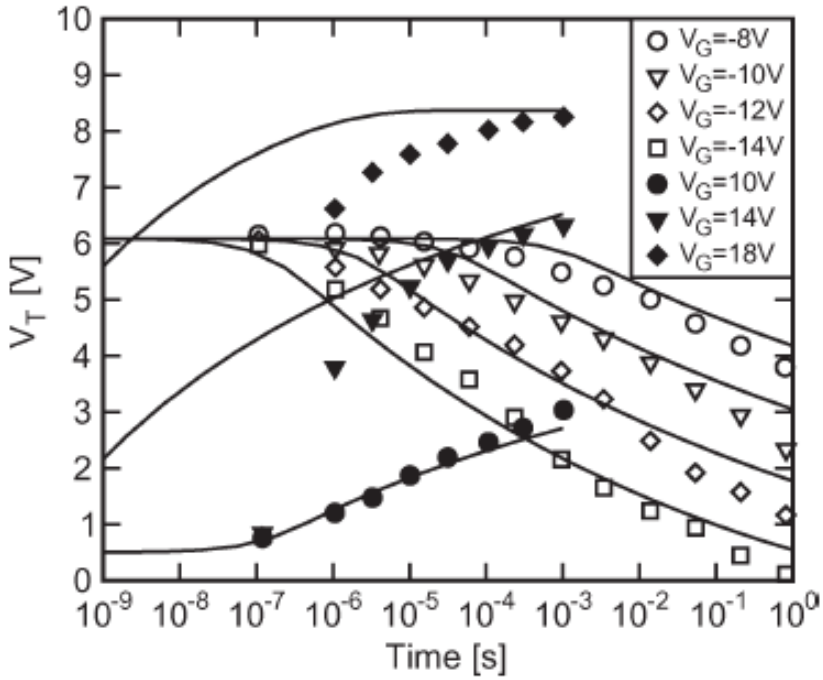
여기서 단위 시간당 포획되는 트랩된 전자의 밀도 (n_t)는 F-N 터널링 전류 밀도 (J_n), 포획 단면적 (σ_n), 그리고 포획 가능한 상태 밀도 ($N_t - n_t$)에 비례하는 것을 알 수 있다. 또한, 포획된 전자는 Poole-Frenkel 방출에 의해 트랩으로부터 빠져나온다 ($-e_n n_t$). J_n 과 e_n 은 아래와 같이 모델링 된다.

$$J_n = \frac{J'_n}{2\pi r_{\text{bot}}} = AF_{\text{eq}}^2 \exp\left[-\frac{B}{F_{\text{eq}}}\right] \tag{1.2}$$

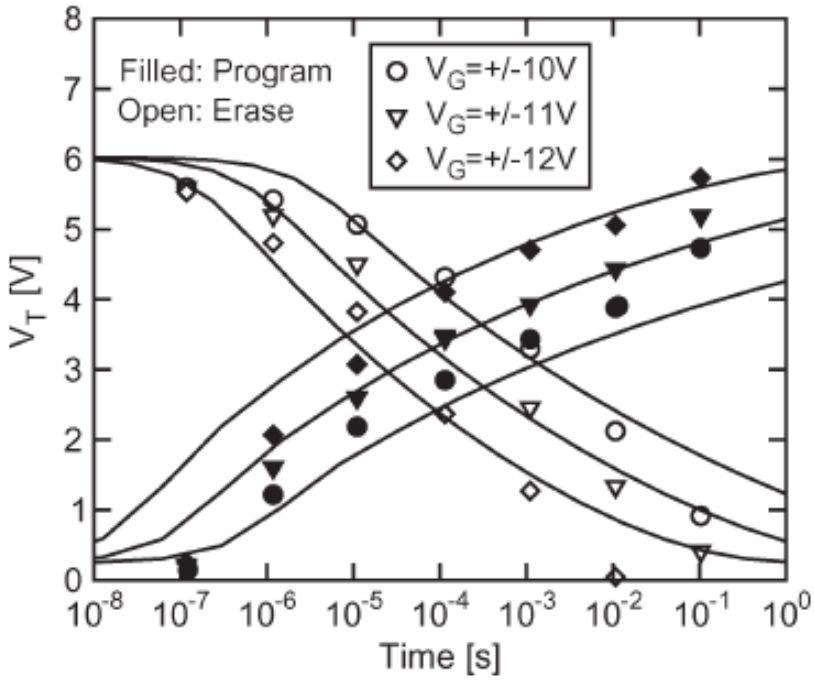
$$e_n = \nu_0 \exp\left[-\frac{E_T - \beta\sqrt{F_n}}{kT}\right] \tag{1.3}$$

식 (1.2)에서, J_n 은 채널과 터널링 산화막 사이의 등가 수직 전기장 (F_{eq})에 영향을 받는다. 여기서 수직 전기장은 터널링 산화막, 전하-트랩 nitride, 그리고 블로킹 산화막 3 개의 층에서 유도된 푸아송 방정식을 풀어서 얻어지며, 3 차원 GAA 구조에서의 field-enhancement 효과를 잘 반영한다. 그리고 F_{eq} 는 이렇게 얻어진 수직 전기장으로부터, 전도 대역의 곡률 변화에 따른 양자 역학적 터널링 확률 변화를 반영하여 얻어진다. 또한 식 (1.3)에서, Poole-Frenkel 방출은 쓰기 상태로부터의 리텐션 (retention) 효과를 모델링하기 위한 목적이 더 크며, 본 연구에서는 쓰기 동작 동안의 방출 메커니즘을 퓨어 터널링 (pure tunneling)으로 모델링 할 것이다 (2.2 절 참고).

위 모델을 사용하여 측정 데이터와 비교한 결과는 아래와 같다.


V_G=-8V
V_G=-10V
V_G=-12V
V_G=-14V
V_G=10V
V_G=14V
V_G=18V
V_T [V]
Time [s]

(a)


Filled: Program
Open: Erase
V_G=+/-10V
V_G=+/-11V
V_G=+/-12V
V_T [V]
Time [s]

(b)

그림 1.10. [10]의 모델을 사용하여 시간에 따른 측정 데이터–모델 간 비교. (a) GAA-CT SONOS 셀, (b) GAA-CT TAHOS ($TaN-Al_2O_3-HfO_2-SiO_2-Si$) 셀. [10]

한편, 포획된 전자의 관점이 아닌, 터널링되어 나가는 전류 (J_{out})의 관점에서 개발된 쓰기 모델이 발표된 바 있다. [20]의 논문에 발표된 모델은 아래와 같다.

$$
\begin{aligned}
\frac{dV_{\mathrm{T,p}}}{dt} &= \frac{1}{C_{\mathrm{eq}}}\left(J_{\mathrm{IN}} - J_{\mathrm{OUT}}\right) \\
&= \frac{1}{C_{\mathrm{eq}}}\left(\int_0^{t_{\mathrm{CTL}}} S(x) J_0\, dx - q n_{\mathrm{BlOx}} v_{\mathrm{BlOx}}\right) \\
&= \frac{1}{C_{\mathrm{eq}}}\left(J_0 - q\int_0^{t_{\mathrm{CTL}}}\left[S(x)\frac{J_0}{q\mu F_{\mathrm{CTL}}}\exp\left(-\int_x^{t_{\mathrm{CTL}}}\frac{\sigma_{\mathrm{c}} v_{\mathrm{th}} N_{\mathrm{t,av}}}{\mu F_{\mathrm{CTL}}}dx'\right)\right]dx\, v_{\mathrm{BlOx}}\right) \\
&= \frac{1}{C_{\mathrm{eq}}}\left(J_0 - \frac{J_0}{\mu F_{\mathrm{CTL}} t_{\mathrm{CTL}}}\frac{\mu F_{\mathrm{CTL}}}{\sigma_{\mathrm{c}} v_{\mathrm{th}} N_{\mathrm{t,av}}}\left(1 - \exp\left(-\frac{\sigma_{\mathrm{c}} v_{\mathrm{th}} N_{\mathrm{t,av}}}{\mu F_{\mathrm{CTL}}} t_{\mathrm{CTL}}\right)\right) v_{\mathrm{BlOx}}\right) \\
&= \frac{1}{C_{\mathrm{eq}}}\underbrace{q n_{\mathrm{ch}} v_{\mathrm{th}} e^{-\frac{B_{\mathrm{TuOx}}}{F_{\mathrm{TuOx}}}}}_{\text{Injection}}\underbrace{\left(1 - \frac{\mu F_{\mathrm{CTL}}}{B_{\mathrm{CTL}}}\left(1 - e^{-\frac{B_{\mathrm{CTL}}}{\mu F_{\mathrm{CTL}}}}\right)\right)}_{\text{Escape}}
\end{aligned}
$$

그림 1.11. [20]에서 발표된 쓰기 모델. 터널링 되어 들어오는 전류 (J_{in})와 나가는 전류 (J_{out})의 차이를 이용하여 단위 시간당 문턱 전압의 변화를 계산.

그림 1.11 은 [20]에서 발표된 쓰기 모델의 결과를 보여준다. [20]에서 단위 시간당 문턱 전압의 변화는 터널링 산화물을 통하여 들어오는 전자 전류 (J_{in})가 shape 함수 S(x)의 형태를 가지고 전하-트랩 nitride 의 전도 대역에 분포한다고 가정한다. 이렇게 분포하는 전자는 트랩에 포획되면서 블로킹 산화막으로 이동한다 (표동 전류). 각각의 위치 x 로부터 블로킹 산화막으로 이동한 전자 밀도의 총 합으로 J_{out} 이 결정된다.

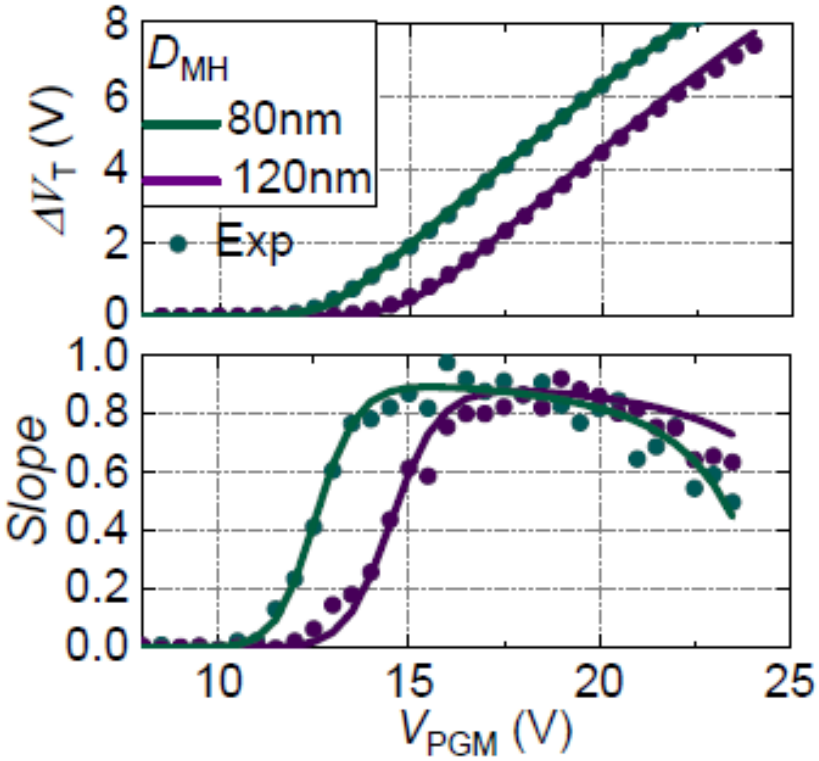


그림 1.12. (a) [20]의 쓰기 모델을 사용하여 쓰기 펄스 전압에 따른 측정 데이터–모델 간 비교.

[20]의 모델은 J_{out} 을 직접적으로 고려하며 계산하는 방식이며, [10]에서의 모델의 경우, 비록 모델에서 J_{out} 이 드러나있지는 않지만 J_{out} 은 간접적으로 고려된다. [10]에서, 포획되지 못한 전자는 모두 블로킹 산화막으로 빠져나는 것으로 간주한다.

1.1.3 셀프–부스팅, ISPP, 셀 사이 간섭

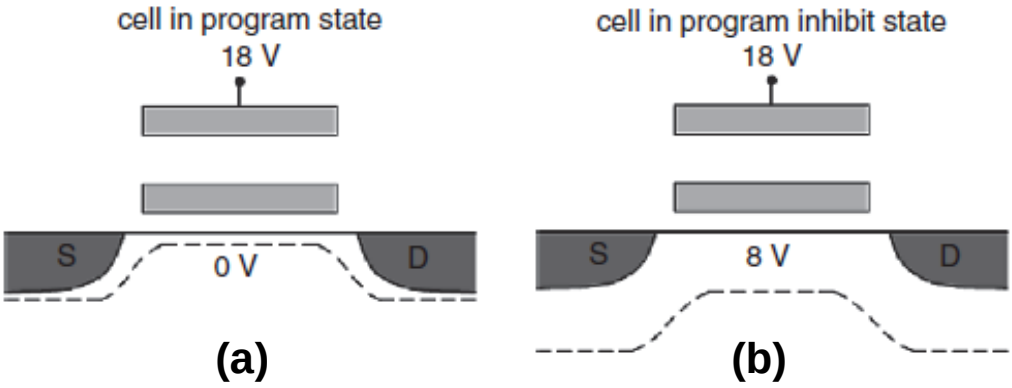
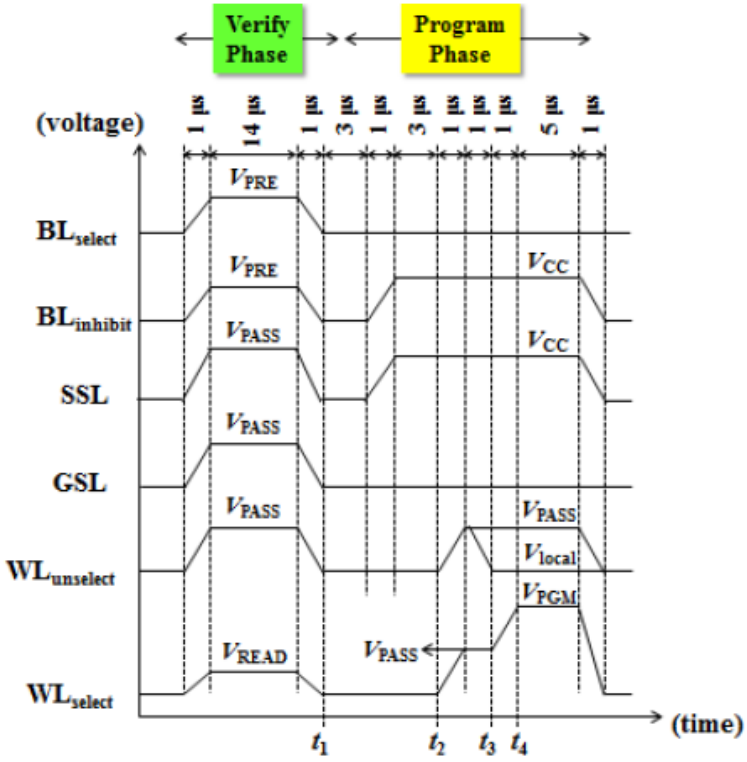
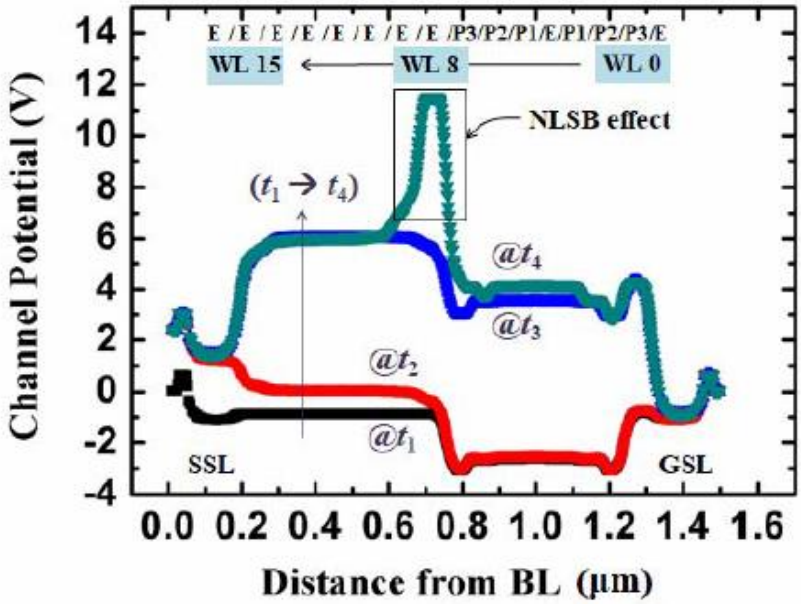


그림 1.13. 일반적인 낸드 플래시 소자의 쓰기 상황에서, (a) 타겟 셀과 (b) 쓰기-억제 셀의 채널 포텐셜 비교. [9].





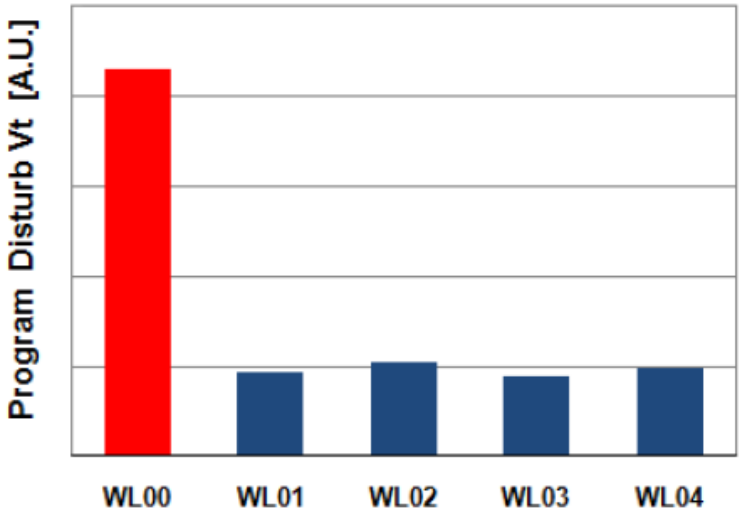
(b)

그림 1.14. 3 차원 낸드 플래시 메모리에서, (a) 쓰기 동작의 타이밍 다이어그램 및 (b) 각 타이밍 별 채널 포텐셜의 변화 [21].

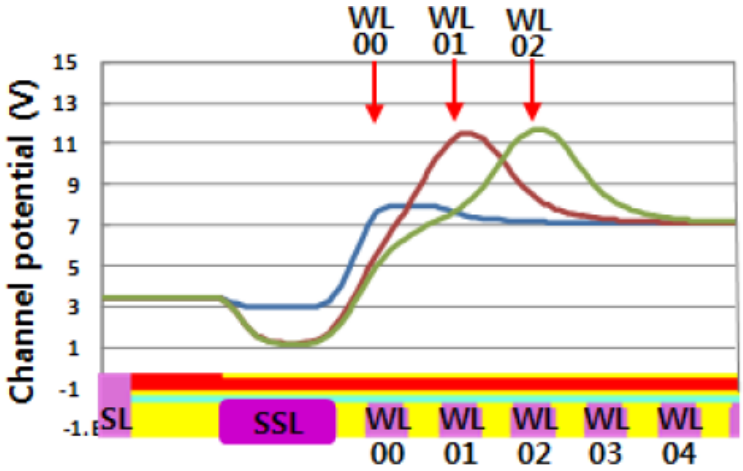
그림 1.13 은 일반적인 낸드 플래시 소자의 쓰기 동작에서, 타겟 셀과 쓰기-억제 셀의 채널 포텐셜 비교를 나타낸다. 앞서 소개된 그림 1.8(b)에서, 비트-라인의 전압이 GND 이면 채널 포텐셜이 낮게 유지되고, 비트-라인의 전압이 Vcc 가 되면 채널 포텐셜이 약 V_{PASS} 로 부스팅 된다고 설명하였다. 일반적인 평면 구조의 낸드 플래시 메모리 소자에서, 터널링 산화막에 걸리는 수직 전기장은 게이트와 채널 사이의 포텐셜 차이에 거의 비례한다. 따라서 채널 포텐셜이 V_{PASS} 의 높은 전압으로 부스팅 되면, 게이트와 채널의 포텐셜 차이는 크게 줄어들게 되며 (약 $V_{PGM} - V_{PASS}$), 쓰기 동작이 거의 이루어지지 않는다. 이러한 상태를 쓰기-억제라고 한다.

이러한 셀프-부스팅 현상 및 쓰기-억제는 3 차원 낸드 플래시 메모리에서도 이용된다. 단, 3 차원 낸드 플래시의 채널은 2 차원 평면 구조와는 달리 바디 (body) 컨택에 직접적으로 연결되어있지 않기 때문에, 셀프-부스팅 상황에서

채널은 플로팅 (floating) 상태에 놓인다. 따라서 3차원 낸드 플래시 메모리에서 쓰기 전압이 인가되는 쓰기-억제 셀의 채널 포텐셜은 쓰기 전압의 크기와 거의 비슷하게 부스팅 되는 것을 그림 1.14 에서 확인할 수 있다. 이러한 효과를 특별히 natural local self-boosting (NLSB)라고 한다 [21].



(a)



(b)

그림 1.15. (a) 각각의 워드-라인에 따른 쓰기-방해 (program distrub) 효과, (b)

TCAD 시뮬레이션의 채널 포텐셜 [22].

한편, 이러한 셀프-부스팅 현상이 끝부분 워드-라인 (edge WL)에서 특별히 문제를 발생시키는 것이 발표된 바 있다. 그림 1.15 는 각각의 워드-라인에 따른 쓰기 방해 (program disturb) 효과를 나타낸다 [22]. SSL 과 가까운 워드-라인에서 채널 포텐셜 부스팅이 잘 발생하지 않는 것을 확인할 수 있다. 3 차원 낸드 플래시의 채널이 플로팅되어 있는 구조이기 때문에, 쓰기 동작 중에 끝부분 워드-라인에 높은 전압이 인가되면 SSL 의 채널 포텐셜 또한 증가하기 때문이다. 따라서 drain-induced barrier lowering (DIBL) 효과로 인해 SSL 에 전류가 흐르게 되고 끝부분-워드 라인의 채널 포텐셜이 부스팅되지 못하는 것이다. 이러한 현상으로 인해 끝부분-워드 라인의 쓰기-방해 효과는 다른 워드-라인에 비해 더 심하게 발생하는 것을 확인할 수 있다.

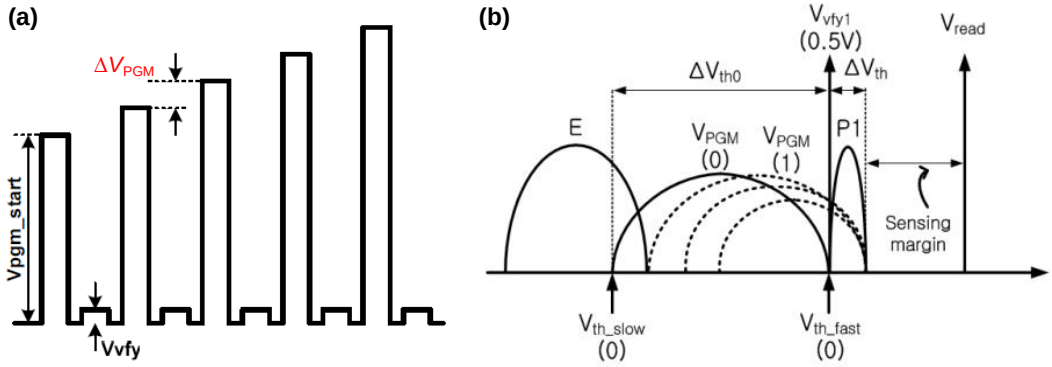


그림 1.16. (a) ISPP 의 전압 방식, (b) 쓰기 펄스에 따른 셀 문턱 전압 산포의 변화 [23].

현재 대부분의 낸드 플래시 메모리의 쓰기 동작의 경우, 단일 쓰기 전압 펄스가 아닌 ISPP 의 방법을 주로 사용한다 [24], [25]. ISPP 란 그림 1.16(a)에서 묘사된 것과 같이 쓰기 전압의 크기를 점차 ΔV_{PGM} 만큼 증가시키면서 다수의 쓰

기 펄스를 인가해주는 방식이다. 이러한 방식은 쓰기 시간을 더 증가시킬 수 있으나, 그림 1.16(b)에 나타난 것과 같이 펄스 하나 당 문턱 전압이 변하는 양을 더 미세하게 제어함으로써 전체적으로 셀의 문턱 전압 산포를 개선하는 장점이 있다.

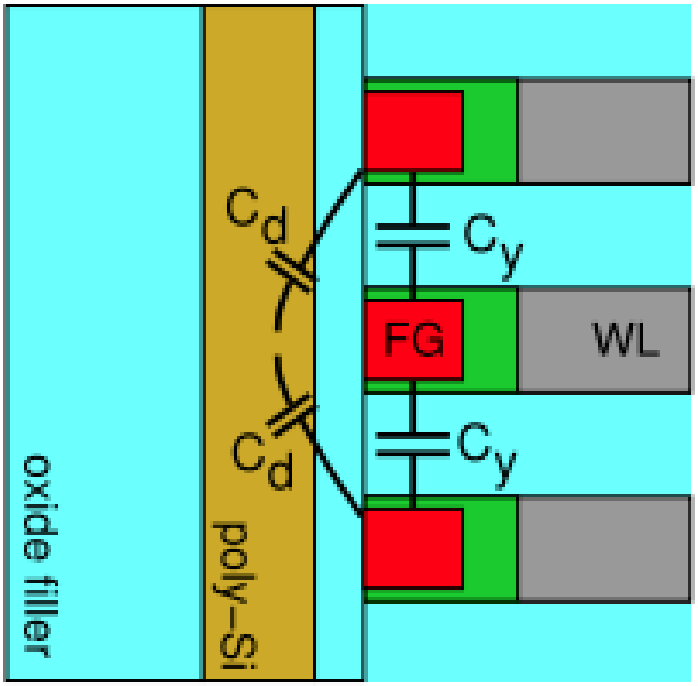


그림 1.17. 3 차원 낸드 플래시 메모리의 셀 사이 간섭 묘사. [26]

셀의 쓰기 동작에 의해 문턱 전압이 증가할수록, 저장된 전하에 의해 이웃한 셀의 채널 포텐셜 (문턱 전압)이 영향을 받는데, 이러한 현상을 셀 사이 간섭 (cell-to-cell interference)이라 한다. 낸드 플래시 셀의 축소화가 계속될수록 셀 사이 간격이 점차 줄어들고 셀 사이 간섭 현상이 점차 심화되기 때문에, 쓰기 동작과 마찬가지로 셀 사이 간섭에 대한 분석은 필수적이다.

1.2 연구 내용

앞서 1.1 절에서 언급된 바와 같이, 3 차원 구조 및 새로운 전자 저장 메커니즘에서 쓰기 동작이 이루어짐에 따라, 3 차원 전하-트랩 낸드 플래시 메모리의 쓰기 동작과 관련된 다양한 물리적 모델이 개발되어 왔다 [27]－[29]. 이러한 모델들은 특정 조건에서는 3 차원 전하-트랩 낸드 플래시 메모리의 쓰기 동작을 잘 해석하지만, 회로 시뮬레이션에서 셀 모델에 적용하기에는 어려움이 있는데, 이는 개발된 모델이 단순하게 시간 의존성을 가져서 복잡한 과도 (transient) 시뮬레이션 (예를 들면, ISPP)에 적용되기에는 적절하지 않거나 [24], [25], [27], 수식 자체가 지나치게 복잡하여 컴팩트 모델로써는 효율성이 떨어지기 때문이다 [11], [28], [29]. 따라서 본 논문에서는, 캐리어의 터널링, 포획, 방출 현상을 모델링함으로써 간단하지만, 단순히 과도 시간에 의존하지 않고 전기장 및 포획된 캐리어의 밀도에 의존하는 문턱 전압 변화 (ΔV_{th}) 모델을 개발함으로써 ISPP 와 같은 복잡한 과도 시뮬레이션에서도 적용할 수 있는 쓰기 모델을 소개한다.

쓰기 동작의 모델링을 다루는 다른 논문들과 비교하여, 본 논문에서 소개되는 모델링의 더 발전된 부분은 다음과 같다. 첫번째로, 본 논문에서는 ISPP 곡선 데이터로부터 모델 파라미터를 추출하는 방법에 대하여 소개한다. 특히 ISPP 곡선을 크게 3 가지 영역으로 구분하여, 각각의 영역에서 더 중요한 메커니즘에 대하여 분석하고, 파라미터를 튜닝하는 방법을 제시한다. 두번째로, 본 논문에서는 터널링 산화막의 전하를 고려한 모델을 제시한다. 일반적으로 낸드 플래시 소자의 쓰기/소거 (program/erase) 동작이 반복될수록 셀의 열화 현상이 발생하며 [30], 이것은 주로 (계면 트랩 생성 뿐만 아니라) 터널링 산화막의 전하에 의한 것이다. 또한 최근에는 밴드 엔지니어링 (band engineering) 기술을 사용하여 의도적으로 터널링 산화막의 성질을 변화시키는 방식이 사용되고 있으며 [31], 이것은 또한 의도하지 않은 전하의 포획을 야기한다 [32]. 따라서 좀 더 현실적인 경우에 대한 쓰기 모델을 제시한다는 점에서 의의가 있다.

또한, 낸드 플래시 메모리의 향후 발전 방향 중 하나로 스플릿-게이트 구조가 채택된 바 있다. 이것과 관련된 이전 연구 결과들은 스플릿-게이트 구조의 낸드 플래시의 단점인 낮은 ISPP 효율을 해결하기 위해서 초기 전자 주입을 이용하기도 하였지만 [12], [13], 비트 밀도에 가장 큰 영향을 미치는 파라미터 중 하나인 스플릿 워드-라인 사이 거리에 따른 메모리 특성은 아직 연구된 바가 없다. 따라서 본 논문에서는 스플릿 워드-라인 사이 거리의 변화에 따른 다양한 메모리 특성을 분석한다. 메모리 셀의 ISPP 동작 과정에서 변화하는 문턱 전압 이하 스윙 특성, Z-간섭 (Z-interference) [33], 그리고 스플릿-게이트 구조에서 새롭게 정의되는 '사이드-셀 간섭 (side-cell interference) 효과'에 대하여 심층적으로 분석한다.

1.3 논문 구성

본 논문의 내용은 크게 두 가지 연구 주제로 분류할 수 있다. 첫 번째는 3 차원 전하-트랩 낸드 플래시 메모리의 쓰기 동작 및 ISPP 적용에 관한 모델링이며, 두 번째는 3 차원 스플릿-게이트 낸드 플래시 메모리의 ISPP 특성 및 셀 사이 간섭에 대한 분석이다.

제 2 장에서는 쓰기 동작과 관련된 모델링 방법론에 대하여 소개한다. 3 차원 채널 구조에서의 전자 터널링을 계산하기 위해, 원통 좌표계에서의 1 차원 푸아송 방정식 (Poisson's equation)으로부터 유도된 정전기적 포텐셜 (potential) 및 전기장 수식을 이용한다. 또한 전하-트랩 nitride 에서의 전하 포획 및 방출에 관한 물리적 현상을 적용하기 위해서, 트랩된 전하 밀도의 시간에 따른 변화율을 정의한다. 특히, 본 논문에서는 터널링 산화막의 결함 (defect)를 추가함으로써 이전의 연구 결과와는 다르게 모델을 더 발전시켰다. 이러한 요소들을 이용하여 최종적으로 소자의 문턱 전압의 변화를 계산한다.

제 3 장에서는 앞서 제안된 모델을 이용하여 측정된 ISPP 데이터를 calibration 함으로써 모델 파라미터들을 추출한다. 특정 쓰기 전압 영역에 더

많은 영향을 주는 모델 파라미터들로 분류함으로써, 다른 소자에서도 모델을 적용하기 용이하도록 하였다. 전자의 터널링 주입/포획/방출에 관련된 파라미터들의 변화에 따른 모델 결과를 분석하며, 새로운 ISPP 전압 형태에 대한 문턱 전압 변화를 예측한다.

제 4 장에서는, 스플릿-게이트 낸드 플래시 메모리의 스플릿 워드-라인 사이의 거리 변화에 따른 메모리 특성 분석이다. ISPP 동작 특성에 대한 분석으로 시작하며, ISPP 동작 중에 타겟 셀 및 사이드 셀에서의 전류 통로 변화를 심층적으로 연구한다. 이를 바탕으로 하여 Z-간섭과 사이드-셀 간섭 효과에 대하여 설명한다.

제 2 장 쓰기 동작 컴팩트 모델링

2.1 개 요

3 차원 전하-트랩 낸드 플래시 메모리가 2 차원 평면 또는 플로팅 게이트 낸드 플래시 메모리를 대체함에 따라서, 관련 소자의 쓰기 동작을 정확하고 간단하게 묘사하는 모델이 필수적이게 되었다. 비록 2 차원 평면 구조 또는 플로팅 게이트 낸드 플래시에서의 쓰기 동작 컴팩트 모델링이 개발 되었지만 이것은 3 차원 전하-트랩 낸드 플래시 메모리에 바로 적용할 수는 없는데, 이는 채널 구조와 전하 저장 메커니즘이 다르기 때문이다. 그에 따라, 3 차원 채널 구조 또는 전하-트랩 낸드플래시 메모리에서도 쓰기 동작 모델링이 다양하게 개발 되어왔다. 그러나 그러한 모델들은 회로 시뮬레이션에서 셀 모델에 적용하기에는 어려움이 있는데, 이는 개발된 모델이 단순하게 시간 의존성을 가져서 복잡한 과도 시뮬레이션 (예를 들면, ISPP)에 적용되기에는 적절하지 않거나 [24], [25], [27], 수식 자체가 지나치게 복잡하여 효율성이 떨어지기 때문이다 [11], [28], [29].

따라서 본 논문에서는, 3 차원 낸드의 쓰기 동작에 필수적인 캐리어의 터널링, 포획, 방출 현상을 모델링함으로써 간단하지만, 단순히 과도 시간에 의존하지 않고 전기장 및 트랩된 캐리어의 밀도에 의존하는 문턱 전압 변화 모델을 소개함으로써 ISPP 와 같은 복잡한 과도 시뮬레이션에서도 적용할 수 있는 쓰기 모델을 소개한다. 우선은, 터널링 산화막 (TOX), 전하-트랩 질화물 (CTN), 블로킹 산화막 (BOX)에 대한 1 차원 푸아송 방정식을 푼다. 이 때, CTN 의 트랩 뿐만 아니라 TOX 내의 결함에 의한 포획 또한 고려한다. 얻어진 해는 셀 모델에 심어져서 수직 전기장 및 전자 터널링을 계산하는데 사용된다. 또한 포획된 전하 (전자와 정공)에 대한 시간 미분 방정식을 풀어서 특정 시간에서의 포획된 전하량을 계산한다. 이는 터널링 전류, 포획 단면적과 같은

양자역학적 파라미터에 의해 계산된다.

제 2 장의 연구 내용은 논문 [44]의 내용이 일부 포함되어 있다.

2.2 셀 모델 및 ISPP 모델링 방법론

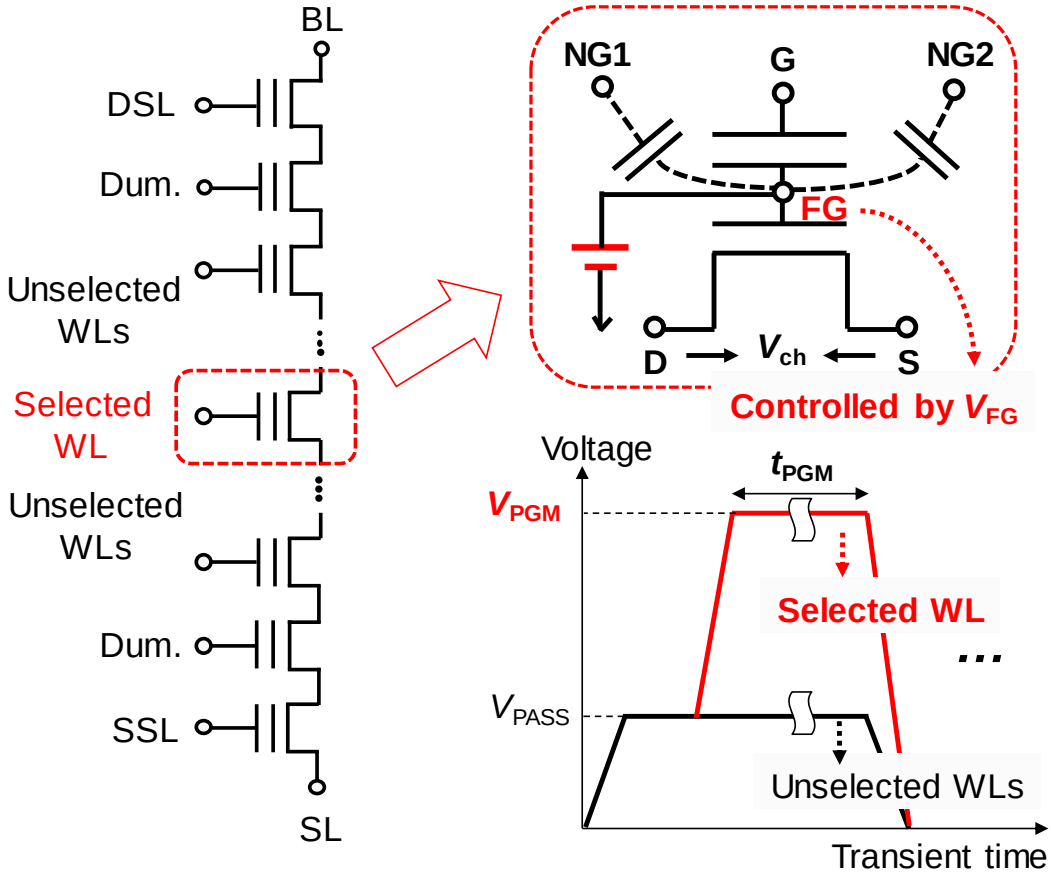


그림 2.1. (a) 하나의 비트-라인 스트링의 등가 회로도. (b) 커패시터 (G 와 FG 노드 사이), 트랜지스터 (FG 노드 아래), 두 개의 커패시터 (이웃 게이트와의 간섭을 묘사), 셀 문턱 전압을 제어하는 전압 소스로 이루어진 셀 모델 등가 회로. (c) 쓰기 동작의 전압 인가 방식.

Symbol	Physical meaning	Unit
n_{CTN}	Trapped electron density at acceptor-like trap in CTN	cm^{-3}
p_{CTN}	Trapped hole density at donor-like trap in CTN	cm^{-3}
n_{TOX}	Trapped electron density at TOX defect	cm^{-2}
J_n	Electron F-N tunneling current density from channel	A/cm^2
F_{eq}	Equivalent E-field at the channel/TOX interface	V/cm
F_n	Average E-field in CTN	V/cm
$\sigma_{n,X}{}^{Y}$	Electron capture cross section for region X with charged state Y (0 or + in this work)	cm^2
e_n	Electron emission rate in CTN	s^{-1}

표 2.1. 필수적인 파라미터 정리.

그림 2.1(a)는 본 논문에서 시뮬레이션 되는 하나의 비트-라인 스트링의 등가 회로를 나타낸다. 이 스트링은 그림 1.8(b)의 스트링 하나에 대응하는 개념이다. BL 스트링은 직렬 연결된 워드-라인 셀과 드레인 선택 라인 (drain-selection line, DSL), 소스 선택 라인 (source-selection line, SSL), 그리고 더미 라인 (Dum.)으로 이루어져 있다. 이렇게 연결된 각각의 소자에 대한 등가 회로는 그림 2.1(b)에 나타나있다. 이 소자들의 문턱 전압은 플로팅 노드에 연결되어 있는 전압 소스인 V_{FG} 에 의해 제어된다. FG 노드 아래의 트랜지스터는 BSIM-CMG 버전 110 [34] 의 GEOMOD = 3 (원통형 게이트 구조) 모델로 디자인 되었다. FG 노드에 저장된 전하량 (Q_{trap}) 및 연결된 각

port 전압의 커플링 (coupling)을 제어하는 전압 V_{FG} 는 다음과 같이 모델링 된다.

$$V_{FG} = \alpha_G V_G + \alpha_{ch} V_{ch} + \alpha_{NG1} V_{NG1} + \alpha_{NG2} V_{NG2} + \frac{Q_{trap}}{C_{total}} \tag{2.1}$$

여기서 α_G, α_{ch}, α_{NG1}, 그리고 α_{NG2} 는 각각 게이트, 채널, NG1, NG2 노드와 FG 노드 사이의 커플링 계수를 나타낸다. Q_{trap}/C_{total} 은 트랩된 전하에 의한 V_{FG} 의 변화를 나타낸다. 그림 2.1(c)는 쓰기 동작 중에 인가되는 워드-라인의 전압 변화를 나타낸다. 펄스 시간 (t_{PGM}) 동안 쓰기 전압 (V_{PGM})은 타겟 워드-라인에만 인가되며, 나머지 워드-라인들은 패스 전압 (V_{PASS})이 인가된다. 표 2.1 에는 필수적인 파라미터들이 정리가 되어있다.

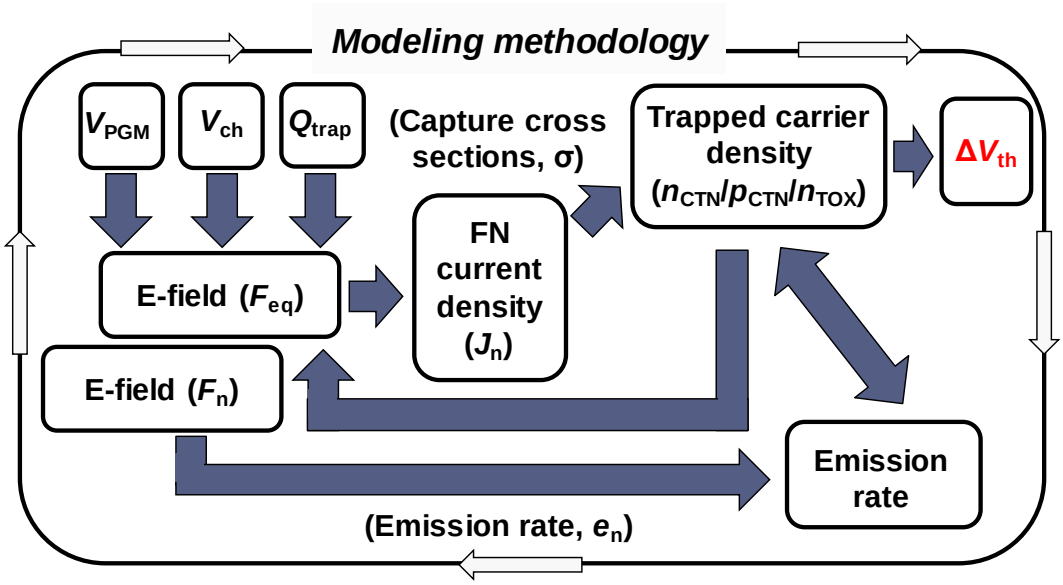


그림 2.2. 쓰기 동작 시뮬레이션의 모델링 방법론. 각각의 파라미터들은 각각의 시간 스텝마다 계산된다.

그림 2.2 는 본 논문에서의 모델링 방법론을 나타낸다. V_{PGM}, 채널 포텐셜 (V_{ch}), 그리고 Q_{trap} 에 대한 함수로써, 채널/TOX 계면에서의 등가 수직 전기장 (F_{eq}) 및 CTN 수직 전기장 (F_{CTN}) 파라미터가 계산된다. 이 때, F_{eq} 를 계산하는 과정은 다음과 같다.

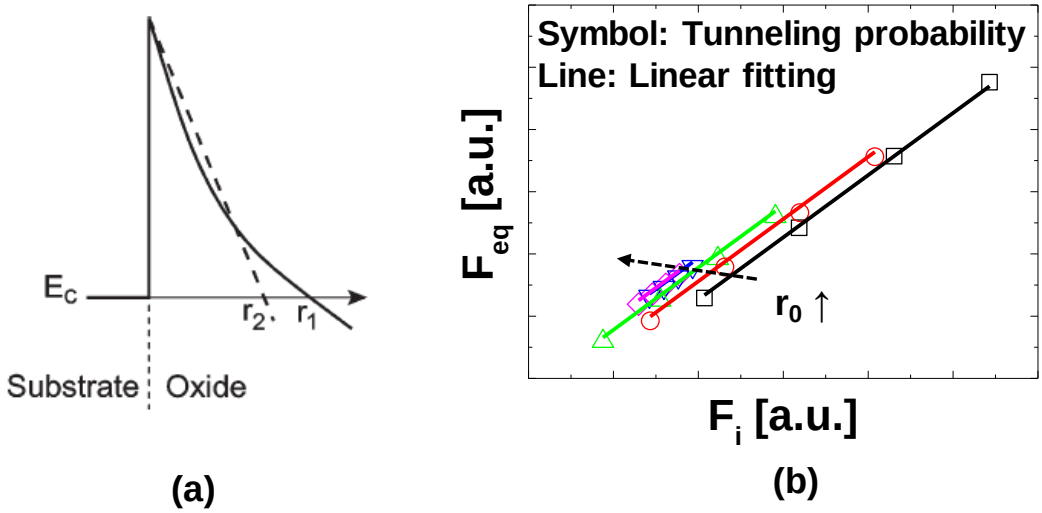


그림 2.3. (a) GAA 셀의 전도 대역 모양 및 그것과 같은 터널링 확률을 가지는 선형 근사 모양 [10]. (b) r_0 에 따른 $F_i - F_{eq}$ 의 관계.

그림 2.3(a)는 GAA 셀의 전도 대역 모양 (실선) 및 그것과 같은 터널링 확률을 가지는 선형 근사 (점선)를 나타낸다. GAA 구조에서 유도된 푸아송 방정식으로부터 정전기적 전위는 위치에 따른 로그 함수로 나타내어지지만, 간략화된 F-N 터널링 공식을 적용하기 위해서는 정전기적 전위가 선형적인 함수로 근사화 되어야 한다. 따라서 아래의 식을 적용하여 등가 수직 전기장의 공식을 유도할 수 있다 [10].

$$\int_0^{r2} \sqrt{E_{FN}(r)}dr = \int_0^{r1} \sqrt{E_C(r)}dr \qquad (2.2)$$

$$F_{\mathrm{eq}} = \frac{2\Phi_{\mathrm{Bn}}^{3/2}}{3q\int_0^{r1}\sqrt{E_{\mathrm{C}}(r)}dr} \tag{2.3}$$

위의 식을 적용하여 구한 F_{eq} 의 값을 여러가지 r_0 에 따라 F_i 에 대하여 나타낸 것이 그림 2.3(b)와 같다. 그림 2.3(b)의 심볼은 여러가지 r_0 에 대하여 식 (2.3)으로부터 추출된 F_{eq} 의 값이며, 선은 아래의 선형 근사로 피팅된 것이다 [10].

$$F_{\mathrm{eq}} = F_{\mathrm{i}} - \frac{V_0}{r_0} \tag{2.4}$$

TOX 를 통한 터널링 전류 (J_n)는 F_{eq} 에 의해 계산된다. 포획 단면적 ($\sigma_{n,X}{}^{Y}$) 값에 따라, 주입된 전자들 중 일부가 CTN 및 TOX 로 포획된다. 이전 연구들 [10], [35] 에서는 포획 단면적을 상수로 가정 하였지만, 포획 단면적은 실제로 전기장에 의해 변화한다 [36]. 따라서 이러한 효과를 모델에 반영해주었다. J_n 과 $\sigma_{n,X}{}^{Y}$ 는 다음과 같이 계산된다.

$$J_{\mathrm{n}} = A_{\mathrm{n}} \cdot F_{\mathrm{eq}}{}^{2} \cdot \exp(-B_{\mathrm{n}}/F_{\mathrm{eq}}) \tag{2.5}$$

$$\sigma_{\mathrm{n,X}}{}^{\mathrm{Y}} = \sigma_{\mathrm{n0,X}}{}^{\mathrm{Y}} \cdot \exp(-b_{\mathrm{n,X}} \cdot F_{\mathrm{X}}) \tag{2.6}$$

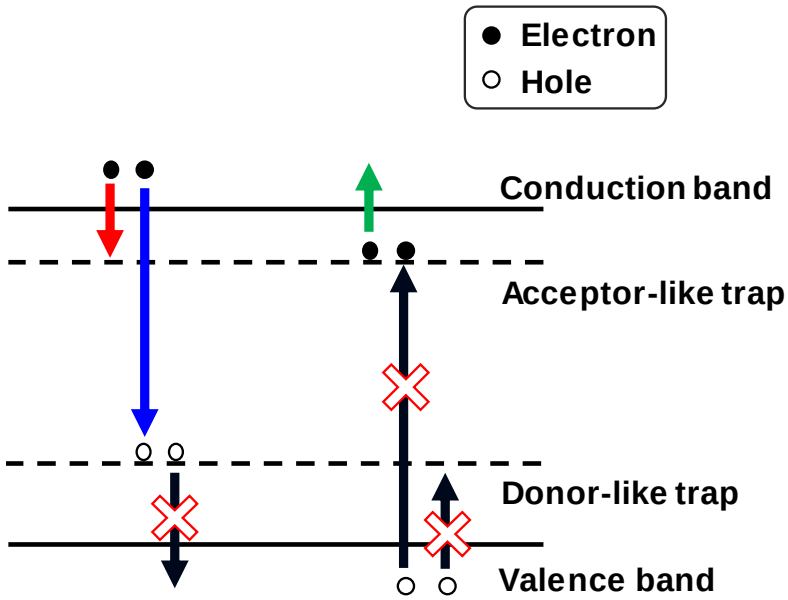
추가적으로, 트랩된 전자들 중 일부는 e_n 의 값에 따라 CTN 으로부터

방출되는데, e_n은 퓨어 터널링의 방출 속도 (emission rate)이다 [37].

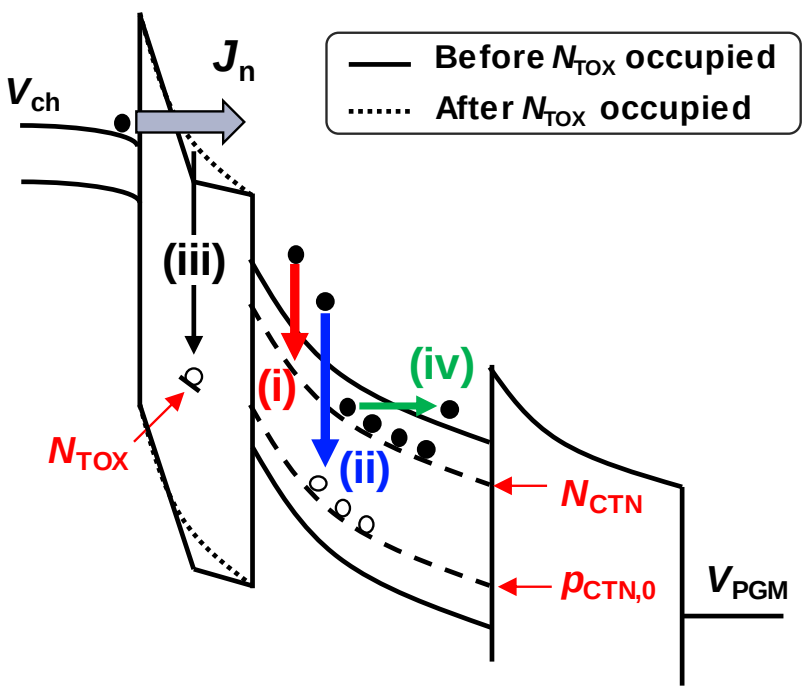
$$e_n = \upsilon_0 \cdot \exp\left(-\frac{4\sqrt{2m_n^*}E_t^{3/2}}{3\hbar q F_n} \right) \tag{2.7}$$

여기서 ν_0, m_n^*, 그리고 E_t 는 각각 attempt-to-escape 진동수, CTN 에서 전자의 터널링 유효 질량, 그리고 CTN 에서 전도 대역으로부터 트랩 에너지 레벨을 의미한다. 트랩 레벨이 얕거나 전기장이 낮을 때, Poole-Frenkel 방출이 강해진다. 반면, 트랩 레벨이 깊거나 전기장이 클 때는, 퓨어 터널링이 강해진다 [37]. 따라서 전자 방출 모델로써 퓨어 터널링을 고려해주었는데, 이는 쓰기 동작의 상황에서 전기장이 매우 크기 때문에 Poole-Frenkel 방출보다 퓨어 터널링이 더 적절하기 때문이다. TOX 의 결함에서와 CTN 의 donor-like 트랩에서의 캐리어 방출은 무시하였는데, 이는 그것들의 트랩 레벨이 깊고, 쓰기 시간은 짧기 때문이다. 과도 시뮬레이션 동안, 그림 2.2 의 파라미터들이 각각의 시간 스텝마다 계산되며, 그에 따라 계산되는 포획된 전하 밀도는 문턱 전압을 변화시킨다.

2.3 쓰기 동작에서의 에너지 밴드 다이어그램


Electron
Hole
Conduction band
Acceptor-like trap
Donor-like trap
Valence band

(a)


Before N_{TOX} occupied
After N_{TOX} occupied
V_{ch}
J_n
(iii)
(i)
(ii)
(iv)
N_{TOX}
N_{CTN}
$p_{CTN,0}$
V_{PGM}

(b)

그림 2.4. (a) CTN 에서 발생할 수 있는 모든 캐리어 포획/방출. 이 중에서, 전도 대역 전자의 포획 및 acceptor-like 트랩에서의 방출만을 고려한다. (b) 쓰기 모델에서의 에너지 밴드 다이어그램. CTN 의 (i) acceptor-like 트랩과 (ii) donor-like 트랩에 포획되는 전자. (iii) TOX 의 defect 에 포획되는 전자. (iv) 퓨어 터널링으로 CTN 트랩에서 전자 방출.

그림 2.4(a)는 CTN 에서 발생할 수 있는 캐리어의 포획/방출 메커니즘을 모두 나타낸 것이다. 일반적으로 쓰기 동작 상황에서는, 가전자 대역의 정공이 거의 없기 때문에 가전자 대역의 정공 포획은 무시하였다. 또한, acceptor-like 트랩에 비해 donor-like 트랩의 에너지 레벨이 더 깊기 때문에 [38], donor-like 트랩으로부터의 정공 방출 또한 무시하였다. 따라서, 전도 대역 전자의 포획 및 acceptor-like 트랩에서의 전자 방출만을 고려하였다.

그림 2.4(b)는 쓰기 모델에서의 에너지 밴드 다이어그램을 나타낸다. 여기서 퓨어 터널링은 CTN 으로부터 BOX 로 터널링 하는 것이 아님을 주의하라. [10]의 트랩 모델과는 달리 정공이 CTN 의 donor-like 트랩에 포획되는 것도 추가되었는데, 쓰기 동작 직전의 셀은 소거 상태 (정공이 포획되어 있는 상태)이기 때문이다. 또한 TOX 층의 가운데 있는 결함 (면전하 형태)에 전자가 포획 되는 것도 고려하였으며 [39], [40], TOX defect 는 donor-like 트랩의 성질을 가지고 있다고 가정하였다. 왜냐하면 초기 상태에서 빠른 문턱 전압의 증가를 설명하기 위해서는 양의 전하가 TOX 에도 존재하는 것이 적절하기 때문이다. CTN 의 초기 정공의 밀도 ($p_{CTN,0}$)와 N_{TOX} 는 초기 문턱 전압 ($V_{th,0}$)에 의해서 결정 된다. 각각의 캐리어 밀도에 대한 미분방정식은 다음과 같이 계산된다.

$$\frac{dn_{\mathrm{CTN}}}{dt} = \frac{J_{\mathrm{n}}}{q}\left(\frac{r_{\mathrm{TOX}}}{r_{\mathrm{TOX}} + t_{\mathrm{CTN}}/2}\right)\sigma^{0}_{\mathrm{n,CTN}}(N_{\mathrm{CTN}} - n_{\mathrm{CTN}}) - e_{\mathrm{n}} n_{\mathrm{CTN}} \qquad (2.8)$$

$$\frac{dp_{\mathrm{CTN}}}{dt} = -\frac{J_{\mathrm{n}}}{q}\left(\frac{r_{\mathrm{TOX}}}{r_{\mathrm{TOX}} + t_{\mathrm{CTN}}/2}\right)\sigma^{+}_{\mathrm{n,CTN}} p_{\mathrm{CTN}} \tag{2.9}$$

$$\frac{dn_{\mathrm{TOX}}}{dt} = \frac{J_{\mathrm{n}}}{q}\left(\frac{r_{\mathrm{TOX}}}{r_{\mathrm{TOX}} - t_{\mathrm{TOX}}/2}\right)\sigma^{+}_{\mathrm{n,TOX}} (N_{\mathrm{TOX}} - n_{\mathrm{TOX}}) \tag{2.10}$$

소자의 전하 분포와 관련된 파라미터들은 아래의 그림 2.5 에 나타나있다.

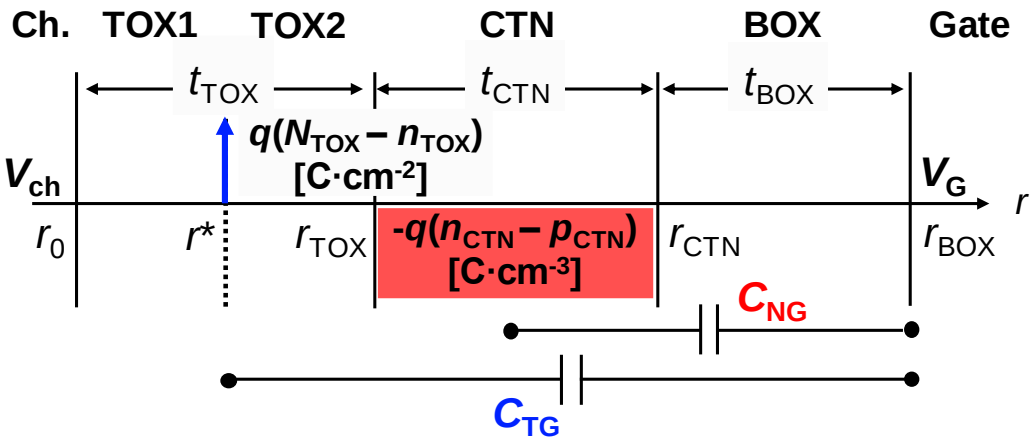


그림 2.5. 원통 좌표계에서 TOX/CTN/BOX 층에서의 전하 분포 및 전하 중심으로부터의 커패시티브 (capacitive) 커플링 (CTN 은 빨간색, TOX 는 파란색으로 표시).

그림 2.5 는 원통 좌표계에서의 전하 분포를 나타낸다. TOX 결함의 경우, TOX 의 중심에 분포하고 있으며 면전하 형태를 가정하였다. 전체 트랩 밀도인 N_{TOX} 에서 트랩된 전자 밀도 n_{TOX} 만큼이 빠진 만큼 [$q(N_{TOX} - n_{TOX})$] 양의 전하를 띠고 있다. 또한 CTN 에 트랩된 전하의 경우 균일한 (uniform) 부피 전하 형태를 가정하였으며, acceptor-like 트랩에 포획된 전자 밀도 (n_{CTN})에서 donor-like 트랩에 트랩된 정공 밀도 (p_{CTN})를 뺀 만큼의 음의 전하를 띠고 있다. 각각의 전하들이 소자의 문턱 전압에 미치는 영향은 각각의 전하

중심으로부터 게이트 까지의 커패시턴스에 의존하는데, TOX 중심으로부터 게이트까지의 커패시턴스는 C_{TG}, CTN 중심으로부터 게이트까지의 커패시턴스는 C_{NG} 로 나타내었으며 원통형 커패시턴스의 공식을 이용하여 계산하였다.

2.4 쓰기 동작에서의 문턱 전압 변화

본 논문에서의 정전기적 모델은 [10]과 비슷한 방식으로 1 차원 푸아송 방정식을 풀어서 얻게 되며, 차이점은 TOX 영역에서 두개의 분리된 가우시안 (Gaussian) 영역이 존재한다는 점이다 (그림 2.5 의 TOX1/TOX2). [10]에 의하면, 아래와 같은 경계 조건이 만족되어야 한다.

$$V_{\mathrm{TOX1}}(r_0) = V_{\mathrm{ch}} \tag{2.11}$$

$$V_{\mathrm{TOX2}}(r_{\mathrm{TOX}}) = V_{\mathrm{CTN}}(r_{\mathrm{TOX}}) \tag{2.12}$$

$$V_{\mathrm{CTN}}(r_{\mathrm{CTN}}) = V_{\mathrm{BOX}}(r_{\mathrm{CTN}}) \tag{2.13}$$

$$V_{\mathrm{BOX}}(r_{\mathrm{BOX}}) = V_{\mathrm{G}} \tag{2.14}$$

$$\varepsilon_{\mathrm{TOX}} \left.\frac{dV_{\mathrm{TOX2}}(r)}{dr}\right|_{r=r_{\mathrm{TOX}}} = \varepsilon_{\mathrm{CTN}} \left.\frac{dV_{\mathrm{CTN}}(r)}{dr}\right|_{r=r_{\mathrm{TOX}}} \tag{2.15}$$

$$\varepsilon_{\mathrm{CTN}} \left.\frac{dV_{\mathrm{CTN}}(r)}{dr}\right|_{r=r_{\mathrm{CTN}}} = \varepsilon_{\mathrm{BOX}} \left.\frac{dV_{\mathrm{BOX}}(r)}{dr}\right|_{r=r_{\mathrm{CTN}}} \tag{2.16}$$

또한 TOX1/TOX2 계면 (r = r*)에 해당되는 두 개의 경계 조건이 다음과 같이 추가되어야 한다.

$$\left.\frac{dV_{\mathrm{TOX1}}(r)}{dr}\right|_{r=r^*} - \left.\frac{dV_{\mathrm{TOX2}}(r)}{dr}\right|_{r=r^*} = \frac{q(N_{\mathrm{TOX}} - n_{\mathrm{TOX}})}{\varepsilon_{\mathrm{TOX}}} \tag{2.17}$$

$$V_{\mathrm{TOX1}}(r^*) = V_{\mathrm{TOX2}}(r^*) \tag{2.18}$$

푸아송 방정식을 풀어서 다음과 같이 총 4 개의 영역에서의 수직 전기장에 대한 수식을 얻을 수 있다.

$$F_{\mathrm{TOX1}}(r) = -C_1 \frac{1}{r} \tag{2.19}$$

$$F_{\mathrm{TOX2}}(r) = -C_1 \frac{1}{r} + \frac{q(N_{\mathrm{TOX}} - n_{\mathrm{TOX}})r^*}{\varepsilon_{\mathrm{TOX}} r} \tag{2.20}$$

$$F_{\mathrm{CTN}}(r) = -C_2 \frac{1}{r} - \frac{q(n_{\mathrm{CTN}} - p_{\mathrm{CTN}})}{2\varepsilon_{\mathrm{CTN}}} r \tag{2.21}$$

$$F_{\mathrm{BOX}}(r) = -C_3 \frac{1}{r} \tag{2.22}$$

또한 상수 C_1, C_2, C_3, 그리고 α^*는 다음과 같이 계산된다.

$$C_1 = \frac{V_{\mathrm{G}} - V_{\mathrm{fb,0}} - V_{\mathrm{ch}}}{\alpha} + \frac{q(n_{\mathrm{CTN}} - p_{\mathrm{CTN}})}{2\varepsilon_{\mathrm{CTN}}\alpha}\left[r_{\mathrm{TOX}}^2 \ln\frac{r_{\mathrm{CTN}}}{r_{\mathrm{TOX}}} - \frac{1}{2}(r_{\mathrm{CTN}}^2 - r_{\mathrm{TOX}}^2)\left(1 + 2\frac{\varepsilon_{\mathrm{CTN}}}{\varepsilon_{\mathrm{BOX}}}\ln\frac{r_{\mathrm{BOX}}}{r_{\mathrm{CTN}}}\right)\right] + \frac{\alpha^*}{\alpha}\frac{q(N_{\mathrm{TOX}} - n_{\mathrm{TOX}})}{\varepsilon_{\mathrm{TOX}}} r^* \tag{2.23}$$

$$C_2 = \frac{\varepsilon_{\mathrm{TOX}}}{\varepsilon_{\mathrm{CTN}}} C_1 - \frac{q(n_{\mathrm{CTN}} - p_{\mathrm{CTN}})}{2\varepsilon_{\mathrm{CTN}}} r_{\mathrm{TOX}}^2 - \frac{q(N_{\mathrm{TOX}} - n_{\mathrm{TOX}})}{\varepsilon_{\mathrm{CTN}}} r^* \tag{2.24}$$

$$C_3 = \frac{\varepsilon_{\mathrm{TOX}}}{\varepsilon_{\mathrm{BOX}}} C_1 - \frac{q(n_{\mathrm{CTN}} - p_{\mathrm{CTN}})}{2\varepsilon_{\mathrm{BOX}}} (r_{\mathrm{TOX}}^2 - r_{\mathrm{CTN}}^2) - \frac{q(N_{\mathrm{TOX}} - n_{\mathrm{TOX}})}{\varepsilon_{\mathrm{BOX}}} r^* \tag{2.25}$$

$$\alpha^* = \frac{\varepsilon_{\mathrm{TOX}}}{\varepsilon_{\mathrm{BOX}}} \ln \frac{r_{\mathrm{BOX}}}{r_{\mathrm{CTN}}} + \ln \frac{r_{\mathrm{TOX}}}{r^*} + \frac{\varepsilon_{\mathrm{TOX}}}{\varepsilon_{\mathrm{CTN}}} \ln \frac{r_{\mathrm{CTN}}}{r_{\mathrm{TOX}}} \tag{2.26}$$

여기서 $V_{fb,0}$은 트랩된 전하가 없을 때의 플랫-밴드 전압을 의미하며, α 에 대한 식은 [10]에서의 결과와 같다. 단위 셀의 문턱 전압은 FG 노드의 전압 소스에 의해 제어되기 때문에, 문턱 전압의 변화를 V_{FG} 의 변화로 변환해주어야 한다. CTN 전하와 TOX 전하에 의한 V_{FG}로의 기여는 각각 다음과 같이 계산된다.

$$\begin{aligned} \Delta V_{\mathrm{FG(CTN)}} &= -\Delta V_{\mathrm{th(CTN)}} \cdot \frac{C_{\mathrm{NG}}}{C_{\mathrm{total}}} \\ &= -\frac{q \cdot (n_{\mathrm{CTN}} - p_{\mathrm{CTN}}) \cdot (\text{CTN volume})}{C_{\mathrm{NG}}} \cdot \frac{C_{\mathrm{NG}}}{C_{\mathrm{total}}} \end{aligned} \tag{2.27}$$

$$\begin{aligned} \Delta V_{\mathrm{FG(TOX)}} &= -\Delta V_{\mathrm{th(TOX)}} \cdot \frac{C_{\mathrm{NG}}}{C_{\mathrm{total}}} \\ &= \frac{q \cdot (N_{\mathrm{TOX}} - n_{\mathrm{TOX}}) \cdot (\text{TOX area})}{C_{\mathrm{TG}}} \cdot \frac{C_{\mathrm{NG}}}{C_{\mathrm{total}}} \end{aligned} \tag{2.28}$$

전체 V_{FG} 변화는 식 (2.27)과 (2.28)의 합으로 계산된다. 결국 시뮬레이션 동안, 포획된 전하량에 따라 소자의 문턱 전압이 지속적으로 변화한다.

2.5 요 약

제 2 장에서는, 쓰기 동작의 컴팩트 모델링에 대한 방법론 및 그와 관련된 다양한 물리적인 현상에 대한 모델 식을 소개하였다. 본 논문에서 이루어지는 회로 시뮬레이션에서 가장 기본이 되는 단위 셀 모델에 대한 구성을 소개하였으며, 단위 셀 모델의 전압 소스 V_{FG} 가 모델링 되는 방식에 대하여 소개하였다. 쓰기 동작에서 V_{FG} 의 변화에 가장 큰 영향을 주는 요소는 포획된 전하량인데, 캐리어 주입, 포획, 그리고 방출 현상을 고려한 각각의 캐리어 밀도의 시간에 대한 미분방정식을 정의함으로써 과도 시뮬레이션에서 각각의 캐리어 밀도가 계산되는 방식에 대하여 소개 하였다. 마지막으로 평면 구조의 소자와 달리, 원통형 게이트 구조에 대한 정전기학은 원통 좌표계를 풀어서 얻을 수 있다. 원통 좌표계에서 1 차원 푸아송 방정식을 풀어서 관련된 수직 전기장의 모델 식을 얻었으며, 최종적으로 포획된 전하에 의한 문턱 전압 변화를 계산할 수 있다.

제 3 장 ISPP 모델 분석 및 예측

3.1 개　요

앞서, 제 2 장에서는 쓰기 동작에서의 에너지 밴드 다이어그램과 1 차원 푸아송 방정식에 기반한 쓰기 모델을 소개한 바 있다. 본 3 장에서는, 앞서 소개된 쓰기 모델을 SPICE 회로 시뮬레이션의 셀 모델에 적용하여 모델을 분석하고, 다양한 조건에서의 ISPP 성능을 예측한다. 우선은 측정된 ISPP 데이터를 정확하게 재현할 수 있는 모델 파라미터들을 추출한다. 그리고 전자 터널링, 포획, 그리고 방출에 관련된 파라미터를 변화시켰을 때의 ISPP 모델 결과를 분석하며, 채널 축소화, 전하-트랩 nitride 물질의 유전율에 대한 모델 결과를 분석한다. 다양한 펄스 조건에 따라 변하는 ISPP 특성을 예측함으로써 더 효율적인 ISPP 방법에 대하여 제안한다. 그리고 3 차원 낸드 플래시 메모리는 일반적으로 채널이 기판으로 부터 플로팅 되어 있는데, 이 때문에 쓰기-억제를 위하여 NLSB 방법을 사용하게 된다. 본 모델을 적용한 셀 모델에서 이러한 특성이 잘 구현됨을 보여준다.

제 3 장의 연구 내용은 논문 [44]의 내용이 일부 포함되어 있다.

3.2 측정 데이터와 비교

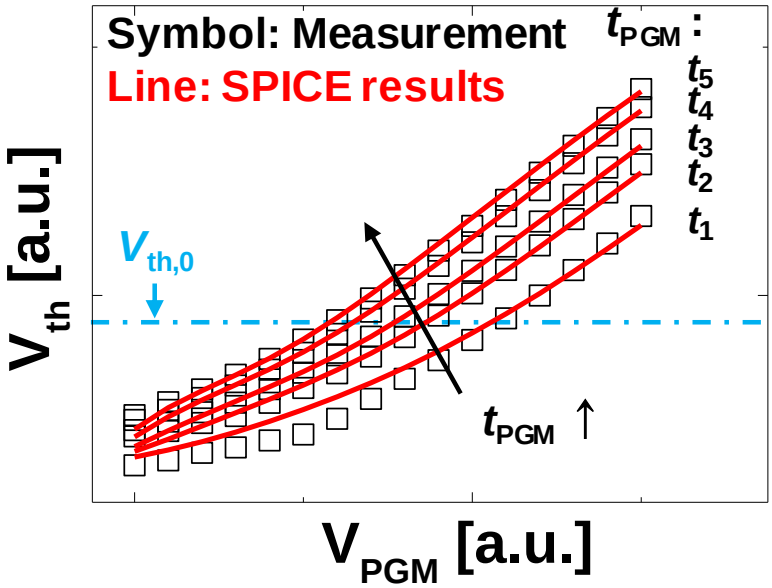


그림 3.1. 측정된 ISPP 데이터와, 가장 정확히 피팅된 모델 결과. t_{PGM} 은 t_1 이 가장 작으며, t_5 로 갈수록 증가한다.

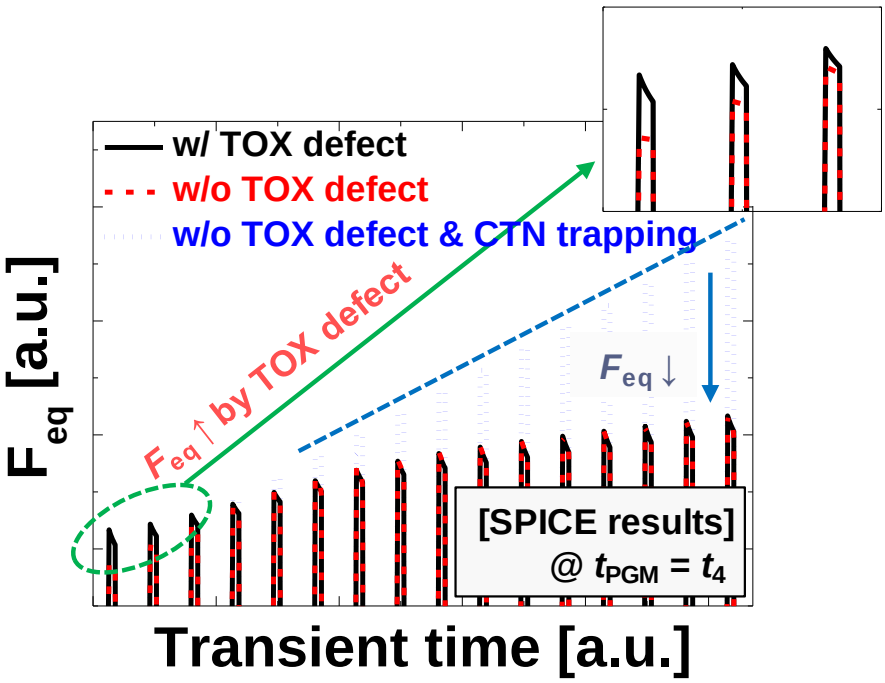
앞서 언급된 파라미터들을 조정하여 컴팩트 모델로 측정된 ISPP 데이터를 피팅하였다. 식 (2.2)의 F-N 터널링 파라미터인 A_n 과 B_n 은 피팅 파라미터로 사용되지는 않았으며, 전자의 유효 질량 및 전도 대역에서의 배리어 높이 (Φ_{Bn})로 계산한 값을 사용하였다 [41]. A_n 과 B_n 을 계산하는 식은 다음과 같다.

$$A_n = \frac{q^3}{8\pi h \Phi_{Bn}} \tag{3.1}$$

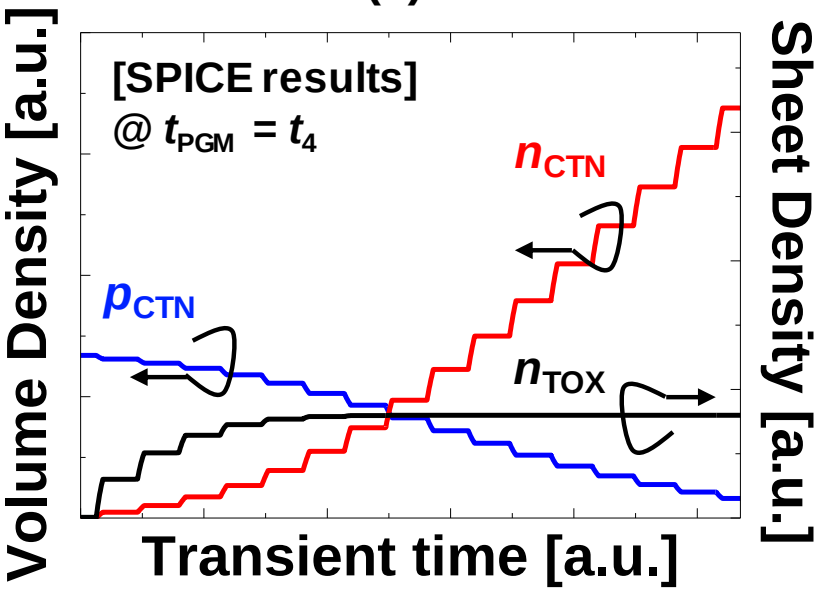
$$B_n = \frac{8\pi\sqrt{2m_{ox}}\,\Phi_{Bn}^{3/2}}{3hq} \tag{3.2}$$

그림 3.1 은 t_{PGM} 에 따라 가장 정확히 피팅된 모델 결과를 나타낸다. 각각의 t_{PGM} 은 t_1 부터 t_5 로 표시하였으며, t_1 에서 t_5 로 갈수록 쓰기 시간이 더 길어진다.

$V_{th,0}$은 포획된 전하가 없을 때의 문턱 전압을 나타낸다.



(a)



(b)

그림 3.2. 그림 3.1 의 t_4 에 해당하는 결과로부터, (a) 다양한 포획 조건에서 시간에 따른 F_{eq} 의 변화, (b) ISPP 시간 동안 트랩된 캐리어 밀도 파라미터의 변화.

그림 3.2(a)는 t_4 에서 다양한 포획 조건에서 F_{eq} 의 변화를 나타낸다. TOX 결함이 있을 때 (검정색 선), F_{eq} 는 낮은 쓰기 전압 영역에서 약간 증가하며, 그 차이는 TOX 결함이 채워질수록 점차 사라지게 된다. TOX 결함과 CTN 포획이 모두 고려되지 않은 결과 (파란색 점선)와 비교했을 때, 모델의 결과는 V_{PGM} 이 증가할수록 F_{eq} 가 감소하게 되는데, 이는 CTN 에 포획된 전자 때문이다. 그림 3.2(b)는 t_4 에서 과도 시간에 따라 트랩된 전하 밀도 파라미터의 변화를 나타낸다. V_{PGM} 이 증가할수록, n_{CTN} 은 증가하고 p_{CTN} 은 감소한다. 파라미터 n_{TOX} 는 ISPP 가 끝나기 전에 포화되기 때문에 n_{TOX} 의 문턱 전압 변화에 대한 기여는 주로 ISPP 의 초반부에 이루어지게 된다.

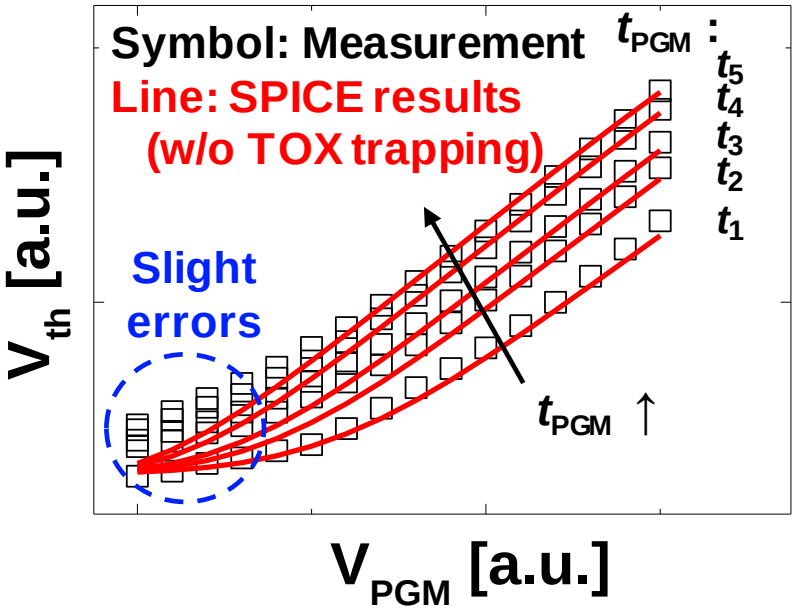
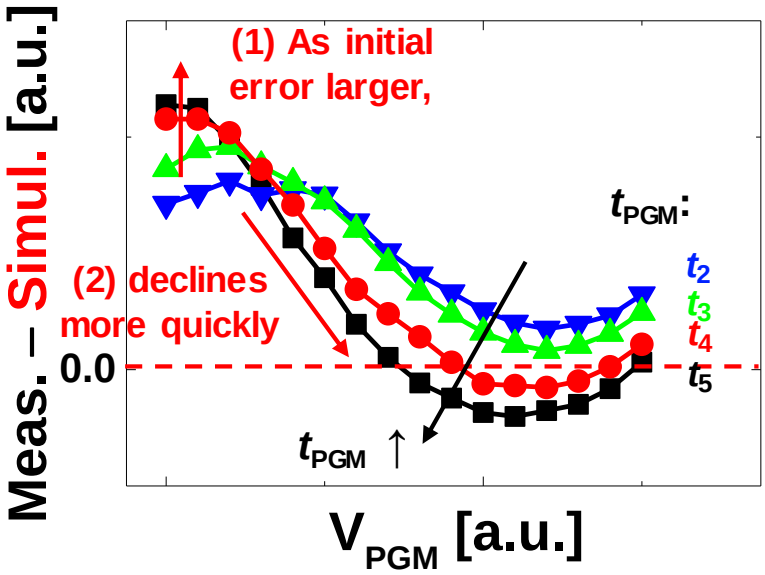
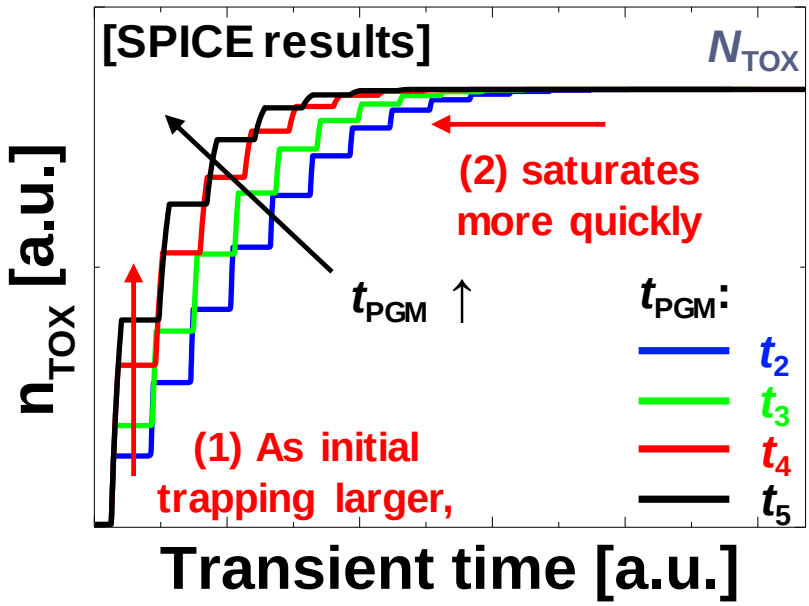


그림 3.3. TOX 결함으로의 전자 포획을 고려하지 않았을 때의 모델 피팅 결과, 낮은 쓰기 전압 영역에서 약간의 오차가 발생한다.

그림 3.3 은 TOX 결함으로의 전자 포획을 고려하지 않았을 때의 ISPP 모델 피팅 결과를 나타낸다. 다시 말해서, 그림 3.3 의 결과는 오로지 CTN 트랩으로의 포획만을 고려하였을 때 얻어진 결과이다 (t_1 에서 가장 잘 맞도록 피팅됨). t_1 을 제외한 나머지 t_{PGM} 에서, 낮은 쓰기 전압 영역에서 오차가 발생하며, 이 오차는 아래 그림 3.4(a)에 나타내었다.



(a)



(b)

그림 3.4. (a) 측정된 ISPP 데이터와 그림 3.3 의 모델 피팅 결과 사이의 오차, (b) 그림 3.1 에서 n_{TOX} 의 변화.

그림 3.4(a)는 측정된 ISPP 데이터와 그림 3.3 에서 TOX 결함으로의 전자 포획을 고려하지 않았을 때의 모델 결과 사이의 오차를 t_{PGM} 에 따라 나타낸 것이다. t_{PGM} 에 따른 오차의 경향으로부터, 우리가 놓친 어떤 메커니즘이 하나의 특성을 가진다는 것을 유추하였다. 그것은 초기 오차가 클수록, 과도 시간동안 그 오차가 더 빠르게 감소한다는 것이다. 그림 3.4(b)는 그림 3.1 의 TOX 포획을 고려한 모델 결과로부터 얻어진 n_{TOX} 의 변화를 나타낸다. 그림 3.4(a)의 오차 특성과 유사하게, 초기 TOX 전자 포획이 클수록 (더 큰 t_{PGM} 에서), 향후 전자가 채워지는 속도는 더 빠르며 포화되는 시점도 더 빠르다. 그림 3.4(a)와 3.4(b) 사이의 이러한 유사성은 TOX 결함으로의 전자 포획이 가능성 있는 메커니즘이라는 것을 보여준다.

3.3 모델 파라미터 변화

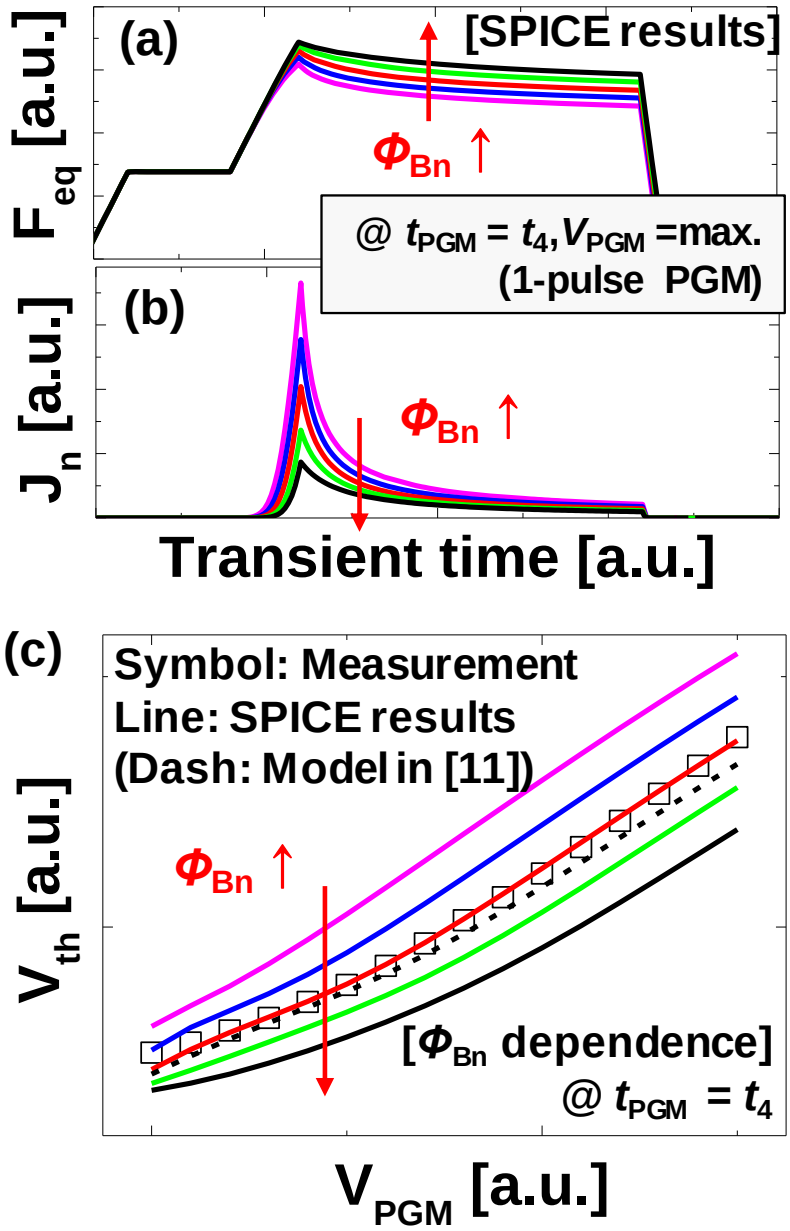
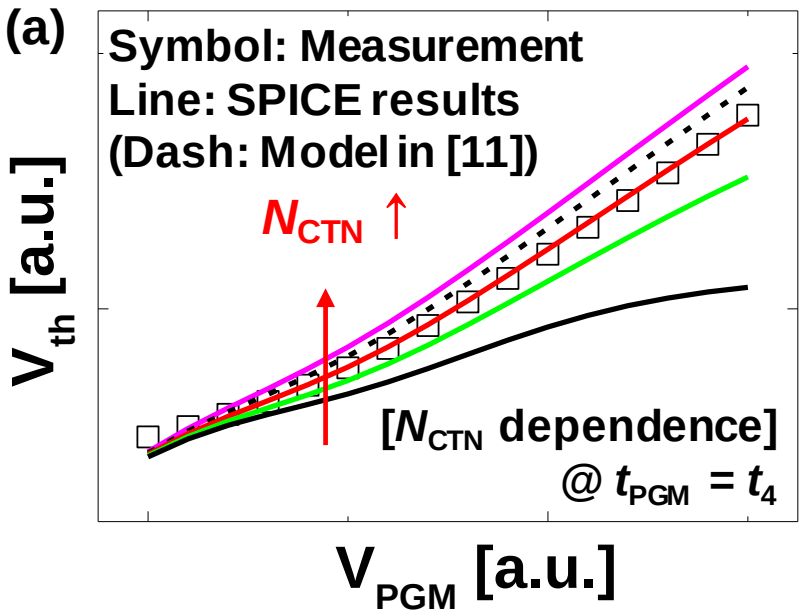
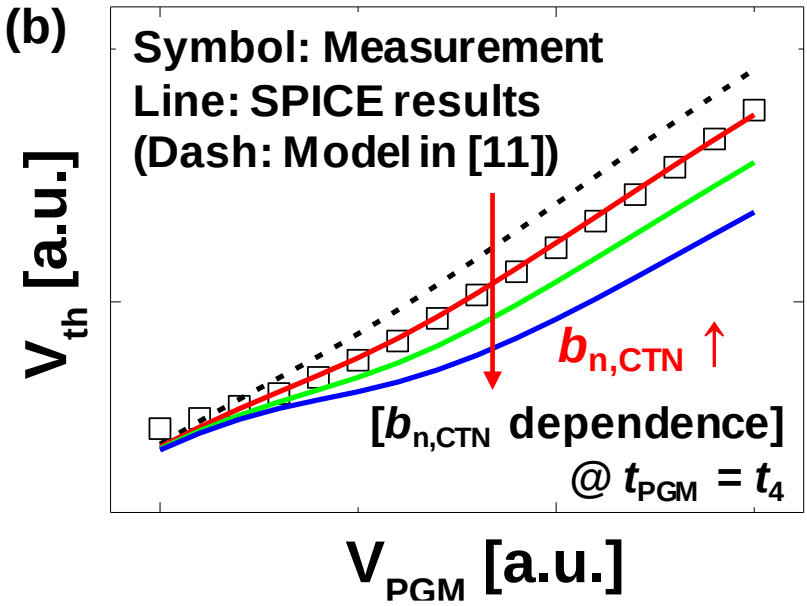
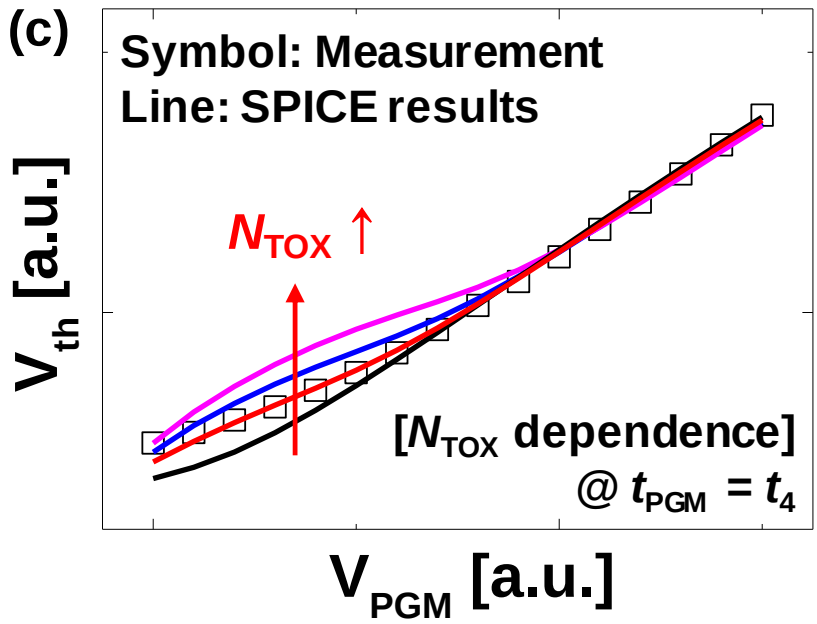


그림 3.5. 파라미터 Φ_{Bn} 을 변화시키며, 단일 펄스 쓰기로 얻어진 파라미터 (a) F_{eq}, (b) J_n. (c) ISPP 결과.

그림 3.5는 전자 주입과 관련된 파라미터 Φ_{Bn}을 변화시켰을 때의 모델 결과를 나타낸다. 그림 3.5(a)와 3.5(b)는 Φ_{Bn} 을 변화시켰을 때, 하나의 쓰기 펄스(단일 펄스, single pulse)로부터 얻어지는 F_{eq} 와 J_n 의 시간에 따른 변화를 각각 나타낸다. Φ_{Bn}이 증가할수록, 식 (3.1) 및 (3.2)로부터 A_n이 감소하고 B_n이 증가한다 [34]. 그리고 그것은 J_n을 감소하는 방향으로 변화시킨다. 그에 따른 전자 포획은 감소하게 되고, 수직 전기장의 감소는 덜해지게 된다. 그림 3.5(c)는 Φ_{Bn}을 변화시킬 때에 ISPP 모델 결과를 나타내고, 이것은 J_n의 경향을 따른다. 다시 말해서, 에너지 배리어 높이가 증가하면, 더 길어진 터널링 거리로 인해 F-N 터널링은 크게 감소하게 되고, 그에 따라 감소된 전자량 및 전자 포획은 ΔV_{th} 에 영향을 주게 된다. 본 논문에서는 과도한 피팅 파라미터의 사용을 줄이기 위해 A_n과 B_n은 계산으로부터 얻어진 값 [41] 을 사용하였지만, Φ_{Bn}는 추가적인 측정으로부터 얻어진 값이 사용될 수도 있다. 그림 3.5(c)에는 [10]에서 사용된 모델 파라미터 값 ($A_n = 10^{-7}$ A/V^2, B_n = 215 MV/cm, 점선으로 표시)을 적용한 결과 또한 비교되어 있다.




(b)
Symbol: Measurement
Line: SPICE results
(Dash: Model in [11])
$b_{n,CTN}$ ↑
[$b_{n,CTN}$ dependence]
@ t_{PGM} = t_4
V_{th} [a.u.]
V_{PGM} [a.u.]


(c)
Symbol: Measurement
Line: SPICE results
N_{TOX} ↑
[N_{TOX} dependence]
@ t_{PGM} = t_4
V_{th} [a.u.]
V_{PGM} [a.u.]

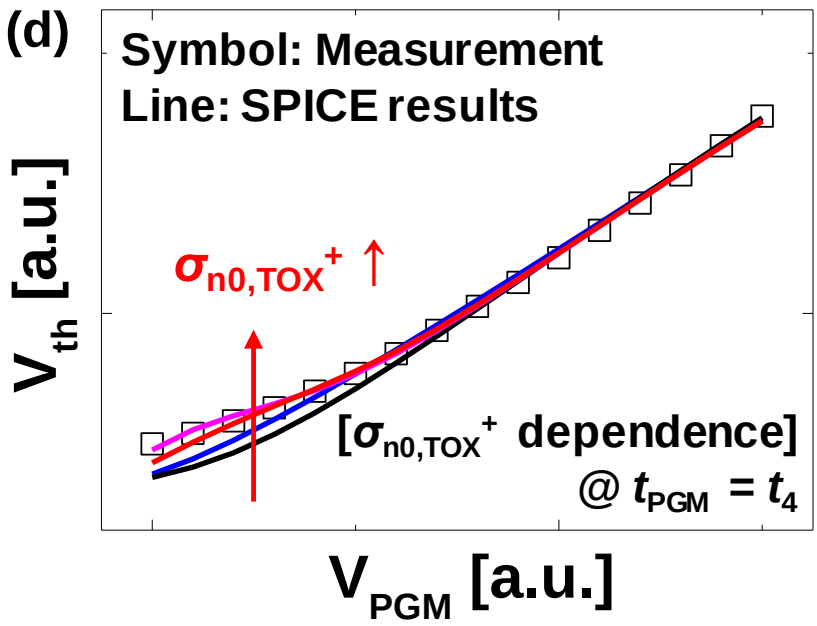


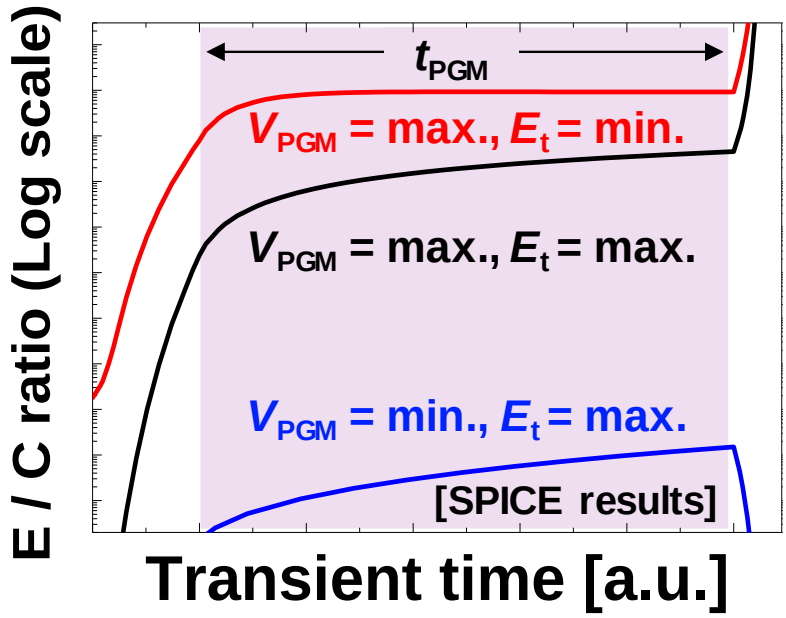
그림 3.6. 파라미터(a) N_{CTN}, (b) $b_{n,CTN}$, (c) N_{TOX}, 그리고 (d) $\sigma_{n0,TOX}^{+}$를 변화시킬 때에 얻어진 ISPP 모델 결과.

그림 3.6 은 전자 포획과 관련된 파라미터들 (그 중에서, N_{CTN}, $b_{n,CTN}$, N_{TOX}, 그리고 $\sigma_{n0,TOX}^{+}$)을 변화시켰을 때의 모델 결과를 나타낸다. 그림 3.6(a)와 3.6(b)은 각각 파라미터 N_{CTN} 과 $b_{n,CTN}$ 을 피팅함으로써 ISPP 곡선의 전체적인 기울기를 맞추는 것을 보여준다. 파라미터 N_{CTN} 은 acceptor-like 트랩에 포획되는 전자의 최대 공간과 관련이 되는 파라미터이다. 파라미터 N_{CTN} 의 증가는 ΔV_{th} 와 항상 비례하지는 않는데, 추가적으로 포획되는 전하량은 다음 시간 스텝에서 수직 전기장과 F-N 터널링 전류를 감소시키기 때문이다. 그림 3.6(a)에서 가장 작은 NCTN 의 경우, CTN 의 acceptor-like 트랩이 빨리 채워지기 때문에 ISPP 곡선이 포화되는 기울기를 보여준다. 그림 3.6(a)에서는 [10]에서 사용된 모델 파라미터 값 ($N_{CTN} = 6x10^{19}$ cm^{-3}, 점선으로 표시)을 적용한 결과 또한 비교되어 있다.

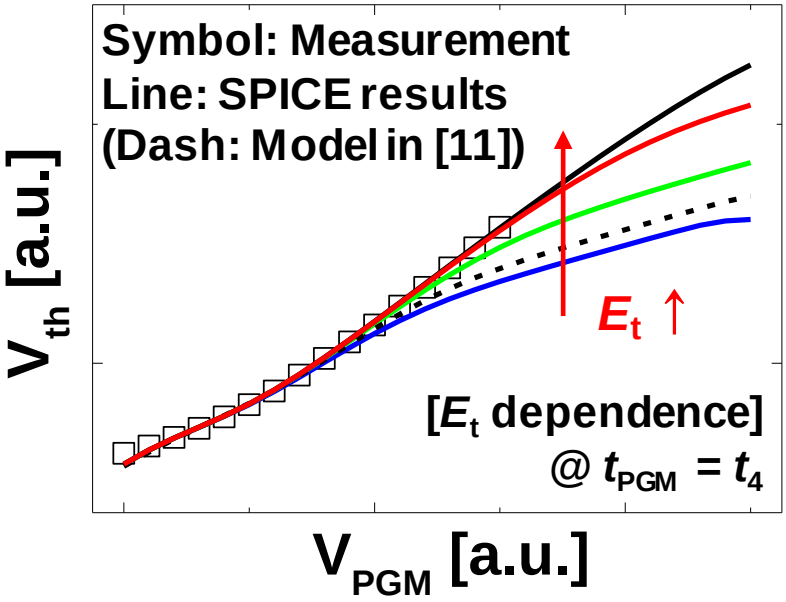
파라미터 $b_{n,CTN}$ 은 CTN 트랩의 포획 단면적의 수직 전기장 의존성을 나타내는 파라미터이며, 에너지가 높은 캐리어들의 유효 포획 확률을 감소시키는

eletron-heating 효과와 관련이 있다 [30]. 따라서 $b_{n,CTN}$이 증가할수록, 수직 전기장에 따른 포획 단면적의 감소가 더 커지며, 결과적으로 그림 3.6.(b)에서 나타나는 것과 같이 ISPP 곡선의 기울기는 감소하게 된다. 그림 3.6.(b)에서는 [10]에서의 일정한 포획 단면적이 사용된 모델 결과 ($b_{n,CTN}$ = 0 cm/V, 점선으로 표시)가 비교되어 있으며, 이러한 결과는 파라미터 $b_{n,CTN}$을 추가함으로써 측정된 ISPP 데이터에 대하여 최적의 ISPP 기울기를 얻을 수 있음을 의미한다. CTN의 acceptor-like 트랩이 쓰기 동작에서 주요한 역할을 하기 때문에, NCTN 및 $b_{n,CTN}$과 같은 관련 파라미터들을 변화시키는 것은 전체적인 쓰기 전압 영역에서의 ISPP 곡선 피팅을 가능하게 한다. 비슷한 방법으로 donor-like 트랩의 $\sigma_{n0,CTN}^{+}$의 값을 결정하였다.

그림 3.6(c)와 3.6(d)는 낮은 쓰기 전압 영역을 맞추기 위해서, 관련된 파라미터인 N_{TOX}와 $\sigma_{n0,TOX}^{+}$를 변화시킬 때의 모델 결과를 각각 나타낸다. 파라미터 N_{TOX}의 값을 변화시킬 때, 초기 문턱 전압을 일정하게 해주기 위해서 파라미터 $p_{CTN,0}$의 값 또한 변화시켜 주었다. 파라미터 N_{CTN}과 $\sigma_{n0,CTN}^{+}$의 값을 증가시킬 때에, 낮은 쓰기 전압 영역에서 ΔV_{th}의 값이 증가하게 된다. 파라미터 N_{TOX}는 TOX 전자 포획의 최대 한도를 증가시켜주기 때문에, ISPP 곡선은 파라미터 $\sigma_{n0,CTN}^{+}$를 증가시킬 때 보다 더 많이 증가하게 된다. 따라서, TOX 결함과 관련된 파라미터들을 변화시킴으로써 낮은 쓰기 전압 영역에서 최적의 피팅을 할 수 있게 된다.



(a)



(b)

그림 3.7. 파라미터 E_t를 변화시키며, (a) 단일 펄스 쓰기로 얻어진 E/C ratio, (b)

ISPP 결과.

그림 3.7(a)는 방출 속도 (식 (2.5)의 우변의 두번째 항)와 포획 속도 (식 (2.5)의 우변의 첫번째 항) 간의 비율을 나타내는 E/C ratio 를 보여준다. CTN 의 acceptor-like 트랩에서의 결과이며, 단일 펄스 쓰기 동작에서의 결과이다. 파라미터 E_t 는 CTN 으로부터의 방출 속도와 직접적으로 연관되어 있는데, 이는 더 얕은 트랩일수록 퓨어 터널링 거리가 더 짧아지고 그에 따라 방출 속도가 더 증가하기 때문이다. 파라미터 E_t 가 최소일 때 (빨간색 선), 방출 속도는 포획 속도와 비슷해지게 된다. V_{PGM} 이 최소이고 E_t 가 최대일 때 (파란색 선), 방출 속도는 거의 무시할 만 하다. 그림 3.7(b)는 파라미터 E_t를 변화시킬 때에 연장된 V_{PGM} 에서 ISPP 모델 결과를 보여준다. 파라미터 E_t 가 감소할수록, V_{PGM} 이 증가함에 따라 방출 속도는 더욱 증가하게 되며, ISPP 곡선의 변곡점은 더 낮은 V_{PGM} 에서 발생하게 된다. 따라서, 파라미터 E_t 는 높은 쓰기 전압 영역에서 주요한 역할을 하는 것을 알 수 있으며, E_t 을 피팅함으로써 높은 쓰기 전압 영역에서 최적의 피팅 기울기를 얻을 수 있을 것이다. 그림 3.7(b)에서는 [10]에서 사용된 파라미터 값이 적용된 모델 결과 (E_t = 1.5 eV, 점선으로 표시)가 비교되어 있다.

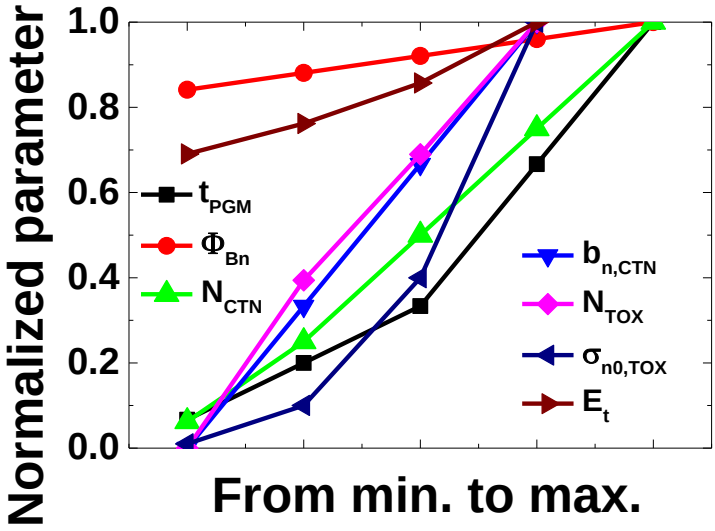


그림 3.8. 그림 3.3 에서 3.7 사이에 사용된 파라미터 값들의 정규화된 비교. 사용된 최대 값을 1 로 보았을 때 다른 값들을 비교하였다.

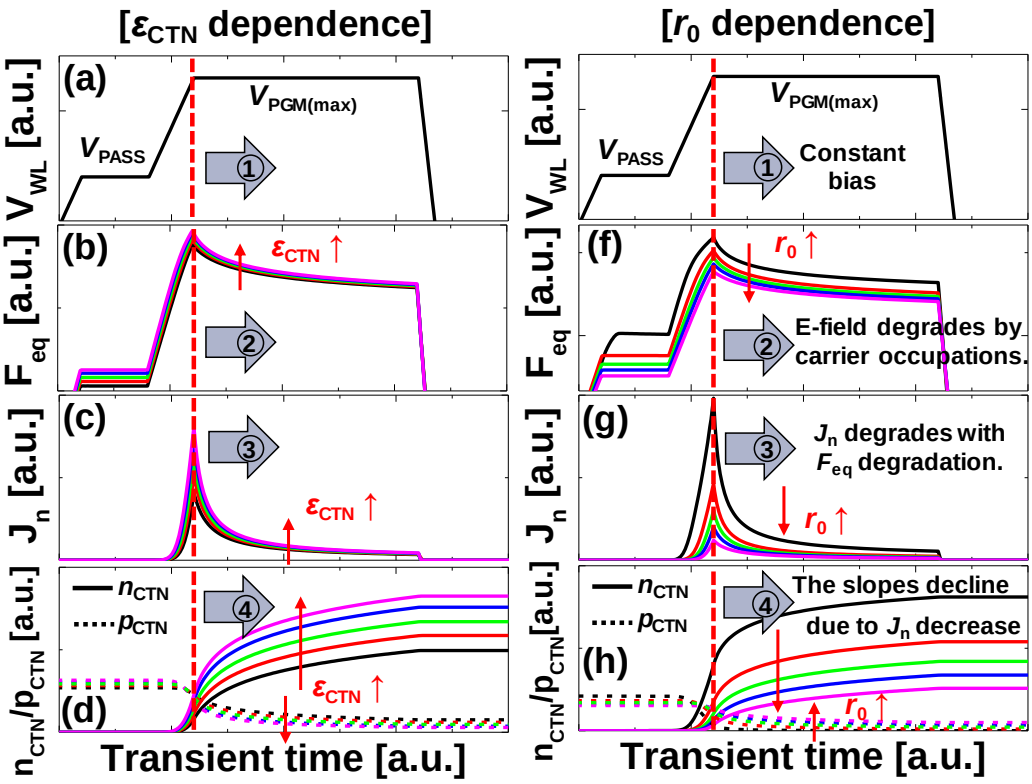
Group	Symbol	Physical meaning	Unit
1. Electron trapping into CTN	N_{CTN}	Total trap density of acceptor-like trap in CTN	cm^{-3}
	$\sigma_{n0,CTN}^{0}$	Electron capture cross section for acceptor-like CTN trap	cm^2
	$\sigma_{n0,CTN}^{+}$	Electron capture cross section for donor-like CTN trap	cm^2
	$b_{n,CTN}$	$\sigma_{n,CTN}$ dependency on E-field	cm/V
2. Electron trapping into TOX	N_{TOX}	Total trap density of TOX defect	cm^{-2}
	$\sigma_{n0,TOX}^{+}$	Electron capture cross section for TOX defect	cm^2
	$b_{n,TOX}$	$\sigma_{n,TOX}$ dependency on E-field	cm/V
3. Electron emission from CTN	E_t	Trap level from conduction band in CTN	eV

표 3.1. ISPP 컴팩트 모델에 사용된 피팅 파라미터의 구분 및 물리적인 의미.

그림 3.8 에서는 그림 3.3 에서 3.7 사이에 사용된 모델 파라미터들의 값을 비교하였으며, 사용된 값들 중 가장 큰 값을 1 로 하였을 때 나머지 값들을 그에 대한 비율로 나타내었다. 비록 모델 결과들은 arbitrary unit 으로 나타나있지만, 사용된 파라미터 값들을 대략적으로 비교할 수 있도록 하였다.

또한 표 3.1 에서는 ISPP 컴팩트 모델에서 사용된 피팅 파라미터들을 구분지어서 요약하였다. 총 3 가지 그룹으로 구분하였으며, 각각 CTN 으로의 전자 포

획, TOX 로의 전자 포획, 그리고 CTN 으로부터 전자 방출에 해당한다. 첫번째 그룹인 CTN 으로 포획되는 전자는 트랩되는 캐리어의 대다수를 차지하며, 전체적인 쓰기 전압 영역에서의 ISPP 곡선의 형태 및 기울기에 영향을 준다. 두번째 그룹은 TOX 로의 전자 포획과 관련된 것인데, 낮은 쓰기 전압 영역대의 곡선 형태에 영향을 준다. 측정 데이터와 TOX 로의 포획을 고려하지 않은 모델 결과 간의 차이 (그림 3.3 참고)를 이용하여 두번째 그룹에 해당하는 파라미터들의 값을 결정하였다. 마지막으로, 세번째 그룹은 CTN 으로부터 전자 방출과 관련되며, 파라미터 E_t 가 주로 높은 쓰기 전압 영역대의 ISPP 곡선의 변곡점의 위치를 결정하게 된다.



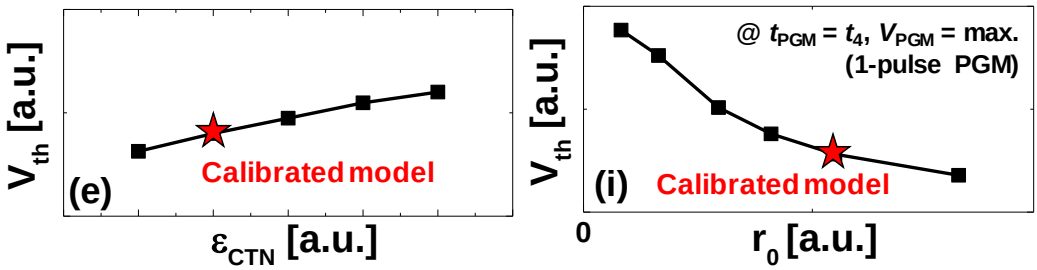


그림 3.9. (a) 단일 펄스 쓰기의 전압 모양. CTN 의 유전율 ε_{CTN} 의 변화에 따른 (b) F_{eq}, (c) J_n, (d) n_{CTN} 과 p_{CTN}, 그리고 (e) 문턱 전압의 변화. 마찬가지로, 파라미터 r_0 의 변화에 따른 (f) F_{eq}, (g) J_n, (h) n_{CTN} 과 p_{CTN}, 그리고 (i) 문턱 전압의 변화.

그림 3.9 는 ε_{CTN} 및 r_0 를 변화시킬 때에 단일 펄스 쓰기 동작의 모델 결과를 예측한다. 그림 3.9(b) 부터 3.9(e) 까지는 ε_{CTN} 에 해당하며, 그림 3.9(f) 부터 3.9(h) 까지는 r_0 에 해당한다. ε_{CTN} 가 증가할 때에, F_{eq}, J_n, 그리고 캐리어 포획이 증가하여 결과적으로 문턱 전압이 증가하게 된다. 또한 극한으로 얇은 채널에서는 (그림 3.9(i)의 가장 작은 r_0), 매우 높은 수직 전기장으로 인하여 문턱 전압이 변곡점을 보이며, 이것은 하나의 쓰기 펄스만으로 트랩이 거의 차게 되는 것을 나타낸다. 별표는 앞서 추출된 피팅 파라미터의 값을 사용한 결과이며, 그림 3.9 의 결과는 우리의 모델이 CTN 물질 특성 변화 및 채널 축소화에 대한 예측에도 적용될 수 있음을 나타낸다.

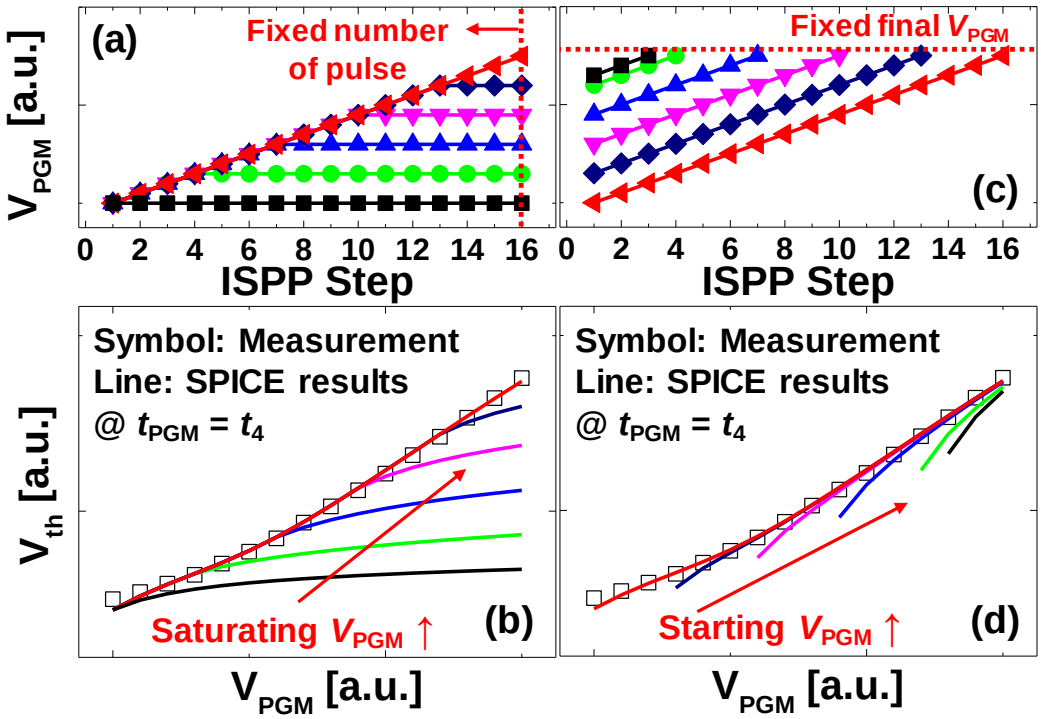


그림 3.10. (a) 포화되는 스텝-펄스 모양과 (b) 그에 따른 ISPP 모델 결과. (c) 증가하는 초기 쓰기 전압 모양과 (d) 그에 따른 ISPP 모델 결과.

그림 3.10 은 다양한 쓰기 전압 조건에 따른 ISPP 모델 결과를 나타낸다. 그림 3.10(a)는 특정 지점에서 포화되는 스텝-펄스 모양을 나타내며 그림 3.10(b)는 그에 따른 ISPP 모델 결과를 나타낸다. 비록 V_{PGM} 이 포화됨에도 불구하고 문턱 전압은 감소된 기울기를 가지고 여전히 증가함을 알 수 있다. 이것은 펄스 증가분이 감소하는 것과 비슷한 효과를 보이며, 만약 타겟 문턱 전압에 도달하기 전에 V_{PGM} 의 포화 지점을 컨트롤 할 수 있다면, 타겟 문턱 전압에 더 가까운 문턱 전압을 얻을 수 있을 것이다. 그림 3.10(c)는 쓰기 시작 전압이 변화하는 ISPP 전압 모양을 나타내며, 그림 3.10(d)는 그에 따른 ISPP 모델 결과를 나타낸다. ISPP 모델 결과는 쓰기 시작 전압에 관계 없이 ISPP 곡선은 일반적인 곡선을 따라가는 경향을 나타내며, 이러한 경향은 [24]의 결과와 비슷

하다. 이러한 경향으로부터, 높은 타겟 문턱 전압을 가지는 셀에 한하여 쓰기 시작 전압을 높임으로써 더 빠른 쓰기 시간을 확보할 수 있음을 제안한다.

3.4 쓰기-억제 스트링에서 모델 적용

모델을 사용한 쓰기-억제 특성을 예측함에 앞서, 측정된 전류-전압 데이터를 사용하여 DSL 과 SSL 의 전류-전압 특성을 조정하였다. 3 차원 낸드 스트링의 부스팅된 채널 포텐셜 V_{ch} 는 DSL 과 SSL 의 소자 특성에 의존하기 때문이다 [21]. 이는 그림 3.11 에 나타나있다.

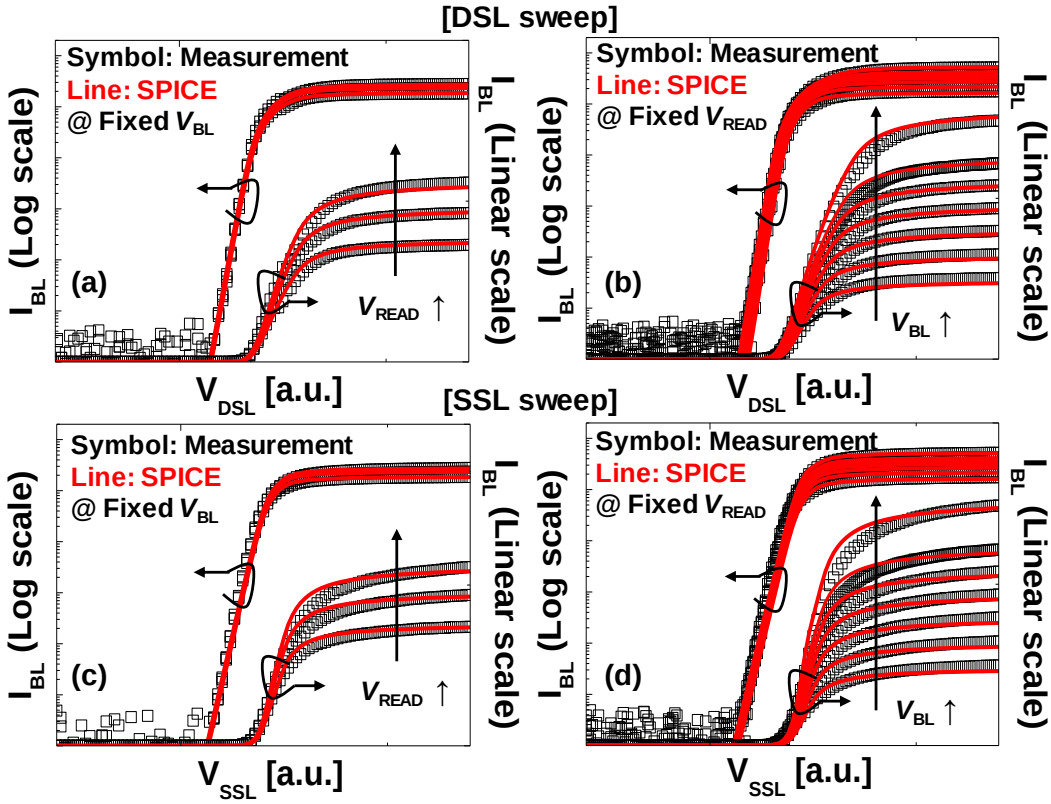


그림 3.11. (a) DSL 및 (b) SSL 에서 고정된 V_{BL} 및 다양한 V_{READ} 에 따른 비트-라인 전류 (I_{BL}) calibration. (c) DSL 및 (d) SSL 에서 고정된 V_{READ} 및 다양한 V_{BL} 에 따른 비트-라인 전류 (I_{BL}) calibration.

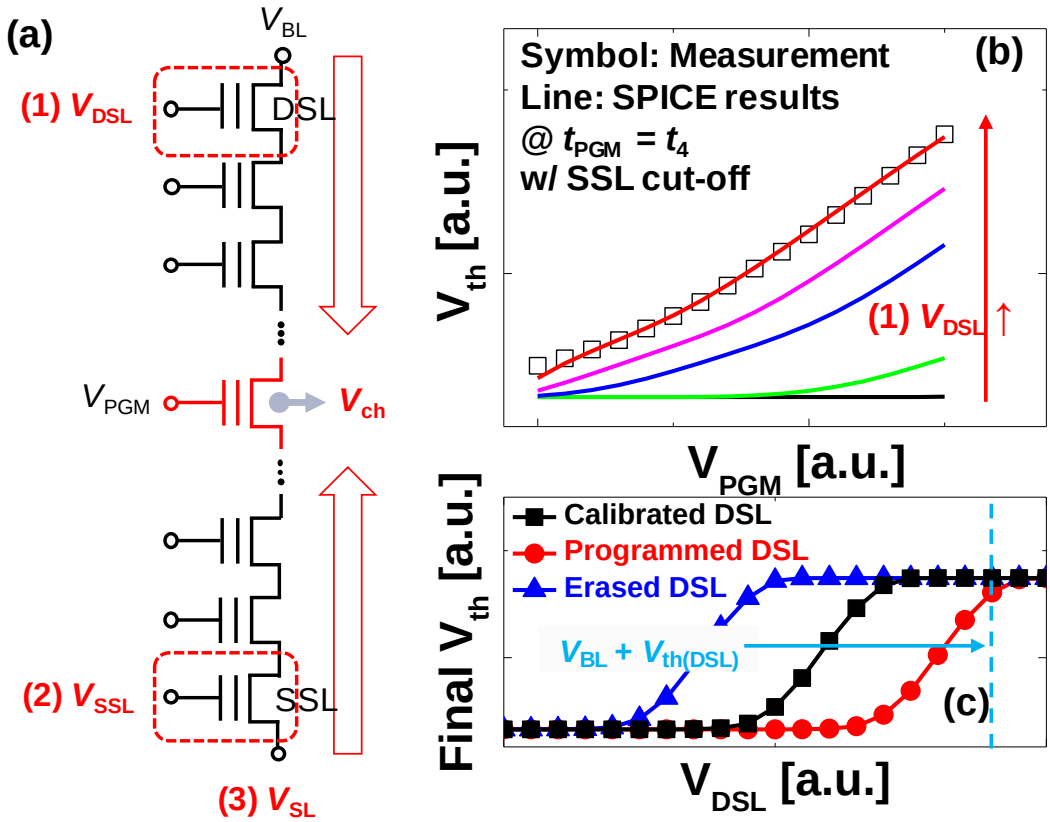


그림 3.12. (a) V_{BL} 및 V_{SL} 의 V_{ch} 로의 전이를 나타내는 등가 회로도. V_{DSL} 의변화에 따른 (b) ISPP 모델 결과 및 (c) 최종 문턱 전압.

그림 3.12(a)는 비트-라인 전압 (V_{BL}) 및 소스-라인 전압 (V_{SL})의 V_{ch} 로의 전이를 묘사하는 등가 회로도를 보여준다. DSL 과 SSL 에 해당하는 트랜지스터의 스위칭 특성은 각각 V_{BL} 과 V_{SL} 의 채널 영역으로의 전이를 결정하게 되며, 타겟 셀의 V_{ch} 에 영향을 준다. 셀 모델에서의 V_{ch} 는 드레인 전압과 소스 전압의 평균 값으로 결정하였다 [42]. 그림 3.12(b)는 SSL 이 차단된 상태에서 V_{DSL} 에 따른 ISPP 모델 결과를 보여준다. V_{DSL} 이 매우 낮을 때에는, DSL 은 거의 off 상태가 되며 채널이 BL 과 SL 모두로부터 고립되기 때문에 문턱 전압의 변화

는 거의 없다 (검정색 선). V_{DSL} 이 증가함에 따라, ISPP 곡선은 서서히 증가하게 되며 V_{DSL} 이 충분히 클 때에 마침내 모델 결과는 측정 데이터에 맞게 된다 (빨간색 선). 그림 3.12(c)는 V_{DSL} 에 따른 ISPP 모델의 최종적인 (ISPP 끝난 후) 문턱 전압을 나타낸다. 그림 3.11 에서 피팅된 (calibrated) DSL 로부터, 또한 쓰기/소거된 DSL 을 가정하였다. 3.12(c)의 결과는 최종 문턱 전압 곡선이 양 또는 음의 방향으로 평행이동 하는 것으로 나타나는데, 이는 DSL 에 포획된 전자 또는 정공이 각각 DSL 켜짐을 방해하거나 또는 도움을 주기 때문이다.

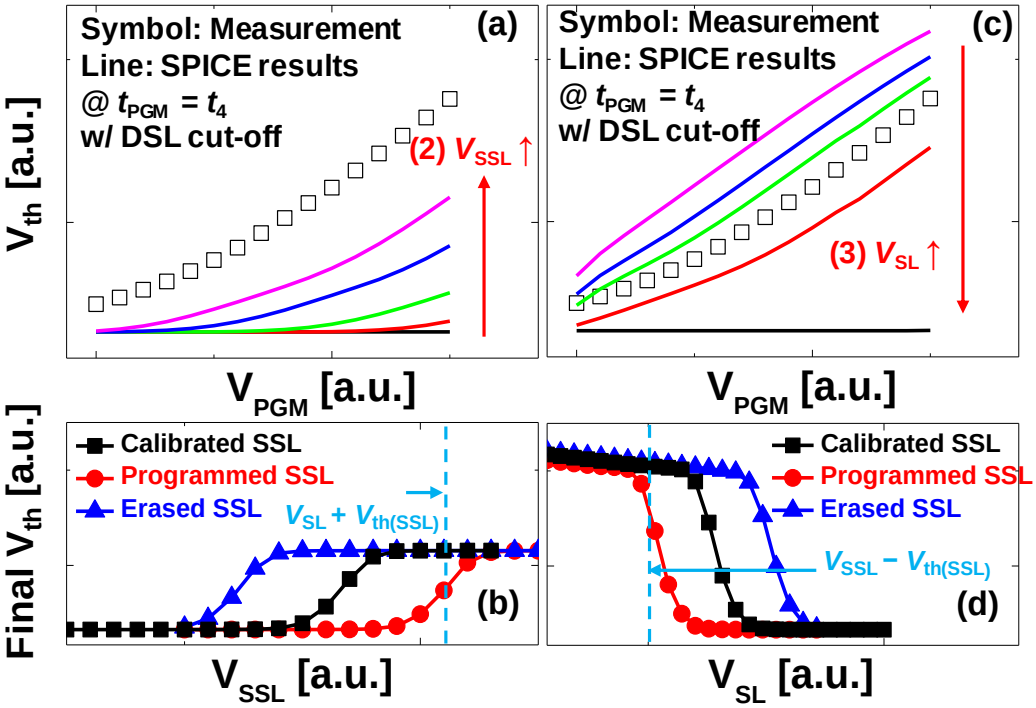


그림 3.13. V_{SSL} 에 따른 (a) ISPP 모델 결과 및 (b) 최종 문턱 전압. V_{SL} 의 변화에 따른 (c) ISPP 모델 결과 및 (d) 최종 문턱 전압.

그림 3.13(a)와 3.13(b)는 DSL 이 차단된 상태에서 V_{SSL} 에 따른 ISPP 모델 결과를 나타낸다. 경향은 그림 3.12(b)와 3.12(c)에서와 비슷하지만, 최종 문턱 전

압이 포화되는 값이 차이가 있다. SSL 이 완전히 켜져있을 때 V_{ch} 는 V_{SL} 에 의존하게 되며 V_{SL} 은 3.12(b)와 3.12(c)에서의 V_{BL} 보다 더 크다. 따라서 포화되는 값이 더 낮아진다. 그림 3.13(c)와 3.13(d)는 DSL 이 차단된 상태에서 V_{SL} 에 따른 ISPP 모델 결과를 보여준다. 이전의 V_{DSL} 및 V_{SSL} 에 따른 결과와는 달리, ISPP 곡선은 감소하는 V_{SL} 에 따라 포화되지 않고 계속 증가하는데, 이는 V_{SL} 가 V_{ch} 에 직접적으로 커플링 되어있기 때문이다. 그림 3.13(d)에서와 같이, 감소하는 V_{SL} 에 따라 최종 문턱 전압이 가파르게 증가한 뒤에 (SSL 켜지는 것에 영향), 완만한 기울기를 가지며 여전히 증가하게 된다 (V_{ch} 감소에 의한 영향).

3.5 요　약

제 3 장에서는, 정립된 쓰기 동작의 컴팩트 모델을 이용하여 다양한 파라미터 변화에 따른 ISPP 결과를 예측하였다. 첫 번째로 트랩 특성과 관련한 다양한 피팅 파라미터의 변화에 따른 ISPP 결과를 확인하였다. 피팅 파라미터들을 크게 3 가지 그룹으로 나눔으로써 전반적인 ISPP 곡선의 기울기, 낮은 전압 영역에서의 ISPP 곡선 기울기, 높은 전압 영역에의 ISPP 곡선 기울기에 영향을 주는 파라미터들을 분류함으로써 모델 적용을 더욱 용이하게 하였다. 본 논문에서의 모델과 [10]의 모델의 차이는, 본 논문에서는 ISPP 데이터로부터 파라미터를 추출하였다는 점이며 TOX 결함의 영향을 고려하였다는 것이다. 현재 대부분의 3 차원 낸드 플래세 메모리는 ISPP 를 사용하여 쓰기 동작을 진행하며, 또한 의도치 않게 TOX 에는 결함이 존재한다는 점에서, 본 논문에 소개된 컴팩트 모델은 3 차원 낸드 플래시의 효율적인 시뮬레이션을 위한 방법론을 제시할 것이다. 두 번째로 다양한 쓰기 전압 펄스 형태에 따른 ISPP 모델 결과를 확인하였다. 이것으로부터 더욱 정밀한 ISPP 방법 및 쓰기 시간을 절약하는 ISPP 방법에 대하여 제안하였다. 마지막으로 쓰기-억제 상황에서 다양한

전압 인가 방식에 따라 모델을 적용하였으며, 본 논문의 모델이 더 큰 규모의 회로 시뮬레이션에서 또한 실용성이 있음을 제안한다.

제 4 장 스플릿-게이트 구조의 낸드 플래시 메모리

4.1 개 요

제 4 장에서는, 스플릿-게이트 구조의 낸드 플래시 메모리에 대한 ISPP 특성 분석 및 그에 따른 셀 사이 간섭 현상의 변화에 대해 분석한다. 낸드 플래시 메모리 기술은 비트 밀도를 증가시키는 방향으로 꾸준히 발전해오고 있으며, 대표적으로 셀 면적 축소화, 다중 레벨 셀 기술, 그리고 3 차원 적층 기술 등이 사용되어 왔다. 이러한 방법들은 비트 밀도를 효과적으로 증가시켰지만, 반대로 셀 문턱 전압의 산포를 키우거나 셀 사이 간섭 효과를 증가시키는 부작용 또한 존재하였다 [14]－[16]. 이러한 문제의 해결책으로써 최근 스플릿-게이트 기술이 소개되었는데, 이는 기존에 하나의 메모리 홀이 하나의 비트-라인 스트링이 되는 것이 아닌 2 개의 스트링으로 이용하는 기술이다. 스플릿-게이트 낸드 플래시 소자는 단점이 하나 존재 하는데, 기존의 원통형 구조에 비해 ISPP 효율이 낮아서 쓰기 동작 시간이 증가한다는 점이다. 이전 연구 결과들은 이러한 단점을 해결하기 위해서 국부적인 전자 주입을 이용하기도 하였지만 [12], [13], 비트 밀도에 큰 영향을 미치는 게이트 간 거리 (D_{WL})에 따른 메모리 특성은 아직 연구된 바가 없다.

따라서 본 논문에서는, 스플릿-게이트 구조의 낸드 플래시 메모리에서 D_{WL}의 변화에 따른 다양한 메모리 특성을 분석한다. 타겟 셀의 ISPP 동작에 따른 문턱 전압 이하 스윙의 변화를 분석함으로써 D_{WL} 의 증가에 따른 ISPP 효율 감소를 설명한다. 또한, 3 차원 낸드 플래시 메모리의 대표적인 간섭 현상 중 하나인 Z-간섭 뿐만 아니라, 스플릿-게이트 구조에서 새롭게 발견되는 전방-후방 셀 사이의 간섭을 의미하는 사이드-셀 간섭 효과에 대하여 분석한다. 이를 통하여 효과적인 스플릿-게이트 소자 설계에 대하여 제안하고 향후 낸드 플래

시 메모리의 축소화 방향에 대하여 제시한다.

4.2 소자 구조 및 시뮬레이션 모델

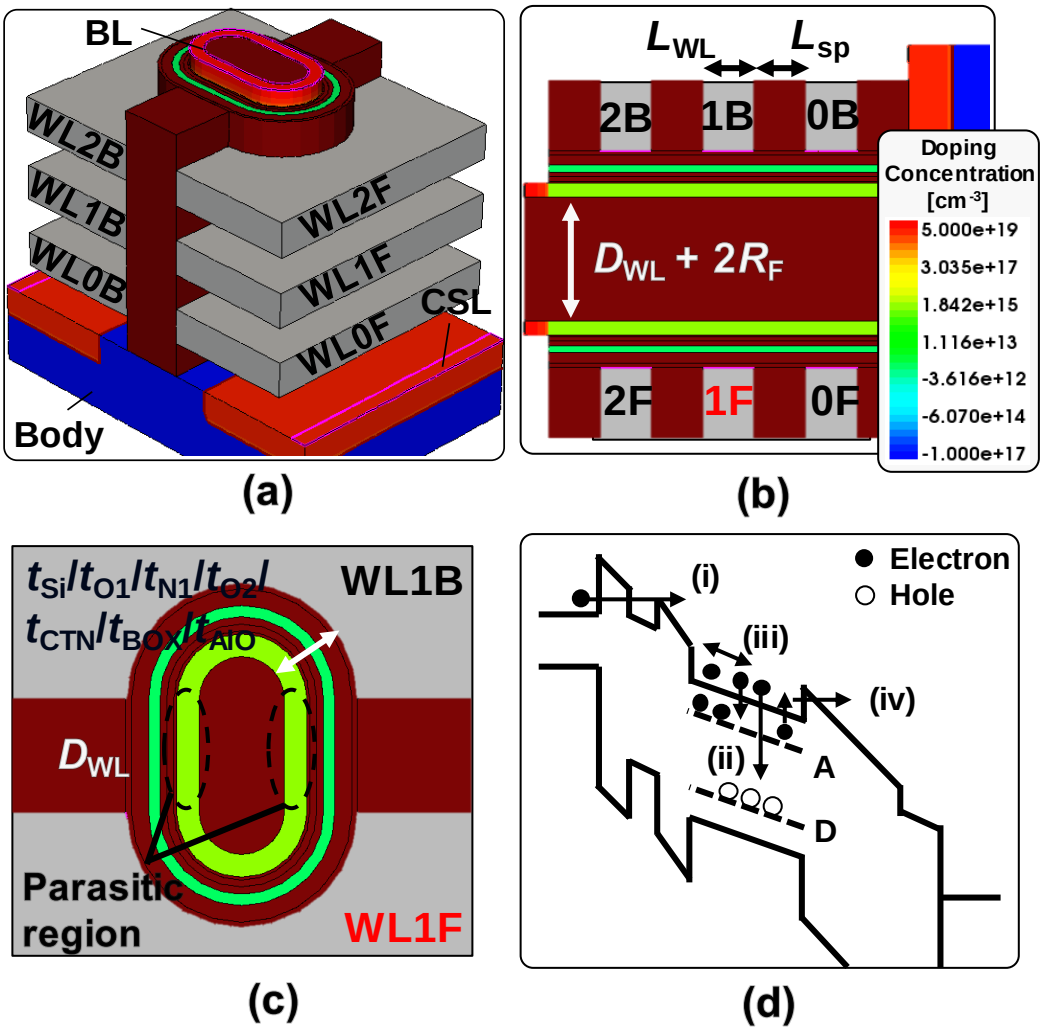


그림 4.1. (a) 3 차원 스플릿-게이트 낸드 플래시 메모리의 구조. (b) D_{WL} 방향으로의 단면적. (c) 채널 수직 방향으로의 단면적. (d) ISPP 상황에서의 에너지 밴드 다이어그램 및 전자의 거동. A 와 D 는 각각 acceptor-like 트랩과 donor-like 트랩을 나타낸다.

Symbol	Physical meaning	Value
R_F	Radius of the oxide filler at the semicircular side	15 nm
t_{Si}	Silicon channel thickness	8 nm
$t_{O1}/t_{N1}/t_{O2}$	BE-TOX thickness	1.0/2.5/2.5 nm
t_{CTN}	Charge-trap nitride (CTN) thickness	4 nm
t_{BOX}/t_{AlO}	Blocking and Aluminum oxide (BOX/AlO) thickness	6.0/2.0 nm
L_{WL}	Word-line length	22 nm
L_{sp}	Spacer length	22 nm

표 4.1. 본 논문에서 시뮬레이션 하는 소자에 대한 면적 파라미터 요약.

그림 4.1(a)는 본 연구에서의 3 차원 스플릿-게이트 낸드 플래시 메모리의 구조를 나타낸다. 이 구조는 비트-라인, 커먼 소스-라인, 바디, 그리고 총 6 개의 나뉘어진 워드-라인을 포함한다. 워드-라인은 silicon monoxide 절연체로 D_{WL} 의 거리만큼 나뉘어져 있다. 본 연구에서 파라미터 D_{WL} 으로 다양한 값이 사용 될 것이다. 그림 4.1(b)는 D_{WL} 방향으로의 단면적을 나타낸다. 각각의 워드-라인은 WLNX 로 지어지며, N 은 맨 아랫단 워드-라인부터의 번호이며 X 는 전방 (forward, F) 또는 후방 (backward, B) 둘 중 하나이다. 예를 들면 WL1F 는 전방에서 맨 아랫단부터 2 번째에 해당하는 워드-라인이며, 본 연구에서의 타겟 셀이다. 파라미터 R_F 는 산화물 필러의 반원 부분의 반지름을 나타내며, L_{WL} 과 L_{sp} 는 각각 워드-라인과 스페이서 영역의 길이를 나타낸다. 그림 4.1(c)는 채널 수직 방향으로의 단면적을 나타낸다. 파라미터 t_{Si}, t_{O1}, t_{N1}, t_{O2}, t_{CTN}, t_{BOX}, t_{AlO} 는 각

각 실리콘 채널, O1, N1, O2, CTN, BOX, AlO 층의 두께를 나타낸다. 특히, 워드-라인 사이의 기생 영역 (parasitic region)은 본 연구에서 중요하게 다루어질 예정이며, 기생 영역이 아닌 게이트로 둘러싸인 영역을 메인 영역 (main region)이라 부른다. 그림 4.1(d)는 쓰기 시뮬레이션 동안의 에너지 밴드 다이어그램 및 전자의 거동을 나타낸다 [43], [44]. 여기서 (i) 터널링 산화막을 통한 전자 터널링, (ii) CTN 의 acceptor-like 트랩과 donor-like 트랩으로 전자 포획, (iii) CTN 내부에서 전자 표동/확산, (iv) CTN 트랩으로부터 전자 방출 및 터널링의 효과들을 고려하였다. Acceptor-like 트랩과 donor-like 트랩의 포획 단면적은 각각 $6x10^{-15}$ cm^2, $2x10^{-14}$ cm^2 이며, 트랩 에너지 레벨은 각각 1.4 eV, 2.0 eV 로 설정 하였다 [38]. 더 많은 정보를 위해서, 표 4.1 에는 시뮬레이션에 사용되는 소자의 면적 파라미터들이 요약되어 있다. D_{WL} 의 영향에 대하여 집중적으로 분석하기 위해서 본 논문에서는 그레인 바운더리 트랩 (grain boundary trap)에 의한 효과 [14], [45] 는 무시하였다.

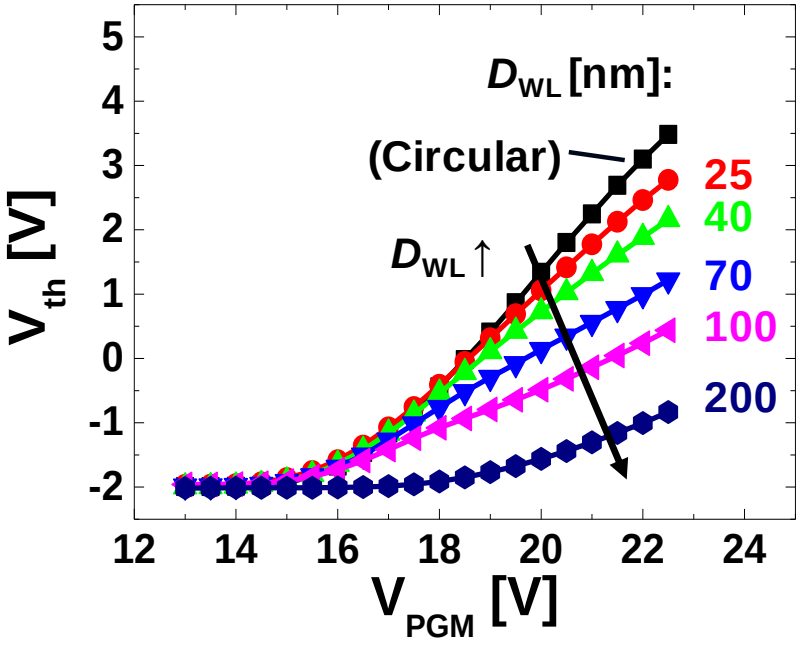
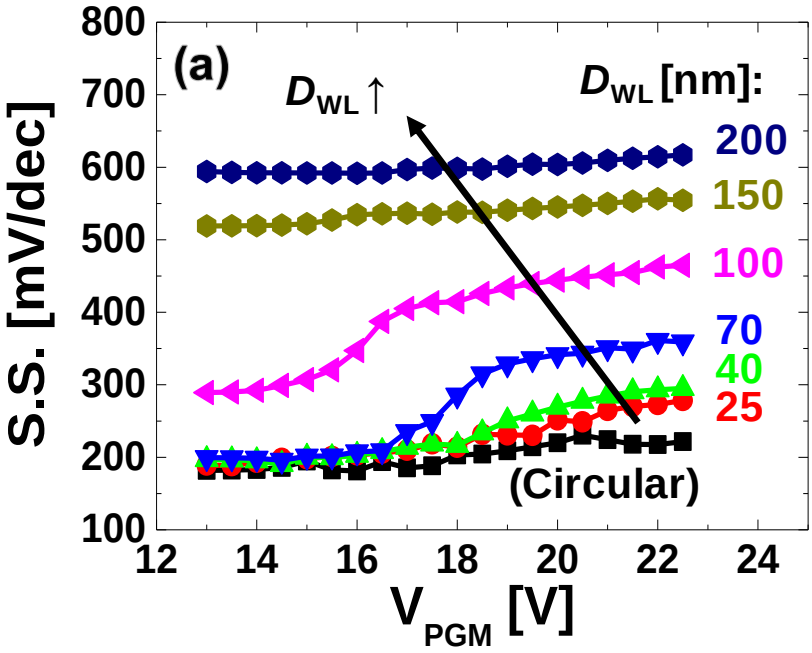


그림 4.2. 서로 다른 D_{WL}에 대한 타겟 셀의 ISPP 특성

그림 4.2 는 서로 다른 D_{WL} 에 대한 타겟 셀의 ISPP 특성을 보여준다. 13 V 부터 22.5 V 까지 대략 10 V 범위의 ISPP 특성을 분석하였다. 쓰기 전압 펄스의 증가량은 한 스텝 당 0.5 V 이며, 전체적으로 20 개의 쓰기 펄스가 인가된다. ISPP 동작 이전에는, D_{WL} 에 상관 없이 모든 소자의 초기 문턱 전압은 -2 V 로 맞추어져 있다. 셀의 문턱 전압은 0.1 μA 의 일정한 비트-라인 전류에서 추출된다. 읽기 동작 동안, 후방 워드-라인에는 off 전압 (V_{off})으로 -2 V 가 인가된다. D_{WL} 이 25 nm 에서 200 nm 로 변할 때에 ISPP 효율은 점차 감소한다. 이러한 결과는 이전의 연구 결과들 [12], [13] 과 일치한다.

4.3 ISPP 에 따른 문턱 전압 이하 스윙 분석



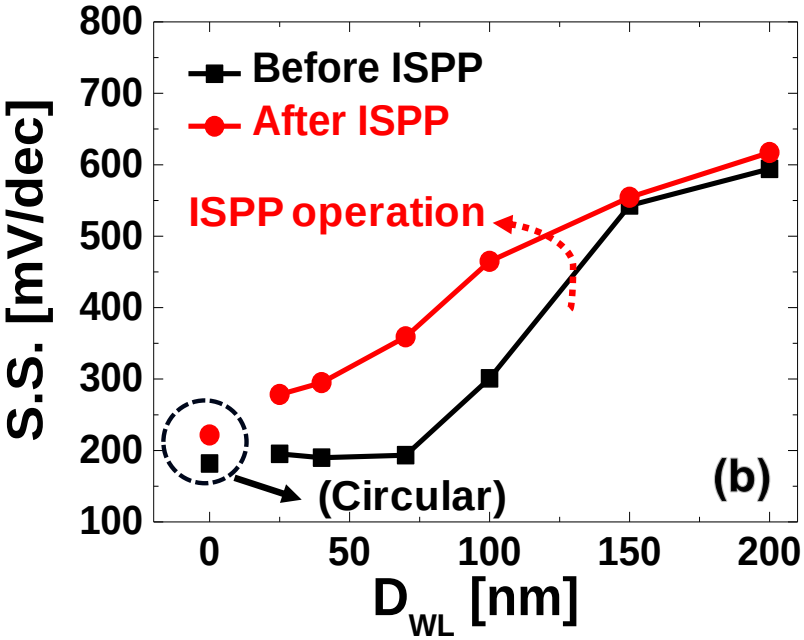


그림 4.3. (a) 다양한 D_{WL}에 대한 타겟 셀의 문턱 전압 이하 스윙 비교. (b) ISPP 동작 전 (검정색 사각형)과 후 (빨간색 원)의 문턱 전압 이하 스윙.

그림 4.3(a)는 타겟 셀 (WL1F)에서 ISPP 동작에 따른 문턱 전압 이하 스윙을 다양한 D_{WL} 에 대하여 보여준다. D_{WL} 이 25 nm 로 작을 때에는 대략 200 mV/dec 에서 300 mV/dec 사이의 값을 가지지만, D_{WL}이 200 nm로 클 때에는 약 600 mV/dec 까지 증가한다. 또한, 그림 4.3(b)에서는 D_{WL} 에 따라 ISPP 전 (검정색 사각형)과 후 (빨간색 원)의 문턱 전압 이하 스윙이 요약되어 있다. D_{WL} 이 증가할수록 초기 문턱 전압 이하 스윙은 증가하며, ISPP 동작 중에 변하는 양은 감소하는 경향을 보인다.

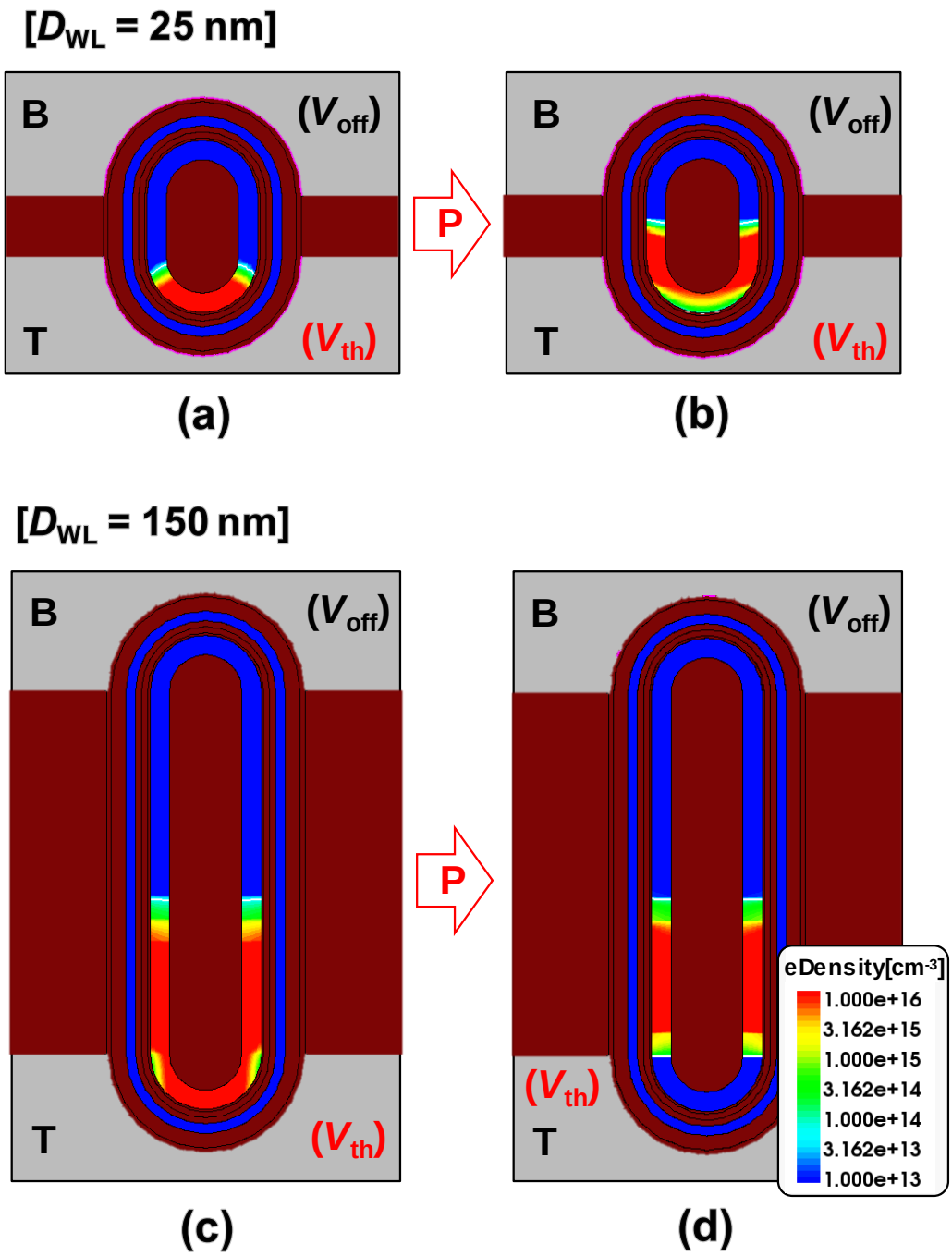


그림 4.4. D_{WL} = 25 nm 일 때에 ISPP (a) 전과 (b) 후의 채널 전자 분포. D_{WL} = 150 nm 일 때에 ISPP (c) 전과 (d) 후의 채널 전자 분포. 타겟 셀과 후방 셀은 각각

T 와 B 로 표시되어 있다.

이러한 이유는 그림 4.4 에서 설명이 되어 있다. 타겟 셀과 후방 셀은 각각 T 와 B 로 표시 되어있다. 타겟 워드-라인은 각각의 V_{th} 에 해당하는 전압이 인가되어 있다. 먼저, 그림 4.4(a)와 (b)에서는 D_{WL} = 25 nm 인 소자에서 각각 ISPP 전과 후의 채널 분포를 보여준다. ISPP 전에는 채널 전자는 주로 타겟 셀 채널의 메인 영역에 위치하고 있다. 이는 두 워드-라인 사이의 거리가 충분히 가까워서 후방 워드-라인의 V_{off} 가 소자의 기생 영역으로의 전류 통로를 차단할 수 있기 때문이다. 그러나 타겟 셀의 문턱 전압이 점차 증가하게 되면, 포획된 전자로 인하여 메인 영역의 국부적인 문턱 전압이 상승하게 되며, 이로 인해 메인 영역보다 기생 영역이 더 빠르게 반전 된다. 결국 이는 작은 D_{WL} 의 소자에서 ISPP 동작 동안 문턱 전압 이하 스윙이 크게 증가하게 한다. 그림 4.4(c)와 (d)에서는 D_{WL} = 150 nm 인 소자에서 각각 ISPP 전과 후의 채널 분포를 보여준다. 큰 D_{WL} 의 소자에서는 V_{off} 에 의한 제어가 더 약하기 때문에 ISPP 전에도 기생 영역은 문턱 전압 조건에서 이미 반전되어 있다. 이것은 큰 D_{WL} 의 소자에서 초기 문턱 전압 이하 스윙을 크게 만든다. ISPP 동작 후에, 메인 영역에 포획된 전자에 의해 전류는 주로 기생 영역으로 흐르게 된다. 초기 상태와 비교했을 때, 이러한 전류 통로 차이는 문턱 전압 이하 스윙을 거의 변화시키지 않는다.

4.4 ISPP 에 따른 셀 사이 간섭 분석

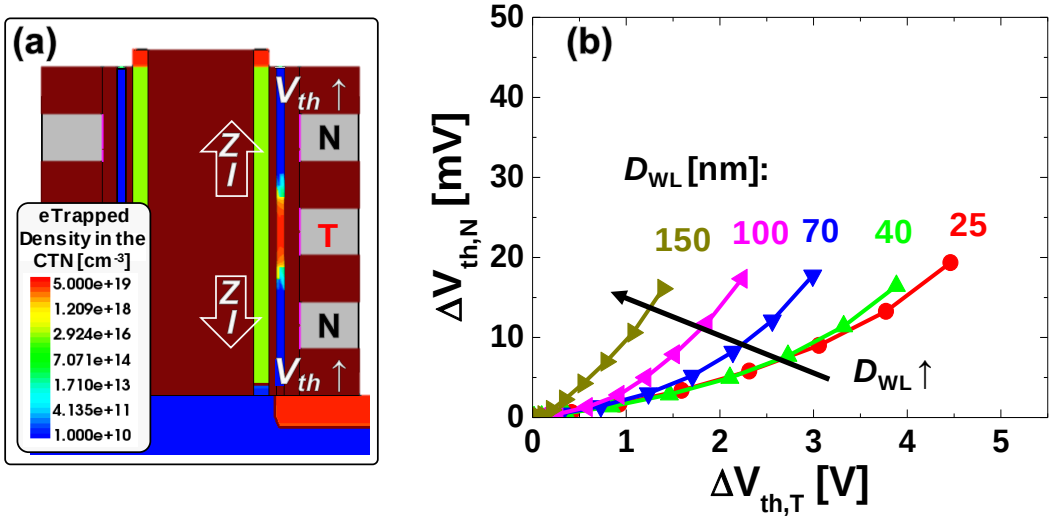


그림 4.5. (a) Z-간섭에 대한 묘사 및 간섭 방향. 이웃한 셀들은 N 으로 표시되어 있다. (b) 타겟 셀의 문턱 전압 ($V_{th,T}$)에 따른 이웃한 셀의 문턱 전압 변화 ($\Delta V_{th,N}$).

그림 4.5(a)는 Z-간섭에 대한 묘사 및 간섭 방향을 나타낸다. 타겟 셀 (T 로 표시)이 더 큰 문턱 전압으로 쓰기 동작이 이루어지면, 이웃한 셀 (N 으로 표시)의 문턱 전압 또한 T 에 저장된 전자의 영향을 받아서 증가하게 된다 [33]. 우리 소자에서는 (그림 4.1(b)) WL0F 와 WL2F 가 이웃한 셀의 워드-라인이 된다. 그림 4.5(b)에서, 타겟 셀의 문턱 전압 ($V_{th,T}$)에 따른 이웃한 셀의 문턱 전압 변화 ($\Delta V_{th,N}$)가 나타나있다. D_{WL} 이 증가할수록 Z-간섭이 명백히 증가하는 것으로 확인된다.

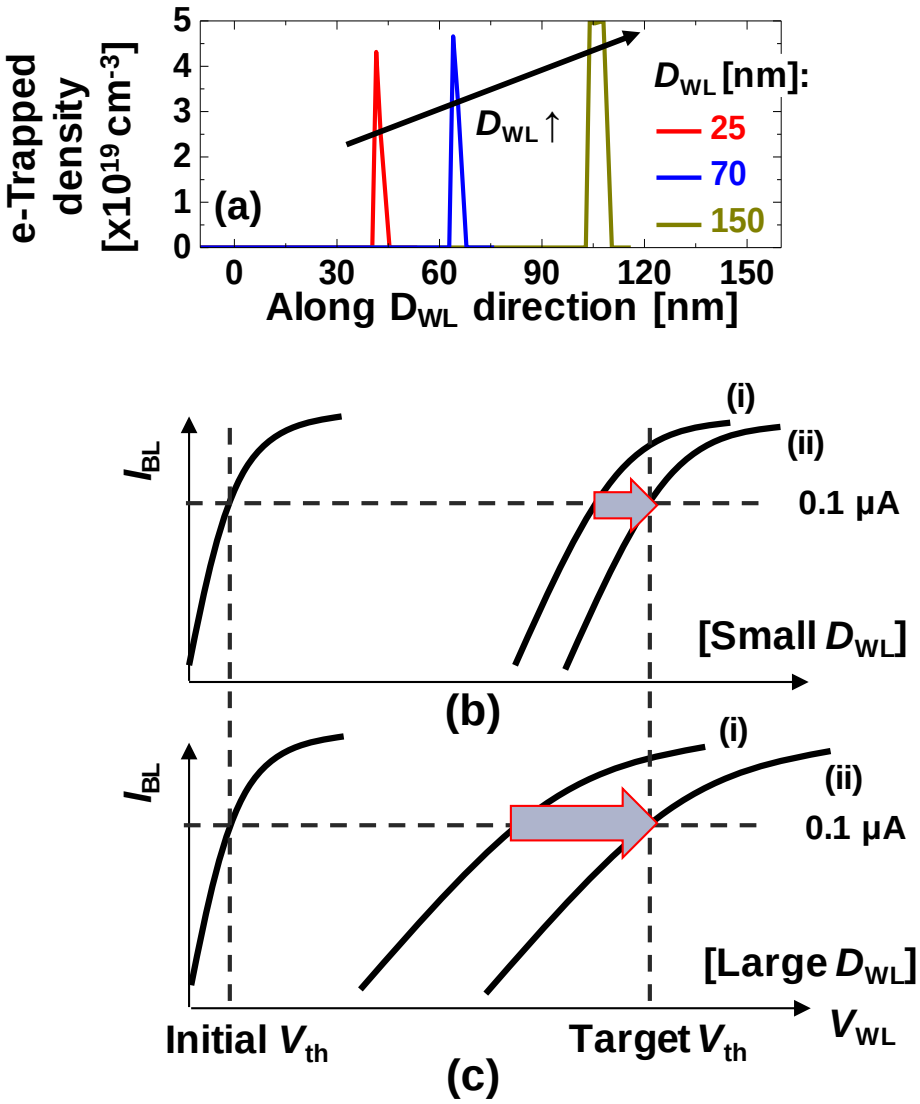


그림 4.6. (a) 다양한 D_{WL} 에 따른 포획된 전자 밀도의 분포. 워드-라인 중심에서 추출되었다. (b) 작은 D_{WL} 의 소자와 (c) 큰 D_{WL} 의 소자에서 (i) 같은 숫자의 쓰기 전압 펄스가 인가되었을 때에 과소평가된 문턱 전압 및 (ii) 더 많은 쓰기 전압 펄스를 통해 문턱 전압의 차이를 보상.

그림 4.6 에서 D_{WL} 에 따라 Z-간섭의 차이가 발생하는 이유에 대하여 설명한다. 그림 4.6(a)는 다양한 D_{WL} 에 대하여 CTN 에 포획된 전자 밀도의 분포를 나

타낸 것이며, 이 때 타겟 셀의 문턱 전압은 모두 -1 V 로 같다. 분포는 워드-라인의 중심에서부터 얻어진 결과이다. 비록 각각의 셀의 문턱 전압은 모두 같지만, 워드-라인 중심에서의 포획된 전자 분포는 서로 다름을 확인할 수 있다. 이것은 앞서 언급된 ISPP 효율 감소와 관련이 있다. 일반적인 원통형 채널 구조와는 달리, 스플릿-게이트 소자에서는 채널 전류가 게이트의 영향력이 상대적으로 약한 기생 영역을 통해 흐르는 것이 가능하다. 이러한 누설 전류는 큰 D_{WL} 의 소자에서 더 우세하기 때문에, 그림 4.6(b)와 4.6(c)에서 묘사된 것과 같이 실제로 포획된 전자의 양에 비해 문턱 전압이 과소평가될 수 있다. 그림 4.6(b)와 4.6(c)에서, 두 개의 전류-전압 곡선 (i)는 같은 개수의 쓰기 전압 펄스가 인가되고 난 후의 전류-전압 곡선을 나타내며, 두 경우는 포획된 전자의 양이 거의 같다. 큰 D_{WL} 의 소자일수록 더 안좋은 문턱 전압 이하 특성으로 인하여 문턱 전압이 과소평가 되기 때문에, 같은 타겟 문턱 전압에 도달하기 위해서는 더 많은 쓰기 전압 펄스를 통해 더 많은 양의 전자가 저장되어야 한다 (그림 4.6(b)와 4.6(c)의 곡선 (ii)). 결과적으로, 같은 문턱 전압을 가정했을 때 D_{WL} 이 클수록 실제 저장된 전자의 수가 더 많고, 이웃한 셀에 미치는 Z-간섭의 영향이 더 크게 된다.

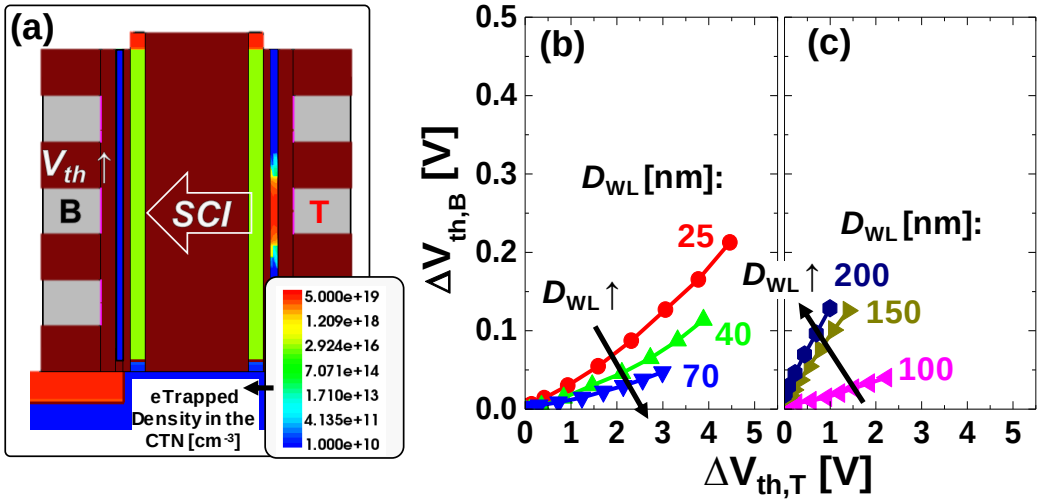


그림 4.7. (a) 사이드-셀 간섭에 대한 묘사 및 간섭 방향. 후방 셀들은 B 로 표시되어 있다. (b) 작은 D_{WL} 의 소자와 (c) 큰 D_{WL} 의 소자에서 타겟 셀의 문턱 전압 ($V_{th,T}$) 에 따른 후방 셀의 문턱 전압 변화 ($\Delta V_{th,B}$).

그림 4.7(a)는 사이드-셀 간섭에 대한 묘사 및 간섭 방향을 나타낸다. 이웃한 셀에서와 비슷하게, 타겟 셀 (T 로 표시)이 더 큰 문턱 전압으로 쓰기 동작이 이루어질 때 후방 셀 (B 로 표시)의 문턱 전압 또한 증가하는 것을 확인하였다. WL1B 가 후방 셀이 된다. 그림 4.7(b)와 4.7(c)는 각각 작은 D_{WL} 의 소자와 큰 D_{WL} 의 소자에서 타겟 셀의 문턱 전압 ($V_{th,T}$)에 따른 후방 셀의 문턱 전압의 변화 ($\Delta V_{th,B}$)를 보여준다. 모든 D_{WL} 의 경우에 대해, 사이드-셀 간섭의 양은 Z-간섭의 양보다 더 큰 것으로 나타난다. 또한, 사이드-셀 간섭의 경향성은 Z-간섭의 경향성과는 다르게 나타난다. D_{WL} 이 25 nm 에서 70 nm 로 증가할 때에 사이드-셀 간섭의 영향은 감소하지만, D_{WL} 이 100 nm 보다 더 증가하면 사이드-셀 간섭의 영향이 오히려 증가한다. 일반적으로 두 전기적 노드 사이의 거리가 증가하면 노드 사이의 커패시티브 커플링 효과는 감소한다는 것을 고려할 때, 이러한 결과는 익숙하지 않다.

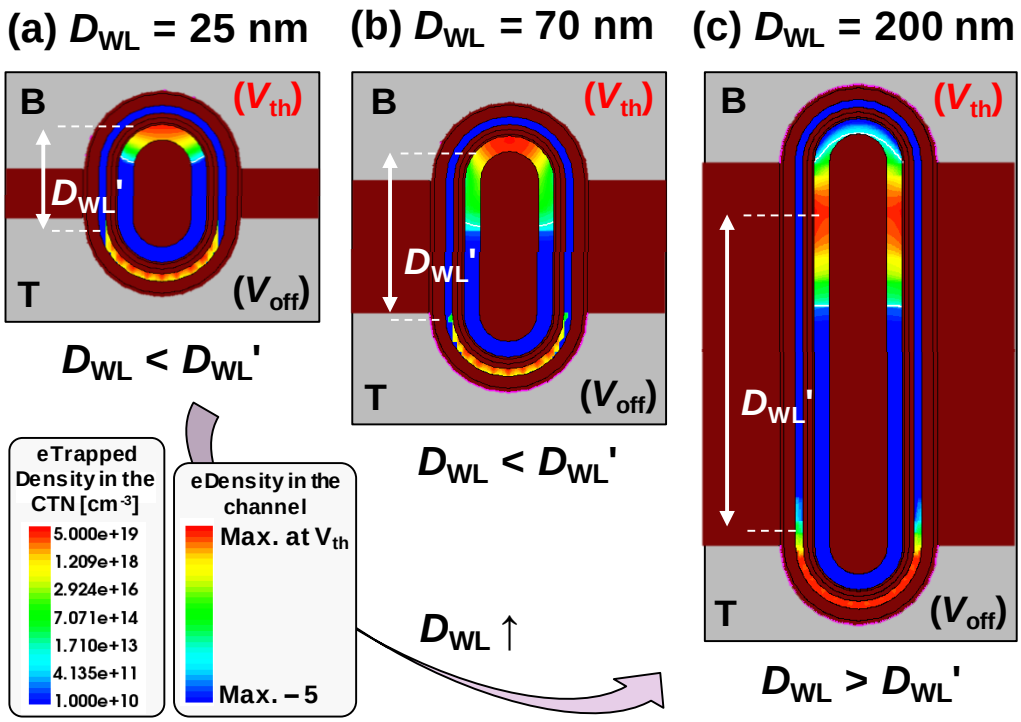


그림 4.8. (a) D_{WL} = 25 nm, (b) D_{WL} = 70 nm, 그리고 (c) D_{WL} = 200 nm 일 때에 타겟 셀에서의 트랩된 전자의 분포와 후방 셀에서의 채널 전자 분포. D_{WL}'은 두 셀 사이의 실질적인 커플링 거리를 나타낸다.

그림 4.8 은 타겟 셀에서의 트랩된 전자 및 후방 셀에서의 채널 전자의 분포를 보여준다. 이 그림은 또한 D_{WL} 에 따라 변화하는 D_{WL}'을 보여준다. D_{WL}'의 기준은 타겟 셀의 트랩된 전자와 후방 셀의 채널 전자 사이의 유효 거리로 정하였다. 각각의 후방 셀에 해당하는 문턱 전압이 인가된 상황이며, 이 때 채널 전자 밀도의 최대값 (빨간색 부분)이 축적된 영역에서 유의미한 전류가 흐른다고 가정하였다. 그림 4.8 에서 세 가지 D_{WL} 에 대해 타겟 셀의 문턱 전압은 모두 -1 V 이다. 그림 4.8(a)에서 D_{WL} 이 25 nm 로 작을 때에, 셀의 문턱 전압이 -1 V 로 모두 같음에도 불구하고, 타겟 CTN 에 실제로 포획된 전자의 개수는 적음을 확인하였으며 (그림 4.6), 두 셀 사이 거리가 짧기 때문에 타겟 WL 의 V_{off} 가 후방 셀에 미치는 영향은 크다. 따라서 후방 셀에서의 채널 전자는 메

인 영역 중에서도 가장 내부에 위치하게 된다. 이러한 상황에서, 커플링 거리 D_{WL}'은 실제 D_{WL} 인 25 nm 보다 더 큰 것을 확인 하였다. 그림 4.8(b)에서 D_{WL} 이 70 nm 로 증가했을 때, 타겟 CTN 에 포획된 전자는 증가하며 후방 셀의 채널 전류가 메인 영역 바깥으로도 흐르기 시작한다. 이 때에 D_{WL}'은 여전히 실제 D_{WL} 인 70 nm 보다 더 큰 것을 확인할 수 있다. 마지막으로 그림 4.8(c)에서, D_{WL} 이 200 nm 로 매우 클 때에, 타겟 CTN 에 트랩된 전자의 숫자 또한 매우 크며 그것들 중 일부는 메인 영역 바깥에도 약간 포획되어 있는 것을 알 수 있다. 또한, 두 셀 사이의 거리가 멀어서 V_{off} 의 제어가 훨씬 약하기 때문에 후방 채널 전류의 상당 부분이 기생 영역으로 흐르게 된다. 결과적으로, D_{WL}'은 D_{WL} 에 비해 크게 감소한다.

타겟 셀과 후방 셀 사이의 사이드-셀 간섭은 타겟 CTN 에 저장된 전자의 숫자에 비례하고, D_{WL}'에 반비례한다고 가정할 수 있다. 앞서 확인된 바와 같이, 타겟 CTN 에 저장되는 전자의 숫자는 (셀들의 문턱 전압이 같다고 할 때) D_{WL} 에 따라 증가하는 경향을 보인다. 그러나, 그림 4.8 에서 확인된 바와 같이 D_{WL}'은 D_{WL} 이 증가하는 만큼 증가하지는 않는다. 이러한 특성은 특히 큰 D_{WL} 일수록 더 그렇다. 그러므로 D_{WL} 이 작을 때에는, D_{WL} 의 증가에 따라 저장되는 전자의 개수에 비해 두 셀 사이 커플링 거리가 증가하는 요인이 더 우세하여 사이드-셀 간섭이 감소한다. 그러나 D_{WL} 이 클 때에는, 반대로 D_{WL} 의 증가에 따라 두 셀 사이의 커플링 거리가 크게 줄어들지 않는 반면 저장되는 전자의 양은 꾸준히 증가하므로 사이드-셀 간섭이 오히려 증가한다.

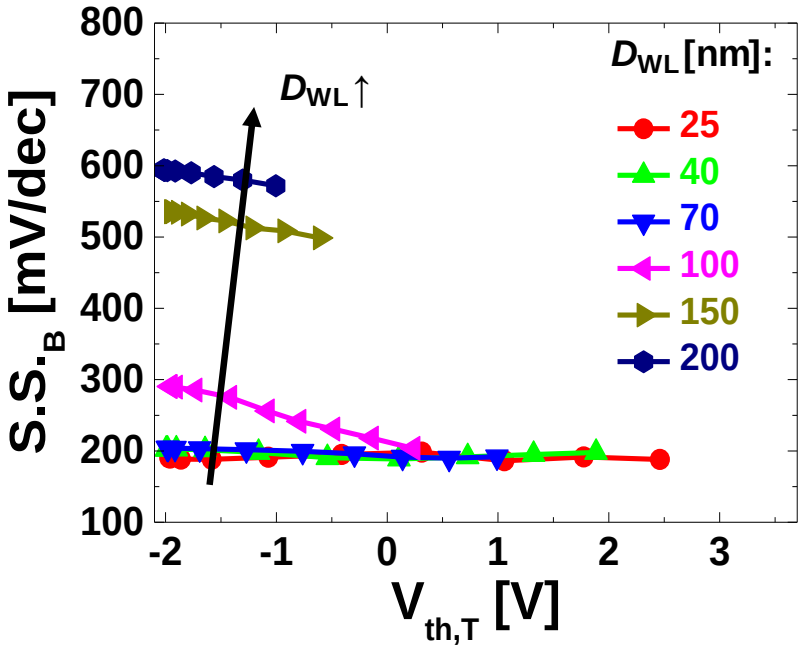
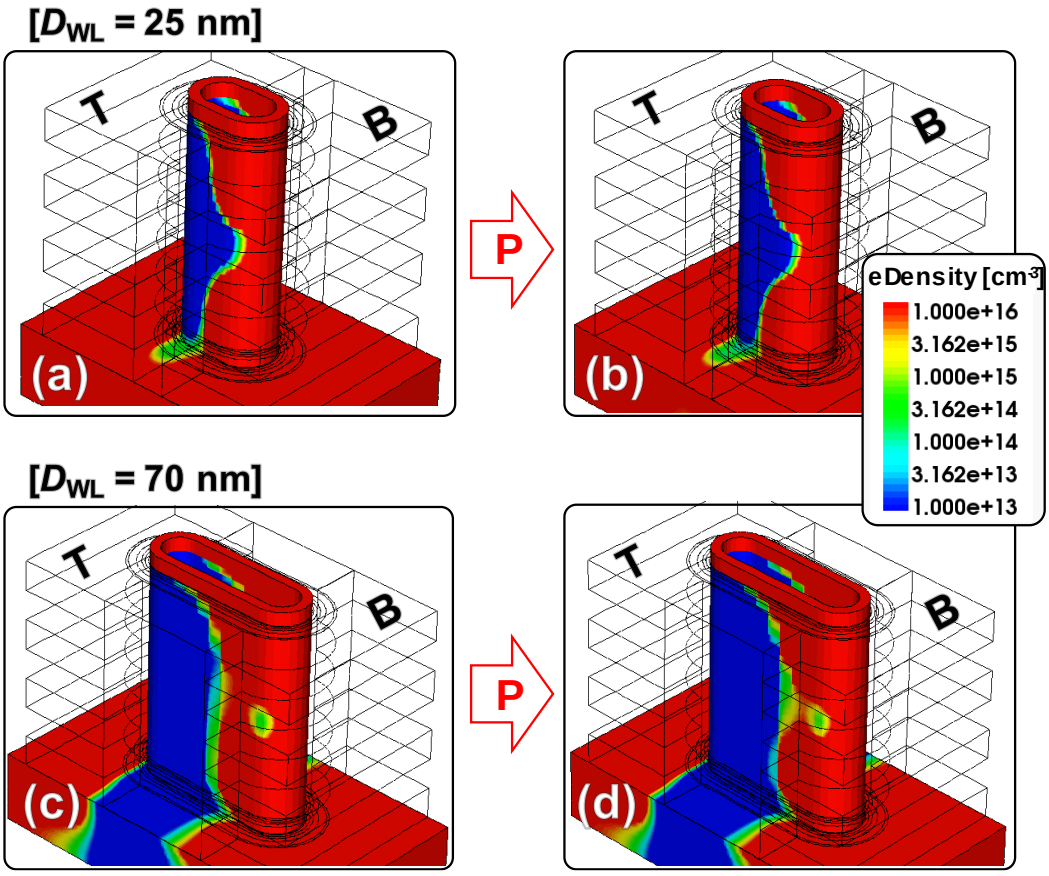


그림 4.9. 다양한 D_{WL} 에 대하여, 타겟 셀의 문턱 전압 ($V_{th,T}$)에 따른 후방 셀의 문턱 전압 이하 스윙 ($S.S._B$)의 변화.

다음으로, 사이드-셀 간섭에 의한 후방 셀의 문턱 전압 이하 스윙의 변화에 대하여 분석한다. 그림 4.9는 타겟 셀의 문턱 전압 ($V_{th,T}$)에 따른 후방 셀의 문턱 전압 이하 스윙 ($S.S._B$)을 다양한 D_{WL} 에 대하여 보여준다. D_{WL} 이 작을 때에, 초기 문턱 전압 이하 스윙은 약 200 mV/dec 이다. D_{WL} 이 증가할수록 초기 문턱 전압 이하 스윙은 점차 증가하며, D_{WL} 이 200 nm 가 되었을 때 약 600 mV/dec 정도가 된다. 이 경향은 그림 4.3 에서와 거의 같은데, 이는 양 쪽 셀이 소거 상태이며, 한 쪽 셀은 V_{off}, 다른 쪽 셀은 문턱 전압이 걸려 있는, 완벽히 대칭적인 상황이기 때문이다. 타겟 셀에 ISPP 로 점차 쓰기 동작이 이루어지면 D_{WL} 에 따라 후방 셀의 문턱 전압 이하 스윙이 변하는 경향이 달라진다. D_{WL} 이 70 nm 이하로 작을 때에는, 문턱 전압 이하 스윙이 $V_{th,T}$ 에 따라 거의 변하지 않으며 계속 200 mV/dec 정도의 값을 유지한다. D_{WL} 이 100 nm 정도의 값에

서는, 초기 문턱 전압 이하 스윙인 300 mV/dec 정도의 값에서 시작하여 $V_{th,T}$ 에 따라 충분히 감소하여 결국 200 mV/dec 정도가 된다. D_{WL} 이 매우 큰 경우, 초기 문턱 전압 이하 스윙이 클 뿐만 아니라 $V_{th,T}$ 에 따라 이 값은 크게 줄어들지 않는다. ISPP 가 끝날 때 까지 여전히 큰 (400 mV/dec 이상) 값을 유지하고 있다.



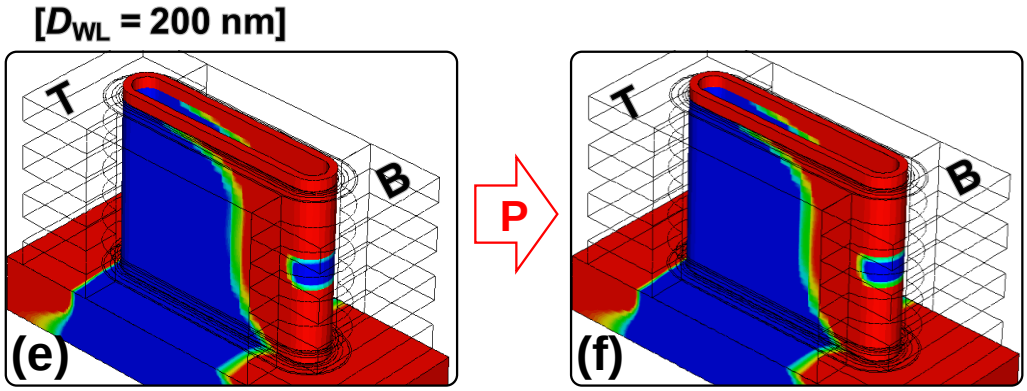


그림 4.10. D_{WL} = 25 nm 에서, 타겟 셀의 (a) ISPP 전과 (b) ISPP 후 채널 전자의 3 차원 분포. 후방 셀의 읽기 동작 상황이며 후방 워드-라인에 문턱 전압이 인가. (c)와 (d)는 D_{WL} = 70 nm, (e)와 (f)는 D_{WL} = 200 nm 에서의 시뮬레이션 결과.

그림 4.10 은 D_{WL} 에 따른 후방 셀의 문턱 전압 이하 스윙의 변화 경향에 대한 이유를 설명한다. 그림 4.10(a)와 4.10(b)는 D_{WL} = 25 nm 일 때에 각각 ISPP 전과 후의 채널 전자의 분포를 보여준다. 후방 워드-라인은 문턱 전압이 인가되어 있다. 앞서 언급하였듯이, D_{WL} 이 작을 때에는 반대 쪽 셀 (이 경우, 타겟 셀)의 V_{off} 가 기생 영역의 채널 전자를 효과적으로 억제한다. 따라서, 후방 셀의 문턱 전압 이하 스윙이 작다. 타겟 셀의 ISPP 가 끝난 후, 전자는 주로 타겟 CTN 의 메인 영역에 저장된다. 타겟 셀과 후방 셀이 충분히 가깝기 때문에, 저장된 전자들은 기생 영역의 채널 전자를 억제한다. 따라서 작은 D_{WL} 에서는, ISPP 가 끝날 때 까지 후방 셀들이 낮은 문턱 전압 이하 스윙을 유지한다. 그림 4.10(c)와 4.10(d)는 D_{WL} = 70 nm 일 때에 각각 ISPP 전과 후의 채널 전자의 분포를 보여준다. ISPP 를 하기 전에 기생 영역에서 전류 통로가 형성되는 것을 확인할 수 있다. 다행히, ISPP 이후에 타겟 CTN 에 저장되는 전자는 후방 셀의 기생 전류 통로를 크게 억제한다. 이러한 이유로, D_{WL} = 70 nm 일 때는 ISPP 이후에 후방 셀의 문턱 전압 이하 스윙이 상당히 개선된다. 마지막으로, 그림 4.10(e)와 4.10(f)는 D_{WL} = 200 nm 일 때에 각각 ISPP 전과 후의 채널 전자

의 분포를 보여준다. D_{WL}이 매우 크기 때문에 ISPP 하기 전에 기생 전류 통로가 깊이 형성되어 있다. ISPP가 끝난 후, 타겟 CTN에는 다른 D_{WL}의 경우에서와 비슷한 양의 전자가 저장되어 있다. 그러나 이 경우에는 두 셀 사이 거리가 너무 멀기 때문에 저장된 전자들이 반대 편의 기생 전류 통로를 완전히 억제 할 수가 없다. 결과적으로, ISPP가 끝난 이후에도 기생 전류 통로가 여전히 유지되며, 이것은 큰 D_{WL}에서 후방 셀의 문턱 전압 이하 스윙의 회복이 느린 결과로 이어진다.

4.6 요 약

제 4장에서는, 스플릿-게이트 구조의 낸드 플래시 메모리에서 D_{WL}의 변화에 따른 다양한 메모리 특성을 분석하였다. 다양한 D_{WL}에 대하여 ISPP 효율의 차이와 그 원인이 되는 문턱 전압 이하 스윙에 대해 분석하였다. 스플릿-게이트 구조 상의 이유로, 전방/후방 셀 사이의 기생 영역의 영향이 D_{WL}에 따라 크게 변화한다. 또한 D_{WL}이 증가할수록, 특정 문턱 전압에 도달하기 위해 필요한 전자의 양이 증가하며, 이는 D_{WL}이 증가할수록 Z-간섭이 증가하는 원인이 된다. 기존 원통형 구조의 낸드 플래시 메모리에서는 존재하지 않는 사이드-셀 간섭에 대한 분석도 진행하였다. 일반적으로 두 셀 사이의 커패시티브 커플링은 거리가 증가할수록 감소하지만, 스플릿-게이트 구조의 낸드 플래시 메모리에서는 D_{WL}이 클 때에 저장된 전자의 수가 많기 때문에 D_{WL}이 증가할수록 오히려 사이드-셀 간섭이 증가하는 경향을 확인하였다. 특히, 사이드-셀 간섭은 Z-간섭에 비해 그 영향이 더 크다. 따라서 스플릿-게이트 낸드 플래시 메모리를 설계할 때에는 사이드-셀 간섭에 의한 영향 또한 최적화가 이루어져야 한다.

제 5 장 결 론

본 논문에서는, 3 차원 전하-트랩 낸드 플래시 메모리에서 쓰기 동작에 대한 발전된 컴팩트 모델을 제안하였으며, ISPP 측정 데이터를 사용하여 제안된 모델을 검증하였다. 모델 파라미터 변화, 다양한 전압 인가 조건, 그리고 쓰기-억제 상황에서의 모델 검증 및 동작 예측을 진행하였다. 나아가, 현재 낸드 플래시 셀 축소화의 한계를 극복하고자 시도되었던 방법들 중, 스플릿-게이트 기술이 적용된 새로운 셀 구조에 대하여 분석을 진행하였다. ISPP 특성을 주로 분석하였으며, 셀 축소화에서 중요한 이슈 중 하나인 셀 사이 간섭 현상 (Z-간섭, 사이드-셀 간섭)에 대하여 심층적으로 분석하였다.

제 2 장에서는, 쓰기 동작의 컴팩트 모델링에 대한 방법론을 소개 하였다. 우선, 논문에서 이루어지는 회로 시뮬레이션의 가장 기본이 되는 단위인 셀 모델에 대한 구성을 소개 하였으며, 셀 모델의 전압 소스인 V_{FG} 가 모델링 되는 방식에 대하여 설명하였다. 쓰기 동작의 컴팩트 모델링은 결국 각각의 시간 스텝마다 변하는 소자의 문턱 전압의 값을 정확히 계산하는 것이 관건이다. 그리고 이것에 영향을 주는 요인은 시간마다 새롭게 포획되는 전하의 단위 시간당 변화율이다. 이것을 계산하기 위해서, 캐리어 주입, 포획, 그리고 방출 현상을 고려한 미분 방정식을 정의하였으며, 이 미분 방정식을 모델에 적용하였다. 마지막으로 평면 구조의 소자와 달리, 원통형 게이트 구조에 대한 정전기학은 원통 좌표계에서의 푸아송 방정식을 풀어서 얻을 수 있다. 이를 통해, 관련된 전기장의 모델을 얻었으며, 터널링 전류 밀도를 계산할 수 있다. 최종적으로, 원통형 커패시턴스의 값과 포획된 전하 밀도를 이용하여 문턱 전압 변화를 계산할 수 있다.

제 3 장에서는, 제안된 쓰기 동작 모델을 이용하여 다양한 상황에서의 ISPP 결과를 예측하였다. 제안된 모델은 3 차원 전하-트랩 낸드 플래시 메모리로부터 측정된 ISPP 의 측정 데이터를 정확히 재현하는 것을

확인하였으며, 터널링 산화막의 결함으로 포획되는 전자를 고려함으로써 모델의 정확도를 향상 시켰다. 모델 파라미터는 크게 3 가지 그룹으로 나뉘어질 수 있는데, 각각 전반적인 전압 영역, 낮은 전압 영역, 높은 전압 영역에서 주로 모델 결과를 변화시킨다. 따라서 이러한 분류는 모델 적용을 더욱 용이하게 한다. 다음으로, 다양한 쓰기 전압 펄스 형태에 따른 ISPP 모델 결과를 예측하였다. 초기 쓰기 펄스 전압을 증가시킴으로써, ISPP 시간을 절약하는 방법을 제안하였다. 마지막으로 쓰기-억제 상황에서 다양한 전압에 따라 모델을 적용하였으며, 본 논문의 모델이 더 큰 규모의 회로 시뮬레이션에서 또한 실용성이 있음을 제안한다.

제 4 장에서는, 기존의 원통형 채널 구조가 아닌 3 차원 스플릿-게이트 구조의 낸드 플래시 메모리에서 D_{WL} 의 변화에 따른 다양한 메모리 특성을 분석하였다. 25 nm 부터 200 nm 까지 범위의 D_{WL} 에 대하여 ISPP 효율의 차이와 그 원인이 되는 문턱 전압 이하 스윙에 대해 분석하였다. 스플릿-게이트 구조 상의 이유로, 전방-후방 셀 사이의 기생 영역의 영향이 D_{WL} 에 따라 크게 변화한다. 또한 D_{WL} 이 증가할수록, 특정 문턱 전압에 도달하기 위해 필요한 전자의 양이 증가하며, 이는 D_{WL} 이 증가할수록 Z-간섭이 증가하는 원인이 된다. 기존 원통형 구조의 낸드 플래시 메모리에서는 존재하지 않았던 사이드-셀 간섭에 대한 분석도 진행하였다. 스플릿-게이트 구조의 낸드 플래시 메모리에서는 D_{WL} 이 증가할수록 (약 100 nm 이상) 오히려 사이드-셀 간섭이 증가하는 경향을 확인하였다. 특히, 사이드-셀 간섭은 Z-간섭에 비해 그 영향이 더 크다. 따라서 스플릿-게이트 낸드 플래시 메모리를 설계할 때에는 사이드-셀 간섭에 의한 영향 또한 최적화가 이루어져야 한다. D_{WL} 이 낮을수록 ISPP 효율이 원통형 소자에 근접하게 증가하는 점을 고려하였을 때에, 스플릿-게이트 소자는 낸드 플래시 메모리의 비트 밀도 증가 및 축소화를 위한 대안이 될 수 있음을 제시한다.

참고 문헌

[1] Y. Park, J. Lee, S. S. Cho, G. Jin, and E. Jung, “Scaling and reliability of NAND flash devices,” in *Proc. IEEE IRPS*, Jun. 2014, pp. 2E.1.1–2E.1.4.

[2] M. Park, K. Kim, J.-H. Park, and J.-H. Choi, “Direct field effect of neighboring cell transistor on cell-to-cell interference of NAND flash cell arrays,” *IEEE Electron Device Lett.*, vol. 30, no. 2, pp. 174–177, Dec. 2008.

[3] J.-D. Lee, S.-H. Hur, and J.-D. Choi, “Effects of floating-gate interference on NAND Flash memory cell operation,” *IEEE Electron Device Lett.*, vol. 23, no. 5, pp. 264–266, May 2002.

[4] A. Goda, “3-D NAND Technology Achievements and Future Scaling Perspectives,” *IEEE Trans. Electron Devices*, vol. 67, no. 4, pp. 1373–1381, Apr. 2020.

[5] K. Parat and A. Goda, “Scaling Trends in NAND Flash,” in *IEDM Tech. Dig.*, 2018, pp. 27–30.

[6] S. Lee, C. Kim, M. Kim, S. Joe, J. Jang, S. Kim, K. Lee, J. Kim, J. Park, H.-J. Lee, M. Kim, S. Lee, S. Lee, J. Bang, D. Shin, H. Jang, D. Lee, N. Kim, J. Jo, J. Park, S. Park, Y. Rho, Y. Park, H.-J. Kim, C. A. Lee, C. Yu, Y. Kim, M. Kim, K. Kim, S. Moon, H. Kim, Y. Choi, Y. Ryu, J. Choi, M. Lee, J. Kim, G. S. Choo, J.-D. Lim, D.-S. Byeon, K. Song, K.-T. Park, and K.-H. Kyung, “A 1Tb 4b/cell 64-stacked-WL 3D NAND flash memory with 12MB/s program throughput,” in *IEEE ISSCC Dig. Tech. Papers*, vol. 342, Feb. 2018, pp. 340–342.

[7] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," in *VLSI Symp. Tech. Dig.*, 2007, pp. 14-15.

[8] R. Katsumata, M. Kito, Y. Fukuzumi, M. Kido, H. Tanaka, Y. Komori, M. Ishiduki, J. Matsunami, T. Fujiwara, Y. Nagata, L. Zhang, Y. Iwata, R. Kirisawa, H. Aochi, and A. Nitayama, “Pipe-shaped BiCS Flash Memory with 16 Stacked

Layers and Multi-Level-Cell Operation for Ultra High Density Storage Devices," in *VLSI Symp. Tech. Dig.*, 2009, pp. 136–137.

[9] R. Micheloni, L. Crippa, and A. Marelli. *Inside NAND flash memories*. Springer Science & Business Media, 2010.

[10] S. M. Amoroso, C. M. Compagnoni, A. Mauri, A. Maconi, A. S. Spinelli, and A. L. Lacaita, "Semi-analytical model for the transient operation of gate-all-around charge-trap memories," *IEEE Trans. Electron Devices*, vol. 58, no. 9, pp. 3116–3123, Sep. 2011.

[11] E. Nowak, M. Bocquet, L. Perniola, G. Ghibaudo, G. Molas, C. Jahan, R. Kies, G. Reimbold, B. D. Salvo, and F. Boulanger, "New physical model for ultra-scaled 3D nitride-trapping non-volatile memories," in *IEDM Tech. Dig.*, 2008, pp. 559–562.

[12] N. Kariya, M. Tsuda, T. Kurusu, M. Kondo, K. Nishitani, H. Tokuhira, J. Shimokawa, Y. Yokota, H. Tanimoto, S. Onoue, Y. Shimada, T. Kato, K. Hosotani, F. Arai, M. Fujiwara, Y. Uchiyama, and K. Ohuchi, "8-1 A TCAD Study on Mechanism and Countermeasure for Program Characteristics Degradation of 3D Semicircular Charge Trap Flash Memory," in *Proc. SISPAD*, 2020, pp. 161–164.

[13] M. Fujiwara, T. Morooka, S. Nagashima, T. Kato, N. Fukuda, N. Kariya, T. Ogura, T. Kurusu, Y. Shimada, T. Ishikawa, Y. Arayashiki, K. Hirayama, Y. Koyama, S. Kashiyama, W. Cai, Y. Goki, K. Sawa, D. Ikeno, M. Nishikawa, Y. Uchiyama, N. Ohtani, F. Arai, and M. Kondo, "3D Semicircular Flash Memory Cell: Novel Split-Gate Technology to Boost Bit Density," in *IEDM Tech. Dig.*, 2019, pp. 28.1.1-28.1.4.

[14] E. Nowak, J.-H. Kim, H. Kwon, Y.-G. Kim, J. S. Sim, S.-H. Lim, D. S. Kim, K.-H. Lee, Y.-K. Park, J.-H. Choi, and C. Chung, "Intrinsic Fluctuations in Vertical NAND Flash Memories", in *VLSI Symp. Tech. Dig.*, 2012, pp. 21-22.

[15] S.-M. Joe, J.-H. Yi, S.-K. Park, H.-I. Kwon, and J.-H. Lee, "Position-Dependent Threshold-Voltage Variation by Random Telegraph Noise in NAND Flash Memory Strings," *IEEE Electron Device Lett.*, vol. 31, no. 7, pp. 635–637, Jul. 2010.

[16] Y.-T. Oh, K.-B. Kim, S.-H. Shin, H. Sim, N. V. Toan, T. Ono, Y.-H. Song et al., "Impact of etch angles on cell characteristics in 3D NAND flash memory," *Microelectron. J.*, vol. 79, pp. 1–6, Sep. 2018.

[17] J. Jang, H.-S. Kim, W. Cho, H. Cho, J. Kim, S. I. Shim, Y. Jang, J.-H. Jeong, B.-K. Son, D. W. Kim, K. Kim, J.-J. Shim, J. S. Lim, K.-H. Kim, S. Y. Yi, J.-Y. Lim, D. Chung, H.-C. Moon, S. Hwang, J.-W. Lee, Y.-H. Son, U.-I. Chung, and W.-S. Lee, "Vertical Cell Array Using TCAT (Terabit Cell Array Transistor) Technology for Ultra High Density NAND Flash Memory," in *VLSI Symp. Tech. Dig.*, 2009, pp. 192–193.

[18] R. Micheloni. *3D Flash memories*. Dordrecht: Springer Netherlands, 2016.

[19] G. Van Den Bosch, Physics and reliability of 2D and 3D SONOS devices, in *IEEE International Memory Workshop (IMW)*, Tutorial, 18–21 May 2014.

[20] D. Verreck, A. Arreghini, F. Schanovsky, G. Rzepa, Z. Stanojevic, F. Mitterbauer, C. Kernstock, O. Baumgartner, M. Karner, G. Van den bosch, and M. Rosmeulen, "Understanding the ISPP Slope in Charge Trap Flash Memory and its Impact on 3-D NAND Scaling," in *IEDM Tech. Dig.*, 2021, pp. 178–181.

[21] M. Kang and Y. Kim, "Natural local self-boosting effect in 3D NAND flash memory," *IEEE Electron Device Lett.*, vol. 38, no. 9, pp. 1236–1239, Sep. 2017.

[22] K.-S. Shim, E-S. Choi, S.-W. Jung, S.-H. Kim, H.-S. Yoo, K.-S. Jeon, H.-S. Joo, J.-S. Oh, Y.-S. Jang, K.-J. Park, S.-M. Choi, S.-B. Lee, J.-D. Koh, K.-H. Lee, J.-Y. Lee, S.-H. Oh, S.-H. Pyi, G.-S. Cho, S.-K. Park, J.-W. Kim, S.-K. Lee, and S.-J. Hong, "Inherent Issues and Challenges of Program Disturbance of 3D NAND Flash Cell," in *IEEE International Memory Workshop (IMW)*, 20–23 May 2012.

[23] J. Ko, Y. Yang, J. Kim, C. Lee, Y.-S. Min, J. Chun, M.-S. Kim, and S.-O. Jung, "Variation-Tolerant WL Driving Scheme for High-Capacity NAND Flash Memory," *IEEE Trans. VLSI Systems*, vol. 27, no. 8, pp. 1828–1839, Aug. 2019.

[24] H.-T. Lue, T.-H. Hsu, S.-Y. Wang, E.-K. Lai, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, "Study of incremental step pulse programming ISPP and STI edge effect of BE-SONOS NAND Flash," in *Proc. IRPS*, 2008, pp. 693–694.

[25] H.-T. Lue, T.-H. Hsu, Y.-H. Hsiao, S.-C. Lai, E.-K. Lai, S.-P. Hong, M.-T. Wu, F.

H. Hsu, N. Z. Lien, C.-P. Lu, S.-Y. Wang, J.-Y. Hsieh, L.-W. Yang, T. Yang, K.-C. Chen, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, "Understanding STI edge fringing field effect on the scaling of charge trapping (CT) NAND Flash and modeling of incremental step pulse programming (ISPP)," in *IEDM Tech. Dig.*, 2009, pp. 839–842.

[26] C. M. Compagnoni and A. S. Spinelli, "Reliability of NAND Flash Arrays: A Review of What the 2-D-to-3-D Transition Meant," *IEEE Trans. Electron Devices*, vol. 66, no. 11, pp. 4504–4516, Nov. 2019.

[27] C. Monzio Compagnoni, A. Mauri, S. M. Amoroso, A. Maconi, and A. S. Spinelli, "Physical modeling for programming of TANOS memories in the Fowler–Nordheim regime," *IEEE Trans. Electron Devices*, vol. 56, no. 9, pp. 2008–2015, Sep. 2009.

[28] A. Padovani, L. Larcher, and P. Pavan, "Compact modeling of TANOS program/erase operations for SPICE-like circuit simulations," *Microelectron. J.*, vol. 44, no. 1, pp. 50–57, Jan. 2013.

[29] E. Gnani, S. Reggiani, A. Gnudi, G. Baccarani, J. Fu, N. Singh, G. Q. Lo, and D. L. Kwong, "Modeling of gate-all-around charge trapping SONOS memory cells," *Solid-State Electron.*, vol. 54, no. 9, pp. 997–1002, Sep. 2010.

[30] Y.-Y. Chiu, I.-C. Lin, K.-C. Chang, B.-J. Yang, T. Takeshita, M. Yano, and R. Shirota, "Transconductance Distribution in Program/Erase Cycling of NAND Flash Memory Devices: a Statistical Investigation," *IEEE Trans. Electron Devices*, vol. 66, no. 3, pp. 1255–1261, Mar. 2019.

[31] N. Choi, H.-J. Kang, J.-H. Bae, B.-G. Park, and J.-H. Lee, "Effect of nitrogen content in tunneling dielectric on cell properties of 3-D NAND flash cells," *IEEE Electron Device Lett.*, vol. 40, no. 5, pp. 702–705, May 2019.

[32] C. Woo, M. Lee, S. Kim, J. Park, G.-B. Choi, M.-S. Seo, K. H. Noh, M. Kang, and H. Shin, "Modeling of charge loss mechanisms during the short term retention operation in 3-D NAND flash memories," in *VLSI Symp.*

Tech. Dig., 2019, pp. 214–215.

[33] H.-T. Lue, T.-H. Hsu, Y.-H. Hsiao, S. P. Hong, M. T. Wu, F. H. Hsu, N. Z. Lien, S.-Y. Wang, J.-Y. Hsieh, L.-W. Yang, T. Yang, K.-C. Chen, K.-Y. Hsieh, and C.-Y. Lu, "A Highly Scalable 8-Layer 3D Vertical-Gate (VG) TFT NAND Flash Using Junction-Free Buried Channel BE-SONOS Device," in *VLSI Symp. Tech. Dig.*, 2010, pp. 131–132.

[34] M. V. Dunga, C.-H. Lin, A. M. Niknejad, and C. Hu, "BSIM-CMG: A compact model for multi-gate transistors," in FinFETs and Other Multi-Gate Transistors. New York, NY, USA: Springer-Verlag, 2008.

[35] G. Malavena, A. Mannara, A. L. Lacaita, A. S. Spinelli, and C. M. Compagnoni, "Compact modeling of GIDL-assisted erase in 3-D NAND flash strings," *J. Comput. Electron.*, vol. 18, no. 2, pp. 561–568, Jun. 2019.

[36] T. H. Ning, "Electron trapping in SiO_2 due to electron-beam deposition of aluminum," *J. Appl. Phys.*, vol. 49, no. 7, pp. 4077–4082, Jul. 1978.

[37] A. V. Vishnyakov, Y. N. Novikov, V. A. Gritsenko, and K. A. Nasyrov, "The charge transport mechanism in silicon nitride: Multi-phonon trap ionization," *Solid-State Electron.*, vol. 53, no. 3, pp. 251–255, Mar. 2009.

[38] A. Padovani, A. Arreghini, L. Vandelli, L. Larcher, G. V. Bosch, P. Pavan, and J. V. Houdt, "A comprehensive understanding of the erase of TANOS memories through charge separation experiments and simulations," *IEEE Trans. Electron Devices*, vol. 58, no. 9, pp. 3147–3155, Sep. 2011.

[39] J.-D. Lee, J.-H. Choi, D. Park, and K. Kim, "Degradation of tunnel oxide by FN current stress and its effects on data retention characteristics of 90 nm NAND flash memory cells," in *Proc. 41st Annu. IEEE Int. Rel. Phys. Symp.*, Mar. 2003, pp. 497–501.

[40] D. Kang, K. Lee, S. Seo, S. Kim, J.-S. Lee, D.-S. Bae, D. H. Li, Y. Hwang, and H. Shin, "Generation dependence of retention characteristics in extremely scaled NAND flash memory," *IEEE Electron Device Lett.*, vol. 34, no. 9, pp. 1139–1141, Sep. 2013.

[41] Y. L. Chiou, J. F. Gambino, and M. Mohammad, "Determination of the

Fowler–Nordheim tunneling parameters from the Fowler–Nordheim plot," *Solid-State Electron*., vol. 45, no. 10, pp. 1787–1791, Oct. 2001.

[42] J. Jeon, I. H. Park, M. Kang, W. Hahn, K. Choi, S. Yun, G.-Y. Yang, K.-H. Lee, Y.-K. Park, and C. Chung, "Accurate compact modeling for sub-20-nm NAND flash cell array simulation using the PSP model," *IEEE Trans. Electron Devices*, vol. 59, no. 12, pp. 3503–3509, Dec. 2012.

[43] TCAD Sentaurus Device User Guide, Version 2015, Synopsys, Mountain View, CA, USA, Jun. 2015.

[44] M. Kim, S. Kim, and H. Shin, "A Compact Model for ISPP of 3-D Charge-Trap NAND Flash Memories," *IEEE Trans. Electron Devices*, vol. 67, no. 8, pp. 3095–3101, Aug. 2020.

[45] D. Resnati, A. Mannara, G. Nicosia, G. M. Paolucci, P. Tessariol, A. S. Spinelli, A. L. Lacaita, and C. M. Compagnoni, "Characterization and Modeling of Temperature Effects in 3-D NAND Flash Arrays Part I: Polysilicon-Induced Variability," *IEEE Trans. Electron Devices*, vol. 65, no. 8, pp. 3199–3206, Aug. 2018.

Abstract

NAND flash memory technology has been continuously developed and its bit density has improved. Recently, 3-D charge-trap NAND flash memories are replacing the conventional planar structure or floating gate NAND flash memories. Especially, the program operation is implemented using incremental step pulse programming (ISPP). ISPP is the programming method by applying multiple voltage pulses with gradually increasing amplitudes. It has an advantage in that the variation of the cell threshold voltages (V_{th}s) can be smaller. Since the channel geometry and the charge storing mechanism of the 3-D charge-trap NAND flash memories are different from those of the conventional NAND flash memories, the compact modeling which can describe those characteristics is becoming necessary.

Thus, in this dissertation, we propose a novel compact modeling of ISPP operation in 3-D charge-trap NAND flash memories. Starting from the model parameters of the trapped carriers and the E-field equations induced from 1-D Poisson equations, the threshold voltage shift (ΔV_{th}) is calculated consequently. Especially, as a solution to reduce errors at the low program voltage (V_{PGM}) region, we include the physics of electron capture into the tunneling oxide defect and develop our model to be more precise, compared to the conventional model. The suggested model is applied to the cell model for the circuit simulation by Simulation Program with Integrated Circuit Emphasis (SPICE). We verify that our model can precisely reproduce the measured ISPP data. Furthermore, we investigate the ISPP model results by changing the parameters related to the electron tunneling, capture, and emission, and we suggest the calibration method using our

compact model. Also, we predict the ISPP results with according to various program pulse conditions and suggest more efficient ISPP methods.

Meanwhile, various technologies have been applied to the recent NAND flash memories for the improvement of the bit density. They are such as cell area scaling, multi-level cell technology, and 3-D integration. However, there are also several side effects such as the broadened distribution of the cell V_{th}s and the increased cell-to-cell interference. For a solution of these side effects, split-gate technology which divides a memory hole into two strings is recently introduced. In this dissertation, we analyze the ISPP efficiency of the 3-D split-gate NAND flash memories, and we suggest the optimum design of the split-gate devices in terms of the ISPP efficiency and the cell-to-cell interferences.

Keywords : 3-D NAND flash memory, compact modeling, incremental step pulse programming (ISPP), Simulation Program with Integrated Circuit Emphasis (SPICE), split-gate structure, side-cell interference

Student Number : 2016-29674

출판 목록

Journal

[1] **Minsoo Kim**, Sungbak Kim, and Hyungcheol Shin, “A Compact Model for ISPP of 3-D Charge-Trap NAND Flash Memories,” *IEEE Transactions on Electron Devices*, vol. 67, no. 8, pp. 3095－3101, Aug. 2020.

[2] **Minsoo Kim** and Hyungcheol Shin, “Investigation and SPICE Compact Model of Spacer Region for Static Characteristics of 3-D NAND Flash Memories,” *IEEE Transactions on Electron Devices*, vol. 67, no. 10, pp. 4158－4165, Oct. 2020.

[3] **Minsoo Kim** and Hyungcheol Shin, “Analysis and Compact Modeling of Fast Detrapping From Bandgap-Engineered Tunneling Oxide in 3-D NAND Flash Memories,” *IEEE Transactions on Electron Devices*, vol. 68, no. 7, pp. 3339－3345, Jul. 2021.

[4] Kyul Ko, Changbeom Woo, **Minsoo Kim**, Youngsoo Seo, Shinkeun Kim, Myounggon Kang, and Hyungcheol Shin, “Analysis and Comparison of Intrinsic Characteristics for Single and Multi-channel Nanoplate Vertical FET Devices,” *Journal of Semiconductor Technology and Science*, vol. 17, no. 5, pp. 691－696, Oct. 2017.

[5] Hyungwoo Ko, Jongsu Kim, **Minsoo Kim**, Myounggon Kang and Hyungcheol Shin, “Comparison of dual-k spacer and single-k spacer for single NWFET and 3- stack NWFET,” *Solid-State Electronics*, vol. 140, pp. 64－68, Feb. 2018.

[6] Hyunsuk Kim, Youngsoo Seo, Ilho Myoung, **Minsoo Kim**, Myounggon Kang, and Hyungcheol Shin, “Comparison for Performance and Reliability Between Nanowire FET and FinFET versus Technology Node,” *Journal of Nanoscience and Nanotechnology*, vol. 17, no. 10, pp. 7227－7230, Oct. 2017.

[7] Changbeom Woo, Kyul Ko, Jongsu Kim, **Minsoo Kim**, Myounggon Kang and

Hyungcheol Shin, “Analysis and optimization of RC delay in vertical nanoplate FET,” *Solid-State Electronics*, vol. 136, pp. 81－85, Oct. 2017.

[8] Youngsoo Seo, Shinkeun Kim, Kyul Ko, Changbeom Woo, **Minsoo Kim**, Jangkyu Lee, Myounggon Kang, and Hyungcheol Shin, “Analysis of electrical characteristics and proposal of design guide for ultrascaled nanoplate vertical FET and 6T-SRAM,” *Solid-State Electronics*, vol. 140, pp. 69－73, Feb. 2018.

Conference

[1] **김민수**, 김종수, 고형우, 강명곤, 신형철, “Intrinsic Gate Delay 를 고려한 Nanowire-FET 에서의 채널 간 간격 분석,” *대한전자공학회 추계학술대회*, 2016.

[2] **김민수**, 김종수, 고형우, 강명곤, 신형철, “Intrinsic Gate Delay 를 고려한 Nanowire-FET 에서의 최적의 Underlap 길이,” *Korean Conference on Semiconductors (KCS)*, 2017.

[3] **Minsoo Kim**, Kyul Ko, Changbeom Woo, Myounggon Kang, and Hyungcheol Shin, “Intrinsic Chanracteristics and Process Variation Effect of Nanoplate Vertical FET Devices,” *Int'l Conference on Semiconductor Physics and Devices (ICSPD)*, 2017.

[4] **Minsoo Kim**, Hyungwoo Ko, Myounggon Kang and Hyungcheol Shin, “Comparison of parasitic components between LFET and VFET using 3D TCAD,” *Silicon Nanoelectronics Workshop (SNW)*, 2017.

[5] **Minsoo Kim**, Myounggon Kang and Hyungcheol Shin, “Comparison of Nanosheet-FET with Nanowire-FET for Vertical Structure,” *Korean Conference on Semiconductors (KCS)*, 2018.

[6] **Minsoo Kim**, Ilho Myeong, Juhyun Kim, Myounggon Kang, Jongwook Jeon, and Hyungcheol Shin, “BSIM-CMG Modeling for 3D NAND Cell with Macaroni Channel,” *IEEE Electron Devices Technology and Manufacturing Conference (EDTM)*, 2019.

[7] **Minsoo Kim**, and Hyungcheol Shin, “Prediction of Characteristics of Future Scaled 3D NAND Flash Memory by Using TCAD and SPICE,” *Silicon Nanoelectronics Workshop (SNW)*, 2019.

[8] **Minsoo Kim**, and Hyungcheol Shin, “Compact Model for Program Operation of 3D NAND Flash Memories using TCAD and SPICE,” *Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD)*, 2019.

[9] Changbeom Woo, Kyul Ko, **Minsoo Kim**, Myounggon Kang and Hyungcheol Shin, “Analysis and Optimization of RC Delay According to Parameter Characteristics in Vertical FET,” *International Semiconductor Device Research Symposium (ISDRS)*, 2016.

[10] Kyul Ko, Changbeom Woo, **Minsoo Kim**, Youngsoo Seo, Shinkeun Kim, Myounggon Kang, and Hyungcheol Shin, “Analysis and Comparison of Intrinsic Characteristics for Single and Multi-channel Nanoplate Vertical FET Devices,” *Int'l Conference on Semiconductor Physics and Devices (ICSPD)*, 2017.

[11] Changbeom Woo, Kyul Ko, **Minsoo Kim**, Myounggon Kang, and Hyungcheol Shin, “Analysis of RC Delay for Raised Source Multi-channel Vertical Nanoplate FET,” *Int'l Conference on Semiconductor Physics and Devices (ICSPD)*, 2017.

[12] Juhyun Kim, Ilho Myeong, **Minsoo Kim**, Sungbak Kim, Myounggon Kang, Jongwook Jeon, and Hyungcheol Shin, “Modeling of Channel Current in Sub-threshold Region for Poly-Si based Macaroni Structure in 3D NAND Flash Memories,”, *IEEE Electron Devices Technology and Manufacturing Conference (EDTM)*, 2019.

[13] Hyungjun Jo, Juhyun Kim, **Minsoo Kim**, and Hyungcheol Shin, “Extraction of Mobility in 3-D NAND Flash Memory with Poly-Si Based Macaroni Structure,” *IEEE Electron Devices Technology and Manufacturing Conference (EDTM)*, 2020.

[14] Jaeyoel Park, Dokyun Son, **Minsoo Kim**, Hyungjun Jo, and Hyungcheol Shin, “Compact Model of Read Disturbance by Hot Carrier Injection in 3D NAND Flash Memory,” *IEEE Electron Devices Technology and Manufacturing Conference (EDTM)*, 2020.

[15] Youngsoo Seo, Kyul Ko, Changbeom Woo, **Minsoo Kim**, Shinkeun Kim,

Myounggon Kang, and Hyungcheol Shin, “Optimal Integration and Electrical Characteristics for Ultra-Scaled Nanoplate Vertical FET, 6T-SRAM,” *Int'l Conference on Semiconductor Physics and Devices (ICSPD)*, 2017.