



공학석사 학위논문

캐리어 스위칭 기반 RRAM의 모델 링과 그 응용범위에 대한 고찰

(Compact Modeling of Carrier-based

Switching RRAM)

2023년 2월

서울대학교 대학원

재료공학부 하이브리드재료 전공

이 별 준

캐리어 스위칭 기반 RRAM의 모델 링과 그 응용범위에 대한 고찰 (Compact Modeling of Carrier-based

Switching RRAM)

지도 교수 황 철 성

이 논문을 공학석사 학위논문으로 제출함 2022년 8월

> 서울대학교 대학원 재료공학부 하이브리드재료 전공 이 별 준(성명)

이별준의 공학석사 학위논문을 인준함 2022년 2월



초 록

4차 산업혁명 시대에 진입하게 되면서 시간이 지남에 따라 처리가 필 요한 데이터량이 기하 급수적으로 증가하고 있다. 이에 따른 von Neumann bottleneck 을 해소하기 위해 제시된 여러 해결책 중 하나인 crossbar array는 고집적, 저전력을 장점으로 내세운 새로운 대안이다. 이 장점을 극대화해줄 수 있는 Pt/Ta₂O₅/HfO₂/TiN stack의 자가 정류 소자(이하 PTHT 소자)는 별도의 정류 작용이 필요하지 않고 저전력 동 작을 하며, 정류비와 메모리 윈도우가 높다는 점에서 현재 주목받고 있 는 소자이다.

이러한 PTHT 소자는 필라멘트 기반 RRAM과는 달리 캐리어에 기반 한 소자 스위칭을 한다는 특징 때문에 기존 문헌의 필라멘트 기반의 멤 리스터 모델과 차이가 있다.

따라서 이러한 캐리어 기반 소자 스위칭을 반영한 소자의 거동을 모사 할 수 있는 압축 모델의 개발을 위한 연구를 진행하였다. 우선 선행연 구에서 밝혀진 여러 메커니즘에 따른 소자 내 전기장-전류밀도 거동을 전기장 및 소자 온도 식에 따라 피팅을 통하여 전류 흐름 메커니즘을 재확인한 뒤, 실제 소자의 I-V 거동에 따라 각 전류 흐름 메커니즘을 구현하는 방식으로 소자의 전류 흐름 및 소자 스위칭 메커니즘을 전류 기반으로 한 모델링을 작성하여 연구를 진행하였다.

이렇게 개발한 모델을 활용할 수 있는 application의 예시로, crossbar array 내부에서 연산을 처리할 수 있는 LIM을 준비하여 보았고, 이 LIM을 동작시킬 수 있는 조건에 대한 논의를 하고자 하였다.

주요어 : 자가 정류 (self-rectifying), 압축 모델 (compact model), 전류 흐름 메커니즘 (conduction mechanism), LIM (logic in memory) **학 번** : 2021-26426

i

목 차
초 록 i
목 차 ii
표 목 차 iii
그림목차iii
1. 서 론
2. 문헌연구7
2.1 Pt/Ta2O5/HfO2/TiN RRAM 특성7
2.2 모델 제작13
3. 압축 모델 구성 방법16
3.1 연구 목적 및 설계16
3.2 소자 제작 및 측정18
3.3 압축 모델 개발 방법21
3.4 압축 모델 결과 및 논의25
4. 압축 모델이 쓰일 수 있는 Appplication
4.1 LIM
4.2 결과 및 논의
5. 결론
참고문헌
Abstract

표 목차

Table 1. Bias polarity, state 및 electric field의 절대값에 따른 주요?	한 전
류 흐름 메커니즘	12
Table 2. 피팅된 값들	31
Table 3. Truth table of PMASM-two-3NOR logic	39

그림 목차

Figure 1. 1. 저항성 스위칭 소자의 메커니즘에 따른 분류	5
Figure 1. 2. Crossbar array에서의 sneak path	5
Figure 1. 3. 필라멘트 기반 RRAM	6
Figure 2. 1. (a) Pt/Ta ₂ O ₅ (10nm)/HfO ₂ (10nm)/TiN 소자의 단면 TEM	사진
(b) AES 분석	10
Figure 2. 2. (a) Pt/HfO ₂ /TiN 소자의 I-V 특성 (b) Pt/Ta ₂ O ₅ /HfO ₂ /TiN	소자
의 I-V 특성	10
Figure 2. 3. PTHT 소자의 전류 흐름 메커니즘	11
Figure 3. 1. (a) 소자의 공정 Layout (b) 소자의 단면도	20
Figure 3. 2. Figure 3. 2. (a) I-V 측정 데이터 (b) 양의 바이어스 HRS	에서
의 I-V 측정 데이터	21
Figure 3. 3 (a) 0V에서의 Band Diagram 및 parameter들, (b) + 9V여	서의
Band Diagram, (c) -7V에서의 Band Diagram	28
Figure 3. 4. Deep trap occupancy rate에 따른 소자의 switching 거동	
	34
Figure 3. 5. 모든 범위에서 연속 & 미분 가능하도록 Well-posedness	를 고
려한 모델링 Scheme	35
Figure 3. 6. 완성된 PTHT Compact Model	35
Figure 4. 1. PMASM-two-3NOR schematic	40
Figure 4. 2. PMASM-two-3NOR 동작 원리	40
Figure 4. 3. PMASM-two-3NOR test circuit schematic	42

Figure 4.4.	PMASM-two-3NOR DC Sweep	결과	•••••	42
Figure 4.5.	PMASM-two-3NOR tran sweep	결과		43

1. 서 론

4 차 산업 혁명 시대가 도래하며 빅 데이터를 이용하는 인공지능이 여러 산업 분야에 활용되며 기술이 성숙해 감에 따라 시각 및 음성 데이터 등의 빅 데이터 처리를 위해 제공되는 데이터의 양이 기하급수적으로 증가하고 있다[1]. 이런 발전 속도를 커버하기 위하여 무어의 법칙으로 대표되는, 더 나은 연산 성능을 위한 CPU의 속도와 throughput, 메모리의 집적도와 대역폭에 꾸준한 개선이 있었다. 그러나 CPU의 데이터 처리 속도와 메모리의 처리 속도와 그에 따른 대역폭 차이에는 크나큰 차이가 있어 이 차이를 극복하기 위하여 메모리 계층 구조가 도입되었지만[2], 이런 고전적인 구조에선 메모리와 CPU를 이어주는 단 한개의 BUS 만 존재하기 때문에 CPU와 메모리의 throughput 이 발전함에 따라서 이 BUS 가 일종의 bottleneck 으로 작용하게 되었는데, 이를 von Neumann bottleneck 이라 한다[3]. 병렬적인 데이터를 대량으로 연산 및 처리해야 하는 딥 러닝등에서 이 문제는 더욱 두드러진다.

이 von Neumann bottleneck 을 극복하기 위하여 여러 해결책이 제시되었고, 그 중 대표적인 예시가 In-memory computing 이다. Inmemory computing 은 메모리 안에 연산 유닛을 내장하여 MAC(Multiply and Accumulate)와 같은 간단한 연산을 CPU 를 거치지 않고 메모리 내부의 유닛을 통하여 자체적으로 연산하여 von Neumann bottleneck을 우회하는 방법이다[4].

이런 In-Memory Computing 을 위해 메모리 내부에서 연산을 수행하는 로직 설계와 이를 뒷받침할 수 있는, 빠른 속도와 높은 대역폭을 갖는 새로운 메모리 소자가 필요하다고 할 수 있다. 현재 이런 고집적 고대역폭 차세대 메모리에 대한 연구가 활발히 진행되고 있는데, 대표적으론 phase change random access memory (PcRAM or PRAM), magnetoresistive random access memory (MRAM), ferroelectric

random access memory (FeRAM or FRAM), resistive random access memory (ReRAM or RRAM) 등이 있다[5].

그 중 RRAM 은 다른 차세대 메모리에 비해 제작 공정이 더 간단하고[6] 저전류/저전력 동작을 한다는 점에서[7] 주목을 받는 차세대 메모리이다. RRAM 에는 두 가지 저항 상태, high resistance state (HRS)와 low resistance state (LRS)가 존재한다. 소자를 제작한 초기에는 대체로 HRS 인 상태로 존재하며 특히 필라멘트 기반 RRAM 은 초기에는 특정 동작을 수행해야 안정적인 거동을 보이는 경우가 많다. RRAM 은 two terminal 소자이기 때문에 트랜지스터와 같은 three terminal 소자와 다르게 양 단의 전위차에 따른 내부 상태 변화를 보인다. 특정 방향으로 특정 절대값 이상의 전압이 소자에 가해지면 소자의 내부 상태가 바뀌게 된다. 여기서 내부 상태 및 resistance 가 HRS 에서 LRS 로 변화하는 과정을 set, LRS 에서 HRS 로 변화하는 과정을 reset 이라고 하고, 일반적으로 set 이 되는 방향의 전압을 양의 방향으로 정의한다. 이런 RRAM 의 작동 메커니즘에는 Figure 1.1. 과 같이 electrochemical metallization effect (ECM), valence change memory effect (VCM). valency change Memory Effect (VCM), thermochemical memory effect (TCM), phase change effect (PCM) 등이 있다[8].

RRAM 의 작동 메커니즘은 여러 가지가 있지만, 대부분 RRAM 은 필라멘트를 생성한다는 특징을 가지고 있다. 이 필라멘트 는 국소적으로 전류가 흐르는 부분으로 자연 현상에서 번개로 비유할 수 있을 텐데, LRS 상태에서 대부분 전류가 이 필라멘트를 통하여 흐르게 된다는 특징을 가지고 있다. 앞에서 언급한 특정 동작을 수행한다는 것은 이 필라멘트를 최초로 생성하는 것으로 electroforming 과정이라고도 한다.[9][10]

이 필라멘트 특성상 set/reset 과정 중 oxygen vacancy 등으로 인해 재료 자체에 변화가 생긴다는 특징이 있고, 이러한 특성에 의해 cycle to cycle variation 에 한계가 있을 뿐만 아니라 소자의 endurance 또한 악화시키는 요인이 된다.

이 문제는 crossbar array 로 집적했을 때 더 큰 문제가 되는데, two terminal 소자로 집적시킨 crossbar array 에는 Figure 1. 2. 에 모사 되었듯 항상 sneak current 의 문제가 존재한다[11]. 한 개 이상의 current path 가 crossbar array 에 존재하게 되고, 이를 최대한 억제하기 위하여 소자의 high nonlinearity 를 필요하게 된다. 이 high nonlinearity 를 얻기 힘든 소자에서는 high nonlinearity 띄는 selector 를 직렬로 연결하여 nonlinearity 를 얻게 되는데, 이는 필연적으로 공정을 복잡하게 할 뿐만 아니라 소자의 열화 가능성을 높인다.

캐리어 기반 스위칭을 하는 소자는 이러한 단점을 극복한 소자라 할 수 있다. 캐리어 기반 스위칭을 하는 소자는 내부 트랩에 전자의 트랩 여부에 따라 activation energy 의 차이가 발생하게 되고, 이에 따라 HRS 와 LRS 의 전류 흐름의 차이가 발생하는 소자이다.

이러한 소자 전류 메커니즘에서 따라오는 캐리어 기반 스위칭을 하는 소자의 특징이 있는데, 우선 소자 재료 자체의 변형 없이 트랩의 전자 유무로 HRS 와 LRS 이 결정되기 때문에 소자의 uniformity 및 endurance 가 높은 특징을 보여준다. 또한 non-linearity 가 높은 자가 정류(self-rectifying)의 특징을 보여주기 때문에 별도의 rectifier unit 이 필요 없고, 이는 소자 공정의 부담을 줄여준다. Non-linearity 가 높다는 특성은 곧 소자의 동작 전류가 낮다는 특징으로 이어지고, 따라서 소자의 전류 소모 또한 낮다고 할 수 있다.

캐리어 기반 스위칭을 하는 소자는 낮은 전류 및 전력 소모를 하는데, 이는 edge-computing 등에서 분명 이점으로 작용하지만 낮은 동작 전류는 디지털 시스템에서 소자의 0/1 (ON/OFF) 을 구별하기 어렵게 한다는 문제점 또한 존재한다. 이를 위해 기존 감지 회로가 아닌 새로운 저전력 scheme 이 필요하다.

그러나 현재 이 캐리어 기반 스위칭을 하는 소자의 모델이 존재하지 않는다. 기존 필라멘트 기반 소자의 전류 흐름 메커니즘과 그 메커니즘을 추종하는 모델은 연구가 많이 진행되어 그 결실을 보고 있는

반면 캐리어 기반 스위칭을 하는 소자의 전류 흐름 모델의 범위조차 명확하지 않다.

따라서, 본 연구에선 이 캐리어 기반 스위칭을 하는 소자의 전류 흐름 모델과 그 범위를 가설-검증 방식을 통하여 명확히 밝히고 그 소자의 모델까지 제작하는 것을 확인하고자 한다. 또한 이 모델을 활용할 수 있는 간단한 예시까지 제시하여, 이 모델의 활용성을 보여주고자 한다.



Figure 1.1. 저항성 스위칭 소자의 메커니즘에 따른 분류[8].



Figure 1. 2. Crossbar Array 에서의 Sneak Path[11].





Figure 1. 3. 필라멘트 기반 RRAM [5].

2. 문헌 연구

2. 1. Pt/Ta₂O₅/HfO₂/TiN RRAM 특성

일반적으로 HfO2 및 Ta2O5 등은 Vacancy 기반 메커니즘의 소자에서 주로 쓰이는 재료지만, Pt/HfO₂/Ta₂O₅/TiN 소자는 캐리어 기반 저항 스 위칭을 하는 것으로 알려져 있다. 이 연구에 사용된 Pt / 10nm Ta₂O₅ / 10nm HfO₂ / TiN 소자는 캐리어 기반 스위칭을 하는 것으로 알려져 있 다. Pt와 TiN이 전극처럼 작용하게 되고, Pt 전극에 +, TiN 전극에 GND 전극이 걸렸을 때 이를 양의 전압이 인가되었다고 정의한다.

이 소자의 전류 동작 메커니즘은 크게 전류 흐름 메커니즘과 스위칭 메커니즘으로 나뉜다. Pt/HfO₂/Ta₂O₅/TiN 소자는 캐리어-based conduction을 보이는 소자이다[12].

소자의 bias의 방향에 따라서 소자에 흐르는 주요한 전류 흐름 메커니즘이 서로 다른 것으로 알려져 있는데, Pt/HfO₂/Ta₂O₅/TiN 소자의 전류 흐름 메커니즘은 양의 바이어스에서 hopping 메커니즘과 P-F 메커니즘, 음의 바이어스에서 hopping 메커니즘과 schottky emission의 전류 메커니즘에 의해 전류가 흐르는 것이 알려져 있다[12]. HRS와 LRS일 때의 전류 차이는 P-F 메커니즘에서 activation energy의 차이에서 기인한 것으로 보인다. 소자의 HfO₂ layer에는 deep 트랩과 shallow 트랩이 존재하며, deep 트랩에 캐리어가 트랩되어 있는지 여부로 소자의 memristance (또는 Resistance)가 정해지게 된다. 소자가 HRS(High Resistance State)일 때는 deep 트랩이 모두 비어있어 큰 activation energy를 갖게 되고 이에 따라 소자에 전류가 적게 흐르는 반면 LRS일 때는 deep 트랩에 캐리어가 트랩되어 있어 낮은 activation energy를 가지게 되고, 따라서 소자에 큰 전류가 흐를 수 있게 된다.

역 방향의 전압이 인가되었을 때에는 HfO₂가 rectifier 역할을 하는 것으로 알려져 있다[13]. Ta₂O₅와 HfO₂ 사이의 계면의 schottky

barrier에 의해 전류 제한이 발생하게 되는데, 이 barrier는 전기장이 인가됨에 따라 schottky effect에 따라 barrier가 낮아지는 것으로 알려져 있다[14]. 이 barrier lowering 효과에 의해 전압에 따른 전류 제한이 발생하게 되고, 이에 대한 식은 equation (3)을 따르게 된다



$$J = \left(\frac{120m^*}{m_0}\right) T^2 exp\left(-\frac{q\phi_B}{kT}\right) exp\left(\frac{q\sqrt{qE/4\pi\varepsilon_i\varepsilon_0}}{kT}\right) \qquad \dots \dots \dots (3)$$
$$m^* : \text{Effective Mass of Electron}$$
$$\phi_B : \text{Schottky Barrier}$$

소자에 set voltage 이상의 전압이 인가되게 된다면 HfO₂에 전기장이 인가됨에 따라 band가 점점 기울어 지게 되고, 그에 따라 HfO₂의 트랩 안에 전자가 점점 차오르게 된다. 트랩에 전자가 채워져 있는 상태에선 소자의 activation energy가 낮아지게 되고, 즉 소자에 흐르는 전류가 같은 Bias일 때 커지게 된다. 이 상태를 HRS에서 LRS로 스위칭되는 Set 과정이라 정의한다.

마찬가지로 소자에 reset voltage보다 큰 절대값이 음의 방향으로 인가되게 된다면 HfO2에 전기장이 인가됨에 따라 band가 기울어지게 되고, HfO2에 트랩되어 있던 전자가 디트랩됨에 따라서 소자의 activation energy가 더 커지게 되고, 즉 소자에 더 적은 전류가 흐르게 된다. 이런 과정을 LRS에서 HRS으로 소자 상태가 전환되는 reset 과정이라 한다.

이번 연구를 통해 캐리어 기반 스위칭을 하는 소자가 자가 정류 작용을 한다는 것과 더불어 전류 메커니즘과 그 범위를 확정지을 수 있었다. 모든 범위에서 적어도 한 개의 전류 메커니즘을 볼 수 있었고, 각각의 범위에서 그 메커니즘 종류까지 확인할 수 있었다.



Figure 2. 1. (a) Pt/Ta₂O₅(10nm)/HfO₂(10nm)/TiN 소자의 단면 TEM 사진 (b) AES 분석 [12]



Figure 2. 2. (a) Pt/HfO₂/TiN 소자의 I-V 특성 (b) Pt/Ta₂O₅/HfO₂/TiN 소자의 I-V 특성 [12]



Figure 2. 3. Pt/Ta2O5/HfO2/TiN 소자의 전류 흐름 메커니즘 (a) zero bias일 때 (b) 약한 양의 바이어스가 인가되었을 때 (c) 강한 양의 바이 어스가 인가되며 캐리어들이 되어 있는 모습 (d) HRS 상태의 전류 흐름 메커니즘 (e) 강한 음의 바이어스가 인가되어 캐리어들이 디트랩되며 reset되는 모습 (f) reset 스위칭 완료된 소자 [12]

Positive Bias				Negative Bias			
HRS		LRS		HRS		LI	RS
High E	Low E	High E	Low E	High E	Low E	High E	Low E
P-F	Hopping	P-F	Hopping	-	Schottky Emission	P-F	Hopping

Table 1. 바이어스 극성, 저항 상태 및 전기장의 절대값에 따른 주요한 전류 흐름 메커니즘

2.2. 모델 제작

전자 소자를 실제 소자 측정에만 의지하는 것은 매우 어렵고 현대의 IC 에선 그것이 사실상 불가능하다 할 수 있다. 이를 위해 simulation 과 모델이 현재 주로 사용되고 있다. Simulation 은 물리적 소자를 전산적으로 구현함과 동시에 추상화를 거치는 과정이다. Simulation 의 씨앗이 되는 모델은 실제 소자를 전산 모사하여 computer simulation 에서 이를 구현한 구현체이다. 모델은 Verilog-A 등으로 구현된 모델 구현체와 이 구현체의 해석을 가능하도록 해주는 SPICE 등의 Tool 로 구현된다.

이렇게 작성된 모델은 Kirchhoff's law 에 기반하여 수치해석적인 방법으로 해석된다. 소자가 연결되어 있는 회로의 해석을 위해서는 이 회로를 컴퓨터가 이해할 수 있는 netlist 가 필요하다 netlist 란 회로의 연결 정보를 포함하고 있고 연결성을 확인해주는 연결 지도인데, 이 netlist 는 Tool 에 따라서 자동으로 작성되거나 수동으로 작성할 수 있다. 이렇게 작성된 netlist 는 전류가 새로 만들어지거나 사라지지 않고, 특정 node 의 voltage 는 그 node 까지의 경로에 관계없이 일정하다는 Kirchhoff's law 에 따라서 미분 방정식 꼴의 형태로 전환되게 되고, 이 미분 방정식은 여러 수치해석 알고리즘에 따라서 풀어지게 된다. 수치해석의 특성상 정확한 하나의 해를 구하는 것이 아니라 여러번 연산을 반복하여 회로의 voltage 나 current 등의 값들의 변화가 tolerance 이하가 될 때 그 값을 회로의 solution 으로 제공하는 방식이다.

이러한 모델과 Simulation 특성상 정상적인 모델 해석을 위해 모델에 요구되는 조건이 있는데, 이를 '적절한 동작 요건 (Wellposedness)라고 한다[15]. 이 적절한 동작 요건은 특정 소자의 모델링 방법이 아닌 simulation 에서 convergence error 를 일으키지 않기 위한

방법이기 때문에 이 적절한 동작 요건을 지키는 것은 멤리스터 소자 모델링 뿐만 아니라 모든 종류의 소자 simulation 에 중요하다. 적절한 동작 요건에는 여러 가지가 있는데, 우선 다음과 같은 문제가 있을 수 있다. 예를 들어 3.3V IC 에 집적되는 MOSFET 을 설계할 때 필요한 MOSFET 의 모델을 제작하려고 하는데, 일반적으로 이 MOSFET 에는 0V 와 3.3V 의 사이의 전압이 인가될 것이다. 그러면 이 모델에 실제로 인가될 리가 없는 100V, 1kV, 더 나아가 1MV 의 전압을 인가했을 때의 거동을 모사할 필요가 없다고 생각하는 것이 일반적일 것이다. 그러나 실제 소자 모델을 제작할 때에는 위와 같은 범위의 range 에 대한 response 또한 염두에 두고 (즉 소자가 위 범위에서도 작동할 수 있도록) 설계해야 한다. 소자의 모델을 simulation 하는 simulator tool 은 비선형 방정식을 풀기 위한 뉴턴 랩슨(NR) 알고리즘뿐만 아니라[16] 여러가지 방법을 활용하여 수치해석적인 연산을 수행한다. 그런 수치해석적인 연산을 위해 simulator 는 회로에 임의의 Bias 를 인가하여 초기 값을 설정하고 그 값을 바탕으로 수치해석적인 연산을 수행한다. 이 때 물리적으로 불가능하거나. 불가능하진 않더라도 실제 회로에 인가될 리가 없는 불합리적인 값이 회로에 인가될 가능성도 존재하다.[17][18] 이 때 해당 범위에 대한 모델링이 배제되어 있는 경우에는 simulator 가 수치해석적인 연산 수행이 불가능하여 회로의 해석이 불가능해 지게 된다. 따라서 실제 회로에 인가될 리가 없는 값까지 모델이 cover 하여 convergence error 가 뜨지 않도록 하는 것이 중요하다.

이렇게 실제 소자에 인가되는 Bias 보다 훨씬 넓은 범위를 cover 하는 모델을 작성하는 것은 회로를 설계하고 simulation 을 수행하는 설계자 입장에서도 중요하다고 할 수 있다. 설계자가 설계 오류를 미처 파악하지 못한 채 simulation 을 구동 시 결과값이 아예 존재하지 않고 simulator 가 단순 error 값을 출력한다면 설계자가 설계 오류가 있는 부분과 그 방향성을 놓칠 수 있기 때문이다. 예를 들어 양단 전극에 인가되는 전압이 커지게 되면 급격하게 많은 전류가 흐르는 diode 의

경우에 소자에 ~kA 이상의 전류가 흐르게 되면 설계자가 설계의 오류가 존재한다는 것을 쉽게 알아차릴 수 있지만, 이 때 diode 에 가해지는 전압은 생각보다 그다지 크지 않는다. 이토록 단순한 error message 를 출력하는 것 보다는 합리적이지 않은 결과를 그대로 출력해 주는 것이 설계자 입장에서도 실수 및 오류들을 파악하여 debugging 하기 더욱 좋다.

마찬가지로 소자에 divided by zero 등의 이유로 infinite 의 값이 도출되거나 복소수의 결과값이 나오게 된다면 해석이 불가능해지는 경우도 있다. 주로 범위를 고려하지 않은 log 또는 √(제곱근)의 잘못된 사용, 또는 1/(x-a) 꼴의 equation 을 갖는 소자의 모델링 시 범위를 특정하지 않고 사용할 때 이런 문제가 흔히 발생하게 된다. 소자의 연속성과 미분 가능성을 확인하는 것도 중요하다. 수렴을 통해 소자의 적절한 point of operation 을 찾는 simulator 특성상 연속적이지 않은 point 가 존재한다면 비록 그 값들이 infinite 또는 복소수의 값이 아니더라도 simulation 시 그 회로의 해석이 불가능해지는 경우 또한 존재하기 때문이다.

요약하자면, 모든 bias 범위에서 연속적이고 미분 가능한 모델을 적절한 동작 요건을 충족하는 모델이라 할 수 있다. 이런 적절한 동작 요건이 모델을 설계할 때 고려해야 할 필수 요건이라 할 수 있기 때문에, 이런 점들을 고려하여 모델링을 진행하였다.

3. 압축 모델 구성 방법

3.1. 연구 목적 및 설계

이 연구의 목적은 PTHT 소자의 전류 흐름 메커니즘을 반영한 압축 모델을 개발하는 것이다. 전류 흐름 메커니즘을 분석을 위하여 우선 기존 문헌 연구를 통하여 소자 내 전류 흐름 메커니즘을 알 수 있었다. 소자가 스위칭되지 않고 하나의 상태를 유지하고 있을 때라도 여러가지 전류 흐름 메커니즘이 동시에 존재하는 것을 기존 문헌을 통하여 알 수 있었는데, 기존 문헌 연구에는 이 전류 흐름 메커니즘이 존재하는 범위를 확정하지 아니하였다는 한계가 있었다. 따라서 모델 개발 전 이 전류 흐름 메커니즘의 범위를 확정하는 것을 연구의 제 1 차적인 목표로 삼고 각각 전류 흐름 메커니즘을 Analog HDL 을 이용하여 소자 모델에 적용시켜 구현하고자 하였다.

이런 연구 목적을 보여주고자 하기 위해 아래와 같이 연구 방향을 설계하였다. 우선, Pt / 10nm Ta₂O₅ / 10nm HfO₂ / TiN 소자의 I-V 데이터를 측정하였는데, 측정된 I-V 데이터는 양단의 Terminal Voltage 뿐만 아니라 온도 의존성을 볼 수 있는 데이터까지 측정하여 소자 온도에 따른 전류 의존성을 확인할 수 있도록 하였다. 측정된 데이터를 바탕으로 소자의 상태(HRS/LRS) 및 Voltage Bias, temperature 에 따른 피팅을 진행하였다. 피팅은 총 4 가지 구간 (positive bias HRS, positive bias LRS, negative HRS, negative LRS)에서 진행되었으며, 이 MATLAB R2022b 의 Curve Fitter Toolbox 를 이용하였다.

전류 흐름 모델의 범위에 대해서, 여러 전류 흐름 모델이 있을 때 한 전류 메커니즘이 그 소자의 주요한 전류 메커니즘이라 할 지라도 다른 전류 흐름 메커니즘 또한 (비록 전체 전류 밀도 중 그 메커니즘이 기여하는 전류밀도는 약할지라도) 모든 전류 범위에서 존재할 것이라는 가정을 세웠다. 따라서 I-V Curve 에서 변곡점을 기준으로 변곡점의 전/후의 피팅을 진행 후, 그 두 피팅의 합이 전체 I-V Curve 를 모사할 수 있음을 보이는 방향으로 연구를 설계하였다. 이렇게 이런 피팅을 한 뒤 이 피팅과 실제 데이터간 정합성을 MATLAB R2022b 을 이용하여 확인하도록 하였다.

3.2. 소자 제작 및 측정 방법

소자의 하부 전극은 p-Si substrate 위에 습식 산화 (wet oxidation)을 통해 100nm SiO₂를 증착한 기판 위에, Ti 5nm + TiN 50nm 를 Applied Material 社의 Endura Sputter 를 이용하여 Ar gas 20 sccm, N₂ gas 3 ccm, RF Power 는 500W, 챔버 내 진공은 ~10⁻⁷ Torr 조건 하에서 Deposition 을 진행하였다.

그 후 HfO₂ Deposition 을 위해 CN1 社의 MEMS-ALD 장비를 이용하여 atomic layer deposition (ALD)으로 deposition 을 진행하였다. 사용한 전구체는 TEMAH(Tetrakis (ethylmethylamino) hafnium)을 사용하였고, chamber 내 스테이지 온도는 350°C 으로 평균 0.1nm/cycle 으로, 100 cycle 동안 10nm 증착하였다.

Ta₂O₅ Deposition 은 atomic layer deposition (ALD)로 증착하였고, 증착시 Tris(diethylamido)(tert-butylimido)tantalum(V)을 전구체로 사용하여, 100W 의 RP Power 와 220°C 의 온도에서 평균 0.1nm/cycle 으로 100cycle 동안 10nm 를 증착하였다.

그 후 상부 전극을 SORONA 社의 SRN-200i 를 Evaporator 방식으로 0.5 Å/s 의 속도로 600 Å 의 Pt 를 형성하였다. [19]

이렇게 제작한 Pt/Ta₂O₅/HfO₂/TiN 소자를 온도 의존성을 측정할 수 있는 I-V 측정을 HP 4145B 장비를 이용하여 compliance current 를 100nA 로 제한하여 여러 차례 진행하였다. 측정은 모든 영역 (Positive/음의 바이어스 및 HRS/LRS)에서 동시에 측정한 것이 아닌 영역별로 별도로 측정되었으며, 특히 Positive HRS 영역에서는 데이터상에서 온도 경향성이 잘 확인되지 않아 온도 경향성을 밝히기 위한 데이터를 추가적으로 측정하였다. 온도 의존성은 Positive HRS 을 제외한 Positive LRS, Negative HRS, Negative LRS 에서는 상온(26°C)에서 한 번 측정을 진행하였고, 그리고 40°C 부터 10°C 씩 증가시키며 80°C 까지 측정하였고, Positive HRS 에서는 상온인 26°C 에서, 그리고 40°C 부터 씩 온도를 증가시키며 110°C 까지 측정을 진행하였다. 모든 소자는 온도가 증가함에 따라 전류 또한 증가하며 그 데이터들은 Section 4.3.에서 설명할 전류 식 모델을 따라가기에 충분한 경향성을 보였다.

이번 연구에 쓰인 소자는 이진원 석사가 소자 공정을 진행하였고, 소자 측정은 김영록 박사과정생이 온도 측정을 진행하였음을 밝힌다.



(b)

(a)

Pt 60nm
Ta_O_ 10nm
HfO _n 10nm
TiN 50nm

Figure 3. 1. (a) 소자의 공정 Layout (b) 소자의 단면도. 소자의 substrate 부분은 생략되었음



Figure 3. 2. (a) I-V 측정 데이터 (b) 양의 바이어스 HRS 에서의 I-V 측정 데이터

3.3. 압축 모델 개발 방법

캐리어 기반으로 소자 상태 스위칭을 하는 RRAM 모델을 전류 흐름 메커니즘을 참고하여 작성하였다. 우선 HfO₂와 Ta₂O₅에 각각 걸리는 전기장을 다음과 같은 경계 조건으로 유도할 수 있는 두 개의 연립방정식을 풀어 구하였다.

 Figure 3.2. 을 참고하여 Pt 와 TiN 의 일함수를 고려하여 HfO2 와 Ta2O5 에 걸리는 전압을 더하면 Vapp (인가된 전압)가 되어야 한다.

 $V_{app} = V_{Hf02} + V_{Ta205} = E_{Hf02}d_{Hf02} + E_{Ta205}d_{Ta205} + \phi_{Pt} - \phi_{TiN} \quad \cdots \cdots \quad (4)$

 표면 전하를 무시할 수 HfO₂ 와 Ta₂O₅ 의 계면에서 Electric Flux 는 보존된다.

 $D_{Hf02} = D_{Ta205}$, $E_{Hf02}\varepsilon_{Hf02} = E_{Ta205}\varepsilon_{Ta205}$ (5)

Equation (5)에서 E.Field의 order가 ~10⁸이기 때문에 interfacial charge에 의한 electric field의 영향이 아주 작기 때문에 interfacial charge를 무시할 수 있었다.

여기에서 permittivity는 dynamic permittivity가 아닌 static permittivity로 계산하였다. 두 식을 풀어서 HfO₂와 Ta₂O₅에 각각 걸리게 되는 전기장을 구할 수 있었다.

$$\begin{aligned} d_{Hf02}E_{Hf02} + d_{Ta205}E_{Ta205} = V_{app} - (\phi_{Pt} - \phi_{TiN}) & \dots \dots \dots (6-1) \\ -\varepsilon_{Hf02}E_{Hf02} + \varepsilon_{Ta205}E_{Ta205} = 0 & \dots \dots (6-2) \\ \begin{bmatrix} d_{Hf02} & d_{Ta205} \\ -\varepsilon_{Hf02} & \varepsilon_{Ta205} \end{bmatrix} \begin{bmatrix} E_{Hf02} \\ E_{Ta205} \end{bmatrix} = (V_{app} - (\phi_{Pt} - \phi_{TiN})) \begin{bmatrix} 1 \\ 0 \end{bmatrix} & \dots \dots (6-3) \\ \begin{bmatrix} E_{Hf02} \\ E_{Ta205} \end{bmatrix} = \frac{V_{app} - (\phi_{Pt} - \phi_{TiN})}{\varepsilon_{Ta205}d_{Hf02} + \varepsilon_{Hf02}d_{Ta205}} \begin{bmatrix} \varepsilon_{Ta205} & -d_{Ta205} \\ \varepsilon_{Hf02} & d_{Hf02} \end{bmatrix} \begin{bmatrix} 1 \\ 0 \end{bmatrix} & \dots \dots (6-3) \\ & (6-4) \\ & = \frac{V_{app} - (\phi_{Pt} - \phi_{TiN})}{\varepsilon_{Ta205} + \varepsilon_{Hf02}} \begin{bmatrix} \varepsilon_{Ta205} & -d_{Ta205} \\ \varepsilon_{Hf02} & d_{Hf02} \end{bmatrix} \begin{bmatrix} 1 \\ 0 \end{bmatrix} & \dots \dots (6-5) \\ & (6-5) \\ & E_{Hf02} = \frac{V_{app} - (\phi_{Pt} - \phi_{TiN})}{\frac{\varepsilon_{Hf02}}{\varepsilon_{Ta205} + \varepsilon_{Hf02}}}, E_{Ta205} = \frac{V_{app} - (\phi_{Pt} - \phi_{TiN})}{\frac{\varepsilon_{Ta205} + \varepsilon_{Hf02}}{\varepsilon_{Ta205} + \varepsilon_{Hf02}}} & \dots \dots (7) \end{aligned}$$

이 식을 바탕으로 계산한 전기장을 바탕으로 Figure 3.2.과 같이 밴드 다이어그램 을 그려 보아 위 식이 (equation (7)) 실제 소자에 인가되는 전기장을 잘 나타낼 수 있다는 것을 확인할 수 있었다.

각각의 전류 흐름 메커니즘이 전자기장이 증가함에 따라 (또는 전기장의 증가량의 제곱근에 따라) 지수적으로 증가하는 것이 알려져 있기 때문에 [20], 전이 부분이 아닌 영역에서는 하나의 전류 메커니즘이 다른 메커니즘보다 지수 단위에서(order-of-magnitude) 클 것으로 예상하였다. 따라서 I-V 측정 결과를 lnJ - E (or √E) 꼴로 변형시켜 변곡점에 해당하는 점의 전후로 해당 전류 흐름 메커니즘별로 데이터를 추출하여 피팅을 진행하였다.

우선 위의 전기장 식(equation (7))으로 양의 바이어스일 때의 HfO2의

전기장을 계산하였다 (양의 바이어스일 때는 전류 limiting이 HfO2에서 일어나기 때문에 HfO2의 전기장 데이터만 계산하였다). 소자 bias가 low bias일 때는 hopping 메커니즘이, high bias일 때엔 P-F 메커니즘이 주요한 전류 메커니즘으로 알려져 있기 때문에, 우선 low bias에서 hopping 메커니즘식 (equation (15))에 따른 피팅을 진행하였다.

그 후 마찬가지로 high bias일 때의 규칙성을 찾아 P-F 메커니즘 식 (equation (17)에 따른 피팅을 진행하였다 [20].

음의 바이어스일 때는 Hopping 메커니즘과 Schottky Emission이 존재하는데[12], 여기서 Hopping 메커니즘은 HfO2 전기장에 따른 Schottky Emission은 Ta2O5 전기장에 의존하게 되므로 이를 고려하여 Hopping 메커니즘은 lnJ - E_{HfO2} 꼴의 데이터를, Schottky Emission는 lnJ-E_{Ta2O5}의 data를 추출하여 equation (19)에 따라 positive 메커니즘의 경우와 같이 피팅을 진행하였다.

이렇게 전류 흐름 메커니즘을 구한 뒤 소자가 set voltage부터 점차적으로 스위칭한 다는 점을 고려해, 다음과 같이 딥트랩 occupancy rate κ를 정의하여 소자가 스위칭하는 것을 구현하였다. 딥트랩 occupancy rate는 딥트랩에 전자가 트랩되어 있는 rate로 정의되며, 소자의 딥트랩에 되어있는 전자가 없는 경우 0로, 모든 전자가 딥트랩에 차 있으면 1로 정의되었다.

여기에서, deep trap에 의한 band bending이 존재할 수 있는데, 아래와 같은 계산 결과 0.1V의 Band bending에 필요한 charge density는 117.3 ×10¹⁶/cm³으로 계산되어 이는 실제 trap에 필요한 carrier density보다 훨씬 크기 때문에 이 charge density 무시할 수 있다는 결론을 도출할 수 있었다.

$$\frac{\partial E}{\partial x} = \frac{\rho}{\varepsilon}, \ E = \int \frac{\rho}{\varepsilon} dx, \ V = -\int E \, dx \quad \dots \dots \dots (9)$$

$$V = 0.1 = -\int E \, dx = |E| * d_{dielectric} \quad \dots \dots (10)$$

$$|E| = \frac{0.1}{d_{electric}} = \frac{0.1[V]}{10nm} = 10[MV/m] \quad \dots \dots (11)$$

$$|E| = 10\left[\frac{MV}{m}\right] = \int \frac{\rho}{\varepsilon} dx = \frac{\rho_{trap}}{\varepsilon_0 \varepsilon_{dielectric}} \cdot d_{diectric} \quad \dots \dots (12)$$

$$\rho_{trap} = \frac{|E|\varepsilon_0 \varepsilon_{dielectric}}{d_{diectric}} = \frac{10[MV/m]}{10nm} \times 21.23 \times 8.854(10^{-12})[F/m]$$

$$= 187.97[kC/m^3] = 117.33(10^{16})/cm^3 \quad \dots \dots (13)$$

이렇게 구한 각각 bias 및 현재 스위칭 상태에 따른 positive/negative의 바이어스에 따라 각 current 메커니즘을 구현한 conduction 피팅 모델를 병렬로 연결한 뒤, 스위칭 메커니즘를 구현하여 Verilog-A HDL로 구현을 하였다.







(c)



Figure 3. 3. (a) 0V 에서의 Band Diagram 및 parameter 들, (b) +9V 에서의 Band Diagram, (c) -7V 에서의 Band Diagram

3. 4. 압축 모델 결과 및 논의

측정한 소자 IV 데이터를 MATLAB으로 불러와 피팅을 진행하기 위해 몇 가지 처리를 해 주었다. 우선 각 voltage별 HfO₂ 및 Ta₂O₅에 걸리는 Electric Field 값을 얻기 위하여 equation 7을 MATLAB 함수로 구현하 고 인풋 voltage를 HfO₂와 Ta₂O₅에 걸리는 Electric Field로 변환해 주 었다. 또한 피팅 속도를 향상시키기 위하여 다음과 같이 식을 변형하여 피팅을 진행하였다.

• Hopping
$$\exists |\mathcal{F}| \downarrow \stackrel{\simeq}{\cong}$$

$$J = qanv \cdot exp\left(\frac{qaB}{kT}\right) exp\left(-\frac{Ba}{kT}\right) \qquad \dots \dots \dots (14)$$

$$\ln(J) = \ln(qanv) + \frac{qaE - E_a}{kT}$$

$$= \ln(qanv) + \frac{qa}{k} \cdot \frac{E}{T} - \frac{E_a}{k} \cdot \frac{1}{T}$$

$$= \alpha + \beta \cdot \frac{E}{T} - \gamma \cdot \frac{1}{T} \qquad \dots \dots \dots (15)$$

$$\left(\alpha = \ln(qanv), \beta = \frac{qa}{k}, \gamma = \frac{E_a}{k}\right)$$
• P-F $\exists |\mathcal{F}| \downarrow \stackrel{\simeq}{=}$

$$J = q\mu(2\left(2\pi m_0\frac{kT}{h^2}\right)^{\frac{3}{2}})E \cdot exp\left(-\frac{a\phi_T}{kT}\right)exp\left(\frac{q\sqrt{\frac{qE}{\pi\epsilon_i\epsilon_0}}}{kT}\right) \dots \dots (16)$$

$$\ln(J) = \ln\left(2q\mu\left(2\pi m_0\frac{k}{h^2}\right)^{\frac{3}{2}}\right) + \frac{3}{2}\ln(T) + \ln(E) + \left(\frac{q\sqrt{\frac{qE}{\pi\epsilon_i\epsilon_0}} - q\phi_T}{kT}\right)$$

$$= \frac{3}{2}\ln(T) + \ln(E) + \ln\left(2q\mu\left(2\pi m_0\frac{k}{h^2}\right)^{\frac{3}{2}}\right) + \left(\frac{q\sqrt{\frac{qE}{\pi\epsilon_i\epsilon_0}}}{k} \cdot \frac{\sqrt{E}}{T} - \frac{q\phi_T}{k} \cdot \frac{1}{T}\right)$$

$$= \frac{3}{2}\ln(T) + \ln(E) + n\left(E\right) + \alpha + \left(\beta \cdot \frac{\sqrt{E}}{T} - \gamma \cdot \frac{1}{T}\right) \dots \dots (17)$$

$$\left(\alpha = \ln\left(2q\mu(2\pi m_0\frac{k}{h^2})^{3/2}\right), \beta = \frac{q\sqrt{q/\pi\varepsilon_i\varepsilon_0}}{k}, \gamma = \frac{q\phi_T}{k}\right)$$

Schottky Emission

$$J = \left(\frac{120m^*}{m_0}\right) T^2 exp\left(-\frac{q\phi_B}{kT}\right) exp\left(\frac{q\sqrt{qE/4\pi\varepsilon_i\varepsilon_0}}{kT}\right) \qquad \dots \dots \dots (18)$$
$$\ln(J) = ln\left(\frac{120m^*}{m_0}\right) + 2\ln(T) + \left(\frac{q\sqrt{qE/4\pi\varepsilon_i\varepsilon_0} - q\phi_B}{kT}\right)$$
$$= 2\ln(T) + ln\left(\frac{120m^*}{m_0}\right) + \left(\frac{q\sqrt{q/4\pi\varepsilon_i\varepsilon_0}}{k} \cdot \frac{\sqrt{E}}{T} - \frac{q\phi_B}{k} \cdot \frac{1}{T}\right)$$
$$= 2\ln(T) + \alpha + \left(\beta \cdot \frac{\sqrt{E}}{T} - \gamma \cdot \frac{1}{T}\right) \qquad \dots \dots \dots (19)$$
$$\left(\alpha = ln\left(\frac{120m^*}{m_0}\right), \beta = \frac{q\sqrt{q/4\pi\varepsilon_i\varepsilon_0}}{k}, \gamma = \frac{q\phi_B}{k}\right)$$

다음과 같이 변형된 식을 바탕으로 세 가지 파라미터 (α β γ)를 피팅을 통해 찾은 값들과 결과, 피팅 정확도를 Table 2.와 Figure 3.3.에서 확인할 수 있다. Figure 3.3.의 (a), (b), (c)에서 여러 개의 surface를 확인할 수 있는데 각각의 surface는 전류 흐름 모델의 피팅값은 의미한다.

여기에서 다른 경우와는 다르게 음의 바이어스 LRS에서의 피팅은 Schottky의 경우에만 피팅을 해 놓았는데, 이는 PF가 나타날 정도의 Bias가 걸릴 정도의 Voltage에선 소자가 Reset 스위칭을 하기 때문에 LRS에서의 PF 메커니즘을 볼 수 없기 때문에 이 구간에서는 별도의 피팅을 하지 않았다.

위과 같이 피팅된 값을 Voltage Bias 및 소자 상태에 따른 전류 메커니즘과 함께 equation 8과 같이 스위칭 메커니즘까지 구현하여 Verilog-A로 구현한 뒤, virtuoso 6.1.7 및 spectre 15.1.0.3 tool을 이용하여 testbench를 작성하였다.

소자에 다른 소자 없이 단일 소자만 Testbench로 시뮬레이션 했을 때

문제 없이 온도 의존성 I-V 측정 데이터를 잘 따라오는 것을 볼 수 있었다. 그러나 저항이나 커패시터, 또는 또 다른 멤리스터 등 다른 소자가 직렬로 연결되었을 때는 두 가지 문제점이 있는 것을 알 수 있었다.

첫번째는 시뮬레이션에 convergence error가 발생한다는 것이었다. 이 문제점을 해결하기 위하여 여러 조사를 통해, 시뮬레이션의 구동 방식은 Kirchhoff's law에서 유도된 미분방정식을 수치해석적인 방법으로 여러 차례 풀어 각 parameter 및 결과값들이 기존 값과 tolerance 이하로 차이가 난다면 그 값을 해로 제시하는 것이라는 것을 알 수 있었다. 이런 회로 시뮬레이션 특성상 불연속점이 있으면 (실제 소자에서의 Point of Operation의 근처가 아니더라도) 미분방정식에서 불연속점이 존재한다면 convergence error가 뜰 수 있다.

또한 Zero Voltage Bias에서 zero current가 아닌 current가 존재하게 된다면 이 소자가 일종의 Current Source처럼 작용하게 되는 문제점이 있었다. 이 소자에 저항이 직렬로 연결되어 있을 때 저항에 전류가 흐르게 되어 전압강하가 생기게 되거나, 아니면 Capacitance에 무한대에 가까운 전하가 충전되어 무한대에 가까운 전압이 Capacitance 양단에 쌓이게 되는 문제점이 있었다.

즉 convergence error의 근본적인 원인은, 첫 번째에선 전류가 양의 방향으로 흐르는 Positive HRS (or LRS)와 음의 방향으로 흐르게 되는 Negative HRS (or LRS)에서 Voltage Bias가 0을 지나게 될 때의 전류가 일정하지 않다는 것이고, 두 번째 문제에선 Voltage Bias가 0에 가까워져도 어느 정도의 Current가 항상 존재한다는 것이다.

따라서 이 두 문제를 동시에 해결하기 위하여 Voltage Bias가 0 근처의 Voltage Bias에서 저항과 같이 Linear한 I-V 관계를 보이도록 모사하여 Voltage Bias가 0일 때 Current 또한 Figure 3.4와 같이 0으로 되도록 하였다. 이렇게 부분적으로 Linear한 거동을 보이게 한 것은 전혀 물리적인 의미를 내포하고 있지 않은 순전한 simulation trick이다. 기본값으로 |V| < 0.5일 때 모델의 경계값에서과 V = 0 경계 미분 가능한 값을 갖게 하도록 설정하여 모든 범위에서 미분 가능하도록 값을 설정하였고 이 값을 유동적으로 변화시킬 수 있도록 모델링하였다.

 경계의 기준이 되는 값을 l, |V| < 0.5일때의 소자의 전압에 따른 식</td>

 I = f(V), |V| ≥ 0.5일때의 전압에 따른 전류 식 I = g(V) 이라 했을때,

 f(V) = g(l) · $\frac{V^2}{l^2}$ · $\left(1 - \frac{V^2}{l^2}\right) + g(V) · \frac{V^2}{l^2}$

 으로 설정하면, f(V)의 V에 대한 도함수는

 f'(V) = g(l) · $\frac{2V}{l^2}$ · $\left(1 - \frac{V^2}{l^2}\right) + g(l) · \frac{V^2}{l^2}$ · $\left(-\frac{2V}{l^2}\right) + g'(V) · \frac{V^2}{l^2} + g(V) · \frac{2V}{l^2}$

 ort. 따라서

 f(0) = 0, f'(0) = 0, f(l) = g(l), f'(l) = g'(l)

 으로 한족하고, 스위칭을 하지 않는 모든 범위에서 이 모델은

 연속적이고 미분 가능하다 할 수 있다.

			a	β	¥	RMSE
Positive Bias	HRS	Hopping	0.7107	2.948e-06	2312	0.1815
		PF	-14.92	0.2589	9237	0.2557
	LRS	Hopping	2.267	2.538e-06	2858	0.1392
		PF	-14.82	1.2933	10010	0.3356
Negative Bias	HRS	Schottky	-7.576	0.0599	4099	0.1880
		PF	-18.16	0.1817	9143	0.1383
	LRS	Schottky	-8.414	0.07278	3441	0.08622

Table 2. 피팅된 값들



(b)

(a)





(c)

(d)

Figure 3. 3. (a) Positive HRS (b) Positive LRS (c) Negative HRS (d) Negative LRS에서의 피팅 결과. 각각의 Surface는 전류 흐름 모델에 따른 피팅을 의미한다.



Figure 3. 4. Deep trap occupancy rate에 따른 소자의 switching 거동



Figure 3. 5. 모든 범위에서 연속 & 미분 가능하도록 Wellposedness를 고려한 모델링 Scheme



Figure 3. 6. 완성된 PTHT Compact Model

4. 압축 모델이 쓰일 수 있는 Application

4.1 LIM

앞서 언급했던 것과 같이 현대의 디지털 시스템을 구성하는 기본적인 구조인 von Neumann Architecture는 필연적으로 von Neumann Bottleneck의 문제점을 가지고 있다[21][22]. Von Neumann Architecture에선 Processor와 Memory가 분리되어 있기 때문에 데이터 처리를 위해선 Processor가 Memory에게 read 명령을 하게 되고 이 명령을 받은 Memory는 받은 주소를 찾아가 데이터를 읽어 이를 Processor에 전달하게 된다. Processor는 이 데이터를 여러 연산을 통해 처리하여 Memory에 다시 write하게 되는 과정을 거쳐야 한다. 그러나 Memory와 Processor의 처리 속도와 처리 속도의 개선엔 상당한 Mismatch가 존재할 뿐만 아니라[23], Processor와 Memory의 사이를 연결해주는 BUS의 Bandwidth의 확장은 물리적으로 한정적이기 때문에 이 부분에서 주된 Limitation이 발생한다. 기존까진 Memory의 Minimum Feature Size를 줄이는 공정의 개선을 통해서 Memory Bandwidth를 높였고, Processor 또한 Multicore 등의 도입을 통해 Processor의 데이터 처리 속도를 늘리는 등 개별 Unit의 처리 속도 향상에 힘을 써왔다. 그러나 현재의 Bottleneck은 각각의 Unit의 Latency가 너무 커서 발생하는 문제가 아니라 각각의 Unit을 이어주는 BUS의 Throughput이 개별 Unit의 Throughput을 따라가지 못하는 문제에서 기인한다.

이러한 문제를 해결하기 위한 해결책으로는 BUS의 물리적 용량을 키워 Throughput을 늘리거나 BUS를 통해 이동하는 데이터의 양을 줄이는 것이다. 이 해결책 중 하나로 Memory 내에서 Data의 간단한 연산을 위해 Data를 Processor로 이동하지 않고 Memory 내에서 처리할 수 있는 In-Memory Computing의 한 종류인 Stateful Logic이 제시되었다 [24][25] Memory 근처에 Logic Processor를 두어 간단한 연산을

처리하는 일반적인 In-Memory Computing은 Memory Cell 공정의 Feature Size가 줄면 줄수록 이에 비례하여 Memory Cell의 면적은 줄어들게 되지만 Logic Processor는 면적을 줄이는데 한계가 있으므로 Memory 공정의 Feature Size가 줄면 줄수록 Memory Cell보다 Logic Processor의 면적 비율이 더 커지게 되는 역설적인 상황이 일어나게 된다.

이러한 점 때문에 큰 면적을 차지하지 않고 추가적인 overhead 없이 In-Memory Computing을 구현할 수 있는 Stateful Logic이 제시되었다. Stateful Logic은 멤리스터 자체의 스위칭 특성을 이용한 Logic으로, 특정 Voltage 이상 소자에 인가되었을 때 소자가 Set 또는 Reset된다는 특징을 활용한 Logic Operation Scheme이다.

이제껏 연구된 Logic Gate Scheme에는 IMPLY[26], MAGIC[27], SIMPLE MAGIC[28], MRL_Logic[29], X-LOGIC [30] 등의 여러 configuration이 있었다.

Logic-in-memory의 분류엔 여러 종류의 분류가 존재한다. 우선 대표적으로 인풋값이 인가되는 전압으로 가해지는 V-R Logic과 각 멤리스터의 상태로 가해지는 R-R Logic이 존재한다. 이러한 멤리스터 Logic의 configuration과 logic을 체계적으로 분류할 수 있는 명명법이 제시되었다[31].

이번 연구에선 Figure 4.1.과 같이 PMASM-two-3NOR의 Logic을 구현해 보았다[27]. Figure 4.1.에서 묘사한 것과 같이, Logic 인풋 저항에 의한 equivalent resistance에 의해 역방향으로 직렬으로 삽입되어 있는 logic output 저항에 걸리게 되는 전압이 달라지게 되며 스위칭 여부가 결정되는 원리이다. Logic 동작을 위해 우선 output 멤리스터를 LRS로 스위칭시킨 후 인풋 멤리스터의 positive terminal에 logic operation voltage를 인가한다. Logic 인풋이 00일 때는 인풋 voltage에 대부분의 전압이 걸리기 때문에 output resistance에 충분한 전압이 걸리지 않게 되고, 역 방향으로 걸려있는 output 멤리스터가 reset 스위칭되지 않아 1의 logic output을 내게 된다. 이와는

대조적으로 Logic 인풋이 01, 10, 11일 때는 많은 전압이 output 멤리스터에 인가되게 되어, 이 인가되는 전압이 reset voltage보다 크게 된다면 output 멤리스터가 스위칭하여 0의 logic output을 내게 되는 것이다. 즉 이를 요약하면 Table 3과 같이 NOR의 동작을 보여주게 된다.

Р	Q	Y _{old}	Y _{new}
0	0	1	1
0	1	1	0
1	0	1	0
1	1	1	0

Table 3. Truth Table of PMASM-two-3NOR logic



Figure 4. 1. PMASM-two-3NOR schematic



Figure 4.2 PMASM-two-3NOR 동작원리

4.2 결과 및 논의

이 Logic을 Cadence Virtuoso Analog Design Environment Tool을 이용하여 Figure 4.3.과 같이 schematic을 만들었다. Simulation은 두 가지, DC Sweep analysis와 Tran Sweep analysis로 분석하였는데, DC Sweep은 적절한 Logic Operation Voltage 조건을 잡기 위하여 실행하였고 여기에서 추출한 결과를 통하여 Tran 분석을 통하여 이 모델을 활용한 회로가 정상 동작함을 보이고자 하였다. 회로의 DC Sweep simulation 결과는 Figure 4.4.과 같았다. DC 분석 결과 11.1V ~ 13V의 범위에서 Logic Operation이 정상 작동하는 것을 확인할 수 있었고, margin을 확보하기 위하여 12V를 Logic Operation Voltage로 설정하였다. 이렇게 구한 Logic Operation Voltage를 활용하여 Tran Sweep을 Figure 4.5.과 같이 진행하였다. Tran Sweep에서 read voltage는 10V로 설정하였다. Figure 4.5. (a) 결과에서 인풋 멤리스터가 01, 10, 11일 때 output voltage에 걸리는 voltage가 reset voltage를 초과하는 것을 볼 수 있고, 따라서 Figure 4.5. (b)에서 read stimulus가 가해졌을 때 00을 제외한 01, 10, 11이 0 상태로 reset 스위칭한 것을 알 수 있다.

이렇듯 설계한 모델을 바탕으로 멤리스터 logic을 설계해 보고 적절한 동작 조건을 확인, 실제로 멤리스터 logic이 적절히 동작하는 것을 확인할 수 있었다. 만일 모델이 없이 이 소자로 공정을 진행하여 소자를 제작하였다면 동작조건 설정 및 실제 결과 등에서 시행착오가 더 많았을 것은 분명하다. 적절한 멤리스터 logic과 이에 따른 소자의 존재는 이 모델의 필요성과 유용성을 입증한다고 볼 수 있다.



Figure 4. 3. PMASM-two-3NOR Test Circuit Schematic



Figure 4. 4. PMASM-two-3NOR DC sweep 결과



(b)



Figure 4. 5 PMASM-two-3NOR Tran sweep 결과

5. 결론

이 문헌에서는 전류 흐름 메커니즘을 고려한 멤리스터의 모델을 설계해 보았다. 우선 기존 문헌에서 전류 흐름 메커니즘의 범위가 엄밀하게 설정되지 않았기 때문에, 전류 흐름 메커니즘의 범위를 우선 설정할 필요가 있었다. 또한 전류 흐름 메커니즘에는 많은 상수들이 있었기 때문에 피팅의 용의성을 위해 모든 메커니즘 parameter들을 3개의 parameter로 압축한 후 모든 범위에 전류 흐름 메커니즘이 존재하고 단지 그 dominance가 변화될 뿐이라는 가설을 설정하고 실제 피팅 및 검증을 통해 가설에 문제가 없음을 확인하고, 스위칭 메커니즘 및 wellposedness를 고려한 Verilog-A 모델을 완성하였다. 마지막으로 이 모델을 활용할 수 있는 멤리스터 logic을 예시로 삼아 이 모델의 정합성 및 유용성을 확인할 수 있었다.

이 모델 작성 flow는 이 PTHT 소자 뿐만이 아닌 모든 멤리스터 소자 동작을 모사할 수 있는 general한 모델 작성법이다. 또한 스위칭 메커니즘 및 well-posedness에 문제가 없으면 소자의 동작에 문제가 없음을 확인할 수 있다[15].

현 모델에는 MIM 및 MIS의 capacitance 등의 reactance를 고려하지 아니하였는데, 이러한 점을 추가하여 추후 연구 및 설계에 반영한다면 pulse 구동 등의 시간을 고려한 분석에서 완성도가 높아질 것이다.

참고 문헌

[1] ÖZKÖSE, Hakan; ARI, Emin Sertaç; GENCER, Cevriye. Yesterday, today and tomorrow of big data. Procedia-Social and Behavioral Sciences, 2015, 195: 1042-1050.

[2] PRZYBYLSKI, Steven A. Cache and memory hierarchy design: a performance directed approach. Morgan Kaufmann, 1990: 2-7

[3] ARIKPO, I. I.; OGBAN, F. U.; ETENG, I. E. Von neumann architecture and modern computers. Global Journal of Mathematical Sciences, 2007, 6.2: 97-103.

[4] SEBASTIAN, Abu, et al. Memory devices and applications for in-memory computing. Nature nanotechnology, 2020, 15.7: 529-544.

[5] WANG, Zhongrui, et al. Resistive switching materials for information processing. Nature Reviews Materials, 2020, 5.3: 173-195.

[6] WANG, Hong; YAN, Xiaobing. Overview of resistive random access memory (RRAM): Materials, filament mechanisms, performance optimization, and prospects. physica status solidi (RRL)-Rapid Research Letters, 2019, 13.9: 1900073.

[7] CHENG, Chun-Hu; CHIN, Albert; YEH, F. S. Novel ultra-low power RRAM with good endurance and retention. In: 2010 Symposium on VLSI Technology. IEEE, 2010. p. 85-86.

[8] LEE, H. Y., et al. Electron Devices Meeting, 2008. IEDM 2008. In: IEEE International. 2008.p. 1-4.

[9] XUE, Fei, et al. The effect of plasma treatment on reducing electroforming voltage of silicon oxide RRAM. ECS Transactions, 2012, 45.6: 245.

[10] KÜGELER, Carsten, et al. Materials, technologies, and circuit concepts for nanocrossbarbased bipolar RRAM. Applied Physics A, 2011, 102.4: 791-809.

[11] GÜL, Fatih. Addressing the sneak-path problem in crossbar RRAM devices using memristor-based one Schottky diode-one resistor array. Results in Physics, 2019, 12: 1091-1096.

[12] YOON, Jung Ho, et al. Highly uniform, electroforming-free, and self-rectifying resistive memory in the Pt/Ta2O5/HfO2-x/TiN structure. Advanced Functional Materials, 2014, 24.32: 5086-5095.

[13] QUINTEROS, C., et al. HfO2 based memory devices with rectifying capabilities. Journal of Applied Physics, 2014, 115.2: 024501.

[14] KIZIROGLOU, M. E., et al. Thermionic field emission at electrodeposited Ni-Si Schottky barriers. Solid-State Electronics, 2008, 52.7: 1032-1038.

[15] WANG, Tianshi; ROYCHOWDHURY, Jaijeet. Well-posed models of memristive devices. *arXiv preprint arXiv:1605.04897*, 2016.

[16] PRESS, WILLIAMH, et al. Numerical recipes in Pascal- The art of scientific computing((Book)). *Research supported by NSF. Cambridge and New York, Cambridge University Press, 1989, 781*, 1989.

[17] J. Roychowdhury. Numerical simulation and modelling of electronic and biochemical systems. Foundations and Trends in Electronic Design Automation, 3(2-3):97–303, December 2009.

[18] T. Wang and J. Roychowdhury. Guidelines for Writing NEEDS-compatible Verilog-A Compact Models. https://nanohub.org/resources/18621, Jun 2013.

[19] 이진원. 국한된 영역에 나노닷이 형성된 저항성 스위치 메모리 특성 연구 / 이진원 [electronic Resource], 2022.

[20] CHIU, Fu-Chien. A review on conduction mechanisms in dielectric films. Advances in

Materials Science and Engineering, 2014, 2014.

[21] TURING, Alan Mathison, et al. On computable numbers, with an application to the Entscheidungsproblem. J. of Math, 1936, 58.345-363: 5.

[22] VON NEUMANN, John. First Draft of a Report on the EDVAC. IEEE Annals of the History of Computing, 1993, 15.4: 27-75.

[23] C. Carvalho, in Proc. IEEE Int. Conf. Control Automation, IEEE, Piscataway, NJ, USA 2002, pp. 27-34.

[24] EERO, Lehtonen; MIKA, Laiho. Stateful implication logic with memristors. In: Proc. IEEE/ACM Int. Symp. Nanoscale Architectures. 2009. p. 33-36.

[25] BORGHETTI, Julien, et al. 'Memristive'switches enable 'stateful'logic operations via material implication. Nature, 2010, 464.7290: 873-876.][XU, Nuo, et al. In-Memory Stateful Logic Computing Using Memristors: Gate, Calculation, and Application. physica status solidi (RRL)-Rapid Research Letters, 2021, 15.9: 2100208.

[26] KVATINSKY, Shahar, et al. Memristor-based material implication (IMPLY) logic: Design principles and methodologies. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2013, 22.10: 2054-2066.

[27] KVATINSKY, Shahar, et al. MAGIC—Memristor-aided logic. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61.11: 895-899.

[28] HUR, Rotem Ben, et al. SIMPLE MAGIC: Synthesis and in-memory mapping of logic execution for memristor-aided logic. In: *2017 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*. IEEE, 2017. p. 225-232.

[29] KVATINSKY, Shahar, et al. MRL—Memristor ratioed logic. In: *2012 13th International Workshop on Cellular Nanoscale Networks and their Applications*. IEEE, 2012. p. 1–6.

[30] PARK, Taegyun, et al. Reliable Domain-Specific Exclusive Logic Gates Using Reconfigurable Sequential Logic Based on Antiparallel Bipolar Memristors. Advanced Intelligent Systems, 2022, 4.5: 2100267.

[31] XU, Nuo, et al. In-Memory Stateful Logic Computing Using Memristors: Gate, Calculation, and Application. physica status solidi (RRL)-Rapid Research Letters, 2021, 15.9: 2100208.

Abstract

Compact Modeling of Carrier-based Switching RRAM

Byeol Jun Lee Materials Science & Engineering, Seoul National University The Graduate School Seoul National University

Crossbar arrays are one of several solutions proposed to solve the von Neumann bottleneck with high integration and low power consumption. A Pt/Ta₂O₅/HfO₂/TiN stack self-rectifying device (hereafter referred to as a PTHT device) that can maximize this advantage does not require a rectifier unit, operates at low power, and has a high rectification ratio and memory window.

Unlike filament-based RRAM, it is difficult to apply these PTHT devices to filament-based memristor models due to the characteristics of carrier-based device switching.

Therefore, research for developing a compact model that can simulate device behavior reflecting carrier-based device switching was conducted. The electric field-current density relation in the device according to the mechanism found in previous studies was reconfirmed through fitting according to the equation of electric field and temperature. After that, modeling based on current flow and device switching mechanism of the device was built by implementing each current flow mechanism according to the I-V behavior of the actual device.

As an example of an application that can leverage the model, a LIM, capable of processing operations inside the Crossbar Array, were discussed with the conditions under which the LIM could be operated.

Keywords : self-rectifying, compact model, current conduction mechanism, LIM (Logic In Memory) Student Number : 2021-26426