creative commons

COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학전문석사 학위 연구보고서

자율주행 Custom System on Chip (AD-SoC) 개발 핵심동인 연구

2023년 2월

서울대학교 공학전문대학원

응용공학과 응용공학전공

고 영 석

자율주행 Custom System on Chip (AD-SoC) 개발 핵심동인 연구

지도 교수 구 윤 모

지도 교수 이 혁 재

이 프로젝트 연구보고서를 공학전문석사 학위 연구보고서로 제출함

2022년 12월

서울대학교 공학전문대학원

응용공학과 응용공학전공

고 영 석

고영석의 공학전문석사 학위 연구보고서를 인준함

2022년 12월

위 원 장 오 병 수 (인)

위 원 구 윤 모 (인)

위 원 이 혁 재 (인)

위 원 이 기 춘 (인)

국문초록

자동차 산업은 소프트웨어 정의 차량 (Software Defined Vehicle, SDV)으로의 기술 패러다임 변화가 진행 중이며, 이를 위한 제어기 하드웨어 혁신에 있어 Custom System on Chip (SoC) 기술이 중요한 역할을 담당할 것으로 예상된다. 그런데, 대부분의 자동차 OEM 및 Tier 1 사업자는 Custom SoC 개발에 대한 이해와 경험이 부족하고, 효과적 기술 로드맵 수립 및 실행을 위한 자체 역량을 확보하지 못하고 있다. 본 연구는 자동차 OEM 및 Tier 1 사업자 관점에서 Level 3 이상 자율주행 Custom SoC (AD-SoC) 개발 목표 달성에 영향을 미치는 핵심동인을 규명함으로써, 중장기적으로 차량용 Custom SoC의 자동차 산업 내 확산에 기여하고자 한다.

본 연구를 통해 제품기획, 설계개발, 공정제조 영역에서 AD-SoC 개발목표 달성에 영향을 미치는 핵심동인을 정의하고 계층화분석법에 기반한 전문가 설문조사를 실시하여, 핵심동인의 중요도 및 AD-SoC 개발 시나리오에 따른 핵심동인의 중요도 변화를 평가했다. 전문가 설문 결과, 제품기획, 설계개발 영역의 핵심동인이 공정제조 영역의 핵심동인 대비 개발목표 달성에 보다 큰 영향을 미치는 것으로 평가되었다. 특히, 제품기획 영역 중 성능목표 Safety 사양 설정 및 IP, 공정기술 정책 설정, 설계개발 영역 중 SoC 아키텍처 설계 및 설계개발 인적 역량의 중요도가 높게 평가되었다. 또한, 최초 개발부터 범용 SoC 대비 동등 또는 상회 수준의 성능목표를 설정하고 최신 IP, 공정기술을 적극적으로 적용하는 도전적 개발 시나리오의 경우, 개발목표 달성에 있어 핵심동인의 중요도가 더 높은 것으로 평가되었다.

본 연구결과는 AD-SoC 개발을 추진하는 자동차 OEM 및 Tier 1 사업자에게 유용한 시사점을 제공한다. 제품기획 영역에서 AD-SoC 사양 합리화 및 IP, 공정기술 선정 최적화를 추구해야 하며, 외부 생태계를 활용하되 SoC 아키텍처 설계 분야 핵심인력 확보 및 NPU (Neural Processing Unit) 기술 내재화를 고려해야 한다. 또한, 최초 세대 AD-SoC 개발은 보수적으로 접근하고 차세대 개발 시 도전적 목표를 설정하는 단계적 개발 로드맵 채택을 고려하는 것이 타당하다.

주요어 : 자율주행, Custom SoC, 핵심동인, 계층화분석법, 기술 로드맵
학 번 : 2021-20677

목 차

제 1 장 연구 개요 및 필요성 2
제 1 절 자동차 전장기술 혁신과 Custom SoC의 중요성 2
제 2 절 차량용 Custom SoC 개발의 주요 이슈 4
제 3 절 연구 목적 및 핵심질문 5

제 2 장 자율주행 SoC 기술 개요 및 사례 8
제 1 절 자율주행 Computing Platform 개요 8
제 2 절 Tesla의 자율주행 Custom SoC 개발 사례 11

제 3 장 연구 및 자료수집 방법 14
제 1 절 연구 단계 14
제 2 절 계층화분석법 (AHP) 개요 15
제 3 절 전문가 설문조사 방법 16

제 4 장 핵심동인 중요도 평가결과 19
제 1 절 AD-SoC 개발 핵심동인 정의 19
제 2 절 핵심동인 중요도 평가결과 22
1. 제품기획 핵심동인 평가결과 22
2. 설계개발 핵심동인 평가결과 23
3. 공정제조 핵심동인 평가결과 26
4. 기타 평가결과 28

제 5 장 시나리오 별 핵심동인 중요도 평가결과 32
제 1 절 AD-SoC 개발 로드맵 상의 주요 이슈 32
제 2 절 AD-SoC 개발 시나리오 정의 33
제 3 절 시나리오 별 핵심동인 중요도 평가결과 34

제 6 장 결론 및 시사점 37
제 1 절 분석결과 종합 37
제 2 절 자동차 OEM 및 Tier 1 사업자에 대한 시사점 38
제 3 절 연구 한계점 및 추가 연구 필요성 40

참고문헌 41

첨부 44

Abstract 65

표 목차

[표 1-1] 12
[표 1-2] 13
[표 2-1] 33

그림 목차

[그림 1-1] 3
[그림 2-1] 8
[그림 2-2] 11
[그림 3-1] 15
[그림 3-2] 17
[그림 4-1] 20
[그림 4-2] 22
[그림 4-3] 23
[그림 4-4] 24
[그림 4-5] 25
[그림 4-6] 25
[그림 4-7] 26
[그림 4-8] 27
[그림 4-9] 27
[그림 4-10] 28
[그림 4-11] 29
[그림 4-12] 30
[그림 4-13] 31
[그림 5-1] 33
[그림 5-2] 35
[그림 5-3] 36

제 1 장 연구 개요 및 필요성

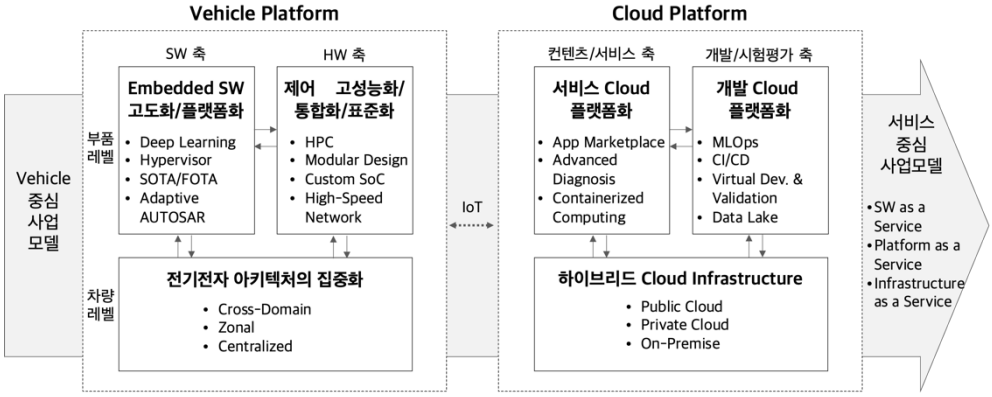
제 1 절 자동차 전장기술 혁신과 Custom SoC의 중요성

최근 자동차 전장기술 관련 가장 중요한 기술 패러다임 중 하나는 소프트웨어 정의 차량 (Software Defined Vehicle, SDV)이다 (Meissner, et al., 2020, Windpassinger, 2020). 자동차 OEM 또는 Tier 1 사업자는 서비스 및 개발 클라우드와의 연결성 강화를 통해 소프트웨어(Software, SW) 중심으로 차량 기능을 개선할 수 있으며, 이를 통해 사용자 경험 관점에서 차량의 가치를 지속적 향상시킬 수 있다. SDV 구현은 자동차 산업 내 사업모델 혁신을 가능하게 하는 기술적 기반의 구축을 의미하며, 이러한 변화는 이미 타 정보통신기술 산업에서 관찰되어 왔다 (Cusumano, et al., 2019). 자동차 산업은 차량 또는 차량부품 제조판매 중심의 사업모델에서 소프트웨어 중심 사업모델 (Software as a Service, SaaS), 플랫폼 중심 사업모델 (Platform as a Service, PaaS) 등 서비스 중심 사업모델로 변화하고 있다 [그림 1-1].

SDV 구현을 위해서는 차량 전기전자 아키텍처의 집중화, 하드웨어-소프트웨어 분리에 따른 제어기 SW의 플랫폼화, 제어기 고성능화, 통합화, 표준화를 위한 차량용 시스템 반도체 고도화 등 복합적이고 상호 연관된 기술혁신이 수반되어야 한다. 차량 전기전자 아키텍처의 집중화는 기존 도메인 중심 아키텍처로부터 영역 기반 아키텍처 (Zonal Architecture)를 거쳐 중앙집중 아키텍처 (Centralized Architecture)로 진화할 것으로 전망되며, 이는 SDV 구현을 위한 차량 레벨의 가장 기초적인 토대를 제공한다. 혁신적 전기전자 아키텍처를 기반으로 차량 제어기 단위에서는 AI 알고리즘에 기반한 고도화된 응용 SW (Application SW) 개발과 이를 효율적이고 유연하며 확장가능하고 안정적으로 구동하기 위한 시스템 SW의 플랫폼화가 진행되고 있다 (Bernhart, et al., 2022, Fletcher, et al., 2020).

차량 전기전자 아키텍처의 집중화 및 제어기 SW의 고도화, 플랫폼화는 제어기 하드웨어 (Hardware, HW)의 고성능화, 통합화, 표준화를 견인하고 있다. 예를 들어, Level 3 또는 Level 4 자율주행 시스템은 딥러닝 기반 SW를 구동하기 위해 고성능 제어기 (High Performance Compute) 개발을 요구하고 있으며, 파워트레인 전동화에 따라 기존 샤시 도메인과 전동화 도메인이 통합 되면서 통합 차량역학

제어기 (Vehicle Dynamics Control Unit) 개발이 진행되고 있다. 또한, 영역 기반 아키텍처로의 변화는 Zonal 게이트웨이와 같은 표준화, 모듈화 된 통합 제어기의 개발을 촉진하고 있다.



[그림 1-1] 자동차 전장기술 혁신 Framework[1]

이러한 제어기 HW 혁신에 있어 차량용 Custom System on Chip (SoC) 기술이 중요한 역할을 수행할 가능성이 있다. SoC는 CPU, DSP, 메모리 등 과거 별도의 칩을 통해 구현되던 기능을 블록화하여 하나의 칩으로 집적한 반도체인데, 지금까지는 차량용 반도체 업체가 범용 SoC 제품 형태로 개발, 판매하는 것이 자동차 산업 내 구도였다. 즉, 차량용 반도체 사업자는 반도체 기술 발전 추세와 First Mover 자동차 OEM 및 Tier 1 사업자의 제품기술 로드맵을 고려하여, 다수 Follower 사업자의 기술적 니즈에 부합하고 가장 큰 시장 수요를 창출할 수 있는 사양의 범용 반도체를 개발해 왔다.

그런데, 모바일, 컴퓨터 등 정보통신기술 산업의 경우, 무어의 법칙 등 반도체 기술혁신 주기가 완만해 지고, OEM의 제품 및 기술 차별화 필요성이 커지면서 범용 반도체가 아닌 자체 Custom SoC를 개발하는 추세가 증대하고 있다. 실제로 글로벌 선도 기술 기업 중 상당수가 반도체 사업을 영위하고 있지 않음에도 불구하고 자체 SoC를 개발하여

[1] SOTA는 Software Updates Over-the-Air, FOTA는 Firmware Updates Over-the-Air, AUTOSAR는 Automotive Open System Architecture, HPC는 High Performance Compute, MLOps는 Machine Learning Operations, CI/CD는 Continuous Integration/Continuous Delivery를 의미

자사 제품에 장착하고 있다 (Shead, 2021). 자동차 산업에서도 자동차 OEM이 자사 차량에 특화하여 Custom SoC를 개발하고자 하는 움직임이 일어나고 있으며 고성능 SoC 분야에서 효시는 Tesla가 '19년 자율주행 시스템을 위한 고성능 Custom SoC를 양산한 사례이다.

차량용 Custom SoC는 범용 SoC 대비 명확한 기술적 장점을 제공하는데, 무엇보다도 자동차 OEM 또는 Tier 1 사업자가 설계하는 시스템 및 SW에 최적화된 반도체 사양을 설정할 수 있고, 이를 위한 최적의 아키텍처 및 IP/공정기술을 선정하는 것이 가능하다. 이러한 기술적 장점 때문에 차량용 Custom SoC 기술은 향후 SDV 구현을 위한 제어기 HW 혁신을 선도하는데 핵심적인 역할을 수행할 것으로 예상된다. 즉, Custom SoC 기술은 범용 SoC 대비 보다 최적화된 Computing Platform 개발을 가능하게 함으로써, 제어기 고성능화, 통합화, 표준화에 있어 자동차 OEM 또는 Tier 1 사업자에게 차별적인 기술적 우위를 제공할 수 있을 것으로 전망된다.

제 2 절 차량용 Custom SoC 개발의 주요 이슈

자동차 OEM 또는 Tier 1 사업자가 차량용 Custom SoC 개발을 추진하는데 있어 장애요인은 Custom SoC 개발에 대한 이해와 경험이 부족하고, 효과적 기술 로드맵 수립 역량을 충분히 확보하지 못하고 있다는 점이다. 차량용 반도체는 대부분의 자동차 OEM 또는 Tier 1 사업자에게 있어 기술 내재화 영역이 아니었으며, 구매를 통한 조달 부품으로 여겨져 왔다. 이러한 정책은 반도체 설계 기술을 통해 시스템 아키텍처의 혁신을 추구하기 보다는 규모의 경제를 통해 원가경쟁력을 보유한 반도체를 적기 확보하는 것에 더 높은 우선순위를 둔 것에 기인한 것으로 판단된다.

차량용 반도체를 외부 소싱에 의존해 오면서, 대부문의 자동차 OEM 및 Tier 1은 자사 또는 고객사의 요구사양에 적합한 최적의 반도체를 개발하기 위한 제품기획, 아키텍처 설계, 공정기술 기획 등 핵심역량의 축적이 어렵게 되었다. 실제로, 일부 선도 Tier 1 사업자를 제외하고, 부품 레벨 시스템 아키텍처 혁신에 따라 반도체 기술 혁신 요구사항을 도출하고 이에 부합하는 차세대 반도체 개발을 반도체 전문사에 요구하는 Top-down 방식의 기술혁신 모델 보다는, 반도체 전문사의 기술 로드맵 및 혁신 속도에 맞추어 부품 레벨 시스템

아키텍처의 혁신을 추구하는 Bottom-up 방식의 기술혁신 모델을 많은 Tier 1 사업자들이 추구하고 있다.

자동차 OEM 또는 Tier 1 사업자가 직면하고 있는 장애요인 중 또 다른 하나는 Custom SoC 개발의 불확실한 투자수익성이다. 일반적으로 다수의 자동차 OEM 및 Tier 1 사업자를 대상으로 판매되는 범용 SoC는 대규모 물량 확보에 따른 규모의 경제 실현을 통해 개발비 상각효과 및 IP Running 로열티, 웨이퍼 비용 등의 단가 절감이 가능하여, 지속적인 가격경쟁력 강화를 기대할 수 있다. 반면에, 차량용 Custom SoC는 특정 자동차 OEM 차량 대상으로 적용이 제한되어 범용 SoC 대비 구조적으로 확보 가능한 물량이 적어 규모의 경제 관점에서 불리하다. 이러한 이유로 아직까지 많은 자동차 및 반도체 전문가들은 자동차 OEM의 반도체 수직계열화 니즈는 높지 않은 것으로 판단하고 있다 (Burkachy, et al., 2021).

최근 차량용 시스템 반도체 생태계의 발달은 차량용 Custom SoC 개발에 대한 자동차 OEM 및 Tier 1 사업자의 기술적 이해와 경험을 보완하고, 투자수익성을 담보하는 효과적 기술 로드맵을 수립하는데 긍정적 영향을 미칠 것으로 기대된다. 일반적으로 Custom SoC 개발에 있어 OEM (또는 Tier 1 사업자)은 제품기획, 아키텍처 설계 및 IP, 공정기술 선정을 담당하고 Logic 및 Physical 설계, 평가는 Design House 등 외부 전문업체의 도움을 받는다. 최근 국내외 차량용 시스템 반도체 생태계는 Fabless, Design House, IP 전문 개발업체가 증가하는 등 빠르게 발달하고 있으며, RISC-V International과 같은 오픈 IP 커뮤니티의 등장도 시스템 반도체 생태계 확장에 기여할 것으로 전망된다.

이외에도, 자동차 OEM 또는 Tier 1 사업자는 자율주행 개발 컨소시엄 참여 등 전략적 제휴를 통해 Custom SoC 개발 역량을 보완하고 적용물량을 확대를 통해 투자수익성을 제고할 수 있다. 다만, 이 경우, 자사 시스템 및 SW에 최적화하는 Custom SoC의 장점이 일정 부분 희석될 수 있고 참여 사업자 간 이해충돌 조정에 따라 제품기획 및 개발 기간이 늘어날 수 있는 단점이 존재한다.

제 3 절 연구 목적 및 핵심질문

본 연구는 자동차 OEM 및 Tier 1 사업자 관점에서 차량용 Custom

SoC 개발 목표 달성에 영향을 미치는 핵심동인을 규명함으로써, 중장기적으로 차량용 고성능 Custom SoC 개발의 투자수익성 개선 및 자동차 산업 내 Custom SoC 개발의 확산에 기여하고자 한다.

연구의 효율성을 위해 연구 대상 차량용 Custom SoC는 SAE (Society of Automotive Engineers)가 정의한 Level 3 이상 자율주행 시스템에 적용되는 고성능 Custom SoC (이하 AD-SoC)로 한정했다. AD-SoC 개발의 대표적 사례로는 Tesla가 '19년 자체 개발한 FSD3가 있으며, AD-SoC의 대체재로서 구매 가능한 차량용 범용 고성능 SoC의 예시로는 Nvidia의 Drive AGX Orin, Mobileye의 EyeQ5, Qualcomm의 Snapdragon RIDE 등이 있다.

본 연구의 핵심질문은 다음과 같이 설정했다. 첫번째 핵심질문은 "AD-SoC 개발목표 달성에 중요한 영향을 미치는 핵심동인은 무엇인가?"이다. AD-SoC 개발목표는 성능, 원가, 납기, 품질 등 포괄적 영역의 목표를 모두 포괄하며, AD-SoC 개발의 핵심동인은 제품기획, 설계개발, 공정제조 영역에서 정의했다. 두번째 핵심질문은 "AD-SoC 개발 시나리오에 따라 핵심동인 중요도는 어떻게 달라지는가?"이다. AD-SoC 개발 시나리오는 자동차 OEM 및 Tier 1 사업자 관점에서 AD-SoC 개발 로드맵 상의 주요 결정변수에 따라 정의했다.

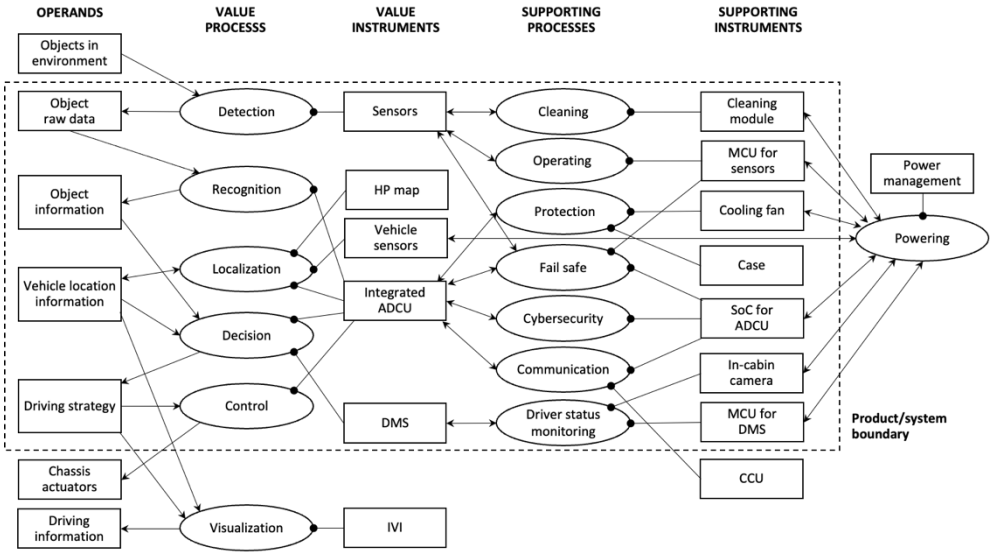
상기 핵심질문에 대한 분석 결과를 바탕으로 자동차 OEM 및 Tier 1 사업자 관점에서 AD-SoC 개발전략에 대한 시사점을 도출했다. 시사점 도출은 연구 초기 AD-SoC 개발전략 관점에서 주요 가설을 설정하고, 상기 두가지 핵심질문에 대한 전문가 평가결과를 분석하여 주요 가설을 검증하는 방식으로 진행 되었다. AD-SoC 개발전략에 대한 주요 가설은 다음과 같다. 첫째, AD-SoC 개발목표 달성을 위해서는 설계개발 및 공정제조 역량 확보가 가장 중요하다. AD-SoC는 차량용 시스템 반도체 중 가장 높은 연산성능이 요구되는 SoC로서 최고 수준의 반도체 설계개발, 공정기술이 요구되며, 이를 위해 최신 IP, 공정기술의 적용이 필요하기 때문이다. 둘째, AD-SoC 개발은 시스템 반도체 생태계를 활용한 외주개발 방식이 타당하다. 자동차 OEM 및 Tier 1 사업자는 반도체 개발 전문성 및 경험 부족하며, 자동차 OEM 및 Tier 1 사업자가 대규모 자체 반도체 설계 인력 및 조직을 구축하고, IP 등 기술자산 내재화를 추진하기 위해서는 대규모 투자와 오랜 시간이 소요되기 때문이다. 셋째, AD-SoC 성능목표는 범용 SoC와 동일하거나 상회하는 수준으로 설정하는 것이 필요하다. 이미 차량용 반도체 시장에는 Nvidia 등 반도체 전문업체가 개발 출시한 고성능 범용 SoC

존재하며, 자동차 OEM 및 Tier 1 사업자가 Custom SoC 개발의 효용성을 확보하기 위해서는 최소한 범용 SoC 대비 동일 또는 상회하는 수준의 성능목표를 설정하는 것이 필요하기 때문이다.

제 2 장 자율주행 SoC 기술 개요 및 사례

제 1 절 자율주행 Computing Platform 개요

운전자보조 (Advanced Driver Assistance) 시스템 보다 기술적으로 진보된 자율주행 (Autonomous Driving) 시스템은 센서와 고성능 제어기로 구성되며, 인지 (Recognition), 판단 (Decision), 제어 (Control)의 단계적 기능 수행을 통해 시스템 요청 시 운전자가 Take-over하는 Level 3 자율주행 또는 운전자의 Take-over가 필요 없는 Level 4 자율주행을 구현한다. 자율주행 시스템용 제어기는 크게 SW와 HW로 구성되는데, 카메라, 레이다, 라이다 등 복수의 이종 센서를 통해 수집한 데이터의 통합 (Sensor Fusion), 차량 위치 측정 (Localization), 주행환경 및 정적/동적 객체 인식, 주행경로 생성 및 주행전략 판단, 조향, 속도, 제동 제어 등 세부 기능은 SW를 통해 처리된다. Level 3 이상 자율주행 시스템의 아키텍처는 [그림 2-1]과 같다.



[그림 2-1] Level 3 이상 자율주행 시스템 아키텍처[2]

[2] ADCU는 Autonomous Driving Control Unit, DMS는 Driver Monitoring System, IVI는 In-vehicle Infotainment System, CCU는 Communication Control Unit, MCU는 Microcontroller Unit을 의미

자율주행 SW Stack은 이러한 인지, 판단, 제어의 주요 기능을 수행하는 딥러닝 알고리즘을 포함한 응용 SW와 통신, 기능안전, 사이버보안, 장치제어 등 기본 기능을 수행하는 시스템 SW로 구성되며, 자율주행 시스템용 제어기 (Autonomous Driving Control Unit, ADCU)가 방대하고 복잡한 자율주행 SW Stack을 빠르고 안정적으로 구동하기 위해서는 고성능, 고효율 Computing Platform을 필요로 한다.

초기 단계에서는 여러 대의 고성능 워크스테이션에 센서를 연결한 후, SW 프로그래밍을 통해 ADCU에 대한 선행연구개발을 수행하며, 이후 실제 양산 적용 시에는 Embedded System 형태로 ADCU를 개발한다. 현재 ADCU 연구개발을 위해 Nvidia, Mobileye, Qualcomm 등 반도체 사업자는 고성능 SoC와 개발 보드, 운영체제 (Operating System, OS) 및 SW개발 툴체인 등으로 구성된 자율주행 개발 솔루션을 자동차 OEM, Tier 1 사업자, 자율주행 SW 개발 전문업체 등에 공급하고 있다. 제품기획 차원에서 Use Case에 기반한 자율주행 기능이 확대되고, 센서, 자율주행 SW, 고성능 SoC 등 유관 기술이 빠르게 발전함에 따라, 다종/다중 센서 데이터를 처리할 수 있고 고성능 연산처리를 지원하며 전력 효율성을 개선한 고성능, 고효율의 자율주행 Computing Platform이 개발되고 있다.

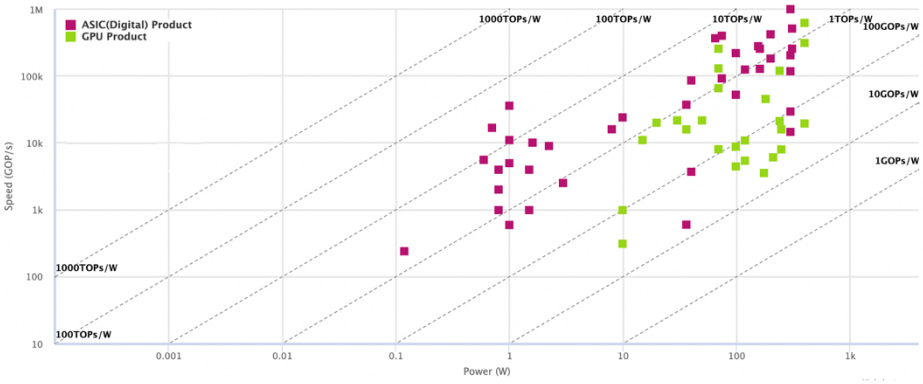
자율주행 Computing Platform의 기술적 혁신은 주로 GPU (Graphics Processing Unit)와 NPU (Neural Processing Unit) 기술이 견인해 왔다. 당초 GPU는 그래픽 연산과 같은 단순 대량 연산처리를 효율적으로 하기 위해 개발되었는데, 부동소수점 연산의 효율적 연산성능을 자율주행 SW의 딥러닝 알고리즘 처리에 활용하고 있으며, NPU는 GPU 대비 자율주행 SW에 특화하여 (Application-Specific), 적은 전력소모량과 높은 원가 대비 성능으로 효율적 연산을 수행하기 위해 사용되고 있다. NPU는 주로 클라우드 서버용으로 상용화 되었는데 최근 자율주행 시스템과 같은 고성능 디바이스용으로도 확대되고 있다. 자율주행 시스템의 경우, GPU와 NPU를 모두 사용하는 것이 추세인데, 예를 들어 GPU는 카메라에서 획득한 영상데이터를 변형하거나 특징을 추출하는 SW를 구동하고, NPU는 객체인식, 주행전략 수립 SW에 사용될 수 있다.

자율주행 Computing Platform의 설계 상의 제약요소를 정의하고, GPU, NPU 포함, CPU (Central Processing Unit), FPGA (Field Programmable Gate Array), ASIC (Application Specific Integrated

Circuit) 등 시스템 반도체 특성을 고려한 고성능, 고효율 자율주행 Computing Platform에 대한 연구가 진행되어 왔다 (Lin, et al., 2018, Liu, et al., 2017, Liang, et al., 2021, Collin, et al., 2018). 자율주행 Computing Platform의 설계 제약요소에는 성능 (Performance), 예측 (Predictability), 저장 (Storage), 열 (Thermal), 전력 (Power) 등을 포함하는데 (Lin, et al., 2018), 예를 들어, 성능 관점에서 자율주행 시스템의 Frame Rate와 Processing Latency를 포함한 환경/물체에 대한 반응속도는 인간의 반응속도 수준인 100~150 ms 보다 빠르게 처리되어야 하며, 전력 관점에서 자율주행 시스템의 전력 소모는 차량 연비에 큰 영향을 미친다 (특히, 전기차). 이러한 설계 제약요소는 상호 연관되어 있는데, 예를 들어, 열 관점에서 1kW 전력 소모 시 (CPU 1개, GPU 3개 작동 가정), 분당 약 10℃의 온도상승을 초래하고, 온도상승을 방지할 냉각 시스템의 구동에 추가 전력이 소모된다.

상기 설계 제약요소를 고려하여, 주요 자율주행 SW를 가속하는데 있어 CPU, GPU, FPGA, ASIC 등을 장착한 자율주행 Computing Platform을 비교하면 CPU는 자율주행 SW 처리성능이 상대적으로 떨어지고, GPU가 성능 (특히, Latency) 측면에서 매우 우수하나 전력 효율성이 낮은 단점이 있으며, 전력소모를 고려한 연산성능 효율성에 있어서는 FPGA 또는 ASIC이 상대적으로 우수한 것으로 연구되었다 (Lin, et al., 2018). 이러한 연구결과는 Tsinghua University의 NICS (Nanoscale Integrated Circuits and Systems Lab)의 Energy Efficient Computing Group에서 공개하는 신경망 가속기 (Neural Network Accelerator) 별 전력 (Watt) 대비 연산속도 (Giga Operations per Second) 데이터를 통해서도 확인된다 [그림 2-2]. 공개 데이터를 분석하면, ASIC이 GPU 보다 전력 대비 성능 효율성 (GOPS per Watt)이 상대적으로 높은 것으로 나타난다.

이러한 연구 결과는 자율주행 Custom SoC 개발 관점에서 시사점을 제공한다. ASIC 등이 전력 대비 성능 효율성에서 우위를 갖는 이유는 근본적으로 SW에 특화 되어 설계되고 작동하기 때문인데, 이러한 비교우위는 특화 설계의 자유도가 더 높은 Custom SoC에도 유효하다.



[그림 2-2] NPU Accelerator 비교 (ASIC vs. GPU)[3]

제 2 절 Tesla의 자율주행 Custom SoC 개발 사례

양산 차량 대상 최초로 고성능 Custom SoC를 개발 적용한 사례는 Tesla가 '19년 양산한 자율주행 시스템인 Autopilot에 적용된 Computing Platform인 FSD3 (HW 3.0)이다. Tesla는 '14년 양산 적용된 HW 1.0 Computing Platform에 Mobileye의 범용 고성능 SoC인 EyeQ3를 채택했으며, 이후 HW 2.0, HW 2.5에는 Nvidia의 범용 고성능 SoC인 Drive PX2를 적용했다.

Tesla는 자사 자율주행 시스템의 요구사양을 효율적으로 충족하는데 범용 고성능 SoC의 한계를 파악하고, 창업자이자 CEO인 Ellon Musk가 '16년 당시 AMD의 Ryzen 마이크로프로세서에 적용된 Zen 마이크로아키텍처를 개발한 Jim Keller를 직접 영입하여 개발책임자로 임명하고 HW 3.0을 위한 Custom SoC인 FSD3 개발에 착수했다. FSD3 성능과 지원 기능은 과거 적용된 범용SoC와 비교하여 매우 높은 수준이었다 [표 1-1].

Tesla FSD3 개발 사례에서 주목할 것은 Custom SoC 개발 내재화 관련한 Tesla의 선택적 내재화 모델이다. Custom SoC 개발 단계 중 Jim Keller가 이끄는 Tesla의 핵심 개발조직은 개발목표/사양 정의, 아키텍처 설계, IP/공정기술 선정, 아키텍처 상세설계 단계, NPU 개발에 초점을 두어 직접 수행하고, 나머지 IP 라이센스 개발 (NPU 제외), RTL

[3] Neural Network Accelerator Comparison, 2022년 10월 14일, https://nicsefc.ee.tsinghua.edu.cn/projects/neural-network-accelerator/

상세 설계/검증, Physical 상세 설계/검증, 웨이퍼 제조, OSAT 및 이하 단계는 외부 Design House, IP 전문업체, Foundry 업체가 외주협력을 통해 수행했다고 알려졌다. 또한, Foundry로 선정된 삼성전자가 아키텍처 상세설계 단계에서 모바일 분야에서 양산 검증된 삼성전자의 Exynos 플랫폼을 Tesla 설계 조직에 레퍼런스로 제공하여 개발 기간을 단축할 수 있었던 것으로 알려졌다. 그리고, RTL 상세 설계/검증 단계에도 국내 Design House가 참여하는 등 Tesla는 설계/개발 단계에서 글로벌 SoC 반도체 생태계를 효과적으로 활용한 것으로 판단된다.

[표 1-1] Tesla HW 별 성능 및 지원기능 비교[4] (CoAsia, 2021)

	HW 1.0	HW 2.0	HW 2.5	HW 3.0
양산 시점	2014년 9월	2016년 10월	2017년 8월	2019년 4월
Computing Platform	Mobileye EQ3	Nvidia Drive PX2	Nvidia Drive PX2	Tesla FSD3
TOPS (NPU)	0.25	21	21	144
FPS	36	110	110	2,300
전방레이더 (탐지거리)	160	170	170	170
전방카메라 (필터)	RCCC (흑/적 인식)	RCCC (흑/적 인식)	RCCB (모든 색 인식)	RCCB (모든 색 인식)
스마트 크루즈 컨트롤	○	○	○	○
차선 유지 (오토스티어)	○	○	○	○
차선이탈 방지	○	○	○	○
차선 변경	○	○	○	○
오토파일럿 내비게이션		○	○	○
스마트 자동 주차			○	○
신호등 (정지신호) 인식/대응				○
도로환경 시각화				○
주변차량/장애물 시각화				○
시내 자율주행				○

Tesla는 현재 차세대 자율주행 Computing Platform인 FSD4를 개발 중이며, 이전 FSD3 대비 현격하게 높은 사양을 확정했는데, 대체재에 해당하는 차세대 범용 고성능 SoC 사양과 동일하거나 상회할 것으로 예상되고 있다 [표 1-2]. Tesla FSD4 개발 모델은 상기 FSD3 개발 모델과 유사하나, 아키텍처 상세설계 단계에서 독자적인 설계 플랫폼을 개발하여 외부 Design House의 의존도를 줄인 것으로 알려졌다. 전체적으로 개발 방식에서 있어 선택적 내재화 모델을 유지하나, 아키텍처 설계 단계에서 독자 플랫폼 및 자체 상세 설계 인력

[4] CoAsia, 2021, 고성능반도체 개발타당성 검토, p. 7에서 요약 인용

강화를 통해 내재화 수준을 높인 것으로 판단된다.

[표 1-2] 차세대 자율주행 Computing Platform 비교[5] (CoAsia, 2021)

업체	Nvidia	Mobileye	Tesla
출시/양산 시점	2022년	2021년	2022년 (추정)
Computing Platform	DRIVE AGX Orin	EyeQ5	FSD4
Platform 구조	SoC (Orin) x2 GPU (Amepere) x2	SoC (EyeQ5) x2 Host Processor (Atom)	SoC (FSD4) x2
TOPS	200 (추정)	24 (추정)	350 (추정)
TOPS/Watt	2.67 (추정)	2.40 (추정)	12.46 (TT) 3.39 (FF)
Foundry	삼성전자	TSMC	삼성전자 (추정)
나노 공정	8nm	7nm	7nm

[5] CoAsia, 2021, 고성능반도체 개발타당성 검토, p. 5에서 요약 인용

제 3 장 연구 및 자료수집 방법

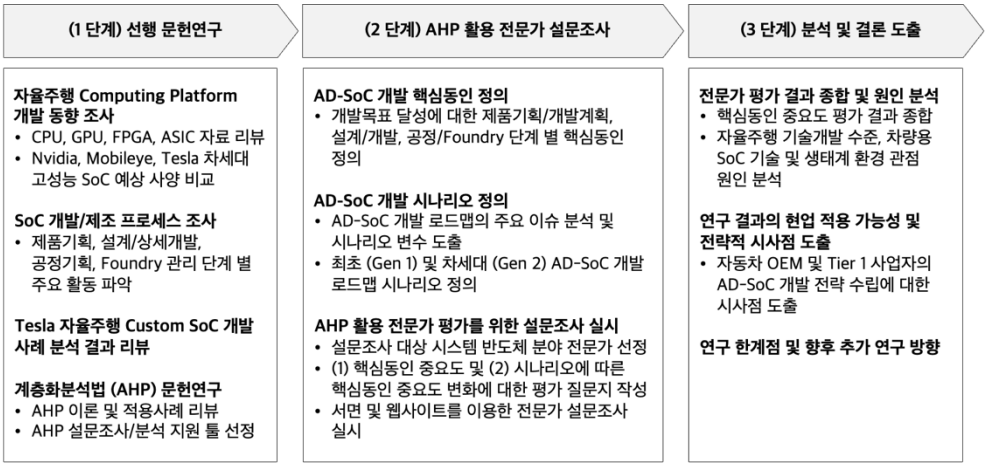
제 1 절 연구 단계

본 연구는 선행 문헌연구, 전문가 설문조사, 분석 및 결론 도출의 3단계로 진행 되었다 [그림 3-1].

1단계 선행문헌 연구를 위해 우선 자율주행 Computing Platform에 대한 사양 및 기술발전 추세 조사를 진행했는데, CPU, GPU 등 전통적인 Computing Platform 유형별 성능 특성에 대한 관련 논문 리뷰와 Nvidia, Mobileye, Tesla 등 현재 개발 중인 차세대 SoC 사양에 대한 기술자료 리뷰를 진행했다. 반도체 전문업체의 기술자료 리뷰를 통해 차량용 SoC 개발/제조 프로세스를 파악했으며, 양산차량 최초 자율주행 Custom SoC 개발 사례인 FSD3 개발에 대한 사례 조사 결과의 리뷰를 진행했다. 또한, 핵심동인에 대한 전문가 평가의 방법론으로 채택한 계층화분석법 (Analytic Hierarchy Process, AHP)에 대한 이론 및 적용사례 리뷰를 진행하고 AHP 설문조사 지원 툴을 선정했다.

2단계에서는 AD-SoC 개발 핵심동인의 중요도에 대한 전문가 평가를 수행했다. 평가 데이터 수집은 AHP 기반 설문조사를 통해 이루어졌는데, AD-SoC 개발 핵심동인의 중요도 및 AD-SoC 개발 시나리오 별 핵심동인 중요도 변화에 대해 질문하고 응답 결과를 수집했다.

3단계에서는 전문가 평가 결과를 분석하고 자율주행 시스템 기술 성숙도, 차량용 SoC 기술환경 및 생태계 발달 수준 관점에서 원인을 추정했다. 초기 분석 결과에 대해 차량용 SoC 개발 전문가와 토의를 통해 검증을 수행했다. 끝으로, 연구 결과의 현업 적용 가능성 관점에서 자동차 OEM 및 Tier 1 사업자 개발 전략 수립에 대한 시사점을 도출했고, 본 연구의 한계점 및 향후 추가 연구 방향을 정리했다.



[그림 3-1] 연구 접근방법

제 2 절 계층화분석법 (AHP) 개요

본 연구를 위해 도출된 AD-SoC 개발 핵심동인은 제품기획, 설계, 제조 영역에 걸쳐 대분류-중분류-소분류의 계층구조로 이루어져 있고, 전체 핵심동인의 수는 29개이다. 이러한 다수의 복잡한 핵심동인에 대해 복수 전문가의 평가 의견을 효율적이고 체계적으로 수집, 분석하기 위해 AHP를 채택했다.

AHP는 Saaty에 의해 창안된 의사결정 방법론 중 하나로, 개인의 단순한 의사결정에서부터 다수가 참여하는 복잡하고 대규모 투자가 수반된 의사결정에 이르기까지 평가자가 복합적 평가요인을 계층적으로 구조화 한 후, 쌍대비교 방식을 통해 평가요인의 중요도를 평가하고 이를 바탕으로 대안을 평가하는 방법론이다 (Saaty, 1977). AHP는 이론적으로 쌍대비교 매트릭스의 고유 벡터 (Eigenvector)를 활용한 수학적 비율측정 방법에 기초하고 있으며 (Saaty, 1977), 동시에 절대평가 (Absolute Judgment)와 비교평가 (Comparative Judgment) 대한 인지심리학적 연구에 기반하고 있다 (Saaty, 2004).

AHP 활용 시, 평가자는 비율척도 (Ratio Scale)를 이용하여 유형적 기준 (Tangible Criteria) 뿐 아니라 비유형적 기준 (Intangible Criteria)에 대해서 평가를 수행한다 (Vargas, 1990). 또한, 다수 평가요인에 대한 비교평가 과정에서 평가자의 일관성을 측정하는 일관성비율 (Consistency Ratio)을 활용하여 평가의 신뢰성을 제고할 수

있다 (Saaty, 2004). 복합적인 요인을 고려해야 하는 의사결정에 대해 평가자의 경험과 통찰력을 체계적으로 신뢰성 있게 활용하는 수단을 제공한다는 점에서 AHP는 현실에서 매우 유용한 방법론이다.

그런데, AHP가 의사결정 방법론으로서 유효하기 위해서는 역수 비교 가능성 (Reciprocal Comparison 공리), 평가기준 척도 내 선호의 동질성 (Homogeneity 공리), 평가기준의 독립성 (Independence 공리), 계층구조의 완전성 (Expectations 공리) 등 이론적 전제조건이 충족되어야 한다 (Vargas, 1990). AHP가 제안된 이후 상기 전제조건의 유효성을 포함한 방법론 상의 여러 문제점에 대해 많은 연구자의 지적이 있었으나 (송근영, 이영, 2013, 최민철 2020), AHP가 갖는 실용적 유용성 때문에 여전히 학계, 정부, 기업 등의 연구 및 정책 의사결정에 널리 활용되고 있다. 실제로 지난 2020년 이후 KCI 등재된 국내 논문 중 AHP를 활용한 논문은 총 826건이며 이중 공학분야 논문만 159건에 이른다[6].

AHP 적용분야는 매우 다양한데, 선택 (Selection), 평가 (Evaluation), 효익-비용 분석 (Benefit-Cost Analysis), 배분 (Allocations), 기획 및 개발 (Planning & Development), 우선순위화 (Priority & Ranking), 의사결정 (Decision Making), 예측 (Forecasting) 등 분야로 유형화할 수 있으며, 많은 연구성과가 축적되어 있다 (Vaidya, Kumar, 2004)

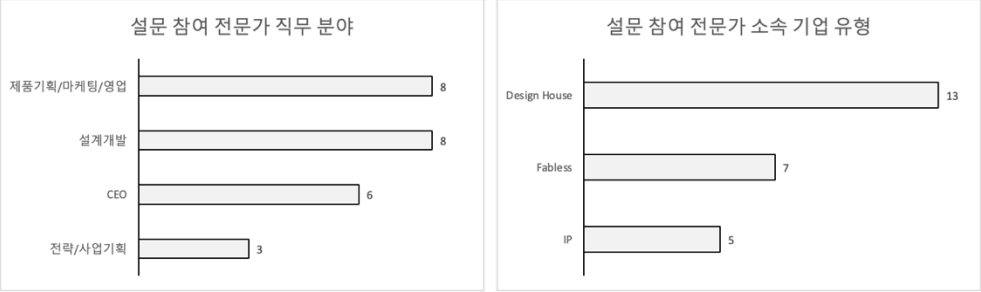
제 3 절 전문가 설문조사 방법

본 연구의 평가결과 데이터는 전문가 설문조사를 통해 수집되었다. 설문조사는 연구 핵심질문에 일관되게 첫째, AD-SoC 개발 목표 달성을 위한 핵심동인 중요도 평가, 둘째, AD-SoC 개발 시나리오에 따른 핵심동인 중요도 평가로 구성되었다.

전문가 평가결과의 신뢰성을 확보하기 위해 설문조사에 참여하는 전문가를 신중하게 선정했다. 설문조사에 참여한 전문가는 총 25명으로 현재 국내 시스템 반도체 산업에서 활동하고 있는 임원급 전문가로 선정했으며, 소속 기업의 유형 및 소속 직무분야를 고려하여 균형 있는 전문가 그룹을 구성했다 [그림 3-2]. 25명 전문가는 15개 기업에

[6] DBPIA (http://dbpia.co.kr), 2022년 10월 14일 검색 기준

소속되어 있으며, 소속 기업의 유형은 시스템 반도체 분야 Fabless (6개 회사, 7명), Design House (6개 회사, 13명), IP 개발업체 (3개 회사, 5명)이며, 외국계 IP 업체 2곳을 제외한 13개 업체가 모두 국내 기업이다. 또한, 전문가들의 주요 직무 분야는 대표이사/사장 (6명)을 포함하여, 제품기획/마케팅/영업 (8명), 설계/개발 (8명), 전략/사업기획 (3명)이다.



[그림 3-2] 설문 참여 전문가 직무 및 소속 기업 유형

AD-SoC 핵심동인 중요도 평가설문과 관련하여, 선행 문헌연구 결과를 바탕으로 AD-SoC 개발 핵심동인을 정의한 후 계층화/구조화를 수행했다. 핵심동인은 크게 제품기획, 설계, 공정기술의 3대 영역에서 정의되었으며, 대분류, 중분류, 소분류 계층을 모두 합해 총 29개 핵심동인이 도출되었다.

평가순서는 핵심동인 계층에 따라, 우선 대분류 핵심동인 간 중요도 평가 후, 각 대분류 핵심동인 내 하위 중분류 핵심동인 간 평가, 이어 각 중분류 핵심동인 내 하위 소분류 핵심동인 간 평가 순으로 진행되었다. 중요도 평가방식은 9점 척도의 쌍대비교 방식을 채택했다. 만일 핵심동인 중요도 초기 평가결과에 대해 일관성 비율 (Consistency Ratio)이 0.1을 넘는 경우에는 평가자에 요청하여 일관성 비율을 만족하도록 평가자가 직접 재평가를 수행했다.

AD-SoC 개발 시나리오에 따른 핵심동인 중요도 변화 평가설문과 관련하여, 선행 문헌연구 결과 및 전문가 토의를 거쳐, 단계적 개발 시나리오와 도전적 개발 시나리오의 두 가지 AD-SoC 개발 시나리오를 정의했다. 앞서 정의한 AD-SoC 개발 핵심동인 중 20개 소분류 핵심동인을 대상으로, 두 가지 시나리오에 대한 각 핵심동인의 중요도를

쌍대비교를 통해 평가하도록 했다.

전문가 설문은 25명 평가자에 대해 개별적으로 질문지를 담은 전자문서를 발송한 후, 평가결과는 전자문서에 표기하여 회신 받거나 웹사이트 기반 AHP 지원 프로그램인 IMAKEIT (http://imakeit.kr)을 통해 온라인으로 수집하는 방식을 병행했다. 전문가 설문에 사용된 질문지는 본 보고서 말미에 첨부했다.

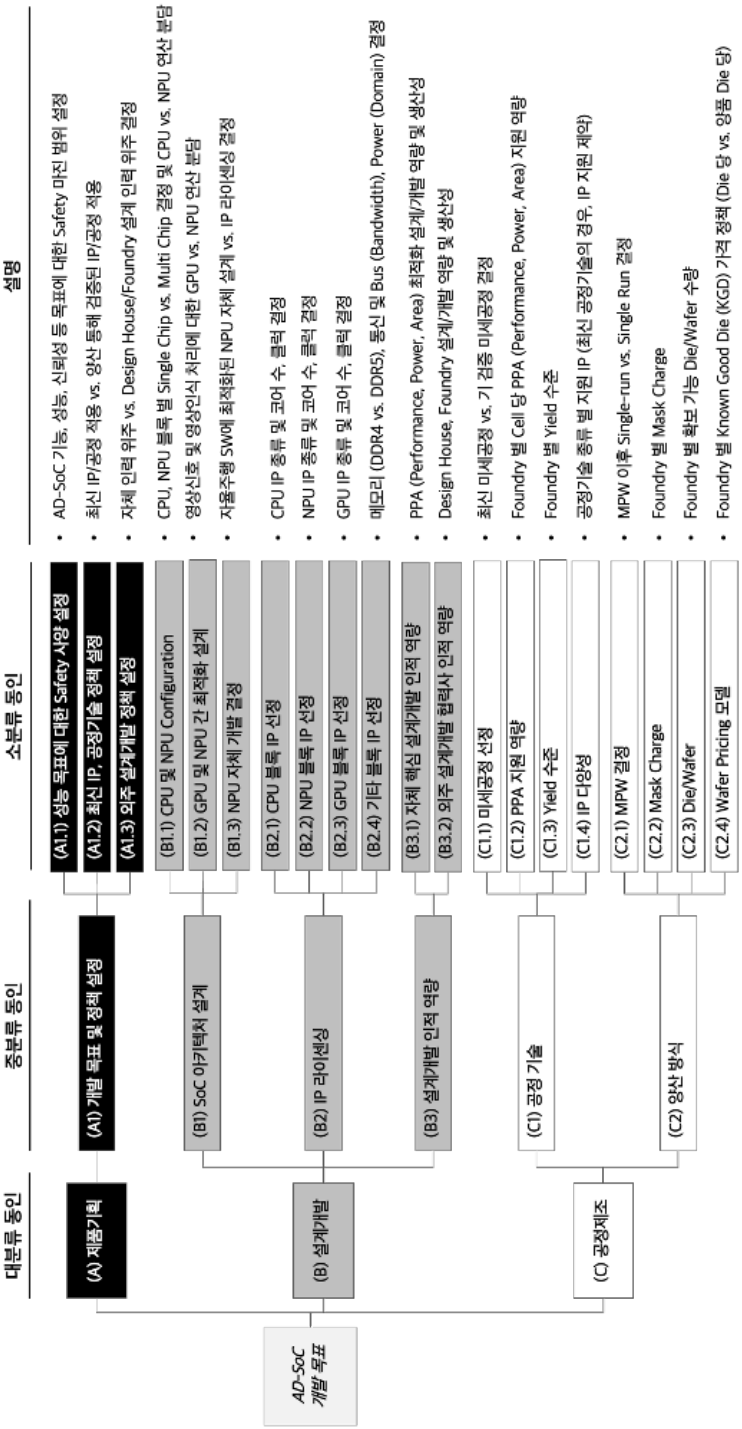
제 4 장 핵심동인 중요도 평가결과

제 1 절 AD-SoC 개발 핵심동인 정의

본 연구에서 AD-SoC 개발은 선행개발 및 양산개발을 모두 포함하며, 시스템 반도체에 대한 제품기획, 설계/개발, 공정기술 기획을 포괄적으로 의미한다. 또한, AD-SoC 개발 목표는 시스템 반도체의 성능 목표 뿐 아니라, 원가, 품질/신뢰성, 개발 기간 등 QCD 관점에서의 개발 목표를 모두 포함한다.

AD-SoC는 Level 3 이상 자율주행 시스템의 제어기 내에 장착되는 일종의 서브시스템에 해당한다. 따라서, 본 연구에서는 자율주행 시스템 차원에서 개발 목표 달성에 영향을 주는 핵심동인들, 예를 들어, 카메라, 레이더 등 센서 성능, 딥러닝 SW 개발 툴의 효율성 등을 배제하고 AD-SoC 개발 목표 달성에 독립적으로 영향을 주는 반도체 개발 차원의 핵심동인을 정의했다. 본 연구를 위한 AD-SoC 개발의 핵심동인은 대분류 단계에서 제품기획, 설계개발, 공정제조의 3대 영역에서 정의되었고, 중분류 단계에서 6개 동인, 소분류 단계에서 20개 동인이 정의되었다 [그림 4-1].

우선 (A) 제품기획 영역에서의 핵심동인은 AD-SoC 개발목표 설정 및 전략/기획 수립과 관련된 동인으로서, AD-SoC 성능목표에 대한 Safety 사양 설정, 최신 IP 및 공정기술에 대한 라이센스 정책 설정, Design House 등 외주 설계 협력사 활용과 관련된 외주 개발 정책 수립 등을 포함한다. 자동차 산업 내 고성능 Custom SoC 개발 사례가 매우 드물고, 아직 차량 반도체 전문업체로부터 고성능 시스템 반도체를 구매하여 개발하는 것이 일반화된 상황을 고려할 때, 자동차 OEM 및 Tier 1 사업자 관점에서 제품기획 영역에서의 동인은 중요하게 고려해야 할 것으로 판단된다. 특히, 제품기획 영역의 소분류 동인 중 (A1.1) 성능 목표에 대한 Safety 사양 설정 동인은 아직 미 성숙 단계에 있는 Level 4 자율주행 기술 수준 고려 시 중요한 의미를 갖는다. 즉, 성능 목표에 대한 Safety 마진을 효율적으로 설정할 경우, AD-SoC 사양 합리화를 통한 개발용이성 증가 및 IP 구매 원가절감에 긍정적 효과를 기대할 수 있다.



[그림 4-1] AD-SoC 개발 핵심동인

또한, AD-SoC 설계 시, CPU, GPU 등 연산 블록에 적용할 IP 정책 결정에 따라 IP 라이센스 원가 및 공정기술 원가가 영향을 받기 때문에 (A1.2) 최신 IP/공정기술 정책 설정 동인이 중요성을 갖는다. (A1.3) 외주 설계/개발 정책 설정 동인은 설계/개발 리소스 최적화에 기반한 개발 일정 준수 및 외주 개발비 (Outsourced Non-Recurring Engineering Cost) 절감에 영향을 주기도 하지만, 보다 근본적으로는 자동차 OEM 또는 Tier 1 사업자가 차량 반도체 설계/개발 역량의 내재화 전략에 영향을 미치기 때문에 핵심동인으로서 중요한 의미를 갖는다.

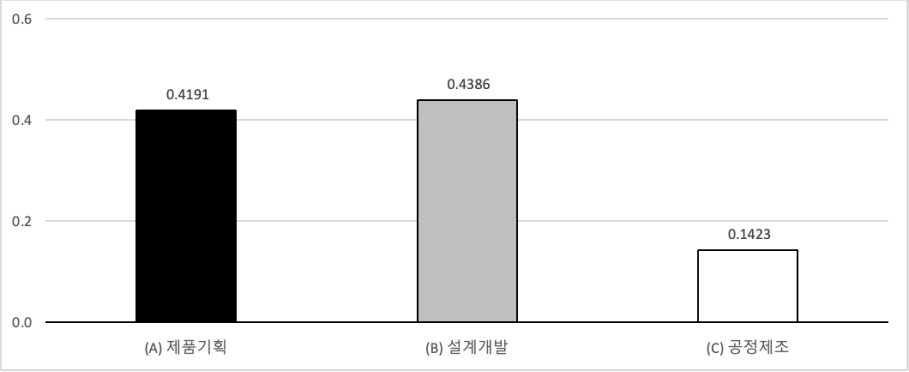
(B) AD-SoC 설계개발의 중분류 핵심동인으로 (B1) SoC 아키텍처 설계, (B2) IP 라이센싱, (B3) 설계/개발 인적 역량이 도출되었다. 특히, (B1) SoC 아키텍처 설계 동인은 AD-SoC 전체 아키텍처 설계의 중요 의사결정 사항과 관련된 동인으로, (B1.1) CPU 및 NPU Configuration, (B1.2) GPU vs. NPU 간 최적화 설계, (B1.3) NPU 자체 개발 여부 결정과 같은 주요 의사결정 사항을 포함한다. 자율주행 시스템의 Use Case 및 기능 (예, 전방충돌회피, 고속도로 차선변경 및 추월 등), 센서 및 제어기의 세부 사양, 기능안전, 보안을 고려한 SW Stack의 아키텍처 등은 자동차 OEM 또는 Tier 1 사업자 별로 다르게 정의 되는데, 이러한 개별적 요구사양에 최적화된 Custom SoC를 개발할 경우, 범용 고성능 시스템 반도체를 구매하여 개발하는 경우 대비 개발 효율성 관점에서 비교우위를 확보할 수 있다. 이와 같이, (B1) SoC 아키텍처 설계는 Custom SoC 설계개발에 본질적으로 영향을 미치는 중요한 동인에 해당한다. (B2) IP 라이센싱 동인은 CPU, GPU, NPU, 메모리, 통신/Bus, Power 등 AD-SoC 주요 블록 별 최적 IP 라이센싱 의사결정과 관련된 동인으로, 성능 뿐 아니라 IP 라이센스 비용 절감에도 영향을 미친다. (B3) 설계/개발 인적 역량 동인은 시스템 반도체 PPA (Performance, Power, Area) 최적화에 영향을 미치는 설계개발 인력의 기술 지식, 경험 등 인적 역량 및 개발 툴체인 등 개발환경 수준과 관련된 동인으로, 자체 설계개발 조직 및 인력 역량 (B3.1) 및 Design House 등 외주 설계/개발 협력사의 역량 (B3.2)으로 구분하여 정의했다.

(C) 공정제조 영역서의 동인은 (C1) 공정기술과 (C2) 양산방식으로 정의되었다. (C1) 공정기술은 미세공정 선정, PPA (Performance, Power, Area), Yield 수준, IP 다양성 등 세부 동인을 포함하며, (C2) 양산방식은 Foundry 계약방식에 관련된 동인으로, MPW (Multi-Project Wafer)

여부, Mask Charge 방식, Die/Wafer 수량, Wafer Pricing 모델 등 세부 동인을 포함한다.

제 2 절 핵심동인 중요도 평가결과

전문가 설문 결과 대분류 핵심동인에 대한 중요도 우선순위는 (B) 설계개발 동인이 (A) 제품기획 및 개발계획 동인 대비 근소한 차이로 가장 높은 것으로 평가되었다. 반면에, (C) 공정제조 영역 핵심동인은 나머지 Level 1 핵심동인 대비 중요도 우선순위는 상당히 낮은 것으로 평가되었다 [그림 4-2].



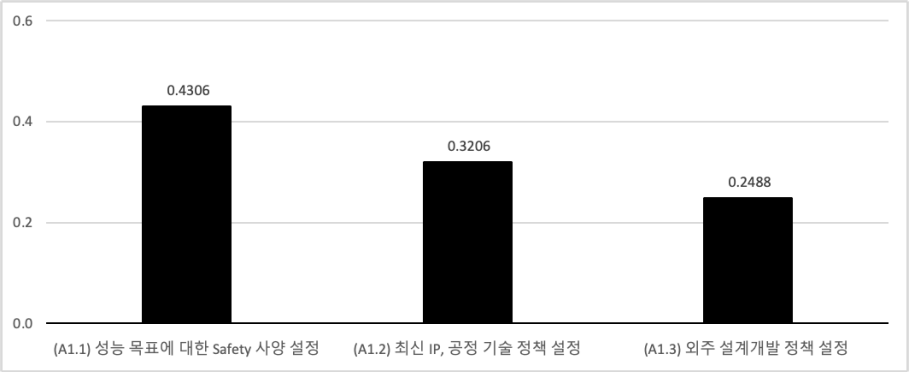
[그림 4-2] AD-SoC 개발 대분류 핵심동인 중요도 평가결과

이러한 결과는 시스템 반도체 제조의 경우, TSMC, 삼성전자 등 고성능 SoC 제조가 가능한 Foundry 업체가 발달해 있고 역량 수준이 평준화 되어 있어, AD-SoC를 개발하는 자동차 OEM 또는 Tier 1 사업자의 제품기획, 설계 단계 역량이 상대적으로 보다 중요하게 작용하는 것에 기인한 것으로 판단된다.

1. 제품기획 핵심동인 평가결과

(A) 제품기획 영역 세부동인 중요도에 대해, 설문에 응답한 전문가는 (A1.1) 성능목표에 대한 Safety 마진 설정, (A1.2) 최신 IP, 공정기술 선정, (A1.3) 외주 설계개발 정책 설정 순으로 중요도를 평가했다 [그림 4-3].

(A1.1) 성능목표에 대한 Safety 마진 설정 동인이 가장 중요도가 높게 평가된 배경에는 아직 미성숙 단계에 있는 차량용 Level 4 자율주행 시스템 기술환경이 고려된 것으로 판단된다. 즉, 정교한 Use Case 정의 (시내주행 여부, 주행 루트 자유도 등), 자율주행 SW의 효율적 설계 등에 기반하여 AD-SoC의 Safety 마진, 즉, System Redundancy 요구사항을 최소한으로 설정할 경우, AD-SoC 성능 목표를 최적 설정 할 수 있으며, 결과적으로 개발 목표 달성 확률을 높일 수 있다. 실제로 현재 많은 자동차 OEM 또는 Tier 1 사업자들이 안전을 고려하여 Level 4 자율주행 시스템 개발 시, 센서 수, 성능 및 제어기 성능을 매우 높게 설정하고 있으며 이는 개발 난이도 증대 및 원가 상승을 초래하고 있다.



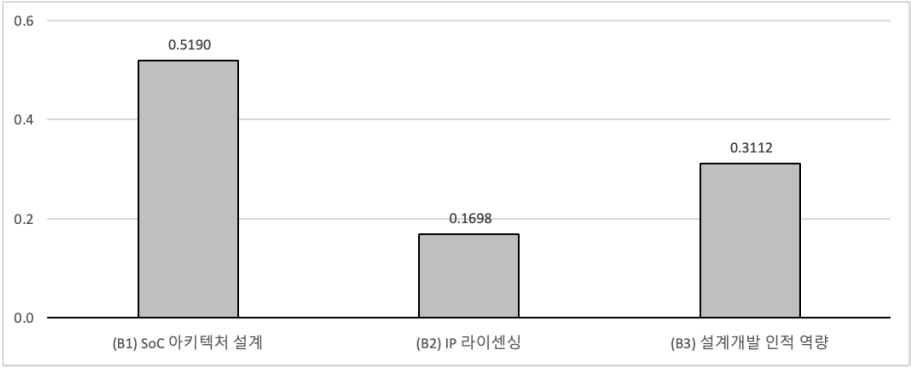
[그림 4-3] (A) 제품기획 하위동인 중요도 평가결과

2. 설계개발 핵심동인 평가결과

(B) 설계개발 영역에서 조사 대상 전문가들은 (B1) SoC 아키텍처 설계 동인이 과반 이상의 중요도를 갖는 것으로 평가했으며, 뒤를 이어, (B3) 설계개발 인적 역량, (B2) IP 라이센싱 순으로 중요도를 평가했다 [그림 4-4].

(B1) SoC 아키텍처 설계 동인이 가장 중요하게 평가된 배경에는 AD-SoC의 경우, Tesla의 FSD 개발사례가 유일한 적용사례일 정도로 산업 관점에서 기술 초기 단계에 있는 현 상황을 반영한 것으로 해석된다. AD-SoC의 최적 아키텍처 설계를 위한 GPU vs. NPU 간 최적 설계 등 주요 설계 이슈에 대해 보편적 기술방식이 정립되지 않은 상황이다. 또한, (B3) 설계개발 인적 역량 동인 대비 (B2) IP 라이센싱

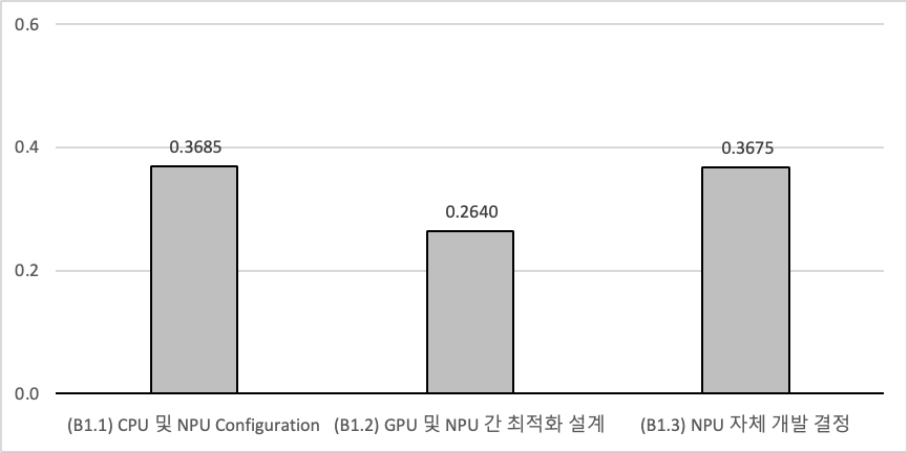
동인이 상대적으로 중요도가 낮게 평가된 원인은 최근 크게 성장하고 있는 CPU, GPU, NPU 등 고성능 시스템 반도체 IP 생태계의 발달이 고려된 것으로 해석할 수 있다. AD-SoC의 아키텍처 설계를 최적화하고 설계/개발 인적 역량을 확보할 경우, 필요한 IP를 라이센싱을 통해 확보하는 것은 상대적으로 용이한 것으로 평가되었다고 판단된다.



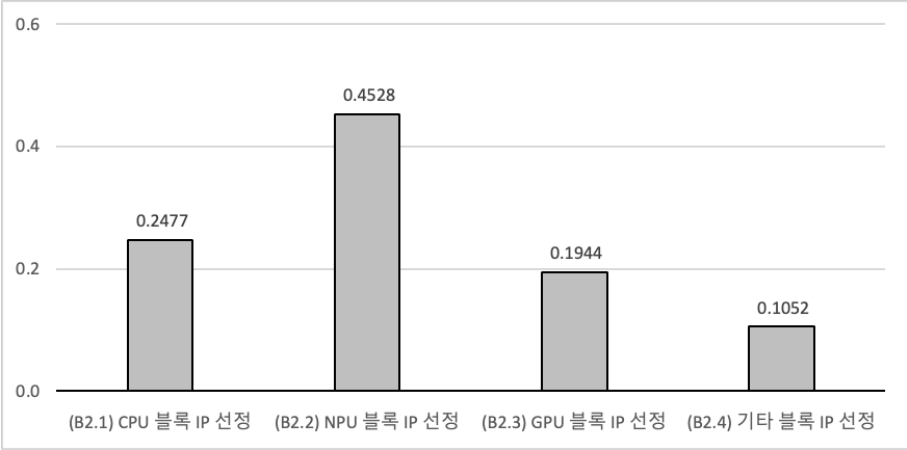
[그림 4-4] (B) 설계개발 하위동인 중요도 평가결과

(B1) SoC 아키텍처 설계에 속하는 소분류 핵심동인 중요도 평가 결과, (B1.1) CPU 및 NPU Configuration 및 (B1.3) NPU 자체개발 결정의 중요도가 높게 평가되었다 [그림 4-5]. 또한, (B2) IP 라이센싱에 속하는 소분류 핵심동인 중요도 평가 결과, (B2.2) NPU 블록 IP 선정의 중요도가 매우 높게 평가 되었다 [그림 4-6].

NPU 관련 핵심동인의 중요도가 높게 평가된 원인은 NPU가 CPU, GPU 등 타 블록 대비 기술혁신이 활발히 일어나고 있는 분야라는 점과 NPU 설계 효율성이 고성능 연산을 요구하는 영상인식, 주행전략 등 딥러닝 알고리즘 처리에 큰 영향을 미치기 때문인 것으로 해석할 수 있다. 또한, AD-SoC의 Die 면적 중 가장 큰 부분을 차지하는 NPU 아키텍처에 대한 세밀한 검토가 전체 AD-SoC 성능 및 양산 가격경쟁력에 크게 영향을 미친다는 점도 고려된 것으로 보인다.



[그림 4-5] (B1) SoC 아키텍처 설계 하위동인 중요도 평가결과

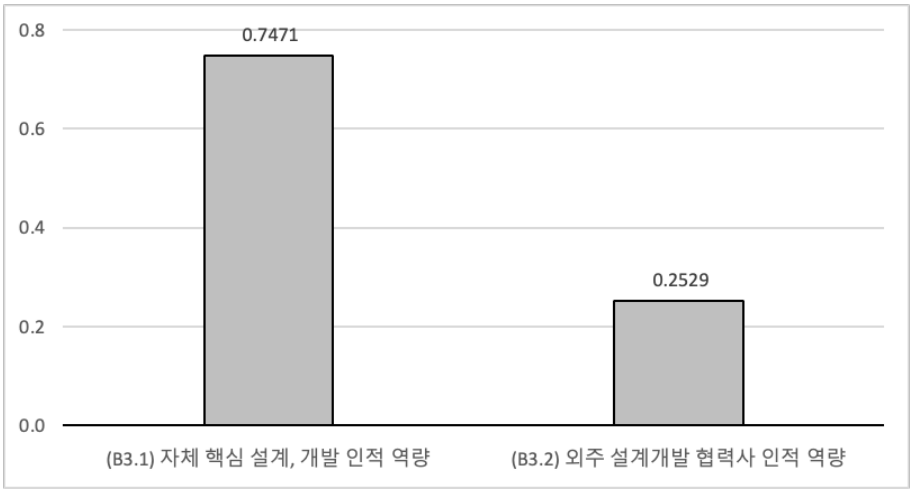


[그림 4-6] (B2) IP 라이센싱 하위동인 중요도 평가결과

(2.3) 설계/개발 인적 역량의 하위동인 중요도 평가와 관련되어, 전문가들이 외주 협력사 인적 역량 보다 자체 핵심 인력 역량의 중요도를 더 높게 평가한 점은 흥미롭다 [그림 4-7].

최근 글로벌 OEM 또는 Set Maker를 중심으로 자체 Custom SoC 개발이 증가하면서 Design House, IP 전문업체 등이 발달했으며, 국내에서도 최근 시스템 반도체 설계/개발의 생태계가 발달하고 있다. 그럼에도 불구하고, AD-SoC 설계/개발에 있어서 외부 Design House나

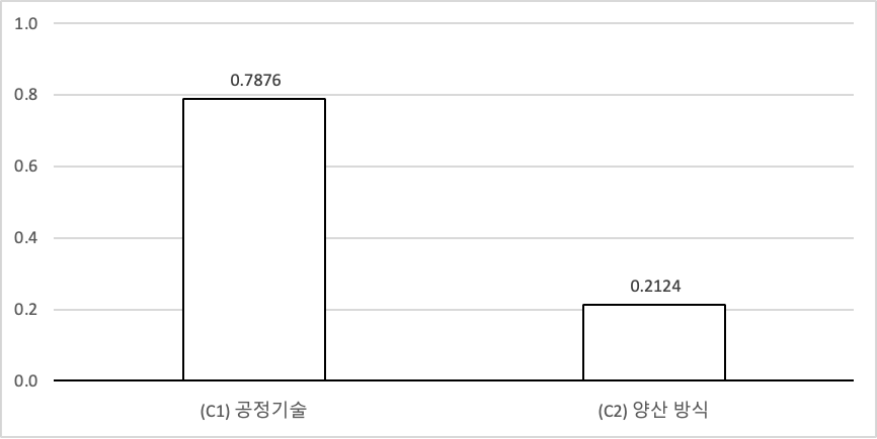
IP 전문업체, 또는 Fabless 업체를 통해 확보 가능한 역량 보다는 자동차 OEM 또는 Tier 1 사업자 내부에 자체적인 소수 핵심 설계 그룹, 즉, Principal Architect 및 시니어급 설계팀의 인적 역량이 개발 목표 달성에 더 중요하다고 평가 되었다. 이러한 평가 결과 결과는 AD-SoC와 같은 고성능 Custom SoC 자체 개발에 있어 설계 내재화 결정에 대한 중요한 시사점을 제공해 준다.



[그림 4-7] (B3) 설계개발 인적 역량 하위동인 중요도 평가결과

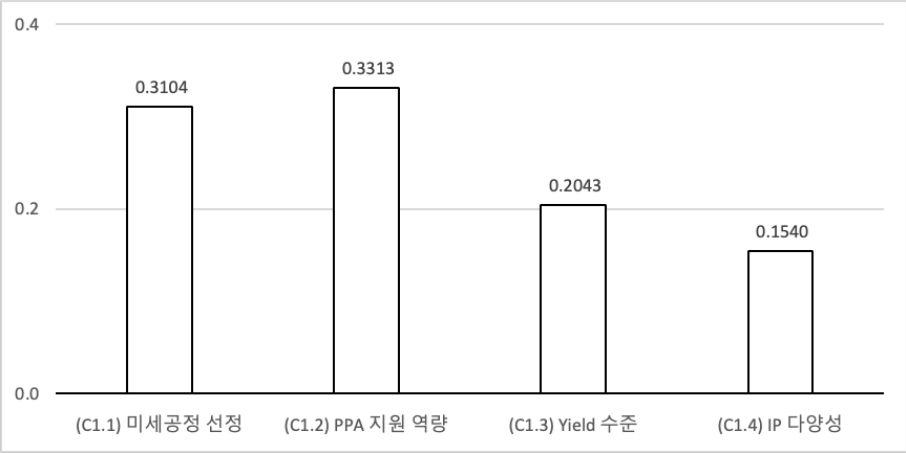
3. 공정제조 핵심동인 평가결과

(C) 공정제조 영역에 대해서는, 미세공정 선정, PPA 지원역량 등 (C1) 공정 기술 핵심동인이 Mask Charge, Wafer Pricing 모델 등 (C2) 양산 방식 핵심동인 대비 중요하게 평가 되었다 [그림 4-8]. 이는 전술한 바와 같이, 시스템 반도체 산업구조의 특성 상, 규모의 경제 및 전문성을 확보한 Foundry 업체의 발달이 배경으로 고려된 것으로 판단된다.



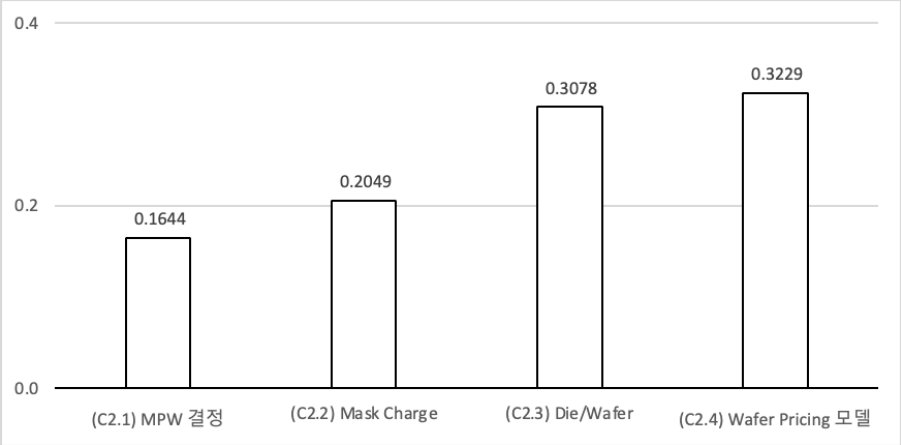
[그림 4-8] (C) 공정제조 하위동인 중요도 평가결과

특히, (C1) 공정 기술 하위동인 중에서 (C1.1) 미세공정 선정 동인보다 (C1.2) PPA 지원 역량 동인이 중요도가 더 높게 평가된 것이 주목된다 [그림 4-9]. 고성능 SoC 특성 상 최신 미세공정 기술의 적용이 요구되기 때문에, 8 나노 이하 또는 5 나노 이하 수준의 최신 미세공정 선정이 AD-SoC 성능목표 달성에 기여할 수 있으나, 제품기획과 긴밀하게 연계된 AD-SoC 최적 설계 또한 매우 중요하며, 이를 위한 PPA 역량이 미세공정 선정 못지 않은 중요한 동인으로 평가되었다. 이 점은 후술할 개발 시나리오 분석에 대해 중요한 시사점을 제공해 준다.



[그림 4-9] (C1) 공정 기술 하위동인 중요도 평가결과

(C2) 양산 방식과 관련한 핵심동인 중에서는 Die/Wafer 및 Wafer Pricing 모델이 상대적으로 중요하게 평가되었다 [그림 4-10].

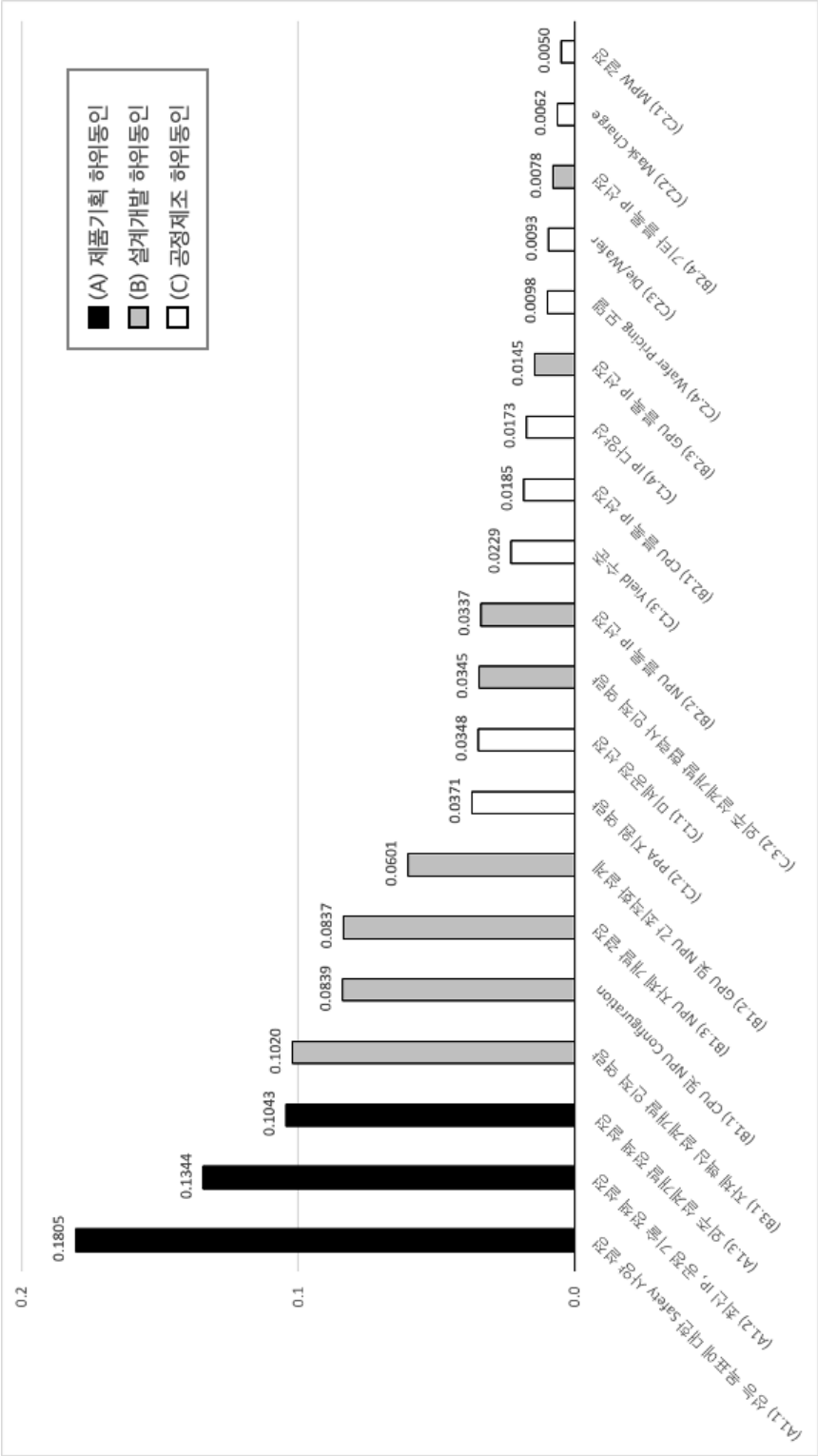


[그림 4-10] (C2) 양산 방식 하위동인 중요도 평가결과

4. 기타 평가결과

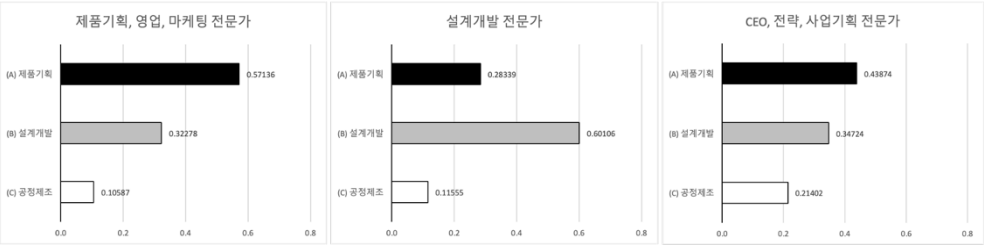
총 20개 소분류 기준 AD-SoC 개발 핵심동인의 중요도 평가결과는 [그림 4-11]과 같다. 전체적으로 (A) 제품기획 영역 및 (B) 설계개발 영역에 속하는 소분류 핵심동인이 상위권에 다수 존재하는 것을 볼 수 있다. (A) 제품기획 영역 핵심동인에 속하는 (A1.1) 성능목표에 대한 Safety 마진 설정, (A1.2) 최신 IP, 공정기술 정책 설정, (A1.3) 외주 설계개발 정책 설정이 최상위 중요도를 가진 것으로 평가되었다. 또한, (B) 설계개발 영역 중에서는 (B3.1) 자체 핵심 설계개발 인적 역량, (B1.1) CPU 및 NPU Configuration 역량이 상위 5개 핵심동인에 속하는 것으로 평가되었다. 다만, (A) 제품기획 영역의 소분류 핵심동인이 최상위권으로 평가된 것은, (B) 설계개발 영역 소분류 핵심동인 대비 동인의 수가 적은 것에 기인한다.

(C) 공정제조 영역의 소분류 동인의 대부분은 중요도 기준 하위권에 속하는 것으로 평가되었는데, 이는 앞서 대분류 핵심동인 평가결과와 일관된다.



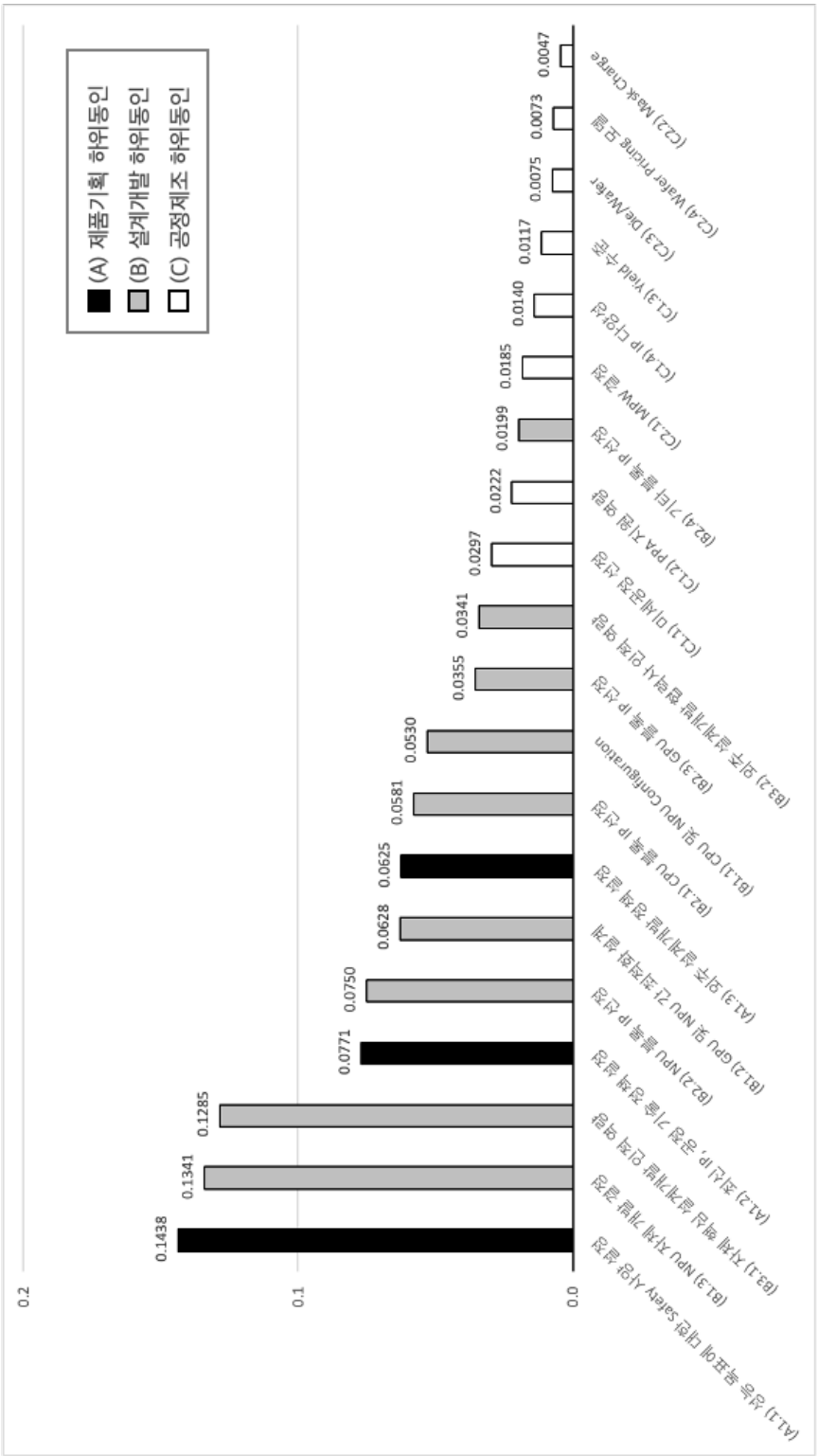
[그림 4-11] AD-SoC 개발 소분류 핵심동인 중요도 평가결과

조사 대상 반도체 전문가의 직무유형 별로 AD-SoC 개발 핵심동인의 중요도를 평가한 결과는 앞서 설명한 전체 전문가 평가결과와 다소 차이를 보인다 [그림 4-12]. AD-SoC 개발 대분류 핵심동인에 대해, 제품기획, 영업, 마케팅 전문가는 큰 차이로 (A) 제품기획 영역 핵심동인의 중요도를 가장 높게 평가한 반면, 설계개발 전문가는 역시 큰 차이로 (B) 설계개발 영역 핵심동인의 중요도를 가장 높게 평가했다. CEO, 전략, 사업기획 전문가는 균형된 평가 결과를 보였는데, (A) 제품기획 영역의 핵심동인을 (B) 설계개발 영역 핵심동인 대비 보다 중요하게 평가했다. 핵심동인에 대한 제품기획, 영업, 마케팅 전문가와 설계개발 전문가 사이의 평가결과 차이는 개발착수 이전 사전 기획단계에서 두 기능조직 간 충분한 커뮤니케이션을 통해 의견을 조율하는 것이 필요하다는 점을 시사한다.



[그림 4-12] 전문가 직무유형 별 대분류 핵심동인 평가결과 비교

소분류 기준 AD-SoC 핵심동인의 상대적 중요도 평가결과 또한 조사대상 전문가의 직무유형에 따라 상이한 분포를 보였다. 특히, 설계개발 전문가는 (B) 설계개발 소분류 하위동인 중 NPU와 관련된 동인의 중요도를 전반적으로 높게 평가했다 [그림 4-13]. 중요도 기준 상위 5개 소분류 핵심동인 중에 (B1.3) NPU 자체 개발 결정, (B2.2) NPU 블록 IP 선정 등 NPU 관련 동인이 2개 포함되었으며, 특히 (B1.3) NPU 자체 개발 결정 동인은 전체 소분류 핵심동인 중 두번째로 높은 중요도를 가진 것으로 평가되었다. 이 점은 자동차 OEM 또는 Tier 1이 Custom SoC 설계 시, NPU 직접 개발을 통해 범용 고성능 SoC 대비 차별화할 수 있기 때문인 것으로 판단된다.



[그림 4-13] 설계개발 전문가 소분류 핵심동인 평가 결과

제 5 장 시나리오 별 핵심동인 중요도 평가결과

제 1 절 AD-SoC 개발 로드맵 상의 주요 이슈

자동차 OEM 또는 Tier 1 사업자가 AD-SoC 개발 전략 수립 시, 핵심적으로 고려해야 할 주요 이슈는 AD-SoC 성능목표 및 IP, 공정기술 수준 설정 및 설계개발 역량 내재화 수준 결정이다. 현재 Level 3 이상 자율주행 시스템 자체가 제품기술 개발 초기 단계에 있으며, 자동차 OEM 또는 Tier 1 사업자가 반도체 생태계를 활용하여 자체적으로 고성능 Custom SoC를 적용 양산한 사례가 매우 드물다는 점을 고려할 때, 상기 두 가지 이슈에 대한 의사결정은 AD-SoC 개발의 성공 및 투자수익성을 결정하는데 중요하게 작용할 수 있다.

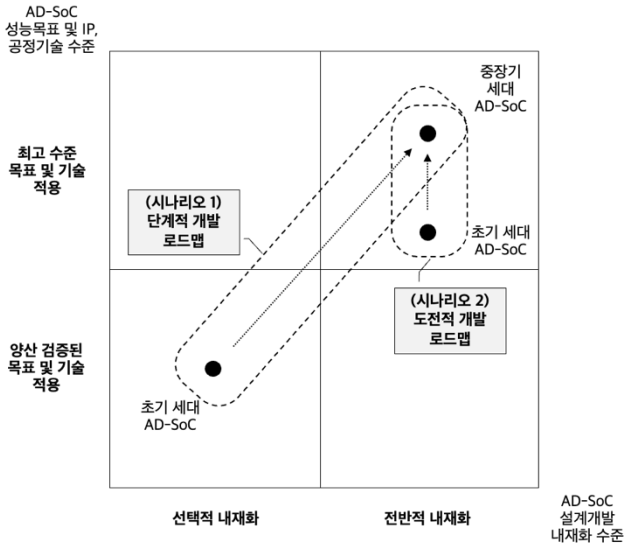
AD-SoC 성능목표 및 IP, 공정기술 수준 설정 관련하여, 자동차 OEM 또는 Tier 1 사업자는 시스템 반도체 생태계를 통해 이미 검증된 기술을 중심으로 보수적으로 설정한 것인지 또는 개발 시점에서 충분히 검증되지 않은 기술의 적용을 가정하여 최고 수준으로 설정할 것인지 여부를 신중하게 결정해야 한다. 만일 AD-SoC 개발 착수 시점에서 이미 과거 양산 검증된 시스템 반도체 설계 및 공정기술만을 적용할 경우, 현 시점에서 Nvidia, Mobileye, Qualcomm 등 전문 반도체 업체로부터 구매 가능한 범용 고성능 SoC 대비 양산 시점 기준 성능 격차가 지나치게 크게 발생할 우려가 존재한다. 범용 고성능 SoC 대비 AD-SoC의 성능 격차가 클 경우, AD-SoC의 최적화를 통한 비교우위를 담보하기 어려울 수 있다. 참고로, 과거 Tesla의 FSD3 개발 사례는 개발 시점에서 최고 수준의 도전적 목표를 설정하고 당시 적용 가능한 최고 수준의 IP, 공정기술을 적용한 경우에 해당한다.

설계개발 역량 내재화 수준 또한 자동차 OEM 또는 Tier 1 사업자가 AD-SoC 개발 전략 수립 시 고려해야 할 주요 이슈로서 전략적 효과와 투자수익성 사이에서 상충관계 (Trade-off)가 발생 할 수 있다. AD-SoC 개발 단계를 제조 이전까지 제품기획 및 사양결정, 아키텍처 설계, IP 및 공정기술 선정, Logic 상세설계 및 검증, Physical 상세설계 및 검증으로 구분하면, 자동차 OEM 및 Tier 1이 제품기획, 사양결정 및 아키텍처 설계 단계에 초점을 둔 자체 조직, 인력을 운영하고 나머지 단계에서 IP 라이센싱을 실시하거나 Fabless, Design

House 등 전문사와 외주 협력할 경우, 낮은 수준의 선택적 설계/개발 내재화를 추구한다고 정의할 수 있다. 반면에, 제품기획 및 아키텍처 설계 단계 뿐 아니라 NPU 등 일부 중요한 IP를 자체개발하고, 상세설계 및 검증 단계까지도 자체 조직, 인력을 운영할 경우, 높은 수준의 전반적 설계개발 내재화를 추구한다고 정의할 수 있다. 일반적으로 높은 수준의 설계개발 내재화를 채택할 경우, 시스템 엔지니어링 관점에서 Custom SoC 연구개발 역량을 육성하는데 유리하고 상세 설계검증 단계에서의 이슈를 사전에 아키텍처 설계 및 IP, 공정기술 선정 단계에서 고려하는 등 시너지 창출의 장점이 존재하나, 개발비용이 높아져 AD-SoC 투자수익성 확보에 불리할 가능성이 존재한다. AD-SoC 설계 내재화 전략방향은 자동차 OEM 또는 Tier 1 사업자 관점에서 시스템 반도체 개발 역량을 중요한 차별적 경쟁력으로 추구할 것인지에 대한 결정을 포함하여, 전사 기술전략의 차원에서 검토되어야 할 사안으로 판단된다.

제 2 절 AD-SoC 개발 시나리오 정의

AD-SoC 성능목표 및 기술 수준과 설계개발 역량 내재화 수준을 변수로 AD-SoC 로드맵 시나리오를 수립할 수 있다 [그림 5-1].



[그림 5-1] AD-SoC 개발 시나리오 정의 Framework

상기 Framework을 바탕으로, 본 연구에서 설정한 AD-SoC 개발 로드맵 시나리오는 [표 2-1]과 같다. 시나리오 1은 단계적 개발 로드맵 시나리오로서, 최초 개발과제에서는 AD-SoC 성능목표를 기존 양산제품 수준으로 설정하고 (양산 시점에서 범용 고성능 SoC 성능 수준 하회), 기존 양산 제품을 통해 검증된 IP, 공정기술을 적용하며, 차세대 개발과제 시, 시장 최고 수준의 성능목표 (예, TOPS[7], TOPS per Watt 등)를 설정하고 양산을 통해 검증되지 않은 최신 IP, 공정기술을 적용한다. 또한, 역량 내재화의 경우, 최초 개발 시에는 제품기획, 아키텍처 설계 위주의 선택적 내재화를 추구하고, 차세대 개발 시 NPU 개발, 상세개발 및 검증 등 전반적인 영역으로 역량 내재화를 확대한다.

시나리오 2는 도전적 개발 로드맵으로, 최초 개발과제 수행 시에도, 시장 최고 수준의 성능목표 설정, 최신 IP, 공정기술 적용, 전반적 역량 내재화를 추구하는 시나리오이다.

[표 2-1] AD-SoC 개발 시나리오 정의

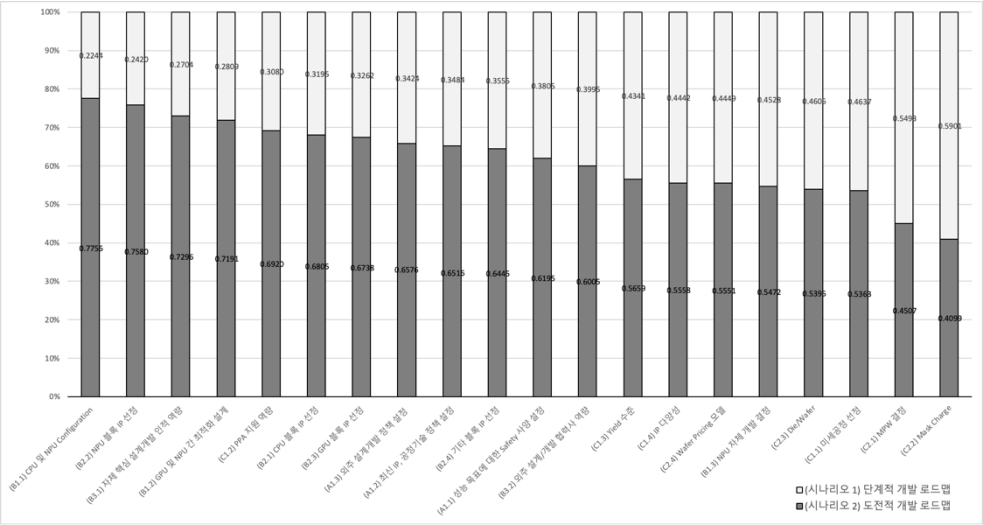
(시나리오 1) 단계적 개발 로드맵		(시나리오 2) 도전적 개발 로드맵	
최초 개발과제 (1세대)	• 개발 완료 시점에서 기존 제품 수준의 성능목표 설정 (범용 고성능 SoC 성능 수준 하회) • 양산 검증된 IP, 공정기술 적용 • 제품기획, 아키텍처 설계 중심의 선택적 역량 내재화	최초 개발과제 (1세대)	• 개발 완료 시점에서 시장 최고 수준 성능목표 설정 (범용 고성능 SoC 성능 수준 동등 또는 상회) • 최신 IP, 공정기술 적용 (양산 미 적용 기술 포함) • NPU 개발, 상세개발 및 검증 포함 전반적 역량 내재화
차세대 개발과제 (2세대)	• 개발 완료 시점에서 시장 최고 수준 성능목표 설정 (범용 고성능 SoC 성능 수준 동등 또는 상회) • 최신 IP, 공정기술 적용 (양산 미 적용 기술 포함) • NPU 개발, 상세개발 및 검증 포함 전반적 역량 내재화	차세대 개발과제 (2세대)	• (상동)

제 3 절 시나리오 별 핵심동인 중요도 평가결과

전문가 설문조사 결과, 총 20개 소분류 핵심동인 중 (C2.1) MPW 결정 및 (C2.2) Mask Charge 동인을 제외한 나머지 18개 동인이 모두

[7] TOPS는 Tera Operations Per Second를 의미한다.

(시나리오 1) 단계적 개발 로드맵 보다 (시나리오 2) 도전적 개발 로드맵의 경우, 더 중요하게 영향을 미치는 것으로 평가되었다 [그림 5-2]. 즉, 전문가들은 최초 개발부터 최고 수준의 성능목표를 설정하고, 양산 검증이 모두 되지 않은 최신 IP, 공정기술을 적용하며, 자동차 OEM 또는 Tier 1 사업자가 제품기획부터 설계개발, 공정기획에 이르기까지 높은 수준의 내재화 전략을 수행할 경우, 핵심동인의 중요성이 더 높아진다고 응답했다. 이러한 평가결과는 도전적 개발 로드맵 시나리오가 개발목표 달성 및 IP, 공정기술 선정의 리스크가 높고 반도체 생태계와 개발에 필요한 역량 및 리스크를 분담, 공유하지 않는 개발방식인 것에 기인한 것으로 해석된다.

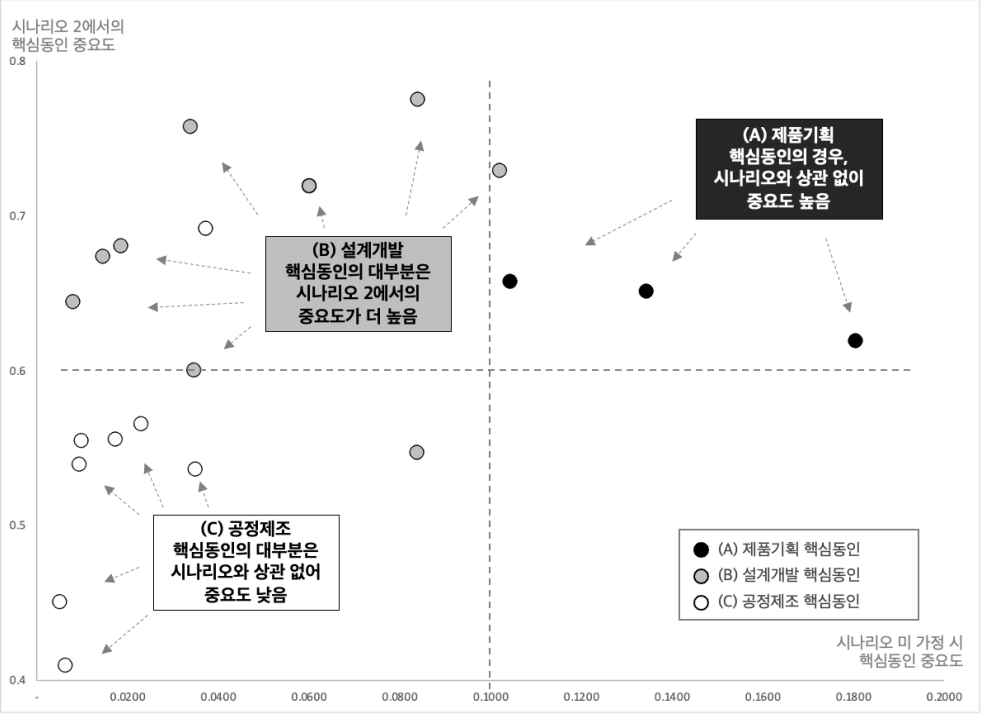


[그림 5-2] 개발 시나리오 별 핵심동인 중요도 평가결과

그런데, 시나리오 2의 핵심동인 중요도 평가결과는 앞서 시나리오를 가정하지 않은 상황에서의 평가결과와 다소 다른 양상을 보이는 것을 알 수 있다 [그림 5-2]. 시나리오 2의 경우, 중요도 평가결과 순서로 핵심동인을 정렬하면 상위 5개 핵심동인은 (B1.1) CPU 및 NPU Configuration, (B2.2) NPU 블록 IP 선정, (B3.1) 자체 핵심 설계개발 인적 역량, (B1.2) GPU 및 NPU간 최적화 설계, (C1.2) PPA 지원 역량인데, 상위 5개 핵심동인 중 4개가 (B) 설계개발 영역에 속하며 (A) 제품기획 및 개발계획 하위동인은 없다. 이러한 결과는 이미 개발목표가

매우 도전적으로 정해진 시나리오 2의 경우, (B) 설계개발 관련된 핵심동인이 개발목표 달성에 매우 중요하게 평가된 것으로 해석할 수 있다.

이러한 결과는 앞서 시나리오를 전제하지 않은 상황에서의 핵심동인 평가결과와 시나리오 2의 핵심동인 평가결과를 비교할 경우에도 확인된다. 시나리오 2에서 (B) 설계개발 영역에 속하는 대부분 핵심동인의 중요도가 보다 높은 것을 알 수 있다 [그림 5-3].



[그림 5-3] 시나리오 미 가정 대비 시나리오 2 평가결과 비교

제 6 장 결론 및 시사점

제 1 절 분석결과 종합

첫번째 연구 핵심질문인 “AD-SoC 개발목표 달성에 중요한 영향을 미치는 핵심동인은 무엇인가?”에 대한 전문가 설문조사 결과, 제품기획 및 설계 영역 핵심동인이 높은 중요도를 갖는 것으로 평가되었다. 설계개발 핵심동인 중에서는 SoC 아키텍처 설계, 자체 설계개발 인적 역량이 중요한 것으로 평가되었으며, NPU 자체개발 결정, CPU 및 NPU Configuration 등 NPU 관련 결정사항이 중요한 핵심동인으로 평가되었다. 제품기획 영역 핵심동인 중에서는 성능목표에 대한 Safety 사양 설정이 가장 중요한 것으로 평가 되었다. 설계개발, 제품기획 영역 대비 상대적으로 중요도가 낮게 평가된 공정제조 영역 핵심동인의 경우, 공정 기술이 양산 방식 보다 더 중요한 동인으로 평가되었는데, 특히 PPA 지원 역량, 미세공정 선정이 중요한 동인으로 파악되었다.

위와 같은 전문가 평가 결과는 자율주행 시스템 및 고성능 SoC 기술이 아직 초기 단계에 있기 때문에 제품기획, 설계개발 관련된 경험과 노하우가 산업 전반적으로 충분히 축적되지 않은데 기인한다고 볼 수 있다. 다른 한편으로는 이러한 평가결과는 최근 빠르게 형성되고 있는 자동차 분야 시스템 반도체 생태계 성장을 반영한 것으로 해석할 수 있다. 즉, 공정 기술, 양산 방식을 제공하는 Foundry 업체는 이미 충분히 발달되어 있고, 또한 최근 Fabless, Design House, NPU 분야 IP 전문업체 등이 클라우드, 서버 시장을 대상으로 빠르게 성장하고 있는 상황을 고려할 때, 반도체 생태계를 통해 역량 확보 가능한 영역 보다는 자동차 OEM 또는 Tier 1 사업자가 자체적으로 역량을 축적해야 하는 영역 (예, 제품기획, 아키텍처 설계 등)의 핵심동인이 중요하게 평가된 것으로 볼 수 있다.

두번째 연구 핵심질문인 “AD-SoC 개발 시나리오에 따라 핵심동인 중요도는 어떻게 달라지는가?”와 관련해서, 전문가들은 최초 개발부터 최고 수준의 성능목표를 설정하고, 양산 검증되지 않은 최신 IP, 공정기술을 적용하며, 전반적인 영역에서 높은 내재화를 추구하는 도전적 개발 로드맵 시나리오의 경우, AD-SoC 개발 핵심동인의 중요도를 더 높게 평가했다.

이러한 평가결과의 원인은 앞서 첫번째 핵심질문에 대한 전문가 평가결과의 원인과 맥락을 같이 한다. 즉, 전체적으로 자율주행 시스템 및 고성능 SoC 기술이 확산되지 않은 현재 상황에서 도전적 개발 로드맵을 채택하는 시나리오가 더 리스크가 높다는 전문가들의 인식이 작용한 것으로 해석할 수 있다.

제 2 절 자동차 OEM 및 Tier 1 사업자에 대한 시사점

본 연구의 결론은 AD-SoC 개발을 검토하고 있는 자동차 OEM 및 Tier 1 사업자에게 기술전략 수립 관점에서 유용한 시사점을 제공한다. 연구 초기 수립한 주요 가설에 대해, 전문가 평가 결과에 기반한 검증 결과는 다음과 같다.

첫째, AD-SoC 개발목표 달성을 위해 설계개발 및 공정제조 역량 확보가 가장 중요하다는 가설은 기각되었다. 전문가 평가 분석결과, 제품기획이 설계개발과 거의 동등한 수준으로 매우 중요하며, 반면 공정제조 중요도는 상대적으로 매우 낮은 것으로 드러났다. 이는 Level 3 이상 자율주행 기술이 미성숙 단계에 있기 때문에 높은 Safety 마진 설정이 요구되며, 산업 내 자율주행 SW 수준의 평준화가 아직 달성되지 못한 것에 기인한 것으로 판단된다. 또한, 공정제조 역량의 중요도가 낮은 것은 제품기획, 설계개발 최적화가 달성되면 이미 발달된 Design House, Foundry 등 시스템 반도체 생태계를 활용하는 것이 가능하기 때문으로 해석된다.

Safety 사양의 축소가 AD-SoC 사양의 합리화에 큰 영향을 줄 수 있는데, 아직 산업 내 충분한 경험과 데이터가 축적되지 않은 상황에서는 자동차 OEM, Tier 1 사업자, 반도체 전문업체 간 심도 깊은 사례분석, 시뮬레이션, PoC 등을 통해 AD-SoC 최적사양을 도출하기 위한 협업을 추진해야 할 것이다. 또한, AD-SoC 개발 목표를 달성하고, 투자수익성 등 사업적 목표 달성의 확률을 높이기 위해서는 제품기획 단계에서 최대한 AD-SoC 사양을 합리화하고 이에 적합한 최적 IP, 공정기술을 선택하는 것이 중요하다. 반드시 최신 IP 또는 최신 미세공정이 고성능 SoC의 성능 최적화를 담보하는 것이 아니며, 기 검증된 1세대 이전의 공정기술을 적용하더라도, PPA 극대화를 통해 요구사양을 충족할 수 있는 가능성이 존재한다.

둘째, AD-SoC 개발은 시스템 반도체 생태계를 활용한 외주개발 방식을 채택해야 한다는 가설은 부분적으로 타당한 것으로 판단된다. 자동차 OEM 및 Tier 1 사업자는 시스템 반도체 생태계를 적극 활용해야 하나, 제품기획, SoC 아키텍처 설계, NPU 개발 등 선별적 핵심영역에서 역량 내재화를 추진하는 것이 필요하다. 특히, 설계개발 초점 분야에 대해서는 업계 최고 수준의 인재를 확보하는 Top Talent 전략을 고려하는 것이 바람직하다. 예를 들어, 설계개발 분야에서 AD-SoC 아키텍처 설계를 총괄할 수 있는 시니어 설계 전문가 (Principal Architect), 제품기획 분야에서 IP, 공정기술 최적 선정을 총괄할 수 있는 제품기획 전문가, 공정기술 분야에서 최고 수준의 PPA 역량을 보유한 공정기술 기획 전문가 확보를 고려할 수 있다.

AD-SoC 성능 최적화에 가장 큰 영향을 줄 수 있는 NPU 기술에 대해서는 차별적 기술 경쟁력을 확보를 위해 기술 내재화를 검토해야 한다. 여기서 내재화는 반드시 자체 인력을 통해 독자적으로 개발하는 Organic 개발 방안만을 의미하는 것은 아니다. 시스템 반도체 생태계 내 Fabless, IP 업체 등과의 협업 개발 또는 전문성을 보유한 NPU 전문 IP 업체에 대한 전략적 투자, 인수 등 Inorganic 개발 방안도 포괄적으로 검토할 수 있다.

셋째, AD-SoC 성능목표는 범용 SoC와 동일하거나 상회하는 수준으로 설정하는 것이 필요하다는 가설은 부분적으로 타당한 것으로 판단된다. 최초 세대 Custom AD-SoC 개발부터 최고 수준 성능목표를 설정할 경우, 제품기획, 설계개발, 공정제조의 모든 영역에서 고도의 역량 확보가 요구되어 상당한 개발 리스크 증가 예상되기 때문이다.

AD-SoC 개발 로드맵과 관련하여, 도전적 개발 로드맵 결정은 자동차 OEM 또는 Tier 1 사업자의 기술 역량, 사업적 필요성, 주주, 투자자 등 이해관계자의 기대 등을 종합적으로 검토하여 매우 신중하게 수행되어야 한다. 만일 도전적 개발 로드맵 전략을 추진하는데 있어 현실적 장애요인이 존재할 경우, 최초 개발 과제는 개발목표 현실화, 최적 설계개발 기술 도입, 외부 시스템 반도체 생태계 활용 등을 통해 보수적으로 접근하고, 향후 중장기 개발과제 추진을 통해 범용 고성능 SoC 성능 대비 동일 또는 상회하는 수준의 개발목표 달성을 추구하는 단계적 개발 로드맵 전략을 검토하는 것이 타당하다. 선행 문헌연구를 통해 파악한 Tesla의 자율주행 Computing Platform (FSD3) 개발 사례의 경우도, 비록 고성능 범용 SoC에 기반했으나 HW 1.0, HW 2.0, HW 2.5 등 여러 개발세대를 거쳐 고성능 SoC에 기반한 자율주행

시스템 개발 경험을 축적한 이후, HW 3.0에서 Custom SoC 개발을 추진했다는 점에서 단계적 개발 로드맵 설정의 필요성을 뒷받침하고 있다.

제 3 절 연구 한계점 및 추가 연구 필요성

본 연구는 연구방법 관점에서 전문가 설문조사의 대상이 국내 시스템 반도체 산업 내 전문가로 한정되어, 고성능 SoC 분야에서 경험을 축적한 해외 반도체 전문가의 의견이 반영되지 못한 한계를 안고 있다. 또한, 앞서 연구 배경에서 밝힌 바와 같이, 자동차 OEM 또는 Tier 1 사업자 관점에서 AD-SoC 개발에 있어 가장 큰 장애요인 중 하나는 불확실한 투자수익성인데, 본 연구에서 분석한 AD-SoC 개발의 핵심동인이 투자수익성 향상에 어떻게 기여하는지에 대한 정량적 분석이 수행되지 못했다. 세부 시뮬레이션을 위해 요구되는 요소 개발비용 및 양산비용에 대한 예측이 어렵다는 점과 특정 자동차 OEM 또는 Tier 1 사업자의 내부 정보에 기초한 시뮬레이션 결과를 일반화하기 어렵다는 점이 투자수익성 민감도 분석을 수행하지 못한 주요 원인이었다.

끝으로, 향후 자율주행 시스템과 같은 고성능 SoC 뿐 아니라, 전기전자 아키텍처 변화에 따른 표준화, 모듈화 된 제어기에 적용되는 일반 성능의 SoC에 대해서도 차량용 Custom SoC 개발 핵심동인 연구를 확장할 필요성이 있다. 일반 성능 SoC의 경우, 고성능 SoC 대비 수요가 훨씬 크고, 기술적 장애요인이 낮아 차량용 Custom SoC 초기 시장을 견인할 가능성이 높다.

참 고 문 헌

[1] 송근원, 이영, 2013, AHP의 일관성 향상을 위한 척도 재구성 연구, 경성대학교 사회과학연구소, 사회과학연구 Vol.29, No.2, pp. 271-288.

[2] 최민철, 2020, AHP 분석의 문제점과 수정가중치모형의 개발, 대한경영정보학회 경영과 정보연구, Vol. 39, No. 2, pp. 145-162.

[3] CoAsia, 2021, 고성능반도체 개발타당성 검토.

[4] Meissner, et al., 2020, Computer on wheels: Disruption in automotive electronics and semiconductors, Roland Berger.

[5] Windpassinger, 2022, On the Way to a Software-defined Vehicle, ATZ Electronics Worldwide Vol. 17, pp. 8–51, ATZ Electronics.

[6] Bernhart, et al., 2022, The future of the automotive software industry: Spend, trends and how to transform, Roland Berger.

[7] Fletcher, et al., 2020, The case for an end-to-end automotive software platform, McKinsey & Company.

[8] Cusumano, et al., 2019, The business of platforms: Strategy in the age of digital competition, innovation, and power, Harper Business.

[9] Shead, 2021, Tech giants are rushing to develop their own chips — here's why, https:// www.cnbc.com/2021/09/06/why-tesla-apple-google-and-facebook-are-designing-their-own-chips.html, CNBC.

[10] Burkacky, et al., 2021, Automotive semiconductors for the autonomous age, McKinsey & Company.

[11] Lin, et al., 2018, The Architectural Implications of Autonomous Driving: Constraints and Acceleration, Proceedings for the Twenty-Third International Conference on Architectural Support for Programming Languages and Operating Systems, pp. 715-766.

[12] Liu, et al., 2017, Computer Architectures for Autonomous Driving Computer, Vol.50, Issue 8, pp. 18-25.

[13] Liang, et al, 2021, Efficient Computing Platform Design for Autonomous Driving Systems, Proceedings for the 26th Asia and South Pacific Design Automation Conference, pp. 734-741.

[14] Capra, et al., 2020, Hardware and Software Optimizations for Accelerating Deep Neural Networks: Survey of Current Trends, Challenges, and the Road Ahead, IEEE Access 8, 225134-225180.

[15] Reuther, et al., 2021, AI Accelerator Survey and Trends, IEEE High Performance Extreme Computing Conference (HPEC), pp. 1-9.

[16] Collin, et al., 2020, Autonomous driving systems hardware and software architecture exploration: optimizing latency and cost under safety constraints, Systems Engineering, 23(3), The International Council on Systems Engineering, pp. 327-337.

[17] LeCun, 2019, Deep Learning Hardware: Past, Present, and Future, IEEE International Solid-State Circuits Conference, pp. 12-19.

[18] Saaty, 1977, A Scaling Method for Priorities in Hierarchical Structures, Journal of Mathematical Psychology, Vol. 15, No. 3, pp. 234-281.

[19] Saaty, 2004, Decision Making - The Analytic Hierarchy and Network Process (AHP/ANP), Journal of Systems Science and Systems Engineering, Vol. 13, No. 1, pp. 1-35.

[20] Blumenthal, 1977, The Process of Cognition, Prentice-Hall/Pearson Education.

[21] Saaty, 2002, Decision-making with the AHP: Why is the Principal Eigenvector Necessary, European Journal of Operational Research, Vol. 145, pp. 85-91.

[22] Vargas, 1990, An Overview of the Analytic Hierarchy Process and Its Applications, European Journal of Operational Research, Vol. 48, pp. 2-8.

[23] Vaidya, et al., 2004, Analytic Hierarchy Process: An Overview of Applications, European Journal of Operational Research, Vol. 169, pp. 1-29.

첨 부

차량용 Level 4 자율주행 고성능 SoC 개발목표 달성 핵심동인 우선순위 분석

안녕하십니까

본 설문지는 차량용 Level 4 자율주행 시스템에 사용되는 고성능 SoC 개발에 있어, 성능 및 원가 목표 달성에 영향을 미치는 핵심동인의 우선순위화를 하기 위해 기안 되었습니다.

반도체 설계 및 공정기술 전문가 입장에서 제시된 핵심동인들의 상대적 중요도를 도출하여 주시기 바랍니다. 귀하께서 응해 주신 설문 내용은 향후 자율주행 고성능 SoC 개발 시나리오 및 투자수익성 분석을 위한 연구에 귀중한 자료로 쓰여집니다. 귀하의 경험과 의견을 바탕으로 설문 내용에 공란 없이 응답하여 주십시오.

본 설문은 연구수행에 필요한 자료를 수집하기 위해 작성 되었으므로, 특정 개인에 관한 정보 취득을 목적으로 하고 있지 않으며, 모든 답변은 통계분석 및 정책수립의 기초 자료로만 활용될 것이며, 이러한 연구목적 외에는 일절 사용되지 않음과 더불어 통계법에 의거하여 절대비밀을 보장할 것을 약속 드립니다.

2022. 8

※ 응답자 기본 배경 설문

- 응답자 성명: _____
- 회사: _____
- 부서: _____
- 직책/직급: _____ /_____
- H/P: _____
- E-Mail: _____@_____

우선 본 설문에 앞서 귀하의 본 설문에 대한 이해를 돕기 위하여 의사결정 계층 구조 및 각 항목에 대한 설명을 기술하였습니다. 먼저 이를 먼저 확인/숙지하신 후 본 설문에 응해 주시기 바랍니다.

연구목적: 차량용 Level 4 자율주행 시스템에 사용되는 고성능 SoC 개발에 있어 성능 및 원가 목표 달성에 영향을 미치는 핵심동인 우선순위 분석

본 설문은 크게 I. 핵심동인 우선순위 조사 및 II. 핵심동인 별 개발 시나리오 가중치 조사의 두 가지로 이루어져 있습니다.

핵심동인은 아래 그림1과 같이 계층구조에 따라 구조화 되어 있습니다.

그림 1. 차량용 Level 자율주행 고성능 SoC 개발목표 핵심동인 계층구조

상기 각 핵심동인에 대한 설명은 다음과 같습니다.

(1) 제품기획
(1.1) 개발 목표 및 정책 설정

(1.1.1) 성능목표에 대한 Safety 사양 설정
AD-SoC 기능, 성능, 신뢰성 등 개발 목표에 대한 Safety 마진 범위 설정

(1.1.2) 최신 IP/공정기술 정책 설정
최신 IP/공정 적용 vs. 양산 통해 검증된 IP/공정 적용

(1.1.3) 외주 설계개발 정책 설정
자체 인력 위주 vs. Design House/Foundry 설계 인력 위주 결정

(2) 설계개발
(2.1) SoC 아키텍처 설계

(2.1.1) CPU 및 NPU Configuration
CPU, NPU 블록 별 Single Chip vs. Multi Chip 결정 및 CPU vs. NPU 연산 분담

(2.1.2) GPU 및 NPU 간 최적화 설계
영상신호 및 영상인식 처리에 대한 GPU vs. NPU 연산 분담

(2.1.3) NPU 자체 개발 결정
자율주행 SW에 최적화된 NPU 자체 설계 vs. IP 라이센싱 결정

(2.2) IP 라이센싱

(2.2.1) CPU 블록 IP 선정
CPU IP 종류 (Cortex A75 vs. A78) 및 코어 수, 클럭 결정

(2.2.2) NPU 블록 IP 선정
NPU IP 종류 및 코어 수, 클럭 결정

(2.2.3) GPU 블록 IP 선정
GPU IP 종류 및 코어 수, 클럭 결정

(2.2.4) 기타 블록 IP 선정
메모리 (DDR4 vs. DDR5), 통신 및 Bus (Bandwidth 등), Power (도메인 수 등) 결정

(2.3) 설계개발 인적 역량

(2.3.1) 자체 핵심 설계개발 인적 역량
PPA (Performance, Power, Area) 최적화 설계/개발 역량 및 생산성

(2.3.2) 외주 설계개발 협력사 인적 역량
Design House, Foundry 설계/개발 역량 및 생산성

(3) 공정제조
(3.1) 공정 기술

(3.1.1) 미세공정 선정
최신 미세공정 (예, 3 나노 공정) vs. 기 검증 미세공정 (예, 14 나노 공정) 결정

(3.1.2) PPA 지원 역량
Foundry 별 Cell 당 PPA (Performance, Power, Area) 지원 역량

(3.1.3) Yield 수준
Foundry 별 Yield 수준

(3.1.4) IP 다양성
공정 기술 종류 별 지원 IP (최신 공정 기술의 경우, IP 지원 제약)

(3.2) 양산 방식

(3.2.1) MPW 결정
MPW 후 Single-run vs. Single Run 결정

(3.2.2) Mask Charge
Foundry 별 Mask Charge

(3.2.3) Die/Wafer
Foundry 별 확보 가능 Die/Wafer 수량

(3.2.4) Wafer Pricing 모델
Foundry 별 Known Good Die (KGD) 가격 정책 (Die 당 vs. 양품 Die 당)

본 설문은 계층구조화 된 핵심동인에 대한 I. 핵심동인 우선순위 조사 및 II. 핵심동인 별 개발 시나리오 가중치 조사로 구성되어 있습니다.

I. Level 4 자율주행 고성능 SoC 개발 목표 달성을 위한 핵심동인 우선순위 분석

이번 설문은 상위 계층을 구성하는 요소 간의 상대적 우위를 묻는 질문부터 해당 요소 하위 계층을 구성하는 요소 간의 상대적 우위를 묻는 질문의 순서로 진행됩니다.

총 9개의 질문에 대해 응답하여 주시고, 각 질문 별 설명을 충분히 숙독해 주시기 바랍니다.

모든 항목에 대하여 빠짐없이 답변해 주십시오.

Q1. 다음의 핵심동인을 두 항목 씩 비교할 때, 어느 항목이 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

제품기획 및 개발계획	자동차 OEM 및 Tier 1 사업자의 니즈에 따라, Level 4 자율주행 고성능 SoC 사양을 설정하고, IP 전략, Design House 외주계획, 개발일정 등 개발계획 수립
설계/개발	반도체 아키텍처 설계, IP 라이센싱 결정, PPA (Performance, Power, Area) 최적화 등 고성능 SoC 설계 및 개발
공정 /Foundry	Foundry와의 협업을 통해, 미세공정, Yield 등 공정기술 및 MPW, Mask Charge, Wafer Pricing 등 양산방식 결정 및 적용

주의: 하부 요인이 여러 개가 있는 경우 설문의 일관성 있는 답변을 위하여 반드시 **가장 중요**하게 여기는 속성 순으로 **배열**한 후 이를 **확인**하시면서 상대비교 답변에 응해 주십시오.

<작성예시>

상대적 중요도: (제품기획 및 개발계획) > (설계/개발) > (공정/Foundry)

	절대적 중요 중요 조금 중요		같음 조금 중요 중요 절대적 중요	
제품기획 및 개발계획	9 8 7 6 5 4 ③ 2	1	2 3 4 5 6 7 8 9	설계개발
제품기획 및 개발계획	9 8 7 6 ⑤ 4 3 2	1	2 3 4 5 6 7 8 9	공정제조
설계개발	9 8 7 6 5 ④ 3 2	1	2 3 4 5 6 7 8 9	공정제조

(상품기획 및 개발계획)이 (설계/개발) 보다 (3) '조금 중요하다'로 답변하신다면 (상품기획 및 개발계획)은 (공정/Foundry) 보다 (3) '조금 중요하다'이상으로 4, 5, 6, 7, 8, 9 중 답변할 때, 일관성이 유지됩니다. 실례로, (상품기획 및 개발계획) 쪽으로 5로 답변 되어 있는 것을 볼 수 있습니다.

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요 중요 조금 중요		같음 조금 중요 중요 절대적 중요	
제품기획 및 개발계획	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	설계개발
제품기획 및 개발계획	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	공정제조
설계개발	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	공정제조

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q2. 다음 (1) 제품기획 및 개발계획 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

성능 목표에 대한 Safety 사양 설정	자동차 OEM 및 Tier 1 사업자가 설정한 Level 4 자율주행 시스템 요구사항을 충족하는 고성능 SoC 사양에 대한 Safety 마진 범위 설정
최신 IP/공정기술 적용정책 설정	적용 가능한 최신 IP/공정기술 적용 vs. 양산 통해 검증 완료된 IP/공정기술 적용 간 결정
외주 설계개발 정책 설정	자동차 OEM 또는 Tier 1 사업자의 자체 SoC 설계/개발 인력 확보 vs. Design House, Foundry 보유 전문 인력 활용 간 결정

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요 중요	조금 중요	같음	조금 중요 중요 절대적 중요	
성능 목표에 대한 Safety 사양 설정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9		최신 IP/공정기술 적용정책 설정
성능 목표에 대한 Safety 사양 설정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9		외주 설계개발 정책 설정
최신 IP/공정기술 적용정책 설정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9		외주 설계개발 정책 설정

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q3. 다음 (2) 설계개발 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

SoC 아키텍처 설계	GPU vs. NPU 최적화, NPU 자체개발 여부 결정, 블록 별 Redundancy 설정 등 아키텍처 설계 방향 설정
IP 라이센싱	각 블록 별 IP 종류, 코어 수, 클럭 등 결정 및 IP 선정
설계개발 인적 역량	자체 설계/개발 인력 또는 Design House, Foundry 설계개발 인력 역량

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
SoC 아키텍처 설계	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 라이센싱
SoC 아키텍처 설계	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					설계개발 인적 역량
IP 라이센싱	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					설계개발 인적 역량

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q4. 다음 (2.1) SoC 아키텍처 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

CPU 및 NPU Configuration	CPU 및 NPU 블록 별 Single Chip vs. Multi Chip 결정 및 CPU vs. NPU연산 분담
GPU vs. NPU 최적화 설계	영상신호, 영상인식 처리에 대한 GPU vs. NPU 연산 분담 결정
NPU 자체개발 결정	자율주행 SW에 최적화된 NPU 자체설계 여부 결정

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요 중요 조금 중요		같음 조금 중요 중요 절대적 중요	
CPU 및 NPU Configuration	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	GPU vs. NPU 최적화 설계
CPU 및 NPU Configuration	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	NPU 자체개발 결정
GPU vs. NPU 최적화 설계	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	NPU 자체개발 결정

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q5. 다음 (2.2) IP 라이센싱 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

CPU 블록 IP 선정	CPU IP 종류, 코어 수, 클럭 등 결정
NPU 블록 IP 선정	NPU IP 종류, 코어 수, 클럭 등 결정
GPU 블록 IP 선정	GPU IP 종류, 코어 수, 클럭 등 결정
기타 블록 IP 선정	메모리, 통신, Bus/NoC, Power 블록 별 IP 선정

<실제작성란>

우선 상대적 중요도 순으로 4가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
CPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	NPU 블록 IP 선정
CPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	GPU 블록 IP 선정
CPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	기타 블록 IP 선정
NPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	GPU 블록 IP 선정
NPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	기타 블록 IP 선정
GPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	기타 블록 IP 선정

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q6. 다음 (2.3) 설계개발 인적 역량 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

자체 핵심 설계자 개발 인적 역량	자동차 OEM 또는 Tier 1 사업자 자체 핵심설계자 (Principal Designer), 개발자 확보 및 설계/개발
외주 설계개발 협력사 인적 역량	Design House, Foundry 보유 설계/개발 전문 인력 외주 활용

<실제작성란>

우선 상대적 중요도 순으로 2가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
자체 핵심 설계개발 인적 역량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					외주 설계개발 협력사 인적 역량

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q7. 다음 (3) 공정제조 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

공정 기술	미세공정 선정 및 Foundry의 PPA (Performance, Power, Area) 지원 역량, Yield 수준, IP 지원 범위
양산 방식	MPW 후 Single-run 진행 여부 결정 및 Foundry 별 Mask Charge, Die/Wafer 수량, Wafer Pricing 모델

<실제작성란>

우선 상대적 중요도 순으로 2가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
공정 기술	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					양산 방식

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q8. 다음 (3.1) 공정기술 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

미세공정 선정	최신 미세공정 (예, 5 나노 공정) vs. 기 검증 미세공정 (예, 14 나노 공정) 적용 결정
PPA 지원 역량	Foundry 별 Cell 당 Power, Performance, Area 지원 역량
Yield 수준	Foundry 별 Yield 수준
IP 다양성	공정기술 종류별 지원 IP의 범위

<실제작성란>

우선 상대적 중요도 순으로 4가지 요소를 나열하십시오.

상대적 중요도: (　　) > (　　) > (　　) > (　　)

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
미세공정 선정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					PPA 지원 역량
미세공정 선정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					Yield 수준
미세공정 선정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 다양성
PPA 지원 역량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					Yield 수준
PPA 지원 역량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 다양성
Yield 수준	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 다양성

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q9. 다음 (3.2) 양산 방식 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

MPW 여부 결정	MPW 후 Single-run vs. Single-run Only 간 결정
Mask Charge	Foundry 별 Mask Charge
Die/Wafer 수량	Foundry 별 확보 가능 Die/Wafer 수량
Wafer Pricing 모델	Foundry 별 Known Good Die (KGD) 가격 정책

<실제작성란>

우선 상대적 중요도 순으로 4가지 요소를 나열하십시오.

상대적 중요도: (　　) > (　　) > (　　) > (　　)

	절대적 중요 중요	조금 중요	같음	조금 중요 중요	절대적 중요	
MPW 여부 결정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Mask Charge
MPW 여부 결정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Die/Wafer 수량
MPW 여부 결정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Wafer Pricing 모델
Mask Charge	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Die/Wafer 수량
Mask Charge	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Wafer Pricing 모델
Die/Wafer 수량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Wafer Pricing 모델

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

II. Level 4 자율주행 고성능 SoC 개발 시나리오 별 핵심동인 가중치 분석

자동차 OEM 또는 Tier 1 사업자가 외부 반도체 공급사로부터 범용 고성능 SoC를 구매하지 않고, 자체 반도체 설계 인력 및 외부 Design House 또는 Fabless 사업자를 활용하여 Level 4 자율주행 고성능 SoC를 직접 설계/개발 (Custom Development)하는 경우, 다음과 같은 두 가지 개발 시나리오를 상정할 수 있습니다.

(시나리오 1: 보수적 개발 전략) 단계적 성능 목표 및 설계/공정 기술 상향 적용

- 1세대 (Gen 1) SoC 개발 시, 범용 고성능 SoC 대비 성능 목표를 낮게 설정하고 양산을 통해 기 검증된 설계/공정 기술을 적용
- 2세대 (Gen 2) SoC 개발 시, 축적된 경험과 기술 역량을 활용하여, 범용 고성능 SoC 대비 동등 이상의 성능 목표를 설정하고, 아직 양산 적용되지 않은 최신 설계/공정 기술 적용 (예, 최고 수준 미세공정 적용)

(시나리오 2: 도전적 개발 전략) 최고 성능 목표 설정 및 최신 설계/공정 기술 적용

- 최초 개발부터, 범용 고성능 SoC 대비 동등 이상의 성능 목표를 설정하고, 아직 양산 적용되지 않은 최신 설계/공정 기술 적용

본 설문에서는 앞선 설문에 사용된 동일한 핵심동인 별로 상기 두 가지 시나리오 중 어느 시나리오에서 보다 중요하게 작용하는지 가중치를 평가하게 됩니다.

모든 항목에 대하여 빠짐없이 답변해 주십시오.

(1) 제품기획 및 개발계획
(1.1) 개발 목표 및 정책 결정

(Q1.1.1) 성능목표에 대한 Safety 사양 설정
AD-SoC 기능, 성능, 신뢰성 등 개발 목표에 대한 Safety 마진 범위 설정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(Q1.1.2) 최신 IP/공정 기술 정책 설정
최신 IP/공정 적용 vs. 양산 통해 검증된 IP/공정 적용

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(Q1.1.3) 외주 설계개발 정책 설정
자체 인력 위주 vs. Design House/Foundry 설계 인력 위주 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2) 설계개발
(2.1) SoC 아키텍처 설계

(2.1.1) CPU 및 NPU Configuration
CPU, NPU 블록 별 Single Chip vs. Multi Chip 결정 및 CPU vs. NPU 연산 분담

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.1.2) GPU 및 NPU 간 최적화 설계
영상신호 및 영상인식 처리에 대한 GPU vs. NPU 연산 분담

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.1.3) NPU 자체 개발 의사결정
자율주행 SW에 최적화된 NPU 자체 설계 vs. IP 라이센싱 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2) IP 라이센싱

(2.2.1) CPU 블록 IP 선정

CPU IP 종류 (Cortex A75 vs. A78) 및 코어 수, 클럭 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2.2) NPU 블록 IP 선정

NPU IP 종류 및 코어 수, 클럭 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2.3) GPU 블록 IP 선정

GPU IP 종류 및 코어 수, 클럭 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2.4) 기타 블록 IP 선정

메모리 (DDR4 vs. DDR5), 통신 및 Bus (Bandwidth 등), Power (도메인 수 등) 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.3) 설계개발 인적 역량

(2.3.1) 자체 핵심 설계개발 인적 역량

PPA (Performance, Power, Area) 최적화 설계/개발 역량 및 생산성

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.3.2) 외주 설계개발 협력사 인적 역량

Design House, Foundry 설계/개발 역량 및 생산성

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1 과 3, 3 과 5, 5 와 7, 7 과 9 의 중간단계

(3) 공정제조
(3.1) 공정 기술

(3.1.1) 미세공정 선정
최신 미세공정 (예, 3 나노 공정) vs. 기 검증 미세공정 (예, 14 나노 공정) 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.1.2) PPA 지원 역량
Foundry 별 Cell 당 PPA (Performance, Power, Area) 지원 역량

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.1.3) Yield 수준
Foundry 별 Yield 수준

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.1.4) IP 다양성
공정 기술 종류 별 지원 IP (최신 공정 기술의 경우, IP 지원 제약)

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2) 양산 방식

(3.2.1) MPW 결정

MPW 후 Single-run vs. Single Run 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2.2) Mask Charge

Foundry 별 Mask Charge

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2.3) Die/Wafer

Foundry 별 확보 가능 Die/Wafer 수량

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2.4) Wafer Pricing 모델

Foundry 별 Known Good Die (KGD) 가격 정책 (Die 당 vs. 양품 Die 당)

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

설문에 응해 주셔서 대단히 감사합니다.

Abstract

Key Drivers of Developing Custom SoC for Autonomous Driving System (AD-SoC)

Youngsuk Ko

Department of Engineering Practice

Graduate School of Engineering Practice

Seoul National University

Automotive industry is under the paradigm shift toward software defined vehicle (SDV) and the underlying technology disruption in the hardware domain of automotive embedded systems can be accelerated by the adoption of custom system on chip (SoC). Most automotive OEMs or Tier 1 suppliers have not accumulated understanding or experience in custom SoC, let alone capability to establish and execute effective technology roadmaps. By identifying key drivers of developing custom SoC equipped in the computing platform for level 3 or higher autonomous driving system (AD-SoC), this study aims to contribute to the proliferation of custom SoC technology in automotive industry in the long-term perspective.

For this study key drivers of AD-SoC development were defined in product planning, design & development, and process & manufacturing technology; expert surveys based on analytical hierarchy process (AHP) were conducted to prioritize the key drivers and evaluate the changes of priority under AD-SoC roadmap scenarios. The survey results revealed that the key drivers in product planning and design & development are more important than those in process & manufacturing technology. Especially, setting safety margins and selecting optimal IP and process technology

matter most in product planning, while SoC architecture design and designer & developer capability are most important in design & development. Such key drivers are far more important under aggressive roadmap scenario, where similar or higher performance targets are set against alternative general-purpose SoCs and latest IP (Intellectual Property) or process technology are implemented.

This study provides practical implications to automotive OEMs or Tier 1 suppliers. In product planning performance requirement should be rationalized and IP or process technology should be selected on optimal basis; in design and development recruiting top-level SoC architects and internalizing Neural Processing Unit (NPU) should be considered, while open innovation with eco-system is pursued. In addition, stepwise roadmap strategy which adopts conservative approach for the first generation and sets stretched target for the next generation should be considered with priority.

Keywords: Autonomous Driving, Custom System on Chip (SoC), Key Drivers, Analytic Hierarchy Process (AHP), Technology Roadmap
Student Number: 2021-20677

creative commons

COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학전문석사 학위 연구보고서

자율주행 Custom System on Chip (AD-SoC) 개발 핵심동인 연구

2023년 2월

서울대학교 공학전문대학원

응용공학과 응용공학전공

고 영 석

자율주행 Custom System on Chip (AD-SoC) 개발 핵심동인 연구

지도 교수 구 윤 모

지도 교수 이 혁 재

이 프로젝트 연구보고서를 공학전문석사 학위 연구보고서로 제출함

2022년 12월

서울대학교 공학전문대학원

응용공학과 응용공학전공

고 영 석

고영석의 공학전문석사 학위 연구보고서를 인준함

2022년 12월

위 원 장 오 병 수 (인)

위 원 구 윤 모 (인)

위 원 이 혁 재 (인)

위 원 이 기 춘 (인)

국문초록

자동차 산업은 소프트웨어 정의 차량 (Software Defined Vehicle, SDV)으로의 기술 패러다임 변화가 진행 중이며, 이를 위한 제어기 하드웨어 혁신에 있어 Custom System on Chip (SoC) 기술이 중요한 역할을 담당할 것으로 예상된다. 그런데, 대부분의 자동차 OEM 및 Tier 1 사업자는 Custom SoC 개발에 대한 이해와 경험이 부족하고, 효과적 기술 로드맵 수립 및 실행을 위한 자체 역량을 확보하지 못하고 있다. 본 연구는 자동차 OEM 및 Tier 1 사업자 관점에서 Level 3 이상 자율주행 Custom SoC (AD-SoC) 개발 목표 달성에 영향을 미치는 핵심동인을 규명함으로써, 중장기적으로 차량용 Custom SoC의 자동차 산업 내 확산에 기여하고자 한다.

본 연구를 통해 제품기획, 설계개발, 공정제조 영역에서 AD-SoC 개발목표 달성에 영향을 미치는 핵심동인을 정의하고 계층화분석법에 기반한 전문가 설문조사를 실시하여, 핵심동인의 중요도 및 AD-SoC 개발 시나리오에 따른 핵심동인의 중요도 변화를 평가했다. 전문가 설문 결과, 제품기획, 설계개발 영역의 핵심동인이 공정제조 영역의 핵심동인 대비 개발목표 달성에 보다 큰 영향을 미치는 것으로 평가되었다. 특히, 제품기획 영역 중 성능목표 Safety 사양 설정 및 IP, 공정기술 정책 설정, 설계개발 영역 중 SoC 아키텍처 설계 및 설계개발 인적 역량의 중요도가 높게 평가되었다. 또한, 최초 개발부터 범용 SoC 대비 동등 또는 상회 수준의 성능목표를 설정하고 최신 IP, 공정기술을 적극적으로 적용하는 도전적 개발 시나리오의 경우, 개발목표 달성에 있어 핵심동인의 중요도가 더 높은 것으로 평가되었다.

본 연구결과는 AD-SoC 개발을 추진하는 자동차 OEM 및 Tier 1 사업자에게 유용한 시사점을 제공한다. 제품기획 영역에서 AD-SoC 사양 합리화 및 IP, 공정기술 선정 최적화를 추구해야 하며, 외부 생태계를 활용하되 SoC 아키텍처 설계 분야 핵심인력 확보 및 NPU (Neural Processing Unit) 기술 내재화를 고려해야 한다. 또한, 최초 세대 AD-SoC 개발은 보수적으로 접근하고 차세대 개발 시 도전적 목표를 설정하는 단계적 개발 로드맵 채택을 고려하는 것이 타당하다.

주요어 : 자율주행, Custom SoC, 핵심동인, 계층화분석법, 기술 로드맵
학 번 : 2021-20677

목 차

제 1 장 연구 개요 및 필요성 2
제 1 절 자동차 전장기술 혁신과 Custom SoC의 중요성 2
제 2 절 차량용 Custom SoC 개발의 주요 이슈 4
제 3 절 연구 목적 및 핵심질문 5

제 2 장 자율주행 SoC 기술 개요 및 사례 8
제 1 절 자율주행 Computing Platform 개요 8
제 2 절 Tesla의 자율주행 Custom SoC 개발 사례 11

제 3 장 연구 및 자료수집 방법 14
제 1 절 연구 단계 14
제 2 절 계층화분석법 (AHP) 개요 15
제 3 절 전문가 설문조사 방법 16

제 4 장 핵심동인 중요도 평가결과 19
제 1 절 AD-SoC 개발 핵심동인 정의 19
제 2 절 핵심동인 중요도 평가결과 22
1. 제품기획 핵심동인 평가결과 22
2. 설계개발 핵심동인 평가결과 23
3. 공정제조 핵심동인 평가결과 26
4. 기타 평가결과 28

제 5 장 시나리오 별 핵심동인 중요도 평가결과 32
제 1 절 AD-SoC 개발 로드맵 상의 주요 이슈 32
제 2 절 AD-SoC 개발 시나리오 정의 33
제 3 절 시나리오 별 핵심동인 중요도 평가결과 34

제 6 장 결론 및 시사점 37
제 1 절 분석결과 종합 37
제 2 절 자동차 OEM 및 Tier 1 사업자에 대한 시사점 38
제 3 절 연구 한계점 및 추가 연구 필요성 40

참고문헌 41

첨부 44

Abstract 65

표 목차

[표 1-1] 12
[표 1-2] 13
[표 2-1] 33

그림 목차

[그림 1-1] 3
[그림 2-1] 8
[그림 2-2] 11
[그림 3-1] 15
[그림 3-2] 17
[그림 4-1] 20
[그림 4-2] 22
[그림 4-3] 23
[그림 4-4] 24
[그림 4-5] 25
[그림 4-6] 25
[그림 4-7] 26
[그림 4-8] 27
[그림 4-9] 27
[그림 4-10] 28
[그림 4-11] 29
[그림 4-12] 30
[그림 4-13] 31
[그림 5-1] 33
[그림 5-2] 35
[그림 5-3] 36

제 1 장 연구 개요 및 필요성

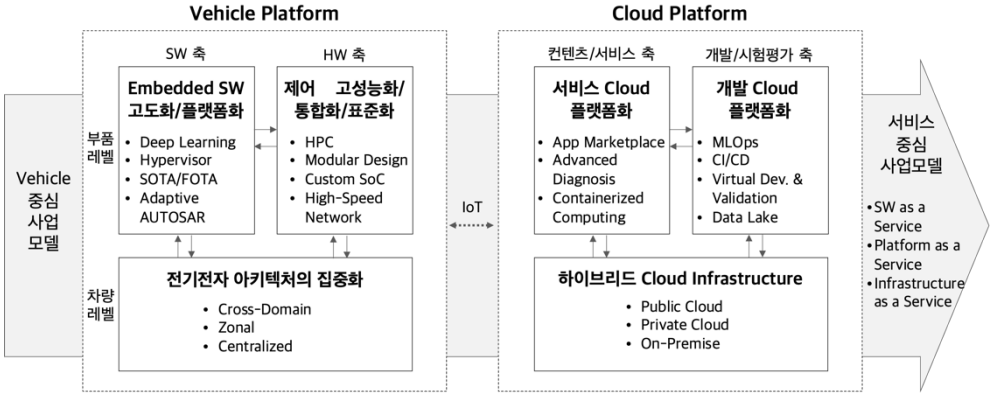
제 1 절 자동차 전장기술 혁신과 Custom SoC의 중요성

최근 자동차 전장기술 관련 가장 중요한 기술 패러다임 중 하나는 소프트웨어 정의 차량 (Software Defined Vehicle, SDV)이다 (Meissner, et al., 2020, Windpassinger, 2020). 자동차 OEM 또는 Tier 1 사업자는 서비스 및 개발 클라우드와의 연결성 강화를 통해 소프트웨어(Software, SW) 중심으로 차량 기능을 개선할 수 있으며, 이를 통해 사용자 경험 관점에서 차량의 가치를 지속적 향상시킬 수 있다. SDV 구현은 자동차 산업 내 사업모델 혁신을 가능하게 하는 기술적 기반의 구축을 의미하며, 이러한 변화는 이미 타 정보통신기술 산업에서 관찰되어 왔다 (Cusumano, et al., 2019). 자동차 산업은 차량 또는 차량부품 제조판매 중심의 사업모델에서 소프트웨어 중심 사업모델 (Software as a Service, SaaS), 플랫폼 중심 사업모델 (Platform as a Service, PaaS) 등 서비스 중심 사업모델로 변화하고 있다 [그림 1-1].

SDV 구현을 위해서는 차량 전기전자 아키텍처의 집중화, 하드웨어-소프트웨어 분리에 따른 제어기 SW의 플랫폼화, 제어기 고성능화, 통합화, 표준화를 위한 차량용 시스템 반도체 고도화 등 복합적이고 상호 연관된 기술혁신이 수반되어야 한다. 차량 전기전자 아키텍처의 집중화는 기존 도메인 중심 아키텍처로부터 영역 기반 아키텍처 (Zonal Architecture)를 거쳐 중앙집중 아키텍처 (Centralized Architecture)로 진화할 것으로 전망되며, 이는 SDV 구현을 위한 차량 레벨의 가장 기초적인 토대를 제공한다. 혁신적 전기전자 아키텍처를 기반으로 차량 제어기 단위에서는 AI 알고리즘에 기반한 고도화된 응용 SW (Application SW) 개발과 이를 효율적이고 유연하며 확장가능하고 안정적으로 구동하기 위한 시스템 SW의 플랫폼화가 진행되고 있다 (Bernhart, et al., 2022, Fletcher, et al., 2020).

차량 전기전자 아키텍처의 집중화 및 제어기 SW의 고도화, 플랫폼화는 제어기 하드웨어 (Hardware, HW)의 고성능화, 통합화, 표준화를 견인하고 있다. 예를 들어, Level 3 또는 Level 4 자율주행 시스템은 딥러닝 기반 SW를 구동하기 위해 고성능 제어기 (High Performance Compute) 개발을 요구하고 있으며, 파워트레인 전동화에 따라 기존 샤시 도메인과 전동화 도메인이 통합 되면서 통합 차량역학

제어기 (Vehicle Dynamics Control Unit) 개발이 진행되고 있다. 또한, 영역 기반 아키텍처로의 변화는 Zonal 게이트웨이와 같은 표준화, 모듈화 된 통합 제어기의 개발을 촉진하고 있다.



[그림 1-1] 자동차 전장기술 혁신 Framework[1]

이러한 제어기 HW 혁신에 있어 차량용 Custom System on Chip (SoC) 기술이 중요한 역할을 수행할 가능성이 있다. SoC는 CPU, DSP, 메모리 등 과거 별도의 칩을 통해 구현되던 기능을 블록화하여 하나의 칩으로 집적한 반도체인데, 지금까지는 차량용 반도체 업체가 범용 SoC 제품 형태로 개발, 판매하는 것이 자동차 산업 내 구도였다. 즉, 차량용 반도체 사업자는 반도체 기술 발전 추세와 First Mover 자동차 OEM 및 Tier 1 사업자의 제품기술 로드맵을 고려하여, 다수 Follower 사업자의 기술적 니즈에 부합하고 가장 큰 시장 수요를 창출할 수 있는 사양의 범용 반도체를 개발해 왔다.

그런데, 모바일, 컴퓨터 등 정보통신기술 산업의 경우, 무어의 법칙 등 반도체 기술혁신 주기가 완만해 지고, OEM의 제품 및 기술 차별화 필요성이 커지면서 범용 반도체가 아닌 자체 Custom SoC를 개발하는 추세가 증대하고 있다. 실제로 글로벌 선도 기술 기업 중 상당수가 반도체 사업을 영위하고 있지 않음에도 불구하고 자체 SoC를 개발하여

[1] SOTA는 Software Updates Over-the-Air, FOTA는 Firmware Updates Over-the-Air, AUTOSAR는 Automotive Open System Architecture, HPC는 High Performance Compute, MLOps는 Machine Learning Operations, CI/CD는 Continuous Integration/Continuous Delivery를 의미

자사 제품에 장착하고 있다 (Shead, 2021). 자동차 산업에서도 자동차 OEM이 자사 차량에 특화하여 Custom SoC를 개발하고자 하는 움직임이 일어나고 있으며 고성능 SoC 분야에서 효시는 Tesla가 '19년 자율주행 시스템을 위한 고성능 Custom SoC를 양산한 사례이다.

차량용 Custom SoC는 범용 SoC 대비 명확한 기술적 장점을 제공하는데, 무엇보다도 자동차 OEM 또는 Tier 1 사업자가 설계하는 시스템 및 SW에 최적화된 반도체 사양을 설정할 수 있고, 이를 위한 최적의 아키텍처 및 IP/공정기술을 선정하는 것이 가능하다. 이러한 기술적 장점 때문에 차량용 Custom SoC 기술은 향후 SDV 구현을 위한 제어기 HW 혁신을 선도하는데 핵심적인 역할을 수행할 것으로 예상된다. 즉, Custom SoC 기술은 범용 SoC 대비 보다 최적화된 Computing Platform 개발을 가능하게 함으로써, 제어기 고성능화, 통합화, 표준화에 있어 자동차 OEM 또는 Tier 1 사업자에게 차별적인 기술적 우위를 제공할 수 있을 것으로 전망된다.

제 2 절 차량용 Custom SoC 개발의 주요 이슈

자동차 OEM 또는 Tier 1 사업자가 차량용 Custom SoC 개발을 추진하는데 있어 장애요인은 Custom SoC 개발에 대한 이해와 경험이 부족하고, 효과적 기술 로드맵 수립 역량을 충분히 확보하지 못하고 있다는 점이다. 차량용 반도체는 대부분의 자동차 OEM 또는 Tier 1 사업자에게 있어 기술 내재화 영역이 아니었으며, 구매를 통한 조달 부품으로 여겨져 왔다. 이러한 정책은 반도체 설계 기술을 통해 시스템 아키텍처의 혁신을 추구하기 보다는 규모의 경제를 통해 원가경쟁력을 보유한 반도체를 적기 확보하는 것에 더 높은 우선순위를 둔 것에 기인한 것으로 판단된다.

차량용 반도체를 외부 소싱에 의존해 오면서, 대부문의 자동차 OEM 및 Tier 1은 자사 또는 고객사의 요구사양에 적합한 최적의 반도체를 개발하기 위한 제품기획, 아키텍처 설계, 공정기술 기획 등 핵심역량의 축적이 어렵게 되었다. 실제로, 일부 선도 Tier 1 사업자를 제외하고, 부품 레벨 시스템 아키텍처 혁신에 따라 반도체 기술 혁신 요구사항을 도출하고 이에 부합하는 차세대 반도체 개발을 반도체 전문사에 요구하는 Top-down 방식의 기술혁신 모델 보다는, 반도체 전문사의 기술 로드맵 및 혁신 속도에 맞추어 부품 레벨 시스템

아키텍처의 혁신을 추구하는 Bottom-up 방식의 기술혁신 모델을 많은 Tier 1 사업자들이 추구하고 있다.

자동차 OEM 또는 Tier 1 사업자가 직면하고 있는 장애요인 중 또 다른 하나는 Custom SoC 개발의 불확실한 투자수익성이다. 일반적으로 다수의 자동차 OEM 및 Tier 1 사업자를 대상으로 판매되는 범용 SoC는 대규모 물량 확보에 따른 규모의 경제 실현을 통해 개발비 상각효과 및 IP Running 로열티, 웨이퍼 비용 등의 단가 절감이 가능하여, 지속적인 가격경쟁력 강화를 기대할 수 있다. 반면에, 차량용 Custom SoC는 특정 자동차 OEM 차량 대상으로 적용이 제한되어 범용 SoC 대비 구조적으로 확보 가능한 물량이 적어 규모의 경제 관점에서 불리하다. 이러한 이유로 아직까지 많은 자동차 및 반도체 전문가들은 자동차 OEM의 반도체 수직계열화 니즈는 높지 않은 것으로 판단하고 있다 (Burkachy, et al., 2021).

최근 차량용 시스템 반도체 생태계의 발달은 차량용 Custom SoC 개발에 대한 자동차 OEM 및 Tier 1 사업자의 기술적 이해와 경험을 보완하고, 투자수익성을 담보하는 효과적 기술 로드맵을 수립하는데 긍정적 영향을 미칠 것으로 기대된다. 일반적으로 Custom SoC 개발에 있어 OEM (또는 Tier 1 사업자)은 제품기획, 아키텍처 설계 및 IP, 공정기술 선정을 담당하고 Logic 및 Physical 설계, 평가는 Design House 등 외부 전문업체의 도움을 받는다. 최근 국내외 차량용 시스템 반도체 생태계는 Fabless, Design House, IP 전문 개발업체가 증가하는 등 빠르게 발달하고 있으며, RISC-V International과 같은 오픈 IP 커뮤니티의 등장도 시스템 반도체 생태계 확장에 기여할 것으로 전망된다.

이외에도, 자동차 OEM 또는 Tier 1 사업자는 자율주행 개발 컨소시엄 참여 등 전략적 제휴를 통해 Custom SoC 개발 역량을 보완하고 적용물량을 확대를 통해 투자수익성을 제고할 수 있다. 다만, 이 경우, 자사 시스템 및 SW에 최적화하는 Custom SoC의 장점이 일정 부분 희석될 수 있고 참여 사업자 간 이해충돌 조정에 따라 제품기획 및 개발 기간이 늘어날 수 있는 단점이 존재한다.

제 3 절 연구 목적 및 핵심질문

본 연구는 자동차 OEM 및 Tier 1 사업자 관점에서 차량용 Custom

SoC 개발 목표 달성에 영향을 미치는 핵심동인을 규명함으로써, 중장기적으로 차량용 고성능 Custom SoC 개발의 투자수익성 개선 및 자동차 산업 내 Custom SoC 개발의 확산에 기여하고자 한다.

연구의 효율성을 위해 연구 대상 차량용 Custom SoC는 SAE (Society of Automotive Engineers)가 정의한 Level 3 이상 자율주행 시스템에 적용되는 고성능 Custom SoC (이하 AD-SoC)로 한정했다. AD-SoC 개발의 대표적 사례로는 Tesla가 '19년 자체 개발한 FSD3가 있으며, AD-SoC의 대체재로서 구매 가능한 차량용 범용 고성능 SoC의 예시로는 Nvidia의 Drive AGX Orin, Mobileye의 EyeQ5, Qualcomm의 Snapdragon RIDE 등이 있다.

본 연구의 핵심질문은 다음과 같이 설정했다. 첫번째 핵심질문은 "AD-SoC 개발목표 달성에 중요한 영향을 미치는 핵심동인은 무엇인가?"이다. AD-SoC 개발목표는 성능, 원가, 납기, 품질 등 포괄적 영역의 목표를 모두 포괄하며, AD-SoC 개발의 핵심동인은 제품기획, 설계개발, 공정제조 영역에서 정의했다. 두번째 핵심질문은 "AD-SoC 개발 시나리오에 따라 핵심동인 중요도는 어떻게 달라지는가?"이다. AD-SoC 개발 시나리오는 자동차 OEM 및 Tier 1 사업자 관점에서 AD-SoC 개발 로드맵 상의 주요 결정변수에 따라 정의했다.

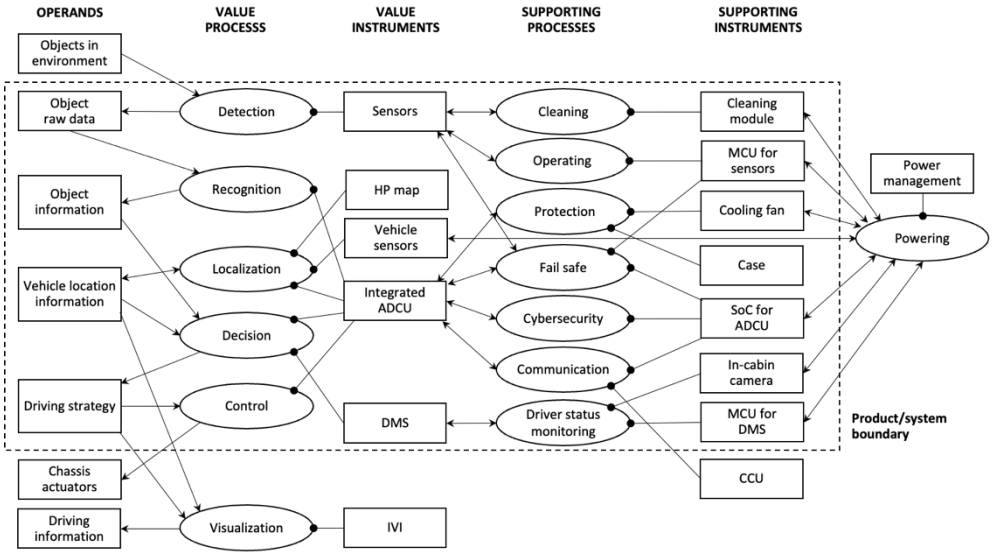
상기 핵심질문에 대한 분석 결과를 바탕으로 자동차 OEM 및 Tier 1 사업자 관점에서 AD-SoC 개발전략에 대한 시사점을 도출했다. 시사점 도출은 연구 초기 AD-SoC 개발전략 관점에서 주요 가설을 설정하고, 상기 두가지 핵심질문에 대한 전문가 평가결과를 분석하여 주요 가설을 검증하는 방식으로 진행 되었다. AD-SoC 개발전략에 대한 주요 가설은 다음과 같다. 첫째, AD-SoC 개발목표 달성을 위해서는 설계개발 및 공정제조 역량 확보가 가장 중요하다. AD-SoC는 차량용 시스템 반도체 중 가장 높은 연산성능이 요구되는 SoC로서 최고 수준의 반도체 설계개발, 공정기술이 요구되며, 이를 위해 최신 IP, 공정기술의 적용이 필요하기 때문이다. 둘째, AD-SoC 개발은 시스템 반도체 생태계를 활용한 외주개발 방식이 타당하다. 자동차 OEM 및 Tier 1 사업자는 반도체 개발 전문성 및 경험 부족하며, 자동차 OEM 및 Tier 1 사업자가 대규모 자체 반도체 설계 인력 및 조직을 구축하고, IP 등 기술자산 내재화를 추진하기 위해서는 대규모 투자와 오랜 시간이 소요되기 때문이다. 셋째, AD-SoC 성능목표는 범용 SoC와 동일하거나 상회하는 수준으로 설정하는 것이 필요하다. 이미 차량용 반도체 시장에는 Nvidia 등 반도체 전문업체가 개발 출시한 고성능 범용 SoC

존재하며, 자동차 OEM 및 Tier 1 사업자가 Custom SoC 개발의 효용성을 확보하기 위해서는 최소한 범용 SoC 대비 동일 또는 상회하는 수준의 성능목표를 설정하는 것이 필요하기 때문이다.

제 2 장 자율주행 SoC 기술 개요 및 사례

제 1 절 자율주행 Computing Platform 개요

운전자보조 (Advanced Driver Assistance) 시스템 보다 기술적으로 진보된 자율주행 (Autonomous Driving) 시스템은 센서와 고성능 제어기로 구성되며, 인지 (Recognition), 판단 (Decision), 제어 (Control)의 단계적 기능 수행을 통해 시스템 요청 시 운전자가 Take-over하는 Level 3 자율주행 또는 운전자의 Take-over가 필요 없는 Level 4 자율주행을 구현한다. 자율주행 시스템용 제어기는 크게 SW와 HW로 구성되는데, 카메라, 레이다, 라이다 등 복수의 이종 센서를 통해 수집한 데이터의 통합 (Sensor Fusion), 차량 위치 측정 (Localization), 주행환경 및 정적/동적 객체 인식, 주행경로 생성 및 주행전략 판단, 조향, 속도, 제동 제어 등 세부 기능은 SW를 통해 처리된다. Level 3 이상 자율주행 시스템의 아키텍처는 [그림 2-1]과 같다.



[그림 2-1] Level 3 이상 자율주행 시스템 아키텍처[2]

[2] ADCU는 Autonomous Driving Control Unit, DMS는 Driver Monitoring System, IVI는 In-vehicle Infotainment System, CCU는 Communication Control Unit, MCU는 Microcontroller Unit을 의미

자율주행 SW Stack은 이러한 인지, 판단, 제어의 주요 기능을 수행하는 딥러닝 알고리즘을 포함한 응용 SW와 통신, 기능안전, 사이버보안, 장치제어 등 기본 기능을 수행하는 시스템 SW로 구성되며, 자율주행 시스템용 제어기 (Autonomous Driving Control Unit, ADCU)가 방대하고 복잡한 자율주행 SW Stack을 빠르고 안정적으로 구동하기 위해서는 고성능, 고효율 Computing Platform을 필요로 한다.

초기 단계에서는 여러 대의 고성능 워크스테이션에 센서를 연결한 후, SW 프로그래밍을 통해 ADCU에 대한 선행연구개발을 수행하며, 이후 실제 양산 적용 시에는 Embedded System 형태로 ADCU를 개발한다. 현재 ADCU 연구개발을 위해 Nvidia, Mobileye, Qualcomm 등 반도체 사업자는 고성능 SoC와 개발 보드, 운영체제 (Operating System, OS) 및 SW개발 툴체인 등으로 구성된 자율주행 개발 솔루션을 자동차 OEM, Tier 1 사업자, 자율주행 SW 개발 전문업체 등에 공급하고 있다. 제품기획 차원에서 Use Case에 기반한 자율주행 기능이 확대되고, 센서, 자율주행 SW, 고성능 SoC 등 유관 기술이 빠르게 발전함에 따라, 다종/다중 센서 데이터를 처리할 수 있고 고성능 연산처리를 지원하며 전력 효율성을 개선한 고성능, 고효율의 자율주행 Computing Platform이 개발되고 있다.

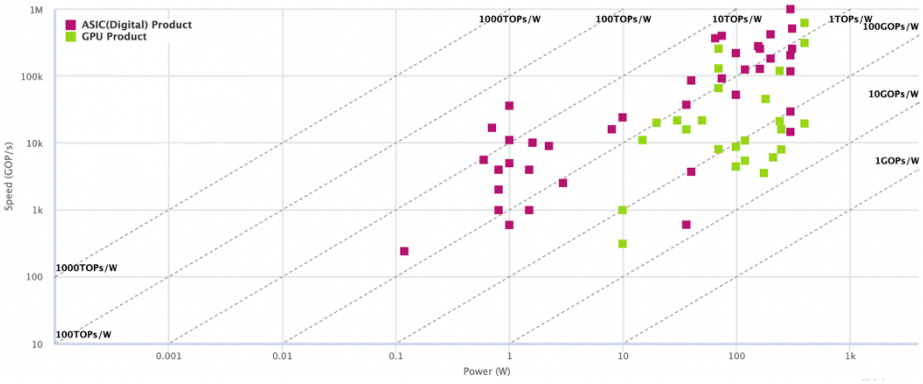
자율주행 Computing Platform의 기술적 혁신은 주로 GPU (Graphics Processing Unit)와 NPU (Neural Processing Unit) 기술이 견인해 왔다. 당초 GPU는 그래픽 연산과 같은 단순 대량 연산처리를 효율적으로 하기 위해 개발되었는데, 부동소수점 연산의 효율적 연산성능을 자율주행 SW의 딥러닝 알고리즘 처리에 활용하고 있으며, NPU는 GPU 대비 자율주행 SW에 특화하여 (Application-Specific), 적은 전력소모량과 높은 원가 대비 성능으로 효율적 연산을 수행하기 위해 사용되고 있다. NPU는 주로 클라우드 서버용으로 상용화 되었는데 최근 자율주행 시스템과 같은 고성능 디바이스용으로도 확대되고 있다. 자율주행 시스템의 경우, GPU와 NPU를 모두 사용하는 것이 추세인데, 예를 들어 GPU는 카메라에서 획득한 영상데이터를 변형하거나 특징을 추출하는 SW를 구동하고, NPU는 객체인식, 주행전략 수립 SW에 사용될 수 있다.

자율주행 Computing Platform의 설계 상의 제약요소를 정의하고, GPU, NPU 포함, CPU (Central Processing Unit), FPGA (Field Programmable Gate Array), ASIC (Application Specific Integrated

Circuit) 등 시스템 반도체 특성을 고려한 고성능, 고효율 자율주행 Computing Platform에 대한 연구가 진행되어 왔다 (Lin, et al., 2018, Liu, et al., 2017, Liang, et al., 2021, Collin, et al., 2018). 자율주행 Computing Platform의 설계 제약요소에는 성능 (Performance), 예측 (Predictability), 저장 (Storage), 열 (Thermal), 전력 (Power) 등을 포함하는데 (Lin, et al., 2018), 예를 들어, 성능 관점에서 자율주행 시스템의 Frame Rate와 Processing Latency를 포함한 환경/물체에 대한 반응속도는 인간의 반응속도 수준인 100~150 ms 보다 빠르게 처리되어야 하며, 전력 관점에서 자율주행 시스템의 전력 소모는 차량 연비에 큰 영향을 미친다 (특히, 전기차). 이러한 설계 제약요소는 상호 연관되어 있는데, 예를 들어, 열 관점에서 1kW 전력 소모 시 (CPU 1개, GPU 3개 작동 가정), 분당 약 10℃의 온도상승을 초래하고, 온도상승을 방지할 냉각 시스템의 구동에 추가 전력이 소모된다.

상기 설계 제약요소를 고려하여, 주요 자율주행 SW를 가속하는데 있어 CPU, GPU, FPGA, ASIC 등을 장착한 자율주행 Computing Platform을 비교하면 CPU는 자율주행 SW 처리성능이 상대적으로 떨어지고, GPU가 성능 (특히, Latency) 측면에서 매우 우수하나 전력 효율성이 낮은 단점이 있으며, 전력소모를 고려한 연산성능 효율성에 있어서는 FPGA 또는 ASIC이 상대적으로 우수한 것으로 연구되었다 (Lin, et al., 2018). 이러한 연구결과는 Tsinghua University의 NICS (Nanoscale Integrated Circuits and Systems Lab)의 Energy Efficient Computing Group에서 공개하는 신경망 가속기 (Neural Network Accelerator) 별 전력 (Watt) 대비 연산속도 (Giga Operations per Second) 데이터를 통해서도 확인된다 [그림 2-2]. 공개 데이터를 분석하면, ASIC이 GPU 보다 전력 대비 성능 효율성 (GOPS per Watt)이 상대적으로 높은 것으로 나타난다.

이러한 연구 결과는 자율주행 Custom SoC 개발 관점에서 시사점을 제공한다. ASIC 등이 전력 대비 성능 효율성에서 우위를 갖는 이유는 근본적으로 SW에 특화 되어 설계되고 작동하기 때문인데, 이러한 비교우위는 특화 설계의 자유도가 더 높은 Custom SoC에도 유효하다.



[그림 2-2] NPU Accelerator 비교 (ASIC vs. GPU)[3]

제 2 절 Tesla의 자율주행 Custom SoC 개발 사례

양산 차량 대상 최초로 고성능 Custom SoC를 개발 적용한 사례는 Tesla가 '19년 양산한 자율주행 시스템인 Autopilot에 적용된 Computing Platform인 FSD3 (HW 3.0)이다. Tesla는 '14년 양산 적용된 HW 1.0 Computing Platform에 Mobileye의 범용 고성능 SoC인 EyeQ3를 채택했으며, 이후 HW 2.0, HW 2.5에는 Nvidia의 범용 고성능 SoC인 Drive PX2를 적용했다.

Tesla는 자사 자율주행 시스템의 요구사양을 효율적으로 충족하는데 범용 고성능 SoC의 한계를 파악하고, 창업자이자 CEO인 Ellon Musk가 '16년 당시 AMD의 Ryzen 마이크로프로세서에 적용된 Zen 마이크로아키텍처를 개발한 Jim Keller를 직접 영입하여 개발책임자로 임명하고 HW 3.0을 위한 Custom SoC인 FSD3 개발에 착수했다. FSD3 성능과 지원 기능은 과거 적용된 범용SoC와 비교하여 매우 높은 수준이었다 [표 1-1].

Tesla FSD3 개발 사례에서 주목할 것은 Custom SoC 개발 내재화 관련한 Tesla의 선택적 내재화 모델이다. Custom SoC 개발 단계 중 Jim Keller가 이끄는 Tesla의 핵심 개발조직은 개발목표/사양 정의, 아키텍처 설계, IP/공정기술 선정, 아키텍처 상세설계 단계, NPU 개발에 초점을 두어 직접 수행하고, 나머지 IP 라이센스 개발 (NPU 제외), RTL

[3] Neural Network Accelerator Comparison, 2022년 10월 14일, https://nicsefc.ee.tsinghua.edu.cn/projects/neural-network-accelerator/

상세 설계/검증, Physical 상세 설계/검증, 웨이퍼 제조, OSAT 및 이하 단계는 외부 Design House, IP 전문업체, Foundry 업체가 외주협력을 통해 수행했다고 알려졌다. 또한, Foundry로 선정된 삼성전자가 아키텍처 상세설계 단계에서 모바일 분야에서 양산 검증된 삼성전자의 Exynos 플랫폼을 Tesla 설계 조직에 레퍼런스로 제공하여 개발 기간을 단축할 수 있었던 것으로 알려졌다. 그리고, RTL 상세 설계/검증 단계에도 국내 Design House가 참여하는 등 Tesla는 설계/개발 단계에서 글로벌 SoC 반도체 생태계를 효과적으로 활용한 것으로 판단된다.

[표 1-1] Tesla HW 별 성능 및 지원기능 비교[4] (CoAsia, 2021)

	HW 1.0	HW 2.0	HW 2.5	HW 3.0
양산 시점	2014년 9월	2016년 10월	2017년 8월	2019년 4월
Computing Platform	Mobileye EQ3	Nvidia Drive PX2	Nvidia Drive PX2	Tesla FSD3
TOPS (NPU)	0.25	21	21	144
FPS	36	110	110	2,300
전방레이더 (탐지거리)	160	170	170	170
전방카메라 (필터)	RCCC (흑/적 인식)	RCCC (흑/적 인식)	RCCB (모든 색 인식)	RCCB (모든 색 인식)
스마트 크루즈 컨트롤	○	○	○	○
차선 유지 (오토스티어)	○	○	○	○
차선이탈 방지	○	○	○	○
차선 변경	○	○	○	○
오토파일럿 내비게이션		○	○	○
스마트 자동 주차			○	○
신호등 (정지신호) 인식/대응				○
도로환경 시각화				○
주변차량/장애물 시각화				○
시내 자율주행				○

Tesla는 현재 차세대 자율주행 Computing Platform인 FSD4를 개발 중이며, 이전 FSD3 대비 현격하게 높은 사양을 확정했는데, 대체재에 해당하는 차세대 범용 고성능 SoC 사양과 동일하거나 상회할 것으로 예상되고 있다 [표 1-2]. Tesla FSD4 개발 모델은 상기 FSD3 개발 모델과 유사하나, 아키텍처 상세설계 단계에서 독자적인 설계 플랫폼을 개발하여 외부 Design House의 의존도를 줄인 것으로 알려졌다. 전체적으로 개발 방식에서 있어 선택적 내재화 모델을 유지하나, 아키텍처 설계 단계에서 독자 플랫폼 및 자체 상세 설계 인력

[4] CoAsia, 2021, 고성능반도체 개발타당성 검토, p. 7에서 요약 인용

강화를 통해 내재화 수준을 높인 것으로 판단된다.

[표 1-2] 차세대 자율주행 Computing Platform 비교[5] (CoAsia, 2021)

업체	Nvidia	Mobileye	Tesla
출시/양산 시점	2022년	2021년	2022년 (추정)
Computing Platform	DRIVE AGX Orin	EyeQ5	FSD4
Platform 구조	SoC (Orin) x2 GPU (Amepere) x2	SoC (EyeQ5) x2 Host Processor (Atom)	SoC (FSD4) x2
TOPS	200 (추정)	24 (추정)	350 (추정)
TOPS/Watt	2.67 (추정)	2.40 (추정)	12.46 (TT) 3.39 (FF)
Foundry	삼성전자	TSMC	삼성전자 (추정)
나노 공정	8nm	7nm	7nm

[5] CoAsia, 2021, 고성능반도체 개발타당성 검토, p. 5에서 요약 인용

제 3 장 연구 및 자료수집 방법

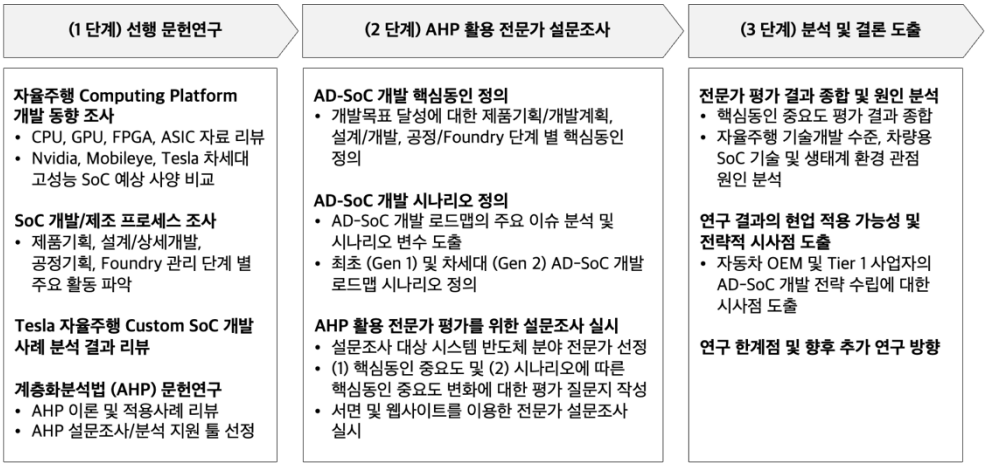
제 1 절 연구 단계

본 연구는 선행 문헌연구, 전문가 설문조사, 분석 및 결론 도출의 3단계로 진행 되었다 [그림 3-1].

1단계 선행문헌 연구를 위해 우선 자율주행 Computing Platform에 대한 사양 및 기술발전 추세 조사를 진행했는데, CPU, GPU 등 전통적인 Computing Platform 유형별 성능 특성에 대한 관련 논문 리뷰와 Nvidia, Mobileye, Tesla 등 현재 개발 중인 차세대 SoC 사양에 대한 기술자료 리뷰를 진행했다. 반도체 전문업체의 기술자료 리뷰를 통해 차량용 SoC 개발/제조 프로세스를 파악했으며, 양산차량 최초 자율주행 Custom SoC 개발 사례인 FSD3 개발에 대한 사례 조사 결과의 리뷰를 진행했다. 또한, 핵심동인에 대한 전문가 평가의 방법론으로 채택한 계층화분석법 (Analytic Hierarchy Process, AHP)에 대한 이론 및 적용사례 리뷰를 진행하고 AHP 설문조사 지원 툴을 선정했다.

2단계에서는 AD-SoC 개발 핵심동인의 중요도에 대한 전문가 평가를 수행했다. 평가 데이터 수집은 AHP 기반 설문조사를 통해 이루어졌는데, AD-SoC 개발 핵심동인의 중요도 및 AD-SoC 개발 시나리오 별 핵심동인 중요도 변화에 대해 질문하고 응답 결과를 수집했다.

3단계에서는 전문가 평가 결과를 분석하고 자율주행 시스템 기술 성숙도, 차량용 SoC 기술환경 및 생태계 발달 수준 관점에서 원인을 추정했다. 초기 분석 결과에 대해 차량용 SoC 개발 전문가와 토의를 통해 검증을 수행했다. 끝으로, 연구 결과의 현업 적용 가능성 관점에서 자동차 OEM 및 Tier 1 사업자 개발 전략 수립에 대한 시사점을 도출했고, 본 연구의 한계점 및 향후 추가 연구 방향을 정리했다.



[그림 3-1] 연구 접근방법

제 2 절 계층화분석법 (AHP) 개요

본 연구를 위해 도출된 AD-SoC 개발 핵심동인은 제품기획, 설계, 제조 영역에 걸쳐 대분류-중분류-소분류의 계층구조로 이루어져 있고, 전체 핵심동인의 수는 29개이다. 이러한 다수의 복잡한 핵심동인에 대해 복수 전문가의 평가 의견을 효율적이고 체계적으로 수집, 분석하기 위해 AHP를 채택했다.

AHP는 Saaty에 의해 창안된 의사결정 방법론 중 하나로, 개인의 단순한 의사결정에서부터 다수가 참여하는 복잡하고 대규모 투자가 수반된 의사결정에 이르기까지 평가자가 복합적 평가요인을 계층적으로 구조화 한 후, 쌍대비교 방식을 통해 평가요인의 중요도를 평가하고 이를 바탕으로 대안을 평가하는 방법론이다 (Saaty, 1977). AHP는 이론적으로 쌍대비교 매트릭스의 고유 벡터 (Eigenvector)를 활용한 수학적 비율측정 방법에 기초하고 있으며 (Saaty, 1977), 동시에 절대평가 (Absolute Judgment)와 비교평가 (Comparative Judgment) 대한 인지심리학적 연구에 기반하고 있다 (Saaty, 2004).

AHP 활용 시, 평가자는 비율척도 (Ratio Scale)를 이용하여 유형적 기준 (Tangible Criteria) 뿐 아니라 비유형적 기준 (Intangible Criteria)에 대해서 평가를 수행한다 (Vargas, 1990). 또한, 다수 평가요인에 대한 비교평가 과정에서 평가자의 일관성을 측정하는 일관성비율 (Consistency Ratio)을 활용하여 평가의 신뢰성을 제고할 수

있다 (Saaty, 2004). 복합적인 요인을 고려해야 하는 의사결정에 대해 평가자의 경험과 통찰력을 체계적으로 신뢰성 있게 활용하는 수단을 제공한다는 점에서 AHP는 현실에서 매우 유용한 방법론이다.

그런데, AHP가 의사결정 방법론으로서 유효하기 위해서는 역수 비교 가능성 (Reciprocal Comparison 공리), 평가기준 척도 내 선호의 동질성 (Homogeneity 공리), 평가기준의 독립성 (Independence 공리), 계층구조의 완전성 (Expectations 공리) 등 이론적 전제조건이 충족되어야 한다 (Vargas, 1990). AHP가 제안된 이후 상기 전제조건의 유효성을 포함한 방법론 상의 여러 문제점에 대해 많은 연구자의 지적이 있었으나 (송근영, 이영, 2013, 최민철 2020), AHP가 갖는 실용적 유용성 때문에 여전히 학계, 정부, 기업 등의 연구 및 정책 의사결정에 널리 활용되고 있다. 실제로 지난 2020년 이후 KCI 등재된 국내 논문 중 AHP를 활용한 논문은 총 826건이며 이중 공학분야 논문만 159건에 이른다[6].

AHP 적용분야는 매우 다양한데, 선택 (Selection), 평가 (Evaluation), 효익-비용 분석 (Benefit-Cost Analysis), 배분 (Allocations), 기획 및 개발 (Planning & Development), 우선순위화 (Priority & Ranking), 의사결정 (Decision Making), 예측 (Forecasting) 등 분야로 유형화할 수 있으며, 많은 연구성과가 축적되어 있다 (Vaidya, Kumar, 2004)

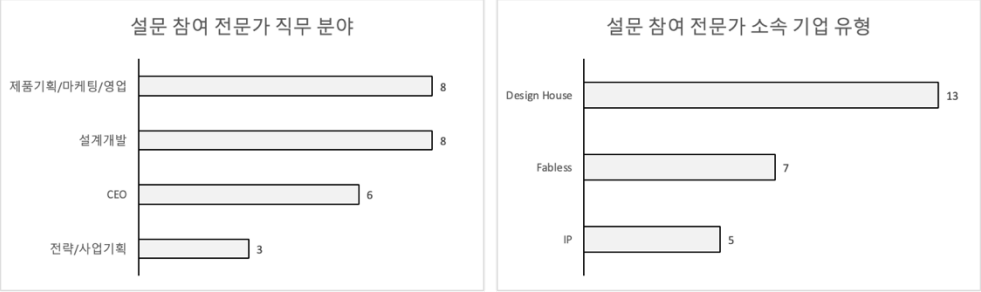
제 3 절 전문가 설문조사 방법

본 연구의 평가결과 데이터는 전문가 설문조사를 통해 수집되었다. 설문조사는 연구 핵심질문에 일관되게 첫째, AD-SoC 개발 목표 달성을 위한 핵심동인 중요도 평가, 둘째, AD-SoC 개발 시나리오에 따른 핵심동인 중요도 평가로 구성되었다.

전문가 평가결과의 신뢰성을 확보하기 위해 설문조사에 참여하는 전문가를 신중하게 선정했다. 설문조사에 참여한 전문가는 총 25명으로 현재 국내 시스템 반도체 산업에서 활동하고 있는 임원급 전문가로 선정했으며, 소속 기업의 유형 및 소속 직무분야를 고려하여 균형 있는 전문가 그룹을 구성했다 [그림 3-2]. 25명 전문가는 15개 기업에

[6] DBPIA (http://dbpia.co.kr), 2022년 10월 14일 검색 기준

소속되어 있으며, 소속 기업의 유형은 시스템 반도체 분야 Fabless (6개 회사, 7명), Design House (6개 회사, 13명), IP 개발업체 (3개 회사, 5명)이며, 외국계 IP 업체 2곳을 제외한 13개 업체가 모두 국내 기업이다. 또한, 전문가들의 주요 직무 분야는 대표이사/사장 (6명)을 포함하여, 제품기획/마케팅/영업 (8명), 설계/개발 (8명), 전략/사업기획 (3명)이다.



[그림 3-2] 설문 참여 전문가 직무 및 소속 기업 유형

AD-SoC 핵심동인 중요도 평가설문과 관련하여, 선행 문헌연구 결과를 바탕으로 AD-SoC 개발 핵심동인을 정의한 후 계층화/구조화를 수행했다. 핵심동인은 크게 제품기획, 설계, 공정기술의 3대 영역에서 정의되었으며, 대분류, 중분류, 소분류 계층을 모두 합해 총 29개 핵심동인이 도출되었다.

평가순서는 핵심동인 계층에 따라, 우선 대분류 핵심동인 간 중요도 평가 후, 각 대분류 핵심동인 내 하위 중분류 핵심동인 간 평가, 이어 각 중분류 핵심동인 내 하위 소분류 핵심동인 간 평가 순으로 진행되었다. 중요도 평가방식은 9점 척도의 쌍대비교 방식을 채택했다. 만일 핵심동인 중요도 초기 평가결과에 대해 일관성 비율 (Consistency Ratio)이 0.1을 넘는 경우에는 평가자에 요청하여 일관성 비율을 만족하도록 평가자가 직접 재평가를 수행했다.

AD-SoC 개발 시나리오에 따른 핵심동인 중요도 변화 평가설문과 관련하여, 선행 문헌연구 결과 및 전문가 토의를 거쳐, 단계적 개발 시나리오와 도전적 개발 시나리오의 두 가지 AD-SoC 개발 시나리오를 정의했다. 앞서 정의한 AD-SoC 개발 핵심동인 중 20개 소분류 핵심동인을 대상으로, 두 가지 시나리오에 대한 각 핵심동인의 중요도를

쌍대비교를 통해 평가하도록 했다.

전문가 설문은 25명 평가자에 대해 개별적으로 질문지를 담은 전자문서를 발송한 후, 평가결과는 전자문서에 표기하여 회신 받거나 웹사이트 기반 AHP 지원 프로그램인 IMAKEIT (http://imakeit.kr)을 통해 온라인으로 수집하는 방식을 병행했다. 전문가 설문에 사용된 질문지는 본 보고서 말미에 첨부했다.

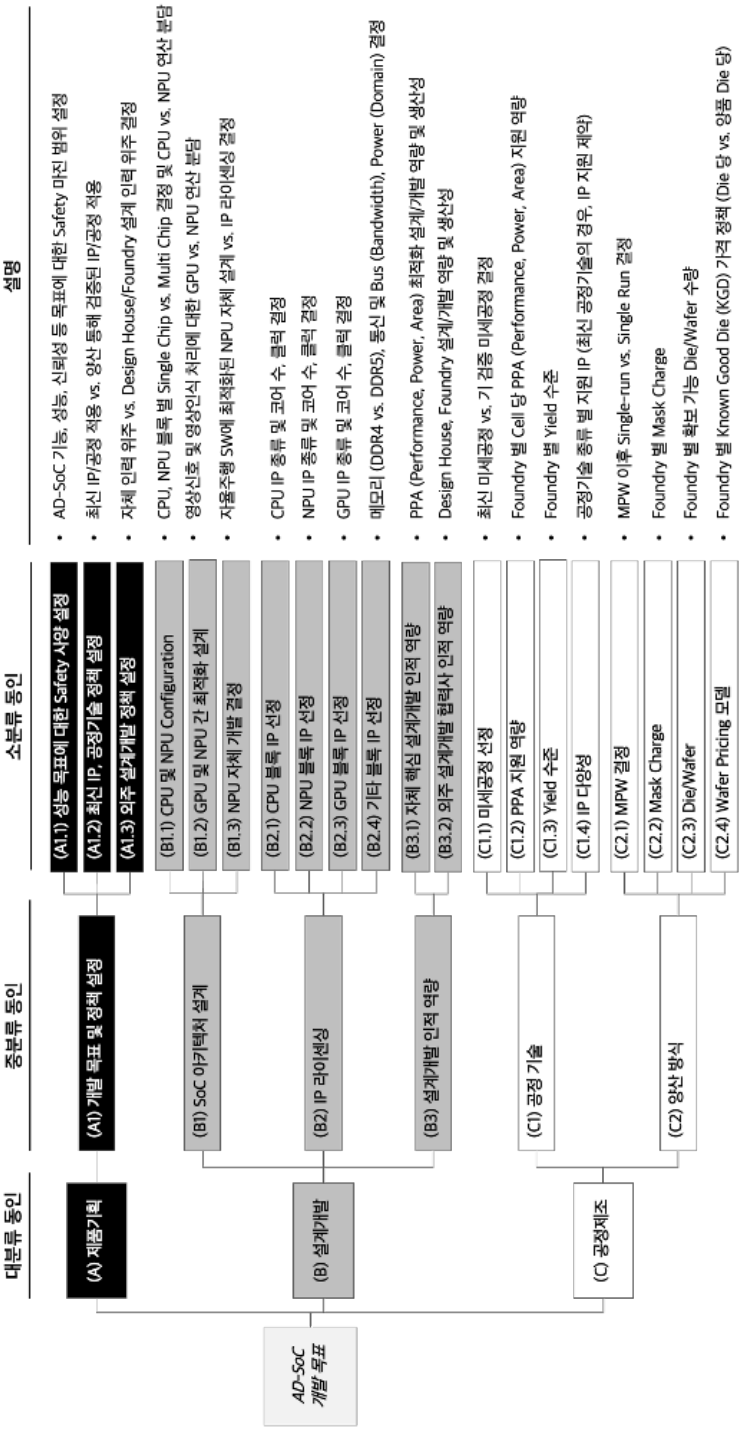
제 4 장 핵심동인 중요도 평가결과

제 1 절 AD-SoC 개발 핵심동인 정의

본 연구에서 AD-SoC 개발은 선행개발 및 양산개발을 모두 포함하며, 시스템 반도체에 대한 제품기획, 설계/개발, 공정기술 기획을 포괄적으로 의미한다. 또한, AD-SoC 개발 목표는 시스템 반도체의 성능 목표 뿐 아니라, 원가, 품질/신뢰성, 개발 기간 등 QCD 관점에서의 개발 목표를 모두 포함한다.

AD-SoC는 Level 3 이상 자율주행 시스템의 제어기 내에 장착되는 일종의 서브시스템에 해당한다. 따라서, 본 연구에서는 자율주행 시스템 차원에서 개발 목표 달성에 영향을 주는 핵심동인들, 예를 들어, 카메라, 레이더 등 센서 성능, 딥러닝 SW 개발 툴의 효율성 등을 배제하고 AD-SoC 개발 목표 달성에 독립적으로 영향을 주는 반도체 개발 차원의 핵심동인을 정의했다. 본 연구를 위한 AD-SoC 개발의 핵심동인은 대분류 단계에서 제품기획, 설계개발, 공정제조의 3대 영역에서 정의되었고, 중분류 단계에서 6개 동인, 소분류 단계에서 20개 동인이 정의되었다 [그림 4-1].

우선 (A) 제품기획 영역에서의 핵심동인은 AD-SoC 개발목표 설정 및 전략/기획 수립과 관련된 동인으로서, AD-SoC 성능목표에 대한 Safety 사양 설정, 최신 IP 및 공정기술에 대한 라이센스 정책 설정, Design House 등 외주 설계 협력사 활용과 관련된 외주 개발 정책 수립 등을 포함한다. 자동차 산업 내 고성능 Custom SoC 개발 사례가 매우 드물고, 아직 차량 반도체 전문업체로부터 고성능 시스템 반도체를 구매하여 개발하는 것이 일반화된 상황을 고려할 때, 자동차 OEM 및 Tier 1 사업자 관점에서 제품기획 영역에서의 동인은 중요하게 고려해야 할 것으로 판단된다. 특히, 제품기획 영역의 소분류 동인 중 (A1.1) 성능 목표에 대한 Safety 사양 설정 동인은 아직 미 성숙 단계에 있는 Level 4 자율주행 기술 수준 고려 시 중요한 의미를 갖는다. 즉, 성능 목표에 대한 Safety 마진을 효율적으로 설정할 경우, AD-SoC 사양 합리화를 통한 개발용이성 증가 및 IP 구매 원가절감에 긍정적 효과를 기대할 수 있다.



[그림 4-1] AD-SoC 개발 핵심동인

또한, AD-SoC 설계 시, CPU, GPU 등 연산 블록에 적용할 IP 정책 결정에 따라 IP 라이센스 원가 및 공정기술 원가가 영향을 받기 때문에 (A1.2) 최신 IP/공정기술 정책 설정 동인이 중요성을 갖는다. (A1.3) 외주 설계/개발 정책 설정 동인은 설계/개발 리소스 최적화에 기반한 개발 일정 준수 및 외주 개발비 (Outsourced Non-Recurring Engineering Cost) 절감에 영향을 주기도 하지만, 보다 근본적으로는 자동차 OEM 또는 Tier 1 사업자가 차량 반도체 설계/개발 역량의 내재화 전략에 영향을 미치기 때문에 핵심동인으로서 중요한 의미를 갖는다.

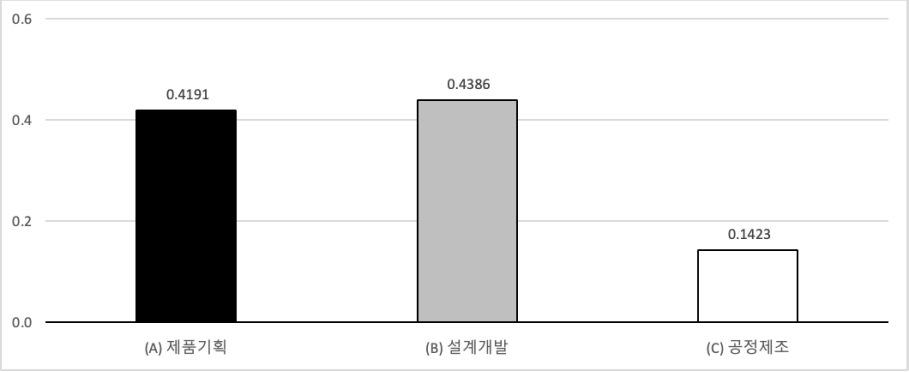
(B) AD-SoC 설계개발의 중분류 핵심동인으로 (B1) SoC 아키텍처 설계, (B2) IP 라이센싱, (B3) 설계/개발 인적 역량이 도출되었다. 특히, (B1) SoC 아키텍처 설계 동인은 AD-SoC 전체 아키텍처 설계의 중요 의사결정 사항과 관련된 동인으로, (B1.1) CPU 및 NPU Configuration, (B1.2) GPU vs. NPU 간 최적화 설계, (B1.3) NPU 자체 개발 여부 결정과 같은 주요 의사결정 사항을 포함한다. 자율주행 시스템의 Use Case 및 기능 (예, 전방충돌회피, 고속도로 차선변경 및 추월 등), 센서 및 제어기의 세부 사양, 기능안전, 보안을 고려한 SW Stack의 아키텍처 등은 자동차 OEM 또는 Tier 1 사업자 별로 다르게 정의 되는데, 이러한 개별적 요구사양에 최적화된 Custom SoC를 개발할 경우, 범용 고성능 시스템 반도체를 구매하여 개발하는 경우 대비 개발 효율성 관점에서 비교우위를 확보할 수 있다. 이와 같이, (B1) SoC 아키텍처 설계는 Custom SoC 설계개발에 본질적으로 영향을 미치는 중요한 동인에 해당한다. (B2) IP 라이센싱 동인은 CPU, GPU, NPU, 메모리, 통신/Bus, Power 등 AD-SoC 주요 블록 별 최적 IP 라이센싱 의사결정과 관련된 동인으로, 성능 뿐 아니라 IP 라이센스 비용 절감에도 영향을 미친다. (B3) 설계/개발 인적 역량 동인은 시스템 반도체 PPA (Performance, Power, Area) 최적화에 영향을 미치는 설계개발 인력의 기술 지식, 경험 등 인적 역량 및 개발 툴체인 등 개발환경 수준과 관련된 동인으로, 자체 설계개발 조직 및 인력 역량 (B3.1) 및 Design House 등 외주 설계/개발 협력사의 역량 (B3.2)으로 구분하여 정의했다.

(C) 공정제조 영역서의 동인은 (C1) 공정기술과 (C2) 양산방식으로 정의되었다. (C1) 공정기술은 미세공정 선정, PPA (Performance, Power, Area), Yield 수준, IP 다양성 등 세부 동인을 포함하며, (C2) 양산방식은 Foundry 계약방식에 관련된 동인으로, MPW (Multi-Project Wafer)

여부, Mask Charge 방식, Die/Wafer 수량, Wafer Pricing 모델 등 세부 동인을 포함한다.

제 2 절 핵심동인 중요도 평가결과

전문가 설문 결과 대분류 핵심동인에 대한 중요도 우선순위는 (B) 설계개발 동인이 (A) 제품기획 및 개발계획 동인 대비 근소한 차이로 가장 높은 것으로 평가되었다. 반면에, (C) 공정제조 영역 핵심동인은 나머지 Level 1 핵심동인 대비 중요도 우선순위는 상당히 낮은 것으로 평가되었다 [그림 4-2].



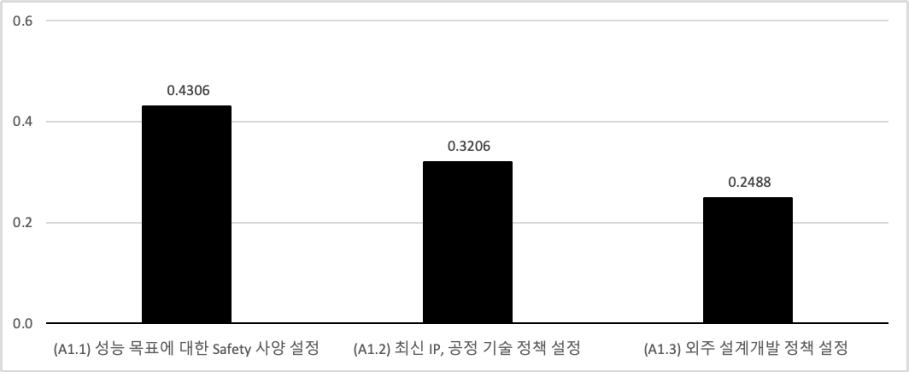
[그림 4-2] AD-SoC 개발 대분류 핵심동인 중요도 평가결과

이러한 결과는 시스템 반도체 제조의 경우, TSMC, 삼성전자 등 고성능 SoC 제조가 가능한 Foundry 업체가 발달해 있고 역량 수준이 평준화 되어 있어, AD-SoC를 개발하는 자동차 OEM 또는 Tier 1 사업자의 제품기획, 설계 단계 역량이 상대적으로 보다 중요하게 작용하는 것에 기인한 것으로 판단된다.

1. 제품기획 핵심동인 평가결과

(A) 제품기획 영역 세부동인 중요도에 대해, 설문에 응답한 전문가는 (A1.1) 성능목표에 대한 Safety 마진 설정, (A1.2) 최신 IP, 공정기술 선정, (A1.3) 외주 설계개발 정책 설정 순으로 중요도를 평가했다 [그림 4-3].

(A1.1) 성능목표에 대한 Safety 마진 설정 동인이 가장 중요도가 높게 평가된 배경에는 아직 미성숙 단계에 있는 차량용 Level 4 자율주행 시스템 기술환경이 고려된 것으로 판단된다. 즉, 정교한 Use Case 정의 (시내주행 여부, 주행 루트 자유도 등), 자율주행 SW의 효율적 설계 등에 기반하여 AD-SoC의 Safety 마진, 즉, System Redundancy 요구사항을 최소한으로 설정할 경우, AD-SoC 성능 목표를 최적 설정 할 수 있으며, 결과적으로 개발 목표 달성 확률을 높일 수 있다. 실제로 현재 많은 자동차 OEM 또는 Tier 1 사업자들이 안전을 고려하여 Level 4 자율주행 시스템 개발 시, 센서 수, 성능 및 제어기 성능을 매우 높게 설정하고 있으며 이는 개발 난이도 증대 및 원가 상승을 초래하고 있다.



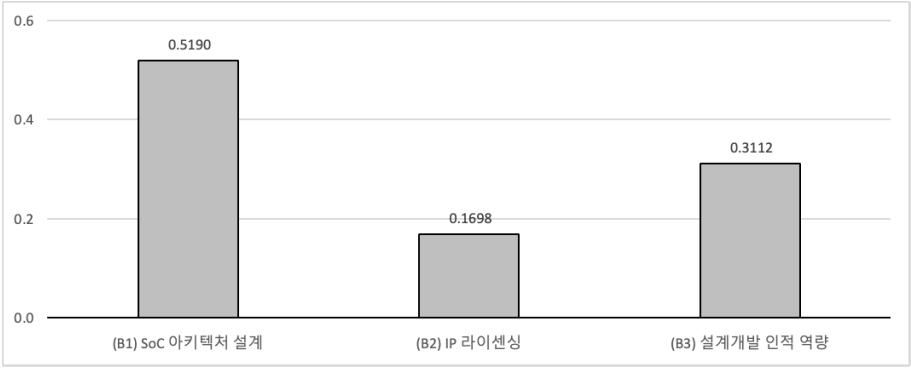
[그림 4-3] (A) 제품기획 하위동인 중요도 평가결과

2. 설계개발 핵심동인 평가결과

(B) 설계개발 영역에서 조사 대상 전문가들은 (B1) SoC 아키텍처 설계 동인이 과반 이상의 중요도를 갖는 것으로 평가했으며, 뒤를 이어, (B3) 설계개발 인적 역량, (B2) IP 라이센싱 순으로 중요도를 평가했다 [그림 4-4].

(B1) SoC 아키텍처 설계 동인이 가장 중요하게 평가된 배경에는 AD-SoC의 경우, Tesla의 FSD 개발사례가 유일한 적용사례일 정도로 산업 관점에서 기술 초기 단계에 있는 현 상황을 반영한 것으로 해석된다. AD-SoC의 최적 아키텍처 설계를 위한 GPU vs. NPU 간 최적 설계 등 주요 설계 이슈에 대해 보편적 기술방식이 정립되지 않은 상황이다. 또한, (B3) 설계개발 인적 역량 동인 대비 (B2) IP 라이센싱

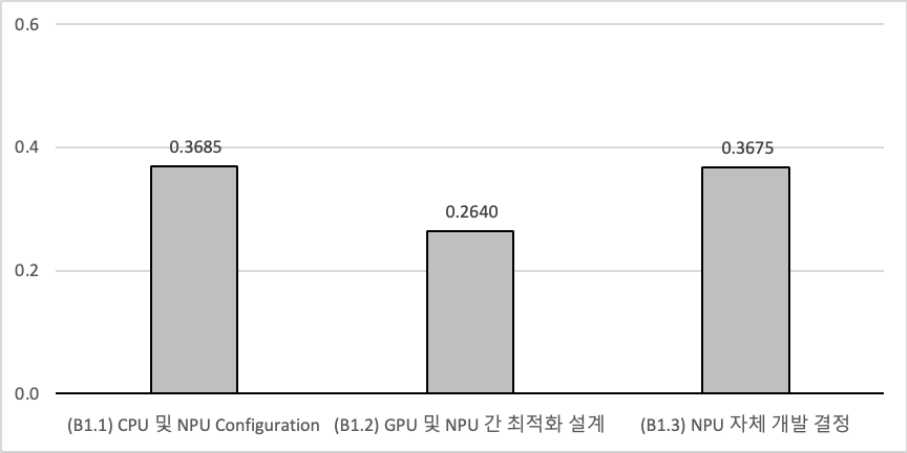
동인이 상대적으로 중요도가 낮게 평가된 원인은 최근 크게 성장하고 있는 CPU, GPU, NPU 등 고성능 시스템 반도체 IP 생태계의 발달이 고려된 것으로 해석할 수 있다. AD-SoC의 아키텍처 설계를 최적화하고 설계/개발 인적 역량을 확보할 경우, 필요한 IP를 라이센싱을 통해 확보하는 것은 상대적으로 용이한 것으로 평가되었다고 판단된다.



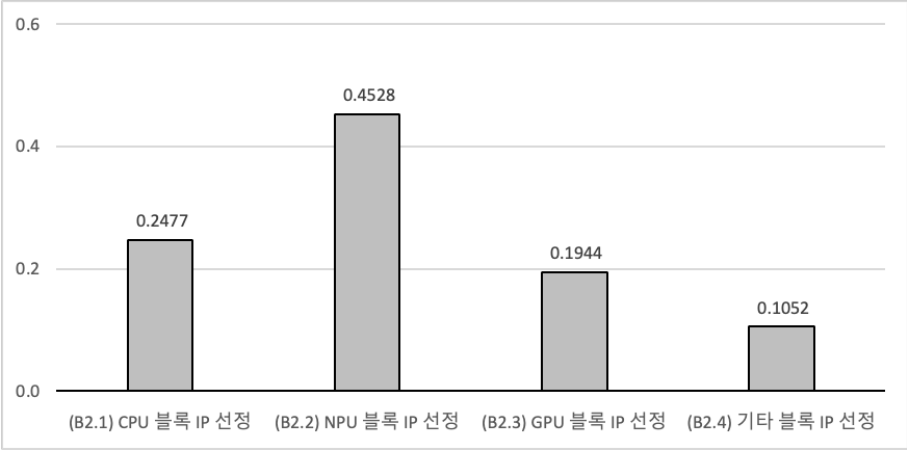
[그림 4-4] (B) 설계개발 하위동인 중요도 평가결과

(B1) SoC 아키텍처 설계에 속하는 소분류 핵심동인 중요도 평가 결과, (B1.1) CPU 및 NPU Configuration 및 (B1.3) NPU 자체개발 결정의 중요도가 높게 평가되었다 [그림 4-5]. 또한, (B2) IP 라이센싱에 속하는 소분류 핵심동인 중요도 평가 결과, (B2.2) NPU 블록 IP 선정의 중요도가 매우 높게 평가 되었다 [그림 4-6].

NPU 관련 핵심동인의 중요도가 높게 평가된 원인은 NPU가 CPU, GPU 등 타 블록 대비 기술혁신이 활발히 일어나고 있는 분야라는 점과 NPU 설계 효율성이 고성능 연산을 요구하는 영상인식, 주행전략 등 딥러닝 알고리즘 처리에 큰 영향을 미치기 때문인 것으로 해석할 수 있다. 또한, AD-SoC의 Die 면적 중 가장 큰 부분을 차지하는 NPU 아키텍처에 대한 세밀한 검토가 전체 AD-SoC 성능 및 양산 가격경쟁력에 크게 영향을 미친다는 점도 고려된 것으로 보인다.



[그림 4-5] (B1) SoC 아키텍처 설계 하위동인 중요도 평가결과

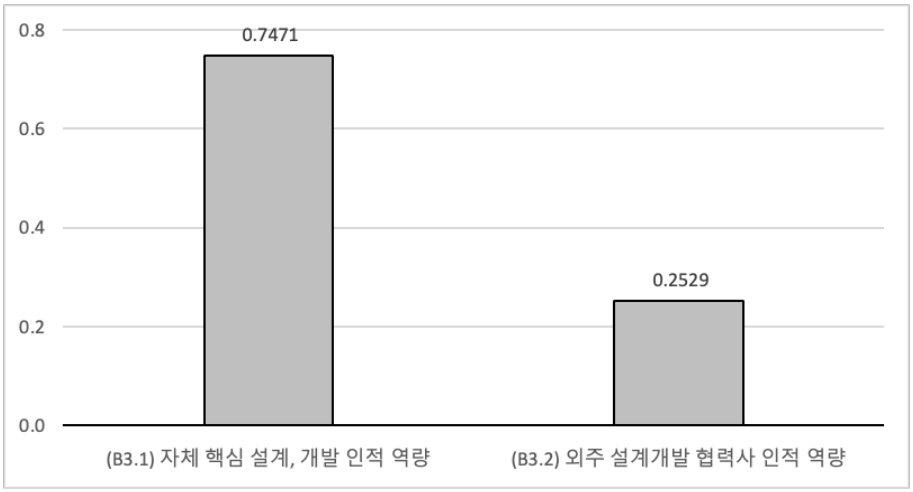


[그림 4-6] (B2) IP 라이센싱 하위동인 중요도 평가결과

(2.3) 설계/개발 인적 역량의 하위동인 중요도 평가와 관련되어, 전문가들이 외주 협력사 인적 역량 보다 자체 핵심 인력 역량의 중요도를 더 높게 평가한 점은 흥미롭다 [그림 4-7].

최근 글로벌 OEM 또는 Set Maker를 중심으로 자체 Custom SoC 개발이 증가하면서 Design House, IP 전문업체 등이 발달했으며, 국내에서도 최근 시스템 반도체 설계/개발의 생태계가 발달하고 있다. 그럼에도 불구하고, AD-SoC 설계/개발에 있어서 외부 Design House나

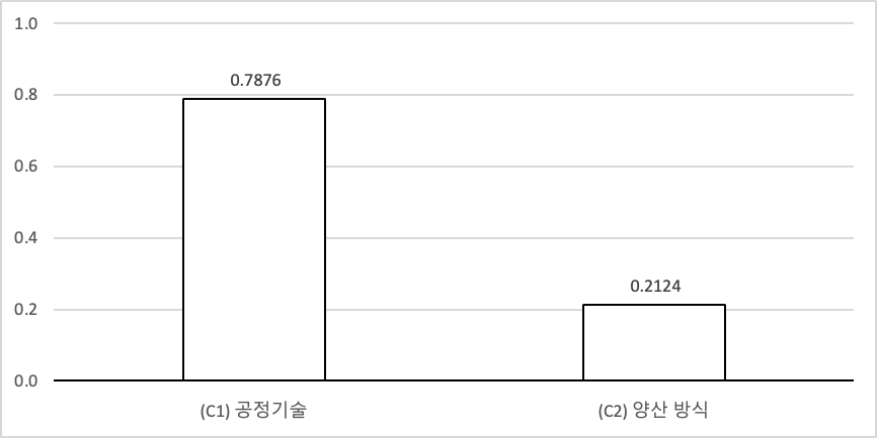
IP 전문업체, 또는 Fabless 업체를 통해 확보 가능한 역량 보다는 자동차 OEM 또는 Tier 1 사업자 내부에 자체적인 소수 핵심 설계 그룹, 즉, Principal Architect 및 시니어급 설계팀의 인적 역량이 개발 목표 달성에 더 중요하다고 평가 되었다. 이러한 평가 결과 결과는 AD-SoC와 같은 고성능 Custom SoC 자체 개발에 있어 설계 내재화 결정에 대한 중요한 시사점을 제공해 준다.



[그림 4-7] (B3) 설계개발 인적 역량 하위동인 중요도 평가결과

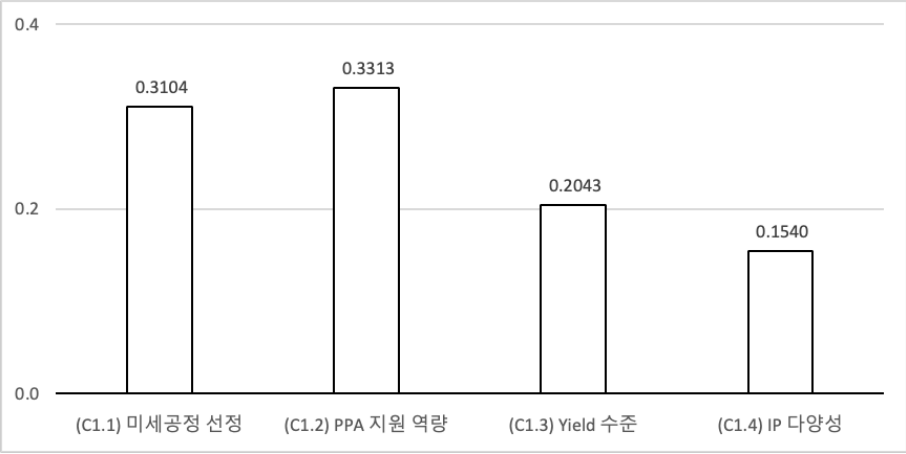
3. 공정제조 핵심동인 평가결과

(C) 공정제조 영역에 대해서는, 미세공정 선정, PPA 지원역량 등 (C1) 공정 기술 핵심동인이 Mask Charge, Wafer Pricing 모델 등 (C2) 양산 방식 핵심동인 대비 중요하게 평가 되었다 [그림 4-8]. 이는 전술한 바와 같이, 시스템 반도체 산업구조의 특성 상, 규모의 경제 및 전문성을 확보한 Foundry 업체의 발달이 배경으로 고려된 것으로 판단된다.



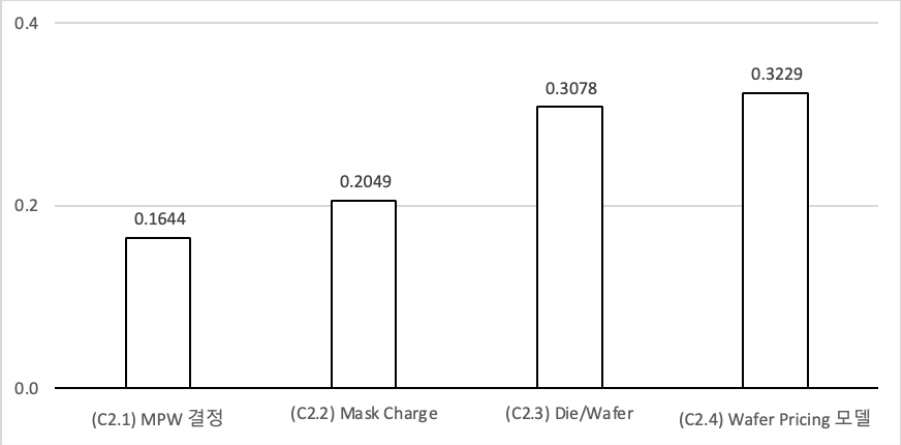
[그림 4-8] (C) 공정제조 하위동인 중요도 평가결과

특히, (C1) 공정 기술 하위동인 중에서 (C1.1) 미세공정 선정 동인보다 (C1.2) PPA 지원 역량 동인이 중요도가 더 높게 평가된 것이 주목된다 [그림 4-9]. 고성능 SoC 특성 상 최신 미세공정 기술의 적용이 요구되기 때문에, 8 나노 이하 또는 5 나노 이하 수준의 최신 미세공정 선정이 AD-SoC 성능목표 달성에 기여할 수 있으나, 제품기획과 긴밀하게 연계된 AD-SoC 최적 설계 또한 매우 중요하며, 이를 위한 PPA 역량이 미세공정 선정 못지 않은 중요한 동인으로 평가되었다. 이 점은 후술할 개발 시나리오 분석에 대해 중요한 시사점을 제공해 준다.



[그림 4-9] (C1) 공정 기술 하위동인 중요도 평가결과

(C2) 양산 방식과 관련한 핵심동인 중에서는 Die/Wafer 및 Wafer Pricing 모델이 상대적으로 중요하게 평가되었다 [그림 4-10].

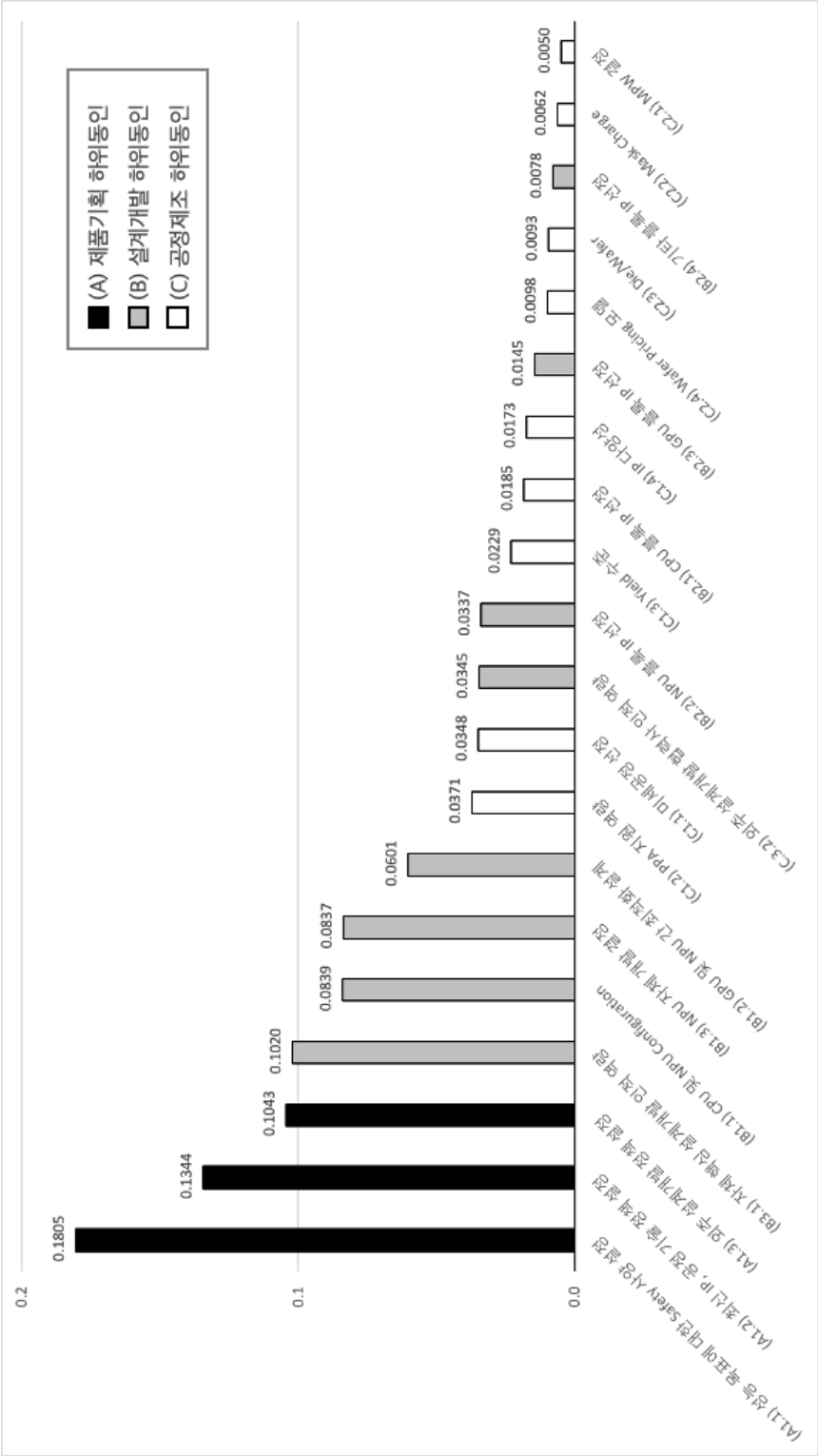


[그림 4-10] (C2) 양산 방식 하위동인 중요도 평가결과

4. 기타 평가결과

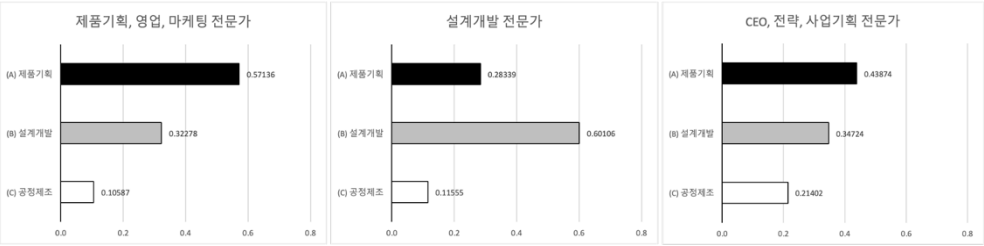
총 20개 소분류 기준 AD-SoC 개발 핵심동인의 중요도 평가결과는 [그림 4-11]과 같다. 전체적으로 (A) 제품기획 영역 및 (B) 설계개발 영역에 속하는 소분류 핵심동인이 상위권에 다수 존재하는 것을 볼 수 있다. (A) 제품기획 영역 핵심동인에 속하는 (A1.1) 성능목표에 대한 Safety 마진 설정, (A1.2) 최신 IP, 공정기술 정책 설정, (A1.3) 외주 설계개발 정책 설정이 최상위 중요도를 가진 것으로 평가되었다. 또한, (B) 설계개발 영역 중에서는 (B3.1) 자체 핵심 설계개발 인적 역량, (B1.1) CPU 및 NPU Configuration 역량이 상위 5개 핵심동인에 속하는 것으로 평가되었다. 다만, (A) 제품기획 영역의 소분류 핵심동인이 최상위권으로 평가된 것은, (B) 설계개발 영역 소분류 핵심동인 대비 동인의 수가 적은 것에 기인한다.

(C) 공정제조 영역의 소분류 동인의 대부분은 중요도 기준 하위권에 속하는 것으로 평가되었는데, 이는 앞서 대분류 핵심동인 평가결과와 일관된다.



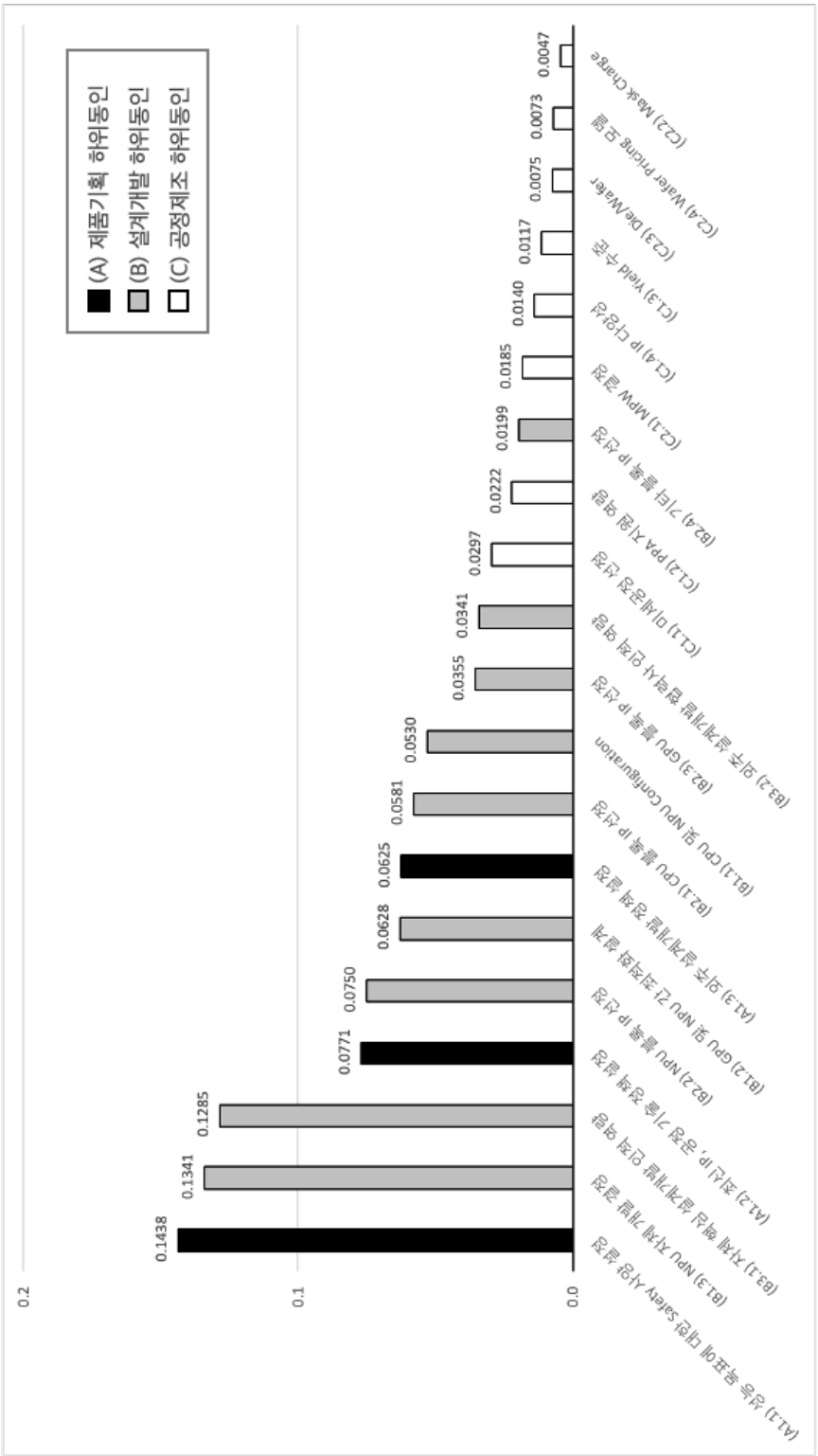
[그림 4-11] AD-SoC 개발 소분류 핵심동인 중요도 평가결과

조사 대상 반도체 전문가의 직무유형 별로 AD-SoC 개발 핵심동인의 중요도를 평가한 결과는 앞서 설명한 전체 전문가 평가결과와 다소 차이를 보인다 [그림 4-12]. AD-SoC 개발 대분류 핵심동인에 대해, 제품기획, 영업, 마케팅 전문가는 큰 차이로 (A) 제품기획 영역 핵심동인의 중요도를 가장 높게 평가한 반면, 설계개발 전문가는 역시 큰 차이로 (B) 설계개발 영역 핵심동인의 중요도를 가장 높게 평가했다. CEO, 전략, 사업기획 전문가는 균형된 평가 결과를 보였는데, (A) 제품기획 영역의 핵심동인을 (B) 설계개발 영역 핵심동인 대비 보다 중요하게 평가했다. 핵심동인에 대한 제품기획, 영업, 마케팅 전문가와 설계개발 전문가 사이의 평가결과 차이는 개발착수 이전 사전 기획단계에서 두 기능조직 간 충분한 커뮤니케이션을 통해 의견을 조율하는 것이 필요하다는 점을 시사한다.



[그림 4-12] 전문가 직무유형 별 대분류 핵심동인 평가결과 비교

소분류 기준 AD-SoC 핵심동인의 상대적 중요도 평가결과 또한 조사대상 전문가의 직무유형에 따라 상이한 분포를 보였다. 특히, 설계개발 전문가는 (B) 설계개발 소분류 하위동인 중 NPU와 관련된 동인의 중요도를 전반적으로 높게 평가했다 [그림 4-13]. 중요도 기준 상위 5개 소분류 핵심동인 중에 (B1.3) NPU 자체 개발 결정, (B2.2) NPU 블록 IP 선정 등 NPU 관련 동인이 2개 포함되었으며, 특히 (B1.3) NPU 자체 개발 결정 동인은 전체 소분류 핵심동인 중 두번째로 높은 중요도를 가진 것으로 평가되었다. 이 점은 자동차 OEM 또는 Tier 1이 Custom SoC 설계 시, NPU 직접 개발을 통해 범용 고성능 SoC 대비 차별화할 수 있기 때문인 것으로 판단된다.



[그림 4-13] 설계개발 전문가 소분류 핵심동인 평가 결과

제 5 장 시나리오 별 핵심동인 중요도 평가결과

제 1 절 AD-SoC 개발 로드맵 상의 주요 이슈

자동차 OEM 또는 Tier 1 사업자가 AD-SoC 개발 전략 수립 시, 핵심적으로 고려해야 할 주요 이슈는 AD-SoC 성능목표 및 IP, 공정기술 수준 설정 및 설계개발 역량 내재화 수준 결정이다. 현재 Level 3 이상 자율주행 시스템 자체가 제품기술 개발 초기 단계에 있으며, 자동차 OEM 또는 Tier 1 사업자가 반도체 생태계를 활용하여 자체적으로 고성능 Custom SoC를 적용 양산한 사례가 매우 드물다는 점을 고려할 때, 상기 두 가지 이슈에 대한 의사결정은 AD-SoC 개발의 성공 및 투자수익성을 결정하는데 중요하게 작용할 수 있다.

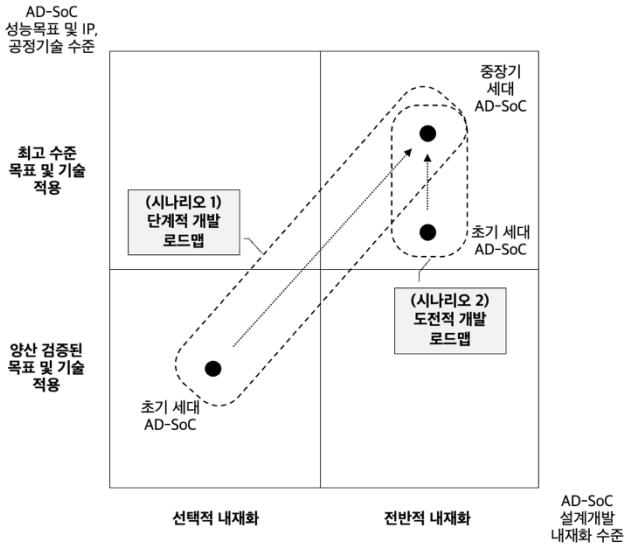
AD-SoC 성능목표 및 IP, 공정기술 수준 설정 관련하여, 자동차 OEM 또는 Tier 1 사업자는 시스템 반도체 생태계를 통해 이미 검증된 기술을 중심으로 보수적으로 설정한 것인지 또는 개발 시점에서 충분히 검증되지 않은 기술의 적용을 가정하여 최고 수준으로 설정할 것인지 여부를 신중하게 결정해야 한다. 만일 AD-SoC 개발 착수 시점에서 이미 과거 양산 검증된 시스템 반도체 설계 및 공정기술만을 적용할 경우, 현 시점에서 Nvidia, Mobileye, Qualcomm 등 전문 반도체 업체로부터 구매 가능한 범용 고성능 SoC 대비 양산 시점 기준 성능 격차가 지나치게 크게 발생할 우려가 존재한다. 범용 고성능 SoC 대비 AD-SoC의 성능 격차가 클 경우, AD-SoC의 최적화를 통한 비교우위를 담보하기 어려울 수 있다. 참고로, 과거 Tesla의 FSD3 개발 사례는 개발 시점에서 최고 수준의 도전적 목표를 설정하고 당시 적용 가능한 최고 수준의 IP, 공정기술을 적용한 경우에 해당한다.

설계개발 역량 내재화 수준 또한 자동차 OEM 또는 Tier 1 사업자가 AD-SoC 개발 전략 수립 시 고려해야 할 주요 이슈로서 전략적 효과와 투자수익성 사이에서 상충관계 (Trade-off)가 발생 할 수 있다. AD-SoC 개발 단계를 제조 이전까지 제품기획 및 사양결정, 아키텍처 설계, IP 및 공정기술 선정, Logic 상세설계 및 검증, Physical 상세설계 및 검증으로 구분하면, 자동차 OEM 및 Tier 1이 제품기획, 사양결정 및 아키텍처 설계 단계에 초점을 둔 자체 조직, 인력을 운영하고 나머지 단계에서 IP 라이센싱을 실시하거나 Fabless, Design

House 등 전문사와 외주 협력할 경우, 낮은 수준의 선택적 설계/개발 내재화를 추구한다고 정의할 수 있다. 반면에, 제품기획 및 아키텍처 설계 단계 뿐 아니라 NPU 등 일부 중요한 IP를 자체개발하고, 상세설계 및 검증 단계까지도 자체 조직, 인력을 운영할 경우, 높은 수준의 전반적 설계개발 내재화를 추구한다고 정의할 수 있다. 일반적으로 높은 수준의 설계개발 내재화를 채택할 경우, 시스템 엔지니어링 관점에서 Custom SoC 연구개발 역량을 육성하는데 유리하고 상세 설계검증 단계에서의 이슈를 사전에 아키텍처 설계 및 IP, 공정기술 선정 단계에서 고려하는 등 시너지 창출의 장점이 존재하나, 개발비용이 높아져 AD-SoC 투자수익성 확보에 불리할 가능성이 존재한다. AD-SoC 설계 내재화 전략방향은 자동차 OEM 또는 Tier 1 사업자 관점에서 시스템 반도체 개발 역량을 중요한 차별적 경쟁력으로 추구할 것인지에 대한 결정을 포함하여, 전사 기술전략의 차원에서 검토되어야 할 사안으로 판단된다.

제 2 절 AD-SoC 개발 시나리오 정의

AD-SoC 성능목표 및 기술 수준과 설계개발 역량 내재화 수준을 변수로 AD-SoC 로드맵 시나리오를 수립할 수 있다 [그림 5-1].



[그림 5-1] AD-SoC 개발 시나리오 정의 Framework

상기 Framework을 바탕으로, 본 연구에서 설정한 AD-SoC 개발 로드맵 시나리오는 [표 2-1]과 같다. 시나리오 1은 단계적 개발 로드맵 시나리오로서, 최초 개발과제에서는 AD-SoC 성능목표를 기존 양산제품 수준으로 설정하고 (양산 시점에서 범용 고성능 SoC 성능 수준 하회), 기존 양산 제품을 통해 검증된 IP, 공정기술을 적용하며, 차세대 개발과제 시, 시장 최고 수준의 성능목표 (예, TOPS[7], TOPS per Watt 등)를 설정하고 양산을 통해 검증되지 않은 최신 IP, 공정기술을 적용한다. 또한, 역량 내재화의 경우, 최초 개발 시에는 제품기획, 아키텍처 설계 위주의 선택적 내재화를 추구하고, 차세대 개발 시 NPU 개발, 상세개발 및 검증 등 전반적인 영역으로 역량 내재화를 확대한다.

시나리오 2는 도전적 개발 로드맵으로, 최초 개발과제 수행 시에도, 시장 최고 수준의 성능목표 설정, 최신 IP, 공정기술 적용, 전반적 역량 내재화를 추구하는 시나리오이다.

[표 2-1] AD-SoC 개발 시나리오 정의

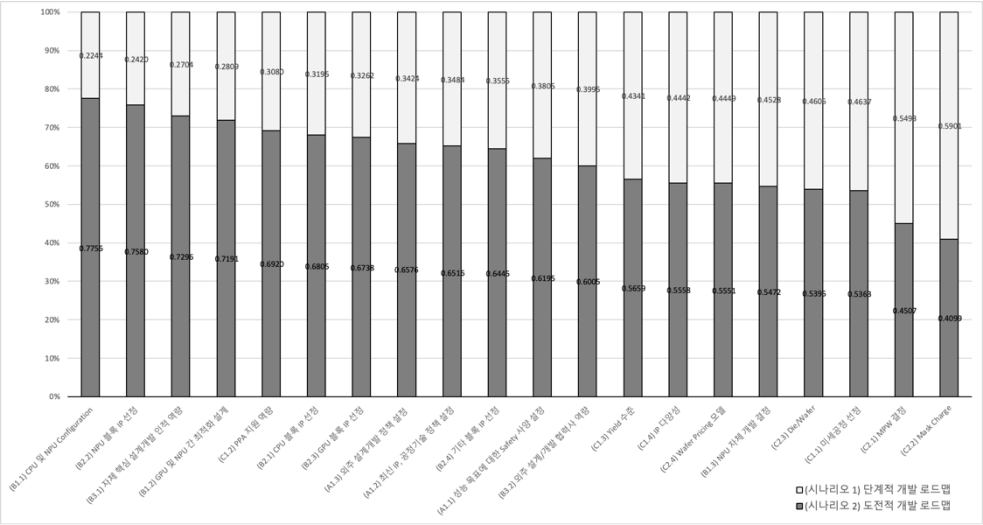
(시나리오 1) 단계적 개발 로드맵		(시나리오 2) 도전적 개발 로드맵	
최초 개발과제 (1세대)	• 개발 완료 시점에서 기존 제품 수준의 성능목표 설정 (범용 고성능 SoC 성능 수준 하회) • 양산 검증된 IP, 공정기술 적용 • 제품기획, 아키텍처 설계 중심의 선택적 역량 내재화	최초 개발과제 (1세대)	• 개발 완료 시점에서 시장 최고 수준 성능목표 설정 (범용 고성능 SoC 성능 수준 동등 또는 상회) • 최신 IP, 공정기술 적용 (양산 미 적용 기술 포함) • NPU 개발, 상세개발 및 검증 포함 전반적 역량 내재화
차세대 개발과제 (2세대)	• 개발 완료 시점에서 시장 최고 수준 성능목표 설정 (범용 고성능 SoC 성능 수준 동등 또는 상회) • 최신 IP, 공정기술 적용 (양산 미 적용 기술 포함) • NPU 개발, 상세개발 및 검증 포함 전반적 역량 내재화	차세대 개발과제 (2세대)	• (상동)

제 3 절 시나리오 별 핵심동인 중요도 평가결과

전문가 설문조사 결과, 총 20개 소분류 핵심동인 중 (C2.1) MPW 결정 및 (C2.2) Mask Charge 동인을 제외한 나머지 18개 동인이 모두

[7] TOPS는 Tera Operations Per Second를 의미한다.

(시나리오 1) 단계적 개발 로드맵 보다 (시나리오 2) 도전적 개발 로드맵의 경우, 더 중요하게 영향을 미치는 것으로 평가되었다 [그림 5-2]. 즉, 전문가들은 최초 개발부터 최고 수준의 성능목표를 설정하고, 양산 검증이 모두 되지 않은 최신 IP, 공정기술을 적용하며, 자동차 OEM 또는 Tier 1 사업자가 제품기획부터 설계개발, 공정기획에 이르기까지 높은 수준의 내재화 전략을 수행할 경우, 핵심동인의 중요성이 더 높아진다고 응답했다. 이러한 평가결과는 도전적 개발 로드맵 시나리오가 개발목표 달성 및 IP, 공정기술 선정의 리스크가 높고 반도체 생태계와 개발에 필요한 역량 및 리스크를 분담, 공유하지 않는 개발방식인 것에 기인한 것으로 해석된다.

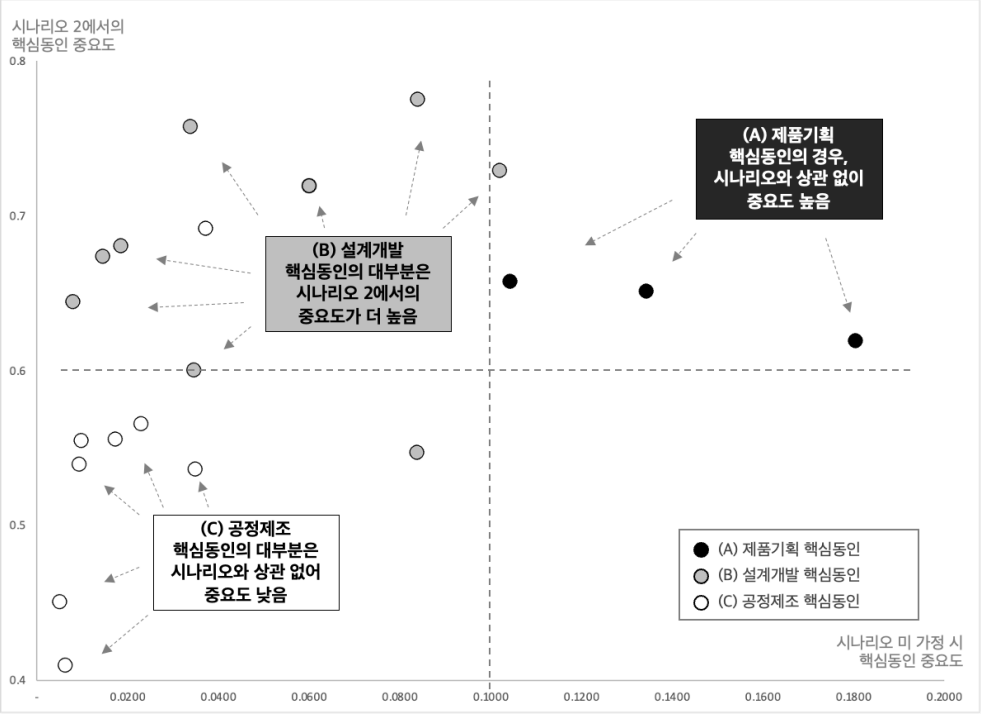


[그림 5-2] 개발 시나리오 별 핵심동인 중요도 평가결과

그런데, 시나리오 2의 핵심동인 중요도 평가결과는 앞서 시나리오를 가정하지 않은 상황에서의 평가결과와 다소 다른 양상을 보이는 것을 알 수 있다 [그림 5-2]. 시나리오 2의 경우, 중요도 평가결과 순서로 핵심동인을 정렬하면 상위 5개 핵심동인은 (B1.1) CPU 및 NPU Configuration, (B2.2) NPU 블록 IP 선정, (B3.1) 자체 핵심 설계개발 인적 역량, (B1.2) GPU 및 NPU간 최적화 설계, (C1.2) PPA 지원 역량인데, 상위 5개 핵심동인 중 4개가 (B) 설계개발 영역에 속하며 (A) 제품기획 및 개발계획 하위동인은 없다. 이러한 결과는 이미 개발목표가

매우 도전적으로 정해진 시나리오 2의 경우, (B) 설계개발 관련된 핵심동인이 개발목표 달성에 매우 중요하게 평가된 것으로 해석할 수 있다.

이러한 결과는 앞서 시나리오를 전제하지 않은 상황에서의 핵심동인 평가결과와 시나리오 2의 핵심동인 평가결과를 비교할 경우에도 확인된다. 시나리오 2에서 (B) 설계개발 영역에 속하는 대부분 핵심동인의 중요도가 보다 높은 것을 알 수 있다 [그림 5-3].



[그림 5-3] 시나리오 미 가정 대비 시나리오 2 평가결과 비교

제 6 장 결론 및 시사점

제 1 절 분석결과 종합

첫번째 연구 핵심질문인 “AD-SoC 개발목표 달성에 중요한 영향을 미치는 핵심동인은 무엇인가?”에 대한 전문가 설문조사 결과, 제품기획 및 설계 영역 핵심동인이 높은 중요도를 갖는 것으로 평가되었다. 설계개발 핵심동인 중에서는 SoC 아키텍처 설계, 자체 설계개발 인적 역량이 중요한 것으로 평가되었으며, NPU 자체개발 결정, CPU 및 NPU Configuration 등 NPU 관련 결정사항이 중요한 핵심동인으로 평가되었다. 제품기획 영역 핵심동인 중에서는 성능목표에 대한 Safety 사양 설정이 가장 중요한 것으로 평가 되었다. 설계개발, 제품기획 영역 대비 상대적으로 중요도가 낮게 평가된 공정제조 영역 핵심동인의 경우, 공정 기술이 양산 방식 보다 더 중요한 동인으로 평가되었는데, 특히 PPA 지원 역량, 미세공정 선정이 중요한 동인으로 파악되었다.

위와 같은 전문가 평가 결과는 자율주행 시스템 및 고성능 SoC 기술이 아직 초기 단계에 있기 때문에 제품기획, 설계개발 관련된 경험과 노하우가 산업 전반적으로 충분히 축적되지 않은데 기인한다고 볼 수 있다. 다른 한편으로는 이러한 평가결과는 최근 빠르게 형성되고 있는 자동차 분야 시스템 반도체 생태계 성장을 반영한 것으로 해석할 수 있다. 즉, 공정 기술, 양산 방식을 제공하는 Foundry 업체는 이미 충분히 발달되어 있고, 또한 최근 Fabless, Design House, NPU 분야 IP 전문업체 등이 클라우드, 서버 시장을 대상으로 빠르게 성장하고 있는 상황을 고려할 때, 반도체 생태계를 통해 역량 확보 가능한 영역 보다는 자동차 OEM 또는 Tier 1 사업자가 자체적으로 역량을 축적해야 하는 영역 (예, 제품기획, 아키텍처 설계 등)의 핵심동인이 중요하게 평가된 것으로 볼 수 있다.

두번째 연구 핵심질문인 “AD-SoC 개발 시나리오에 따라 핵심동인 중요도는 어떻게 달라지는가?”와 관련해서, 전문가들은 최초 개발부터 최고 수준의 성능목표를 설정하고, 양산 검증되지 않은 최신 IP, 공정기술을 적용하며, 전반적인 영역에서 높은 내재화를 추구하는 도전적 개발 로드맵 시나리오의 경우, AD-SoC 개발 핵심동인의 중요도를 더 높게 평가했다.

이러한 평가결과의 원인은 앞서 첫번째 핵심질문에 대한 전문가 평가결과의 원인과 맥락을 같이 한다. 즉, 전체적으로 자율주행 시스템 및 고성능 SoC 기술이 확산되지 않은 현재 상황에서 도전적 개발 로드맵을 채택하는 시나리오가 더 리스크가 높다는 전문가들의 인식이 작용한 것으로 해석할 수 있다.

제 2 절 자동차 OEM 및 Tier 1 사업자에 대한 시사점

본 연구의 결론은 AD-SoC 개발을 검토하고 있는 자동차 OEM 및 Tier 1 사업자에게 기술전략 수립 관점에서 유용한 시사점을 제공한다. 연구 초기 수립한 주요 가설에 대해, 전문가 평가 결과에 기반한 검증 결과는 다음과 같다.

첫째, AD-SoC 개발목표 달성을 위해 설계개발 및 공정제조 역량 확보가 가장 중요하다는 가설은 기각되었다. 전문가 평가 분석결과, 제품기획이 설계개발과 거의 동등한 수준으로 매우 중요하며, 반면 공정제조 중요도는 상대적으로 매우 낮은 것으로 드러났다. 이는 Level 3 이상 자율주행 기술이 미성숙 단계에 있기 때문에 높은 Safety 마진 설정이 요구되며, 산업 내 자율주행 SW 수준의 평준화가 아직 달성되지 못한 것에 기인한 것으로 판단된다. 또한, 공정제조 역량의 중요도가 낮은 것은 제품기획, 설계개발 최적화가 달성되면 이미 발달된 Design House, Foundry 등 시스템 반도체 생태계를 활용하는 것이 가능하기 때문으로 해석된다.

Safety 사양의 축소가 AD-SoC 사양의 합리화에 큰 영향을 줄 수 있는데, 아직 산업 내 충분한 경험과 데이터가 축적되지 않은 상황에서는 자동차 OEM, Tier 1 사업자, 반도체 전문업체 간 심도 깊은 사례분석, 시뮬레이션, PoC 등을 통해 AD-SoC 최적사양을 도출하기 위한 협업을 추진해야 할 것이다. 또한, AD-SoC 개발 목표를 달성하고, 투자수익성 등 사업적 목표 달성의 확률을 높이기 위해서는 제품기획 단계에서 최대한 AD-SoC 사양을 합리화하고 이에 적합한 최적 IP, 공정기술을 선택하는 것이 중요하다. 반드시 최신 IP 또는 최신 미세공정이 고성능 SoC의 성능 최적화를 담보하는 것이 아니며, 기 검증된 1세대 이전의 공정기술을 적용하더라도, PPA 극대화를 통해 요구사양을 충족할 수 있는 가능성이 존재한다.

둘째, AD-SoC 개발은 시스템 반도체 생태계를 활용한 외주개발 방식을 채택해야 한다는 가설은 부분적으로 타당한 것으로 판단된다. 자동차 OEM 및 Tier 1 사업자는 시스템 반도체 생태계를 적극 활용해야 하나, 제품기획, SoC 아키텍처 설계, NPU 개발 등 선별적 핵심영역에서 역량 내재화를 추진하는 것이 필요하다. 특히, 설계개발 초점 분야에 대해서는 업계 최고 수준의 인재를 확보하는 Top Talent 전략을 고려하는 것이 바람직하다. 예를 들어, 설계개발 분야에서 AD-SoC 아키텍처 설계를 총괄할 수 있는 시니어 설계 전문가 (Principal Architect), 제품기획 분야에서 IP, 공정기술 최적 선정을 총괄할 수 있는 제품기획 전문가, 공정기술 분야에서 최고 수준의 PPA 역량을 보유한 공정기술 기획 전문가 확보를 고려할 수 있다.

AD-SoC 성능 최적화에 가장 큰 영향을 줄 수 있는 NPU 기술에 대해서는 차별적 기술 경쟁력을 확보를 위해 기술 내재화를 검토해야 한다. 여기서 내재화는 반드시 자체 인력을 통해 독자적으로 개발하는 Organic 개발 방안만을 의미하는 것은 아니다. 시스템 반도체 생태계 내 Fabless, IP 업체 등과의 협업 개발 또는 전문성을 보유한 NPU 전문 IP 업체에 대한 전략적 투자, 인수 등 Inorganic 개발 방안도 포괄적으로 검토할 수 있다.

셋째, AD-SoC 성능목표는 범용 SoC와 동일하거나 상회하는 수준으로 설정하는 것이 필요하다는 가설은 부분적으로 타당한 것으로 판단된다. 최초 세대 Custom AD-SoC 개발부터 최고 수준 성능목표를 설정할 경우, 제품기획, 설계개발, 공정제조의 모든 영역에서 고도의 역량 확보가 요구되어 상당한 개발 리스크 증가 예상되기 때문이다.

AD-SoC 개발 로드맵과 관련하여, 도전적 개발 로드맵 결정은 자동차 OEM 또는 Tier 1 사업자의 기술 역량, 사업적 필요성, 주주, 투자자 등 이해관계자의 기대 등을 종합적으로 검토하여 매우 신중하게 수행되어야 한다. 만일 도전적 개발 로드맵 전략을 추진하는데 있어 현실적 장애요인이 존재할 경우, 최초 개발 과제는 개발목표 현실화, 최적 설계개발 기술 도입, 외부 시스템 반도체 생태계 활용 등을 통해 보수적으로 접근하고, 향후 중장기 개발과제 추진을 통해 범용 고성능 SoC 성능 대비 동일 또는 상회하는 수준의 개발목표 달성을 추구하는 단계적 개발 로드맵 전략을 검토하는 것이 타당하다. 선행 문헌연구를 통해 파악한 Tesla의 자율주행 Computing Platform (FSD3) 개발 사례의 경우도, 비록 고성능 범용 SoC에 기반했으나 HW 1.0, HW 2.0, HW 2.5 등 여러 개발세대를 거쳐 고성능 SoC에 기반한 자율주행

시스템 개발 경험을 축적한 이후, HW 3.0에서 Custom SoC 개발을 추진했다는 점에서 단계적 개발 로드맵 설정의 필요성을 뒷받침하고 있다.

제 3 절 연구 한계점 및 추가 연구 필요성

본 연구는 연구방법 관점에서 전문가 설문조사의 대상이 국내 시스템 반도체 산업 내 전문가로 한정되어, 고성능 SoC 분야에서 경험을 축적한 해외 반도체 전문가의 의견이 반영되지 못한 한계를 안고 있다. 또한, 앞서 연구 배경에서 밝힌 바와 같이, 자동차 OEM 또는 Tier 1 사업자 관점에서 AD-SoC 개발에 있어 가장 큰 장애요인 중 하나는 불확실한 투자수익성인데, 본 연구에서 분석한 AD-SoC 개발의 핵심동인이 투자수익성 향상에 어떻게 기여하는지에 대한 정량적 분석이 수행되지 못했다. 세부 시뮬레이션을 위해 요구되는 요소 개발비용 및 양산비용에 대한 예측이 어렵다는 점과 특정 자동차 OEM 또는 Tier 1 사업자의 내부 정보에 기초한 시뮬레이션 결과를 일반화하기 어렵다는 점이 투자수익성 민감도 분석을 수행하지 못한 주요 원인이었다.

끝으로, 향후 자율주행 시스템과 같은 고성능 SoC 뿐 아니라, 전기전자 아키텍처 변화에 따른 표준화, 모듈화 된 제어기에 적용되는 일반 성능의 SoC에 대해서도 차량용 Custom SoC 개발 핵심동인 연구를 확장할 필요성이 있다. 일반 성능 SoC의 경우, 고성능 SoC 대비 수요가 훨씬 크고, 기술적 장애요인이 낮아 차량용 Custom SoC 초기 시장을 견인할 가능성이 높다.

참 고 문 헌

[1] 송근원, 이영, 2013, AHP의 일관성 향상을 위한 척도 재구성 연구, 경성대학교 사회과학연구소, 사회과학연구 Vol.29, No.2, pp. 271-288.

[2] 최민철, 2020, AHP 분석의 문제점과 수정가중치모형의 개발, 대한경영정보학회 경영과 정보연구, Vol. 39, No. 2, pp. 145-162.

[3] CoAsia, 2021, 고성능반도체 개발타당성 검토.

[4] Meissner, et al., 2020, Computer on wheels: Disruption in automotive electronics and semiconductors, Roland Berger.

[5] Windpassinger, 2022, On the Way to a Software-defined Vehicle, ATZ Electronics Worldwide Vol. 17, pp. 8–51, ATZ Electronics.

[6] Bernhart, et al., 2022, The future of the automotive software industry: Spend, trends and how to transform, Roland Berger.

[7] Fletcher, et al., 2020, The case for an end-to-end automotive software platform, McKinsey & Company.

[8] Cusumano, et al., 2019, The business of platforms: Strategy in the age of digital competition, innovation, and power, Harper Business.

[9] Shead, 2021, Tech giants are rushing to develop their own chips — here's why, https:// www.cnbc.com/2021/09/06/why-tesla-apple-google-and-facebook-are-designing-their-own-chips.html, CNBC.

[10] Burkacky, et al., 2021, Automotive semiconductors for the autonomous age, McKinsey & Company.

[11] Lin, et al., 2018, The Architectural Implications of Autonomous Driving: Constraints and Acceleration, Proceedings for the Twenty-Third International Conference on Architectural Support for Programming Languages and Operating Systems, pp. 715-766.

[12] Liu, et al., 2017, Computer Architectures for Autonomous Driving Computer, Vol.50, Issue 8, pp. 18-25.

[13] Liang, et al, 2021, Efficient Computing Platform Design for Autonomous Driving Systems, Proceedings for the 26th Asia and South Pacific Design Automation Conference, pp. 734-741.

[14] Capra, et al., 2020, Hardware and Software Optimizations for Accelerating Deep Neural Networks: Survey of Current Trends, Challenges, and the Road Ahead, IEEE Access 8, 225134-225180.

[15] Reuther, et al., 2021, AI Accelerator Survey and Trends, IEEE High Performance Extreme Computing Conference (HPEC), pp. 1-9.

[16] Collin, et al., 2020, Autonomous driving systems hardware and software architecture exploration: optimizing latency and cost under safety constraints, Systems Engineering, 23(3), The International Council on Systems Engineering, pp. 327-337.

[17] LeCun, 2019, Deep Learning Hardware: Past, Present, and Future, IEEE International Solid-State Circuits Conference, pp. 12-19.

[18] Saaty, 1977, A Scaling Method for Priorities in Hierarchical Structures, Journal of Mathematical Psychology, Vol. 15, No. 3, pp. 234-281.

[19] Saaty, 2004, Decision Making - The Analytic Hierarchy and Network Process (AHP/ANP), Journal of Systems Science and Systems Engineering, Vol. 13, No. 1, pp. 1-35.

[20] Blumenthal, 1977, The Process of Cognition, Prentice-Hall/Pearson Education.

[21] Saaty, 2002, Decision-making with the AHP: Why is the Principal Eigenvector Necessary, European Journal of Operational Research, Vol. 145, pp. 85-91.

[22] Vargas, 1990, An Overview of the Analytic Hierarchy Process and Its Applications, European Journal of Operational Research, Vol. 48, pp. 2-8.

[23] Vaidya, et al., 2004, Analytic Hierarchy Process: An Overview of Applications, European Journal of Operational Research, Vol. 169, pp. 1-29.

첨 부

차량용 Level 4 자율주행 고성능 SoC 개발목표 달성 핵심동인 우선순위 분석

안녕하십니까

본 설문지는 차량용 Level 4 자율주행 시스템에 사용되는 고성능 SoC 개발에 있어, 성능 및 원가 목표 달성에 영향을 미치는 핵심동인의 우선순위화를 하기 위해 기안 되었습니다.

반도체 설계 및 공정기술 전문가 입장에서 제시된 핵심동인들의 상대적 중요도를 도출하여 주시기 바랍니다. 귀하께서 응해 주신 설문 내용은 향후 자율주행 고성능 SoC 개발 시나리오 및 투자수익성 분석을 위한 연구에 귀중한 자료로 쓰여집니다. 귀하의 경험과 의견을 바탕으로 설문 내용에 공란 없이 응답하여 주십시오.

본 설문은 연구수행에 필요한 자료를 수집하기 위해 작성 되었으므로, 특정 개인에 관한 정보 취득을 목적으로 하고 있지 않으며, 모든 답변은 통계분석 및 정책수립의 기초 자료로만 활용될 것이며, 이러한 연구목적 외에는 일절 사용되지 않음과 더불어 통계법에 의거하여 절대비밀을 보장할 것을 약속 드립니다.

2022. 8

※ 응답자 기본 배경 설문

- 응답자 성명: _____
- 회사: _____
- 부서: _____
- 직책/직급: _____ /_____
- H/P: _____
- E-Mail: _____@_____

우선 본 설문에 앞서 귀하의 본 설문에 대한 이해를 돕기 위하여 의사결정 계층 구조 및 각 항목에 대한 설명을 기술하였습니다. 먼저 이를 먼저 확인/숙지하신 후 본 설문에 응해 주시기 바랍니다.

연구목적: 차량용 Level 4 자율주행 시스템에 사용되는 고성능 SoC 개발에 있어 성능 및 원가 목표 달성에 영향을 미치는 핵심동인 우선순위 분석

본 설문은 크게 I. 핵심동인 우선순위 조사 및 II. 핵심동인 별 개발 시나리오 가중치 조사의 두 가지로 이루어져 있습니다.

핵심동인은 아래 그림1과 같이 계층구조에 따라 구조화 되어 있습니다.

그림 1. 차량용 Level 자율주행 고성능 SoC 개발목표 핵심동인 계층구조

상기 각 핵심동인에 대한 설명은 다음과 같습니다.

(1) 제품기획
(1.1) 개발 목표 및 정책 설정

(1.1.1) 성능목표에 대한 Safety 사양 설정
AD-SoC 기능, 성능, 신뢰성 등 개발 목표에 대한 Safety 마진 범위 설정

(1.1.2) 최신 IP/공정기술 정책 설정
최신 IP/공정 적용 vs. 양산 통해 검증된 IP/공정 적용

(1.1.3) 외주 설계개발 정책 설정
자체 인력 위주 vs. Design House/Foundry 설계 인력 위주 결정

(2) 설계개발
(2.1) SoC 아키텍처 설계

(2.1.1) CPU 및 NPU Configuration
CPU, NPU 블록 별 Single Chip vs. Multi Chip 결정 및 CPU vs. NPU 연산 분담

(2.1.2) GPU 및 NPU 간 최적화 설계
영상신호 및 영상인식 처리에 대한 GPU vs. NPU 연산 분담

(2.1.3) NPU 자체 개발 결정
자율주행 SW에 최적화된 NPU 자체 설계 vs. IP 라이센싱 결정

(2.2) IP 라이센싱

(2.2.1) CPU 블록 IP 선정
CPU IP 종류 (Cortex A75 vs. A78) 및 코어 수, 클럭 결정

(2.2.2) NPU 블록 IP 선정
NPU IP 종류 및 코어 수, 클럭 결정

(2.2.3) GPU 블록 IP 선정
GPU IP 종류 및 코어 수, 클럭 결정

(2.2.4) 기타 블록 IP 선정
메모리 (DDR4 vs. DDR5), 통신 및 Bus (Bandwidth 등), Power (도메인 수 등) 결정

(2.3) 설계개발 인적 역량

(2.3.1) 자체 핵심 설계개발 인적 역량
PPA (Performance, Power, Area) 최적화 설계/개발 역량 및 생산성

(2.3.2) 외주 설계개발 협력사 인적 역량
Design House, Foundry 설계/개발 역량 및 생산성

(3) 공정제조
(3.1) 공정 기술

(3.1.1) 미세공정 선정
최신 미세공정 (예, 3 나노 공정) vs. 기 검증 미세공정 (예, 14 나노 공정) 결정

(3.1.2) PPA 지원 역량
Foundry 별 Cell 당 PPA (Performance, Power, Area) 지원 역량

(3.1.3) Yield 수준
Foundry 별 Yield 수준

(3.1.4) IP 다양성
공정 기술 종류 별 지원 IP (최신 공정 기술의 경우, IP 지원 제약)

(3.2) 양산 방식

(3.2.1) MPW 결정
MPW 후 Single-run vs. Single Run 결정

(3.2.2) Mask Charge
Foundry 별 Mask Charge

(3.2.3) Die/Wafer
Foundry 별 확보 가능 Die/Wafer 수량

(3.2.4) Wafer Pricing 모델
Foundry 별 Known Good Die (KGD) 가격 정책 (Die 당 vs. 양품 Die 당)

본 설문은 계층구조화 된 핵심동인에 대한 I. 핵심동인 우선순위 조사 및 II. 핵심동인 별 개발 시나리오 가중치 조사로 구성되어 있습니다.

I. Level 4 자율주행 고성능 SoC 개발 목표 달성을 위한 핵심동인 우선순위 분석

이번 설문은 상위 계층을 구성하는 요소 간의 상대적 우위를 묻는 질문부터 해당 요소 하위 계층을 구성하는 요소 간의 상대적 우위를 묻는 질문의 순서로 진행됩니다.

총 9개의 질문에 대해 응답하여 주시고, 각 질문 별 설명을 충분히 숙독해 주시기 바랍니다.

모든 항목에 대하여 빠짐없이 답변해 주십시오.

Q1. 다음의 핵심동인을 두 항목 씩 비교할 때, 어느 항목이 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

제품기획 및 개발계획	자동차 OEM 및 Tier 1 사업자의 니즈에 따라, Level 4 자율주행 고성능 SoC 사양을 설정하고, IP 전략, Design House 외주계획, 개발일정 등 개발계획 수립
설계/개발	반도체 아키텍처 설계, IP 라이센싱 결정, PPA (Performance, Power, Area) 최적화 등 고성능 SoC 설계 및 개발
공정 /Foundry	Foundry와의 협업을 통해, 미세공정, Yield 등 공정기술 및 MPW, Mask Charge, Wafer Pricing 등 양산방식 결정 및 적용

주의: 하부 요인이 여러 개가 있는 경우 설문의 일관성 있는 답변을 위하여 반드시 **가장 중요**하게 여기는 속성 순으로 **배열**한 후 이를 **확인**하시면서 상대비교 답변에 응해 주십시오.

<작성예시>

상대적 중요도: (제품기획 및 개발계획) > (설계/개발) > (공정/Foundry)

	절대적 중요 중요 조금 중요		같음 조금 중요 중요 절대적 중요	
제품기획 및 개발계획	9 8 7 6 5 4 ③ 2	1	2 3 4 5 6 7 8 9	설계개발
제품기획 및 개발계획	9 8 7 6 ⑤ 4 3 2	1	2 3 4 5 6 7 8 9	공정제조
설계개발	9 8 7 6 5 ④ 3 2	1	2 3 4 5 6 7 8 9	공정제조

(상품기획 및 개발계획)이 (설계/개발) 보다 (3) '조금 중요하다'로 답변하신다면 (상품기획 및 개발계획)은 (공정/Foundry) 보다 (3) '조금 중요하다'이상으로 4, 5, 6, 7, 8, 9 중 답변할 때, 일관성이 유지됩니다. 실례로, (상품기획 및 개발계획) 쪽으로 5로 답변 되어 있는 것을 볼 수 있습니다.

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요 중요 조금 중요		같음 조금 중요 중요 절대적 중요	
제품기획 및 개발계획	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	설계개발
제품기획 및 개발계획	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	공정제조
설계개발	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	공정제조

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q2. 다음 (1) 제품기획 및 개발계획 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

성능 목표에 대한 Safety 사양 설정	자동차 OEM 및 Tier 1 사업자가 설정한 Level 4 자율주행 시스템 요구사항을 충족하는 고성능 SoC 사양에 대한 Safety 마진 범위 설정
최신 IP/공정기술 적용정책 설정	적용 가능한 최신 IP/공정기술 적용 vs. 양산 통해 검증 완료된 IP/공정기술 적용 간 결정
외주 설계개발 정책 설정	자동차 OEM 또는 Tier 1 사업자의 자체 SoC 설계/개발 인력 확보 vs. Design House, Foundry 보유 전문 인력 활용 간 결정

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요 중요	조금 중요	같음	조금 중요 중요 절대적 중요	
성능 목표에 대한 Safety 사양 설정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9		최신 IP/공정기술 적용정책 설정
성능 목표에 대한 Safety 사양 설정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9		외주 설계개발 정책 설정
최신 IP/공정기술 적용정책 설정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9		외주 설계개발 정책 설정

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q3. 다음 (2) 설계개발 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

SoC 아키텍처 설계	GPU vs. NPU 최적화, NPU 자체개발 여부 결정, 블록 별 Redundancy 설정 등 아키텍처 설계 방향 설정
IP 라이센싱	각 블록 별 IP 종류, 코어 수, 클럭 등 결정 및 IP 선정
설계개발 인적 역량	자체 설계/개발 인력 또는 Design House, Foundry 설계개발 인력 역량

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
SoC 아키텍처 설계	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 라이센싱
SoC 아키텍처 설계	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					설계개발 인적 역량
IP 라이센싱	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					설계개발 인적 역량

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q4. 다음 (2.1) SoC 아키텍처 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

CPU 및 NPU Configuration	CPU 및 NPU 블록 별 Single Chip vs. Multi Chip 결정 및 CPU vs. NPU연산 분담
GPU vs. NPU 최적화 설계	영상신호, 영상인식 처리에 대한 GPU vs. NPU 연산 분담 결정
NPU 자체개발 결정	자율주행 SW에 최적화된 NPU 자체설계 여부 결정

<실제작성란>

우선 상대적 중요도 순으로 3가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( )

	절대적 중요 중요 조금 중요		같음 조금 중요 중요 절대적 중요	
CPU 및 NPU Configuration	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	GPU vs. NPU 최적화 설계
CPU 및 NPU Configuration	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	NPU 자체개발 결정
GPU vs. NPU 최적화 설계	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9	NPU 자체개발 결정

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q5. 다음 (2.2) IP 라이센싱 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

CPU 블록 IP 선정	CPU IP 종류, 코어 수, 클럭 등 결정
NPU 블록 IP 선정	NPU IP 종류, 코어 수, 클럭 등 결정
GPU 블록 IP 선정	GPU IP 종류, 코어 수, 클럭 등 결정
기타 블록 IP 선정	메모리, 통신, Bus/NoC, Power 블록 별 IP 선정

<실제작성란>

우선 상대적 중요도 순으로 4가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( ) > ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
CPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	NPU 블록 IP 선정
CPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	GPU 블록 IP 선정
CPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	기타 블록 IP 선정
NPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	GPU 블록 IP 선정
NPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	기타 블록 IP 선정
GPU 블록 IP 선정	9	8	7	6	5	4	3	2	1	2	3	4	5	6	7	8	9	기타 블록 IP 선정

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q6. 다음 (2.3) 설계개발 인적 역량 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

자체 핵심 설계자 개발 인적 역량	자동차 OEM 또는 Tier 1 사업자 자체 핵심설계자 (Principal Designer), 개발자 확보 및 설계/개발
외주 설계개발 협력사 인적 역량	Design House, Foundry 보유 설계/개발 전문 인력 외주 활용

<실제작성란>

우선 상대적 중요도 순으로 2가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
자체 핵심 설계개발 인적 역량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					외주 설계개발 협력사 인적 역량

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q7. 다음 (3) 공정제조 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

공정 기술	미세공정 선정 및 Foundry의 PPA (Performance, Power, Area) 지원 역량, Yield 수준, IP 지원 범위
양산 방식	MPW 후 Single-run 진행 여부 결정 및 Foundry 별 Mask Charge, Die/Wafer 수량, Wafer Pricing 모델

<실제작성란>

우선 상대적 중요도 순으로 2가지 요소를 나열하십시오.

상대적 중요도: ( ) > ( )

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
공정 기술	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					양산 방식

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q8. 다음 (3.1) 공정기술 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

미세공정 선정	최신 미세공정 (예, 5 나노 공정) vs. 기 검증 미세공정 (예, 14 나노 공정) 적용 결정
PPA 지원 역량	Foundry 별 Cell 당 Power, Performance, Area 지원 역량
Yield 수준	Foundry 별 Yield 수준
IP 다양성	공정기술 종류별 지원 IP의 범위

<실제작성란>

우선 상대적 중요도 순으로 4가지 요소를 나열하십시오.

상대적 중요도: (　　) > (　　) > (　　) > (　　)

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
미세공정 선정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					PPA 지원 역량
미세공정 선정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					Yield 수준
미세공정 선정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 다양성
PPA 지원 역량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					Yield 수준
PPA 지원 역량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 다양성
Yield 수준	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					IP 다양성

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

Q9. 다음 (3.2) 양산 방식 동인의 하위항목에 대한 평가 요소를 비교할 때, 어느 요소가 성능 및 원가 목표 달성에 더 영향을 미친다고 생각하십니까? 아래의 작성 예시를 참고 한 후 (해당 부분에 O 표를 함) 아래의 비교 사항에 대하여 답변하여 주십시오.

MPW 여부 결정	MPW 후 Single-run vs. Single-run Only 간 결정
Mask Charge	Foundry 별 Mask Charge
Die/Wafer 수량	Foundry 별 확보 가능 Die/Wafer 수량
Wafer Pricing 모델	Foundry 별 Known Good Die (KGD) 가격 정책

<실제작성란>

우선 상대적 중요도 순으로 4가지 요소를 나열하십시오.

상대적 중요도: (　　) > (　　) > (　　) > (　　)

	절대적 중요 중요	조금 중요	같음	조금 중요 중요	절대적 중요	
MPW 여부 결정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Mask Charge
MPW 여부 결정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Die/Wafer 수량
MPW 여부 결정	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Wafer Pricing 모델
Mask Charge	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Die/Wafer 수량
Mask Charge	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Wafer Pricing 모델
Die/Wafer 수량	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9			Wafer Pricing 모델

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

II. Level 4 자율주행 고성능 SoC 개발 시나리오 별 핵심동인 가중치 분석

자동차 OEM 또는 Tier 1 사업자가 외부 반도체 공급사로부터 범용 고성능 SoC를 구매하지 않고, 자체 반도체 설계 인력 및 외부 Design House 또는 Fabless 사업자를 활용하여 Level 4 자율주행 고성능 SoC를 직접 설계/개발 (Custom Development)하는 경우, 다음과 같은 두 가지 개발 시나리오를 상정할 수 있습니다.

(시나리오 1: 보수적 개발 전략) 단계적 성능 목표 및 설계/공정 기술 상향 적용

- 1세대 (Gen 1) SoC 개발 시, 범용 고성능 SoC 대비 성능 목표를 낮게 설정하고 양산을 통해 기 검증된 설계/공정 기술을 적용
- 2세대 (Gen 2) SoC 개발 시, 축적된 경험과 기술 역량을 활용하여, 범용 고성능 SoC 대비 동등 이상의 성능 목표를 설정하고, 아직 양산 적용되지 않은 최신 설계/공정 기술 적용 (예, 최고 수준 미세공정 적용)

(시나리오 2: 도전적 개발 전략) 최고 성능 목표 설정 및 최신 설계/공정 기술 적용

- 최초 개발부터, 범용 고성능 SoC 대비 동등 이상의 성능 목표를 설정하고, 아직 양산 적용되지 않은 최신 설계/공정 기술 적용

본 설문에서는 앞선 설문에 사용된 동일한 핵심동인 별로 상기 두 가지 시나리오 중 어느 시나리오에서 보다 중요하게 작용하는지 가중치를 평가하게 됩니다.

모든 항목에 대하여 빠짐없이 답변해 주십시오.

(1) 제품기획 및 개발계획
(1.1) 개발 목표 및 정책 결정

(Q1.1.1) 성능목표에 대한 Safety 사양 설정
AD-SoC 기능, 성능, 신뢰성 등 개발 목표에 대한 Safety 마진 범위 설정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(Q1.1.2) 최신 IP/공정 기술 정책 설정
최신 IP/공정 적용 vs. 양산 통해 검증된 IP/공정 적용

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(Q1.1.3) 외주 설계개발 정책 설정
자체 인력 위주 vs. Design House/Foundry 설계 인력 위주 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2) 설계개발
(2.1) SoC 아키텍처 설계

(2.1.1) CPU 및 NPU Configuration
CPU, NPU 블록 별 Single Chip vs. Multi Chip 결정 및 CPU vs. NPU 연산 분담

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.1.2) GPU 및 NPU 간 최적화 설계
영상신호 및 영상인식 처리에 대한 GPU vs. NPU 연산 분담

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.1.3) NPU 자체 개발 의사결정
자율주행 SW에 최적화된 NPU 자체 설계 vs. IP 라이센싱 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2) IP 라이센싱

(2.2.1) CPU 블록 IP 선정

CPU IP 종류 (Cortex A75 vs. A78) 및 코어 수, 클럭 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2.2) NPU 블록 IP 선정

NPU IP 종류 및 코어 수, 클럭 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2.3) GPU 블록 IP 선정

GPU IP 종류 및 코어 수, 클럭 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.2.4) 기타 블록 IP 선정

메모리 (DDR4 vs. DDR5), 통신 및 Bus (Bandwidth 등), Power (도메인 수 등) 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.3) 설계개발 인적 역량

(2.3.1) 자체 핵심 설계개발 인적 역량

PPA (Performance, Power, Area) 최적화 설계/개발 역량 및 생산성

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(2.3.2) 외주 설계개발 협력사 인적 역량

Design House, Foundry 설계/개발 역량 및 생산성

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1 과 3, 3 과 5, 5 와 7, 7 과 9 의 중간단계

(3) 공정제조
(3.1) 공정 기술

(3.1.1) 미세공정 선정
최신 미세공정 (예, 3 나노 공정) vs. 기 검증 미세공정 (예, 14 나노 공정) 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.1.2) PPA 지원 역량
Foundry 별 Cell 당 PPA (Performance, Power, Area) 지원 역량

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.1.3) Yield 수준
Foundry 별 Yield 수준

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.1.4) IP 다양성
공정 기술 종류 별 지원 IP (최신 공정 기술의 경우, IP 지원 제약)

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2) 양산 방식

(3.2.1) MPW 결정

MPW 후 Single-run vs. Single Run 결정

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2.2) Mask Charge

Foundry 별 Mask Charge

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2.3) Die/Wafer

Foundry 별 확보 가능 Die/Wafer 수량

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

(3.2.4) Wafer Pricing 모델

Foundry 별 Known Good Die (KGD) 가격 정책 (Die 당 vs. 양품 Die 당)

	절대적 중요	중요	조금 중요	같음	조금 중요	중요	절대적 중요	
(시나리오 1) 보수적 개발 전략	9 8 7 6 5 4 3 2	1	2 3 4 5 6 7 8 9					(시나리오 2) 도전적 개발 전략

1: 같다, 3: 조금 중요하다, 5: 중요하다, 7: 매우 중요하다, 9: 절대적으로 중요하다.
2,4,6,8: 각각 1과 3, 3과 5, 5와 7, 7과 9의 중간단계

설문에 응해 주셔서 대단히 감사합니다.

Abstract

Key Drivers of Developing Custom SoC for Autonomous Driving System (AD-SoC)

Youngsuk Ko

Department of Engineering Practice

Graduate School of Engineering Practice

Seoul National University

Automotive industry is under the paradigm shift toward software defined vehicle (SDV) and the underlying technology disruption in the hardware domain of automotive embedded systems can be accelerated by the adoption of custom system on chip (SoC). Most automotive OEMs or Tier 1 suppliers have not accumulated understanding or experience in custom SoC, let alone capability to establish and execute effective technology roadmaps. By identifying key drivers of developing custom SoC equipped in the computing platform for level 3 or higher autonomous driving system (AD-SoC), this study aims to contribute to the proliferation of custom SoC technology in automotive industry in the long-term perspective.

For this study key drivers of AD-SoC development were defined in product planning, design & development, and process & manufacturing technology; expert surveys based on analytical hierarchy process (AHP) were conducted to prioritize the key drivers and evaluate the changes of priority under AD-SoC roadmap scenarios. The survey results revealed that the key drivers in product planning and design & development are more important than those in process & manufacturing technology. Especially, setting safety margins and selecting optimal IP and process technology

matter most in product planning, while SoC architecture design and designer & developer capability are most important in design & development. Such key drivers are far more important under aggressive roadmap scenario, where similar or higher performance targets are set against alternative general-purpose SoCs and latest IP (Intellectual Property) or process technology are implemented.

This study provides practical implications to automotive OEMs or Tier 1 suppliers. In product planning performance requirement should be rationalized and IP or process technology should be selected on optimal basis; in design and development recruiting top-level SoC architects and internalizing Neural Processing Unit (NPU) should be considered, while open innovation with eco-system is pursued. In addition, stepwise roadmap strategy which adopts conservative approach for the first generation and sets stretched target for the next generation should be considered with priority.

Keywords: Autonomous Driving, Custom System on Chip (SoC), Key Drivers, Analytic Hierarchy Process (AHP), Technology Roadmap
Student Number: 2021-20677