creative commons

COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

공학석사 학위논문

Switched Capacitor 구조를 활용한 세분화 된 RDAC을 기반한 SAR ADC의 설계 및 분석

Design and Analysis of a SAR ADC with Segmented RDAC Using Switched Capacitor Structure

2023년 8월

서울대학교 대학원

전기 정보 공학부

장 유 석

Switched Capacitor 구조를 활용한 세분화 된 RDAC을 기반한 SAR ADC의 설계 및 분석

지도교수 김 수 환

이 논문을 공학석사 학위논문으로 제출함

2023 년 8 월

서울대학교 대학원

전기 정보 공학부

장 유 석

장유석의 공학석사 학위논문을 인준함

2023 년 8 월

위 원 장	홍 용 택	(인)
부위원장	김 수 환	(인)
위 원	이 주 열	(인)

초 록

본 논문에서는 세분화 된 저항 digital-to-analog converter 구조와 switched capacitor 구조를 활용해 더 적은 면적으로 동일한 resolution 을 얻을 수 있는 successive approximation register analog-to-digital converter 의 세분화 된 RDAC 의 저항 mismatch 가 회로에 주는 영향을 분석하여 수정하고 이를 기반으로 설계 된 SAR ADC 를 제안한다.

기존의 저항 string ladder DAC 은 monotonicity 관점에서 장점이 있지만 설계하고자 하는 비트의 수가 증가 할 때 마다 DAC 크기가 2 배로 증가 한다. 이는 전체 회로의 크기에 크게 영향을 미치기 때문에 효율적으로 DAC 의 크기를 줄이는 것이 설계 관점에서 매우 중요하다.

본 논문에서는 switched capacitor, MSB 와 LSB 를 나누어 활용한 세분화 된 저항 DAC 을 활용하여 분배 된 비트의 비율을 맞추어 세분화 구조를 설계 하였다. 이 때 저항 DAC 의 저항 mismatch 에 의한 differential non-linearity(DNL) 및 integral non-linearity(INL)의 결과를 분석 하였으며, linearity 기능 저하를 줄이기 위해 세분화 된 저항 DAC 의 MSB array 와 LSB array 의 비율의 구성 방법을 수정하여 제안 된 DAC 의 성능이 향상되었음을 DNL 및 INL 시뮬레이션을 통해 증명하였다. 시뮬레이션 결과 제안 된 mismatch 를 보완한 세분화 된 저항 DAC 구조는 missing code 가 발생하지 않으며, DNL 은 +0.252/-0.374 LSB 의 결과를 얻었으며 INL 또한

+1.357/−1.456 LSB 의 결과를 확인하였다. 전체 면적은 0.3489mm^2 이며, 5V 아날로그 공급 전압, 1.55V 디지털 공급 전압에서 9.94mW 의 전력을 소모한다.

주요어 : Successive approximation ADC(SAR ADC), Linearity, Differential non−linearity(DNL), Integral non−linearity(INL), Resistive digital−to−analog converter(RDAC), Switched Capacitor

학 번 : 2021−27908

목 차

제 1 장 서 론 1
제 1 절 연구의 배경 1
제 2 절 SAR ADC의 기본 구조 및 동작 원리 3

제 2 장 저항 string ladder DAC 7
제 1 절 저항 string ladder의 특징 7
제 2 절 저항 string ladder의 design issues 8
1. 저항 string ladder DAC large area consumption 8
2. 저항 string ladder DAC의 mismatch issue 9
제 3 절 Segmented 저항 string ladder DAC 10

제 3 장 Switched capacitor를 활용한 segmented RDAC 기반의 SAR ADC의 설계 및 측정 결과 13
제 1 절 Switched capacitor 동작 원리 13
제 2 절 Switched capacitor 구조를 활용한 segmented RDAC 16
제 3 절 Switched capacitor를 활용한 segmented RDAC 기반의 SAR ADC의 구현 20
제 4 절 Layout 및 측정결과 23
1. Layout 23
2. 측정 결과 24

제 4 장 제안하는 segmented RDAC 27
제 1 절 저항 mismatch 분석 27
제 2 절 시뮬레이션 결과 29

제 5 장 결론 33

참고문헌 34

Abstract 35

표 목차

[표 1] 제안하는 회로의 RDAC 수정 전/후 성능 비교 요약....32

그림 목차

[그림 1] 기본적인 SAR ADC의 구조 3
[그림 2] 일반적인 SAR ADC timing diagram 4
[그림 3] 이진 탐색 알고리즘 4
[그림 4] 3 비트 SAR ADC의 이진 탐색을 통한 변환 과정:
(a) 첫 번째 비트 decision cycle
(b) 두 번째 비트 decision cycle
(c) 세 번째 비트 decision cycle 5
[그림 5] 심플한 저항 string ladder DAC 구조 7
[그림 6] N-비트 저항 string ladder DAC 8
[그림 7] 4-비트 저항 string ladder DAC의 구조와 4-비트 Segmented 저항 string ladder DAC의 구조..... 11
[그림 8] Segmented string 구조와 일반 string 구조 출력 비교..... 11
[그림 9] Switched capacitor 1단계 동작 및 timing diagram 13
[그림 10] Switched capacitor 2단계 동작 및 timing diagram 13
[그림 11] Segmented RDAC의 MSB array 및 LSB array 구조..... 17
[그림 12] Switched capacitor의 구조 및 timing diagram 17
[그림 13] Switched capacitor의 동작 순서..... 18
[그림 14] Switched Capacitor 구조를 활용한 SAR ADC의 회로도 21
[그림 15] SAR ADC의 timing diagram 22
[그림 16] 제안된 회로 레이아웃..... 23
[그림 17] 테스트 보드..... 24
[그림 18] 측정을 위한 장비 세팅 24
[그림 19] 측정된 DNL 그래프..... 25
[그림 20] 측정된 INL 그래프..... 25
[그림 21] 측정된 출력 vs 이상적인 출력 그래프..... 26

[그림 22] 새로운 저항 array의 1-비트 MSB cell과 1-비트 LSB cell 28
[그림 23] DNL 시뮬레이션 결과 그래프 30
[그림 24] INL 시뮬레이션 결과 그래프 30
[그림 25] 수정 전 후 시뮬레이션 결과 INL 그래프 31
[그림 26] FFT-시뮬레이션, f_{in} = 149.987kHz (1024 points) 31

제 1 장 서 론

제 1 절 연구의 배경

현대 시대의 시스템에는 정확하고 효율적인 기술이 기본으로 요구가 된다. 특히 감지 및 측정 같은 센서 시스템에는 더욱더 효율적이고 정확한 결과 값을 요구한다. 이는 온도 감지, 미세먼지 감지, 물체의 감지 등 여러 분야에서 다방면으로 활용이 되며 실생활에도 밀접하게 관계가 되어 있고 설치형과 휴대용을 가리지 않고 그 수요의 증가가 꾸준하다. 형태를 가리지 않고 편리한 휴대 및 설치를 위해서는 면적 감소가 필수적이다. 이를 위해서 센서 시스템의 핵심 구조 중 하나인 ADC 는 크기가 작고 높은 resolution 을 지닌 구조가 요구 된다.

SAR ADC 는 DAC, 비교기, 그리고 디지털로직으로만 구성 된 SAR logic 으로 구성이 되어 있어 다른 ADC 과 비교하였을 때 비교적 간단한 구조로 되어 있다. 이는 면적 감소 측면에서 큰 장점을 보여준다. SAR ADC 의 크기를 줄이기 위해서는 전체 회로의 가장 큰 면적을 담당하는 DAC 의 크기를 효율적으로 줄이는 것이 가장 중요하다. 저항 DAC 을 설계할 때는 저항들 간의 mismatch 와 저항의 크기를 고려하여 설계 해야 한다. Mismatch 의 영향을 최소화 하려면 보다 큰 면적이 요구 되지만 적은 면적을 사용하여 DAC 을 설계 해야 할 경우 그 resolution 에 제약이 걸린다. 저항 string DAC 의 면적을 효율적으로 줄이기 위해 switched capacitor 구조와 MSB array 와 LSB array 를

나눈 저항 string 을 사용하여 만든 DAC 을 제안한다. 또한 측정 된 linearity 분석을 바탕으로 수정하여 설계한 세분화 된 저항 string ladder DAC 의 linearity 를 ramp 시뮬레이션을 통해 검증하였다. 이를 통해 더 적은 면적으로 기존의 성능을 가진 ADC 를 구현한다.

제 2 절 SAR ADC 의 기본 구조 및 동작 원리

SAR ADC 의 구성은 일반적으로 그림 1. 과 같이 비교기, DAC, 그리고 SAR logic 으로 이루어져 있다. SAR ADC 의 작동은 SAR logic 에 의해 주어지는 초기 DAC 출력(Full scale 의 절반)과 들어오는 입력을 비교기를 통해 비교하며 시작된다.

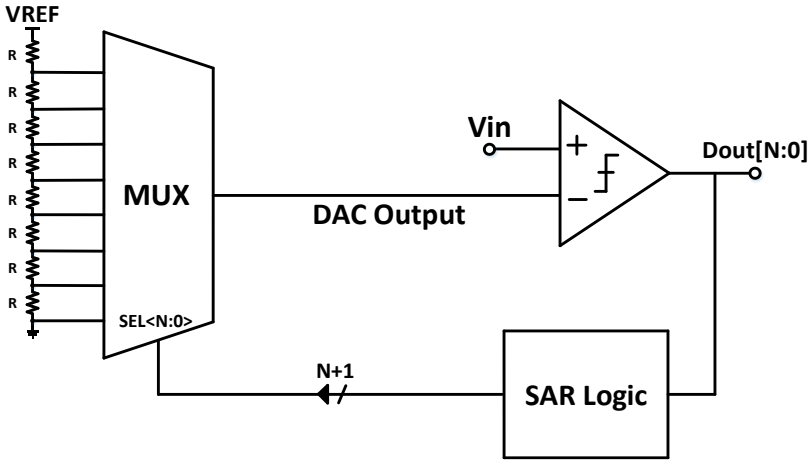


그림 1. 기본적인 SAR ADC 의 구조

SAR ADC 의 동작 타이밍은 그림 2. 와 같이 나타낼 수 있다. 클락 cycle 은 샘플링과 변환 과정을 위해 n+1 번 반복하며 그림 3. 과 같은 이진 탐색 알고리즘을 통해 MSB 부터 LSB 까지 순차적으로 정해 지면 출력을 내보낸다. 이러한 과정을 동작 중에는 계속해서 반복하게 된다.

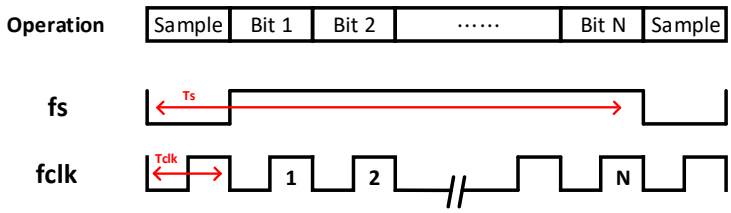


그림 2. 일반적인 SAR ADC timing diagram

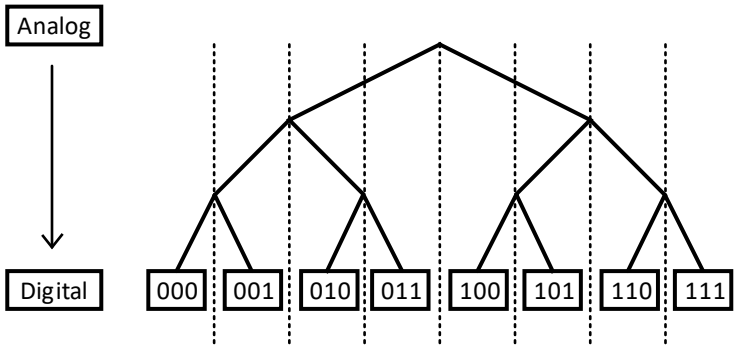
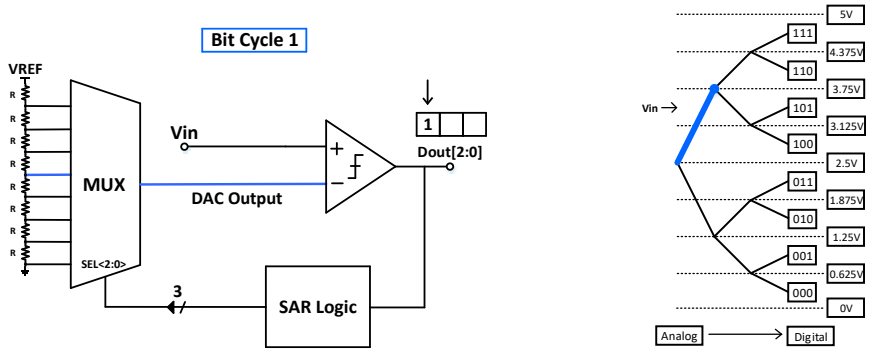
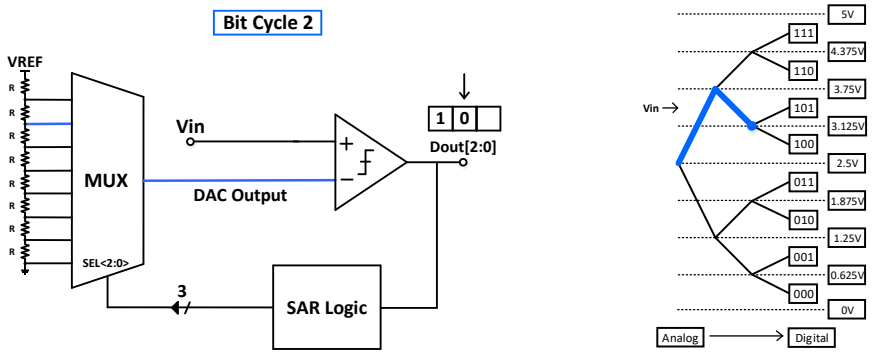


그림 3. 이진 탐색 알고리즘

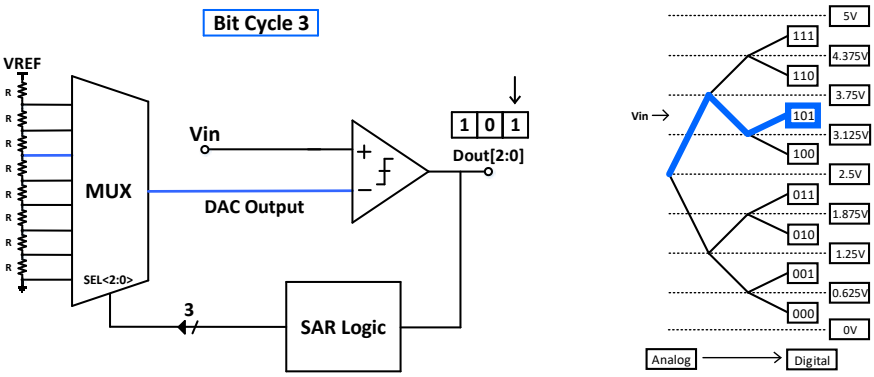
외부에서 변환의 시작을 알리는 신호(Start of conversion)이 들어오면 SAR logic 의 초기 설정 디지털 값에 의해 R-ladder DAC 은 $\frac{VREF}{2}$를 멀티플렉서를 통해 출력하게 되며 들어오는 입력 전압 값과 비교되어 하나의 디지털 코드(MSB)를 출력한다. 이렇게 출력 된 디지털 코드는 다시 SAR logic 으로 인가되며 주어진 값에 따라 logic 을 통해 DAC 의 출력을 결정 할 값을 멀티플렉서에 전달 하게 되고 다음 clock cycle 동안 새로운 DAC 출력을 비교기에 입력하게 된다. 이러한 동작은 n 번 만큼 반복하며 LSB 까지 전부 결정이 완료 되면 최종적으로 디지털 출력과 함께 변환의 끝을 알리는 신호(End of conversion)를 내보낸다.



(a)



(b)



(c)

그림 4. 3 비트 SAR ADC 의 이진 탐색을 통한 변환 과정: (a) 첫 번째 비트 decision cycle (b) 두 번째 비트 decision cycle (c) 세 번째 비트 decision cycle

첫 번째 cycle 에서 처음 DAC 의 출력은 $\frac{VDD}{2}$ 이며 Vin 과 비교가 된다. Vin 은 실제 $\frac{VDD}{2}$ 보다 큰 전압 값을 가지고 있으므로 비교기에서 디지털 값 “1” 을 출력하게 된다. 이 결과로 DAC 의 다음 출력은 기존 $\frac{VDD}{2}$ 의 그 절반 값인 $\frac{VDD}{4}$ 를 더하여 $\frac{VDD}{2}+\frac{VDD}{4}$ 가 되며 그림 4(b). 와 같이 새로운 DAC 출력과 Vin 은 비교되어 다음 비트를 정하게 된다. 두 번째 cycle 에서는 Vin 값이 새로운 DAC 의 출력보다 작으므로 디지털 값 “0”을 출력하게 된다. 세 번째 cycle 에서도 앞에서의 과정과 같은 동작을 반복해 마지막 DAC 의 출력은 $\frac{VDD}{4}$ 의 절 반 값인 $\frac{VDD}{8}$ 를 전 DAC 출력에서 빼주어 $\frac{5}{8}VDD$이 되며 Vin 값과 비교하게 되어 LSB 까지 출력하게 된다 [1].

제 2 장 저항 string ladder DAC

제 1 절 저항 string ladder 의 특징

그림 5. 는 기본적인 저항 string ladder DAC 을 나타낸다. 위 구조는 저항 divider 를 기본으로 사용하여 DAC 의 특성 중에 중요한 요소 중 하나인 monotonicity 가 잘 보장 된다는 장점이 있다. 주어진 디지털 값은 그 아래 디지털 값보다 항상 높은 출력 값을 가지며, 그 위의 디지털 값은 항상 더 높은 출력 값을 가진다는 특징은 monotonicity 를 보장한다. 일반적으로 0V 부터 VDD – 1LSB 값까지의 출력을 낼 수 있어 저항 string ladder 구조는 range 의 기준에서도 장점이 있다 [2].

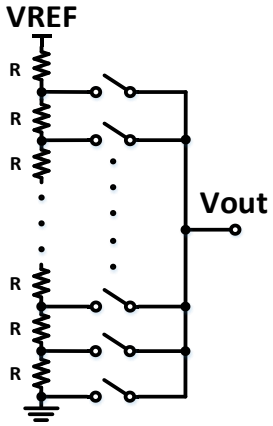
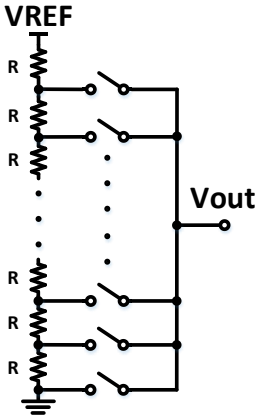


그림 5. 심플한 저항 string ladder DAC 구조

제 2 절 저항 string ladder 의 design issues

1. 저항 string ladder DAC 의 large area consumption

그림 6. 에서 보여지는 것과 같이 저항 string ladder DAC 은 해당 비트에 따라 저항과 스위치의 개수가 정해진다. 만약 주어진 DAC 의 구조가 N-비트라면 2^N 개의 동일한 저항과 스위치가 필요하다. 따라서 높은 resolution 을 지닌 DAC 을 설계 할 때에는 무수히 많은 저항과 스위치가 필요하게 되며 일반적으로 높은 비트의 구조를 설계 하려면 넓은 면적을 요구하게 되기 때문에 이는 효율적이지 못한 설계가 된다. 높은 비트를 요구하는 DAC 의 구조를 설계 할 때 면적에서의 효율을 증가 시키려면 일반적인 string 구조가 아닌 DAC 의 크기를 적정한 수준으로 줄여줄 수 있는 구조가 요구된다 [2].



Required number of R	2^N
Required number of Switch	2^N

그림 6. N-비트 저항 string ladder DAC

2. 저항 string ladder DAC 의 mismatch issue

저항의 mismatch 는 DAC 의 성능과 크기를 정하는데 중요한 요소로 여겨진다. 저항들의 크기는 모두 동일한 크기로 정확하게 만들어져야 문제없이 원하는 아날로그 값을 정확하게 출력 할 수 있다. 만약 각 저항들의 크기가 mismatch 에 의해 설계한 값과 달라지면, 예측했던 출력과 비교하였을 때, 부정확한 값을 출력하게 되며 전체 성능이 저하된다.

저항의 Mismatch 는 $\Delta R = R_i - R_{nom}$ 이며 unit 저항에 대한 mismatch ΔR 의 표준 편차 σ 는 면적의 제곱근과 반비례한 관계를 가지고 식(1)과 같이 표현 할 수 있다 [3-4].

$$\sigma^2_{\frac{\Delta R}{R_{nom}}} = \frac{1}{Area} \tag{1}$$

DAC 의 성능을 위한 저항 mismatch 의 표준편차를 줄이기 위해서는 저항의 면적의 증가가 요구 되는데 DAC 의 면적 증가에 따라 전체 회로의 면적이 증가한다는 단점 또한 존재한다.

제 3 절 Segmented 저항 string ladder DAC

설계하려는 SAR ADC 의 비트에 따라 string DAC 에서 요구되는 저항의 수가 정해진다. 1 비트의 resolution 을 증가 시키기 위해서는 두배의 면적 소모가 이루어지기 때문에 높은 비트의 resolution 을 가진 ADC 의 설계에서는 커지는 면적의 문제를 해결하기 위해 상위 비트와 하위 비트를 나눈 segmented string 구조가 제안되었다.

Segmented 저항 string ladder DAC 은 MSB 와 LSB 의 비트 수를 분배해 설정해준다. Segmented 저항 string ladder DAC 은 그림 7. 과 같은 구조로 이루어져 있으며, MSB 의 resolution 을 M-비트, 그리고 LSB 의 resolution 을 L-비트라고 지정해 주고 전체 ADC 의 resolution 을 N-비트라 가정 하였을 때, $N = M + L$ 이다. MSB 와 LSB 의 분배 비트에 따라 저항의 비율을 맞추어 주어 MSB 및 LSB 각각의 역할을 수행 할 수 있게 해준다. 디지털 코드는 각각의 MSB 와 LSB 파트에 인가되며 이 두 값의 합에 따른 출력을 제공한다. 이러한 원리를 사용하여 segmented string 구조를 사용하게 되면 기존의 string DAC 과 같은 성능을 유지하면서 더 작은 면적을 사용할 수 있기 때문에, 높은 resolution 을 요구하는 DAC 을 필요할 때 사용이 된다. 그림 8. 은 MSB 와 LSB 각각의 출력을 디지털 입력 코드에 따라 보여주는 것이며, 일반적인 4 비트 DAC 의 출력과 4 비트 segmented string 구조의 출력이 동일하게 나오는 것을 나타낸다.

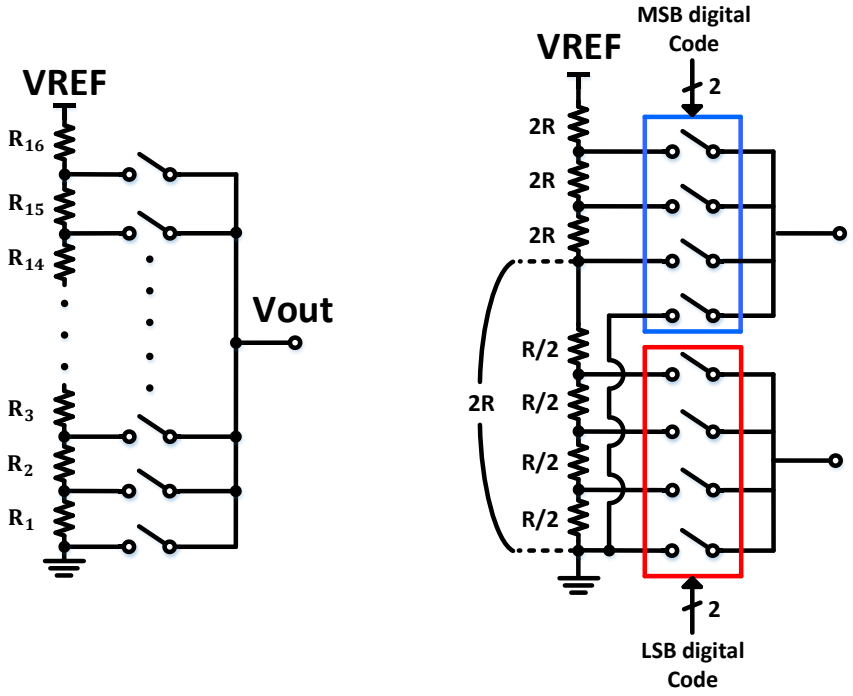


그림 7. 4-비트 저항 string ladder DAC의 구조와 4-비트 segmented 저항 string ladder DAC의 구조

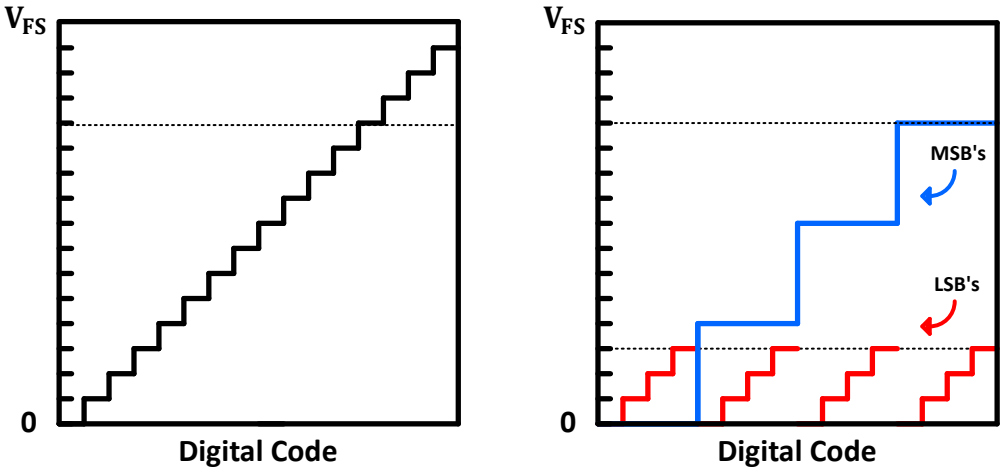


그림 8. Segmented string 구조와 일반 string 구조 출력 비교

그림 8. 에서 볼 수 있듯 segmented string 구조를 사용하였을 경우, 더 적은 스위치와 저항으로 기존의 string DAC의 역할을 할 수 있다. 하지만 이 경우에는 MSB와 LSB의 저항 비율이 일정하게 유지가 되어야 하며 앞서 언급한 mismatch 등의 원인으로 인해 저항의 값이 다를 수 있다. 저항의 값이 달라질 경우 전체 시스템의 성능 저하가 발생 할 수 있다.

제 3 장 Switched capacitor를 활용한 segmented RDAC 기반의 SAR ADC의 설계 및 측정 결과

제 1 절 Switched capacitor 동작 원리

Switched capacitor 구조의 기본 동작은 크게 3 단계로 나눠진다. 첫 번째 단계에서는 그림 9. 와 같이 P1 스위치들이 켜지게 되면서 샘플링 capacitor 에 V_2와 V_{COM}의 차이만큼 전하가 생성이 된다 ($V_{COM} = \frac{VDD}{2}$).

$$Q_{c_s,P1} = C_s(V_2 - V_{COM}) \tag{2}$$

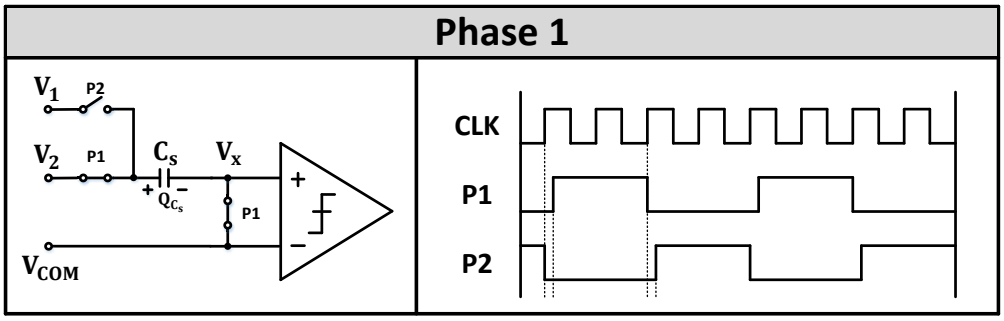


그림 9. Switched capacitor 1단계 동작 및 timing diagram

두 번째 단계에서는 그림 10. 과 같이 P1 스위치들이 꺼지고 P2 스위치가 켜지면서 시작 된다. 이때 노드 X 는 floating 노드가 되며

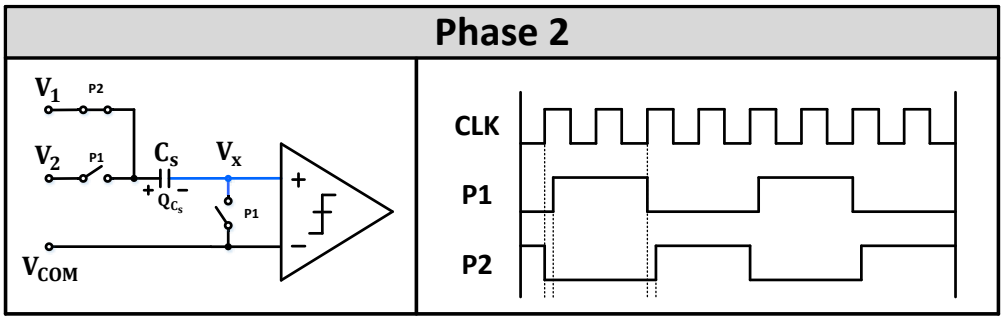


그림 10. Switched capacitor 2단계 동작 및 timing diagram

전하가 빠져나올 path 가 없기 때문에 capacitor 의 전하 량은 보존이 된다. 노드 X 의 전압인 V_x의 값은 다음 입력인 V_1과 보존 되어 있던 전하 양에 의해 결정되며 기존의 전하 량은 동일하기 때문에 V_x 값은 $Q_{C_s,P1} = Q_{C_s,P2}$인 점을 활용하여 식(4)와 같이 표현 할 수 있다.

$$Q_{c_s,p2} = C_s(V_1 - V_X) \tag{3}$$

$$V_X = V_1 - V_2 + V_{COM} \tag{4}$$

이렇게 정해진 V_x 값은 비교기의 양의 입력에 인가되며 V_{COM} 값과 비교가 되어 $V_X > V_{COM}$일 경우 디지털 출력 '1', $V_X < V_{COM}$일 경우에는 디지털 출력 '0'을 얻게 된다. 식(4)를 V_{COM}과 비교하는 것을 풀어 쓰면 식 (5)과 같이 표현 할 수 있으며

$$V_X = V_1 - V_2 + V_{COM} > V_{COM} \tag{5}$$

$$V_1 > V_2 \tag{6}$$

식(5)을 V_1과 V_2로 나타내면 식(6)과 같이 표현이 된다. $V_X > V_{COM}$의 경우는 $V_1 > V_2$와 동일하며 V_1의 전압이 V_2보다 더 클 경우 디지털 출력 '1'을 주게 되는 것을 알 수 있다 [5]. 여기서 V_1을 SAR ADC 의 입력, V_2를 DAC 의 출력으로 사용하면서 전체 SAR ADC 의 이진 탐색 기능의 비교에 사용이 된다.

마지막 단계에서는 X 노드를 V_{COM} 에 연결하고 노드의 전하를 방전하여 V_{COM}으로 reset 시켜준다. 마찬가지로 P2 스위치는 꺼지며, P1 스위치들이 켜지면서 첫 단계에서의 과정을 다시 반복하게 된다. 한가지 다른 점은 DAC 의 출력의 변화이다. 전 디지털 값에 의해 다른 출력을 뱉은 DAC 의 입력이 V_2로 가면서 ADC 의 입력은 새로운 전압과 비교가 되며 그 다음 비트를 정하게 된다.

제 2 절 Switched capacitor 구조를 활용한 segmented RDAC

본 논문에서는 RDAC 을 효율적으로 설계하기 위해 MSB 와 LSB 가 분리되어 사용되는 segmented RDAC 구조를 switched capacitor 구조를 활용하여 설계하였다. 상위 6 비트는 MSB, 하위 6 비트는 LSB 에 할당되어 분리되어 있는 구조이다. 그림 11. 과 같이 RDAC 이 구성이 되어 있으며 MSB 저항 array 와 LSB 저항 array 의 unit 이 각각 다르게 구성이 되어있다. MSB array 의 unit 값은 두개의 unit 저항을 직렬로 연결하여 구성하였으며 LSB array 의 unit 값은 두개의 저항을 병렬로 연결하여 MSB 와 LSB 의 비율을 4:1 로 맞추어 구성하였다.

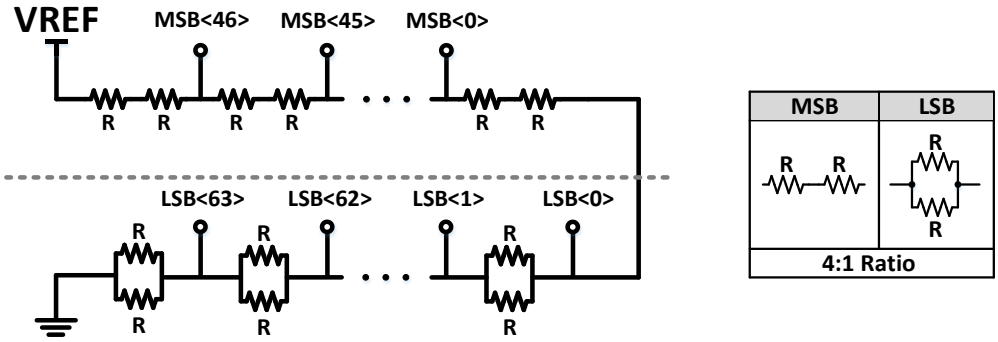


그림 11. Segmented RDAC의 MSB array 및 LSB array

일반적인 segmented RDAC 구조와는 다르게 1024 LSB 코드까지는 LSB array 의 LSB 가 전부 사용되면 MSB 가 증가하는 방식이 아닌 후에 사용 되는 그림 12. 와 같은 switched capacitor 구조의 MSB sampling capacitor($C_{s,MSB}$)와 LSB sampling capacitor($C_{s,LSB}$)의 비율을

혼합하여 전체 MSB 와 LSB 의 비율인 64:1 을 맞추어 MSB 의 1 비트를 구현한다. 1024 LSB 이후 입력 코드부터는 MSB array 또한 사용되며 일반적인 segmented 구조와 동일하게 LSB array 가 전부 사용 되면 MSB 의 값이 증가하는 방식이다.

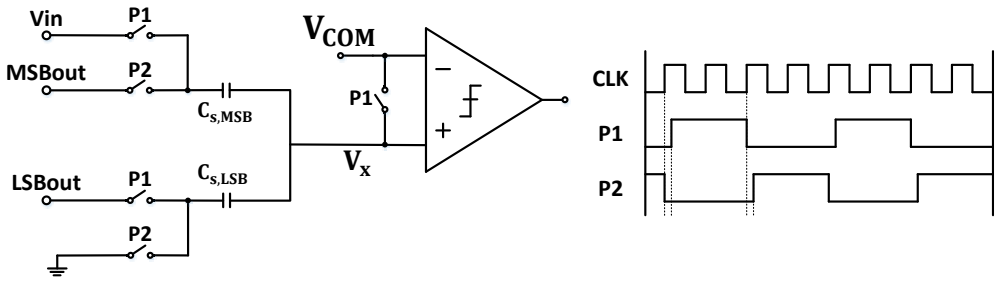


그림 12. Switched capacitor의 구조 및 timing diagram

Switched capacitor의 동작 순서는 그림 13. 과 같이 진행이 된다. Reset이 풀린 후 P1 스위치들이 연결 되면서 V_{in} 과 LSB_{out} 이 각각 V_{COM} 과 의 차이만큼의 값을 $C_{s,MSB}$ 와 $C_{s,LSB}$ 에 샘플링이 하게 되며 전하가 생성이 된다.

$$Q_{c_s,MSB} = C_{s,MSB}(V_{in} - V_{COM}) \quad (7)$$

$$Q_{c_s,LSB} = C_{s,LSB}(V_{LSB} - V_{COM}) \quad (8)$$

Phase 1 동안 샘플링 capacitor 들에 저장 된 전하는 $Q_{c_s,total}$이며 $C_{s,MSB} = 16C_{s,LSB}$ 이기 때문에 식 (9)와 같이 표현 할 수 있다.

$$Q_{c_s,total} = 16C_{s,LSB}(V_{in} - V_{COM}) + C_{s,LSB}(V_{LSB} - V_{COM}) \quad (9)$$

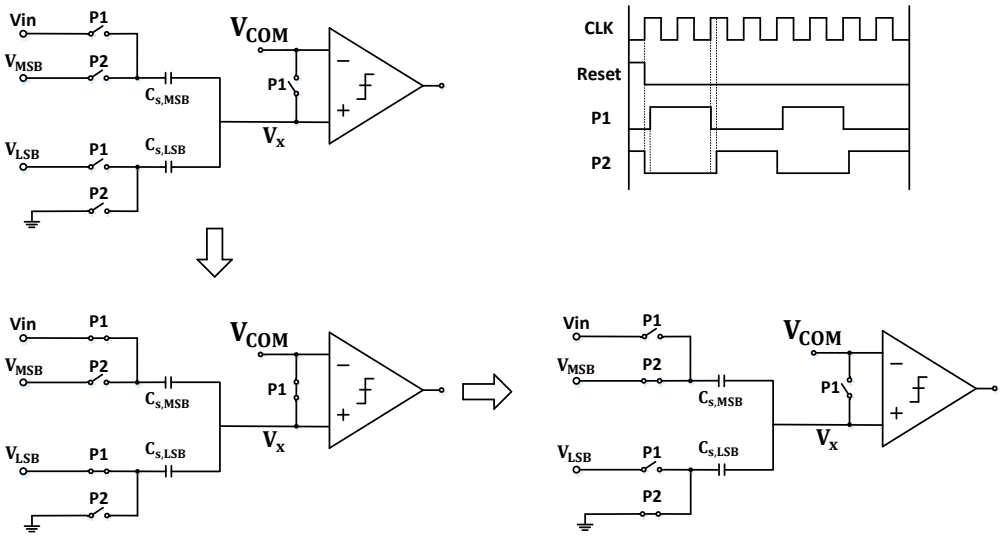


그림 13. Switched capacitor의 동작 순서

P1 스위치 들이 꺼지고 P2 스위치 들이 연결되면서 phase 2 가 진행 된다. 이 때 V_x 노드는 floating 노드가 되며 전하의 총 량은 phase 1 때 생성 된 $Q_{c_s,total}$ 값을 지니게 되고 다음 입력인 V_{MSB}에 의해 V_x의 값이 정해 진다. Phase 2 때의 $Q_{c_s,total}$ 값은 식(10)과 같이 표현 할 수 있다.

$$Q_{c_s,total} = 16C_{s,LSB}(V_{MSB} - V_x) + C_{s,LSB}(0 - V_x) \qquad (10)$$

식(9)와 식(10)을 사용하여 V_x에 대한 식으로 표현하면 식(11)처럼 표현 할 수 있으며

$$V_x = \frac{16}{17}V_{MSB} - \frac{16}{17}V_{in} + V_{COM} - \frac{1}{17}V_{LSB} \qquad (11)$$

식(11)를 V_{COM}과 비교하는 것으로 풀어 쓰면 식(12)와 식(13)처럼 표현 된다. $V_{MSB} - \frac{1}{16}V_{LSB} < V_{in}$일 경우 디지털 출력 '0', $V_{MSB} - \frac{1}{16}V_{LSB} > V_{in}$일 경우에는 디지털 출력 '1'을 얻게 되는 것을 알 수 있다.

$$V_{MSB} - \frac{1}{16}V_{LSB} < V_{in} \tag{12}$$

$$V_{MSB} - \frac{1}{16}V_{LSB} > V_{in} \tag{13}$$

해당 구조를 통해 16:1 비율을 맞추고 RDAC 에서의 4:1 비율을 혼합하여 MSB와 LSB의 6비트 크기의 차이를 구현해낸다.

제 3 절 Switched Capacitor 를 활용한 segmented RDAC 기반의 SAR ADC 의 구현

본 논문에서 제안하는 switched capacitor 와 segmented RDAC 구조를 활용한 12-비트 SAR ADC 는 그림 14. 와 같은 구조로 구현되었다. Single-ended 구조이며 312.5 kHz 의 sampling rate 을 지닌 구조로 설계하였다.

SAR ADC 회로의 동작 시작 전에 Reset_I 신호가 1 에서 0 으로 가면서 SAR logic 의 출력인 Dout<11:0>의 값을 Vcom 으로 설정해준다. SAR ADC 회로의 시작은 동작의 시작을 알리는 입력신호 start of conversion(SOC_I)으로부터 진행된다. SOC_I 펄스 신호가 인가되면 clock divider 를 통해 switched capacitor 에 사용 될 non-overlapping clock 신호 및 SAR logic 에 사용 될 clock 신호들을 생성 해준다. SOC_I 신호가 인가 된 후 binary search 를 통해 12 번의 Dout<11:0> 출력이 나오면 최종 출력인 ADCout<11:0>을 출력해내며, 0.5 clock 신호 뒤에 data conversion 의 종료를 알리는 EOC_O 신호를 내보낸다.

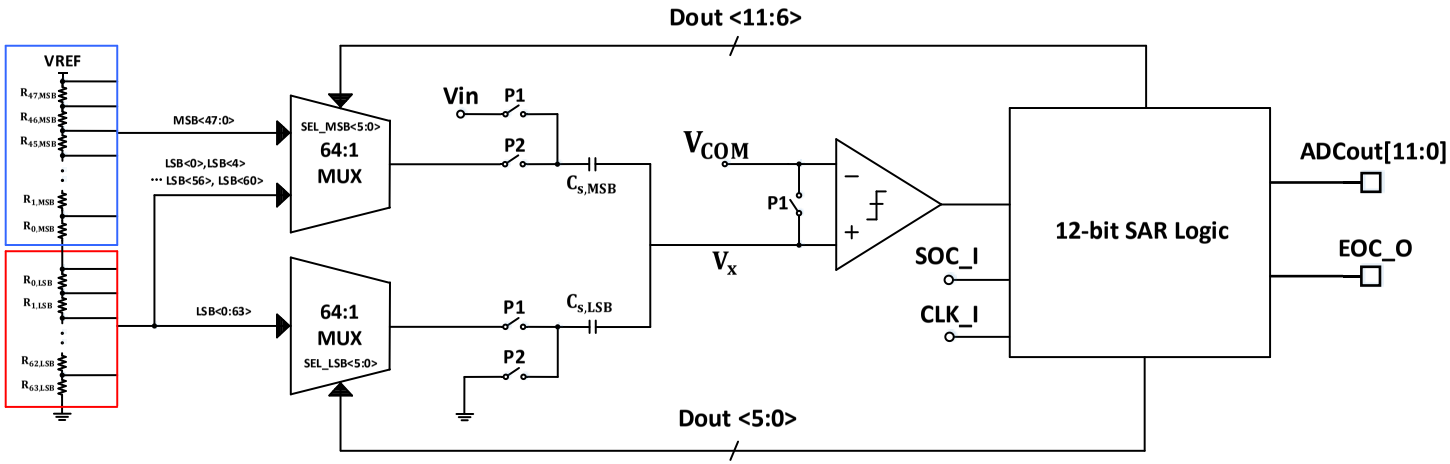


그림 14. Switched Capacitor 구조를 활용한 SAR ADC의 회로도

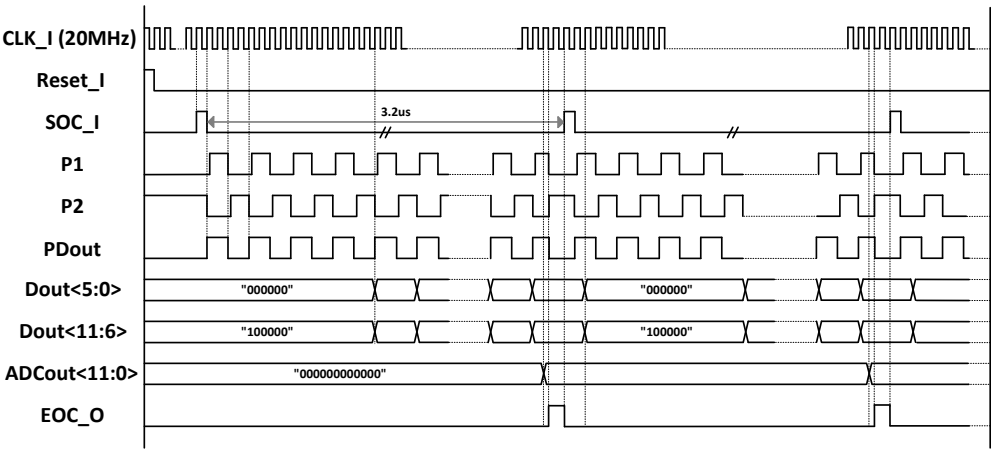


그림 15. SAR ADC의 timing diagram

제 4 절 Layout 및 측정 결과

1. Layout

본 회로는 0.13μm CMOS 공정을 사용하여 구현하였다. 그림 16. 은 제안된 회로의 검증을 위한 레이아웃을 나타낸다. 전체 회로 구성은 RDAC, comparator, 2 개의 64:1 멀티플렉서, switched capacitor 구조에 사용 될 non-overlapping clock 신호를 생성 해주는 clock divider 그리고 binary search 기능을 담당 해주는 SAR logic 으로 이루어진다.

전체 면적은 0.3489mm^2 이며, 5V 아날로그 공급 전압, 1.55V 디지털 공급 전압에서 9.94mW 의 전력을 소모한다.

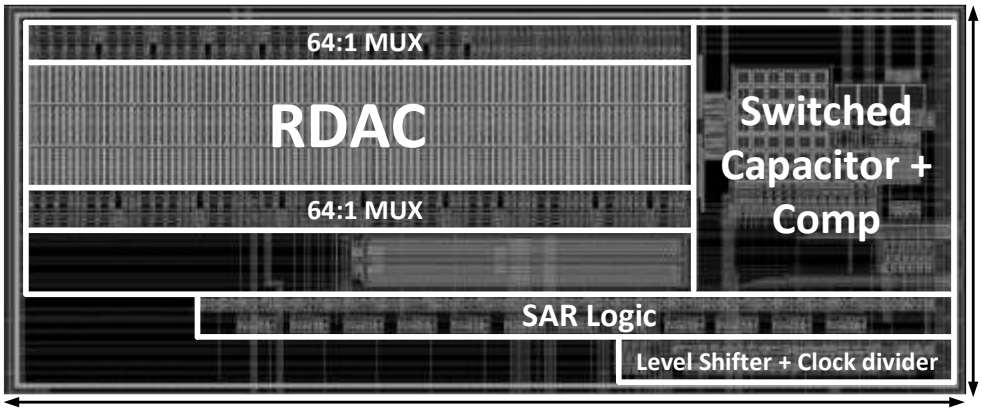


그림 16. 제안된 회로 레이아웃

2. 측정 결과

테스트 칩은 0.13μm CMOS 공정을 사용하여 제조되었다. 그림 17. 은 회로의 검증을 위한 테스트 보드이며 그림 18. 은 회로 측정을 위한 장비 세팅을 나타낸다. Ramp 시뮬레이션을 위해 0 부터 4095 LSB 코드까지 1 LSB 단위로 증가시키며 각 코드 마다 16 개의 데이터가 출력되었다 [6].

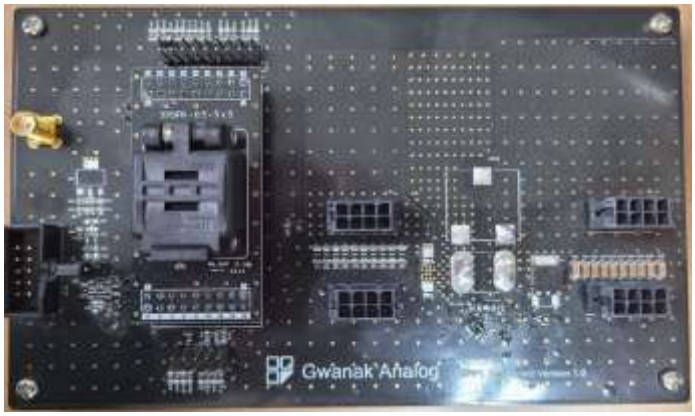


그림 17. 테스트 보드

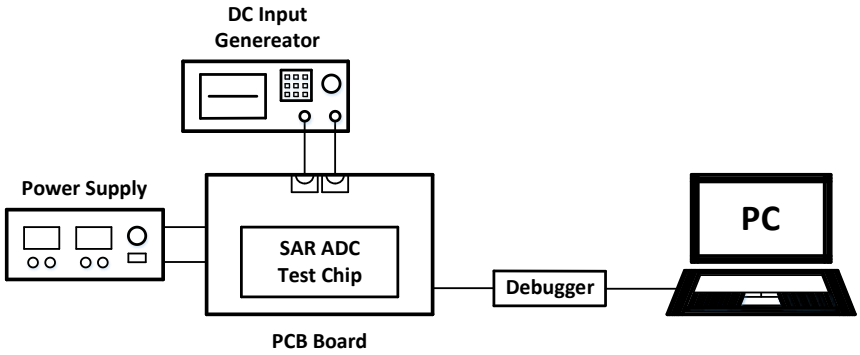


그림 18. 측정을 위한 장비 세팅

그림 19. 는 SAR ADC 의 DNL 결과 그래프이며 그림 20. 은 SAR ADC 의 INL 결과 그래프이다.

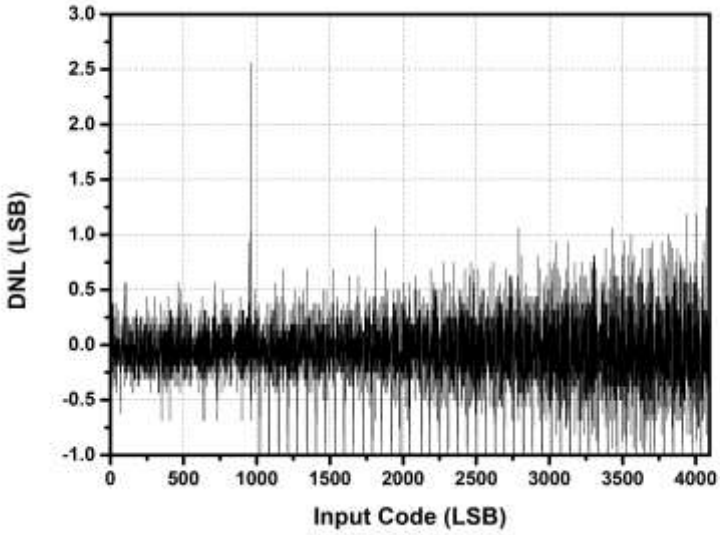


그림 19. 측정된 DNL 그래프

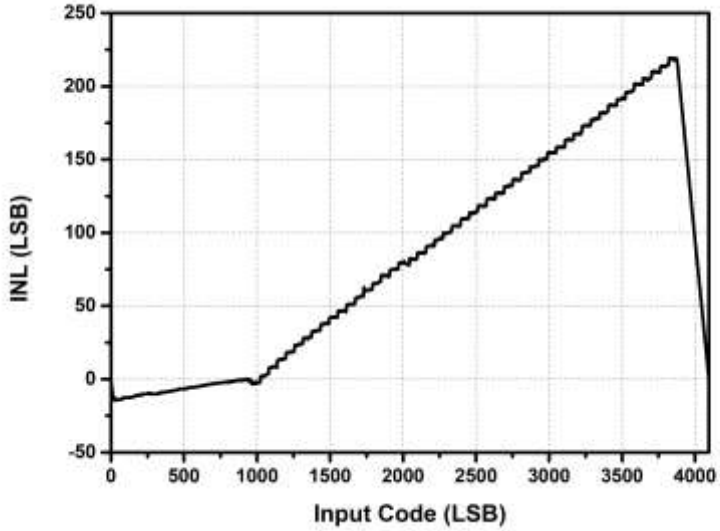


그림 20. 측정된 INL 그래프

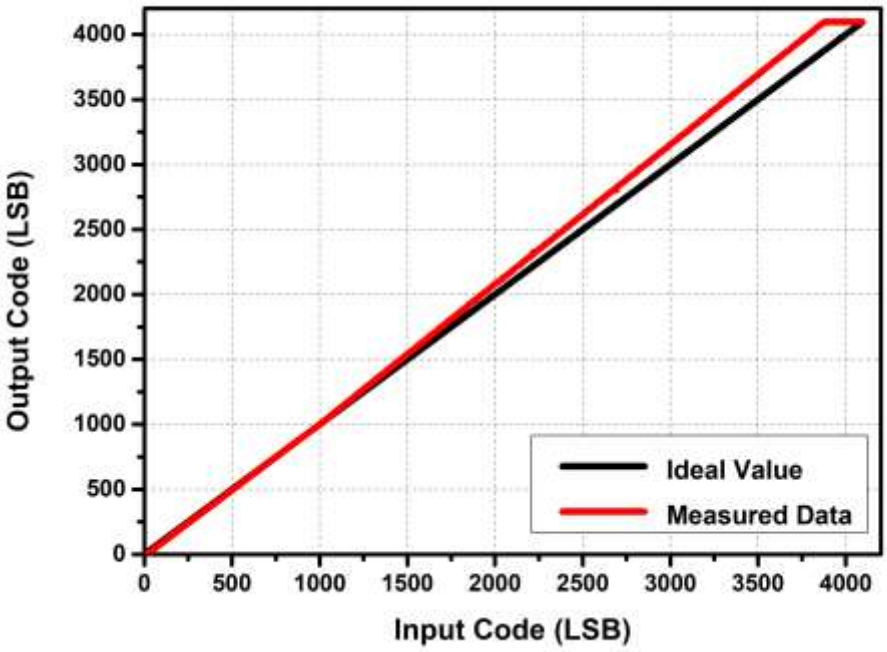


그림 21. 측정된 출력 vs 이상적인 출력 그래프

결과 그래프를 보았을 때, DNL 의 절대 값 수치와 INL 의 누적 양은 LSB 저항 array 만을 사용하는 1024 LSB 입력 코드 이전 때 비교적 적었으며 MSB 저항 array 까지 사용하는 1024 LSB 입력 코드 이후 때는 더 큰 DNL 절대 값 수치를 보이며, 64 코드 마다 missing 코드가 발견 되었다. 이는 MSB 저항 array 의 MSB 값이 증가 할 때이며, 1 비트 MSB 와 1 비트 LSB 의 4:1 비율이 mismatch 로 인해 변동 된 것을 확인 할 수 있다. 결과적으로 1024 LSB 입력 코드 이후 때부터 일정한 수치의 INL 이 증가하는 것을 확인 할 수 있다.

제 4 장 제안하는 segmented RDAC

제 1 절 저항 mismatch 의 분석

기존의 RDAC 의 segmented 구조는 MSB 와 LSB 의 4:1 비율을 맞추어 그 기능을 하게 하였다. 기존의 방법으로 최소한의 unit 저항의 개수로 4:1 비율을 구성 할 수 있어 면적에서의 이점을 가져 갈 수 있었다. 하지만 이 경우 MSB array 를 같이 사용하였을 때, mismatch 로 인해 일정한 INL 증가 현상이 보였으며, 이는 4:1 의 비율을 맞췄음에도 4:1 의 비율이 깨졌음을 뜻한다. MSB array 까지 사용을 시작하는 구간인 1024 LSB 입력 코드부터 V_{ref}까지 총 3072 LSB 코드가 있으며 현재 사용 된 segmented 저항 string ladder DAC 의 MSB 의 총 개수는 $\frac{3072}{64} = 48$ 개 이다. 이 구간에서의 누적 error 는 그림 20. 의 결과를 바탕으로 최대 217 LSB 코드만큼 INL 이 누적되었다는 것을 알 수 있다. 48 MSB 에 대한 누적 error %는 $\frac{3072}{217} = 7.06\%$ 이며, 1 MSB 당 0.147%의 error 를 보여 준다. 이는 MSB 와 LSB 의 4:1 비율이 저항 값에서 0.147% mismatch 가 발생하면 error 가 주기적으로 누적 되는 것을 알 수 있다. Mismatch 현상의 가장 큰 원인으로는 저항 array 에 사용 된 단일 저항 양단의 전압 차에 의한 영향이다. 본 논문에 사용 된 저항 식은 다음과 같이 표현 된다.

$$R = (R_P + 2Re1)[1 + TC1R[(T - 25) + TC3R(k)^2] + TC2R[(T - 25) + TC3R(k)^2]^2] \quad (14)$$

위 식에서 k 는 변수이며 $\frac{|V_{12}|}{L-2DL}$ 로 표현되며, 저항 식은 온도에 따른 계수 TC1R, TC2R, TC3R 과 온도, 그리고 저항 양단의 전압 차에 따라 값이 변하는 R_P , Re1 , 그리고 k 라는 변수로 이루어져 있다. 기존 RDAC 의 경우 2 개의 병렬 연결 된 단일 저항으로 LSB array 를 구성하였고 2 개의 직렬 연결 된 단일 저항으로 MSB array 를 구성하였다. 이 경우 양 단일 저항의 양 단에 흐르는 전류 값이 다르며, 결과적으로 양 단의 전압 차가 다르게 된다. 이 결과 MSB array 와 LSB array 에 사용 된 저항 값은 차이를 보이게 되며 그 차이로 인한 INL 값이 누적이 된다.

Mismatch 의 영향을 최대한 적게 받고자 그림 22. 와 같이 MSB array 와 LSB array 의 단일 저항 구조를 동일하게 설계 하여 DAC 을 구성 하였다.

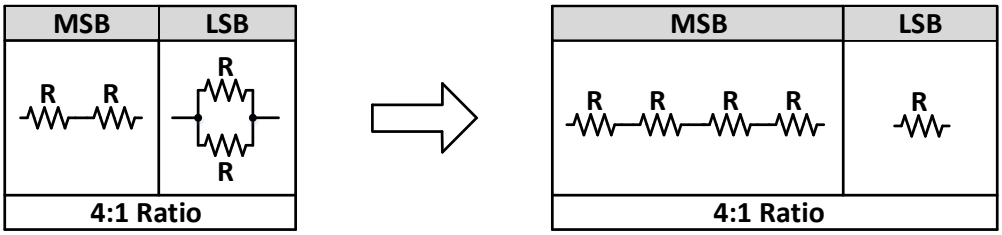


그림 22. 새로운 저항 array의 1-비트 MSB cell과 1-비트 LSB cell

제 2 절 시뮬레이션 결과

Schematic 단계에서 MSB array 와 LSB array 의 단일 저항 구조를 수정 후 15 비트 ramp 를 입력으로 넣어 linearity 를 확인 하였다.

DNL 의 경우 그림 23. 과 같이 최대 값 0.252 LSB, 최소 값 -0.374 LSB 의 성능을 보여주었으며 기존 회로의 결과와 달리 missing code 가 없는 것을 확인 하였다. 또한 INL 의 경우 그림 24. 와 같이 기존에 보이던 1024 LSB 입력 코드 이후의 INL 축적 현상이 보이지 않았으며 +1.357LSB/-1.456LSB 의 INL 결과 값을 주어 기존의 구조보다 linearity 가 개선 된 것을 확인 하였다. 그림 25. 는 입력 코드에 대한 누적 INL 값을 비교한 그래프이다. 기존의 217 LSB 에서 +/-1.5 LSB 미만까지 크게 줄어든 것을 확인 할 수 있다.

그림 26. 은 수정 된 회로의 FFT 시뮬레이션 결과로, 149.987kHz 의 nyquist 입력을 인가하여 1024 point 를 확인 하였을 때의 결과를 나타내며 10.13-비트의 ENOB 의 성능을 보였다. 표 1. 은 SAR ADC 의 RDAC array 수정 전/후 성능 비교 표이다.

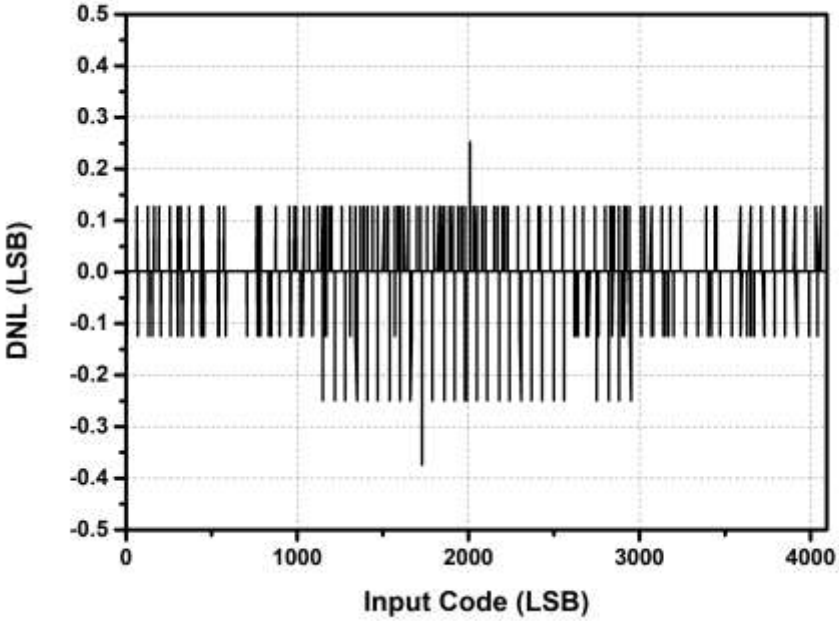


그림 23. DNL 시뮬레이션 결과 그래프

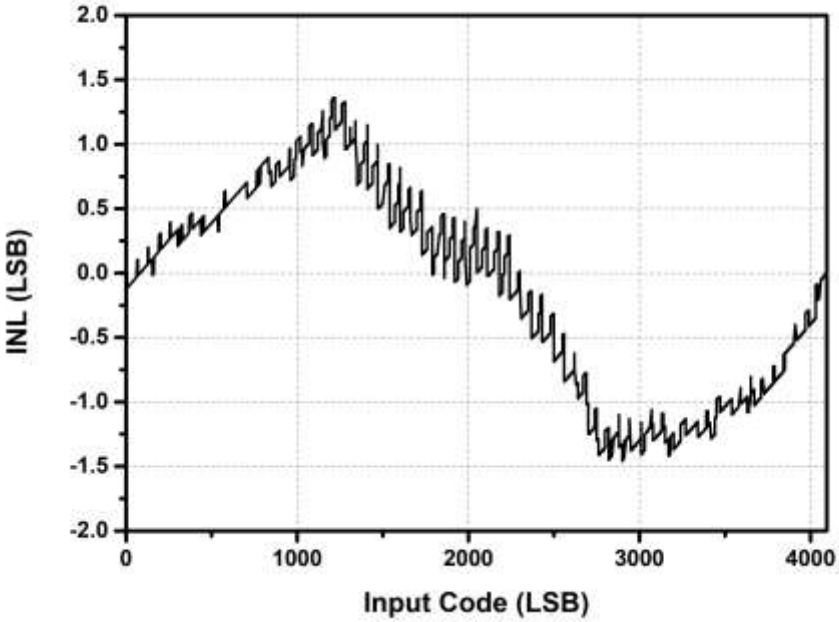


그림 24. INL 시뮬레이션 결과 그래프

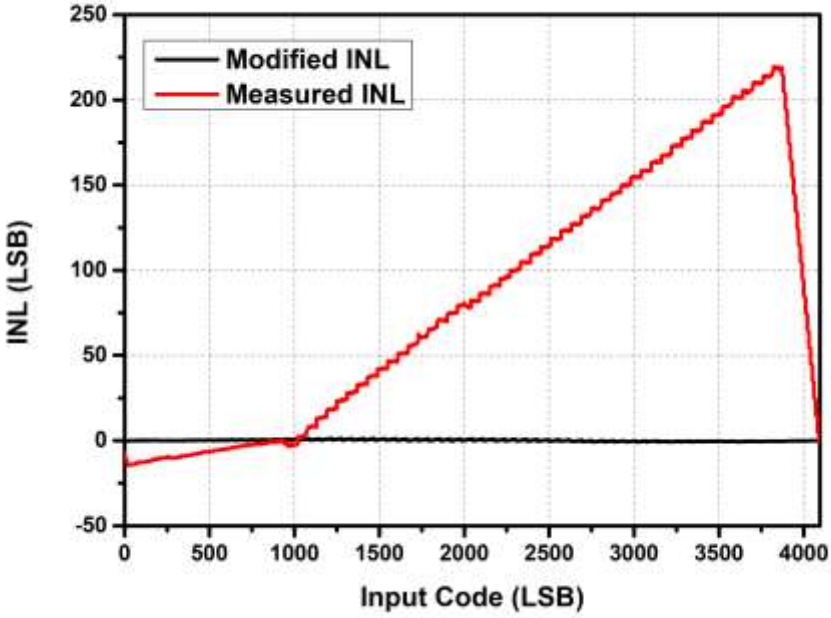


그림 25. 수정 전 후 시뮬레이션 결과 INL 그래프

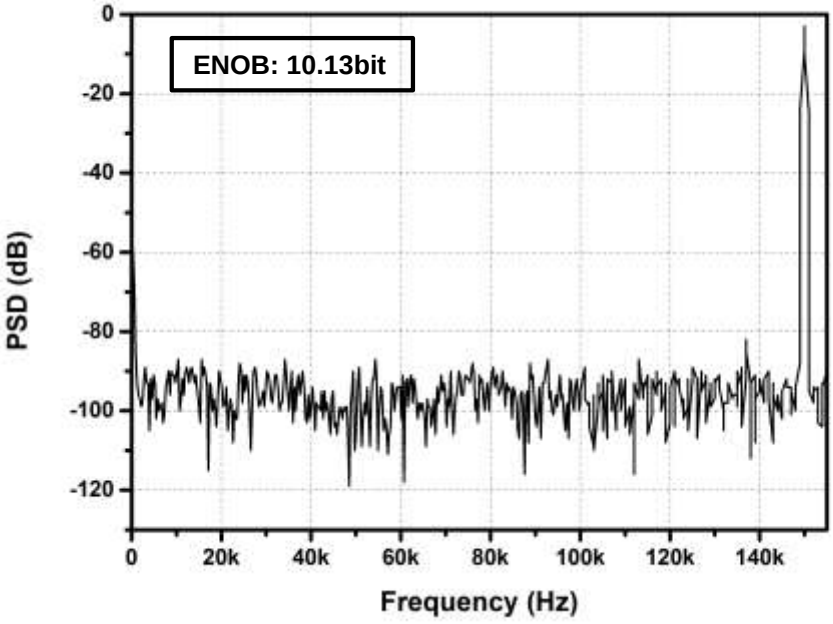


그림 26. FFT-시뮬레이션, f_{in} = 149.987kHz (1024 points)

성능 표		
	DAC 수정 전	DAC 수정 후
아날로그 전압	5V	
디지털 전압	1.55V	
샘플링 속도 (Hz)	312.5k	
Resolution (비트)	12	
DNL (LSB)	+2.51/−1.00	+0.25/−0.37
INL (LSB)	+219.06/−14.19	+1.36/−1.46
DAC 전류 소모량	0.75 μA	0.37 μA
사용 된 저항 수	224	256

표 1. RDAC 의 수정 전/후 비교 표

제 5 장 결론

본 논문에서는 0.13μm CMOS 공정을 사용하여 312.5 kHz 12-비트 SAR ADC 를 설계 하였다.

SAR ADC 는 DAC 과 비교기 및 디지털 논리 회로만으로 구성이 되어 있어 다른 ADC 구현 방식보다 비교적 간단하며 저전력 응용 분야에서 주로 선호되는 구조이다. 하지만 최근 ADC 설계의 추세는 저전력 응용 분야만이 아닌 훨씬 더 다양한 응용 분야에 적용이 가능하여 범용성에서의 장점을 크게 보여준다.

SAR ADC 는 이진 탐색 알고리즘과 DAC 을 이용한 비교 전압 값을 들어오는 입력 전압과 비교하여 디지털 코드를 출력해준다. 이 기능을 위해 저항 DAC 은 $2^{n-비트}$ 개 만큼의 저항이 필요하다. 저항 DAC 을 설계할 때, 비트 수 증가에 의한 DAC 의 면적 증가, 각 저항 간의 mismatch 영향을 고려해야 한다.

본 논문에서는 저항 DAC 의 효율적인 설계를 위해 MSB 와 LSB 를 분리한 세분화 된 저항 DAC 구조와 switched capacitor 를 활용한 DAC 의 설계를 하였다. 이를 통해 일반적인 저항 string ladder DAC 보다 적은 면적으로 SAR ADC 의 구현이 가능 했으며 설계된 구조의 linearity 결과 값을 바탕으로 DAC 내부의 MSB array 및 LSB array 를 수정하여 mismatch 의 영향을 줄이고 ramp 시뮬레이션 결과를 통해 성능이 향상 되었음을 검증하였다.

참고 문헌

[1] P. Harpe, "Successive Approximation Analog-to-Digital Converters: Improving Power Efficiency and Conversion Speed," in *IEEE Solid-State Circuits Magazine*, vol. 8, no. 4, pp. 64-73, Fall 2016.

[2] R. J. Baker, “Data Converter Architectures”, in *CMOS: Circuit design, layout, and simulation*, 3rd ed. Hoboken, NJ, U.S.A.: Wiley, 2010, ch 29, pp. 965-971.

[3] M. J. M. Pelgrom, “Semiconductors,” in Analog-to-Digital Conversion, 2nd ed. Springer, 2013, ch. 2 sec. 4, pp. 56-74.

[4] M. A. Ismail and I. M. Nasir, "Nonlinear Mismatch Modeling of resistor device for circuit simulations," *2nd Asia Symposium on Quality Electronic Design (ASQED)*, Penang, Malaysia, 2010, pp. 366-370.

[5] Behzad Razavi. “Introduction to Switched-Capacitor Circuits.” *Design of Analog CMOS Integrated Circuits*, by Behzad Razavi, 2nd ed., McGraw Hill, Jan. 2017, pp. 539-571.

[6] R. Van de, Plassche. “Code Density DNL and INL Measurement.” Essay. In *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2nd ed., 540-542. Kluwer Academic Publishers, 2003.

Abstract

Design and Analysis of a SAR ADC with Segmented RDAC Using Switched Capacitor Structure

Youseok Chang
Department of Electrical and Computer Engineering
The Graduate School
Seoul National University

This paper analyzes the effect of resistor mismatch on the circuit of a segmented resistor digital-to-analog converter of a successive approximation register analog-to-digital converter which can achieve an identical resolution with a lesser area consumption by using the segmented RDAC and switched capacitor structure. Based on the analysis and modification of resistor mismatch, this paper proposes linearity-improved SAR ADC.

Although the conventional resistor string ladder DAC has advantages from a monotonicity perspective, its DAC size increases twice as the number of bit increases. This has a great impact on the overall size of the circuit, which makes it very important to efficiently reduce the size of the DAC from the design perspective. In this paper, a segmented resistor DAC utilizing a switched capacitor is used to match the distribution ratio of the segmented bits and construct the segmentation structure. The results of the differential non-linearity and integral non-linearity caused by the resistor mismatch of the resistor DAC are analyzed. The performance of the

segmented DAC was improved by modifying the configuration of the MSB array and the LSB array of the segmented resistor DAC in order to reduce the degradation of linearity.

The ramp simulation results demonstrate that the proposed structure with mismatch improvement does not incur missing code while exhibiting a DNL of +0.252/-0.374 LSB and INL within +/-1.5 LSB. The total area of the DAC is 0.3489mm^2, and the total power consumption is 9.94mW with an analog supply voltage of 5V and a digital supply voltage of 1.55V.

Keywords : Successive approximation ADC (SAR ADC), Linearity, Differential non-linearity (DNL), Integral non-linearity (INL), Resistive digital-to-analog converter (RDAC), Switched Capacitor

Student Number : 2021-27908