creative commons

COMMONS DEED

저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:

저작자표시. 귀하는 원저작자를 표시하여야 합니다.

비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.

변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 이용허락규약(Legal Code)을 이해하기 쉽게 요약한 것입니다.

Disclaimer

dCollection

Ph.D. Dissertation

Design of Multi-phase DC-DC Converter in Memory Interface

메모리 인터페이스용 다중 위상 DC-DC 변환기 설계

by

Jooyoung Chun

August 2023

Department of Electrical and Computer Engineering

Seoul National University

Design of Multi-phase DC-DC Converter in Memory Interface

지도 교수 정 덕 균

이 논문을 공학박사 학위논문으로 제출함

2023 년 8 월

서울대학교 대학원

전기·정보 공학부

전 주 영

전주영의 공학박사 학위논문을 인준함

2023 년 8 월

위 원 장 (인)

부위원장 (인)

위 원 (인)

위 원 (인)

위 원 (인)

Design of Multi-phase DC-DC Converter in Memory Interface

by

Jooyoung Chun

A Dissertation Submitted to the Department of

Electrical and Computer Engineering

in Partial Fulfillment of the Requirements for the Degree of

Doctor of Philosophy

at

SEOUL NATIONAL UNIVERSITY

August 2023

Committee in Charge:

Professor Suhwan Kim, Chairman

Professor Deog-Kyoon Jeong, Vice-Chairman

Professor Dongsuk Jeon

Professor Yongsam Moon

Professor Young-Ha Hwang

Contents

ABSTRACT.....vii

LIST OF FIGURES.....ix

LIST OF TABLES.....xi

1 Introduction 1

2 Multi-phase buck converter 의 feedback loop model.....4

2.1 Conventional voltage mode.....4

2.2 Proposed Multi-phase Buck Converter.....7

2.3 Ripple-based constant-on-time (COT) mode.....9

2.4 Voltage-controlled-oscillator (VCO)-based constant-on-time (COT) mode.....14

2.4.1 Voltage-controlled-oscillator (VCO) Converter Scheme.....14

2.4.2 Voltage-controlled-oscillator (VCO) Converter Current Feedback Scheme.....16

2.5 Comparison of feedback loop models.....22

2.5.1 Conventional Voltage-mode Scheme.....23

2.5.2 Ripple-based Feedback Scheme.....24

2.5.3 Voltage Controlled Oscillator-Feedback Scheme.....25

3 Multi-phase VCO-based COT buck converter design.....26

3.1 The analysis of multi-phase VCO-based COT buck converter.....26

3.1.1 Power Loss Analysis.....26

3.1.2 Calculation of Inductor and Output Filter Capacitor.....30

3.1.3 Continuous-Conduction-Mode (CCM) / Discontinuous-Conduction-Mode (DCM).....36

3.1.4 Loop gain analysis.....39

3.1.5 Loop phase margin analysis.....42

3.1.6 Waveform of multi-phase VCO-based COT buck converter.....44

3.2 Design of transient response.....47

3.2.1 Waveform of load transient response.....50

3.3 Design of inductor current balancing.....53

3.3.1 Waveform of inductor current balancing response.....53

3.3.1.1 Ripple-based inductor current balancing response.....53

3.3.1.2 VCO-based inductor current balancing response.....55

4 Measurement result.....57

4.1 PCB/microchip.....57

4.1.1 PCB.....57

4.2 Waveform.....60

4.2.1 Multi-phase DC-DC Buck Operation.....60

4.2.2 Efficiency.....63

5 Conclusion and Future Work.....65

5.1 Conclusion.....65

5.2 Future Work.....67

5.2.1 Power Transistor.....69

5.2.2 Inductor Zero Current Detection.....70

BIBLIOGRAPHY.....72

ABSTRACT

메모리 인터페이스용 다중 위상 DC-DC 변환기 설계

본 논문에서는 메모리 인터페이스용 고전압 고전류를 위한 multi-phase DC-DC Buck 컨버터를 제안한다. 최근 개인 휴대용 device 및 laptop 등을 통하여 IT device를 통해 사용되는 data memory의 양이 기하급수적으로 증가함에 따라 cloud server 의 증설이 되고 있으며 이에 따라 모든 시스템에 효율적이고 안정적인 Power 의 공급은 필수적이다. 이러한 요구 조건을 만족하기 위하여 많은 구동 방식의 DC-DC 컨버터가 연구되고 있다.

제안하는 multi-phase DC-DC buck 컨버터는 고전류를 4-phase 로 각각 균등 분할하여 Power MOSFET 이 turn-on 될 때에 Ron 저항으로 인하여 발생할 수 있는 power loss 를 줄이고, current balancing 회로를 통하여 각 phase 가 synchronous 하게 동작을 할 수 있도록 설계하였다. 또한, memory device 가 순간적으로 구동하여 출력단에서 발생될 수 있는 voltage droop 의 load transient response 도 출력단에서의 즉각적인 current feedback 을 통하여 빠르게 대응을 할 수가 있다.

본 논문에서 제안하는 회로는 CMOS 0.18 ㎛ 공정에서 설계되었으며, Active area 가 5000 ㎛ X 5000 ㎛ 로 설계하였다. 동작 주파수는 1 ~ 1.5 MHz, 입력 전압 범위는 12V/5V 이며, 출력 전압은 5.3V/1.1V 이며, 각각 93.3%/93.8% 의 효율을 가진다.

주제어 : Multi-phase, Buck Converter, Inductor Current Balancing, Memory Interface

학번 : 2018-30775

LIST OF FIGURES

그림.1.1 Annual size of the global datasphere 1

– source: IDC Datasphere whitepaper

그림.2.1 Conventional Voltage Mode Block Diagram.....4

그림.2.2 Proposed Multi-phase DC-DC Buck Converter Block Diagram.....8

그림.2.3 Ripple-based Constant-On-Time Mode Block Diagram.....10

그림.2.4 Ripple-Injection Feedback Operation Waveform.....11

그림.2.5 Ripple-Injection Feedback Control Block Diagram.....12

그림.2.6 Ripple-Injection Clock Waveform 13

그림.2.7 Voltage Controlled Oscillator Converter Block Diagram.....15

그림.2.8 Voltage Controlled Oscillator Current Feedback Scheme.....17

그림.2.9 Voltage Controlled Oscillator Frequency Control Scheme.....18

그림.2.10 Voltage Controlled Oscillator Constant-On-Time Control Scheme..19

그림.2.11 VCO Clock Pulse Control Block 20

그림.2.12 Differential Voltage Oscillator.....20

그림.2.13 VCO based Clock waveform 21

그림.2.14 Conventional Voltage-mode Scheme.....23

그림.2.15 Ripple-based Feedback Scheme.....24

그림.2.16 Voltage Controlled Oscillator Feedback Scheme.....25

그림.3.1 High-side and Low-side Power MOSFET switching waveforms.....29

그림.3.2 Inductor Current and Voltage Waveforms.....31

그림.3.3 Inductor Current and Voltage Ripple Waveforms.....33

그림.3.4 Inductor Current Ripple Waveforms.....34

그림.3.5 CCM Mode (a) Current Flow (b) Waveform.....37

그림.3.6 DCM Mode (a) Current Flow (b) Waveform.....38

그림.3.7 Conventional Voltage-mode Feedback.....39

그림.3.8 Constant-On-Time Operation.....40

그림.3.9 Proposed Voltage-Controlled-Oscillator Feedback.....41

그림 3.10 Loop Phase Margin Analysis.....42

그림 3.11 Ripple-based Buck Converter Waveform.....45

그림 3.12 VCO-based Buck Converter Waveform.....46

그림 3.13. Schematic of Voltage Controlled Oscillator Current Feedback Scheme.....47

그림 3.14 VCO-based Inductor Current Balancing Control Waveform 48

그림 3.15 VCO-based Switching Frequency Control Waveform 49

그림 3.16 Ripple-based overshoot response.....51

그림 3.17 Ripple-based undershoot response.....51

그림 3.18 VCO-based undershoot response.....52

그림 3.19 Ripple-based inductor current balancing.....54

그림 3.20 VCO-based inductor current balancing.....56

그림 4.1 제안하는 Multi-phase DC-DC Buck Converter Test Board.....58

그림 4.2 제안하는 Multi-phase DC-DC Buck Converter Layout.....59

그림 4.3 Ripple-based Buck Converter measurement.....61

그림 4.4 VCO-based Buck Converter measurement.....62

그림 4.5 Ripple-based Buck Converter efficiency.....64

그림 4.6 VCO-based Buck Converter efficiency.....64

그림 5.1 Power Transistor Gate Driver Split.....69

그림 5.2 Inductor Zero Current Detection Circuit.....70

LIST OF TABLES

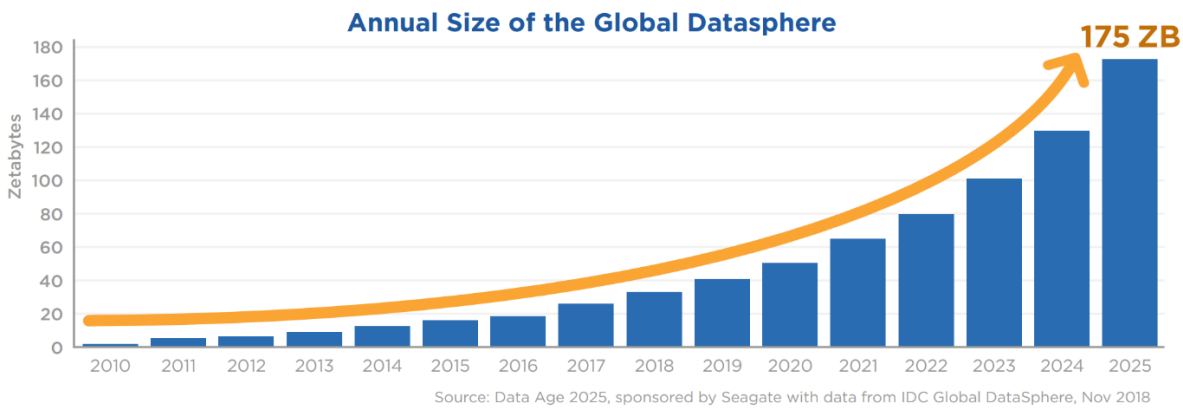
표 1. Comparison of feedback loop models.....22

표 2. Buck Converter Specification.....65

표 3. Performance Comparison with other Published Work.....71

1 Introduction

최근 핸드폰, 태블릿 PC, 스마트워치, 블루투스 헤드셋 등 Internet of Things(IOT) 환경 속에서 사용하는 IT device 의 수는 점차 증가하고 있으며, 클라우드 서버의 시장이 가파르게 성장하고 있다. 또한, 거의 모든 전자 기기 및 시스템은 전력 변환을 필요로 하며, ASIC 공정이 갈수록 미세화 되고 휴대용 기기 또한 점점 발전하면서 더 낮은 전압으로의 변환이 추세이다[1]. Switch-mode DC-DC 컨버터는 이러한 목적에 부합하는 소자로 전력을 변환하는데 사용된다. Switch 역할을 하는 transistor, inductor 및 capacitor 들의 low loss 소자를 이용해 외부 power supply 에서 전달받은 전압을 내부 회로 동작에 필요한 전압으로 바꾸어 준다. 입력 전압보다 낮은 전압을 만들어 내는 컨버터를 buck DC-DC 컨버터라 부르고, 입력 전압보다 높은 전압을 만들어 내는 컨버터를 boost DC-DC 컨버터라고 부른다.



<그림.1.1 Annual size of the global datasphere source: IDC Datasphere whitepaper>

그림 1.1 은 IDC Datasphere whitepaper 에서 발표한 자료이며, 이에 따르면 매년 생성되는 데이터는 2025 년에는 175Zeta 바이트로 증가할 것으로 예상된다. 그리고 이로 인해 클라우드 서버와 같은 서버 시스템은 많은 데이터 저장 설비를 필요로 한다. 따라서 메모리의 신뢰성과 성능이 훨씬 더 중요 해졌다.

최근에 DC-DC Converter 는 Memory system 에서 dual in-line memory module(DIMM)에 Power Management Integrated Circuit(PMIC)로 on-chip 되어 cloud server 및 personal computer 에 공급되어 효율적인 전력 공급을 지원하도록 개발하고 있다. 이를 위해서는 입력 전압보다 낮은 전압을 공급해주는 buck converter 의 연구가 필수적이다.

본 논문에서는 Memory Module 에 최적화된 buck converter 를 제안한다. 고효율을 달성하기 위해 동기식 스위치를 사용한 adaptive constant on-time(ACOT) 회로를 적용하여 두가지의 type 으로 구현을 하였다. Ripple-based ACOT mode 와 voltage controlled oscillator(VCO) ACOT mode 이다.

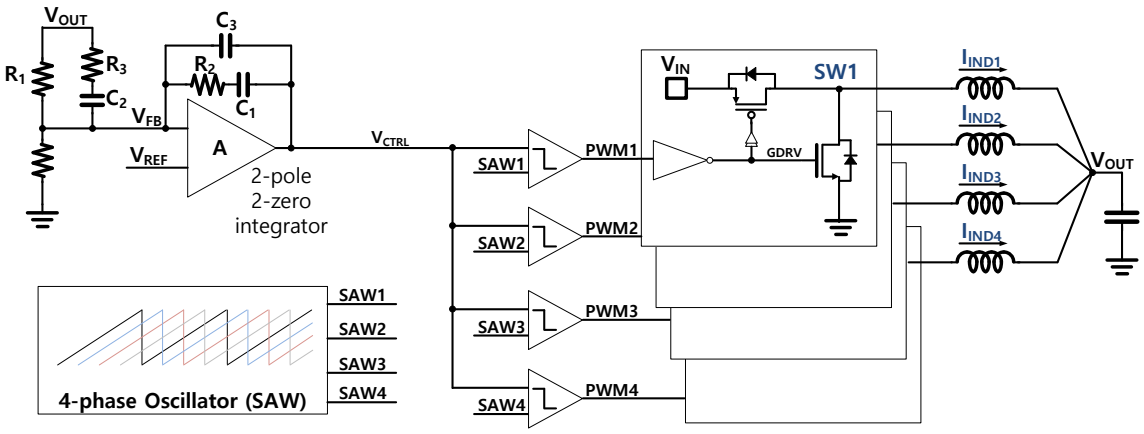
Ripple-based ACOT mode 의 경우 출력 전압에서부터 이어지는 feedback loop 의 구성이 간단해지는 장점이 있다. Conventional PWM 구조에서 control block 에 해당하는 sawtooth generator 를 구현하지 않아도 되며, closed-loop 구성시 출력단에 구성된 inductor 와 capacitor 에 의하여 발생되는 LC double pole 의 위상을 보상해주기 위한 type-III voltage mode feedback loop 이 필요가 없어지게 되기 때문이다. 그러나, feedback 단에 ripple 을 injection 해주는 방식으로 인하여 multi-phase 구성시에 switching clock 이 순차적으로 동작하여 DC-DC converter 의 transient 특성이 저하되기도 한다.

반면에, voltage controlled oscillator(VCO) ACOT mode 의 경우에는 conventional PWM mode 의 feedback loop 를 사용하지만, VCO 의 출력은 각 phase 별로 독립적으로 가져갈 수 있어, load 및 line transient 상황 발생시에도 multi-phase 동작 시 보다 빠르게 대응이 가능하다는 장점이 있다.

2 장에서는 buck converter 의 기본동작, 구조, 개념에 대해 살펴본다. 3 장에서는 DC/DC buck converter 를 구성하는 내부 블록 회로와 효율적인 동작 그리고 memory interface 구현을 위한 제안 회로 구조 및 동작 원리에 대해 설명하고, 4 장에서는 전체 블록의 시뮬레이션 결과와 측정 결과 및 converter 의 전력 효율에 대해 살펴보고, 제안한 회로 사용으로 인한 장점에 대해 설명한다. 마지막으로 5 장에서는 본 논문의 결과 및 추후 개선 사항에 대한 결과를 정리한다.

2 Multi-phase buck converter 의 feedback loop model

2.1 Conventional voltage mode



<그림.2.1 Conventional Voltage Mode Block Diagram>

Conventional scheme 은 type-3 compensation 에 sawtooth 파형을 생성하는 relaxation oscillator 를 주로 사용하는 기본적인 방식이다. 주로 PWM 방식으로 많이 사용이 되는데, 이는 operation frequency 는 고정이며, duty 만 가변 되는 방식으로 이 방법에는 다음과 같은 몇 가지 단점이 있다.

Slow transient response: Conventional voltage mode 에서는 피드백 루프가 출력 전압 주변에서 닫힌다. 결과적으로, load change 에 따른 load step response 의 응답 시간이 느려질 수 있다.

Poor line regulation: Voltage mode feedback 은 입력 전압의 변화를 직접적으로 반영하여 수정할 수 없기 때문에 line regulation 이 나쁘다.

Output capacitor ESR 에 대한 감도: Output capacitor 의 equivalent series resistance(ESR)은 voltage mode control 에서 feedback loop 의 stability 에 영향을 미칩니다. 경우에 따라 output capacitor 의 ESR 로 인해 feedback loop 가 불안정해질 수 있다.

Limited bandwidth: Voltage mode control 에서 feedback loop 의 bandwidth 은 output filter 와 compensation network 에 의해 제한된다. 결과적으로, 일부 application 에서는 원하는 closed feedback loop 의 target band width 를 만족시키지 못할 수 있다.

Limited accuracy: Voltage mode control 에서 output voltage control 의 accuracy 는 voltage reference 와 feedback loop 의 voltage gain 에 의해 limited 된다.

이러한 한계를 해결하기 위해 current mode feedback 과 같은 대체 제어 기술이 개발되었다. Current mode 는 output capacitor ESR 이 있는 경우 faster transient response, better line regulation, and improved stability 를 제공할 수 있다. 그러나 voltage controlled mode 보다 complex 하고 추가적인 단점이 존재한다.

Current mode feedback 의 주요 단점 중 하나는 회로의 complexity 증가다. 연산 증폭기의 출력 전류는 피드백 루프에서 사용되므로 출력 전압을 전류로 변환한 다음 피드백 전류를 다시 연산의 반전 입력에 적용할 수 있는 전압으로 변환하는 추가 회로가 필요하다. 또한, 회로가 추가되면서 비용 증가, 칩 크기 증가 및 신뢰성 감소로 이어질 수 있다.

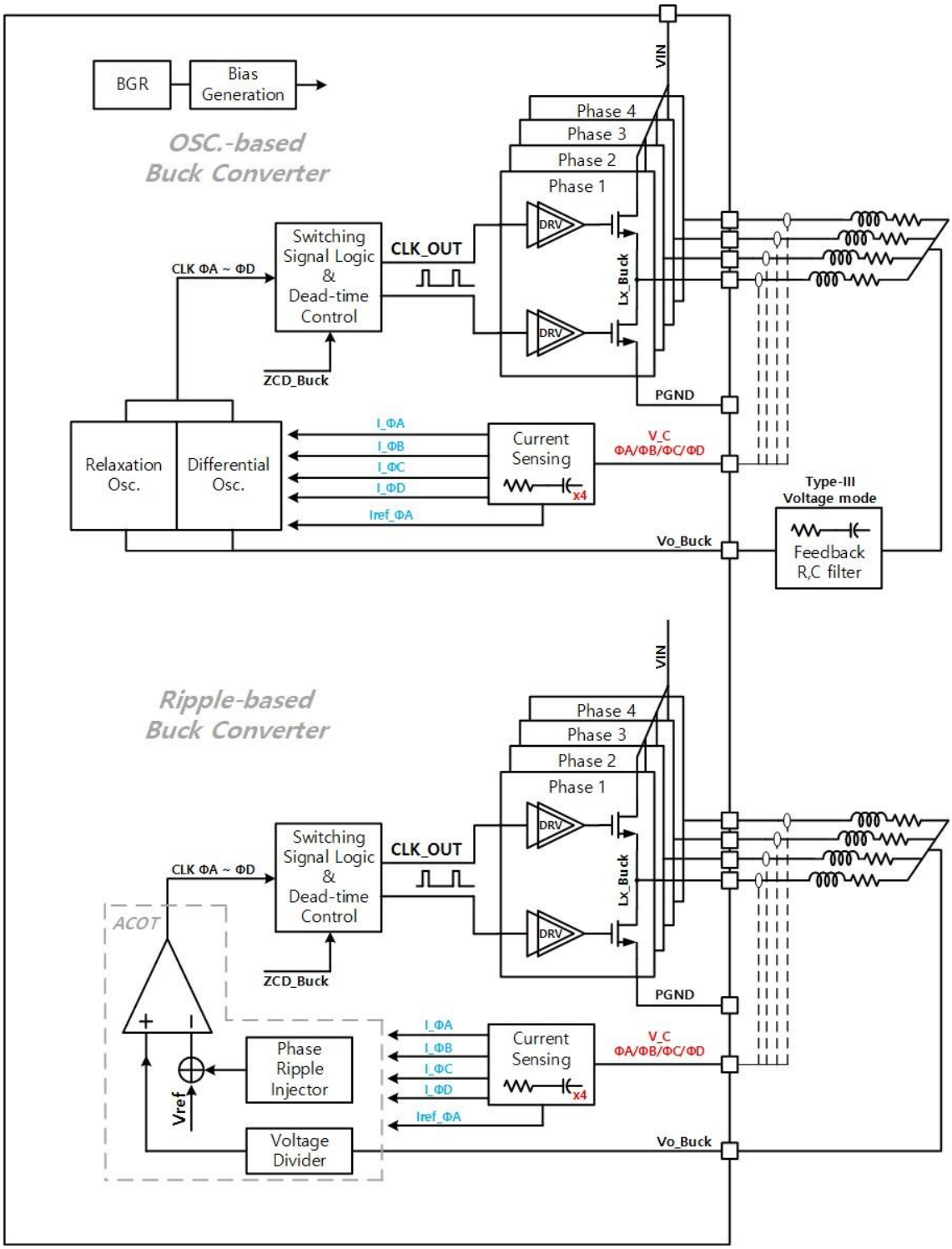
앞서 설명한 conventional feedback 방식들의 단점을 보완하기 위한 방법 중 하나로 다음장에서 Ripple-based Constant-On-Time mode 를 소개한다.

2.2 Proposed Multi-phase Buck Converter

그림 2.2 는 proposed multi-phase DC-DC buck converter block diagram 이다. 제안하는 회로는 voltage controlled oscillator-based buck converter 와 ripple-based buck converter 로 구성이 되어 있다.

각각 4 개의 power transistor 와 이를 구동 시켜주기 위한 gate driver 가 붙어있으며 이는 switching frequency 에 따른 CLK_OUT 신호를 받아 동작하게 된다. IC 외부에 붙은 inductor 와 capacitance 를 동해 생성된 output voltage 가 feedback R,C filter 를 거쳐서 각각의 scheme 에 따른 control block 으로 이어져서 closed loop 을 구성한다.

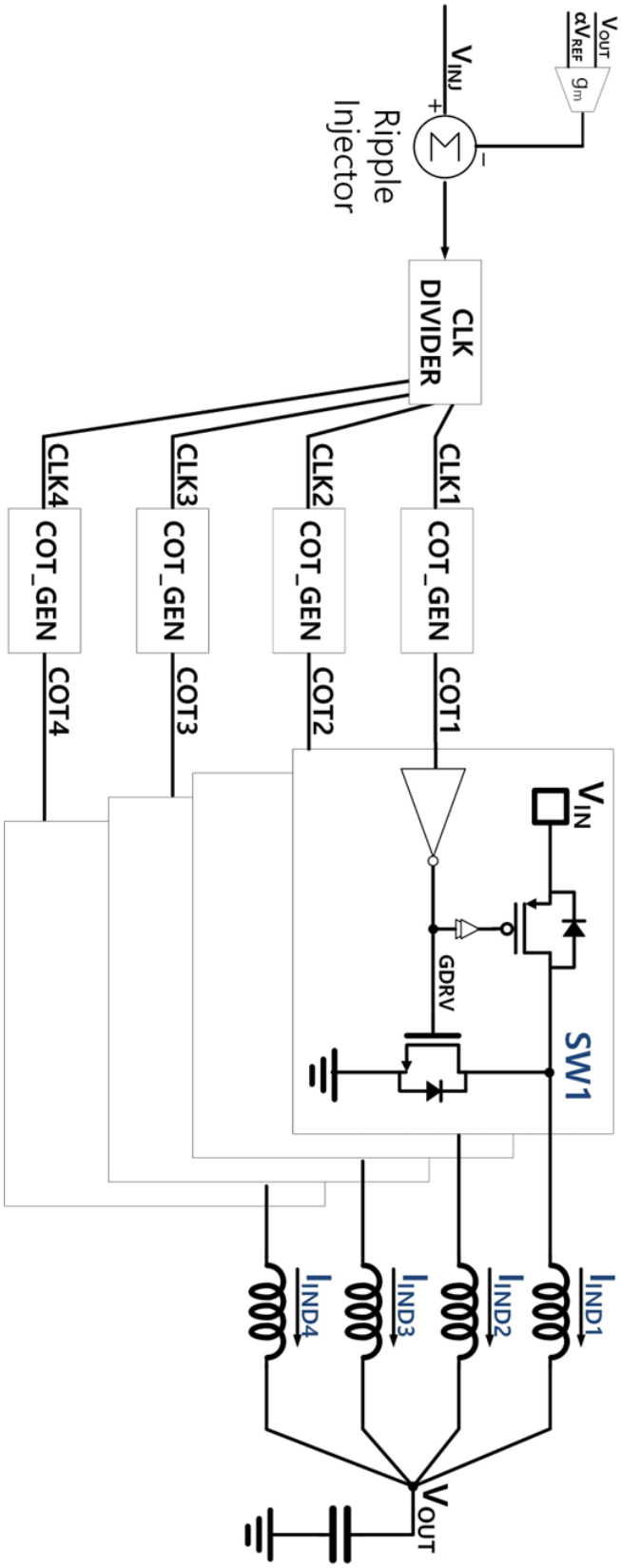
해당 scheme 들의 구동 방식과 원리에 대한 내용은 뒤에 각 장 별로 설명을 하였다.



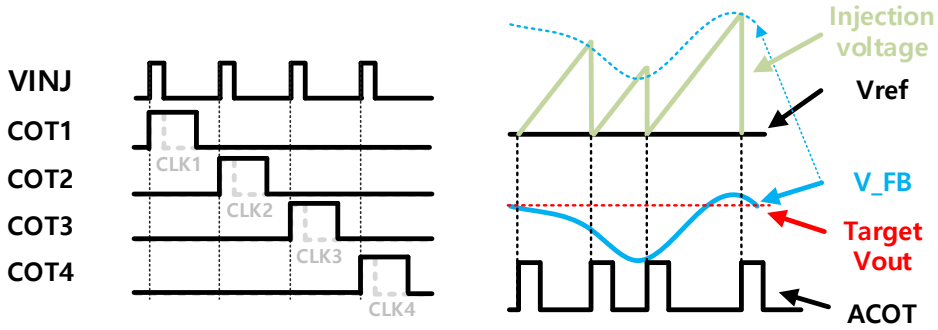
<그림.2.2 Proposed Multi-phase DC-DC Buck Converter Block Diagram>

2.3 Ripple-based constant-on-time (COT) mode

그림 2.3 은 ripple-based constant on time mode block diagram 이다. 동작 방식은 다음과 같다. 왼쪽에서부터 입력 Vinj 된 전압에 Vout 과 vref 를 통해 DC accuracy 가 맞추어지며 이로 인하여 발생된 파형은 clock divider 를 통해 나뉘어져서 각 phase 에 해당되는 cot_generation block 으로 들어가서 최종적으로 High-side MOS 및 Low-side MOS 의 gate input 으로 입력이 되어 동작한다. 그로 인하여, 출력 전압인 Vout 을 생성시킨다.

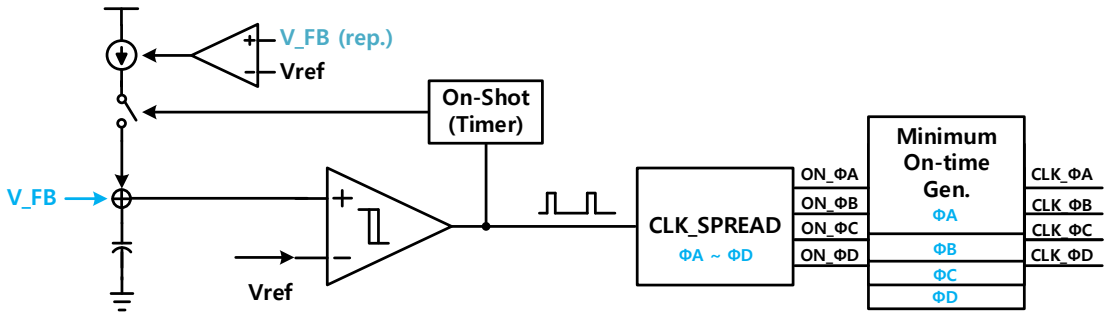


<그림.2.3 Ripple-based Constant-On-Time Mode Block Diagram>



<그림.2.4 Ripple-Injection Feedback Operation Waveform>

위 그림 2.4 는 ripple-based converter control 동작 파형이다. Feedback 전압이 target output 보다 작아지면, comparator 의 출력이 high → low 로 변동이 되고, time generator 의 출력이 ripple injection 을 시작하게 되며, 설정된 on-time 만큼만 켜지고 다시 off-time 으로 바뀐다. 그러나 이때 아직도 feedback 전압이 target 전압보다 낮다면, off-time 이 점점 짧아지고 on-time 으로 변경이 되어 target 전압으로 끌어 올리는 동작을 진행한다. 반대로 feedback 전압이 target 전압보다 크다면 off-time 으로 남아있게 된다.

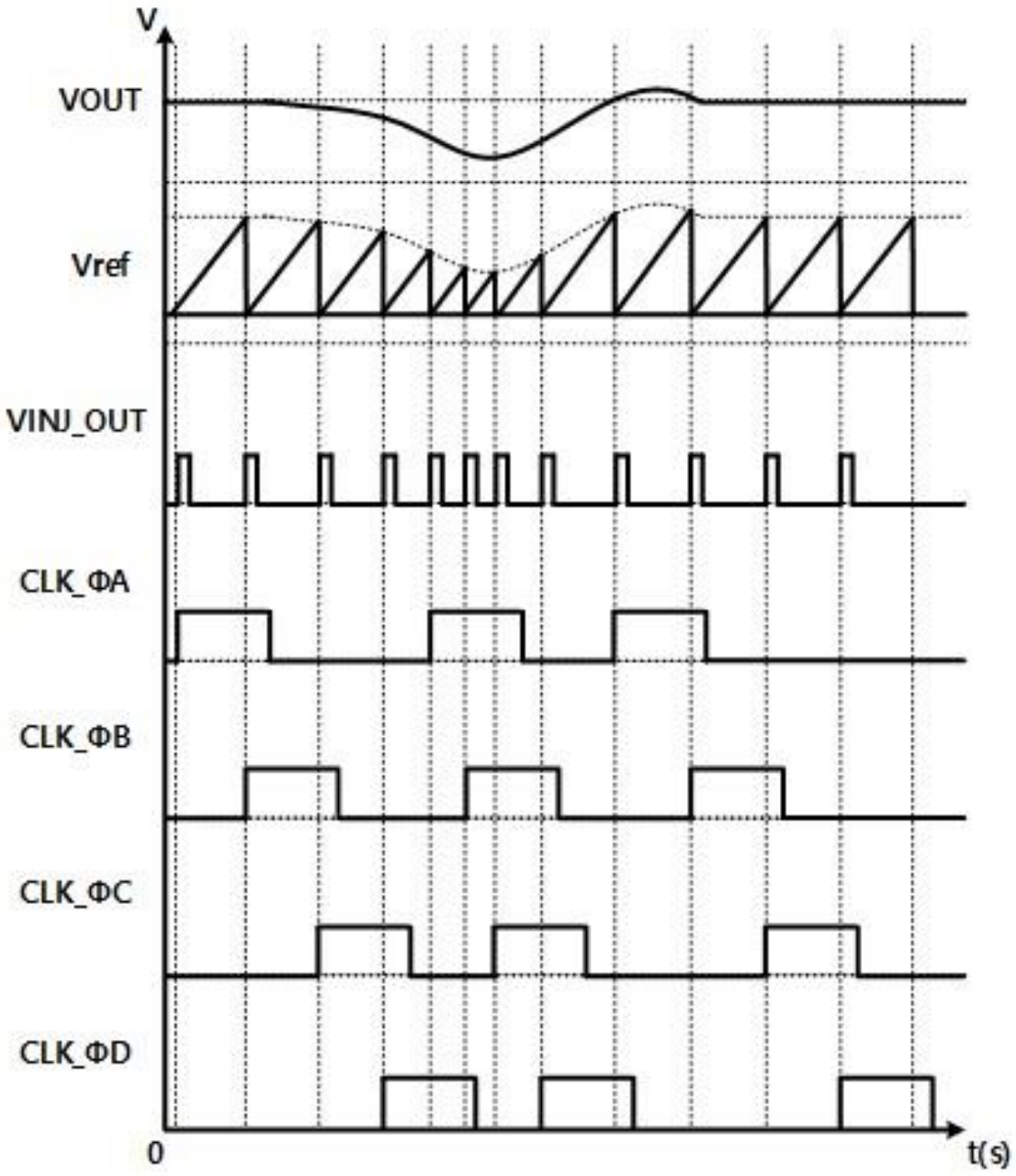


<그림.2.5 Ripple-Injection Feedback Control Block Diagram>

Ripple-injection mode 방식의 feedback 의 경우, light load application 에서 single-phase 로 동작을 할 때에는 faster transient response, better line regulation, and improved stability 를 제공할 수 있다. 그러나, heavy load application 에서는 main power MOSFET 의 Ron 저항으로 인한 voltage droop 이 비례하여 커지므로 single-phase operation 이 아닌 multi-phase 로 동작을 시켜주어야 DC-DC converter 의 efficiency 를 극대화할 수 있다.

그러나, ripple-injection mode 에서는 위 그림에서 CLK_SPREAD block 과 Minimum On-time Generator 를 통하여 clock 이 divide 되어지는데, 이 block 은 D-flipflop 으로 구성이 되어 clock 이 divide 될 때마다 time delay 가 생기게 되고 이는 곧 feedback loop 의 delay 이가 길어지게 되어 load step response 가 나빠지게 된다.

그리하여 이러한 단점을 보완해주기 위하여 다음장에 Voltage Controlled Oscillator Converter Scheme 을 제안하는 바이다.



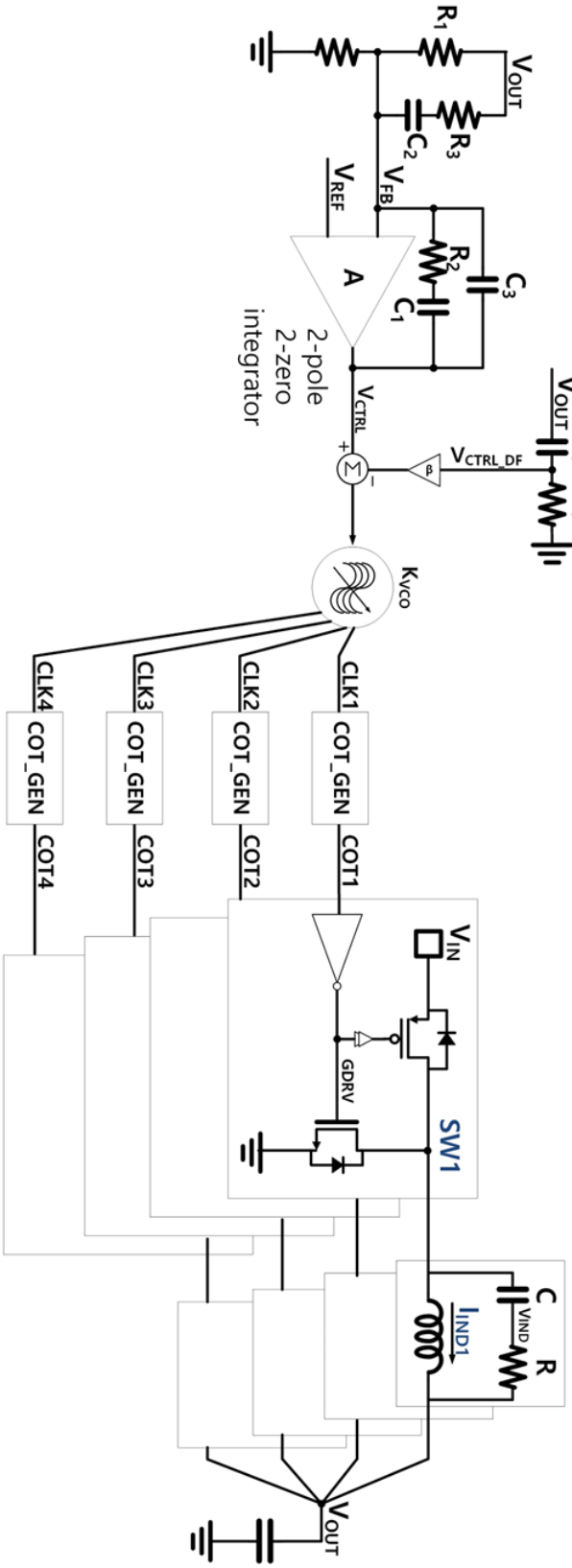
<그림.2.6 Ripple-Injection Clock Waveform>

2.4 Voltage-controlled-oscillator (VCO)-based constant-on-time (COT) mode

2.4.1 Voltage-controlled-oscillator (VCO) Converter Scheme

VCO-based converter 는 type-3 compensator 와 differentiator, VCO, COT generator, high/low-side MOS 그리고 인덕터와 양단을 sensing 하여 보상해주는 R, C sensor 로 구성되어 있다.

R 과 C 로 구성된 filter 는 인덕터의 정보를 출력보다 먼저 VCO 와 COT generator block 에 전달하여 load transient 상황에서 보다 빠르게 회복이 가능하도록 도와주고 inductor current balancing 을 해주는 보상단이다.



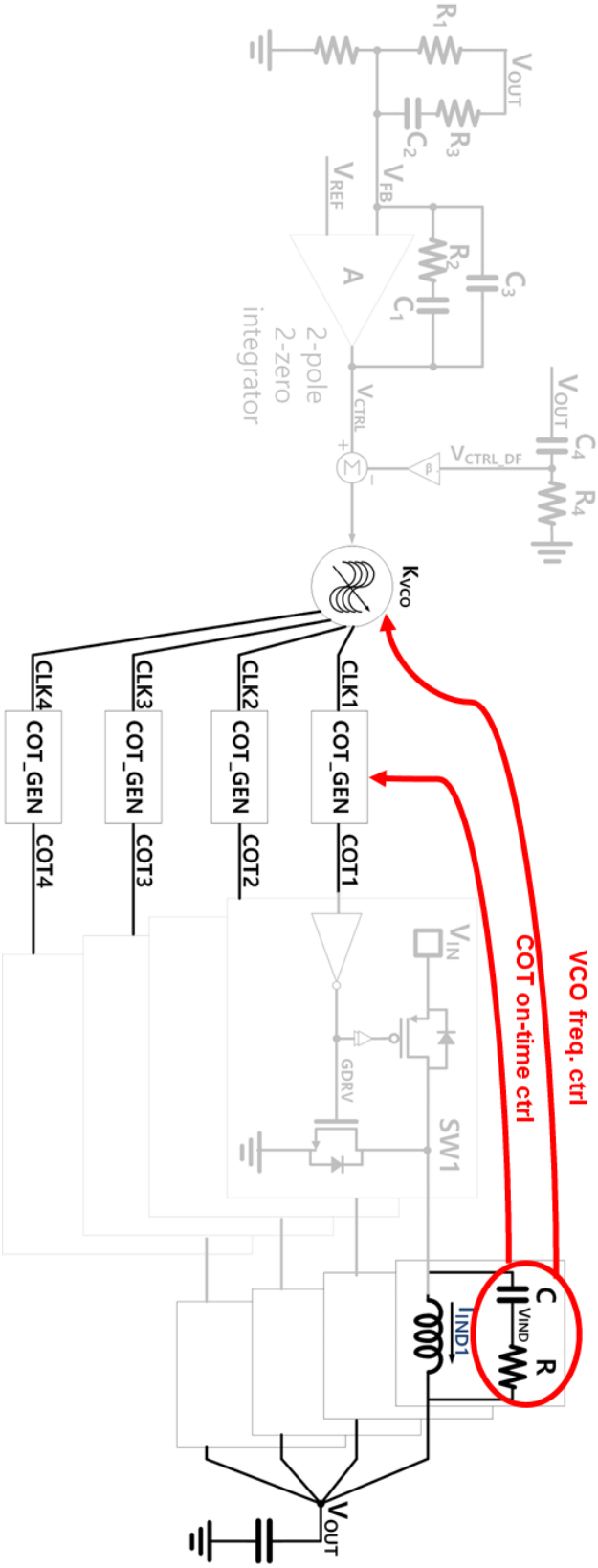
<그림.2.7 Voltage Controlled Oscillator Converter Block Diagram>

2.4.2 Voltage-controlled-oscillator (VCO) Converter Current Feedback Scheme

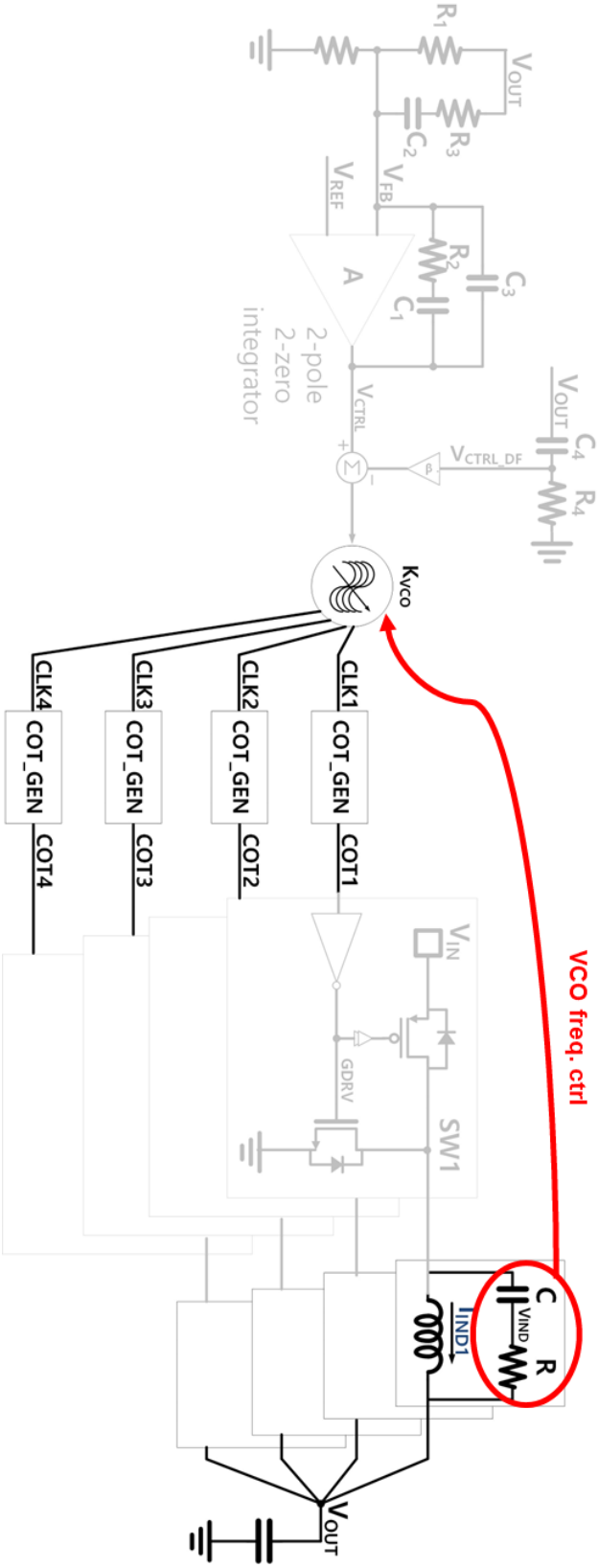
보상단의 전류를 이용하여 VCO 의 frequency 를 조절하는 방식은 그림 2.8 에 표기되어 있듯, VCO current 를 조절하여 출력 전압이 target 전압보다 작으면, 전류를 더해주어 VCO frequency 를 올려주고, 반대면 내려주는 역할을 하게 된다.

COT 또한, 동작 방식은 동일하다. on-time 을 조절하는데 출력 전압이 target 전압보다 작으면 COT 의 duty 가 커지게 되며, 반대도 같은 방식으로 동작하여 빠른 transient 응답을 갖는다. 추가적으로, COT 는 stable 상태에서 inductor current balancing 역할도 수행한다.

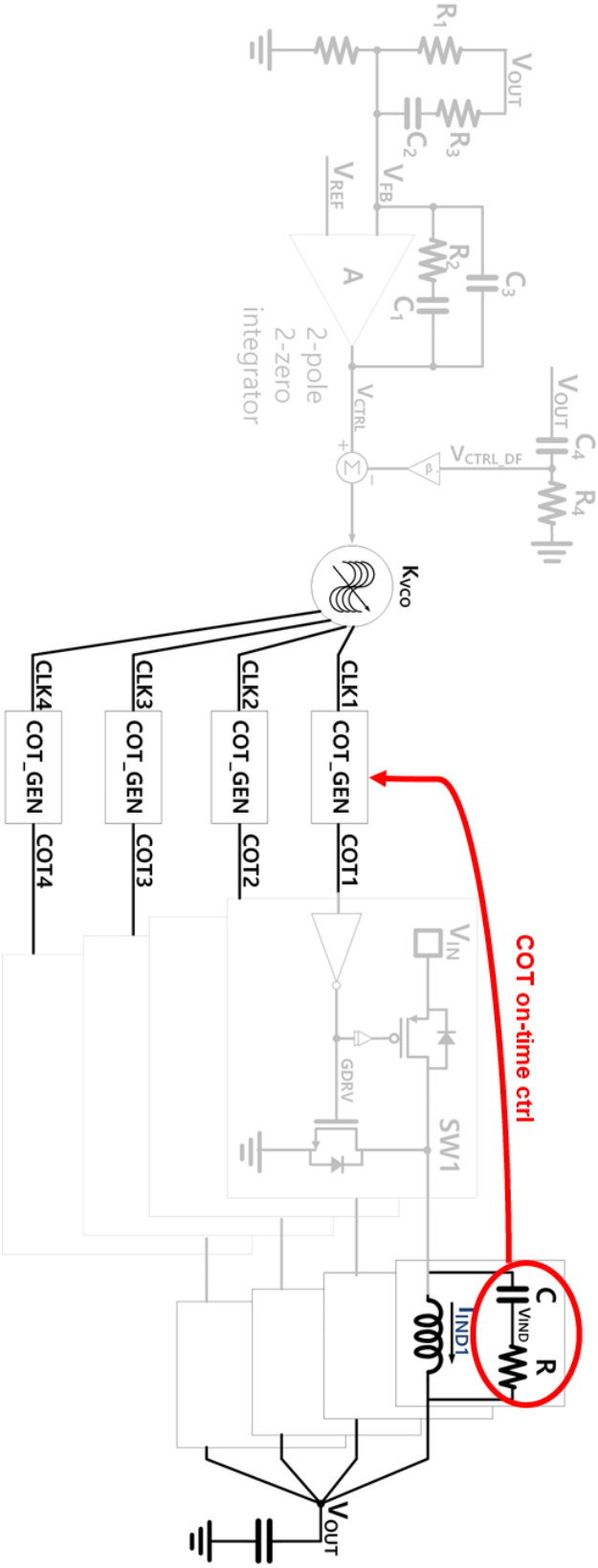
만약, phase B 가 phase A 보다 값이 작으면, 인덕터 전류가 낮다는 것이므로, 그 차액만큼 전류가 phase B 의 cot on-time 을 증가시켜주어 balancing 을 맞추어진다. 반대로, phase B 가 phase A 보다 크다면, on-time 이 줄어들게 된다.



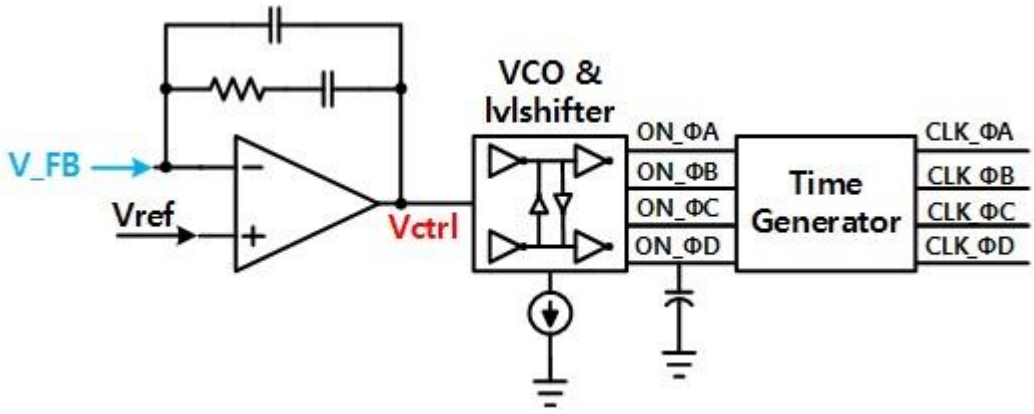
<그림.2.8 Voltage Controlled Oscillator Current Feedback Scheme>



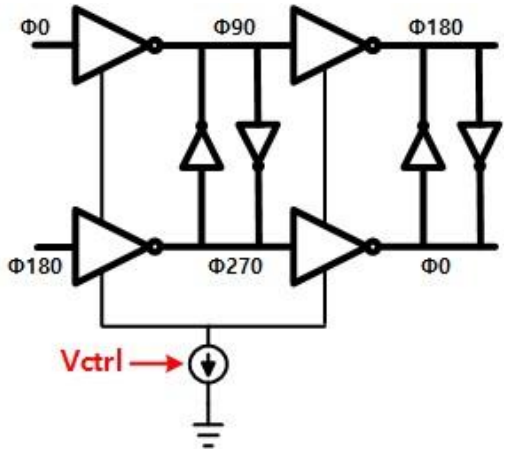
<그림.2.9 Voltage Controlled Oscillator Frequency Control Scheme>



<그림.2.10 Voltage Controlled Oscillator Constant-On-Time Control Scheme>

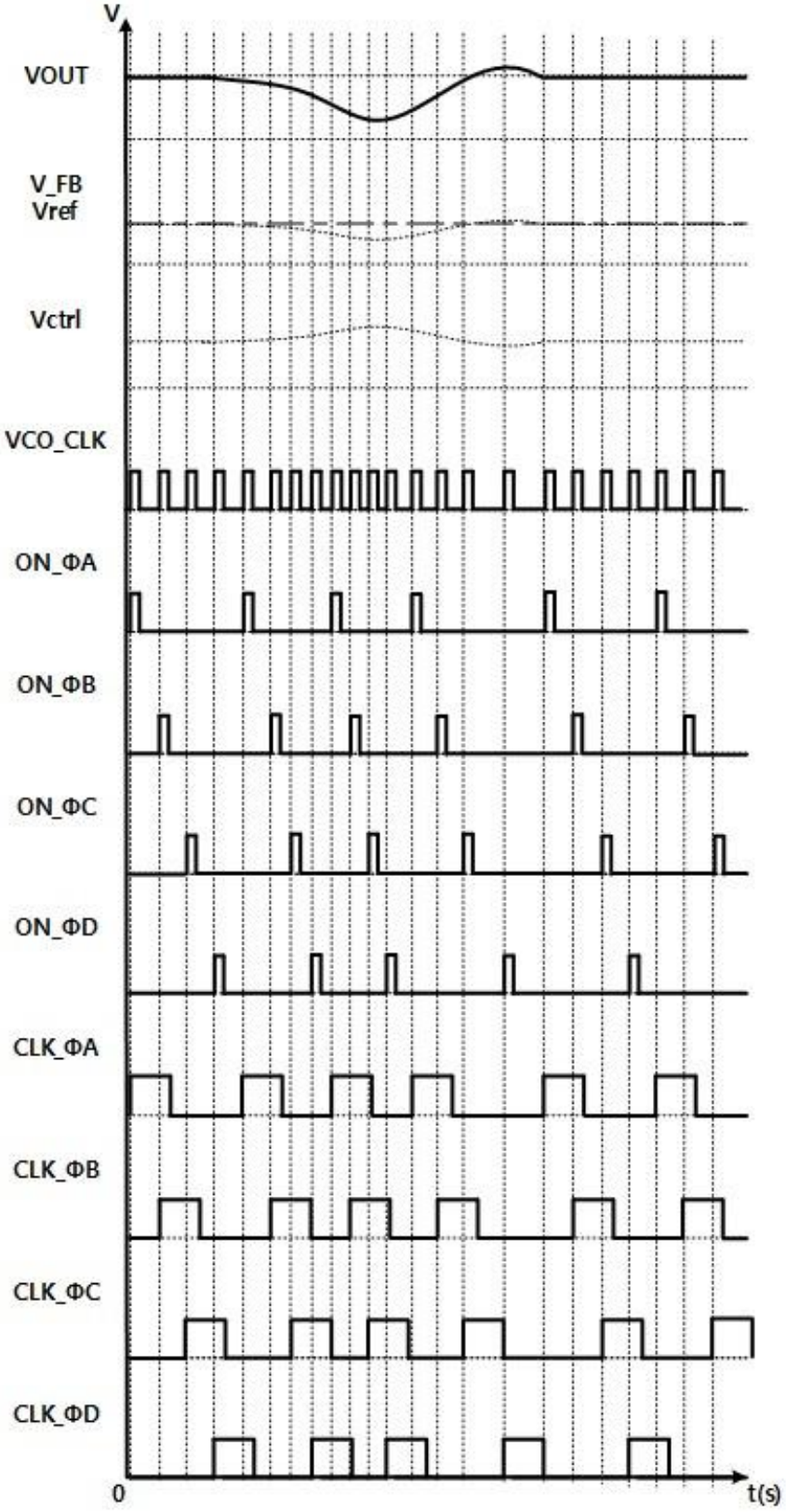


<그림.2.11 VCO Clock Pulse Control Block>



<그림.2.12 Differential Voltage Oscillator>

그림 2.11 은 VCO clock pulse control block diagram 이다. V_FB 과 Vref 전압을 받는 type-III voltage mode compensation network 에서 생성된 Vctrl 전압이 VCO 에 인가가 되어, 그림 2.13 에서 보이는 바와 같이 ON_ΦA ~ ΦD 까지의 switching clock 을 생성하며, 이는 time generator 인 COT 회로를 통하여 최종적으로 CLKΦA ~ ΦD 의 switching frequency 파형을 생성하여 buck converter 를 동작시킨다.



<그림.2.13 VCO based Clock waveform>

2.5 Comparison of feedback loop models

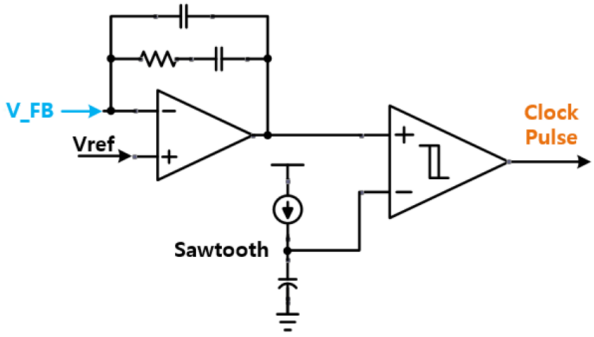
	Voltage Mode	Ripple based COT	VCO based VM (COT)
Accuracy	Good	Bad	Good
Bandwidth	Bad	Good	Bad
Compensation	Type-Ⅲ	Ripple injection	Type-Ⅲ
Frequency	Fixed	Variable	Variable
Phase synchronization (multiphase)	Good	Bad	Good
Simplicity	Bad (1-phase) Good (Multi-phase)	Good (1-phase) Bad (Multi-phase)	Bad (1-phase) Good (Multi-phase)
Balancing circuit	Required	Required	Required
High frequency operation	Bad	Good	Good
Seamless transition	No	Yes	Yes (requires +α)

<표 1. Comparison of feedback loop models>

Ripple-based 의 경우에는 회로가 간단하고 손쉽게 dc-dc converter 를 구동시킬 수 있다는 장점이 있다. 다만, multi-phase 구현에 취약하고, dc accuracy 가 다른 scheme 대비 나빠서 앞서 말씀드렸던 앰프로 추가적으로 보상해주어야 한다.

Vco-based 의 경우에는 conventional 구조와 매우 흡사하다. 다만, type-3 compensation 뒷 단에 sawtooth 대신에 voltage controlled oscillator 를 연결함으로써, 손쉽게 multi-phase 를 구현할 수 있다.

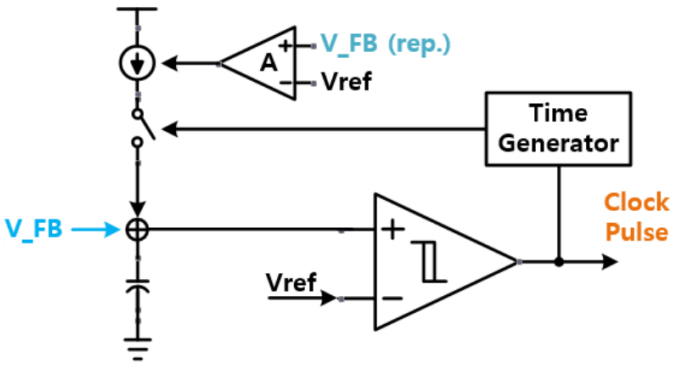
2.5.1 Conventional Voltage-mode Scheme



<그림.2.14 Conventional Voltage-mode Scheme>

위의 Voltage mode scheme 은 conventional 하게 사용되어 왔던 방식이다. Converter 의 출력단에서 저항 divide 되어 출력되는 feedback 전압과 reference 전압을 comparator 의 입력으로 활용하여 clock pulse 를 발생시키는 방식이다.

2.5.2 Ripple-based Feedback Scheme

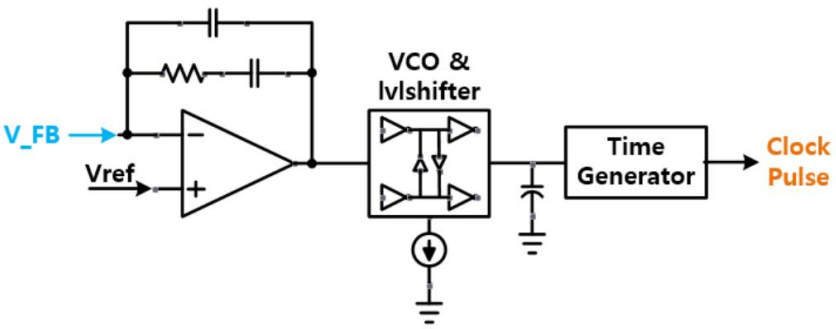


<그림.2.15 Ripple-based Feedback Scheme>

위의 ripple-injection scheme 은 converter 의 출력단에서 저항 divide 되어 출력되는 feedback 전압에 ripple 을 인위적으로 입혀 clock pulse 를 발생시키는 방식이다.

Feedback 전압 이 comparator 로 들어가면 reference 전압과 비교하여 출력을 발생시키고, time generator 에서 일정량의 on-time 을 만들도록 capacitance 에 전류를 충.방전한다. 위 앰프는 ripple-based scheme 에서 부족한 DC accuracy 를 보정하기 위함이다.

2.5.3 Voltage Controlled Oscillator-Feedback Scheme



<그림.2.16 Voltage Controlled Oscillator Feedback Scheme>

위의 voltage controlled oscillator 는 ripple-based 에서 취약점인 multi-phase 를 보완하기 위하여 제안하는 구조이다. Type-3 compensation 에 current 를 이용하여 frequency 를 조절하는 VCO 를 연결하여 설계를 진행하였다.

Type-3 compensation 의 ctrl 전압이 voltage controlled oscillator 의 tail MOSFET 으로 인가되어 ring oscillator 가 동작하게 된다. 이 ring oscillator 는 이미 각 stage 별로 위상이 구분되어 있어, 손쉽게 multi-phase 를 위한 파형을 얻기가 쉽다.

3 Multi-phase VCO-based COT buck converter design

3.1 The analysis of multi-phase VCO-based COT buck converter

3.1.1 Power Loss Analysis

DC-DC buck converter 를 설계하기에 앞서 처음으로 해야 할 일은 효율 감소를 분석하는 것이다[32]. DC-DC buck converter 의 전체 효율은 식 3.1 과 같이 P_{IN} 과 P_{OUT} 에 의해서 결정이 된다. P_{IN} 은 출력전압 P_{OUT} 과 전체 손실인 P_{LOSS} 의 합으로 결정이 된다. P_{LOSS} 는 식 3.3 과 같이 conduction loss 인 P_{CON}, switching loss 인 P_{SW}, body diode loss 인 P_{DIODE}, external device loss 인 P_{EX_DE} 와 내부 block 들의 loss 인 P_{SYS} 로 결정이 된다. 그리고, P_{EX_DE} 는 식 3.4 와 같이 외부소자인 inductor, output capacitor 와 inductor current sensing 을 위한 저항인 R_{DCR}, R_{ESR} 과 R_{SENSE} 의하여 결정이 된다.

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{P_{OUT}}{P_{OUT} + P_{LOSS}} \tag{3.1}$$

$$P_{IN} = P_{OUT} + P_{LOSS} \tag{3.2}$$

$$P_{LOSS} = P_{CON} + P_{SW} + P_{DIODE} + P_{SYS} + P_{EX_DE} \tag{3.3}$$

$$P_{EX_DE} = P_{DCR} + P_{ESR} + P_{SENSE} \tag{3.4}$$

Power MOSFET 의 RON 저항으로 발생되는 손실인 conduction loss 는 high-side MOSFET 과 low-side MOSFET 이 각각 turn-on 될 때에 발생되는 손실이다. 전체 conduction loss 는 식 3.5 와 같이 high-side 에서 발생하는 conduction loss 인 P_{HS_CON} 과 low-side 에서 발생하는 P_{LS_CON} 의 합인 P_{CON} 으로 결정이 된다. Conduction loss 는 power MOSFET 의 turn-on resistance(R_{ON})으로 인하여 발생이 되기 때문에 size 조절을 통하여 높은 효율을 얻을 수가 있다.

$$P_{CON} = P_{HS_CON} + P_{LS_CON} \tag{3.5}$$

$$P_{HS_CON} = I_{OUT}^2 \times R_{DS(ON)} \times \frac{V_{OUT}}{V_{IN}} \tag{3.6}$$

$$P_{LS_CON} = I_{OUT}^2 \times R_{DS(ON)} \times (1 - \frac{V_{OUT}}{V_{IN}}) \tag{3.7}$$

Switching loss 는 식 3.8 과 같이 gate driver 손실인 P_{GATE} 와 power MOSFET 의 기생 capacitor 에 의해서 발생하는 switching loss 인 P_{SW} 의 합으로 구성된다. 식 3.9 는 high-side gate driver 와 low-side gate driver 에서 발생하는 전체 손실이고, D 는 on duty 를 의미하며 이를 다 합하면, driver 가 turn-on 시에 발생되는 총 loss 를 결정한다. Converter 가 switching 시에 power MOSFET 에서 발생되는 switching loss 는 그림.3.1 와 식 3.10, 식 3.11 같이 t_2 와 t_3 를 합친 t_{ON_HS} 와 t_4 와 t_5 를 합친 t_{OFF_HS} 로 나타내어진다.

$$P_{SW} = P_{SW_HS} + P_{SW_LS} \times P_{GATE} \tag{3.8}$$

$$P_{GATE} = P_{GATE_{HS}} + P_{GATE_{LS}} = \left[\left(I_{HS_{DRIVER}} \cdot VBOOT \cdot D\right) + \left(I_{LS_{DRIVER}} \cdot AVDD\right) \cdot (1 - D)\right] \cdot F_{SW} \quad (3.9)$$

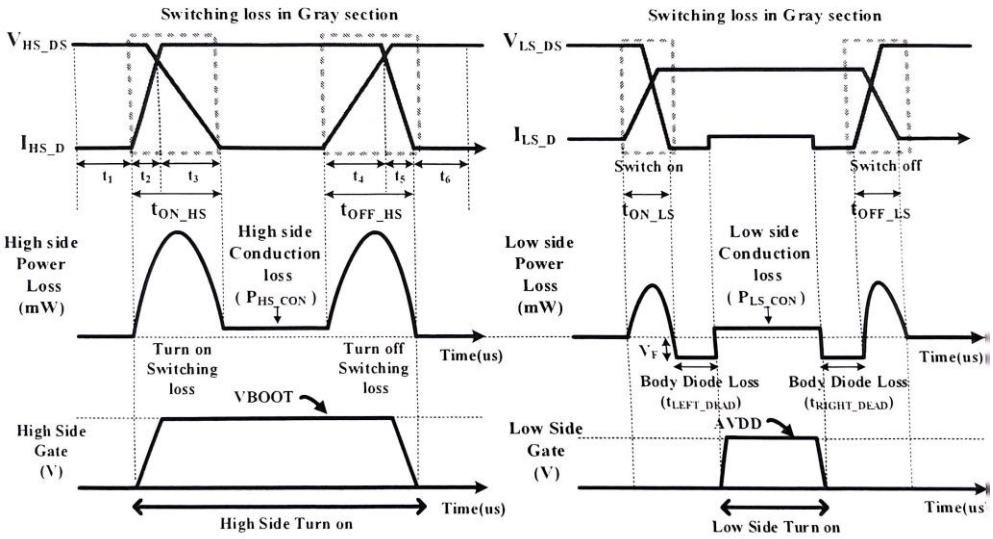
$$P_{SW_HS} = V_{HS_DS} \times I_{HS_D} \times F_{SW} \times (t_{ON_HS} + t_{OFF_HS}) \quad (3.10)$$

$$P_{SW_LS} = V_{LS_DS} \times I_{LS_D} \times F_{SW} \times (t_{ON_LS} + t_{OFF_LS}) \quad (3.11)$$

Body diode loss 는 High side 와 Low side power MOSFET 이 동시에 On 신호가 발생하여 관통전류가 발생하지 않도록 High side 와 Low side power MOSFET 을 모두 꺼진 상태로 만들어주는 구간에서 발생하는 손실이다. 이 시간을 deadtime 이라고 하며 이 시간 동안 Power MOSFET 에 내장되어 있는 Body diode 에 의해 전압강하가 발생하게 된다. 전압강하는 약 600 mV ~ 700 mV 가 발생하게 된다. Body diode loss 식 3.12 와 같이 전압강하 VF, $t_{DEADTIME}$= t_{LEFT_DEAD} + t_{RIGHT_DEAD}, 스위칭 주파수 Fsw 와 전류 IOUT 으로 결정이 된다.

$$P_{DIODE} = t_{DEADTIME} \times F_{SW} \times V_F \times I_{OUT} \quad (3.12)$$

실체 측정에서는 위에 설명된 요소뿐만 아니라 Bonding wire, PAD, PCB Line 손실 등 다양한 손실들이 발생하여 실제 설계된 효율 보다 감소하여 나타나기 때문에 설계 단계에서 효율 분석을 통하여 전체 효율 손실을 최대한 줄이도록 설계하여야 한다.



<그림.3.1 High-side and Low-side Power MOSFET switching waveforms>

3.1.2 Calculation of Inductor and Output Filter Capacitor

Switching type 의 regulator 는 High side power MOSFET 의 switch 가 turn 예 이 되었을 때에는 inductor 의 양단전압이 플러스가 되면서 inductor 로 흐르는 전류의 증가하게 되고 증가한 전류가 inductor 에 충전되게 된다[40]. 반대로 High-side Power MOSFET 의 switch 가 turn off 되고 Low-side power MOSFET 이 turn on 될 때에는 전류 공급이 차단되고 저장되어 있던 전류가 부하 방향으로 방출되게 된다. 이러한 switching 의 On 또는 Off 시간을 조절하여 원하는 전압 값을 생성하게 된다. inductor 양단에 걸리는 전압과 전류의 관계는 식 3.13 과 같이 표현되며 그림.3.2 와 같다.

$$V_{IND} = L \times \frac{di}{dt} \tag{3.13}$$

Switching regulator 는 Ts 의 주기를 가지고 반복적으로 inductor 에 충전과 방전을 반복하게 된다. 한 주기에 충전과 방전되는 전류의 양을 적분을 하면 식 3.14 와 같이 표현하며 식 3.15 와 같이 정리가 된다.

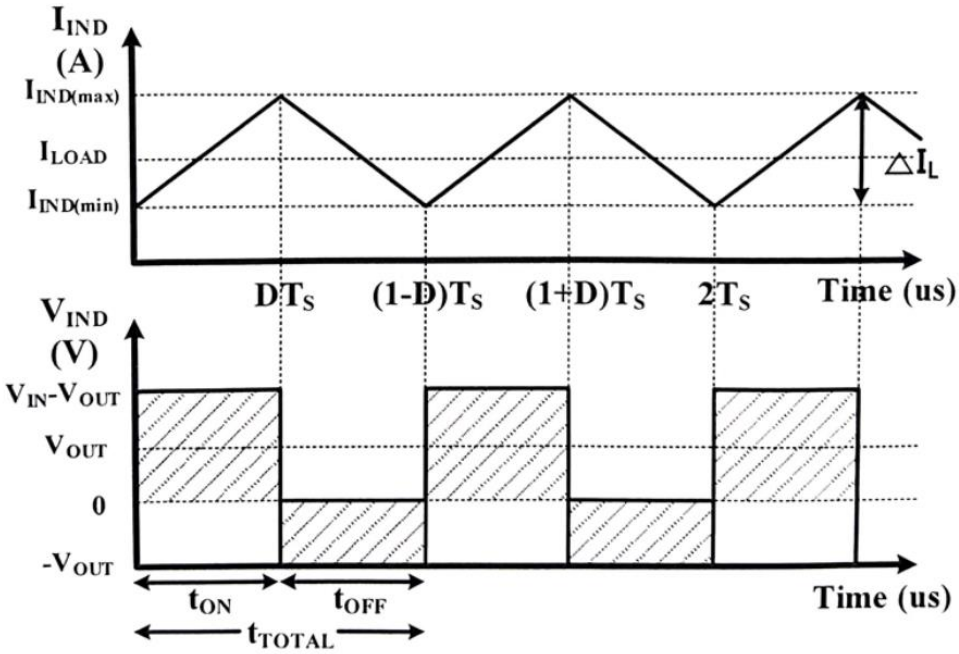
$$\frac{1}{L}\int_0^{Ts} V_{IND}dt = \int_0^{Ts} dI_{IND} = I(Ts) - I(0) = 0 \tag{3.14}$$

$$\int_0^{Ts} V_{IND}dt = 0 \tag{3.15}$$

inductor 양단에 걸리는 전압은 switch 가 On 되는 동안에는 입력전압인 V_{IN} 과 출력전압인 V_{OUT} 의 차로 발생하게 되고 Off 구간에서는 접지와 V_{OUT} 의 차로 나타나게 된다. 이를 수식으로 표현하면 식 3.16 과 3.17 로 정리할 수 있다 [32].

$$(V_{IN} - V_{OUT})DT_s = V_{OUT}(1 - D)T_s \tag{3.16}$$

$$V_{IN} \times D = V_{OUT} \tag{3.17}$$



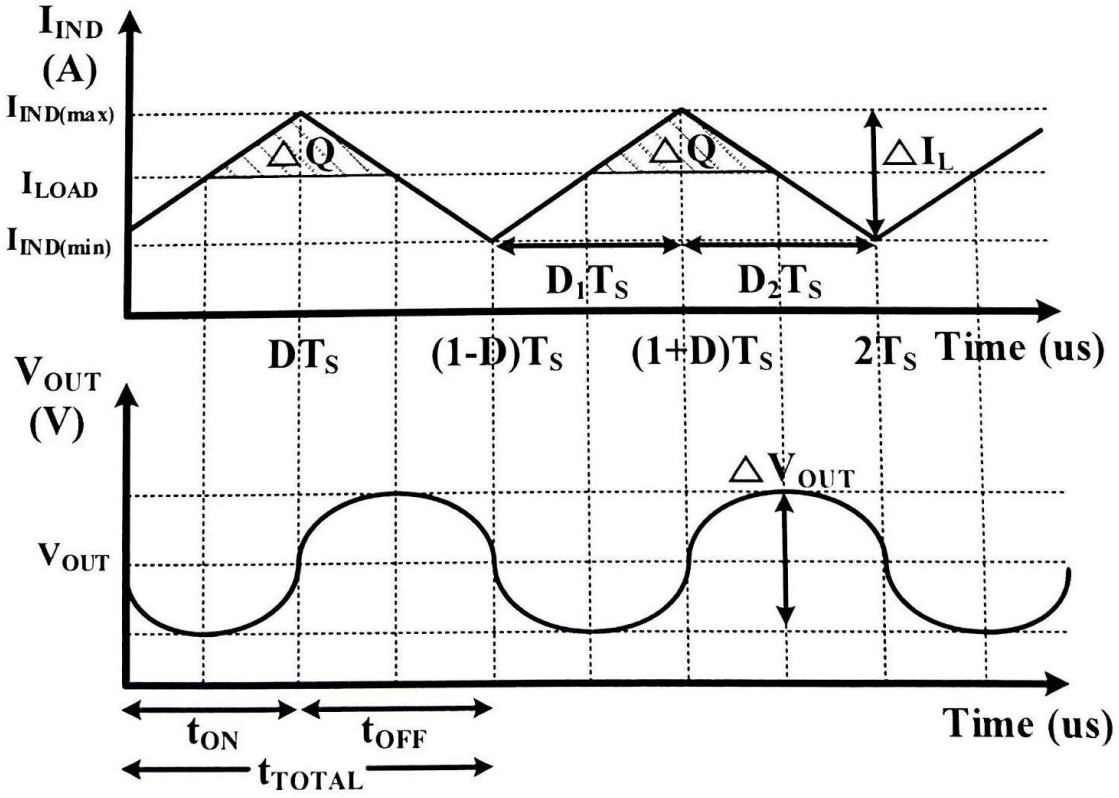
<그림.3.2 Inductor Current and Voltage Waveforms>

식 3.17 을 통해 DC-DC Buck Converter 의 turn on duty 를 구할 수가 있게 된다. 입력전압을 출력전압으로 나눈 값에 식 3.18 과 같이 원하는 효율을 곱하게 되면 최종 duty 가 나오게 된다.

$$D = \eta \times \frac{V_{OUT}}{V_{IN}} \tag{3.18}$$

그림 3.3 에서와 같이 출력전압의 ripple 은 inductor 의 전류 ripple 인 시 L 이 출력 capacitor 에 충전과 방전을 통해 출력전압, V_{OUT} 의 ripple 을 형성하게 된다. inductor 전류가 Load current (I_{LOAD}) 보다 클 경우 inductor 에 충전되어 있는 전하, Q, 가 capacitor 에 충전되면서 출력전압은 증가하게 된다. 반대로 I_{LOAD} 보다 inductor 전류가 작아질 경우 Capacitor 로부터 전하가 방전되면서 출력전압이 감소하게 된다. 결국 출력 ripple 을 구하기 위해서는 식 3.19 를 이용하여 ΔQ 에 대한 면적을 구해야 한다 [33].

$$\Delta Q = \frac{1}{2} \times \left(\frac{D_1 T_S}{2} + \frac{D_2 T_S}{2}\right) \times \frac{\Delta I_L}{2} = \frac{\Delta I_L}{8} \times T_S \tag{3.19}$$



<그림.3.3 Inductor Current and Voltage Ripple Waveforms>

ΔI_L 식 3.20 으로 정리되며 출력전압 ripple 은 식 3.19 와 식 3.20 을 적용하여 식 3.21 과 같이 출력 전압 ripple 을 구할 수 있다.

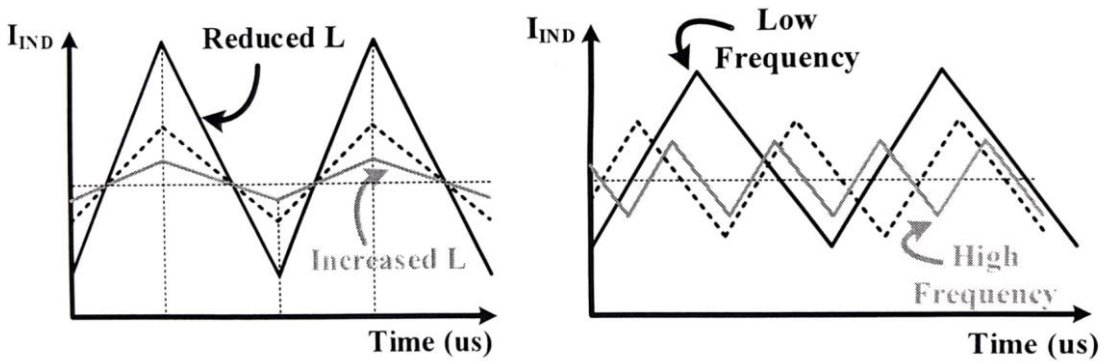
$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times D}{f_s \times L} \tag{3.20}$$

$$\Delta V_{OUT} = \frac{\Delta Q}{C} = \frac{\Delta I_L}{8C} \times T_S = \frac{(V_{IN} - V_{OUT}) \times D}{8 \times L \times C} \times T_S^2 \tag{3.21}$$

ΔI_L 과 ΔV_{OUT} 을 결정하기 위해서는 inductor 와 Capacitor 의 크기를 선택하여야 한다. ΔI_L 은 inductor 의 사이즈와 switching frequency 에 의해서 결정된다. 그림 3.4 는 inductor 와 switching frequency 에 변화에 따른 I_{IND} 변화를

보여준다. Switching frequency 나 inductor 사이즈가 증가할 경우 ΔI_L 은 감소하지만 inductor 의 증가로 인해 외부소자에 대한 비용이 증가하는 단점이 있다. 반대로 Switching frequency 나 inductor 사이즈가 감소하게 될 경우 ΔI_L 이 증가하게 되면서 inductor 가 포화 상태에 빨리 도달하여 Continuous Conduction Mode (CCM) 구간이 감소하게 되어 넓은 부하에서 높은 효율을 가질 수 없게 한다. 그러므로 식 3.22 를 통해 최적화된 inductor 사이즈를 결정하여야 한다.

$$L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN} \times f_s \times \Delta I_L} \tag{3.22}$$



<그림.3.4 Inductor Current Ripple Waveforms>

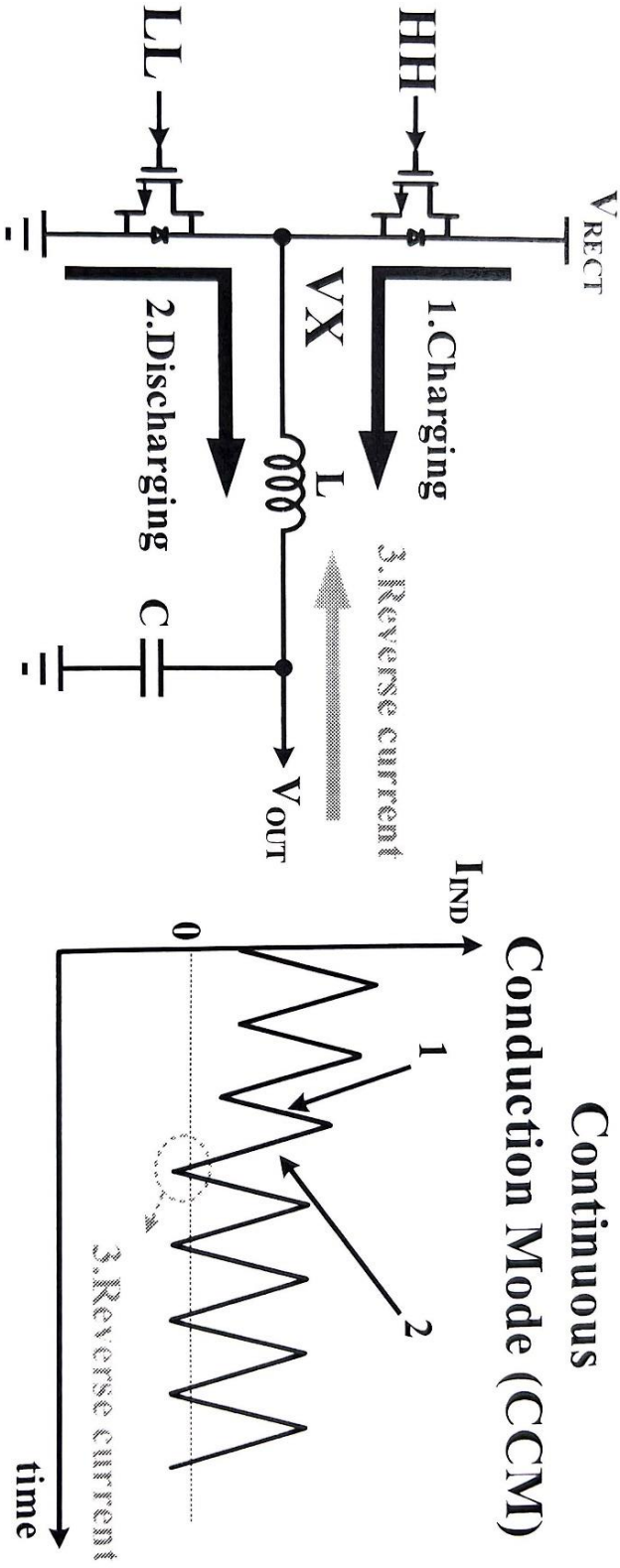
출력 Capacitor 의 사이즈는 inductor 의 사이즈와 함께 ΔV_{OUT} 을 결정하게 된다. 때문에 ΔV_{OUT} 의 Spec 을 결정하였다면 식 3.23 을 통해 Capacitor 의 사이즈를 계산할 수 있다. 그러 t-I 출력 Capacitor 는 Equivalent Series Resistance (ESR)성분을 포함하고 있기 때문에 Leakage Current 에 의한 전압강하가 무조건 발생하게 된다. 그러므로 식 3.23 을 통해 계산된 값보다 약 10% 이상 큰 Capacitor 를 사용하여 오차를 줄일 수 있도록 해야 한다.

$$C = \frac{\Delta I_L}{8 \times f_s \times \Delta V_{OUT}} \tag{3.23}$$

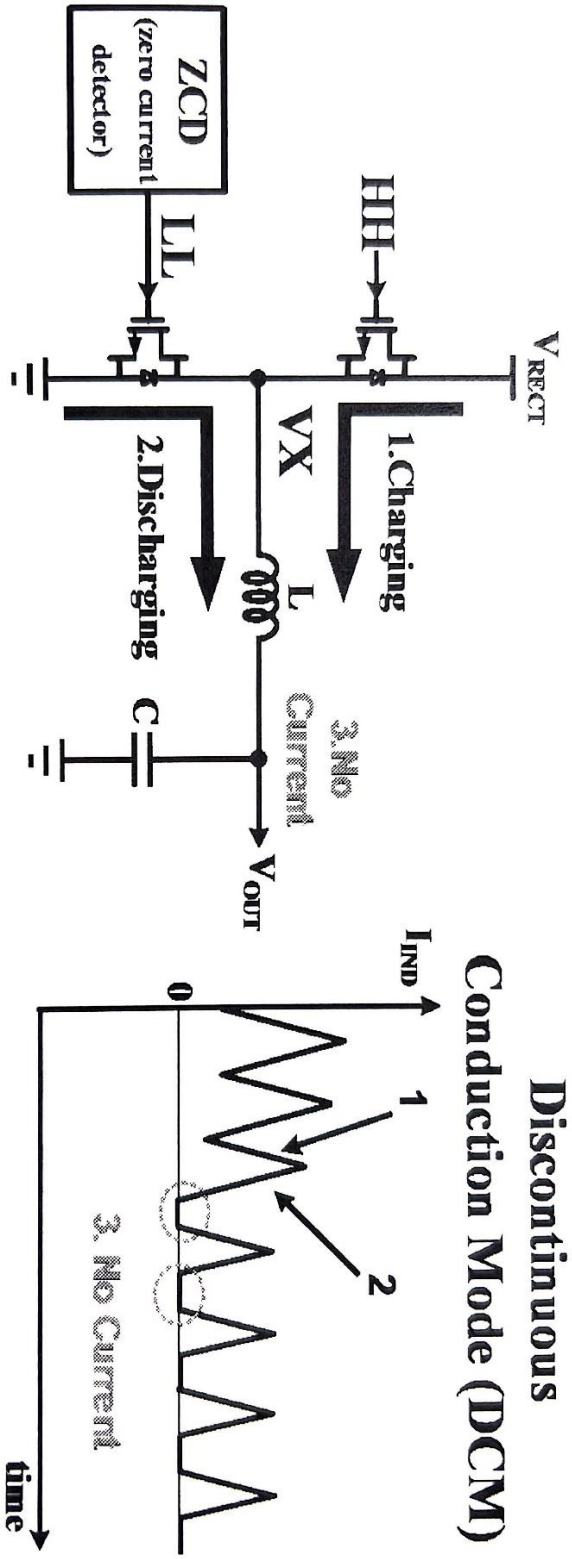
결정된 inductor 와 Capacitor 성분은 DC-DC Converter 의 Closed Loop Gain, Phase Margin 그리고 Compensation Size 를 결정하는 요소가 된다.

3.1.3 Continuous-Conduction-Mode (CCM) / Discontinuous-Conduction-Mode (DCM)

DC-DC Converter 는 부하의 크기에 따라 전류 연속 모드인 Continuous Conduction Mode (CCM) 와 전류 불연속 모드인 Discontinuous Conduction Mode (DCM)로 동작하게 된다. CCM 모드에서는 $I_{IND(MIN)}$이 0 이상에서 연속적으로 동작하게 된다. 그림 3.5 는 CCM 모드에서 전류 흐름과 파형을 나타낸다. CCM 모드는 일반적으로 부하가 큰 과부하에서 동작하게 된다. 만약 CCM 모드만을 적용한 DC-DC Converter 의 경우 I_{IND} 이 0 이하로 발생하게 될 경우 역 전류가 발생하여 전체 효율을 급격하게 떨어뜨리게 된다. 이러한 역 전류에 의한 영향을 줄이기 위해 그림 3.6 과 같은 DCM mode 를 정의한다. DCM mode 는 CCM mode 보다 부하가 작은 경 부하에서 동작하도록 설계된다. 경 부하에서는 전류가 방전하는 주기 동안 I_{IND} 가 0 보다 적은 구간이 발생하게 되고 역 전류 발생을 억제하기 위해 Zero Current Detector 또는 Zero Current Sensing 을 사용하여 vx 노드 전압과 접지의 전압차이를 비교하게 된다. 만약 vx 노드 전압이 0 보다 작아질 때, Low side Power MOSFET 을 강제로 turn off 하여 reverse current 발생을 막고 경 부하에서 높은 효율을 유지할 수 있도록 한다[7,30,33].

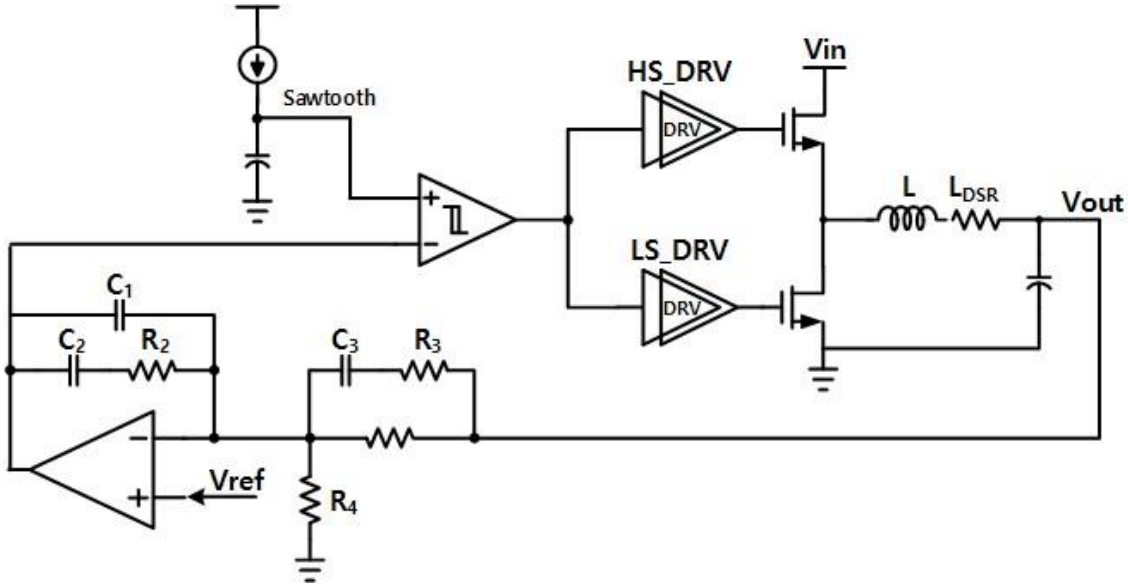


<그림.3.5 CCM Mode (a) Current Flow (b) Waveform>



<그림.3.6 DCM Mode (a) Current Flow (b) Waveform>

3.1.4 Loop gain analysis



<그림.3.7 Conventional Voltage-mode Feedback>

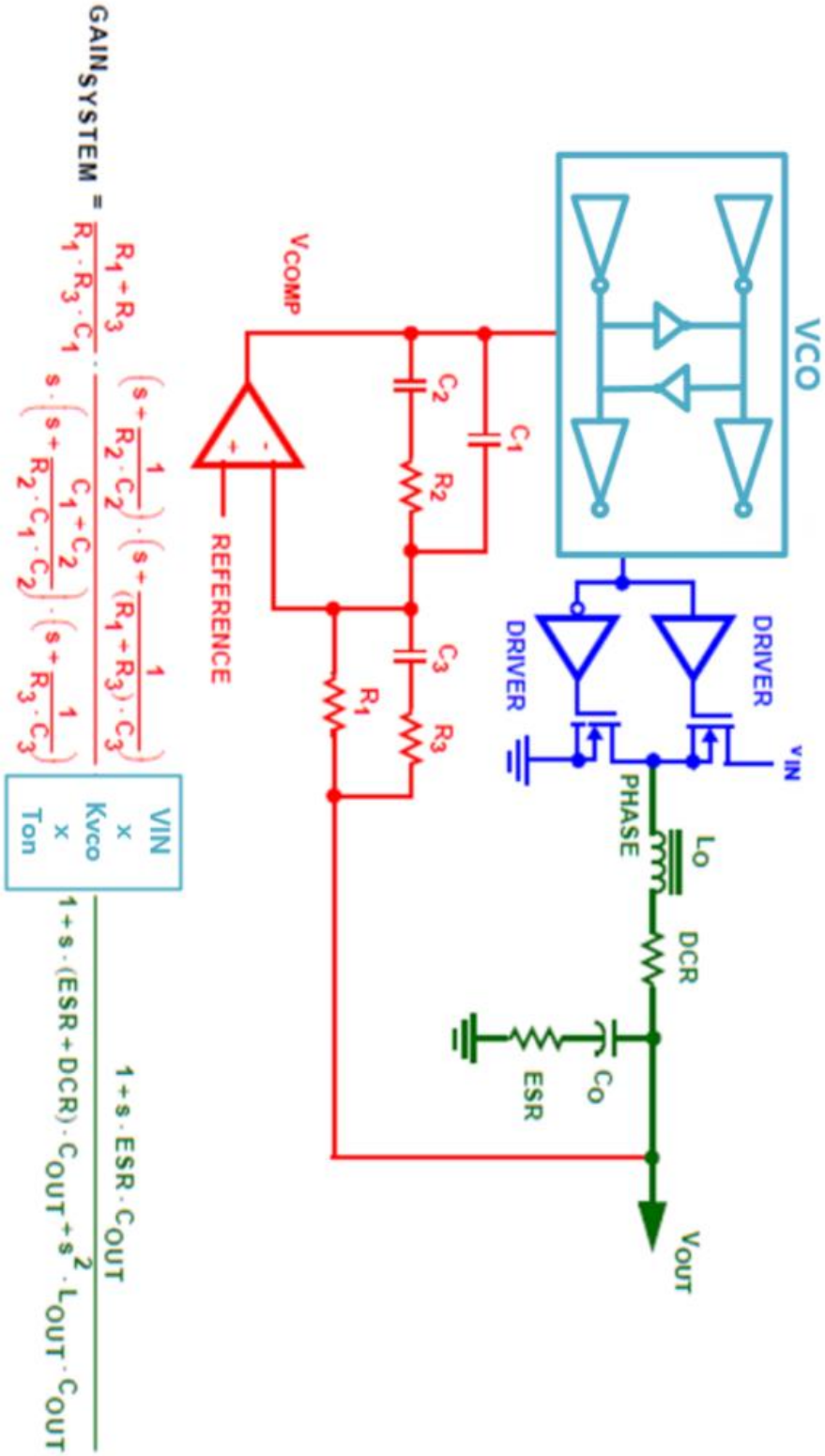
위 그림은 conventional feedback 방식으로서 Pulse Width Modulation 을 사용한다[33,36,38]. 이는 frequency 고정인 상황에서 duty 를 가변 하는 형식이다. Gain system 은 LC 공진을 일으키는 output inductor 와 output capacitor 로 이루어진 IC 외부 passive 소자들의 LC gain 과 그로인하여 발생된 출력을 IC 내부에서 feedback 받아 phase margin 을 보상해주는 type-3 voltage mode compensator 의 gain, 그리고 보상단에서 받은 전압과 oscillator 에서 받은 전압을 comparator 로 비교하여 power transistor MOSFET 을 구동 시켜주어 최종적으로 target 전압에 맞추기 위한 input 과 ramp oscillator 의 gain 이 존재한다.

<그림.3.8 Constant-On-Time Operation>

위 그림은 해당 converter 에서의 constant-on-time operation 동작을 그린 파형이다. Duty 와 gain 은 식 3.24 와 식 3.25 에 의하여 다음과 같이 결정이 된다. 그림 3.9 에서는 conventional voltage mode 에서 사용되는 sawtooth oscillator 와 comparator 대신에 ring-based 구조인 voltage controlled oscillator(VCO) 가 적용됨으로 인하여, gain 또한 식 3.25 로 적용이 된다.

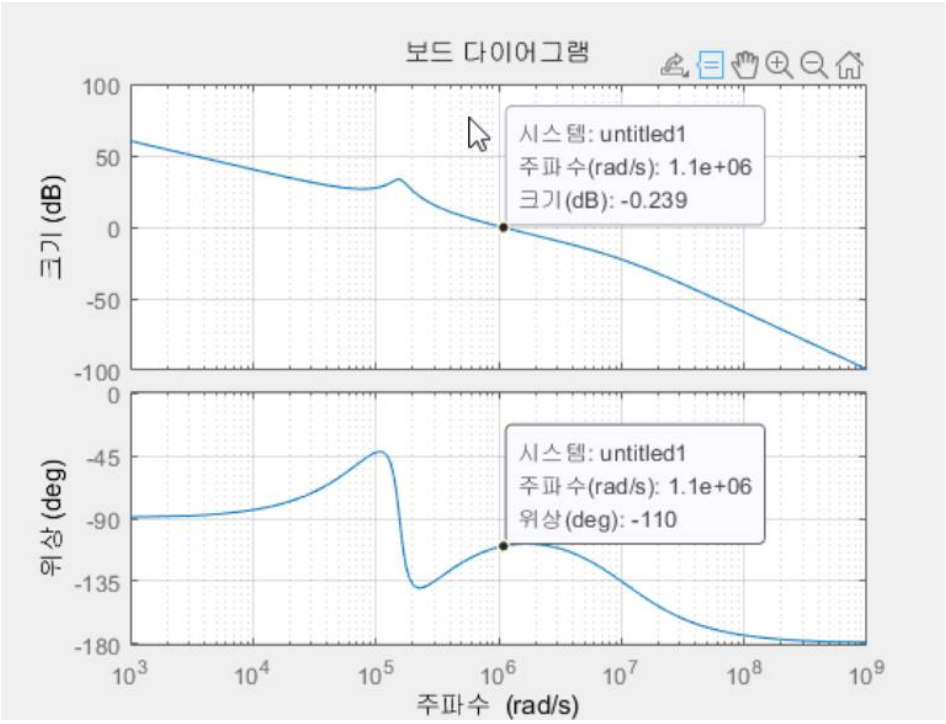
$$D = \frac{T_{ON}}{T_{SW}} = \frac{V_{OUT}}{V_{IN}} = T_{ON} \times K_{VCO} \times V_{CTRL} \tag{3.24}$$

$$G = \frac{SW}{V_{CTRL}} = V_{IN} \times K_{VCO} \times T_{ON} \tag{3.25}$$



<그림.3.9 Proposed Voltage-Controlled-Oscillator Feedback>

3.1.5 Loop phase margin analysis



<그림 3.10 Loop Phase Margin Analysis>

Buck 컨버터는 더 높은 입력 전압을 더 낮은 출력 전압으로 강압하는 일종의 DC-DC 컨버터이다. Buck 컨버터의 control loop 는 switch 의 duty cycle 을 조정하여 출력 전압을 조절하는 역할을 한다. Phase margin 의 값은 시스템의 안정성을 나타내는 control loop 를 의미한다.

Phase margin 은 loop gain 이 '1'일 때 피드백 신호의 위상이 기준 신호의 위상보다 얼마나 뒤떨어져 있는지를 측정한 것이다. Buck 컨버터에서 시스템의

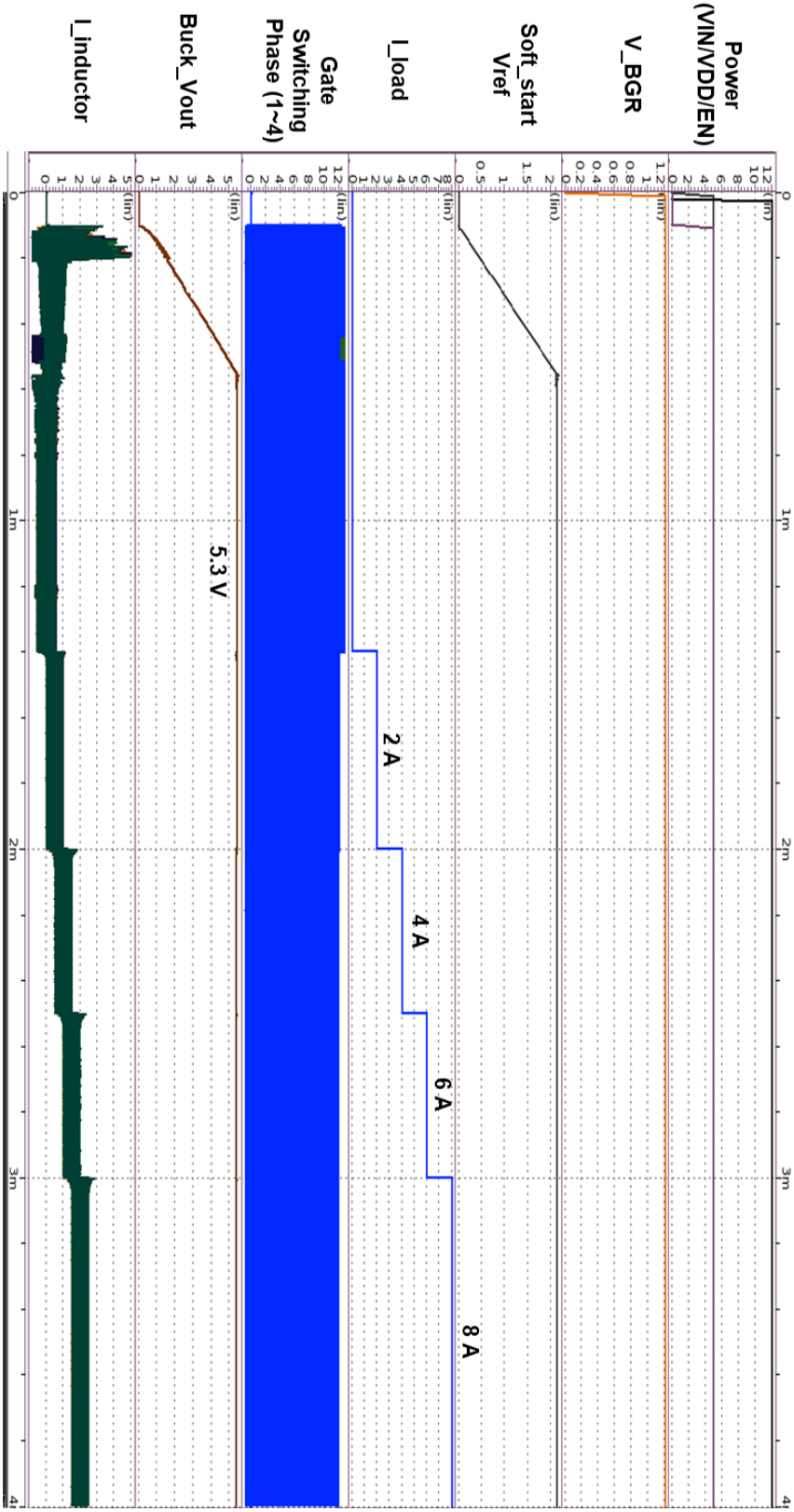
small-signal 모델을 생성하고 기준 신호에 대한 피드백 신호의 위상 편이를 계산하여 phase margin 을 분석할 수 있다.

안정적인 시스템을 위해서는 phase margin 이 45 도보다 커야 한다. 제안하는 feedback 회로에서는 70 도의 phase margin 을 갖는다. Phase margin 이 너무 낮으면 시스템이 불안정해지며 발진의 위험이 있다. phase margin 을 개선하기 위해 제어 루프에서 보상 네트워크를 조정할 수 있다. 여기에는 피드백 resistor, capacitor 그리고 inductor 의 값을 변경한다.

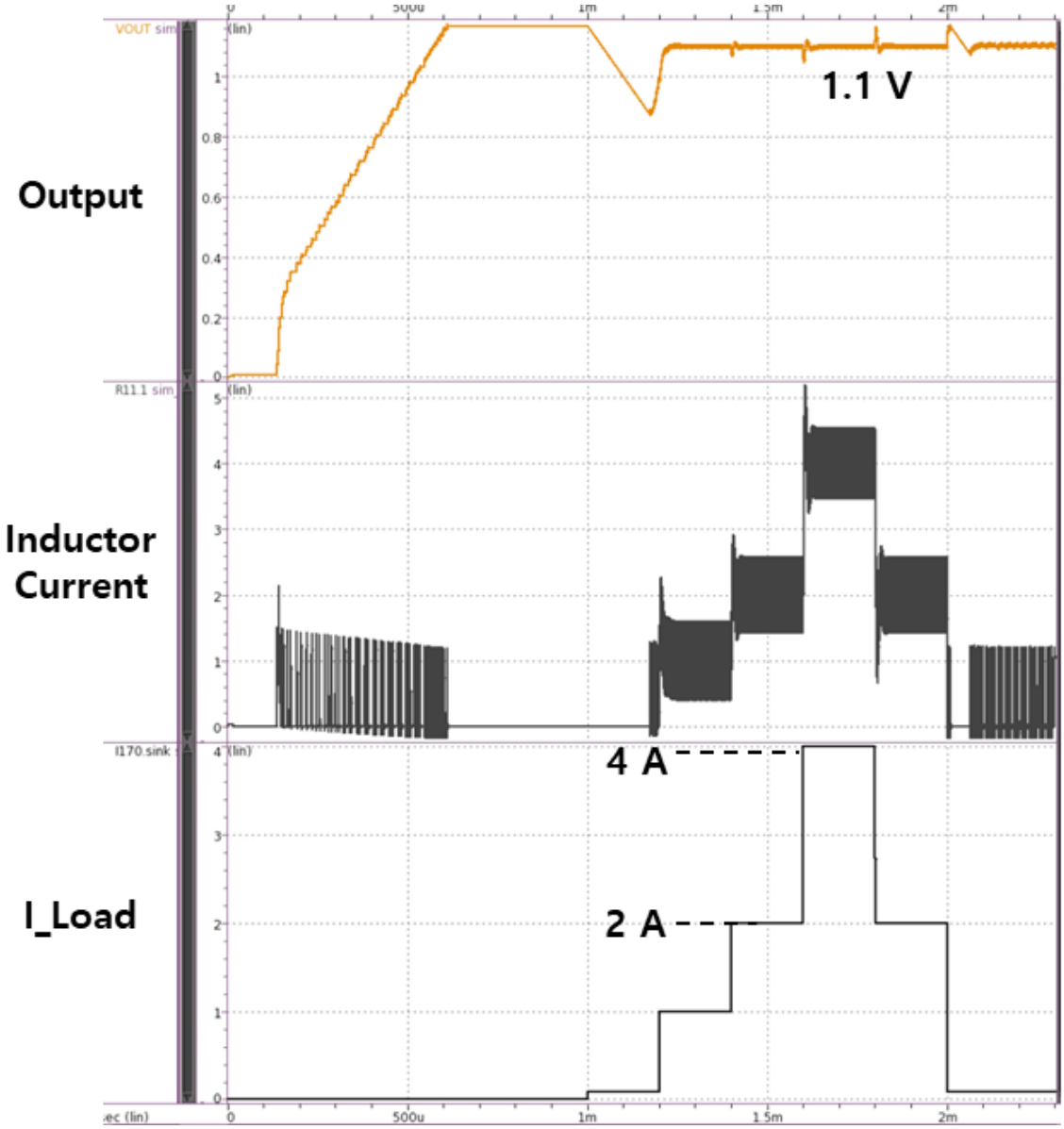
3.1.6 Waveform of multi-phase VCO-based COT buck converter

그림 3.11 은 ripple-based buck converter 의 top simulation waveform 이다. VIN 12V 가 인가되고 BGR 전압이 뜬 후에 각각의 phase 별로 switching 이 동작하여 inductor current 를 output capacitance 에 축적하여 max output current 인 8A 에서도 target 전압인 5.3V 를 만족하였다.

그림 3.12 는 VCO-based buck converter 의 top simulation waveform 이다. Ripple-based 와 같이 max output current 인 4A 에서도 target 전압인 1.1V 를 만족하였다.

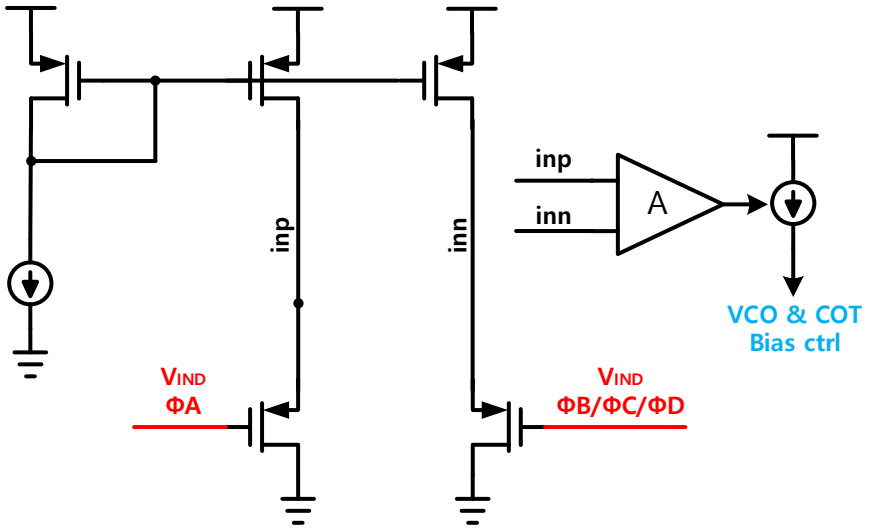


<그림 3.11 Ripple-based Buck Converter Waveform>



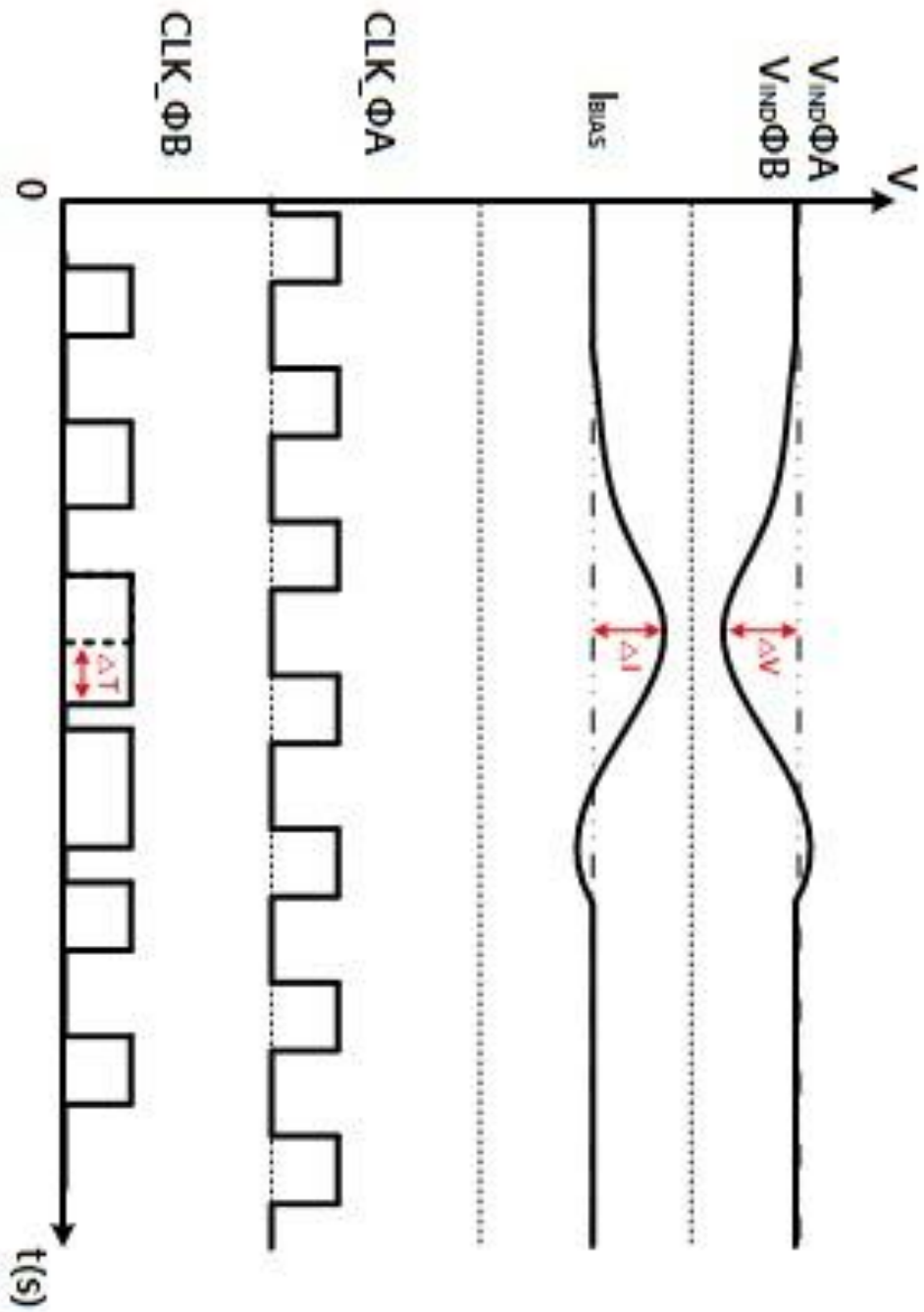
<그림 3.12 VCO-based Buck Converter Waveform>

3.2 Design of transient response

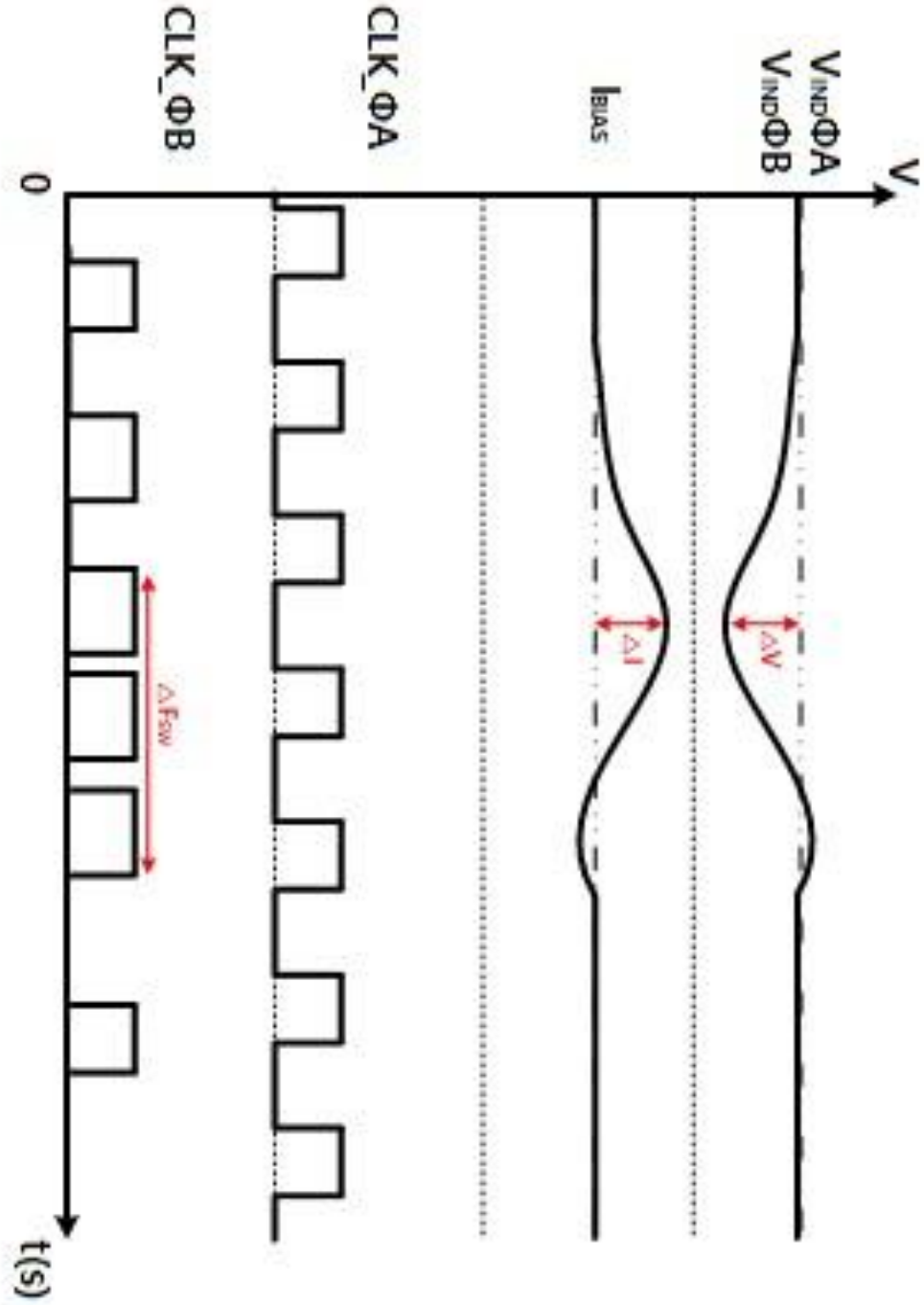


<그림 3.13. Schematic of Voltage Controlled Oscillator Current Feedback Scheme>

Buck converter 의 출력 전압이 1.1V 라서 전압을 한단계 승압시켜주기 위하여 pmos 를 이용하였으며, 그 다음에는 differential amplifier 를 이용하여 master 인 phase-A 를 기반으로 slave 인 B,C,D 의 cap charge 회로로 보내서 frequency 또는 on-time 을 조절하는 기능을 한다.



<그림 3.14 VCO-based Inductor Current Balancing Control Waveform>

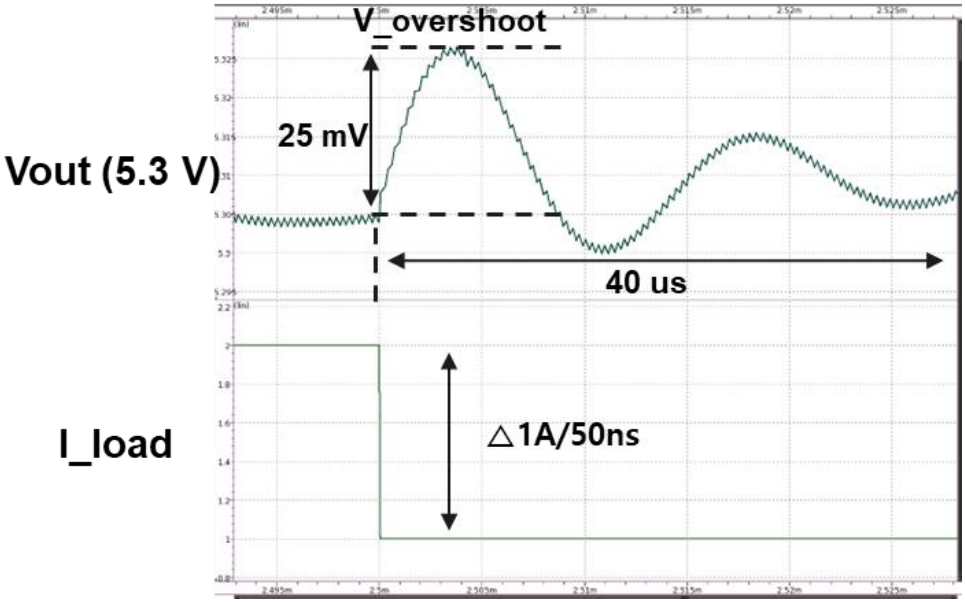


<그림 3.15 VCO-based Switching Frequency Control Waveform>

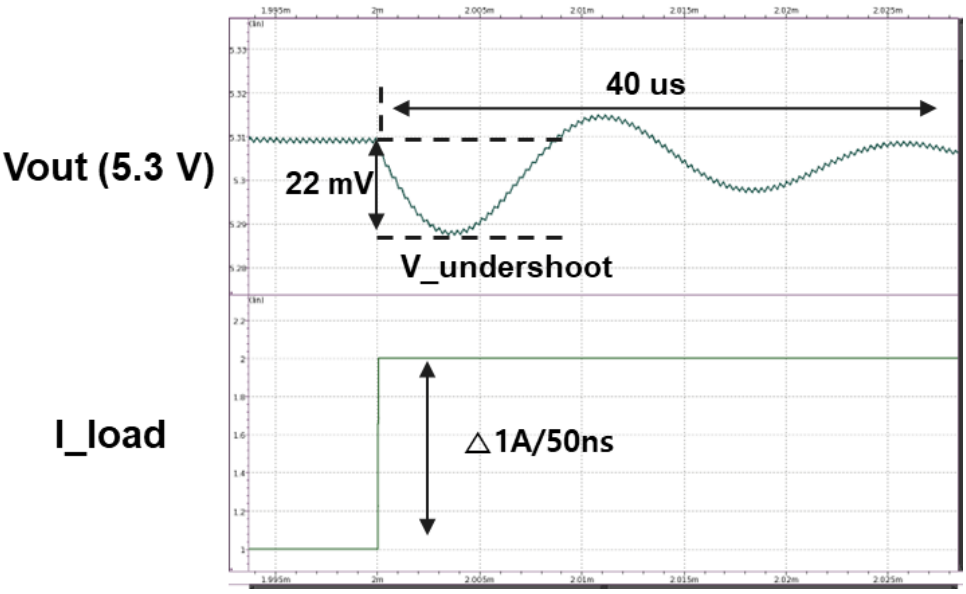
3.2.1 Waveform of load transient response

그림 3.16, 3.17 은 ripple-based overshoot 과 undershoot response waveform 이다. Load step 은 Δ1A/50ns 이며, load transient 부터 settling 까지 40us 가 소요되고 최대 25mV 의 overshoot 이 발생하였다. 반면에 그림 3.16 은 같은 load step 에서 최대 27mV 의 overshoot 이 발생하였고, settling 까지 10us 가 소요되었다.

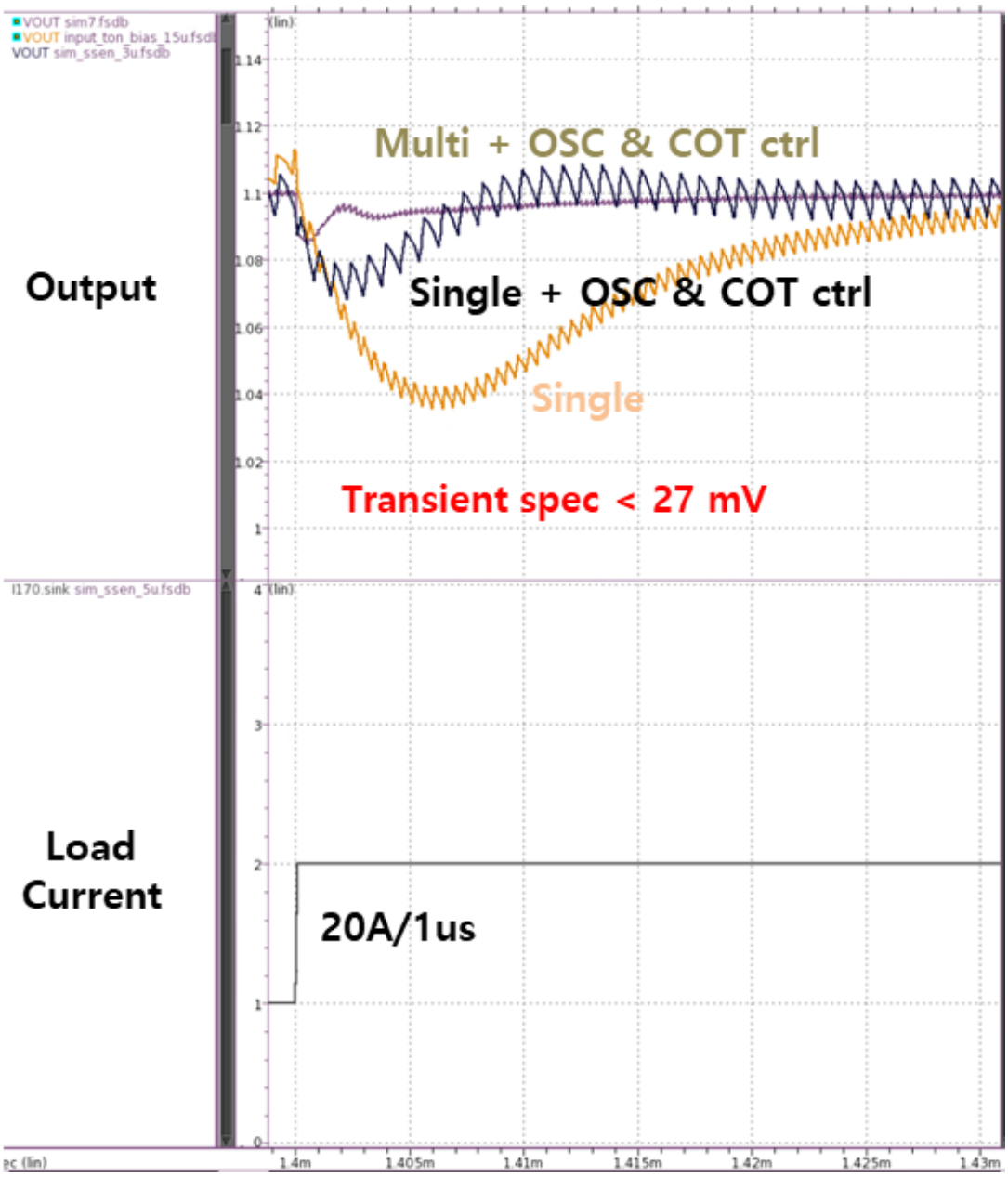
그림 3.18 은 load transient 상황일때의 step response 를 확인한 simulation 이다. 20A/1us 의 slew 로 load current 가 동작을 할 때에, single 단독으로 동작 시에는 60mv 가까이 droop 이 발생하였으나, 4-phase 와 oscillator frequency 와 constant on-time duty control 동작 시에는 17mV 가량의 droop 이 발생하여 transient spec.을 만족하였다.



<그림 3.16 Ripple-based overshoot response>



<그림 3.17 Ripple-based undershoot response>



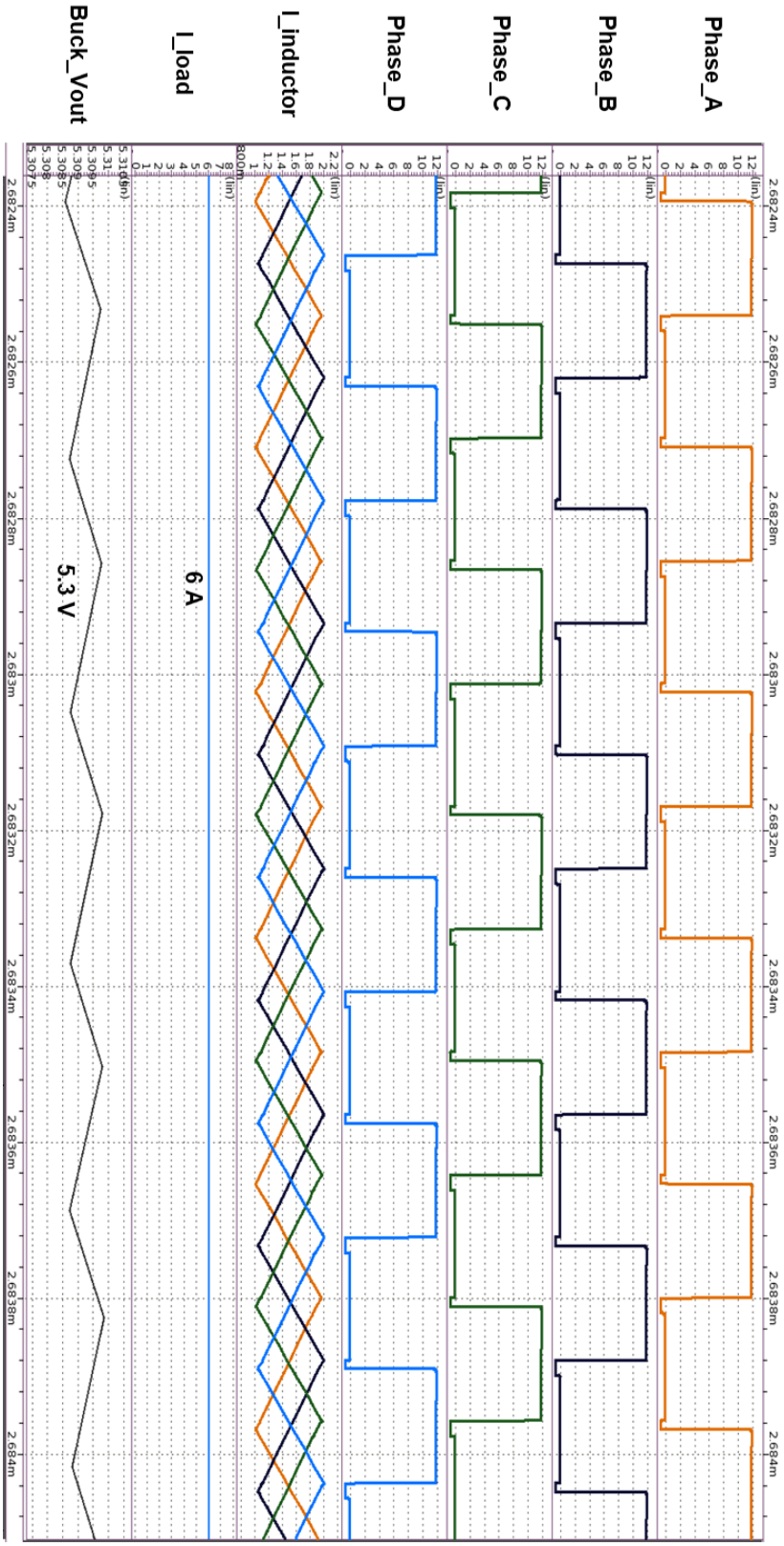
<그림 3.18 VCO-based overshoot response>

3.3 Design of inductor current balancing

3.3.1 Waveform of inductor current balancing response

3.3.1.1 Ripple-based inductor current balancing response

그림 3.19 은 ripple-based buck converter 의 top simulation waveform 이다. VIN 12V 가 인가되고 phase A~D 까지 switching 을 하면서 target 전압인 5.3V 를 만족하였고, 6A load current 에서 inductor current balancing 동작이 잘되는 것을 확인하였다.

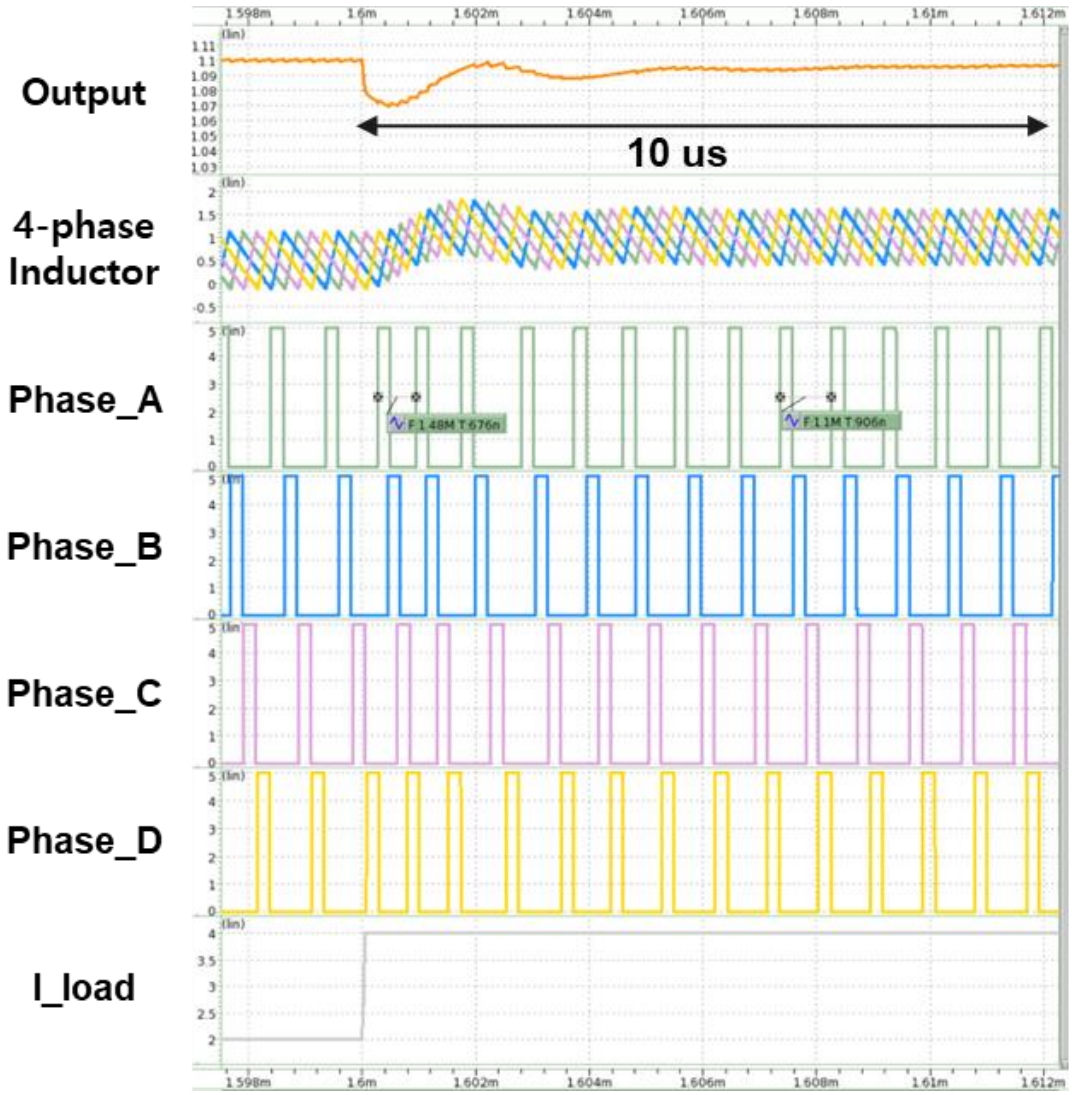


<그림 3.19 Ripple-based inductor current balancing>

3.3.1.2 VCO-based inductor current balancing response

그림 3.20 는 VCO-based buck converter 의 top simulation waveform 이다. Ripple-based 와 같이 load step 에 따라 inductor current balancing 동작이 잘되는 것을 확인하였다.

Simulation 을 확인한 결과, 4-phase 동작 시에 출력의 settling time 이 10us 이내로 들어옴을 확인할 수가 있었다. 또한, load step 으로 인한, voltage droop 이 발생하였을 때, switching frequency 가 phase A 부터 D 까지 1.48MHz 까지 증가하여 load transient 상황에 반응하는 모습을 보였고, settling 된 이후에는 1.1MHz 로 다시 줄어들어 동작하는 것을 확인하였다.



<그림 3.20 VCO-based inductor current balancing>

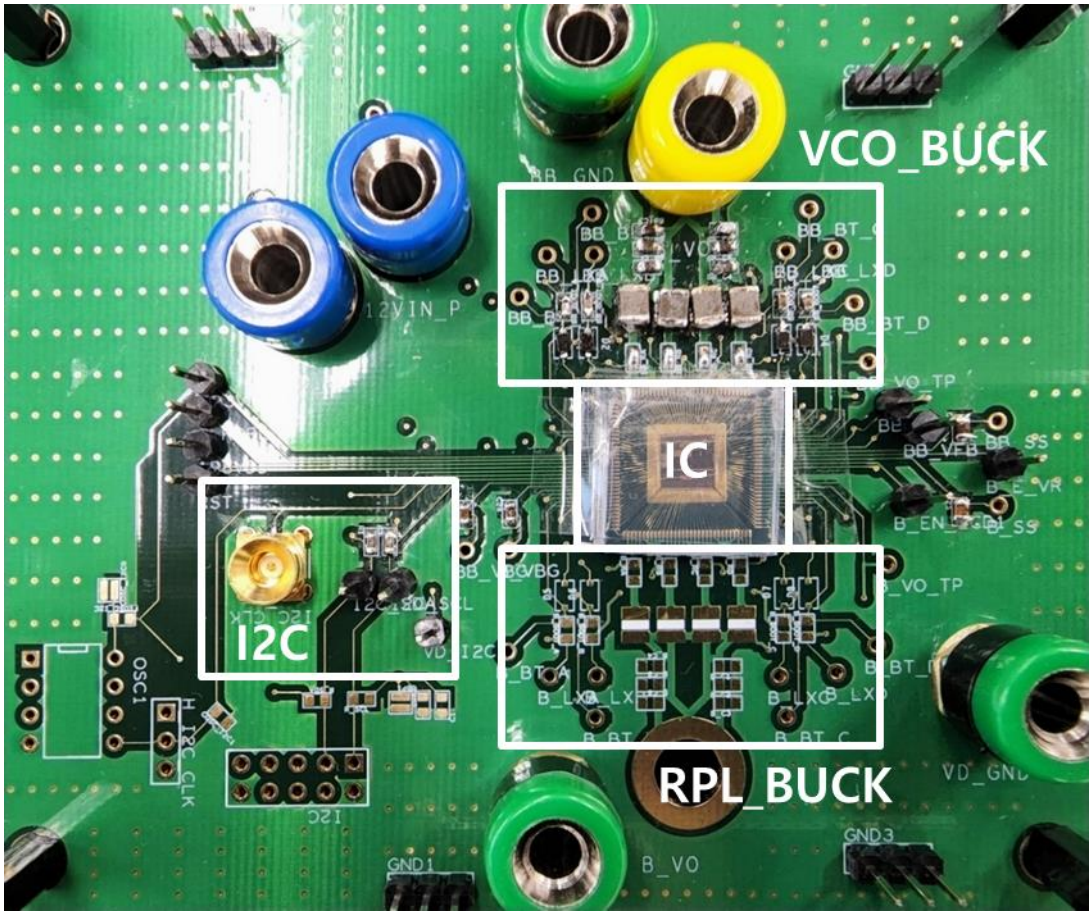
4 Measurement result

4.1 PCB/microchip

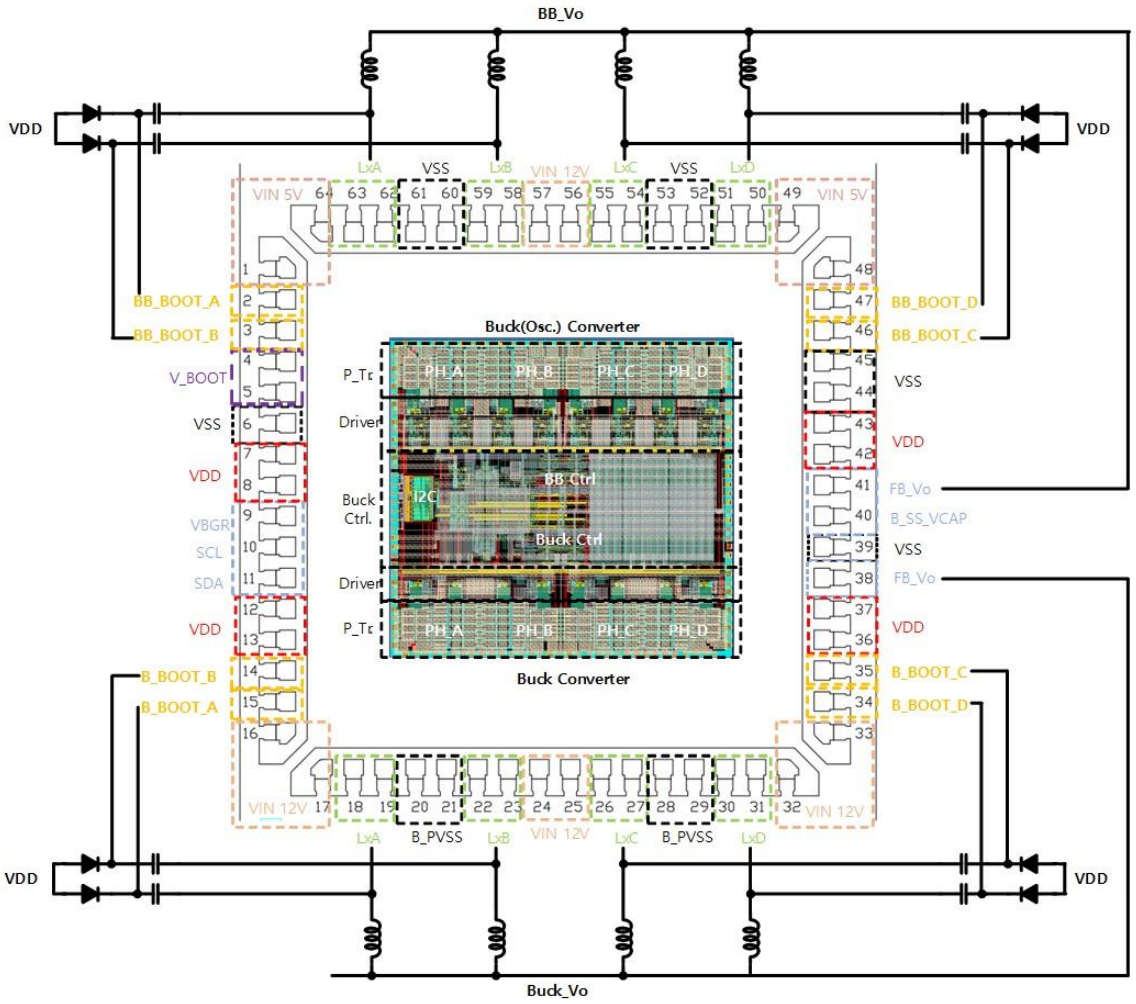
4.1.1 PCB

그림 4.1 은 제안하는 Multi-phase DC-DC Buck Converter 의 측정을 진행한 Test Board 이다. 제작한 IC 를 COB 하여 PCB 에 실장하였으며, 위 아래로 대칭이 되도록 passive 소자인 inductor, capacitance 그리고 boot strapping 을 위한 diode 를 납땜하였다.

그림 4.2 는 test board 에 실장된 IC 와 각 passive 소자인 inductor, capacitance 그리고 diode 가 연결되는 wire 를 나타낸다.



<그림 4.1 제안하는 Multi-phase DC-DC Buck Converter Test Board>



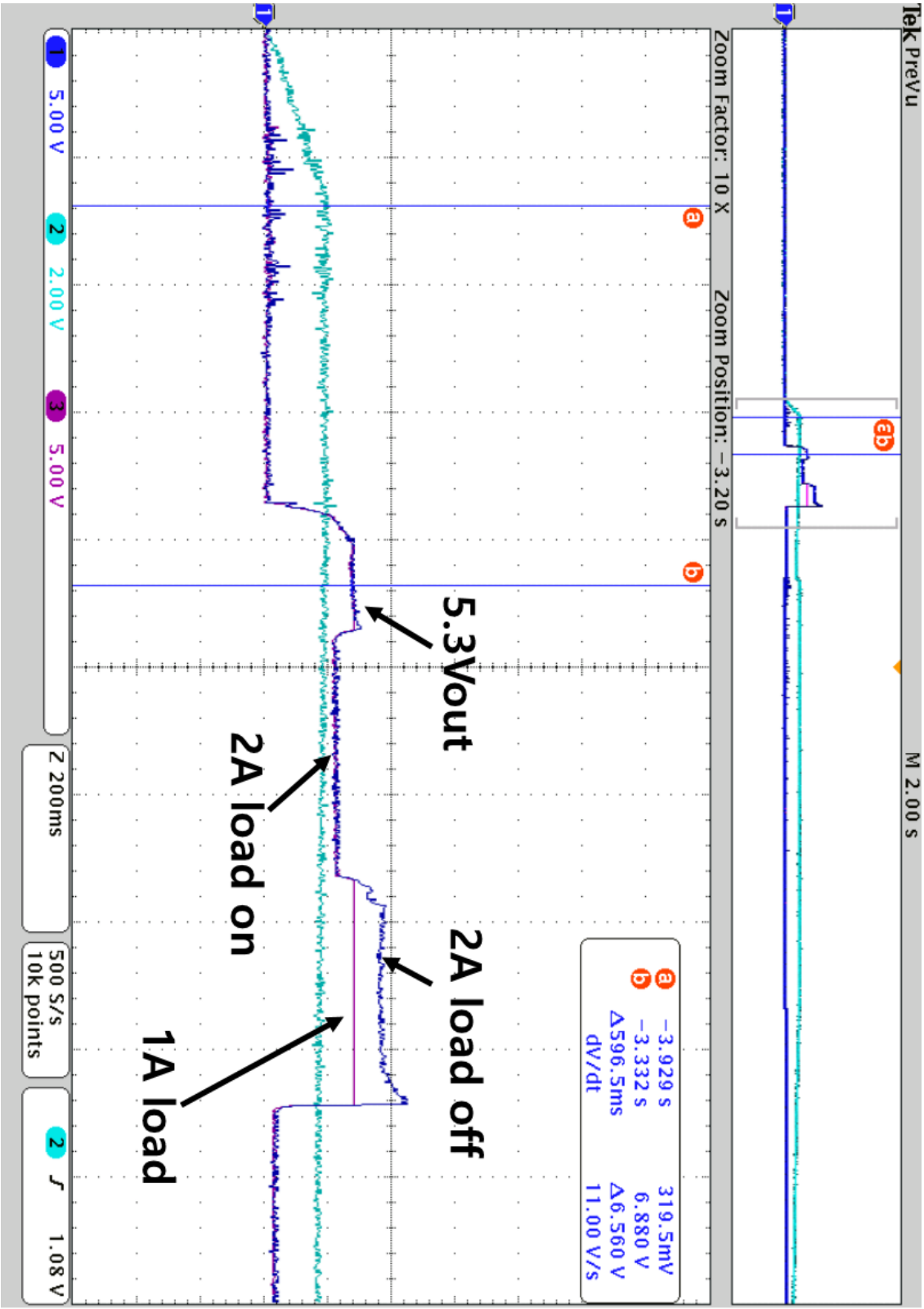
<그림 4.2 제안하는 Multi-phase DC-DC Buck Converter Layout>

4.2 Waveform

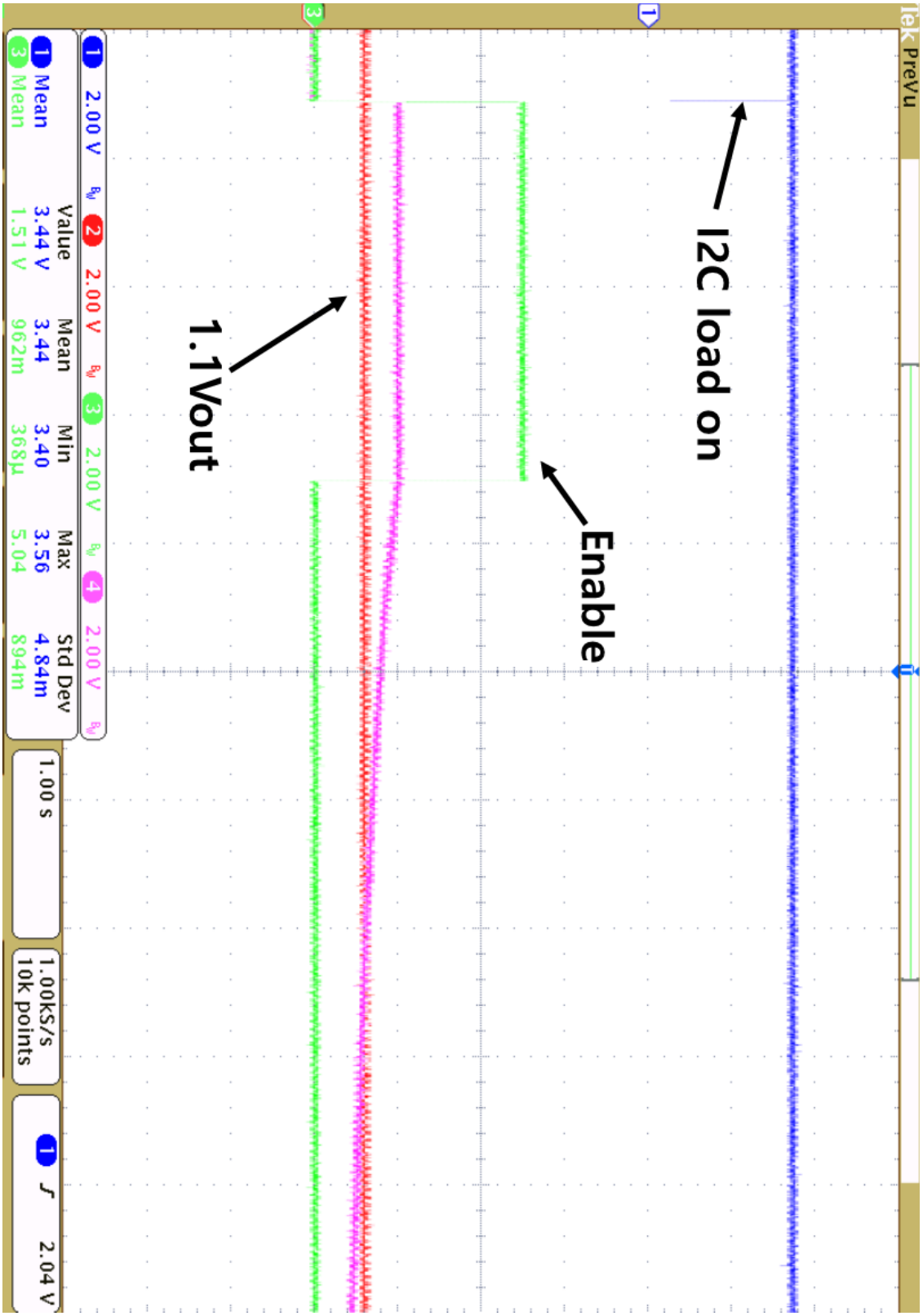
4.2.1 Multi-phase DC-DC Buck Operation

그림 4.3 과 그림 4.4 는 ripple-based 와 VCO-based 일 때의 start-up 부터 load 반응 및 turn-off 의 파형을 나타낸다.

다만, ripple-based DC-DC buck converter 의 경우에는 load on/off 시에 output 의 차이가 생긴다. 이는 feedback 회로의 충분한 phase margin 보상이 이루어 지지 않은 것으로 보이며, heavy load 일수록 출력 전압 droop 이 심하게 나타난다.



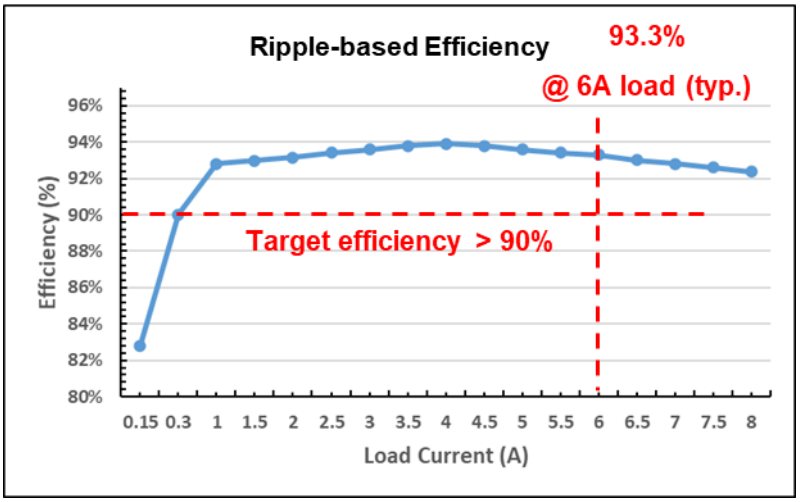
<그림 4.3 Ripple-based Buck Converter measurement>



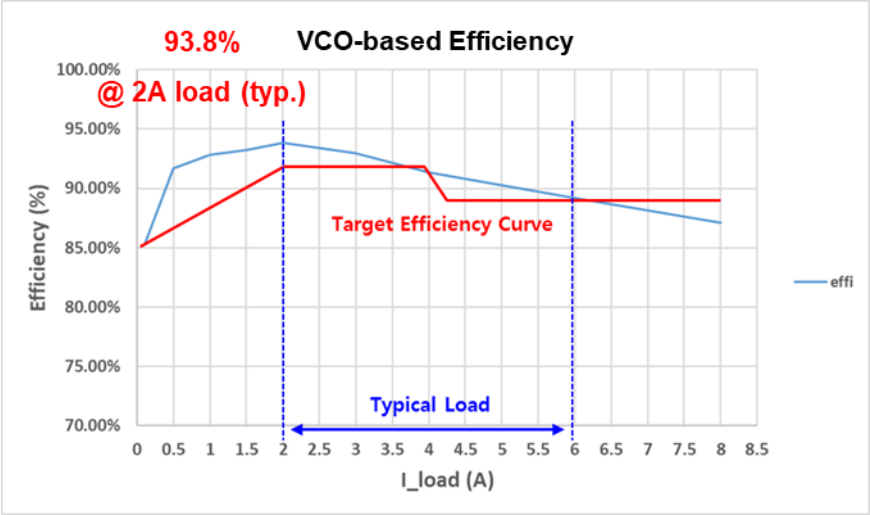
<그림 4.4 VCO-based Buck Converter measurement>

4.2.2 Efficiency

그림 4.5 와 그림 4.6 은 ripple-based buck converter 와 VCO-based buck converter 의 efficiency 이다. Ripple-based buck 의 target efficiency 는 90% 이상이며, light-load 를 제외하고는 만족함을 알 수가 있다. 또한, VCO-based buck 은 target efficiency 인 2A~4A 사이에는 92% 이상, 4A~6A 는 88% 이상을 만족한다. 각각 최고 효율은 93.3%@6A-load 그리고 93.8%@2A-load 이다.



<그림 4.5 Ripple-based Buck Converter efficiency>



<그림 4.6 VCO-based Buck Converter efficiency>

5 Conclusion and Future Work

5.1 Conclusion

항목		Ripple-based	VCO-based
Target Specification	Input Voltage	12 V	5 V
	Output Voltage	5.3 V	1.1 V
	Peak Efficiency	> 90%	> 85%
	Output Voltage Ripple Load Transient	+/- 40 mV	+/- 27 mV
	Output Max. / Peak Current	8 A / 12 A	6 A / 10 A

<표 2. Buck Converter Specification >

본 논문에서는 메모리 인터페이스용 multi-phase DC-DC buck converter 를 제안하였다. 제안한 converter 는 기존의 conventional voltage mode 와 ripple-injection mode 와 달리 voltage controlled oscillator mode 를 적용하여 load transient response 에서 settling time 을 줄이도록 설계하였다. 이를 통해 memory module 동작에 문제가 없는 수준까지 load current 를 제어할 수가 있게 되었다.

Voltage Controlled Oscillator based DC-DC buck converter 는 ring-based 구조를 가짐으로써 conventional voltage mode 와는 다르게 간단한 구조와 적은 layout 면적으로도 multi-phase 와 fast transient response 를 가질 수 있도록 설계를 진행하고자 하였다. 또한, load transient 특성은 좋지만 multi-phase 구현이

어려운 ripple-injection mode 대신에 constant-on-time(COT)과 같이 사용하여 설계하였다.

제안하는 buck converter 는 CMOS 0.18 ㎛ 공정에서 설계되었으며, Active area 가 5000 ㎛ X 5000 ㎛ 로 설계하였다. 동작 주파수는 1 ~ 1.5 MHz, 입력 전압 범위는 12V/5V 이며, 출력 전압은 5.3V/1.1V 이며, 각각 93.3%/93.8%의 효율을 가진다. 또한, load transient 은 각각 최소 27mV 이하를 만족하도록 설계되었다.

5.2 Future Work

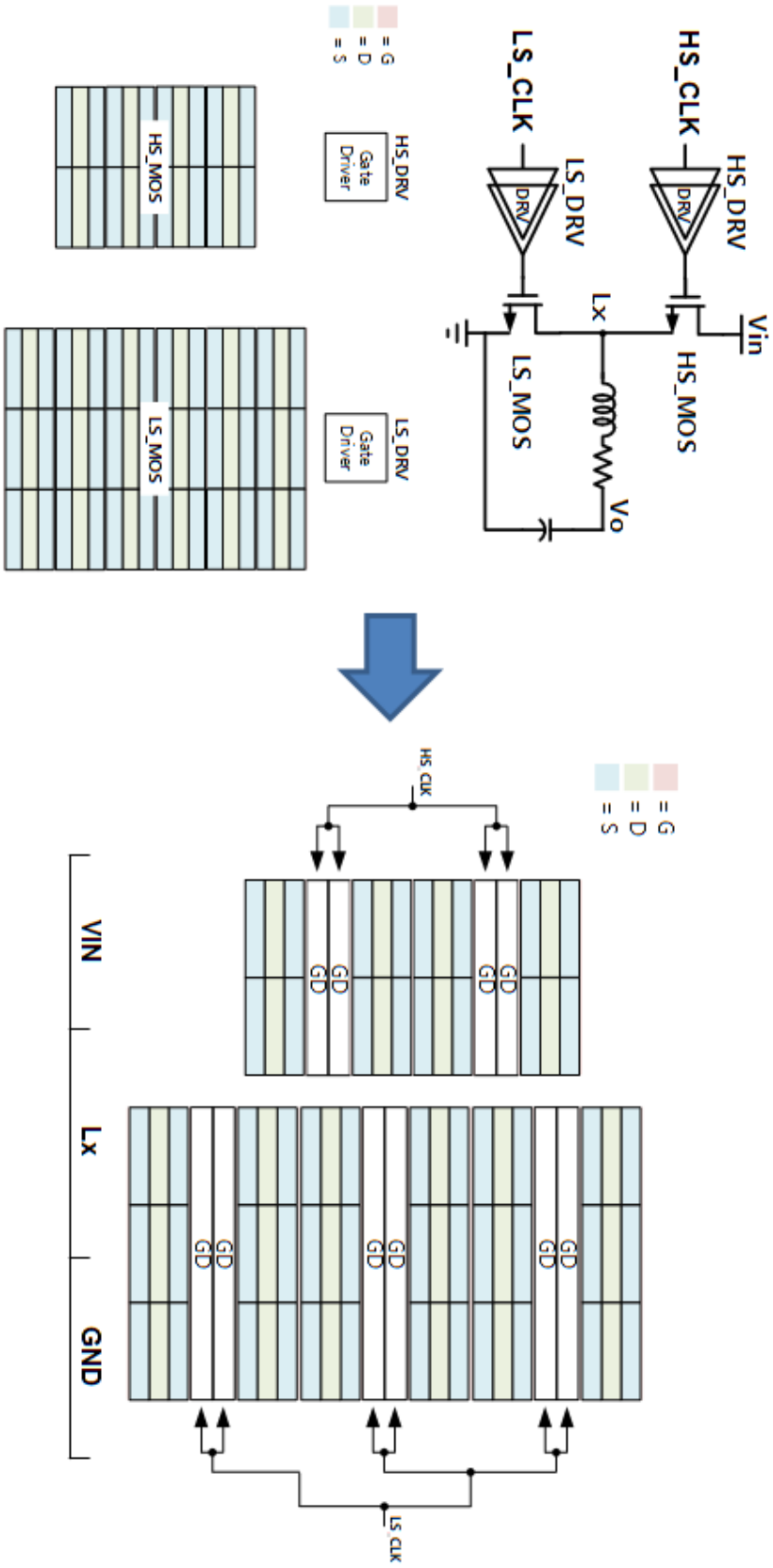
본 논문에서 제안하는 Ripple-based feedback compensation scheme 의 DC-DC buck converter 의 경우에 몇 가지 개선 사항을 Voltage Controlled Oscillator feedback compensation scheme 에 적용하여 설계를 진행하였다. 그러나, 아직 ripple-based feedback compensation scheme 에 적용되지 못한 개선 사항을 future work section 에 추가적으로 정리하였다.

위에서 언급한 추가적인 개선 사항은 크게 두가지이다. 첫 번째는 power transistor 의 크기에 따른 gate driver 의 구동이다. 두 번째는 inductor current 가 (-)전압으로 인하여 Lx node 에서 low-side NMOS 를 통하여 GND 로 빠지는 경우이다.

5.2.1 Power Transistor

그림 5.1 은 Power transistor 용 gate driver 의 분할 방식을 나타내는 그림이다. 기존의 Ripple-based feedback compensation scheme 에서는 power transistor 용 gate driver 가 한 묶음으로 동작을 하였다. 그러나 이는 inductor current 가 초기 동작 시에 올라가는 peak inductor current 를 만족시켜주기 위하여 gate driver 와 power transistor 의 분할 동작이 필요하다. 또한, 이러한 구조는 switching node 와 driver 간의 coupling cap 그리고 sub plain 이 흔들릴 수 있는 간섭을 야기할 수 있다.

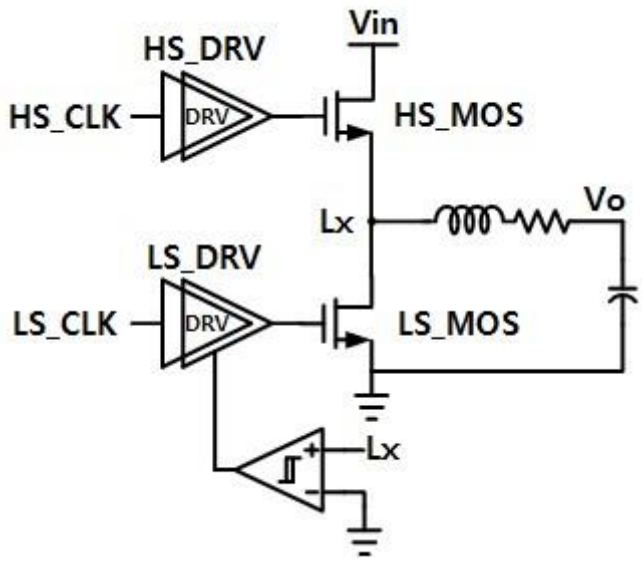
VIN 인 12V 전압이 HS_MOS 의 drain 으로 들어오면 4 분할된 HS_MOS 와 HS_DRV 로 들어오도록 개선을 하여 설계를 진행하였으며, LS_MOS 또한 LS_DRV 와함께 6 등분하였다.



<그림 5.1 Power Transistor Gate Driver Split>

5.2.2 Inductor Zero Current Detection

그림 5.2 는 inductor zero current detection circuit 을 구현한 그림이다. Comparator 입력단에 Lx node 와 GND node 를 연결하여 ZCD trigger signal 발생하여 LS_DRV 출력단을 GND 로 만들어 주어 LS_MOS 를 turn-off 시켜준다. 현재 ripple-based compensation scheme 에서의 switching frequency 는 2MHz(Ts=500ns)인데, inductor slew 는 1.2A per 200ns 으로 동작하게 된다. 이는 switching frequency 가 one-cycle 동작 하기 전에 이미 inductor current 는 3A 의 전류를 생성하게 되므로 이를 해결하기 위하여, LS_MOS 에 적용하였다.



<그림 5.2 Inductor Zero Current Detection Circuit>

Publication	This Work	JSSC ’15 [2]	TPE ‘21 [3]	TPE ‘20 [11]	JSSC ‘15 [13]	TPE ‘19 [34]
Process	0.18 um	65 nm CMOS	0.13 um	0.18 um	0.18 um	0.5 um
Control	VCO-based	T-PID PWM	Pseudo-COT	Transient-optimized OTC	Time-based PID	Active ripple COT
Input Supply [V]	5	1.8	4 ~ 19	3.3	1.8	12
Output Supply [V]	1.1	0.6 ~ 1.5	0.25 ~ 2.5	0.6 ~ 1.2	0.6 ~ 1.5	1.05
F_{SW} [MHz]	1.1	30 ~ 70	0.8	1.5	11 ~ 25	0.4
L [nH]	220	2.5	150	1000	220	2200
C [uF]	40	6.8 nF	470	4.7	4.7	88
Load Slew Rate (A/us)	20	-	20	1	50	2.8
Overshoot (mV) / Undershoot (mV)	< 27	-	28/18	20/10	65/60	30/25
Max. Load Current [A]	10	0.8	40	1.25	0.6	4
Peak Efficiency [%]	93.8	87	92	90.2	94	95

<표 3. Performance Comparison with other Published Work >

BIBLIOGRAPHY

[1] 박종선, 강규성, 최웅, “저전력, 저면적 임베디드메모리 설계 기술과 전망”

[2] S. J. Kim, R. K. Nandwana, Q. Khan, R. C. N. Pilawa-Podgurski and P. K. Hanumolu, "A 4-Phase 30–70 MHz Switching Frequency Buck Converter Using a Time-Based Compensator", IEEE Journal of Solid-State Circuits, vol. 50, no. 12, pp. 2814-2824, Dec. 2015.

[3] Keng Chen, James Garrett, Kang Peng, Ronald Hulfachor, Marvin Onabajo, "Buck Circuit Design with Pseudo-Constant Frequency and Constant On-Time for High Current Point-of-Load Regulation", IEEE Transactions on Circuits and Systems I: Regular Papers, vol.68, no.10, pp.4062-4075, 2021.

[4] C. K. Teh, A. Suzuki, M. Yamada, M. Hamada, and Y. Unekawa, “A 3-phase digitally controlled DC-DC converter with 88% ripple reduced 1-cycle phase adding/dropping scheme and 28% power saving CT/DT hybrid current control,” in IEEE Int. Solid-State Circuits Conf. Dig.Tech. Papers, 2014, pp. 78–79.

[5] R. Redl and J. Sun, "Ripple-based control of switching regulators—An overview", IEEE Trans. Power Electron., vol. 24, no. 12, pp. 2669-2680, Dec. 2009.

[6] M. Choi, C. Kye, J. Oh, M. Choo and D. Jeong, "A current-mode digital AOT 4-phase buck voltage regulator", IEEE Solid-State Circuits Letters, vol. 2, no. 11, pp. 244-247, Nov. 2019.

[7] W. Fu, S. T. Tan, M. Radhakrishnan, R. Byrd and A. A. Fayed, "A DCM-only buck regulator with hysteretic-assisted adaptive minimum-on-time control for low-power microcontrollers", IEEE Transactions on Power Electronics, vol. 31, no. 1, pp. 418-429, Jan. 2016.

[8] M. Wens and M. Steyaert, "A fully integrated CMOS 800-mW four-phase semiconstant ON/OFF-time step-down converter", IEEE Trans. Power Electron., vol. 26, no. 2, pp. 326-333, Feb. 2011.

[9] Z. Zhao and A. Prodic, "Continuous-Time Digital Controller for High-Frequency DC-DC Converters", IEEE TRANSACTIONS ON POWER ELECTRONICS, vol. 23, no. 2, pp. 564-573, 2008.

[10] J. Wang, J. Xu and B. Bao, "Analysis of pulse bursting phenomenon in constant-on-time-controlled buck converter", IEEE Trans. Ind. Electron., vol. 58, no. 12, pp. 5406-5410, Dec. 2011.

[11] Y. C. Li, C. J. Chen and C. J. Tsai, "A constant on-time buck converter with analog time-optimized on-time control", IEEE Trans. Power Electron., vol. 35, no. 4, pp. 3754-3765, Apr. 2020.

[12] J. Sun, Y. Qiu, M. Xu and F. C. Lee, "High-frequency dynamic current sharing analyses for multiphase buck VRs", IEEE Trans. Power Electron., vol. 22, no. 6, pp. 2424-2431, Nov. 2007.

[13] S. Kim et al., “High frequency buck converter design using time-based control techniques,” IEEE J. Solid-State Circuits, vol. 50, no. 4, pp.990–1001, Apr. 2015.

[14] Jin-Gyu Kang, Jeongpyo Park, Min-Gyu Jeong, Changsik Yoo, "A Time-Domain-Controlled Current-Mode Buck Converter With Wide Output Voltage Range", IEEE Journal of Solid-State Circuits, vol.54, no.3, pp.865-873, 2019.

[15] J. Kang, M. Jeong, J. Park, and C. Yoo, “A 10MHz time-domain-controlled current-mode buck converter with 8.5% to 93% switching duty cycle,” in 2018 IEEE International Solid - State Circuits Conference - (ISSCC), 2018, pp. 424–426.

[16] C. Nien et al., “A Novel Adaptive Quasi-Constant On-Time Current-Mode Buck Converter,” IEEE Trans. Power Electron., vol. 32, no. 10, pp. 8124–8133, Oct. 2017.

[17] F. Su and W. Ki, “Digitally assisted quasi-V2 hysteretic buck converter with fixed frequency and without using large-ESR capacitor,” in 2009 IEEE International Solid-State Circuits Conference - (ISSCC), 2009, pp. 446-447,447a.

[18] J. Li and F. C. Lee, "Modeling of V2 current-mode control," in IEEE Tran.Circuits and Systems, Part I, Vol. 57, No 9. Sep.2009, pp. 2552-2563.

[19] Jian Sun, “Small-signal modeling of variable-frequency pulsewidth modulators,” IEEE Trans. Aerosp. Electron. Syst., vol. 38, no. 3, pp. 1104–1108, Jul. 2002.

[20] B. Lee, M. K. Song, A. Maity, and D. B. Ma, “A 25-MHz Four-Phase SAW Hysteretic Control DC–DC Converter With 1-Cycle Active Phase Count,” IEEE J. Solid-State Circuits, vol. 54, no. 6, pp. 1755–1763, Jun. 2019.

[21] P. Li, D. Bhatia, L. Xue and R. Bashirullah, "A 90–240 MHz hysteretic controlled DC-DC buck converter with digital phase locked loop synchronization", IEEE J. Solid-State Circuits, vol. 46, no. 9, pp. 2108-2119, Sep. 2011.

[22] O. Garcia, P. Zumel, A. de Castro, and J. Cobos, “Automotive DC-DC bidirectional converter made with many interleaved buck stages,” IEEE Trans. Power Electron., vol. 21, no. 3, pp. 578–586, May 2006.

[23] C. Y. Leung, P. K. T. Mok, K. N. Leung and M. Chan, "An integrated CMOS current-sensing circuit for low-voltage current-mode buck regulator", IEEE Trans. Circuits Syst. II Exp. Briefs, vol. 52, no. 7, pp. 394-397, Jul. 2005.

[24] J. Li and F. C. Lee, “New Modeling Approach and Equivalent Circuit Representation for Current-Mode Control,” IEEE Trans. Power Electron., vol. 25, no. 5, pp. 1218–1230, May 2010.

[25] B. A. Miwa, D. Otten, and M. Schlecht, “High efficiency power factor correction using interleaving techniques,” in Proc. IEEE Appl. Power Electro. Conf. and Expo. (APEC), 1992, pp. 557–568.

[26] Y. Lin, C. Chen, D. Chen and B. Wang, "A ripple-based constant on-time control with virtual inductor current and offset cancellation for DC power converters", IEEE Trans. on Power Electron, vol. 27, no. 10, pp. 4301-4310, Oct. 2012.

[27] J. Sun, "Characterization and performance comparison of ripple based control for voltage regulator modules," IEEE Trans. Power Electron., vol. 21, no. 2, pp. 346-353, Mar. 2006.

[28] S. Angkititrakul, H. Hu and Z. Liang, "Active inductor current balancing for interleaving multi-phase buck-boost converter", Proc. IEEE Applied Power Electronics Conf. (APEC), pp. 527-532, Feb. 2009.

[29] M. J. E. Lee, W. J. Dally, T. Greer, H. T. Ng, R. Farjad-Rad, J. Poulton, et al., "Jitter transfer characteristics of delay-locked loops: Theories and design techniques", JSSC, 2003.

[30] F. Y. Wu and Y. M. Chen, "Impact of PWM duty cycle jitter on switching-mode power converter efficiency", IEEE Trans. Power Electron., vol. 32, no. 11, pp. 8751-8762, Nov. 2017.

[31] M. Bereš, D. Schweiner, I. Kováčová and A. Kalinov, "Current ripple comparison of multi and single-phase Buck-boost converters", International Conference on Modern Electrical and Energy Systems (MEES), pp. 260-263, 2017.

[32] D. Jauregui, B. Wang, and R. Chen, "Power loss calculation with common source inductance consideration for synchronous buck converters," Texas Instruments Application Report, SLPA009A, 2011. [Online]. Available: www.ti.com.

[33] D. Meeks. "Loop Stability Analysis of Voltage Mode Buck Regulator with Different Output Capacitor Types – Continuous and Discontinuous Modes," Texas Instruments Application Report, SLVA301, Apr. 2008. [Online]. Available: www.ti.com.

[34] X. Ming, Y. L. Xin, T. S. Li, H. Liang, Z. J. Li and B. Zhang, "A constant on-time control with internal active ripple compensation strategy for buck converter with ceramic capacitors", IEEE Trans. Power Electron., vol. 34, no. 9, pp. 9263-9278, Sep. 2019.

[35] Mi Zhou, Zhuochao Sun, Zhekai Xiao, Qiongwei Low, Liter Siek, "A Fast Transient Response DC-DC Converter with an Active Compensation Capacitor Module", 2018 IEEE International Symposium on Circuits and Systems (ISCAS), pp.1-5, 2018.

[36] Microsemi, "Voltage-mode Current-mode (and hysteretic control)", Technical Note TN-203, 2012. [Online]. Available: https://www.microsemi.com.

[37] D. Gorder, "Switching regulators," U.S. Patent, 5,770,940, 1998.

[38] N. Tang, "Designing Ultrafast Loop Response with Type-III Compensation for Current Mode Step-Down Converters," Texas Instruments Application Report, SLVA352A, Sept. 2010. [Online]. Available: www.ti.com.

[39] S. Maniktala, "Troubleshooting Switching Power Converters", Oxford, U.K.:Newnes, pp. 197-205, 2007.

[40] Sanjaya Maniktala, "Switching Power Supplies A - Z", 2nd Edition

ABSTRACT

Design of Multi-phase DC-DC Converter in Memory Inteface

In this thesis, design of multi-phase DC-DC buck converter in memory interface is proposed. Recently, as the amount of data memory used through IT devices through personal portable devices and laptops increases exponentially, cloud servers are being expanded, and accordingly, efficient, and stable power supply to all systems is essential. To satisfy these requirement, various types of DC-DC converters are being researched.

The proposed multi-phase DC-DC buck converter equally divides the high current into 4-phases to reduce the power loss that may occur due to the Ron resistor when the power MOSFET is turned on, and each phase is synchronous through a current balancing circuit. It is designed to work smoothly. In addition, the load transient response of voltage droop that can occur at the output stage due to the instant drive of the memory device can be quickly responded through the immediate current feedback from the output stage.

The circuit proposed in this paper was designed in a CMOS 0.18 ㎛ process, and the active area was designed as 5000 ㎛ X 5000 ㎛. The operating frequency is 1 ~

1.5 MHz, the input voltage range is 12V/5V, the output voltage is 5.3V/1.1V, and the efficiency is 93.3%/93.8%, respectively.

Keywords : Multi-phase, Buck Converter, Inductor Current Balancing, Memory Interface

Student number: 2018-30775